SiC パワーデバイス・モジュール

アプリケーション ノート

Rev.003

【ご注意】
このアプリケーションノートに記載されている評価データ等は、
ロームにおける同一条件下で評価した結果をご参考として示したものです。
この中で示された特性を弊社が保証するものではありません。

© 2020 ROHM Co., Ltd.

目次

1. SiC 半導体 5
1.1 SiC 材料の物性と特徴 5
1.2 パワーデバイスとしての特徴 5
2. SiC SBD の特徴 6
2.1 デバイス構造と特徴 6
2.2 SiC SBD の順方向特性 7
2.3 SiC SBD のリカバリ特性 8
2.4 SiC SBD の順方向サージ特性 9
2.5 直列・並列使用時の注意事項 10
2.5.1 直列接続 10
2.5.2 並列接続 10
3. SiC MOSFET の特徴 11
3.1 デバイス構造と特徴 11
3.2 規格化オン抵抗(RonA) 12
3.3 V_{DS}-I_D 特性 13
3.4 駆動ゲート電圧とオン抵抗 14
3.5 オン抵抗の温度係数 15
3.6 V_{GS}-I_D 特性 16
3.7 ターン・オン特性 17
3.8 ターン・オフ特性 18
3.9 内部ゲート抵抗 19
3.10 ボディダイオードのリカバリ特性 20
3.11 BV(Breakdown Voltage)の温度依存性 21
3.12 フライバック用 1700V SiC MOSFET 22
3.13 第三世代トレンチゲート SiC MOSFET 23
3.14 スイッチング特性の温度依存性 24
3.15 スイッチング特性のゲート電圧依存性 25
3.16 スイッチング速度のドレイン電流依存性 25
3.17 スイッチング特性への寄生インダクタンスの影響 26
3.18 ケルビンソースパッケージ 27
4.ディスクリート用評価基板 28
4.1 SiC MOSFET ディスクリート用評価基板 28
4.2 評価事例 29
5. ゲートドライブ 32
5.1 回路方式における注意点 32
5.1.1 パルストランスによる駆動 32
5.1.2 ブートストラップ方式によるハイサイド駆動 32
5.1.3 絶縁電源によるハイサイド駆動 32
5.1.4 負バイアス生成回路 33
5.2 バッファ回路 34
5.3 UVLO (Under Voltage Lock Out： 低電圧誤動作防止機能) 35
5.4 SiC MOSFET 用ゲートドライバ IC 36
5.5 推奨ゲート電圧(V_{GS}) 37

© 2020 ROHM Co., Ltd.

5.6 推奨外付けゲート抵抗(R_{G_EXT})....38
5.7 推奨デッドタイム(t_{DT})....39
5.8 誤点弧対策....40
5.9 負サージ対策....41
5.10 短絡保護....42
5.10.1 DESAT....42
5.10.2 電流センス端子を有する MOSFET の短絡保護....42
5.11 推奨レイウアト....43
5.12 MOSFET の直列・並列使用時の注意事項....45
5.12.1 直列接続....45
5.12.2 並列接続....47
6. SiC パワーモジュールの特徴....50
6.1 SiC モジュールの特徴....50
6.2 回路構成....50
6.3 NTC サーミスタ....51
6.4 パワーモジュールの取り付け方法....53
6.4.1 ヒートシンクの取り付け....53
6.4.2 信号線の取り付け....54
6.5 スイッチング特性....55
6.5.1 ドレイン電流依存性ならびに温度依存性....55
6.5.2 ゲート抵抗依存性....56
6.5.3 ゲートバイアス依存性....57
6.6 IGBT モジュールとのスイッチング損失比較....58
6.6.1 トータルスイッチング損失の比較....58
6.6.2 リカバリ損失(Err)の比較....58
6.6.3 ターン・オン損失(Eon)の比較....59
6.6.4 ターン・オフ損失(Eoff)の比較....59
6.7 誤点弧の対策....60
6.8 RBSOA (逆バイアス安全動作領域)....61
6.9 ダイオードの小電流、狭パルス通電時の V_{DS} サージ....62
6.10 G-type パワーモジュール....63
7. モジュール用評価基板....64
7.1 SiC パワーモジュール用ドライブ基板....64
7.2 サージ電圧の対策....65
8.信頼性....67
8.1 SiC SBD の信頼性....67
8.1.1 dV/dt 破壊、 dI/dt 破壊....67
8.1.2 SiC SBD の信頼性試験結果....67
8.2 SiC MOSFET の信頼性....69
8.2.1 ゲート酸化膜....69
8.2.2 閾値安定性 (ゲート正バイアス)....70
8.2.3 閾値安定性 (ゲート負バイアス)....70
8.2.4 閾値安定性 (第三世代 MOSFET)....71
8.2.5 短絡耐量....71
8.2.6 dV/dt 破壊....71

© 2020 ROHM Co., Ltd.

8.2.7 宇宙線起因中性子耐量 72
8.2.8 静電破壊耐量 72
8.2.9 パワーサイクルにおける注意点 73
8.3 SiC パワーモジュールの信頼性 75
8.3.1 パワーサイクル 75
8.3.2 HV-H3TRB (High Voltage High Humidity High Temperature Reverse Bias) 76
8.3.3 SiC パワーモジュールの信頼性試験結果 77
9. 形名の構成 78
9.1 SiC SBD (ディスクリート品) 78
9.2 SiC MOSFET (ディスクリート品) 78
9.3 SiC パワーモジュール 79
9.4 SiC SBD (チップ品) 79
9.5 SiC MOSFET (チップ品) 80
10.応用回路例 81
10.1 力率改善(PFC)回路、boost チョッパ 81
10.2 降圧チョッパ 81
10.3 昇降圧チョッパ 81
10.4 トーテムポール PFC 82
10.5 フライバックコンバータ 82
10.6 DC/DC コンバータ(ソフトスイッチングタイプ) 82
10.7 パワーコンディショナー用インバータ 83
10.8 IH 用インバータ 83
10.9 モータドライブ 83
10.10 リレー 84

© 2020 ROHM Co., Ltd.

1. SiC 半導体

1.1 SiC 材料の物性と特徴

SiC(シリコンカーバイド)はシリコン(Si)と炭素(C)で構成される化合物半導体材料です。 Table1-1 に各半導体材料の電気的特徴を示していますが、SiC は絶縁破壊電界強度(Breakdown Field)が Si の 10 倍、バンドギャップ(Energy Gap)が Si の 3 倍と優れているだけでなく、デバイス作製に必要な p 型、n 型の制御が広い範囲で可能であることなどから、Si の限界を超えるパワーデバイス用材料として広く使われています。 SiC には様々なポリタイプ(結晶多系)が存在し、それぞれ物性値が異なります。パワーデバイス向けには 4H-SiC が最適とされており、現在 4inch～6inch の単結晶ウエハが量産化されています。

Table 1-1. 半導体材料の電気的特徴

Properties	Si	4H-SiC	GaAs	GaN
Crystal Structure	Diamond	Hexagonal	Zincblende	Hexagonal
Energy Gap : E_G (eV)	1.12	3.26	1.43	3.5
Electron Mobility : μ_n (cm^2/Vs)	1400	900	8500	1250
Hole Mobility : μ_p (cm^2/Vs)	600	100	400	200
Breakdown Field : E_B (V/cm) X10^6	0.3	3	0.4	3
Thermal Conductivity (W/cm℃)	1.5	4.9	0.5	1.3
Saturation Drift Velocity : v_s (cm/s) X10^7	1	2.7	2	2.7
Relative Dielectric Constamt : ε_S	11.8	9.7	12.8	9.5
p, n Control	○	○	○	△
Thermal Oxide	○	○	×	×

1.2 パワーデバイスとしての特徴

SiC は絶縁破壊電界強度が Si と比べ約 10 倍高いことから、600V～数千 V の高耐圧パワーデバイスを Si デバイスと比較して高い不純物濃度かつ薄い膜厚のドリフト層で作製することができます。高耐圧パワーデバイスの抵抗成分のほとんどはこのドリフト層の抵抗であるので、SiC では単位面積当たりのオン抵抗が非常に低い高耐圧デバイスを実現できることになります。理論上は同じ耐圧であれば Si と比較して 1/300 に面積あたりのドリフト層抵抗を低減できます。 Si では高耐圧化に伴うオン抵抗の増大を改善するために IGBT (Insulated Gate Bipolar Transistor ： 絶縁ゲートバイポーラトランジスタ) などの少数キャリアデバイス(バイポーラデバイス)が主に用いられてきましたが、スイッチング損失が大きいという問題があり、その結果発生する発熱によって高周波駆動には限界がありました。SiC では高速なデバイス構造である多数キャリアデバイス(ショットキーバリアダイオードや MOSFET)で高耐圧を実現できますので「高耐圧」、「低オン抵抗」、「高速」の 3 つを同時に実現できます。

またバンドギャップが Si の約 3 倍広いため、高温においても動作可能なパワーデバイスを実現できます(現在はパッケージの耐熱信頼性の制約から 150℃～175℃保証としていますが、パッケージ技術が進展すれば 200℃以上の保証温度も将来可能となります)。

© 2020 ROHM Co., Ltd.

2. SiC SBD の特徴

2.1 デバイス構造と特徴

SiC では高速なデバイス構造であるショットキーバリアダイオード(SBD)構造で 1200V 以上の高耐圧ダイオードを実現可能です(Si では SBD は最高で 200V 程度まで)。

このため、Figure 2-1 に示すように、現在主流の高速 PN 接合ダイオード(FRD:ファストリカバリーダイオード)から置き換えることによりリカバリ損失を大幅に削減できます。電源の高効率化や高周波駆動によるコイル等の受動部品の小型化、ノイズ低減に貢献します。力率改善回路(PFC 回路)や二次側整流ブリッジを中心に、EV 車載充電器、太陽光発電パワーコンディショナー、サーバ電源、エアコンなどに応用が広がっています。

現在ロームでは 650V、1200V、1700V 耐圧の SBD をラインアップしています。

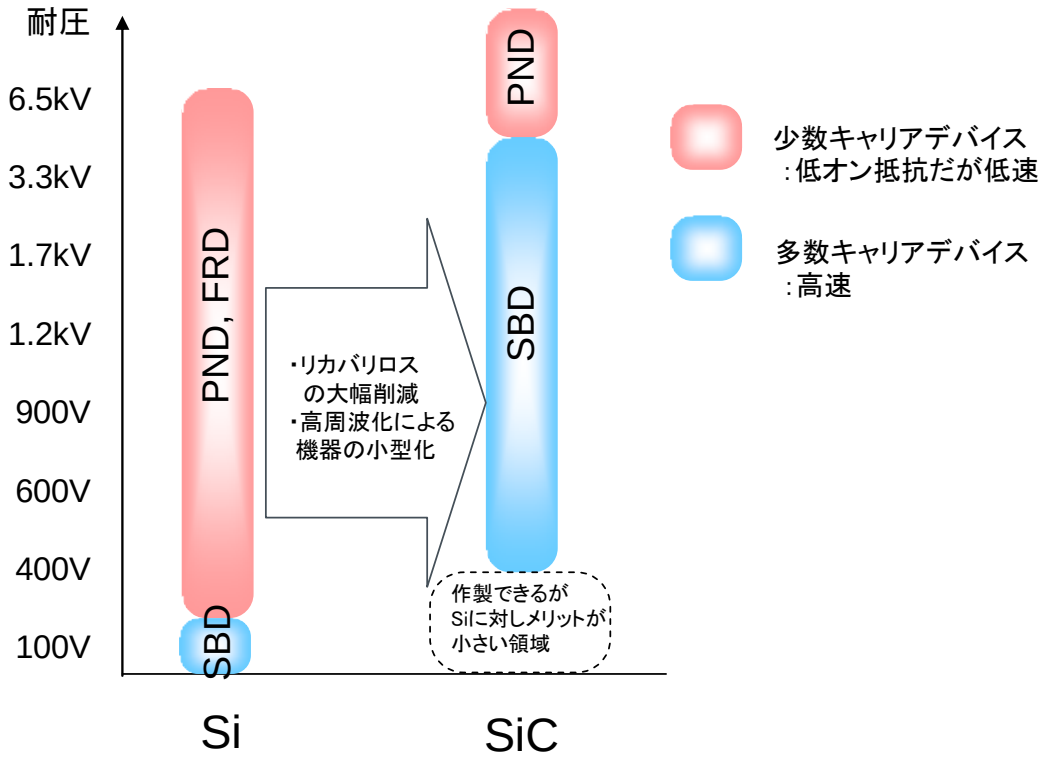


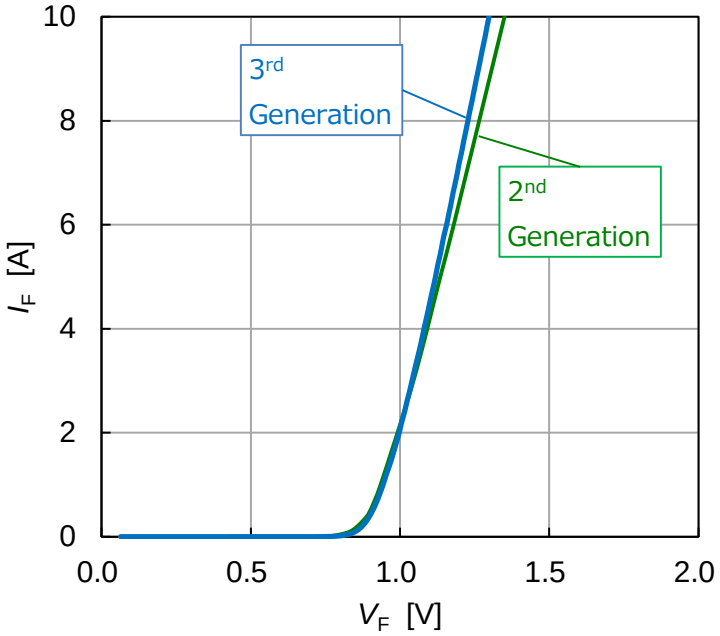
Figure 2-1. Si と SiC の定格電圧範囲(ダイオード)

© 2020 ROHM Co., Ltd.

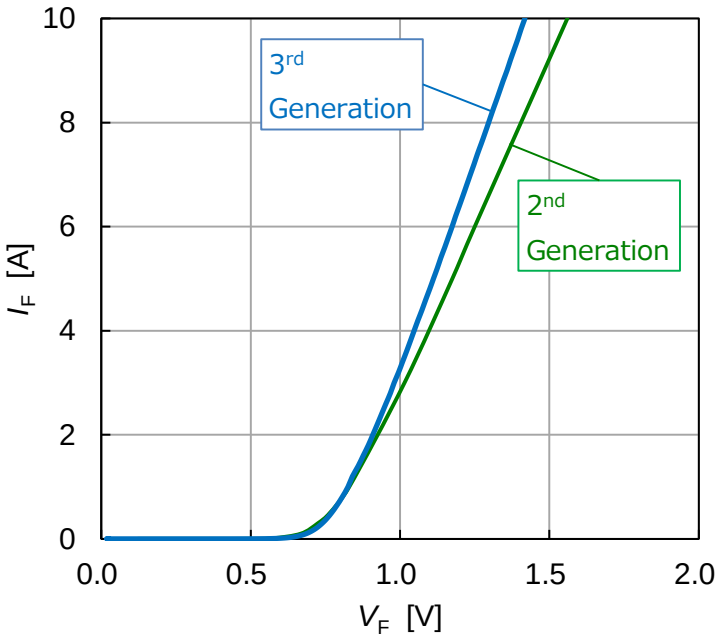
2.2 SiC SBD の順方向特性

SiC SBD の立ち上がり電圧は Si FRD と同等で 1V 弱です。立ち上がり電圧はショットキー障壁のバリアハイトにより決まり、通常バリアハイトを低く設計すると立ち上がり電圧は低く出来ますが一方で逆バイアス時のリーク電流が増加してしまうというトレード・オフの関係にあります。ロームの第二世代 SBD ではプロセスを工夫することにより、リーク電流やリカバリ性能を従来品と同等に保ちながら立ち上がり電圧を約 0.15V 低減することに成功しています。また、第三世代 SBD では、JBS(Junction Barrier Schottky)構造と第二世代 SBD の低 V_F プロセスを組み合わせることによって更なる低 V_F 化、低リーク電流化を実現しました。特に高温時における V_F は大幅に低減されています。

温度依存性は Si FRD と異なり、高温ほど動作抵抗の増加によって V_F が増加します。熱暴走しにくい傾向ですので、安心して並列接続でお使いいただけます。Figure 2-2 に代表的な $V_F - I_F$ 特性を示します。



(a) Tj=25℃



(b) Tj=150℃

Figure 2-2. SiC SBD の順方向特性(650V、10A クラス)

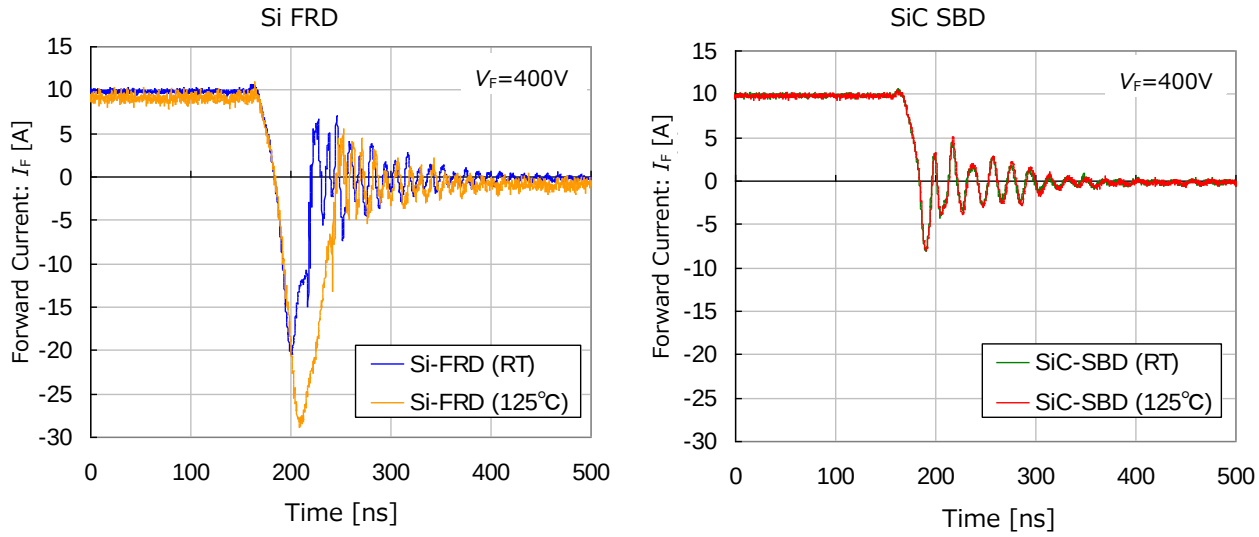
© 2020 ROHM Co., Ltd.

2.3 SiC SBD のリカバリ特性

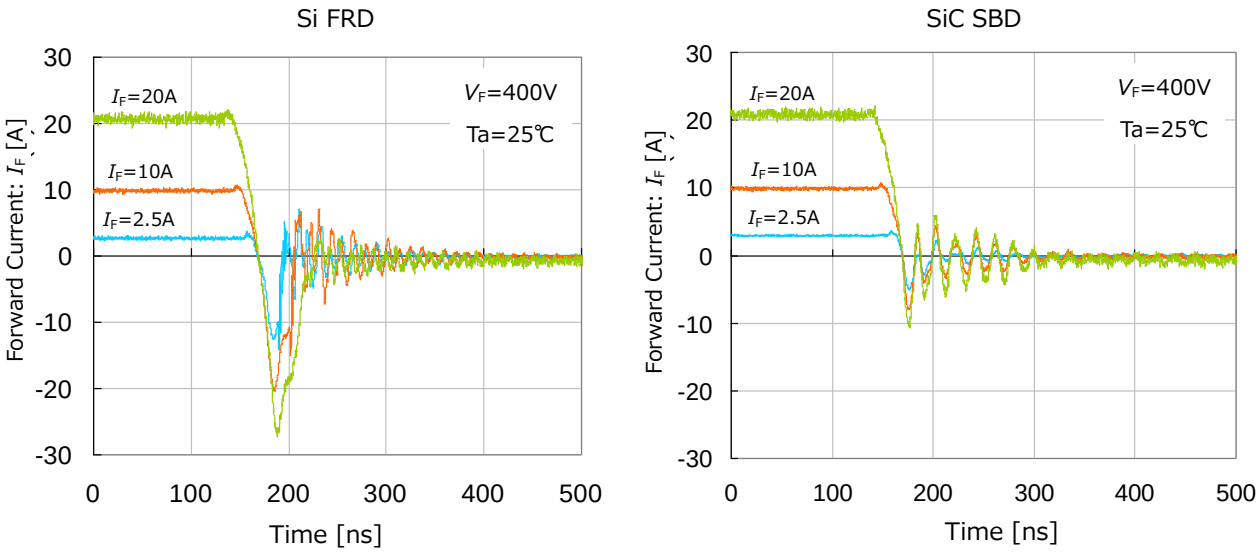
Si の高速 PN ダイオード(FRD:ファストリカバリーダイオード)では順方向から逆方向に切り替わる瞬間に大きな過渡電流が流れてしまい、この期間に逆バイアス状態に移行することで大きな損失を発生していました。これは順方向通電時にドリフト層内に蓄積した少数キャリアが、消滅するまでの期間(蓄積時間)電気伝導に寄与してしまうために起こります。順方向電流が大きいほど、また温度が高いほどリカバリ時間やリカバリ電流は大きくなり、多大な損失となります。

一方、SiC SBD は少数キャリアを電気伝導に使用しない多数キャリアデバイス(ユニポーラデバイス)であるため、原理的に少数キャリアの蓄積が発生しません。接合容量を放電する程度の小さな電流が流れるのみで、Si FRD と比較して損失を大幅に削減できます。この過渡電流は、温度や順方向電流にほとんど依存しないため、どんな環境でも安定した高速リカバリを実現できます。また、リカバリ電流に起因して発生していたノイズ削減も期待できます。

Figure 2-3 に SiC SBD と Si FRD のリカバリ特性の測定結果を示します。SiC では使用温度や流れる電流に関わらず、リカバリ電流が大幅に低減していることがわかります。



(a) 温度依存性



(b) 順方向電流依存性

Figure 2-3. リカバリ特性比較（650V 10A クラス)

© 2020 ROHM Co., Ltd.

2.4 SiC SBD の順方向サージ特性

第二世代 SBD は Pure Schottky 構造という、ドリフト層にショットキーメタルを付けただけのシンプルな構造を採用していました。しかしながら高温においてドリフト層の抵抗値は増加するため、順方向サージ電流が流れる際に自己発熱で電流を制限してしまい尖頭サージ電流 IFSM が Si FRD と比べて低い傾向にありました。PFC 回路においてバイパスダイオードがない場合では起動時等の突入電流により SBD が故障する可能性があります。

そこで、第三世代 SBD では JBS 構造を採用することで IFSM 特性を第二世代の約 2 倍に向上させました。JBS 構造ではショットキー界面に微細な PN 接合ダイオードが作りこんであるため、大電流時には PN 接合を介して正孔が注入され、ドリフト層の抵抗増加を抑えています。突入電流に対して高い耐性があるため、バイパスダイオードのない PFC 回路にもご使用いただけます。

Figure 2-4 に第二世代と第三世代の構造の違いを、Table 2-1 に代表的な電気的特性の比較を示します。

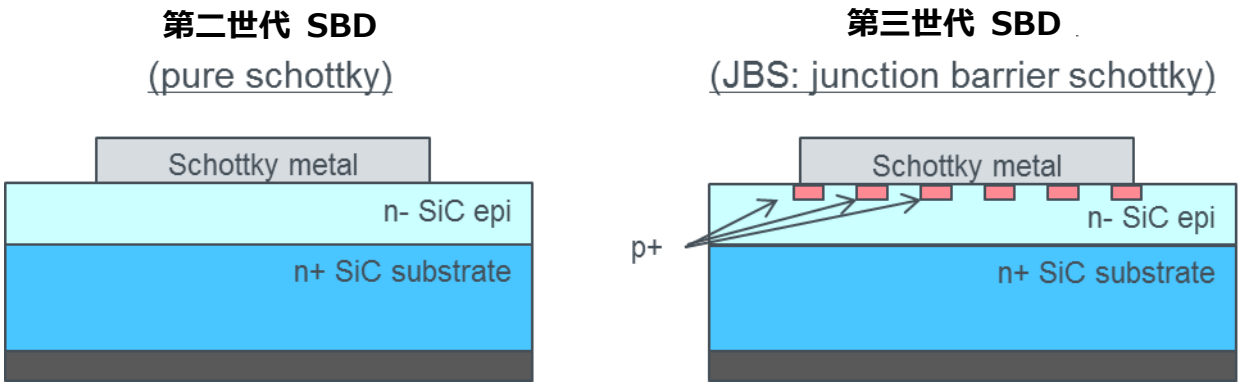


Figure 2-4. 第二世代と第三世代 SiC SBD の構造比較

Table 2-1. 第二世代と第三世代の主な電気的特性比較

Item	第二世代 SCS210AG	第三世代 SCS310AH
V_F@10A (25C) typ.	1.35V	1.35V
V_F@10A (150C) typ.	1.55V	1.44V
I_R (25C) typ.	2μA@600V	0.03μA@650V
I_{FSM} 50Hz, 1 pulse	38A	82A

© 2020 ROHM Co., Ltd.

2.5 直列・並列使用時の注意事項

パワーデバイスの選定時に、電圧や電流の条件によっては所望の定格のデバイスが存在しないこともあり、そのような場合にデバイスを複数個使用することがあります。ところが、個々のデバイスには必ず特性バラツキが存在するため、特別な注意を払う必要があります。

2.5.1 直列接続

デバイスの耐圧以上の電圧をブロッキングする必要がある場合に SBD を直列接続することがあります。各素子にかかる電圧を均等化するために、バランス抵抗をアノードーカソード間に並列することが一般的ですが、Figure 2-5(a)に示すとおり、SBD では逆バイアス時の漏れ電流 I_R が大きく、またバラツキも大きいため、バランス抵抗による対策は現実的ではありません。

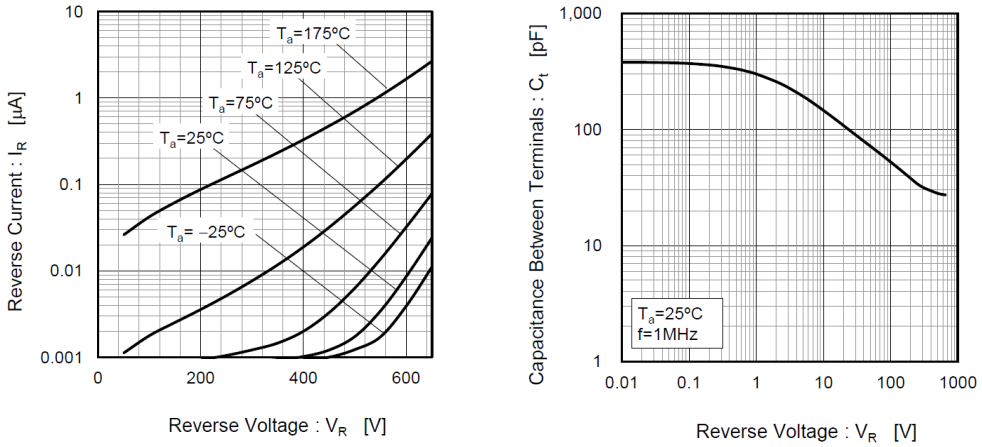
また、同図(b)で示す端子間容量 C_t は印加される電圧により大きく変化するため、逆バイアスを印加直後の過渡状態において電圧がアンバランスし、かつ場合によっては定格以上となます。

以上のことから直列接続での使用は基本的には推奨いたしません。

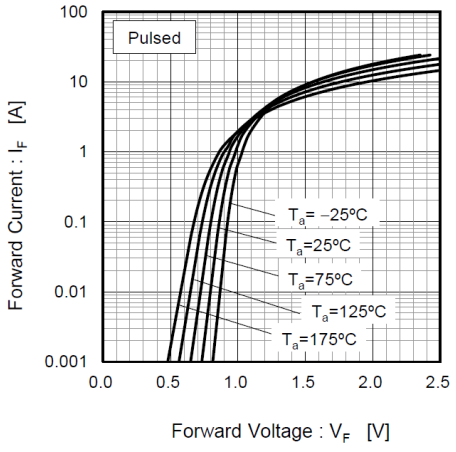
2.5.2 並列接続

SBD に流したい電流がデバイスの定格以上である場合、並列接続で使用することがあります。SiC SBD では Figure 2-5(c)に示すように、電流が増加しデバイスの温度が上昇すると V_F が高くなるため、特定のデバイスに電流が集中せず均衡します。

そのため、並列使用では付加回路の追加無くご使用いただけます。ただし製品ロットを同一にすることや、配線インダクタンスを極力同等にするなどの配慮は必要です。



(a) V_R - I_R 特性　　(b) V_R - C_t 特性



(c) V_F - I_F 特性

Figure 2-5. SCS306AM 電気的特性グラフ (抜粋)

© 2020 ROHM Co., Ltd.

3. SiC MOSFET の特徴

3.1 デバイス構造と特徴

Si では高耐圧のデバイスほど単位面積当たりのオン抵抗が高くなってしまう(耐圧の約 2～2.5 乗で増加)ため、600V 以上の電圧では主に IGBT(絶縁ゲートバイポーラトランジスタ)が使用されてきました。IGBT は伝導度変調といって少数キャリアである正孔をドリフト層内に注入することによって MOSFET よりもオン抵抗を小さくしていますが、一方で少数キャリアの蓄積によってターン・オフ時にテイル電流が発生し大きなスイッチング損失の原因となっていました。

SiC ではドリフト層の抵抗が Si デバイスよりも低いため、伝導度変調を使用する必要がなく、高速なデバイス構造である MOSFET で高耐圧と低抵抗を両立できます。MOSFET では原理的にテイル電流が発生しないため、IGBT からの置き換えの場合、スイッチング損失の大幅削減と冷却器の小型化を実現できます。また、IGBT では不可能であった高周波駆動によって受動部品の小型化にも貢献します。 600V～900V の Si MOSFET に対してもチップ面積が小さいこと(小型パッケージに実装可能) やボディダイオードのリカバリ損失が非常に小さいなどの利点があります。

現在ロームでは 650V、1200V、1700V のプレーナ型、トレンチ型 MOSFET をラインアップ中です。車載充電器、産業機器の電源や、高効率パワーコンディショナーのインバータ・コンバータ部など様々な用途に向けて応用が広がっています。

Figure 3-1 に Si と SiC における MOSFET および IGBT の定格電圧範囲の比較を示します。

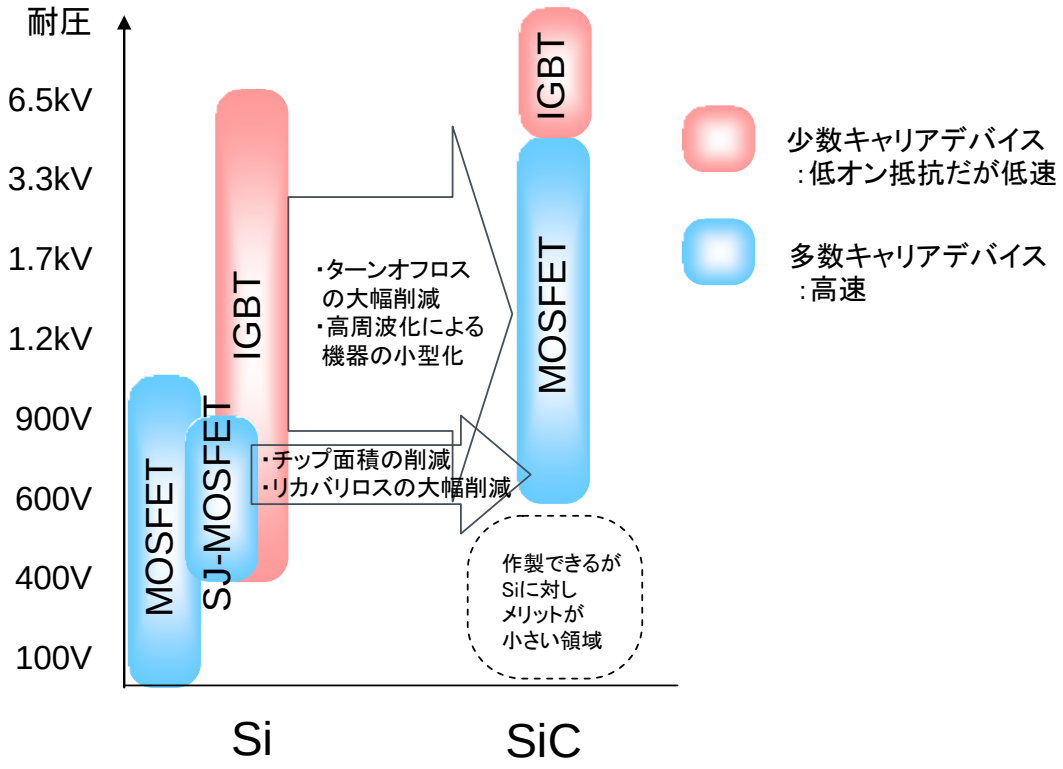


Figure 3-1. Si と SiC の定格電圧範囲(MOSFET, IGBT)

© 2020 ROHM Co., Ltd.

3.2 規格化オン抵抗(RonA)

SiC は絶縁破壊電界強度が Si の 10 倍であることから低い比抵抗、薄い膜厚のドリフト層で高い耐圧を実現できます。このため同じ耐圧同士で比較すると規格化オン抵抗(RonA: 単位面積当たりオン抵抗)の小さなデバイスが可能です。Figure 3-2 に示すとおり、例えばブレイクダウン電圧 900V で比較した場合、SiC MOSFET は Si MOSFET の約 100 分の 1、スーパージャンクション(Super Junction: SJ) MOSFET の約 10 分の 1 のチップサイズで同じオン抵抗を実現できます。これにより小さなパッケージで低オン抵抗を実現できるほか、ゲート電荷量 Qg、容量なども小さくなります。

現在、スーパージャンクション MOSFET は 900V までの製品しか存在していませんが、SiC では 1700V 以上の耐圧も低いオン抵抗で実現することができます。IGBT のようなバイポーラデバイス構造(オン抵抗は低くなる一方スイッチングが遅い)をとる必要がないため、低オン抵抗、高耐圧、高速スイッチングの全てを兼ね備えたデバイスを可能にします。

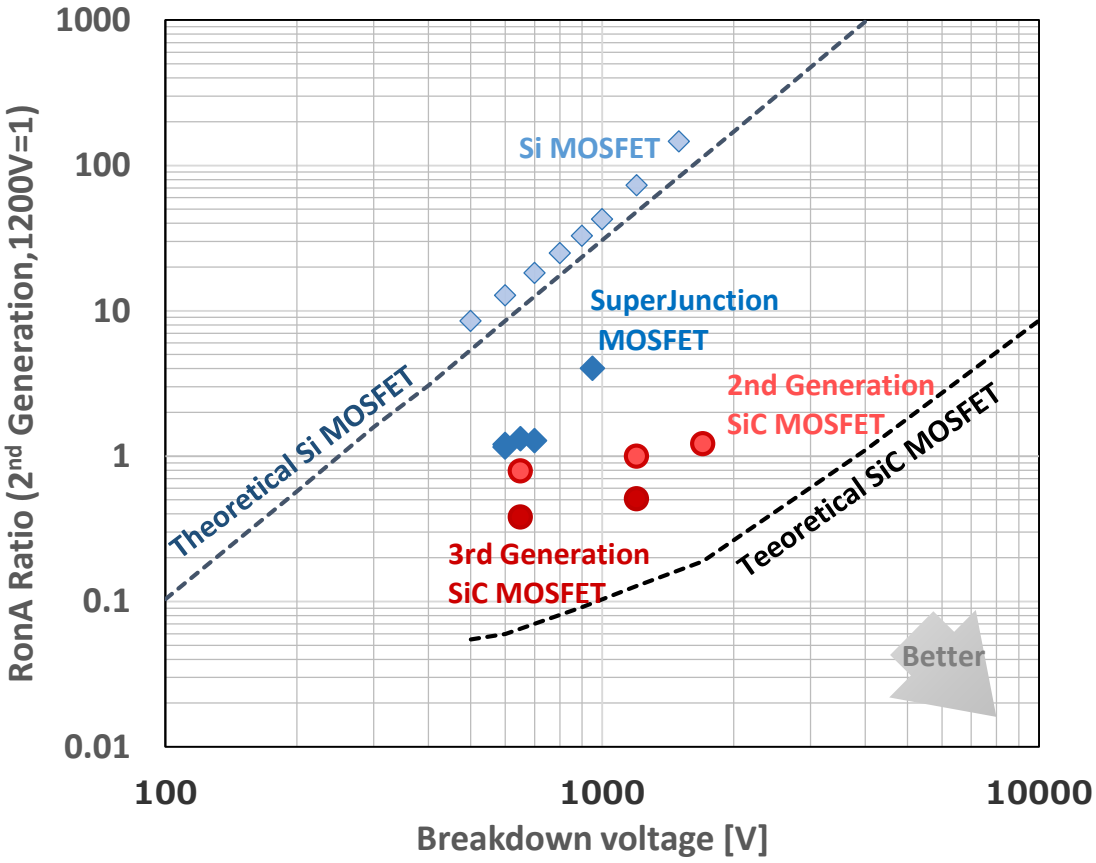


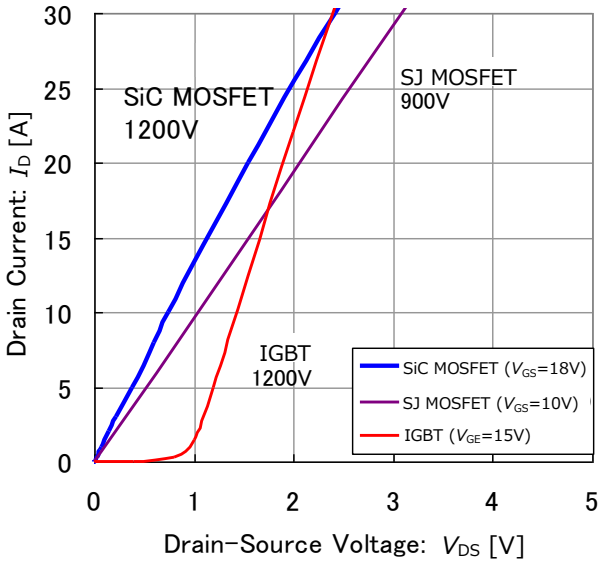
Figure 3-2. RonA 比較

© 2020 ROHM Co., Ltd.

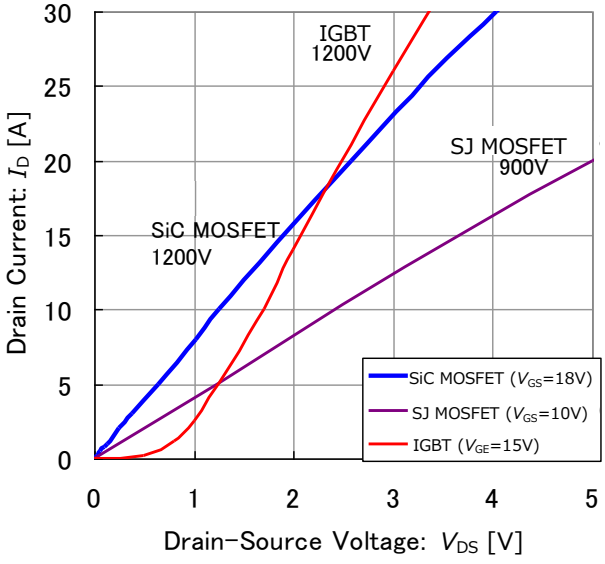
3.3 V_{DS}-I_D 特性

SiC MOSFET は IGBT のような立ち上がり電圧がないため小電流から大電流まで広い電流領域で低導通損失を達成できます。

また Si MOSFET は 150℃においてオン抵抗が室温の 2 倍以上に上昇しますが、SiC MOSFET では上昇率が比較的低いため熱設計がしやすく、高温においても低オン抵抗を実現できます。Figure 3-3 に常温、高温時の各デバイスにおける V_{DS}-I_D 特性を示します。



(a) Ta=25℃



(b) Ta=150℃

Figure 3-3. V_{DS} – I_D 特性

© 2020 ROHM Co., Ltd.

3.4 駆動ゲート電圧とオン抵抗

SiC MOSFET はドリフト層抵抗が Si MOSFET よりも低い一方で、現在の技術レベルでは MOS チャネル部分の移動度が低いため、チャネル部の抵抗が Si デバイスと比較して高くなっています。このため、高いゲート電圧ほど低いオン抵抗を得ることができます(V_{GS}=20V 以上で徐々に飽和)。

Figure 3-4 に示す V_{GS}-$R_{DS(on)}$特性からも見てわかるように、SiC MOSFET は一般的な IGBT や Si MOSFET で用いられる駆動電圧 V_{GS}=10～15V では本来の低オン抵抗の性能を発揮できません。このため十分な低オン抵抗を得るために、V_{GS}=18V 前後での駆動を推奨します。

また、V_{GS}=13V 以下では高温ほどオン抵抗が下がる傾向にあるため、並列接続した場合に一つの素子に電流が集中し熱暴走する可能性がありますので ご使用にならないようご注意下さい。

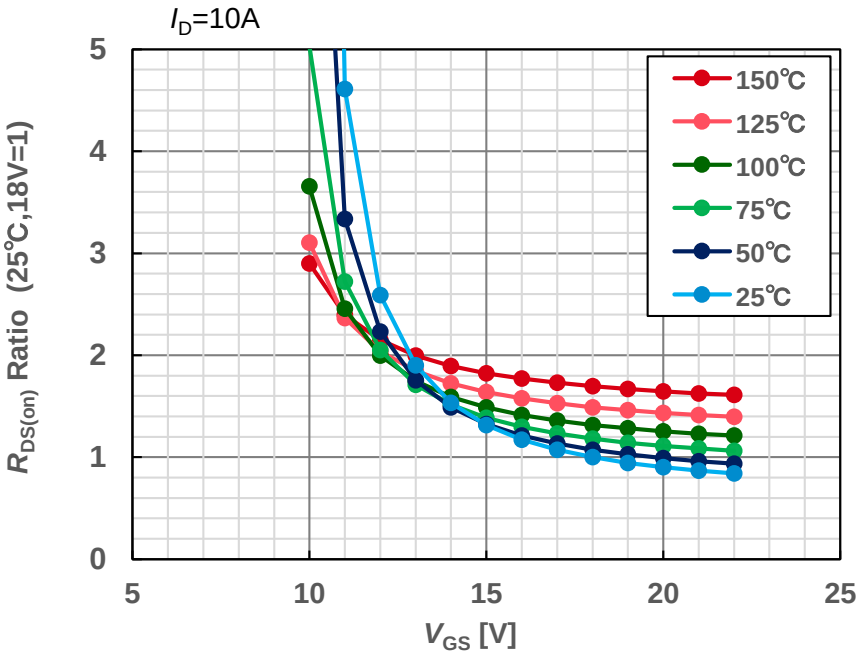


Figure 3-4. V_{GS}-$R_{DS(on)}$ 特性

© 2020 ROHM Co., Ltd.

3.5 オン抵抗の温度係数

一般的な Si の高耐圧 MOSFET は高温でオン抵抗が大きく上昇します。これはデバイスのオン抵抗のうち 9 割以上を占めるドリフト層の抵抗(R_{EPI})が 100℃上昇すると約 2 倍になる傾向があるためです。

SiC のドリフト層の抵抗も、Si と同様に 100℃上昇すると約 2 倍になる傾向がありますが、デバイス全体のオン抵抗の上昇率は Si MOSFET と比べて低くなっています(Figure 3-5)。これはデバイスのオン抵抗のうち、ドリフト層の抵抗が占める割合が小さく、その他の抵抗成分が多く含まれるためです。チャネル抵抗 R_{CH} は高温でやや低下し、n+基板の抵抗 R_{SUB} は温度依存性がほとんどありません。

SiC MOSFET でも耐圧によって、またデバイス設計によってオン抵抗の温度係数は異なります。650V 製品ではドリフト層の抵抗成分が小さいため温度係数は非常に小さくなりますが、1200V 製品ではドリフト層が厚くなり、抵抗成分が大きいため温度係数も大きくなります。同じ耐圧の SiC 製品でもドリフト層の厚みが厚いものは耐圧の実力値が高く、信頼性が高い一方でオン抵抗の温度係数は大きくなります(Figure 3-6)。

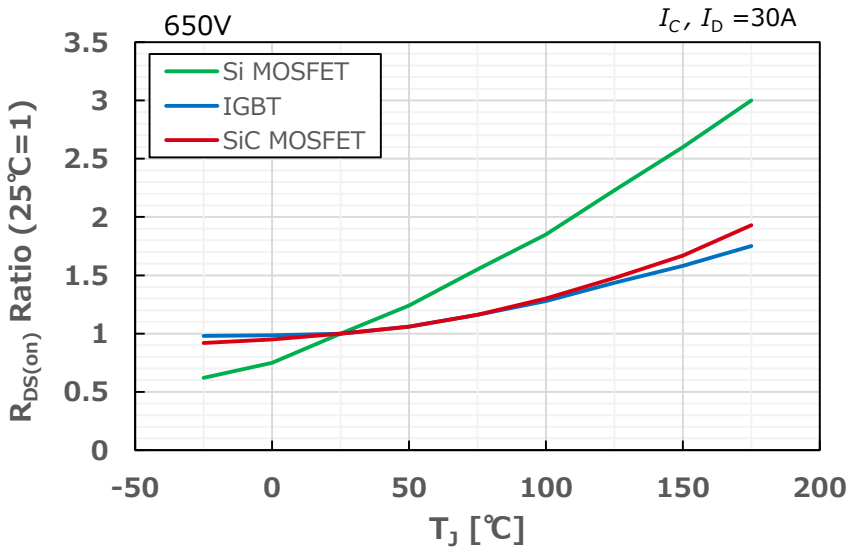


Figure 3-5. 650V SiC MOSFET, Si MOSFET および IGBT の規格化 $R_{DS(on)}$ 温度特性

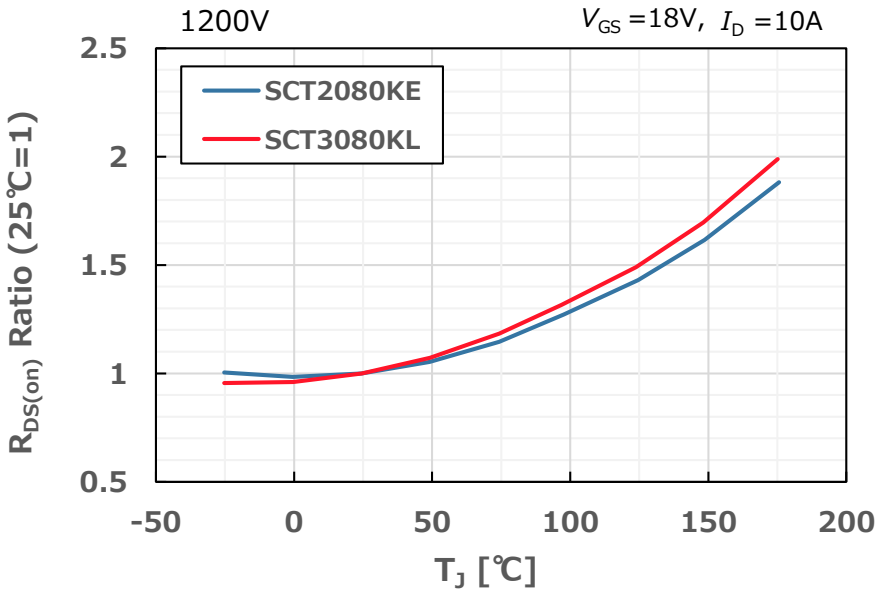


Figure 3-6. 1200V SiC MOSFET(第二世代および第三世代)の規格化 $R_{DS(on)}$ 温度特性

© 2020 ROHM Co., Ltd.

3.6 V_{GS}-I_D 特性

Figure 3-7 に V_{GS}-I_D 特性を示します。左右のグラフは同じデータであり、左側が縦軸 Log スケール、右側が Linear スケールとなっています。SiC MOSFET の閾値電圧は数 mA で定義した場合 Si MOSFET と同等で、室温で約 3V です(ノーマリ・オフ)。しかしながら、数 A 流すために要するゲート電圧は室温で約 8V 以上ですので、誤点弧に対する耐性は IGBT と同等といえます。閾値電圧は高温ほど低下する傾向です。グラフから分かるように、Ta=150℃時においても V_{GS}=6V 以上にしなければ 5A 以上の電流は流れません。

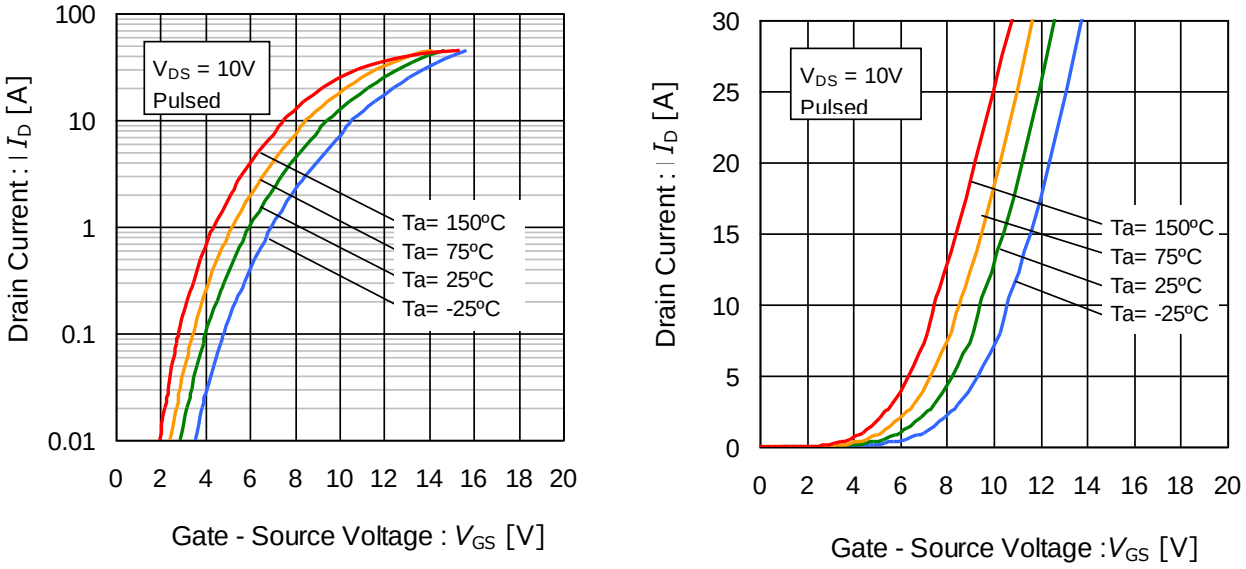


Figure 3-7. V_{GS}-I_D 特性 (SCT2080KE)

Figure 3-8 に SiC MOSFET と IGBT の V_{GS}(V_{GE})- I_D(I_C)特性を比較します。I_D(I_C) =10mA における $V_{GS(th)}$は SiC のほうが低いですが、5A 以上では IGBT よりも高くなることがわかります。

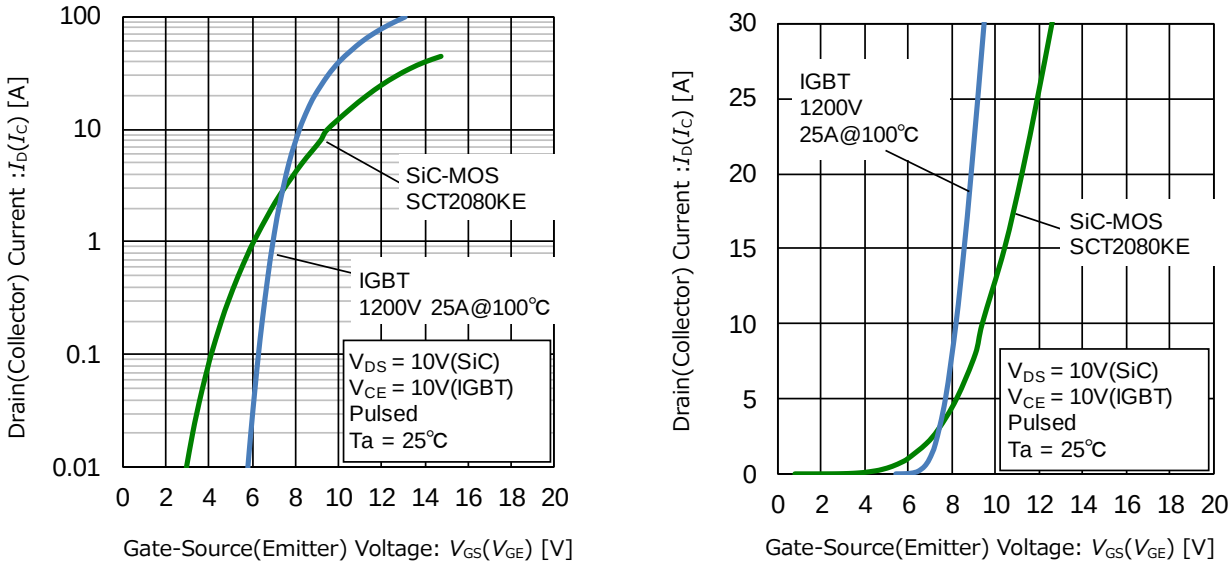


Figure 3-8. V_{GS}(V_{GE})-I_D(I_C)特性 (SiC MOSFET vs. IGBT)

© 2020 ROHM Co., Ltd.

3.7 ターン・オン特性

SiC MOSFET と SiC SBD を同一パッケージに実装した SCH2080KE と、同クラスの IGBT と Si FRD を同一パッケージに実装した製品で、それぞれハーフブリッジ回路を構成し、誘導負荷ダブルパルス試験(DPT)により、スイッチング波形を比較しました。Figure 3-9 がその試験回路です。

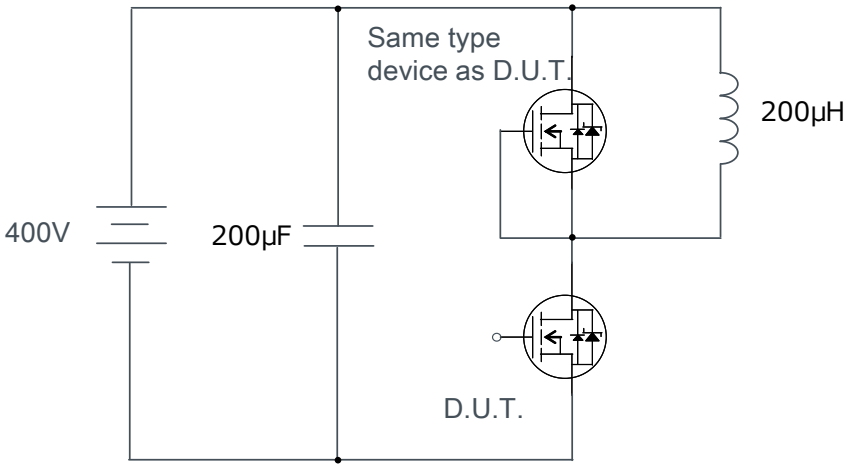


Figure 3-9. ダブルパルス試験回路

SiC MOSFET のターン・オン速度は IGBT や Si MOSFET と同等で数十 ns です。しかし誘導負荷スイッチングの場合、上アームのダイオードへの転流によって生じるリカバリ電流が下アームにも貫通して流れるため、ダイオードの性能によっては大きな損失が上乗せされます。(Figure 3-10)

Si FRD や、Si MOSFET のボディダイオードは通常リカバリ電流が非常に大きく 多大な損失を発生します。また高温ではさらにこの損失は大きくなる傾向です。一方、SiC SBD は温度によらず高速リカバリが可能ですし、SiC MOSFET のボディダイオードも V_F は高いものの SiC SBD と同等の高速性能を示します。これら高速リカバリ性能によってターン・オン損失(Eon)を数割削減することが可能です。

スイッチングスピードは外付けゲート抵抗 R_{G_EXT} に大きく依存します。高速動作を実現するためには数Ω程度の低いゲート抵抗を推奨します。サージ電圧を考慮したうえで適切なゲート抵抗をご選定下さい。

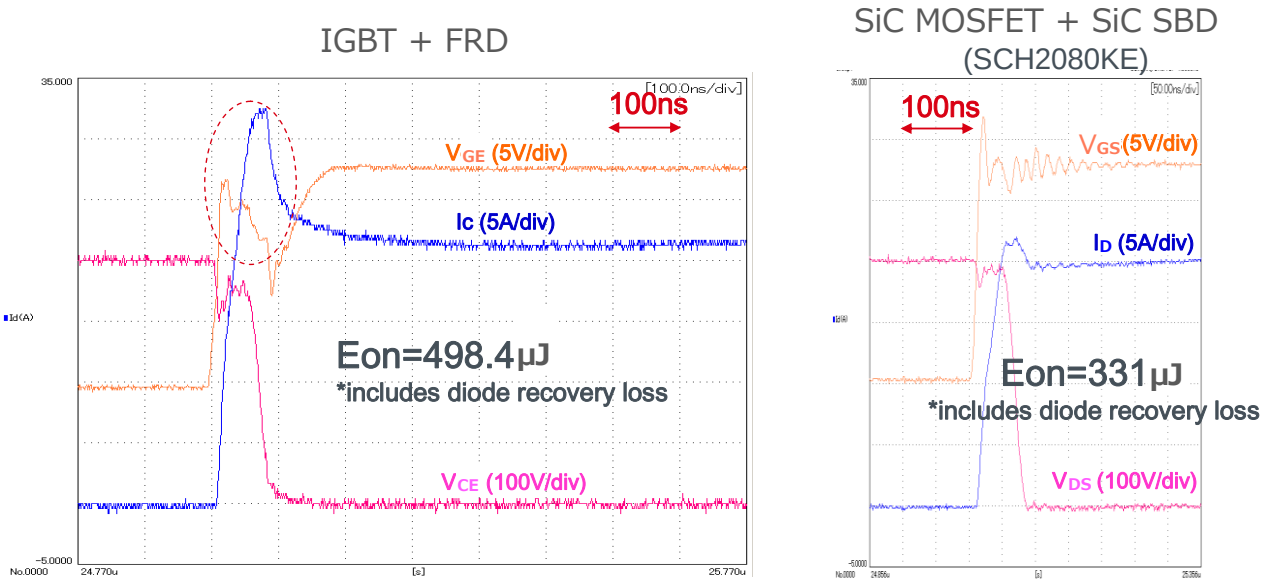


Figure 3-10. DPTターン・オン波形

© 2020 ROHM Co., Ltd.

3.8 ターン・オフ特性

SiC MOSFET の最大の特長は IGBT に見られるテイル電流が原理的に発生しないことです。SiC では 1200V 以上の耐圧においても高速な MOSFET の構造をとることができるため IGBT に比べターン・オフ損失(Eoff) を約 90%削減でき(Figure 3-11)、回路の省エネや冷却機構の簡素化・小型化に貢献します。IGBT のテイル電流は高温ほど大きくなるのに対し、MOSFET では温度依存性がほとんどありません。

また IGBT では大きなスイッチング損失による発熱でジャンクション温度(Tj)が定格を越えてしまうため、通常 20kHz 以上の高い周波数領域では使用することが出来ませんでしたが SiC MOSFET は Eoff が小さいため 50kHz 以上の高速スイッチング動作が可能です。高周波化によってトランスやフィルタなどの受動部品の小型化が可能です。(Figure 3-12)

スイッチングスピードは外付けゲート抵抗 R_{G_EXT} に大きく依存します。高速動作を実現するためには数Ω程度の低いゲート抵抗を推奨します。サージ電圧を考慮したうえで適切なゲート抵抗をご選定下さい。

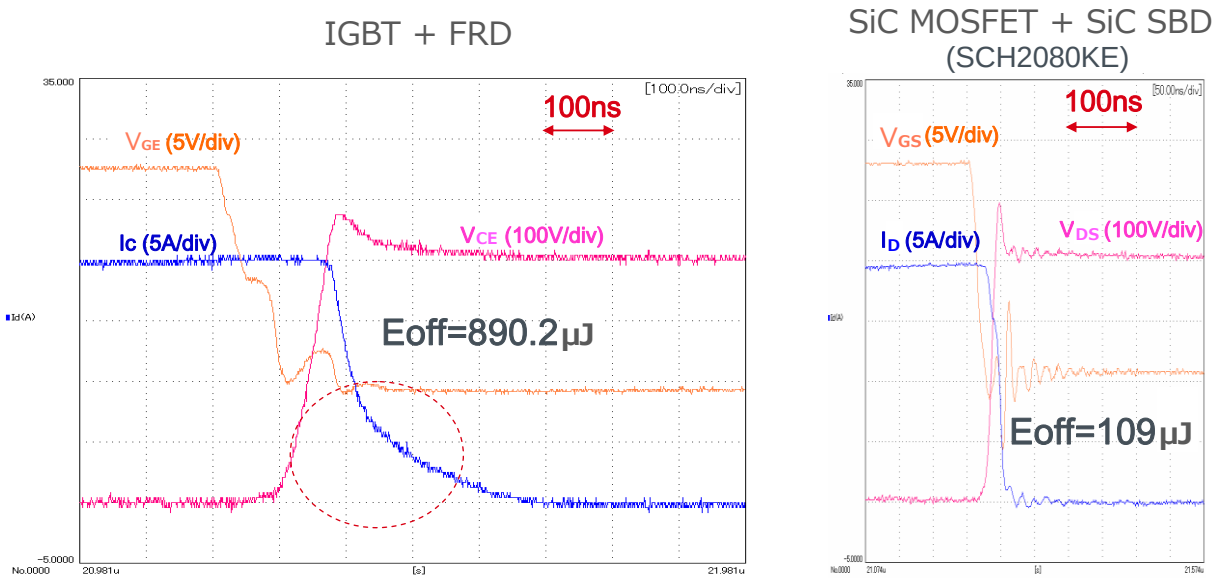
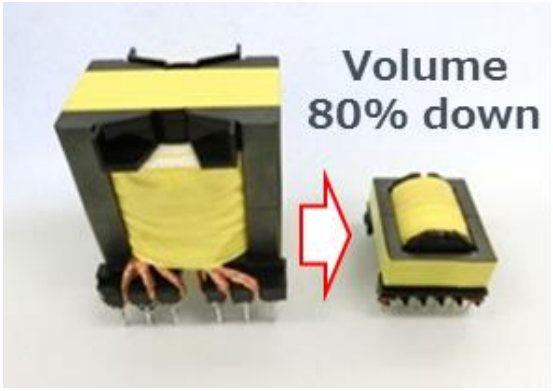


Figure 3-11. DPTターン・オフ波形



(a) 20 kHz (b) 160 kHz

Figure 3-12. 高周波化によるトランスフォーマのサイズダウン例

© 2020 ROHM Co., Ltd.

3.9 内部ゲート抵抗

チップ内部ゲート抵抗はゲート電極材料のシート抵抗とチップサイズに依存します。同じ設計であればチップサイズに反比例し、小さいチップほど高いゲート抵抗となります。SiC MOSFET のチップサイズは Si デバイスと比べ小さいため、容量は小さい一方でゲート抵抗は大きくなっています。第二世代 1200V 80mΩ品では内部ゲート抵抗は約 6.3Ω、第三世代 1200V 80mΩ品は約 12Ωです。

スイッチング時間は外付けゲート抵抗に大きく依存します。Figure 3-13 に外付けゲート抵抗とスイッチング損失の関係を示します。ゲート抵抗を大きくすると損失は大きくなりますので、高速スイッチングを実現するにはサージの状態を確認しながら数Ω程度のなるべく小さい外付けゲート抵抗をお使いください。

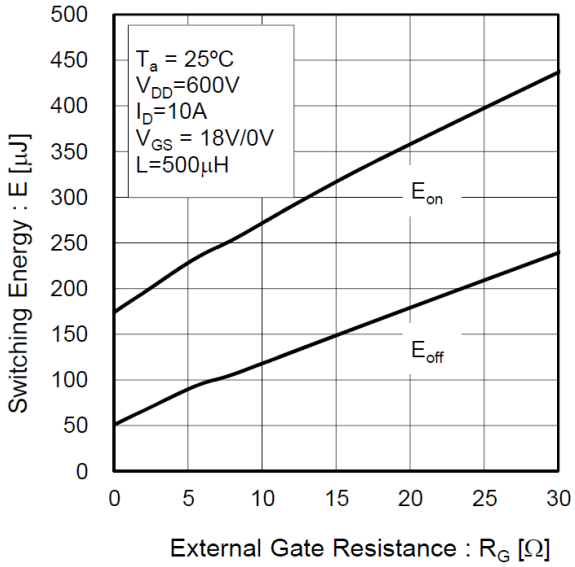


Figure 3-13. スイッチング損失の外付けゲート抵抗依存性

© 2020 ROHM Co., Ltd.

3.10 ボディダイオードのリカバリ特性

SiC MOSFET のボディダイオードは pn ダイオードでありながら少数キャリア寿命が短いため少数キャリアの蓄積効果がほとんど見られず、SBD と同等の超高速リカバリ性能(数十 ns)を示します。これにより Si MOSFET のボディダイオードや IGBT 外付けの FRD と比較してリカバリ損失を数分の 1 から数十分の 1 に削減できます。

ボディダイオードのリカバリ時間は SBD と同じく順方向注入電流 I_F に依存しません。また、Figure 3-14 に SiC MOSFET のボディダイオード(SCT2080KE)と SiC SBD(SCH2080KE)のリカバリ電流を比較していますが、dI/dt が一定の場合、両者に違いはありません。 インバータなどのブリッジ応用においては MOSFET のみでブリッジ回路を構成しても非常に小さなリカバリ損失を達成できるとともに、リカバリ電流に起因して発生していた故障リスクやノイズの低減も期待できます。

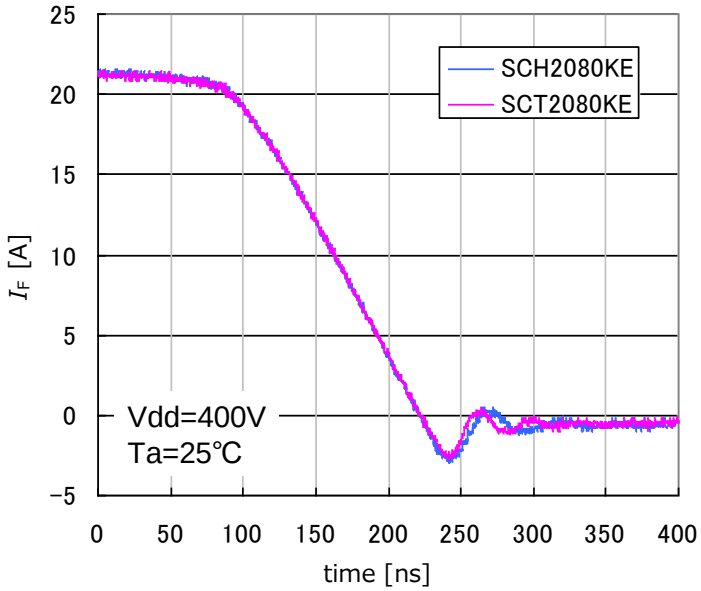


Figure 3-14. 逆回復特性

(a) SCH2080KE: SiC SBD 同梱タイプ, (b) SCT2080KE: SiC MOSFET のみ(ボディダイオード)

© 2020 ROHM Co., Ltd.

3.11 BV(Breakdown Voltage)の温度依存性

SiC MOSFET も Si MOSFET 同様、高温になるほど BV は上昇します。低温でご使用になる場合は室温と比べて BV 値が低下しますが、ローム SiC MOSFET は十分なマージン設計を行っているため低温においても定格電圧を下回ることはありません。

Figure 3-15 に一般的な BV 温度依存特性を示します。

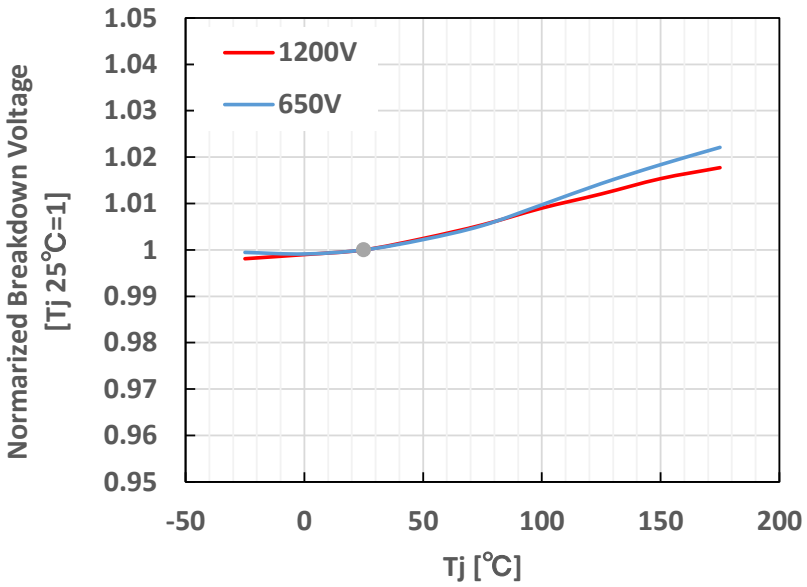


Figure 3-15. BV 温度依存特性

© 2020 ROHM Co., Ltd.

3.12 フライバック用 1700V SiC MOSFET

1700V 耐圧の SiC MOSFET は、Figure 3-16 に示すとおり、Si MOSFET に対して RonA が 200 分の 1 と大きな性能差が得られるため、10 分の 1 以下のチップサイズで 10 分の 1 の低オン抵抗を実現することもできます。200~400V AC 入力の産業機器における補助電源(フライバックコンバータ)に通常使用されている 1500V Si MOSFET(10Ω前後)を低オン抵抗な SiC MOSFET(1Ω前後)に置き換えることで、低発熱化によるヒートシンクの除去や、面実装化による自動実装化も可能で、トータルコストを上げることなく小型化、低発熱化、実装工程の簡素化を実現できます。ロームでは SiC 専用のフライバックコントローラ IC や SiC MOSFET とコントローラ IC の同梱製品も提案しています。

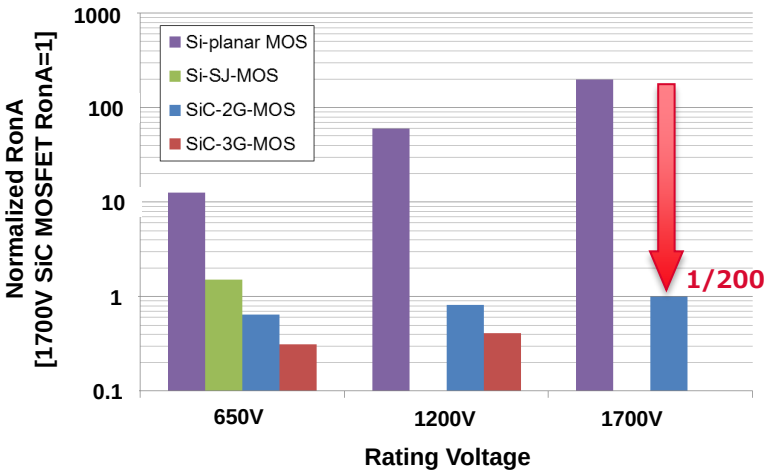


Figure 3-16. 耐圧別の RonA 比較

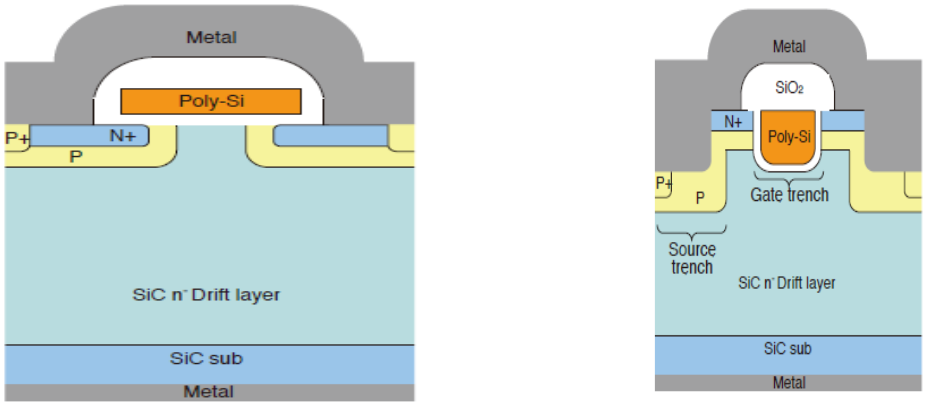
© 2020 ROHM Co., Ltd.

3.13 第三世代トレンチゲート SiC MOSFET

第三世代 SiC MOSFET ではトレンチゲート構造を採用しています(Figure 3-17)。 セルピッチを縮小しチャネル抵抗を低減したほか、JFET 抵抗と呼ばれる p-well 間の電流経路の狭さに起因する抵抗成分も排除しています。これにより第二世代と比べて RonA を半減させることに成功しました。Table 3-1 に第二世代と第三世代 MOSFET の主要特性の比較一覧を示します。同じオン抵抗を得るために必要なチップ面積が小さくてすむためコストダウンが可能です。

一般的な SiC のトレンチゲート MOSFET 構造では、ゲートトレンチ底部のゲート酸化膜がオフ時に高い電界にさらされるため長期信頼性を確保することが困難でしたが、ロームでは独自のダブルトレンチ構造を採用することでこの問題を解決しています。ソース部分にもトレンチ構造を作りこみ、その底部に p 型層を形成することで、オフ時にゲート酸化膜にかかる電界強度を 35%削減することに成功し、長期信頼性を実現することが可能になっています。

なお、第三世代 MOSFET ではゲート電圧の定格が狭いため、第 5 章のゲートサージ電圧対策方法をご確認いただき定格内でご使用ください。



(a) プレーナ型 (第二世代) (b) トレンチ型 (第三世代)

Figure 3-17. 第二世代と第三世代のデバイス構造

Table 3-1. 第二世代と第三世代の諸特性比較(データシート抜粋)

Device		**第二世代** SCT2080KE	**第三世代** SCT3040KL	
Package		TO247	TO247	
Tjmax		175℃	175℃	
Pd Tc=25℃		262W	262W	
Id Tc=25℃		40A	55A	
Vgs		-6 ~ 22V	-4 ~ 22V	
Ron	Tj=25℃	80 mΩ	40 mΩ	Ron ↓50%
	Tj=125℃	125 mΩ	62 mΩ	
Eon	Vdd=800V Id=20A	760uJ	550uJ	Esw ↓30%
Eoff		120uJ	90uJ	
Ciss/Coss/Crss		2080 / 77 / 16 (pF)	1337 / 76 / 27 (pF)	Ciss ↓35%
Qg		106 nC	107 nC	
Rg		6.3Ω	7Ω	

© 2020 ROHM Co., Ltd.

3.14 スイッチング特性の温度依存性

スイッチング速度はデバイスの寄生容量に大きく依存しますが、SiC MOSFET の寄生容量は温度に対してほとんど変化がなく、スイッチング損失の温度特性は極めて安定しています。Figure 3-18 に示すとおり、スイッチング損失は 25℃～175℃でほぼフラットな特性となっています。Figure 3-19 に SCT3040KL の(a)Ciss、(b)Crss、(c)Coss について温度特性を示します。いずれの成分も温度に対して安定していることがわかります。

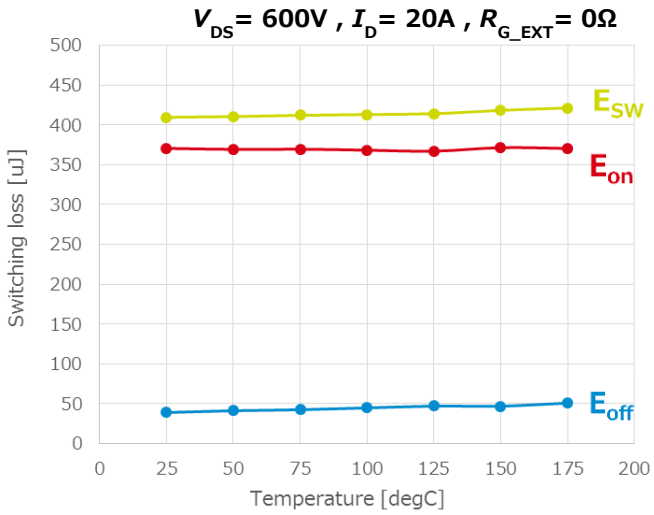


Figure 3-18. スイッチング損失の温度依存性 (SCT3040KL)

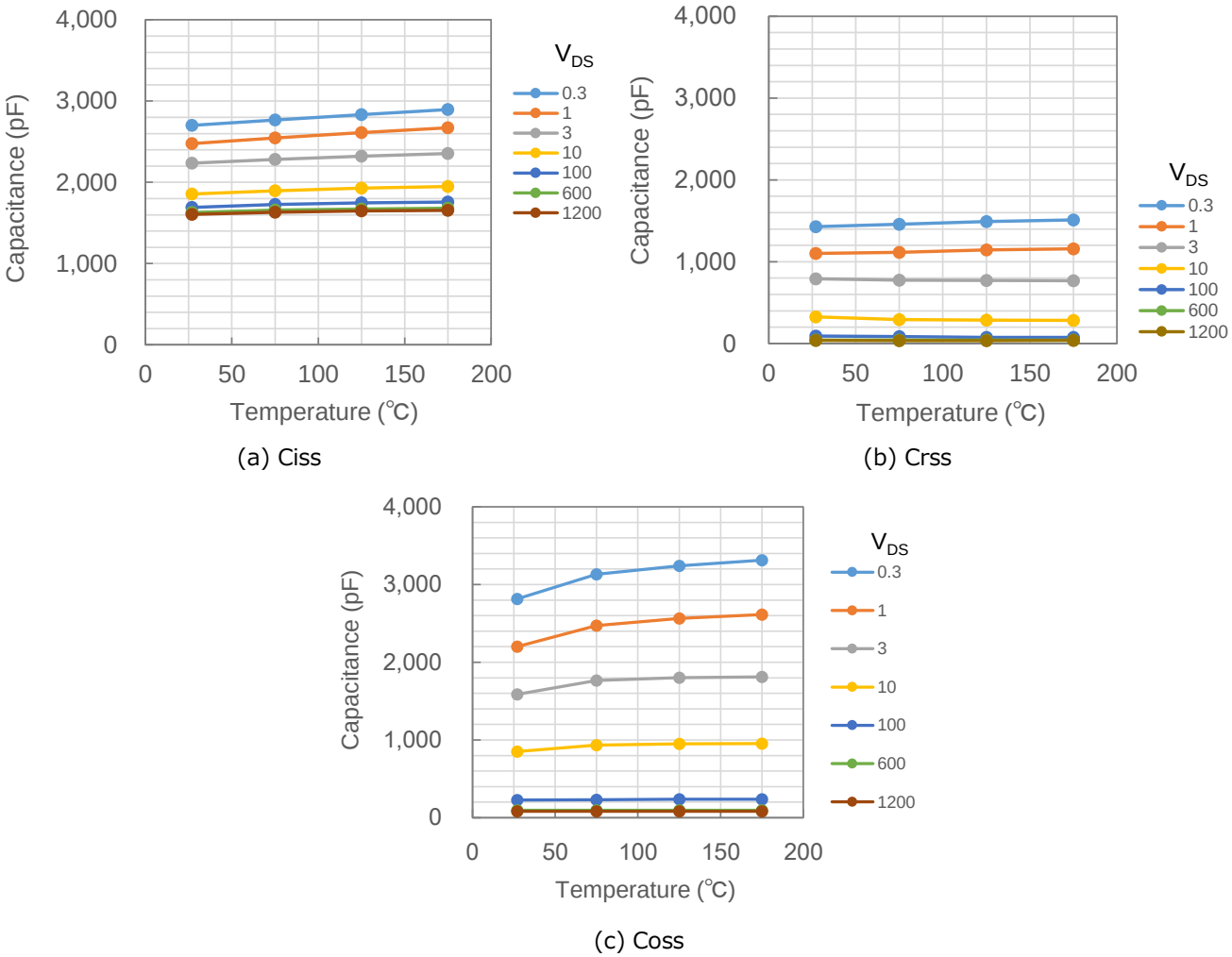


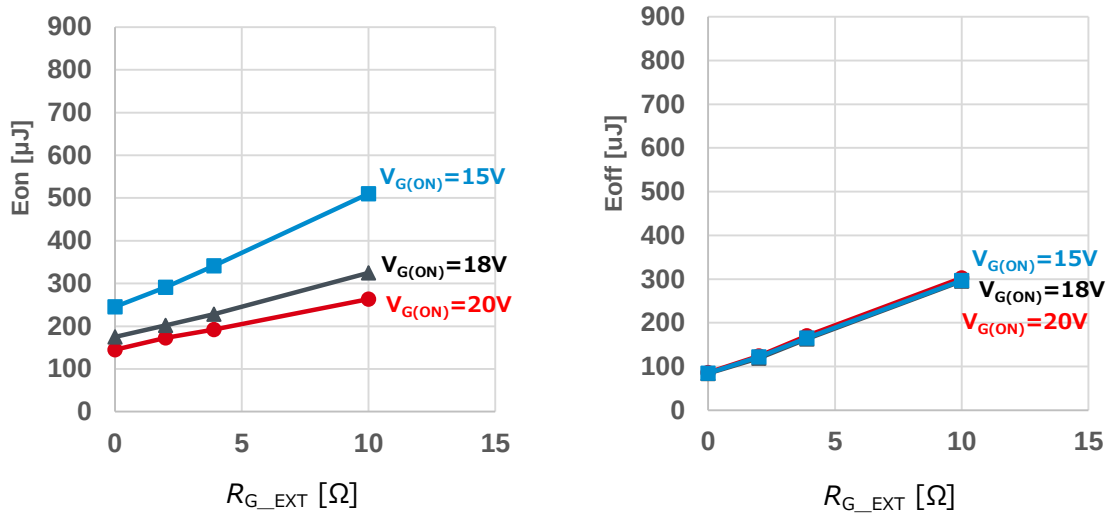
Figure 3-19. Ciss, Crss, Coss の温度依存性 (SCT3040KL)

© 2020 ROHM Co., Ltd.

3.15 スイッチング特性のゲート電圧依存性

ゲート駆動電圧によるスイッチン損失の違いを Figure 3-20 に示します。ターン・オン時スイッチング損失 Eon は駆動電源 $V_{G(ON)}$が高いほど低下し、18V では 15V に比べ 1.5 倍程度低くなります。これは $V_{G(ON)}$とプラトー電圧の電位差が大きいほど、ゲート電流が大きくなり、Crss の放電、すなわちドレイン電圧の低下速度を速めるためです。

一方で、ターン・オフ時スイッチング損失 Eoff は $V_{G(ON)}$による変化はほとんどありません。ターン・オフ時はプラトー電圧とゲートオフ電圧(この場合は 0V)の電位差で Crss を充電するゲート電流が決まるためであり、$V_{G(ON)}$は基本的に関係無いためです。

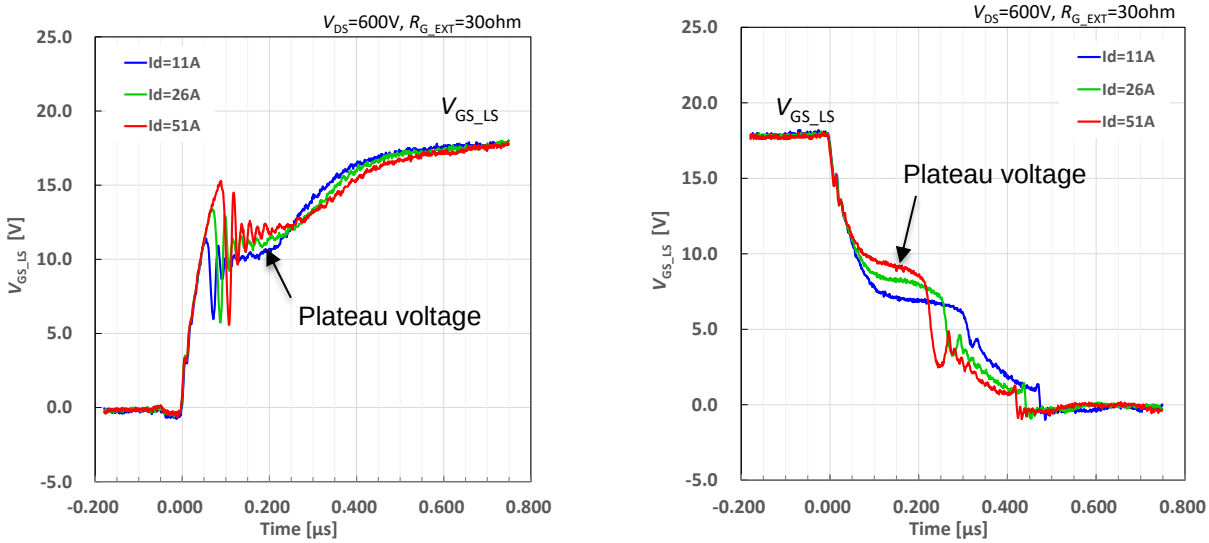


(a) Eon (b) Eoff

Figure 3-20. スイッチング損失の $V_{G(ON)}$依存性

3.16 スイッチング速度のドレイン電流依存性

Figure 3-21 はドレイン電流 I_D の違いによるゲート-ソース電圧 V_{GS} の挙動を示しています。ターン・オン時およびターン・オフ時共に、I_D が大きくなるとプラトー電圧は高くなる傾向にあります。そのため、I_D が大きくなると、ターン・オン速度は遅くなり、ターン・オフ速度は速くなります。



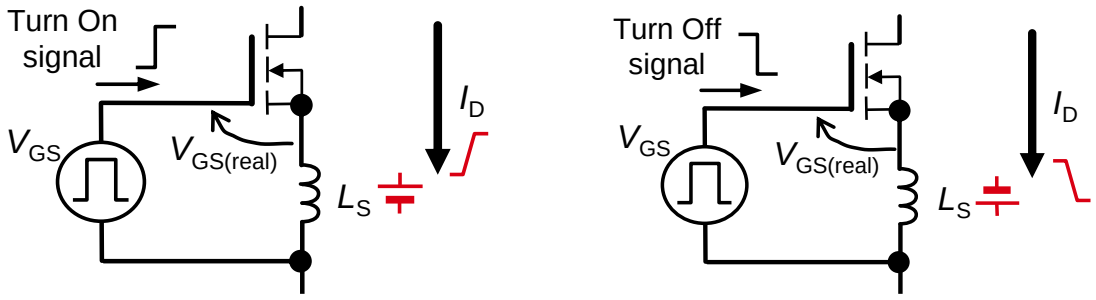
(a) Turn on (b) Turn off

Figure 3-21. I_D 毎のゲート-ソース電圧比較

© 2020 ROHM Co., Ltd.

3.17 スイッチング特性への寄生インダクタンスの影響

TO-247N 等の 3 ピンタイプのパッケージは、ゲート駆動回路とドレイン電流が流れる主回路で共通のソース端子を使用しています。そのため、ソース端子に起因する寄生インダクタンス Ls が、スイッチング時の I_D の変化により起電し、ゲート駆動回路に悪影響を与えます。Figure 3-22 にそのメカニズムを示します。ターン・オン時はドレイン電流 I_D が増加するため、その dI_D/dt により発生した電圧 $L_S \cdot dI_D/dt$ が G-S 間に印加される実効的な電圧 $V_{GS(real)}$を減少させてしまい、スイッチング速度を低下させます。また、ターン・オフ時は I_D が減少するため、L_S にはターン・オン時とは逆極性の電圧が発生し、ターン・オフ動作を妨げます。



$$V_{GS(real)} = V_{GS} - L_S \frac{dI_D}{dt}$$

(a) ターン・オン時 I_D 増加

$$V_{GS(real)} = L_S \frac{dI_D}{dt}$$

(b) ターン・オフ時 I_D 減少

Figure 3-22. ソースインダクタンスの影響による V_{GS}

ソースの共通インダクタンス Ls は、3 ピンパッケージのソース端子や内部のワイヤボンディングのみならず、PCB 上の配線レイアウトでも発生することがあります。

Figure 3-23 に PCB 上で主回路と駆動回路のリターン線を共通化した場合の弊害例を示します。レイアウト A は主回路とリターン線が一部共通化されていますが、レイアウト B では端子半田部から完全に分離させています。レイアウト A の方が V_{GS} の立ち上がりが小さく、I_D の立ち上がり速度も遅くなっていることがわかります。駆動回路のリターン線は MOSFET のリード端子部分から主回路と分離させるように引き出すことが重要です。

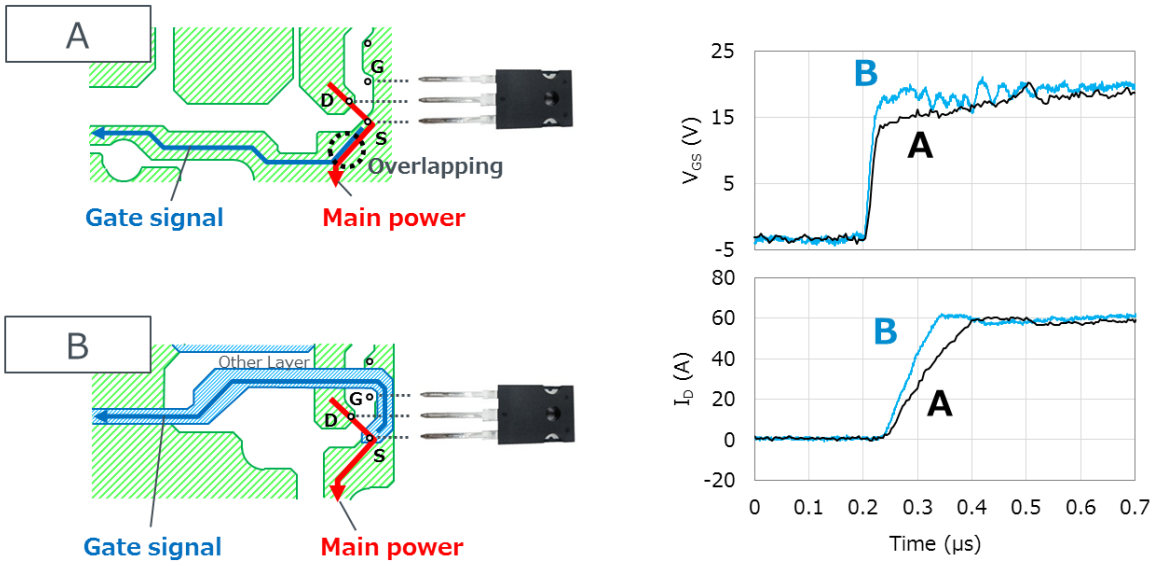


Figure 3-23. ゲート駆動回路レイアウトがスイッチング波形へ与える影響

(A) リターン共通, (B) リターン分離

© 2020 ROHM Co., Ltd.

3.18 ケルビンソースパッケージ

3.17 で説明したソース端子の起電によるスイッチング速度への影響を取り除くために、ケルビンソース(ドライバソース)端子付きパッケージが開発されています。ロームでは、TO-247-4L(4 リード)パッケージを製品化しています。 Figure 3-24 に外観図、Figure 3-25 に内部の等価回路を示します。

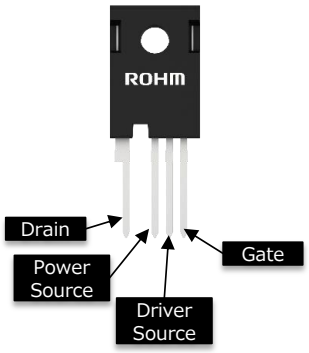


Figure 3-24. ケルビンソース端子付きパッケージ 外観図

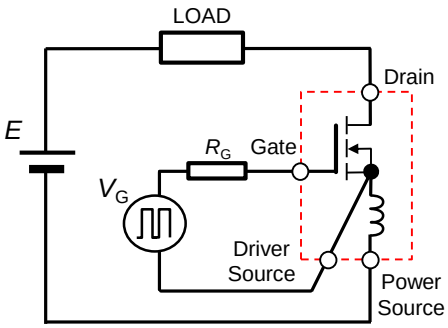
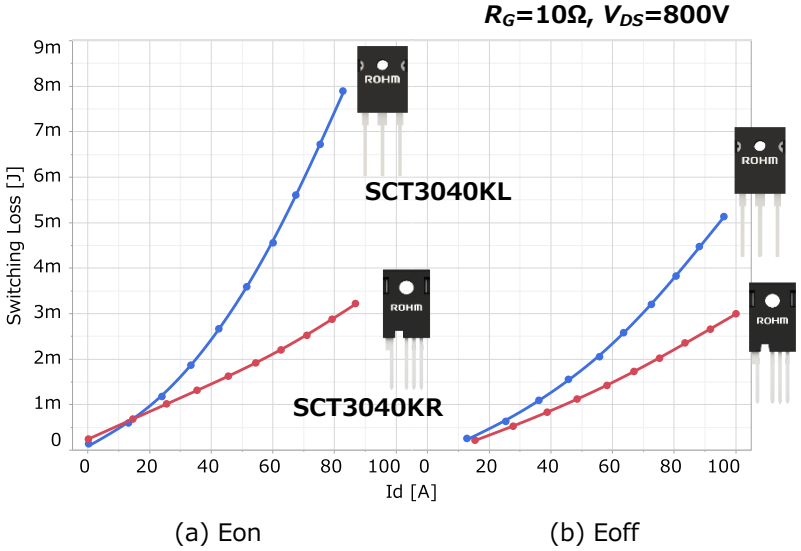


Figure 3-25. ケルビン接続を使用した駆動回路

このパッケージでは MOSFET チップの表電極から、主回路ソースとは別のワイヤで接続されたドライバソース端子が用意されています。これにより、主回路の寄生インダクタンスが電流変化により起電したとしても駆動回路には影響がなくなるため、スイッチング損失を大幅に改善することができます。DPT によるスイッチング損失の比較を TO-247N(3 リード)と TO-247-4L(4 リード)で行った結果を Figure 3-26 に示します。両者はパッケージが異なるのみで同一のチップを使用しています。ドライバソース端子があることによって、高い I_D ほどターン・オンおよびターン・オフ損失が大きく改善されていることがわかります。



(a) Eon (b) Eoff

Figure 3-26. スイッチング損失比較 (TO-247N vs. TO-247-4L)

© 2020 ROHM Co., Ltd.

4. ディスクリート用評価基板

4.1 SiC MOSFET ディスクリート用評価基板

ロームからリリースされている SiC MOSFET(ディスクリート)用評価基板一覧を Table 4-1 に示します。スイッチング特性を評価するためにハーフブリッジ構成となっており、ダブルパルス試験をはじめ、buck や boost トポロジの評価を最少の外付け部品で行うことができます。スイッチング速度の調整や、駆動電圧の変更が可能で、ゲートサージ保護回路なども備えています。

ロームホームページ内の SiC サポートページ(https://www.rohm.co.jp/power-device-support)に詳しい情報がありますのでご参照下さい。

Table 4-1. SiC MOSFET(ディスクリート)用評価基板一覧

評価対象デバイス	外観	品名
TO-247N/TO-247-4L 第三世代 SCT3xxxxxxxx series 用		P02SCT3040KR-EVK-001
TO-263-7L 第三世代 SCT3xxxxxW7 series 用 （開発中）		P03SCT3030AW7-EVK-001 P03SCT3040KW7-EVK-001
TO-247N 第二世代 SCT2XXX series 用		P01SCT2080KE-EVK-001

© 2020 ROHM Co., Ltd.

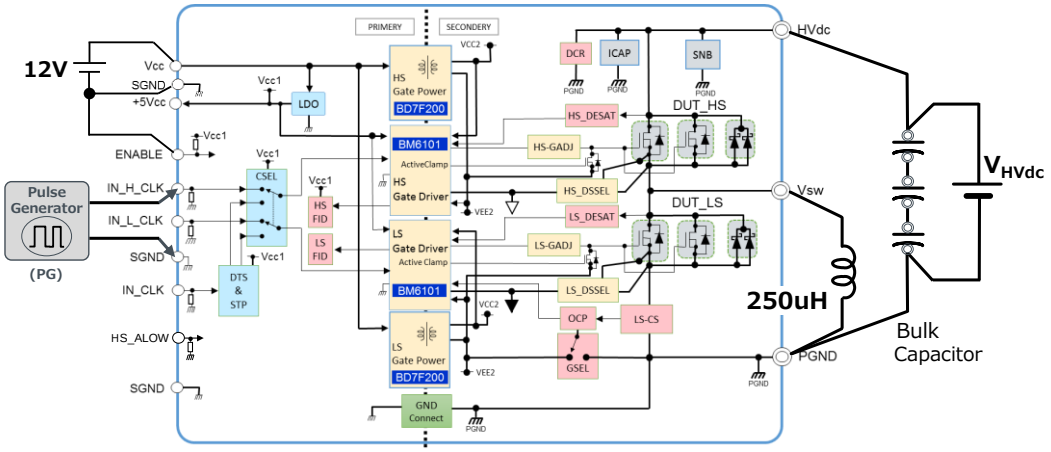
4.2 評価事例

評価基板 P02SCT3040KR-EVK-001 を使ったダブルパルス試験の実施例を説明します。DUT は SCT3040KR および SCT3040KL (1200V、40mΩ)です。Figure 4-1(a)に試験回路、(b)に測定風景、(c)に MOSFET のゲート駆動回路を示します。

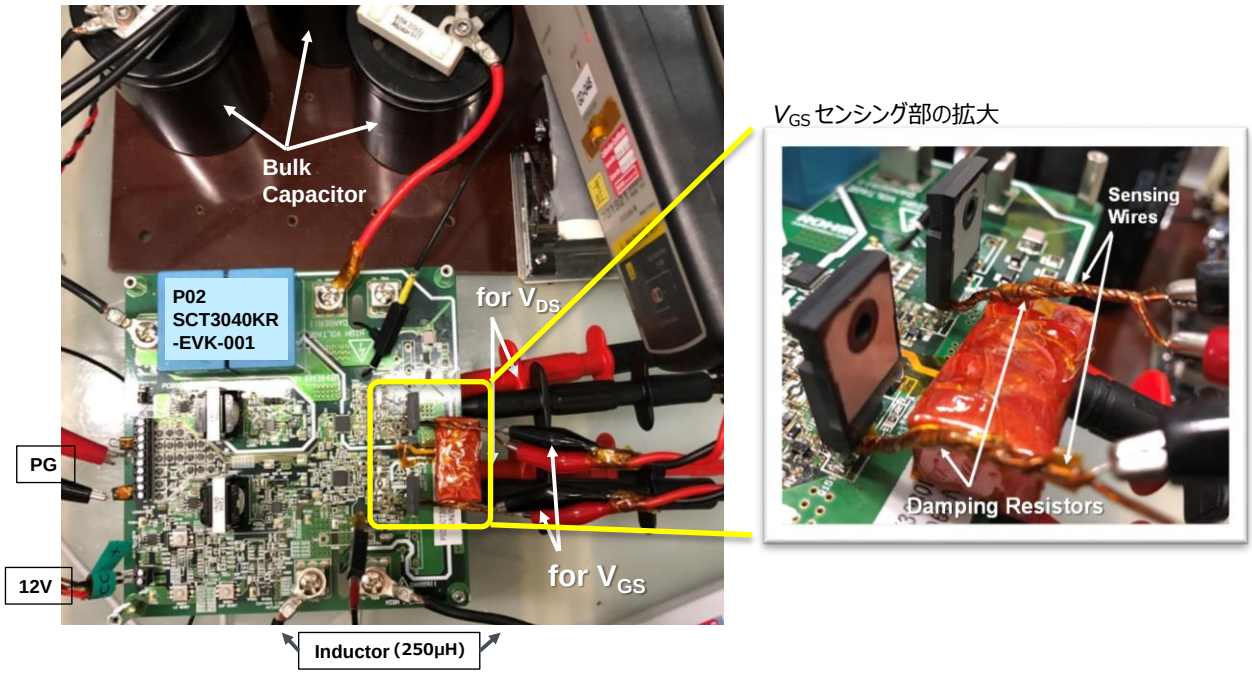
試験に必要な測定機器は、(a)に示す通り制御電源(12V)、パルスジェネレータ(PG)、負荷用インダクタ(250μH)、負荷用高圧電源(V_{HVdc})のみです。V_{HVdc} から評価基板までの距離があったため、今回はバルク用コンデンサ(Bulk capacitor)を接続しています。評価基板上にも 10μF フィルムコンデンサが実装されているので、バルク用コンデンサは基本的には必要ありませんが、動作条件に応じて接続することをお奨めします。

(b)に測定時の V_{GS} のセンシング方法について説明します。通常ハイサイド(HS)側 MOSFET の波形観測は絶縁プローブを使いますが、高耐圧絶縁プローブの先端は大きく、MOSFET の端子へ直接取り付けることは出来ません。そのため、今回の測定では、10cm ほどのセンス用銅線を MOSFET のゲート-ソース端子に半田付けし、その先端にプローブを取り付けています。更に追加したセンス線のインダクタンスによる波形リンギングを抑えるため、100Ωのダンピング抵抗を挿入しています。また、(c)の赤で示した部品は MOSFET のゲートーソース間に発生するサージを除去するための保護回路であり、その効果も併せて検証しました。

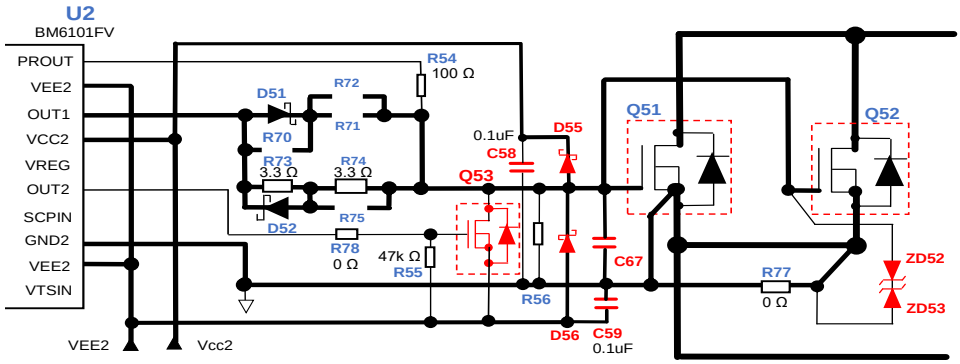
今回は HS 側 MOSFET をスイッチング用デバイスとして動作させ、ローサイド(LS)側は転流用としてボディダイオードを使用しています。V_{HVdc} は 800V、I_D が 55A~60A 程度になるようにパルス幅を調整し、ターン・オンおよびターン・オフ時のスイッチング動作を観測しました。その波形を Figure 4-2、4-3 に示します。



(a) 測定回路ブロック図



(b) 測定風景

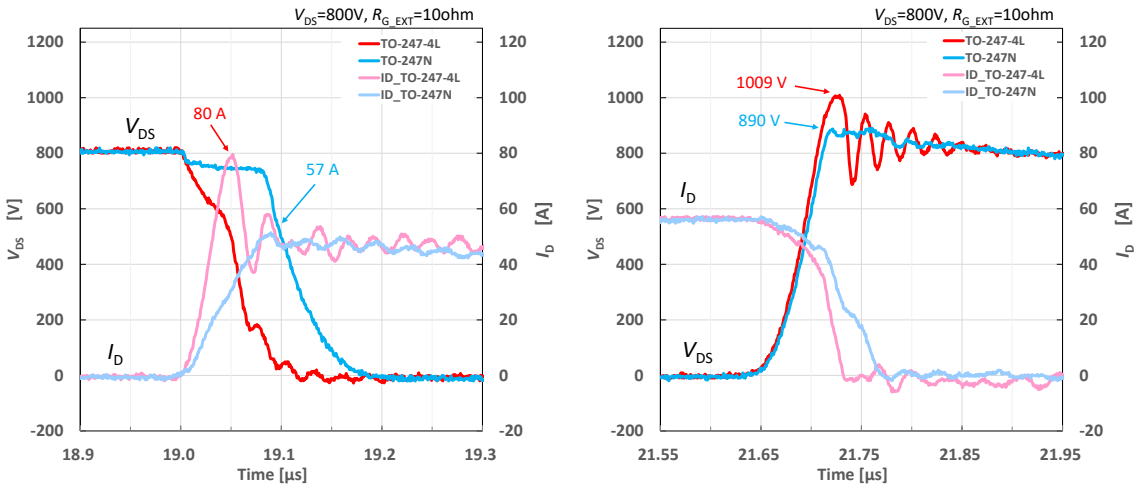


(c) ゲート駆動回路

Figure 4-1. P02SCT3040KR-EVK-001 測定回路

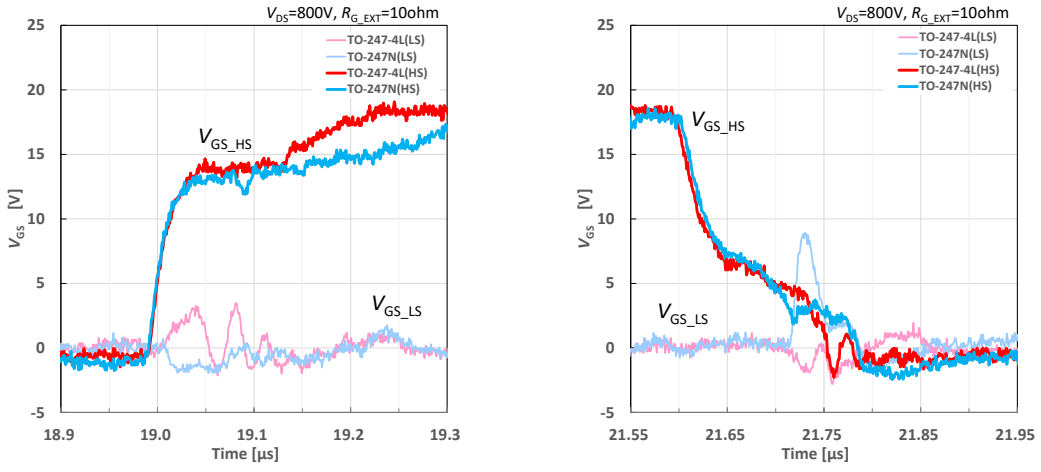
Figure 4-2(a)、(b)は V_{DS}、I_D の波形、同図(c)、(d)は V_{GS} の波形となっており、SCT3040KL(TO-247N)と SCT3040RK (TO-247-4L)を比較しています。(c)、(d)にあるスイッチング側の V_{GS_HS} 波形はほぼ同等ですが、(a)における I_D 波形はターン・オン時もターン・オフ時も TO-247-4L が非常に速くなっています。これは、3.18 節で述べたドライバソース端子による効果です。詳細はアプリケーションノート「ドライバソース端子によるスイッチング損失の改善」*4 を参照下さい。

一方、非スイッチング(LS)側 MOSFET のゲート-ソース電圧 V_{GS_LS} は、アプリケーションノート「ブリッジ構成におけるゲートーソース電圧の振る舞い」*1 で述べた正負サージを、Figure 4-1(c)で示す保護回路が除去しており、SiC MOSFET 特有の狭いゲート定格電圧を満足していることを示しています。



(a) ターン・オン時 V_{DS}, I_D

(b) ターン・オフ時 V_{DS}, I_D



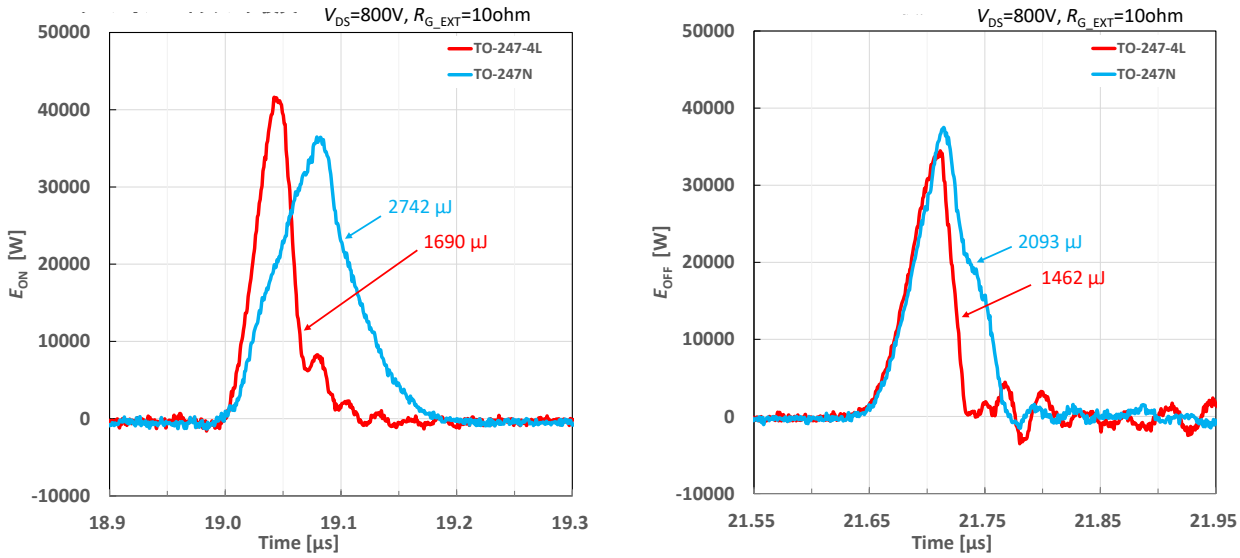
(c) ターン・オン時 V_{GS}

(d) ターン・オフ時 V_{GS}

Figure 4-2. TO-247-4L (SCT3040KR) と TO-247N (SCT3040KL)のスイッチング波形比較

© 2020 ROHM Co., Ltd.

また、Figure 4-3 はスイッチング損失 Eon、Eoff の波形を示しています。
TO-247-4L はソース端子の起電によるスイッチングスピード遅延の問題を解消し、トータルスイッチング損失を約 35%低減しています。



(a) ターン・オン時　　(b) ターン・オフ時

Figure 4-3. TO-247-4L (SCT3040KR) と TO-247N (SCT3040KL)のスイッチング損失比較

© 2020 ROHM Co., Ltd.

5. ゲートドライブ

SiC MOSFET は駆動が容易で、ドライブ電力が少ないノーマリオフタイプ・電圧駆動型のスイッチング素子です。基本的な駆動方法は IGBT や Si MOSFET と同様です。推奨駆動ゲート電圧はオン側が+18V 前後、オフ側は 0V ですが、高いノイズ耐性や高速なスイッチングが要求される場合にはゲート定格電圧内で負電圧も印加可能です。

本章ではゲート駆動に関する設計時の注意点や、推奨駆動条件などについて説明します。

5.1 回路方式における注意点

5.1.1 パルストランスによる駆動

パルストランスによる駆動では、正負極性に同じ電圧が出力されます。 SiC MOSFET の V_{GS} 定格は正側に比べ負側の定格範囲が狭いため、正負同電圧を出力するパルストランスは使用することができません。

5.1.2 ブートストラップ方式によるハイサイド駆動

MOSFET を上下に直列接続したブリッジ構成の場合、ハイサイド側(HS)のゲート駆動はフローティング方式を採用する必要があり、そのひとつにブートストラップ方式があります。動作については、非常に多くの文献がありますのでここでは省略しますが、HS 側 MOSFET がオフしている時には、通常 Figure 5-1 の実線矢印のような負荷電流が流れます。そのとき、LS 側 MOSFET がオフしていると、ボディダイオードが通電するため Vsw の電圧は-V_F になり、Boot Capacitor には(V_G+V_F)が充電されます。ところが、SiC MOSFET のボディダイオードの V_F は Si MOSFET に比べると大きいため、ゲート駆動 IC や MOSFET のゲート定格電圧を超えないように注意する必要があります。

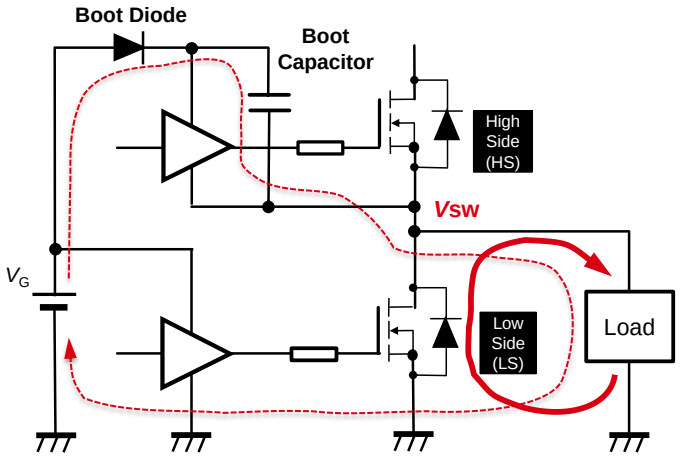


Figure 5-1. ブートストラップ回路

5.1.3 絶縁電源によるハイサイド駆動

HS 側 MOSFET 駆動用電源として絶縁トランスを使用した絶縁電源を使う場合、トランスの一次―二次間に存在しているカップリング容量に注意しなければなりません。なぜなら、トランスの二次側(MOSFET 側)は高速 d*v*/d*t* で変化するため、Figure 5-2 に示すように、トランスのカップリング容量を通して、一次側 GND1 に電圧ノイズが重畳され、最悪の場合ドライバ IC の誤動作を引き起こすことがあるためです。そのため、*V*sw 電圧の d*v*/d*t* 条件を考慮し、できるだけ小さいカップリング容量のトランスをお使い下さい。

© 2020 ROHM Co., Ltd.

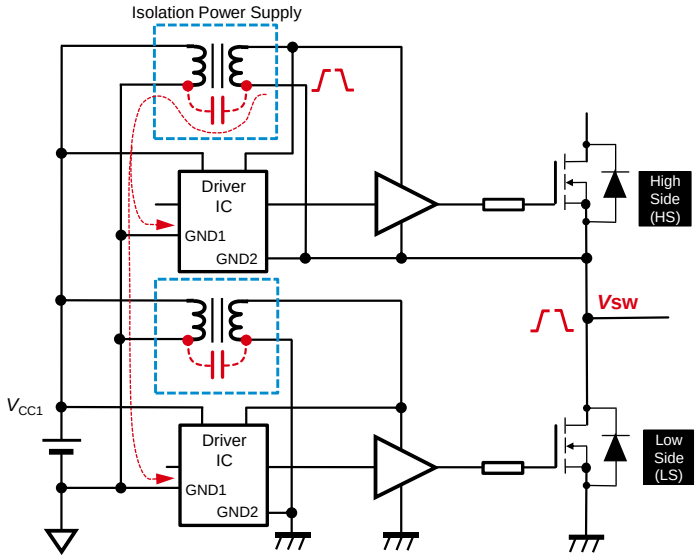
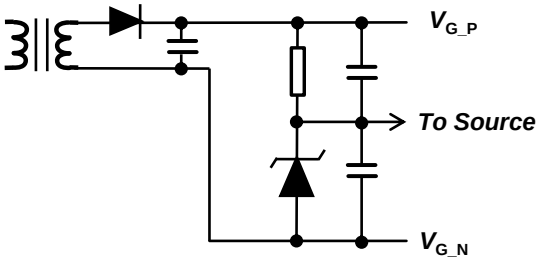


Figure 5-2. 絶縁電源用トランスフォーマにおけるノイズ問題

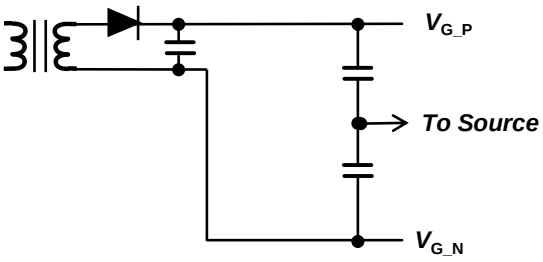
5.1.4 負バイアス生成回路

負バイアスを生成する回路例を Figure 5-3 に紹介します。それぞれの回路では、コストや実装スペース、電圧精度などに一長一短があるため、MOSFET の使用条件や、システム要求を十分に考慮して選定して下さい。

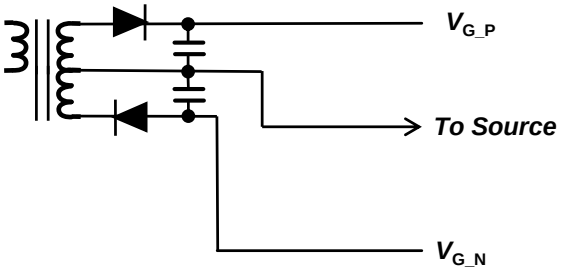
また、負バイアスに対応していないドライバ IC は、負バイアスである V_{G_N} をドライバ IC の GND レベルに接続することで使用することが出来ますが、MOSFET の駆動電圧をドライバ IC 内で監視(UVLO2)している場合は駆動電圧監視レベルが負バイアス分だけ低下してしまいますので注意が必要です。詳しくは 5.3 節を参照下さい。



(a) ツェナーダイオード方式



(b) キャパシタ分圧方式



(c) 正負出力トランス方式

Figure 5-3. 負バイアス生成回路例

© 2020 ROHM Co., Ltd.

5.2 バッファ回路

ドライバ IC は MOSFET を駆動するための IC ですが、同時に異常時の保護機能を有しているものも少なくありません。システム設計に必要な機能を有したドライバ IC は一般的に機能を優先して選択するため、十分な駆動能力を持ち合わせない場合があります。また、パワーモジュールなど MOSFET を 2 個以上並列接続したり、チップサイズの大きい MOSFET を使用したりする場合も、ドライバ IC 単独では駆動能力がそもそも不足する場合があります。

このような場合にはドライバ IC と MOSFET 間に駆動能力を補完するバッファ回路を設けることが有効です。バイポーラトランジスタを使用したプッシュプル型バッファ回路について、ローム製ドライバ IC(BM61S41RFV-C)を例に Figure 5-4 に示します。

Figure 5-4 の赤点線で囲んだ部分がバッファ回路です。OUT 端子から出力される駆動信号が Q1、Q2 のベースに接続されており Hi レベル時は Q1 がオンし、Lo レベル時は Q2 がオンします。ドライバ IC の駆動能力は 4A ですが、Q1、Q2 にローム製 2SRC542、2SRA542 を使用することで、駆動能力を約 10A(peak)まで高めることができます。

また、バッファ回路には発熱を分散させる役割も期待できます。スイッチング周波数を高くしたい場合にドライバ IC の発熱が問題になることがありますが、バッファ回路を付加し駆動回路全体の発熱を分散させることで高周波対応を行うこともできます。

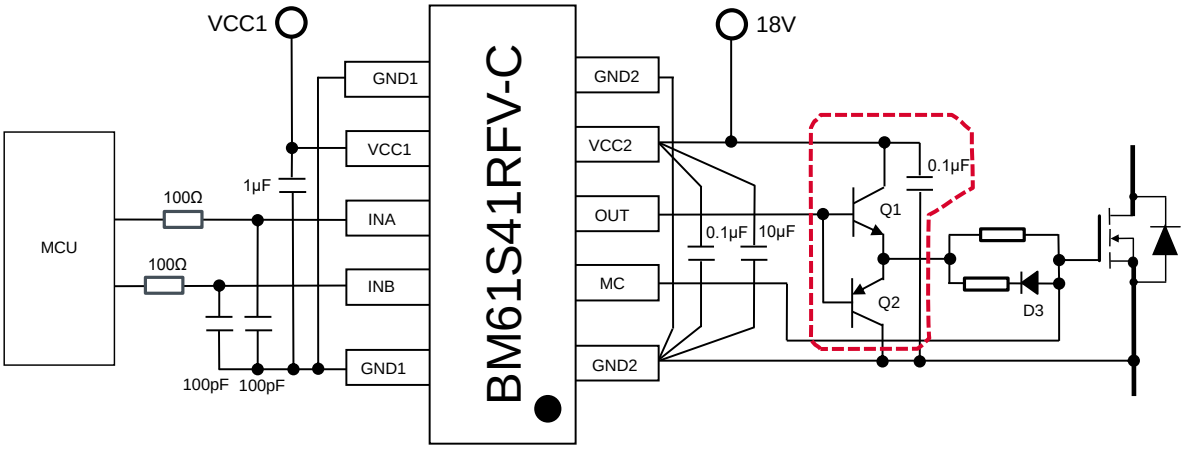


Figure 5-4. バッファ回路例（BM61S41RFV-C 使用）

© 2020 ROHM Co., Ltd.

5.3 UVLO (Under Voltage Lock Out： 低電圧誤動作防止機能)

SiC MOSFET は駆動電圧が低下するとオン時の抵抗($R_{DS(on)}$)が高くなることを 3.4 節(Figure 3-4)で説明しました。このため、ドライバ IC には通常、駆動電圧の低下を監視する機能が付加されています。

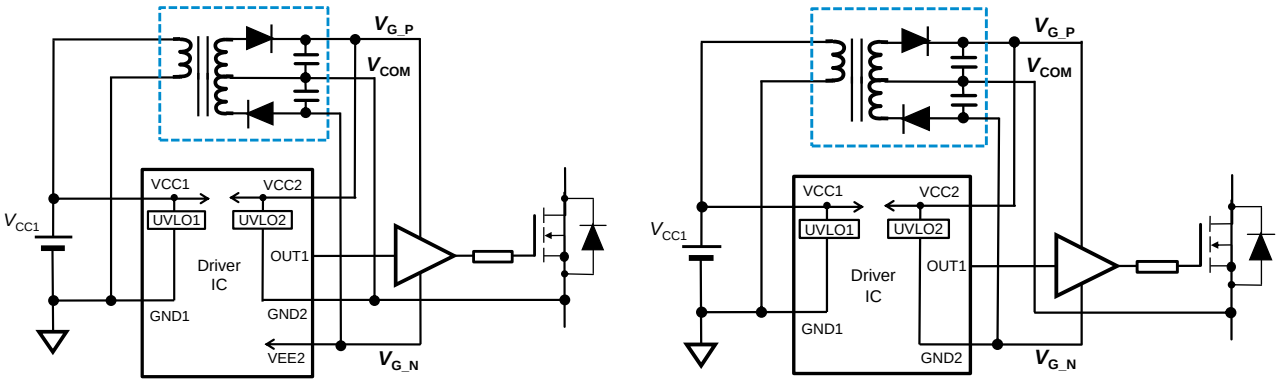
Table 5-1 にローム製ドライバ IC(BM61xxxxx シリーズ)の駆動電圧監視レベル V_{UVLO2} を示します。SiC MOSFET は Si MOSFET や IGBT に比べ駆動電圧が高いため、SiC MOSFET 用に開発された BM61S シリーズは UVLO2 レベルを高く設定しています。

Table 5-1. BM61xxxxx シリーズ VCC2 監視レベル

Item	Package	Isolation [kVrms]	Output Current [A]	V_{UVLO2} [V]	V_{OVP} [V]
BM61S40RFV	SSOP-B10W	3750	4	14.5	21.5
BM61S41RFV				14.5	NA
BM61M41RFV				7.4	NA

ここで注意しなければならないことは、5.1.4 節でも説明しましたが、負バイアス(VEE2)に対応していないドライバ IC を使い、負バイアスを使った駆動回路とする場合です。Figure 5-5 に一般的な駆動回路の電源供給方法を示します。(a)は負バイアス対応ドライバ IC を使用した場合、(b)は未対応のドライバ IC を使用した場合です。ゲート駆動用電源はオン時に V_{G_P} 電源、オフ時に V_{G_N} 電源を使用し、その GND を V_{COM} としています。 一般的にドライバ IC の V_{UVLO2} は IC の GND2 を基準としているため、(a)では GND2 は VEE2 の有無に関係なく一定であり V_{G_P} を同じレベルで監視しています。一方、(b)の場合は MOSFET の駆動電圧監視レベル V_{MOS_UVLO2} は式(1)のように負バイアス V_{G_N} 分だけ低くなってしまいます。負バイアスを使用する場合は、可能な限り負バイアスに対応しているドライバ IC を選定して下さい。

$$V_{MOS_UVLO2} = V_{UVLO2} - V_{G_N} \quad (1)$$



(a) 負バイアス機能あり　　(b) 負バイアス機能なし

Figure 5-5. 負バイアス機能の有無によるドライブ回路接続例

© 2020 ROHM Co., Ltd.

5.4 SiC MOSFET 用ゲートドライバ IC

SiC MOSFET 用ゲートドライバ IC を選定する上で、特に考慮しなければならないところは次の点です。

- 駆動電圧(最大定格など)
- 駆動能力(出力ピーク電流、スイッチング周波数など)
- 伝播遅延時間(一次-二次間など)
- 保護機能(Miller Clamp、DESAT、OCP、UVLO など)
- 同相過渡電圧耐性(CMTI: Common Mode Transient Immunity)

また、ドライバ IC は備えている機能によって、単機能タイプ(Simple タイプ)と多機能タイプ(Complex タイプ)の大きく二つのカテゴリに分けられます。Simple タイプは、駆動信号のみを備え SOP-8 や SSOP-10 などの小型パッケージで製品化されています。一方、Complex タイプは負バイアス対応、各種保護機能や温度モニタ機能、絶縁電源などを備え、SOP-20 以上の大型パッケージで製品化されているものが多くなっています。

必要な機能に応じて多数ラインナップしておりますので、ロームホームページ(https://www.rohm.co.jp)をご覧になるか、営業担当までご連絡下さい。

© 2020 ROHM Co., Ltd.

5.5 推奨ゲート電圧(V_{GS})

SiC MOSFET の駆動条件で特に大切なのは、駆動電圧です。3.4 節で説明しましたが、SiC MOSFET は、十分な低オン抵抗を得るために Si MOSFET よりも高い駆動電圧を印加する必要があります。一方で、SiC MOSFET のゲート定格電圧は Si MOSFET に比べ狭くなっています。

Figure 5-6 にローム製 SiC MOSFET(SCT3040KL)とスーパージャンクション MOSFET(R6047KNZ4)の駆動電圧比較を示します。SCT3040KL の推奨駆動電圧は 0V~+18V で、R6047KNZ4 の 0V~+10V に対して駆動電圧の振幅を大きくする必要があります。

一方、ゲート定格電圧に関しては、R6047KNZ4 が-30V~+30V となっていますが、SCT3040KL は-4V~+26V と狭く、特に負バイアス側に注意が必要です。更に、ゲート-ソース電圧にはスイッチング時に正負サージが重畳されることがありますが、その正負サージもゲート定格電圧内に収めなければなりません。

なお、ローム SiC MOSFET のゲート定格電圧については、世代毎に変わりますので、Table 5-2 に比較一覧を示します。

また、SiC MOSFET のゲート定格電圧については、8.2 節「SiC MOSFET の信頼性」を参照下さい。

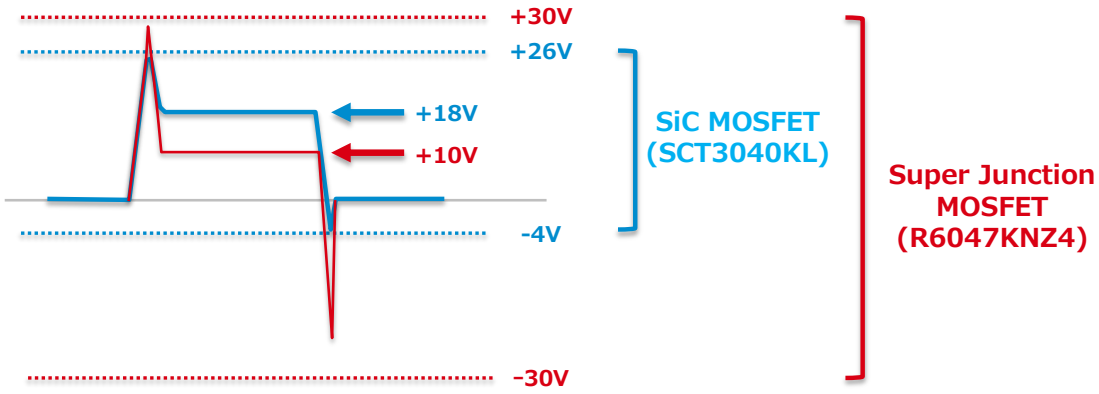


Figure 5-6 SiC MOSFET と Si MOSFET の定格ゲート電圧比較

Table 5-2. ゲート-ソース電圧比較

Parameter		2nd Generation SCT2xxxx	3rd Generation SCT3xxxx
Gate-Source Voltage		-6 V ~ +22 V	-4 V ~ +22 V
Gate-Source Surge Voltage		-10 V ~ +26 V	-4 V ~ +26 V
Recommended Drive voltage	Positive	+18 V ~ +20 V	+18 V ~ +20 V
	Negative	-4 V ~ 0 V	0 V

© 2020 ROHM Co., Ltd.

5.6 推奨外付けゲート抵抗(R_{G_EXT})

MOSFET のスイッチング性能を決定する重要な要素は外付けゲート抵抗(R_{G_EXT})です。ゲート駆動時のピーク電流は式(2)に示すとおり、ドライバ IC の出力ソース抵抗(R_{ONH})と R_{G_EXT}、内部ゲート抵抗(R_{G_INT})の合計値で決まります。3.9 節で説明したとおり SiC MOSFET は一般的に Si MOSFET よりも内部ゲート抵抗が大きい傾向にあるため、高速スイッチングをするためには外付けゲート抵抗 R_{G_EXT} を小さくしてゲート電流を大きくする必要があります。また、5.5 節で説明したゲート-ソース間の正負サージも R_{G_EXT} が大きいほど大きくなるため、できるだけ小さい値を選定することでサージを小さくすることができます。

$$I_{PEAK} = \frac{V_{G_P}}{(R_{ONH}+R_{G_EXT}+R_{G_INT})} \quad (2)$$

ただ、スイッチング速度を速くするとドレイン-ソース間に発生する電圧サージが大きくなりますので、定格内に収まるように R_{G_EXT} を選定するか、スナバ回路などのサージ吸収回路を付加しサージを吸収して下さい。

© 2020 ROHM Co., Ltd.

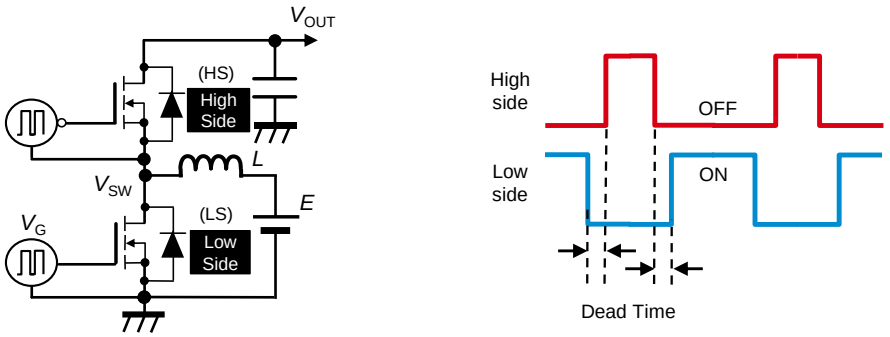
5.7 推奨デッドタイム(t_{DT})

ブリッジ構成で使用される MOSFET は、上下が同時オンしないように通常デッドタイム期間を設けます。 Figure 5-7(a)に boost 回路でのデッドタイム制御の事例を示します。ローサイド(LS)MOSFET がスイッチング用、ハイサイド(HS)MOSFET は同期整流用として動作しています。同図(b)で示すとおり、HS と LS の同時オンを防止するためにデッドタイム期間を LS のターン・オン前とターン・オフ後に設けています。デッドタイム期間中は MOSFET のボディダイオードを通してインダクタ L の電流が流れます。SiC MOSFET のボディダイオードの順方向電圧 V_F は Si デバイスよりも高いため、できるだけ短時間にすることが望ましいと言えます。

ところが、ターン・オフ時のインダクタ L の電流 $I_{L(OFF)}$が小さくなると、上下 MOSFET の Coss への充放電電流が小さいことになり、結果としてデッドタイム期間中に Coss の充放電、つまり V_{DS} の変化が完了しないことになります。この場合、本来発生しない同期整流側 MOSFET のスイッチング損失が発生し、効率低下や発熱増大の問題が現れてきます。そのため、$I_{L(OFF)}$の動作条件に従ってデッドタイム時間の最小値を見積もる必要があります。

式(3)に示す最小デッドタイム期間は、簡略化するため Coss を一定として算出していますが、実際にはドレイン-ソース電圧 V_{DS} で Coss は変化します。一般的にデータシートに記載されている Coss は、ある V_{DS} における代表値で記載されていることが多く、必ずしも最悪条件とはなりません。Figure 5-8 に示す V_{DS}-C 特性を使い、Coss が最大となる V_{DS}<1V での値を用いて計算することで、余裕を持ったデッドタイム設計ができます(点線で囲まれた部分)。実際に充放電に必要な電荷量は、図中実線で囲まれた部分の面積になりますので、式(3)の分子にこの面積部分を使用すれば、より正確に t_{DT} を計算することも可能です。Figure 5-8 のような容量グラフはデータシートに必ずと言っていいほど記載されています。

$$t_{DT} > \frac{(C_{OSS_HS}+C_{OSS_LS})\times V_{OUT}}{I_{L(off)}} \quad (3)$$



(a) boost 回路　　(b) PWM パルスタイミング

Figure 5-7. boost 回路におけるデッドタイム制御

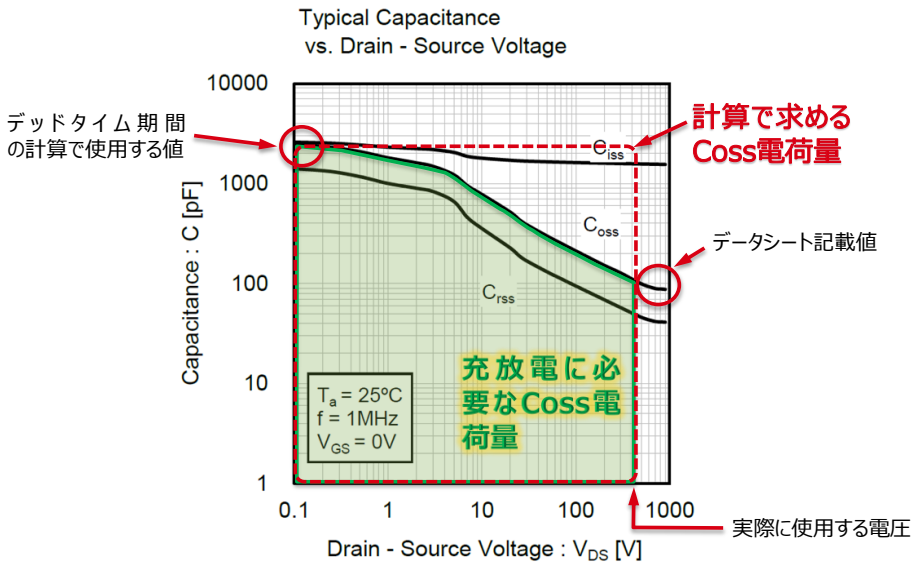


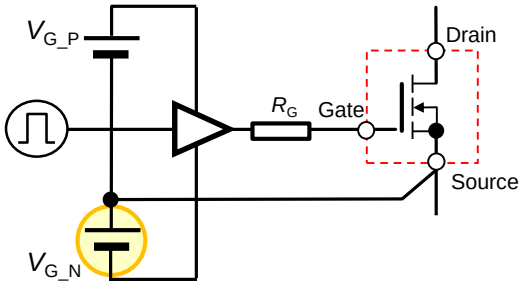
Figure 5-8. 寄生容量の V_{DS} 依存性(SCT3040KL)

© 2020 ROHM Co., Ltd.

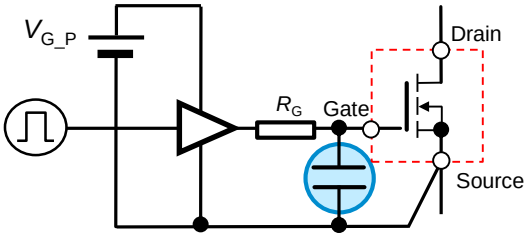
5.8 誤点弧対策

インバータやフルブリッジ回路など MOSFET をブリッジ構成で使用する場合、上下アームのうち片方あるいは両方の MOSFET が同時にオフとなっているはずですが、スイッチング側 MOSFET の動作に合わせて非スイッチング側(還流側)の V_{DS} や I_D が変化することで、ゲート端子にはオフ指示が来ているにも関わらず、意図せずターン・オンしてしまうことがあります。これを誤点弧あるいはセルフターンオンと呼びます。この現象が発生すると、効率の低下を招くばかりか、最悪の場合、MOSFET の破壊を招くことになります。

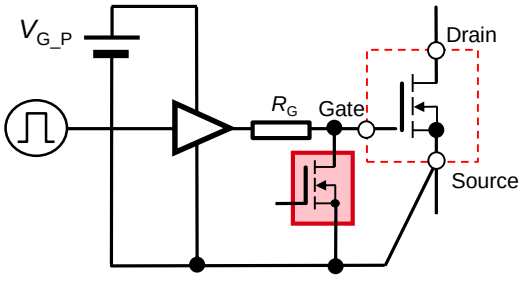
Figure 5-9 に対策回路例を示します。(a)はターン・オフ電圧を負電圧(V_{G_N})にすることで、誤点弧のきっかけとなるゲート電圧の持ち上がりが発生しても $V_{GS(th)}$を超えないようにするものです。ただし、負側の V_{GS} 定格が狭い第三世代 SiC MOSFET では使用することができません。(b)は MOSFET のゲートーソース間に 1nF~5nF のコンデンサを接続することで、瞬間的なゲート電圧の上昇を抑えます。(c)はゲートーソース電圧が一定電圧以下でオンするようなアクティブミラークランプ MOSFET を使うことで、ゲートーソース間電圧の上昇を抑えます。(b)、(c)に関しては寄生インダクタンスが存在すると効果が薄れてしまうため、対策部品をゲート端子、ソース端子のなるべく直近に取り付けることが重要です。部品選定の際も寄生インダクタンスの小さい小型パッケージのものを選ぶことを推奨します。



(a) 負バイアス



(b) ゲート-ソース間にコンデンサ接続



(c) アクティブミラークランプ MOSFET

Figure 5-9. ブリッジ構成における誤点弧対策例

いずれの方式にも一長一短があり、使用するドライバ IC が有する機能によって適用できない場合があります。誤点弧の発生メカニズムを正しく理解した上で選定するようにお願いします。

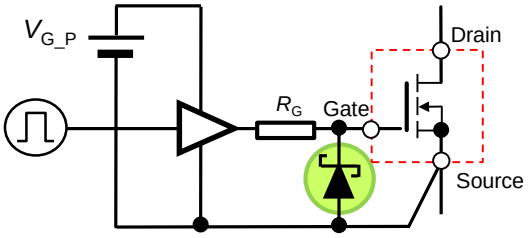
なお、誤点弧発生のメカニズムについては、アプリケーションノート「ブリッジ構成におけるゲート-ソース電圧の振る舞い」*1 に詳しく説明してあります。また、アプリケーションノート「ゲート-ソース電圧サージ抑制方法」*2 に各種対策回路を紹介していますので、併せてご参照下さい。

© 2020 ROHM Co., Ltd.

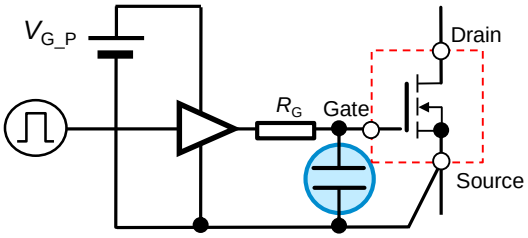
5.9 負サージ対策

5.5 節で説明しましたが、SiC MOSFET のゲート定格電圧は非常に狭く、特に負バイアスに関しては、実使用電圧に対して数 V のマージンしかありません。そのため、ゲート負サージ対策を設計段階から盛り込むことが非常に重要です。

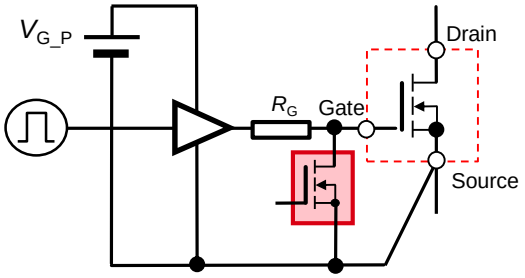
Figure 5-10 に負サージの対策回路を示します。(a)はゲートーソース間に負バイアスをクランプするダイオードを接続します。(b)は MOSFET のゲートーソース間に 1nF~5nF のコンデンサを接続することでゲート電圧の瞬間的な降下を抑えます。(c)はゲートーソース電圧が一定電圧以下でオンするようなアクティブミラークランプ MOSFET を使うことで、ゲートーソース間電圧の降下を抑えます。 (b)、(c)については、5.8 節で説明した誤点弧対策と同じであり共用することができます。また、いずれの場合も誤点弧対策と同様、対策部品をゲート端子やソース端子の直近につけることや、なるべく寄生インダクタンスの小さい部品を選択することが重要です。



(a) ゲート-ソース間に SBD 接続



(b) ゲート-ソース間にコンデンサ接続



(c) アクティブミラークランプ MOSFET

Figure 5-10. ブリッジ構成における負サージ対策

ただし、負サージは必ずしもひとつの要因で発生しておらず、V_{DS} や I_D の変化タイミングと密接に関連して複数の要因で発生します。負サージの発生タイミングによって効果的な対策方法は異なりますので、まずは負サージの発生要因を正確に把握する必要があります。そのうえで、負バイアスの有無や基板レイアウト条件など状況に応じた最適な対策をとることが重要です。

なお、負サージの発生メカニズムについては、アプリケーションノート「ブリッジ構成におけるゲート-ソース電圧の振る舞い」*1 に詳しく説明してあります。また、アプリケーションノート「ゲート-ソース電圧サージ抑制方法」*2 に各種対策回路を紹介していますので、併せてご参照下さい。

© 2020 ROHM Co., Ltd.

5.10 短絡保護

MOSFET の短絡保護にはいくつかの方式があります。ここでは、代表的な方法について説明します。

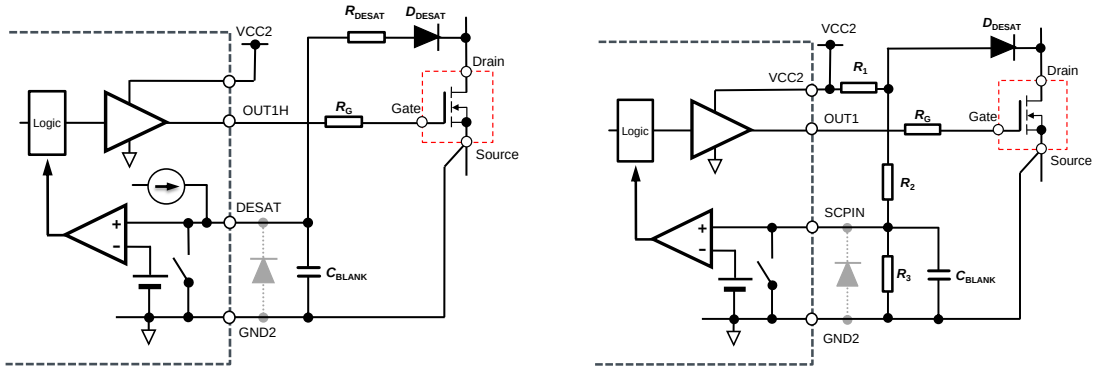
5.10.1 DESAT

DESAT(Desaturation fault detection)は、最も簡単な短絡保護として広く使用されており、Complex タイプのドライバ IC ではほとんどの製品に組み込まれています。

Figure 5-11 にローム製ドライバ IC (a)BM60052AFV-C、(b)BM6101FV-C を使った DESAT 回路例を示します。外付け部品は DESAT 抵抗 R_{DESAT}、R_1、R_2 および R_3、DESAT ダイオード D_{DESAT}、ブランキングコンデンサ C_{BLANK} となっており、検出レベルや検出時間などを調整します。D_{DESAT} は MOSFET のスイッチング速度に比例した dv/dt で印加電圧が変化しますので、高速リカバリタイプを選定します。また、R_{DESAT} や R_1 も D_{DESAT} のリカバリ期間にドレイン端子電圧が印加されますので、あまり定格電圧の低い抵抗では適していませんのでご注意下さい。

短絡電流検出レベルや検出時間については、使用する MOSFET の電流許容値や短絡耐量などを把握し設定する必要があります。また、MOSFET の回路構成によっては、ソース端子よりもドレイン端子の電圧が低下しドライバ IC の DESAT 端子が GND2 よりも低くなる場合があります。ダイオード等によるクランプ回路を接続し DESAT 端子を保護する必要もありますのでご注意下さい。

なお、詳しい動作や短絡電流レベルの設定方法などは、使用するドライバ IC のデータシートやアプリケーションノートなどを参照して下さい。



(a) ドライバ IC BM60052AFV-C 使用時　　(b) ドライバ IC BM6101FV-C 使用時

Figure 5-11 DESAT 回路

5.10.2 電流センス端子を有する MOSFET の短絡保護

電流センス端子を有する MOSFET や IGBT の電流検出回路を Figure5-12 に示します。電流センス抵抗 R_{SENSE} に流れる電流は、ドレイン-ソース間に流れる電流の例えば 1000 分の 1 など、セル数に比例して小さくなっているため、大電流においても電流検出回路での電力損失を抑えることができます。ただし、ブリッジ構成におけるリカバリ電流などのノイズ成分も検出してしまうため、回路動作条件によっては RC フィルタ等でノイズを除去する必要があります。

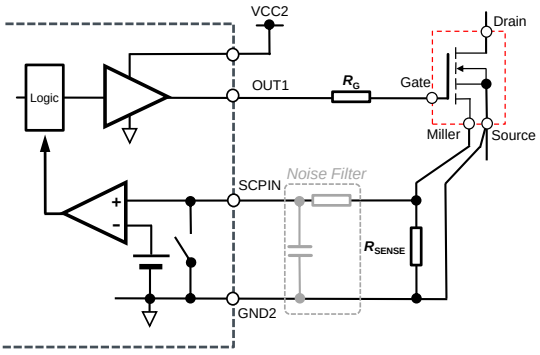


Figure 5-12. ドライバ IC BM6101FV-C を使用した過電流保護回路

© 2020 ROHM Co., Ltd.

5.11 推奨レイウアト

これまで説明してきましたゲートドライブ回路の機能としては、

- ゲート抵抗(スイッチング速度調整)
- バッファ回路(ゲート駆動能力増強)
- ゲートサージ保護(MOSFET ゲート保護)
- MOSFET 短絡保護(過電流時の破壊防止)
- 駆動用電源

がありますが、これらすべての必要な回路部品をプリント基板上に実装しなければなりません。理想的にはすべての機能を MOSFET の近傍に実装したいのですが、基板レイアウト上優先順位を決める必要があります。

また、使用するデバイスの特性や回路トポロジによって、ゲートサージの発生程度や対策の優先順位も変わりますので、MOSFET 周辺回路のレイアウト検討時には、どの機能のパターンインダクタンスを小さくするべきか、綿密な考察が必要です。

回路トポロジの分類としては、MOSFET の構成とスイッチング動作で切り分けることができます。つまり、MOSFET を単独使用する構成（Single）と、MOSFET を上下直列に接続して使用する構成（Half Bridge）に大別でき、その中で MOSFET のスイッチング動作としてハードスイッチング方式（Hard Switching）とソフトスイッチング方式（Soft Switching）に分類することができます。

Half Bridge 構成では、非スイッチング側がスイッチング側動作の影響を受けるのに対し、Single 構成では単独使用のため、自身のスイッチング動作のみを考えればよいことになります。

一方、デバイスの世代毎に、必要な機能を切り分けています。なぜなら、世代によってスイッチング特性や、ゲート定格電圧に違いがあるためです。

Table 5-3 にデバイス世代、回路構成別に必要な機能とレイアウト指針を示します。下記の順番に対策部品のレイアウトの優先度を決めていくことで定格内での動作と高い効率を両立できるはずです。

Table 5-3. ゲート駆動回路における必要機能

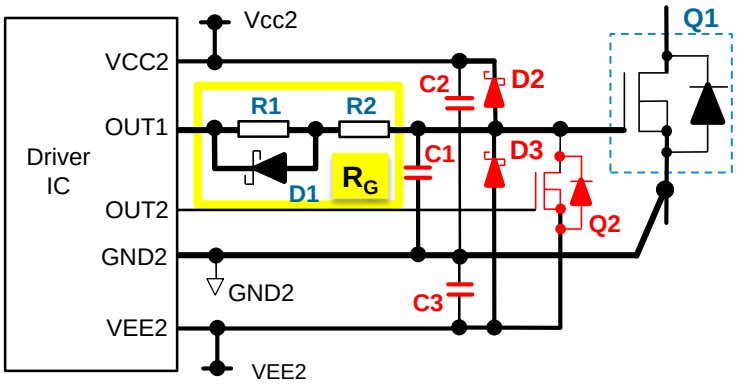
Topology		第二世代 SiC MOSFET	第三世代 SiC MOSFET
Single End	Hard Switching Soft Switching	1)ゲート抵抗	1)負サージクランプ SBD 2)ゲート抵抗
Half Bridge	Hard Switching	1)G-S 間外付けコンデンサ 2)ゲート抵抗	1)アクティブミラークランプ MOSFET 2)負サージクランプ SBD 3)G-S 間外付けコンデンサ 4)ゲート抵抗
	Soft Switching	1)ゲート抵抗	1)負サージクランプ SBD 2)G-S 間外付けコンデンサ 3)ゲート抵抗

Figure 5-13 に SiC MOSFET 用ハーフブリッジ評価基板(P02SCT3040KR-EVK-001)のレイアウト事例を示します。同図(a)が駆動回路図、(b)が基板実装写真、(c)および(d)が基板パターンレイアウトです。

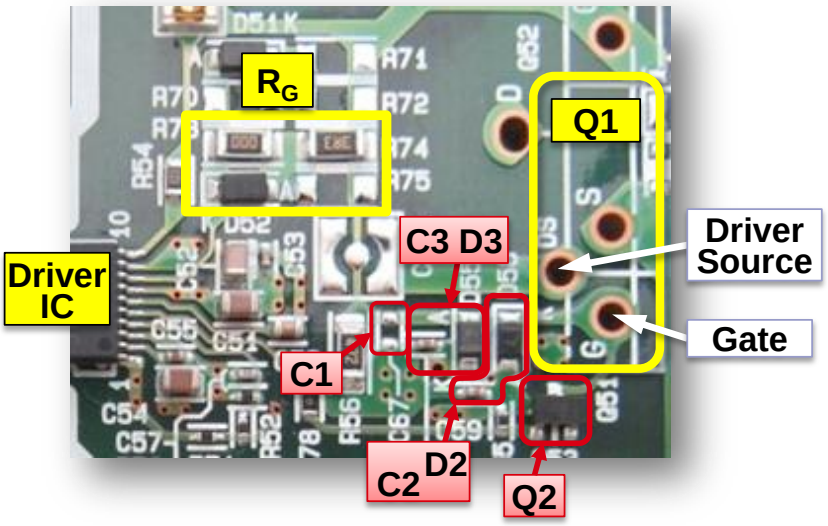
この基板は第三世代 SiC MOSFET をハードスイッチング動作で評価するための基板なので、ゲートサージ対策が最も重要となります。使用しているドライバ IC(BM6101FV-C)にはアクティブクランプ MOSFET 用制御信号が備わっているため、その MOSFET(Q2)を SiC MOSFET の最も直近に配置し、さらに負サージ吸収用ダイオード(D3)とそのバイパスコンデンサ(C3)を配置します。次に正サージ吸収用ダイオード(D2)とそのバイパスコンデンサ(C2)をレイアウトしていますが、ドライバ IC から MOSFET までのパターン長によるインダクタンスによって正サージは発生しますので、レイアウト状況に応じて実装可否を判断します。最後にゲート-ソース間に誤点弧対策用コンデンサ(C1)を配置しています。

サージ吸収用部品は MOSFET からの距離が遠くなるほど、その効果が薄れてきますので、(c)に示すように MOSFET から 2cm 以内の配置を推奨します。また、Driver Source 端子からドライバ IC へのリターン線は、ドライバ回路部品全体の直下に全面パターン(d)のようにレイアウトし、駆動信号やサージ保護回路への外来ノイズの影響を可能な限り受けないようにすることが大切です。

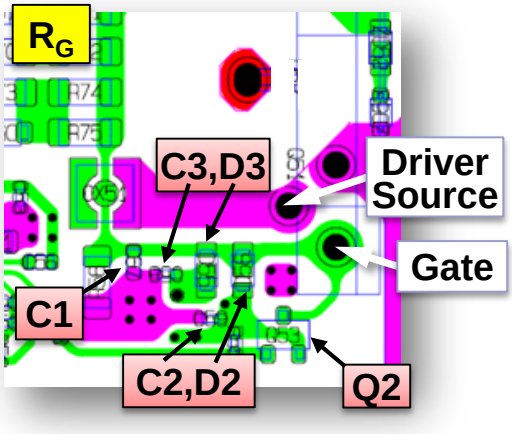
© 2020 ROHM Co., Ltd.



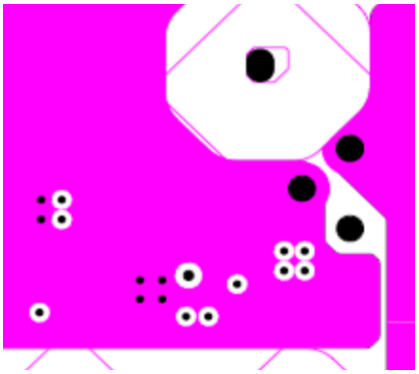
(a) ゲートサージ保護回路例



(b) ゲートサージ保護回路の PCB 実装例（P02SCT3040KR-EVK-001）



(c) 部品実装面



(d) 第二層

Figure 5-13. ゲートサージ保護回路のレイアウト例（P02SCT3040KR-EVK-001）

© 2020 ROHM Co., Ltd.

5.12 MOSFET の直列・並列使用時の注意事項

MOSFET を直列または並列で同時に動作させる場合、個々のデバイスには必ず特性バラツキが存在するため、それぞれを完全に同じタイミングで動作させることは不可能に近いです。そのため単独使用時とは違った注意を払う必要があります。

この節では一般的な注意事項を説明していますが、複数個使用を推奨している訳ではありません。安全に動作できることをご確認の上、ご使用ください。

5.12.1 直列接続

デバイスに印加される電圧 V_{IN} が使用するデバイスの定格以上である場合、個々のデバイスに印加される電圧を半減させるために直列接続する(Figure 5-14)ことがありますが、デバイスの特性バラツキや基板配線のインダクタンス等により、デバイスに印加される電圧の不均衡が発生しますので注意が必要です。

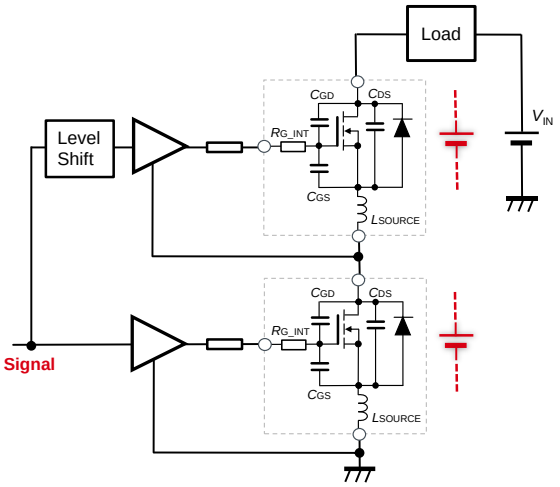


Figure 5-14. MOSFET 直列接続

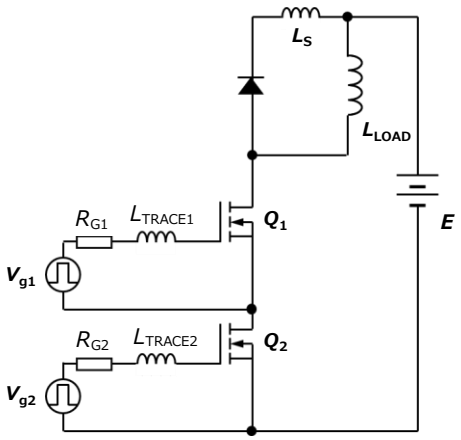
電源投入時の初期状態(まだ一度もスイッチング動作を行っていない状態)では、個々のデバイスに印加される電圧は Coss の比になりますが、一旦スイッチング動作が開始されるとターン・オフ時のスイッチング速度のバラツキにより、デバイスに印加される電圧の不均衡が顕在化します。スイッチング速度のバラツキの要因としては、以下のバラツキが考えられます。

- MOSFET の $V_{GS(th)}$
- 駆動回路の能力(外付けゲート抵抗、配線インダクタンス)
- 駆動回路の遅延
- MOSFET の Ciss、Crss、Coss、内部ゲート抵抗

Figure 5-15 にターン・オフ時の V_{DS} 波形のシミュレーション結果を示します。(a)はシミュレーション回路と条件です。(b)は $V_{GS(th)}$のバラツキ、(c)は外付け R_G のバラツキ、(d)はゲードライブ回路のパターンインダクタンスの違い、(e)はドライブ回路の遅延バラツキ、(f)は C_{GD} バラツキ、(g)は C_{GS} バラツキ、これらがそれぞれ Q1、Q2 の MOSFET の V_{DS} 波形にどう影響を与えるかを示しています。(e)で示すように僅か 5ns のゲートドライブ回路の遅延や(f)での MOSFET の C_{GD} バラツキによる V_{DS} 不均衡が顕著ですが、それ以外でも $V_{GS(th)}$やドライブ回路のパターンインダクタンスの影響も決して無視できるレベルではありません。

このように、いずれのバラツキも MOSFET のスイッチング速度に強く影響し、各デバイスがアンバランスなスイッチング動作を行うと、スイッチング損失もアンバランスとなるばかりか、結果的に定格以上の V_{DS} が瞬間的に印加され信頼性低下を招き、最悪の場合破壊する恐れがあります。十分なバラツキ検証を行った上で実施して下さい。

© 2020 ROHM Co., Ltd.



Simulated condition

Q1,Q2 : SCT3160KL

E=150V

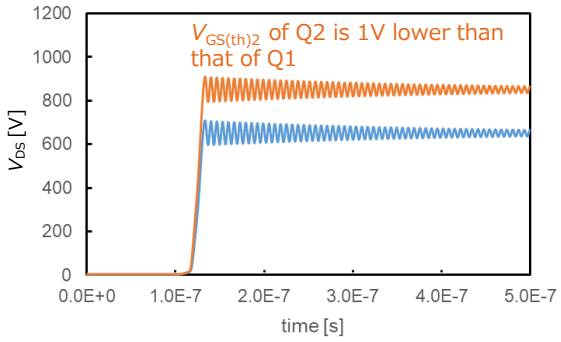
I=20A

L_S=50nH

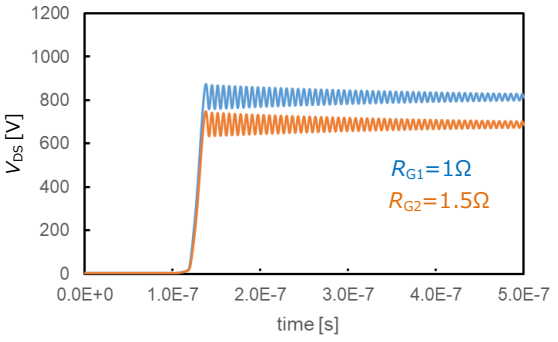
L_{TRACE1}=L_{TRACE2}=20nH

R_{G1}=R_{G2}=1Ω

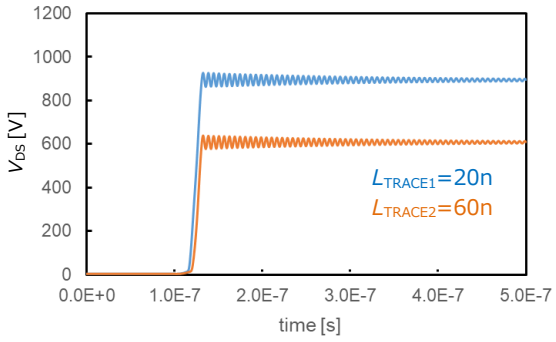
(a) MOSFET の直列接続シミュレーション回路と動作条件



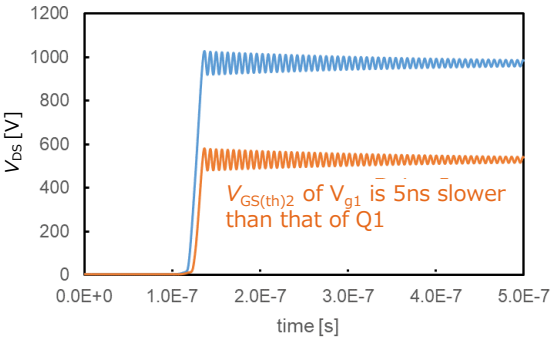
(b) $V_{GS(th)}$ のバラツキ



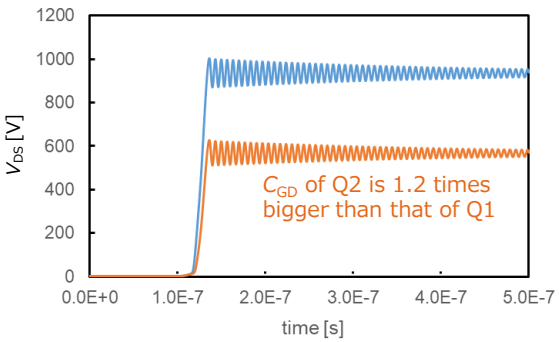
(c) 外付け R_G のバラツキ



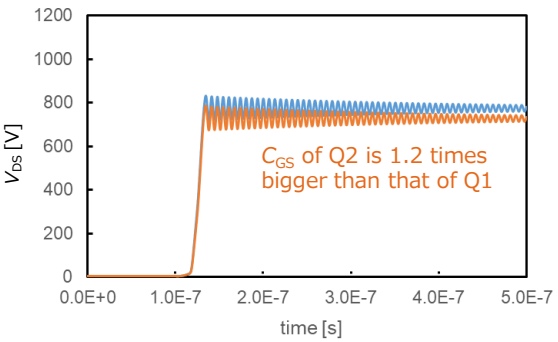
(d) ゲート駆動回路のパターンインダクタンス違い



(e) ゲート駆動回路の伝搬遅延のバラツキ



(f) C_{GD} のバラツキ



(g) C_{GS} バラツキ

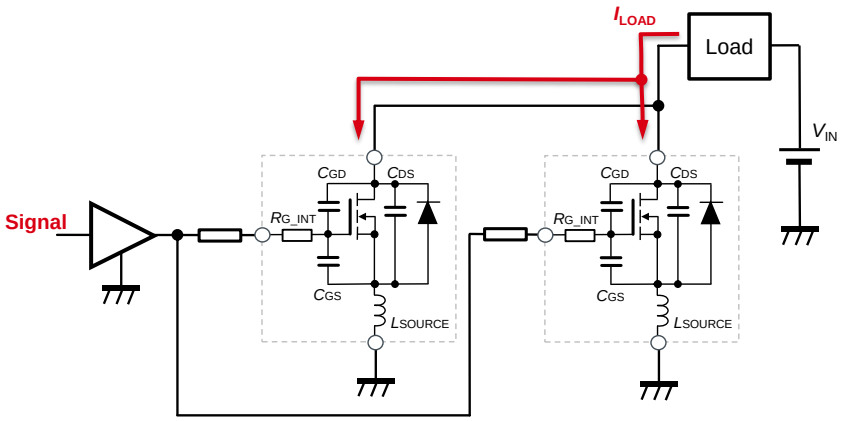
Figure 5-15. MOSFET 直列接続におけるシミュレーション波形

© 2020 ROHM Co., Ltd.

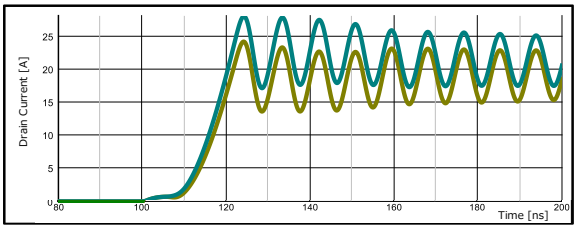
5.12.2 並列接続

デバイスに流れる電流 I_{LOAD} が使用するデバイスの定格以上である場合、個々のデバイスに流れる電流 I_D を半減させるために並列接続することがあります。

Figure 5-16(a)にその接続例を示します。デバイス間のスイッチング動作のばらつきを抑えるために、それぞれの MOSFET に対して外付けゲート抵抗を個別に接続します。外付けゲート抵抗を接続せずに直接駆動すると、MOSFET の特性や駆動回路のバラツキにより、ターン・オン時やターン・オフ時の過渡状態では、簡単に電流不均衡が発生してしまいます。(Figure 5-16(b))



(a) 並列接続時の駆動回路



(b) シミュレーションによるターン・オン時のドレイン電流不均衡（外付けゲート抵抗無し）

Figure 5-16. MOSFET 並列接続

ところが、外付けゲート抵抗を接続してもなお、デバイスのバラツキや駆動回路の不均衡により、電流アンバランスは発生します。電流アンバランスの要因としては、以下のバラツキが考えられます。

- MOSFET の $V_{GS(th)}$
- 駆動回路の能力(外付けゲート抵抗、内部ゲート抵抗、配線インダクタンス)
- MOSFET の主回路における配線インダクタンス
- MOSFET の Ciss、Crss、Coss
- MOSFET の冷却条件(異なるヒートシンクへの取り付け)

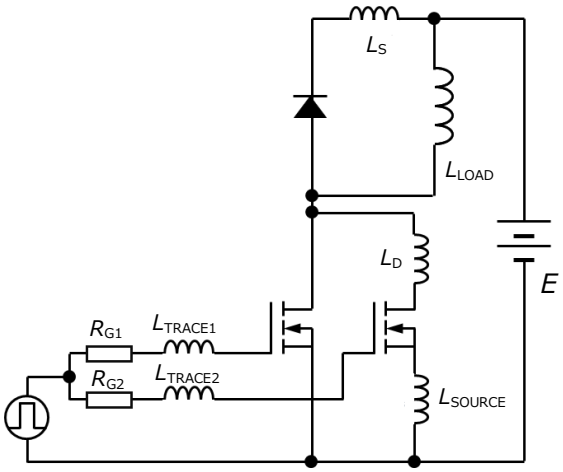
Figure 5-17 にターン・オン時の I_D 波形のシミュレーション結果を示します。(a)はシミュレーション回路と条件です。(b)は $V_{GS(th)}$のバラツキ、(c)は外付け R_G のバラツキ、(d)はゲートドライブ回路のパターンインダクタンスの違い、(e)は MOSFET の主回路インダクタンスの違い、(f)は C_{GD} バラツキ、(g)は C_{GS} バラツキ、(h)は駆動回路に含まれるソースインダクタンスの違い、これらがそれぞれ Q1、Q2 の MOSFET の I_D 波形にどう影響を与えるかを示しています。

(b)や(h)からも明白なように $V_{GS(th)}$の差やソースインダクタンスの差が大きいほどターン・オン時の I_D 不均衡は顕著になります。また、(e)主回路のインダクタンの差や、(f)MOSFET の C_{GD} のバラツキが大きい場合も I_D 不均衡は大きくなる傾向です。

このように、並列接続における各デバイスのアンバランスなスイッチング動作は、過渡的に過大な I_D が瞬間的に流れ、スイッチング損失を増加させます。その結果、デバイス自身の発熱増大による信頼性の低下を招くばかりか、最悪の場合は破壊する恐れがあります。特にキャリア周波数が高く、スイッチング損失が相対的に大きくなるような条件では、十分なバラツキ検証を行った上で実施して下さい。

© 2020 ROHM Co., Ltd.

なお、定常状態では個々のデバイスに印加される電流 I_D は、MOSFET のオン抵抗 $R_{DS(on)}$が高温ほど高くなる(3.5 節参照)傾向のため、自然にバランスされます。



Simulated Condition

Q1,Q2：SCT3022KL

E=800V

I=150A

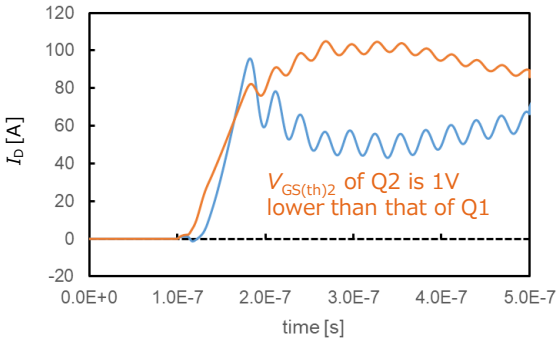
L_S=50nH

L_{TRACE1}=L_{TRACE2}=20nH

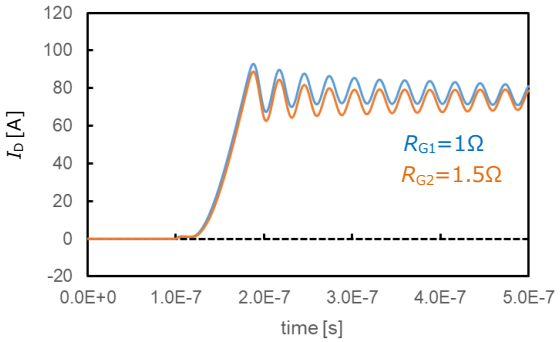
R_{G1}=R_{G2}=1Ω

L_{SOURCE}=0nH

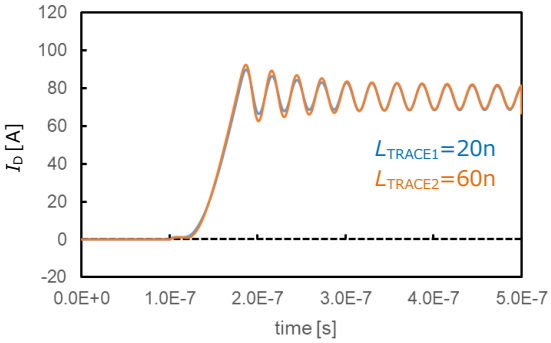
(a) MOSFET の並列接続シミュレーション回路と動作条件



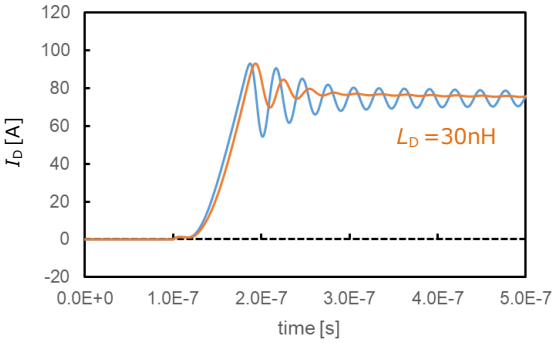
(b) $V_{GS(th)}$ のバラツキ



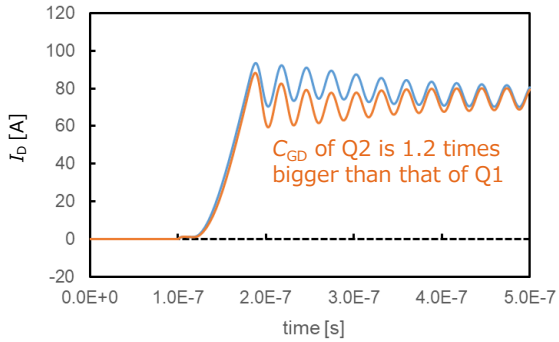
(c) 外付け R_G のバラツキ



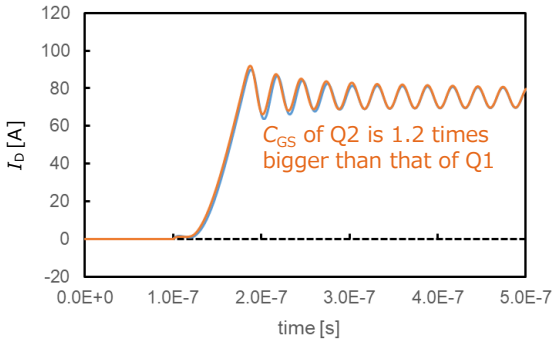
(d) ゲート駆動回路のパターンインダクタンス違い



(e) ドレインパターンインダクタンス違い

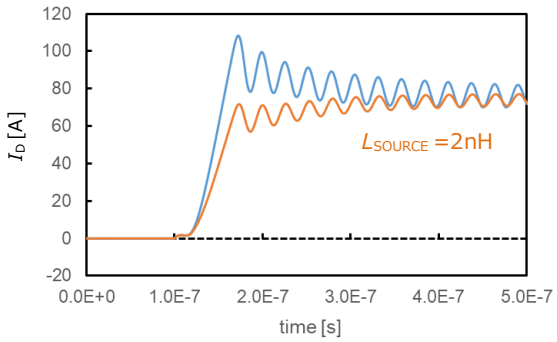


(f) C_{GD} のバラツキ



(g) C_{GS} のバラツキ

© 2020 ROHM Co., Ltd.



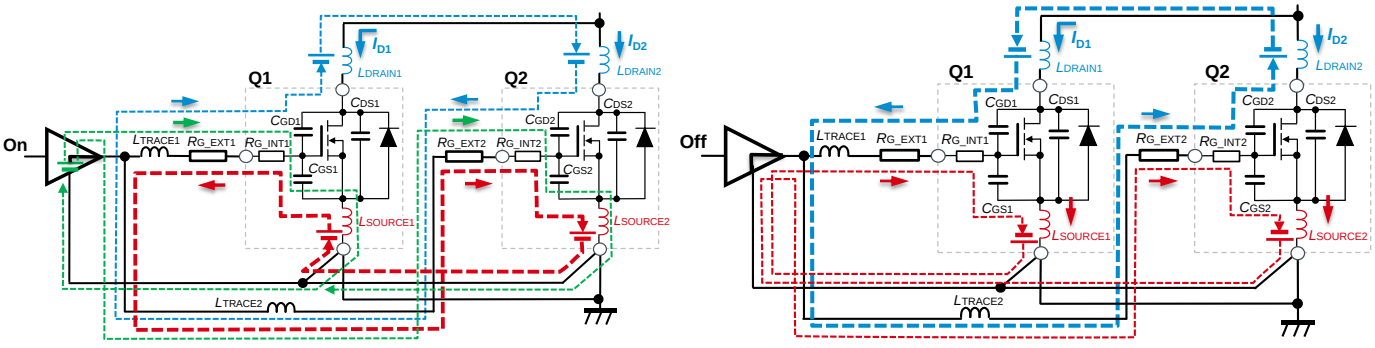
(h) L_{SOURCE} のバラツキ

Figure 5-17. MOSFET 並列接続におけるシミュレーション波形

また、並列接続においては、稀にゲートーソース電圧 V_{GS} が発振することがあります。この発振現象はターン・オン時あるいはターン・オフ時の両タイミングで発生し得えます。Figure 5-18 にある通り、MOSFET(Q1、Q2)間のゲート抵抗(R_{G_EXT} + R_{G_INT})と、駆動回路の基板パターンのインダクタンス L_{TRACE}、MOSFET のゲートードレイン間容量 C_{GD} あるいはゲートーソース間容量 C_{GS} による RLC 共振回路が Q1 と Q2 の間に形成されてしまうことが原因です。MOSFET のバラツキがなく、駆動回路が全く同じであれば、並列接続されたデバイスおよび駆動回路は同じ動作となるため、デバイス間でのエネルギーのやり取りは行われず共振は起こりません。しかしながら、実際にはその両者に僅かながら差異は存在し、ドレイン電流 I_D のアンバランスにより L_{SOURCE} での起電に差が生じます。それにより並列接続されたデバイス間の閉回路内でエネルギーのやり取りが行われることで発振が起こります。

Figure 5-18 で示す並列接続において、MOSFET のばらつきや駆動回路の差異が原因で MOSFET Q1 の I_D が Q2 よりわずかに早くオン・オフを開始する場合、MOSFET 間のオン・オフ開始直後の共振電流は矢印の向きに流れます。ターン・オン時(a)では、C_{GS} を充電する電流(緑)に加え、L_{DAIN1} および $L_{SOURCE1}$ の起電を電源とした共振電流(赤、青)となりますが、R_{G_EXT} が小さくなる(dI_D/dt が大きくなる)ほどアンバランス等による共振電流は大きくなり、発振を引き起こし易くなります。

一方、ターン・オフ時(b)の共振回路は、駆動回路側が GND に接続されているため、L_{SOURCE} を含む共振回路は相互に影響せず、L_{DRAIN} の起電による共振回路のみが V_{GS} 発振に影響しています。



(a) ターン・オン時の V_{GS} 発振動作　　(b) ターン・オフ時の V_{GS} 発振動作

Figure 5-18. MOSFET の並列接続による V_{GS} 発振

これらの V_{GS} 発振は、R_{G_EXT} を大きくするか、ゲート端子の直近にフェライトビーズを挿入することで抑えることが出来ます。一般的に RLC 回路の発振におけるダンピング抵抗の条件は式(4)になることからも明白です。

$$R > 2 * \sqrt{\frac{C}{L}} \qquad (4)$$

© 2020 ROHM Co., Ltd.

6. SiC パワーモジュールの特徴

6.1 SiC モジュールの特徴

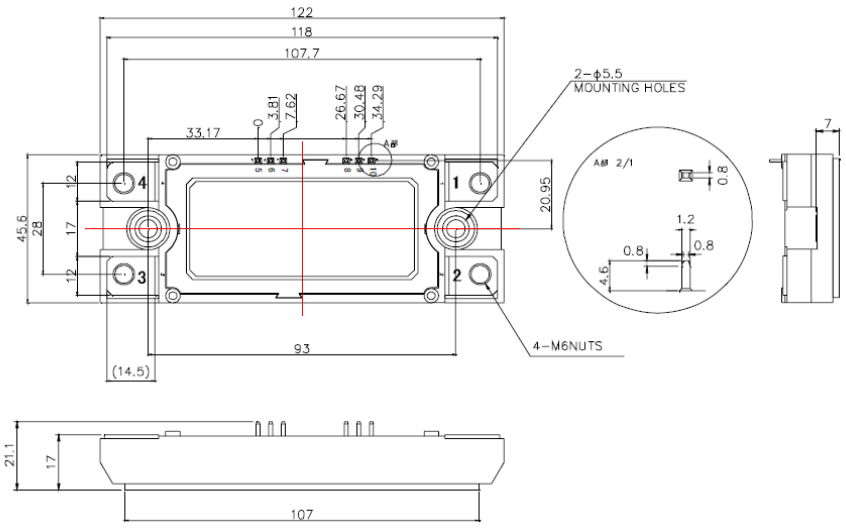
現在、大電流を扱うパワーモジュールには Si の IGBT と FRD を組み合わせた IGBT モジュールが広く用いられています。ロームでは世界に先駆けて、SiC MOSFET と SiC SBD を搭載したパワーモジュールを量産しています。IGBT のテイル電流と FRD のリカバリ電流に起因して生じていた大きなスイッチング損失は、SiC モジュールによって大幅に削減可能なため、

1. スイッチング損失の低減による電源効率改善ならびに冷却器の簡素化
   (例：ヒートシンクの小型化、水冷／強制空冷の自然空冷化)
2. 動作周波数の高周波化による周辺部品の小型化
   (例：リアクトルやコンデンサ等の小型化)

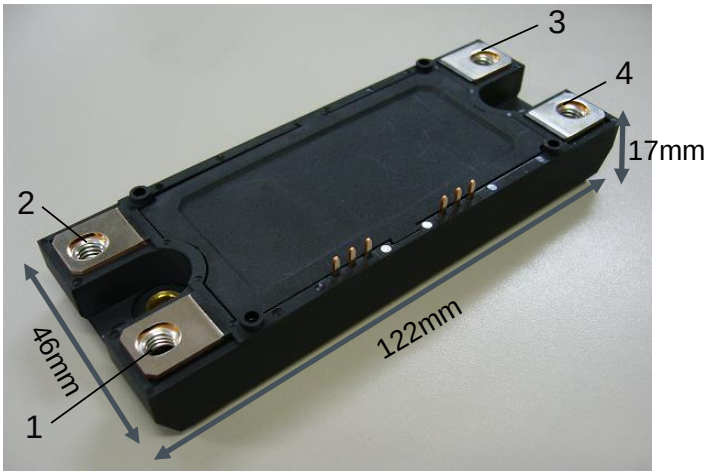
などの効果が得られます。 産業機器の電源や、太陽光発電のパワーコンディショナーなどに応用が広がっています。

6.2 回路構成

現在製品化している SiC パワーモジュールは、ハーフブリッジ回路を構成できる 2in1 タイプ、及びチョッパ回路構成が可能な Chopper タイプがあります。2in1 タイプに関しては、SiC MOSFET+ SiC SBD タイプと、SiC MOSFET のみで構成されたタイプがあり、用途に応じてお選びいただけます。Figure 6-1 に C Type のモジュール外観、Figure 6-2 に内部回路図を示します。



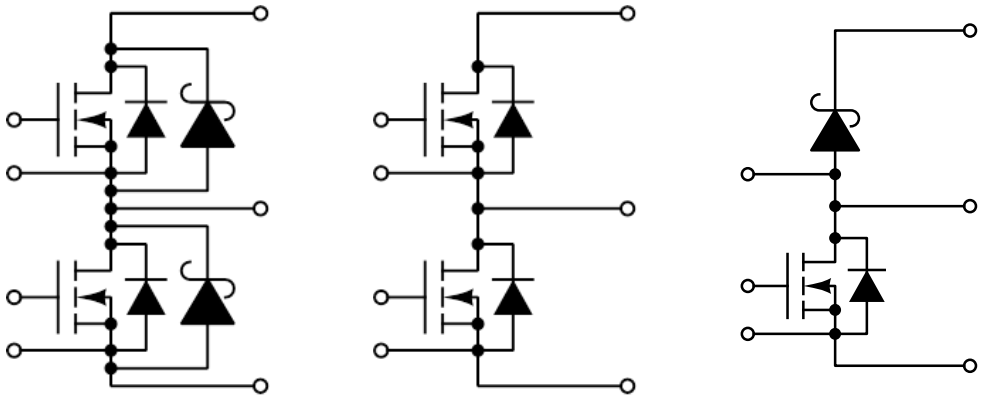
(a) 外形図



(b)外観写真

Figure 6-1. C-type パワーモジュール形状

© 2020 ROHM Co., Ltd.



(a) 2 in 1
(SiC MOSFET with SiC SBD)

(b) 2 in 1
(SiC MOSFET)

(c) Chopper
(SiC MOSFET and SiC SBD)

Figure 6-2. SiC パワーモジュール回路図

6.3 NTC サーミスタ

サーミスタ付のモジュール製品ではモジュールケース内の温度モニタが可能です。サーミスタの製品仕様書では、25℃における抵抗値と温度係数である B 定数が規定されていますので、温度 T_1 におけるサーミスタの抵抗値 $R_{th}(T_1)$は式(5)により導出されます。

$$R_{th}(T_1) = R_{th}(T_0) * \exp\left\{B_{T_0/T_1} * \left(\frac{1}{T_1} - \frac{1}{T_0}\right)\right\} \quad (5)$$

$R_{th}(T_1)$：所定の温度におけるサーミスタの抵抗値
T_0：サーミスタの抵抗を計算するために基準となる温度。 ローム製品は一般的に 25℃で規定
T_1：検出しているサーミスタの温度
$R_{th}(T_0)$：基準となる温度での抵抗値
$B_{T0/T1}$：サーミスタで定められた定数(B 定数)

この式の中に存在する B 定数は温度特性を持っており、厳密には一定ではありません。ロームの SiC パワーモジュールでは B 定数を 25℃/50℃で規定しているため、サーミスタ温度が 50℃から離れるほど誤差は大きくなります。

使用温度に合わせた抵抗値が必要な場合は、Figure 6-3 を参照して概略値を計算することが出来ます。なお、温度と抵抗値の詳細データが必要な場合は、担当窓口までお問い合わせください。

ただし、モジュール内に実装されているサーミスタを使用する場合、以下の点に留意して下さい。

- サーミスタは絶縁基板に実装されており、放熱経路上にない。(半導体接合部との間に一定の熱抵抗が存在している)
- 外部冷却条件によって、Tj-サーミスタ温度間の関係性が変わる。(同上)
- 過渡時には温度計測することは出来ない。

温度検出のための参考回路を Figure6-4 に示します。

© 2020 ROHM Co., Ltd.

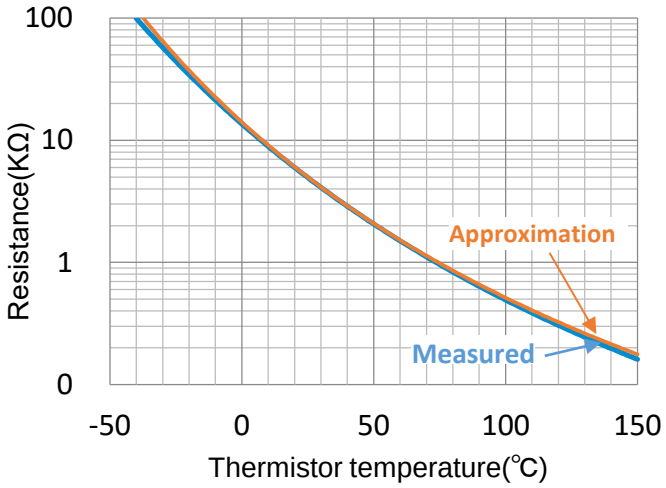


Figure 6-3. サーミスタ温度特性

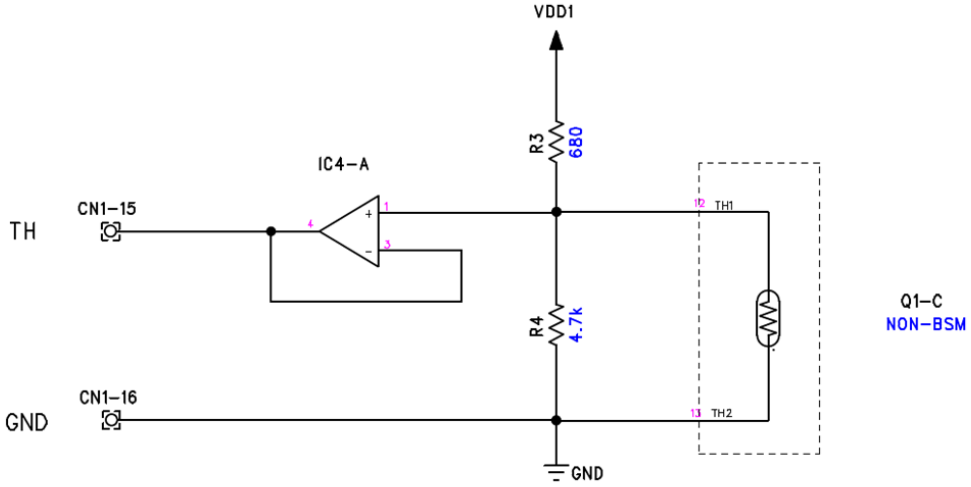


Figure 6-4. 温度モニタ回路例

© 2020 ROHM Co., Ltd.

6.4 パワーモジュールの取り付け方法

6.4.1 ヒートシンクの取り付け

パワーモジュールは冷却のための放熱板を有しており、取り付けネジによって一定のトルクで締め付ける構造となっています。Figure 6-5 にパワーモジュールの断面構造を示します。SiC MOSFET のチップから放熱板(Base Plate)までには半田や配線パターン、絶縁基板などが存在していますので、放熱板にヒートシンクを正しく取り付けることが大変重要となります。

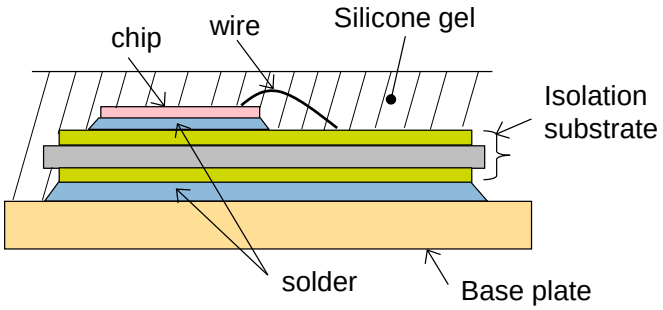


Figure 6-5. パワーモジュールの放熱板構造(断面図)

ヒートシンクを取り付ける際に注意しなければならないことは、放熱板とヒートシンクの密着性であり、その平坦度です。パワーモジュールの放熱板は平坦に見えますが、パワーモジュールの組み立て時に応力が発生し、実際には反っています。Figure.6-6 に放熱板の反り形状を示します。パワーモジュールの長辺方向の断面の反りは、最大約 38μm あり、複雑な凹凸形状となっています。このためパワーモジュールをヒートシンクに締め付ける際に、放熱板との界間に必ず隙間が生じます。また放熱板が単純な凸型形状であってもモジュールやヒートシンクの取り付け面にキズがあれば、同様に隙間は生じます。この隙間はパワーモジュールからヒートシンクへの放熱を妨げ、放熱設計で想定した温度以上の発熱につながります。

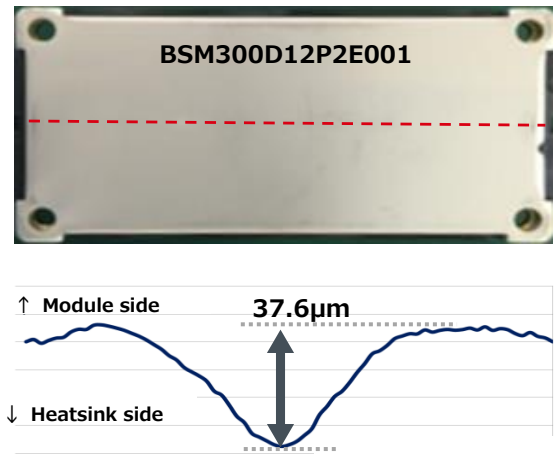


Figure 6-6. 放熱板のひずみ

そこで、この隙間を埋めるためにサーマルシートやサーマルグリスを使用しますが、いくつか注意しなければならない事があります。

サーマルシートは固形状態のため取り扱い易い反面、組み付けに必要なトルク強度が大きく(例えば 8N・m)パワーモジュールの定格(3.5N・m)を超えるため適用には細心の注意が必要です。一方、サーマルグリスは流動性があるため、パワーモジュールの定格内のトルク強度で使用できますが、厚さ制御が難しく、また温度変化によってグリスが流動してしまう(ポンプアウト現象) 結果、ボイドや隙間を生じるため、材料の選定に注意が必要です。

サーマルグリスを使用した組み付け方法と放熱の効果について、詳しくはアプリケーションノート「最適な放熱効果を与えるモジュールの組み付け方法」*5 を参照して下さい。

© 2020 ROHM Co., Ltd.

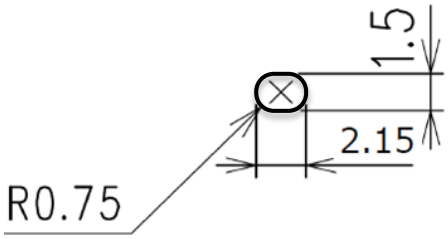
6.4.2 信号線の取り付け

パワーモジュールをスイッチング動作させたり、内部温度をセンスしたりするために、パワーモジュールの信号端子(Figure 6-7)に制御信号線を接続する必要があります。

Figure 6-7. パワーモジュールの信号端子

これらの信号端子への接続方法は、PCB による半田接続や、コンタクトによる嵌合接続などがありますが、信号端子を半田付けする際に PCB 側に準備するスルーホールは、Figure 6-8.(a)に示す仕上がり径とします。

また、コンタクトによる接続の場合は、Figure 6-8.(b)に示すコンタクトを使用し評価することが出来ます。ただし、これらの部品はパワーモジュールの機能評価を行うためのものであり、挿抜回数や振動に関する信頼性評価を実施しておりません。お客様の最終製品でご使用になる場合は、それぞれのアプリケーションに沿った条件で必ず信頼性評価を実施し、使用可否をご判断下さい。



Unit: mm

(a) ドライブ基板の信号端子スルーホール例

(b) コンタクト例(ヒロセ電機製 HIF3 シリーズ)

Figure 6-8. 信号端子の接続方法

なお、半田接続は半田ゴテによる手半田とし、その条件は以下のとおりです。また、リフローによる半田付けは出来ません。

- 半田コテ先温度：400℃以下
- 半田付け時間：5 秒以下

© 2020 ROHM Co., Ltd.

6.5 スイッチング特性

SiC パワーモジュール(BSM120D12P2C005、1200V 120A、C-type パッケージ)のスイッチング特性を、Figure 6-9 に示すインダクタンス負荷でのダブルパルス試験により評価しました。モジュール内部の寄生インダクタンスは約 25nH、回路の寄生インダクタンスは約 15nH です。

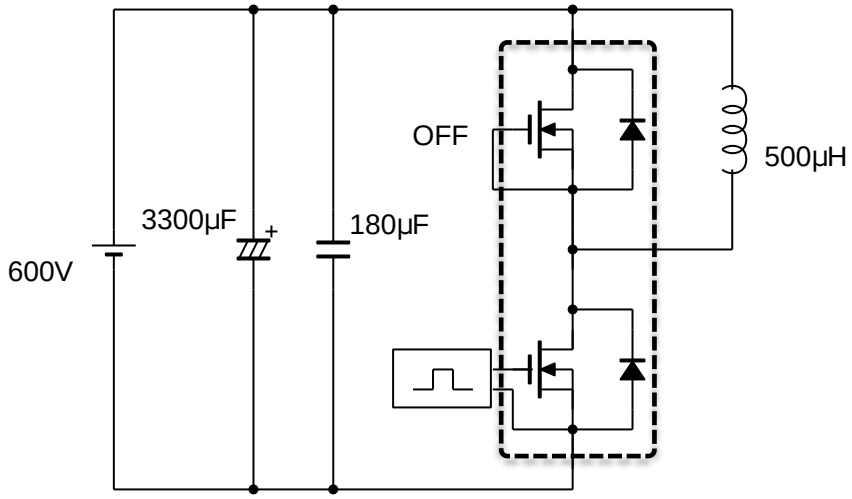
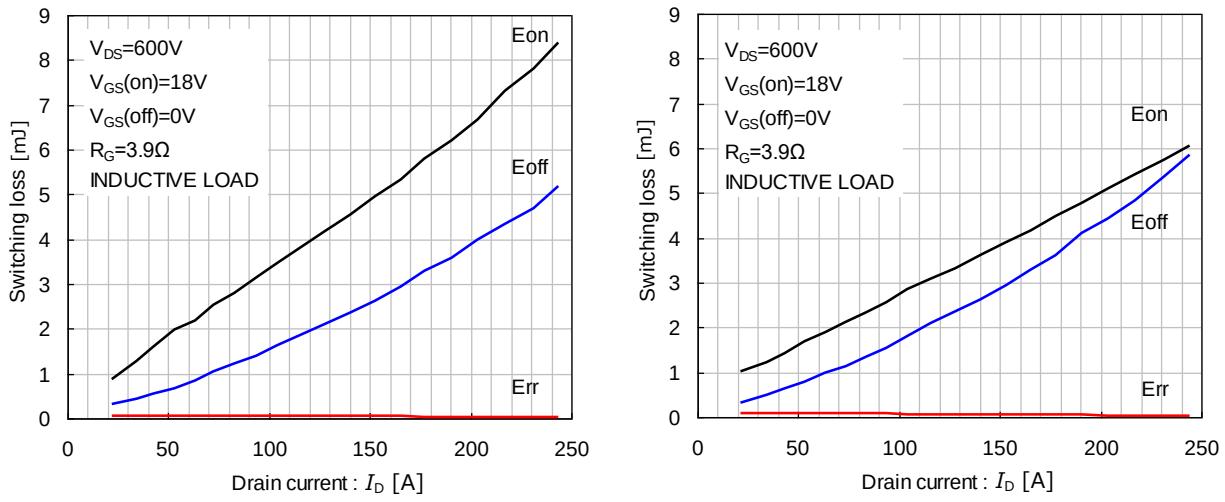


Figure 6-9. ダブルパスル試験回路

6.5.1 ドレイン電流依存性ならびに温度依存性

SiC パワーモジュールでは SBD (または MOSFET のボディダイオード)の高速リカバリ性能のおかげでリカバリ損失 Err はほぼゼロです。 また MOSFET にテイル電流がないことから Eoff も IGBT と比較して非常に小さい特長があります。 Eon と Eoff は電流にほぼ比例して増加する傾向です(外付け R_G により上昇の傾向は異なります)。Si FRD のリカバリ電流や IGBT のテイル電流が高温において大きくなるのに対して、多数キャリアデバイスで構成された SiC モジュールでは温度に対するロスの変化は非常に小さいです。 高温でしきい値が低下するため、Eon は小さくなり、Eoff はわずかに大きくなる傾向にあります。(Figure 6-10)



(a) Tj=25℃ Tj=125℃

Figure 6-10. スイッチング損失のドレイン電流依存性

© 2020 ROHM Co., Ltd.

6.5.2 ゲート抵抗依存性

外付けゲート抵抗が大きい場合、ゲートへの充放電電流値が小さくなり、スイッチングスピードは遅くなります。これに伴い Eon、Eoff が高くなり、本来の性能が発揮できない場合がありますのでなるべく小さなゲート抵抗をご選定下さい。(Figure 6-11)

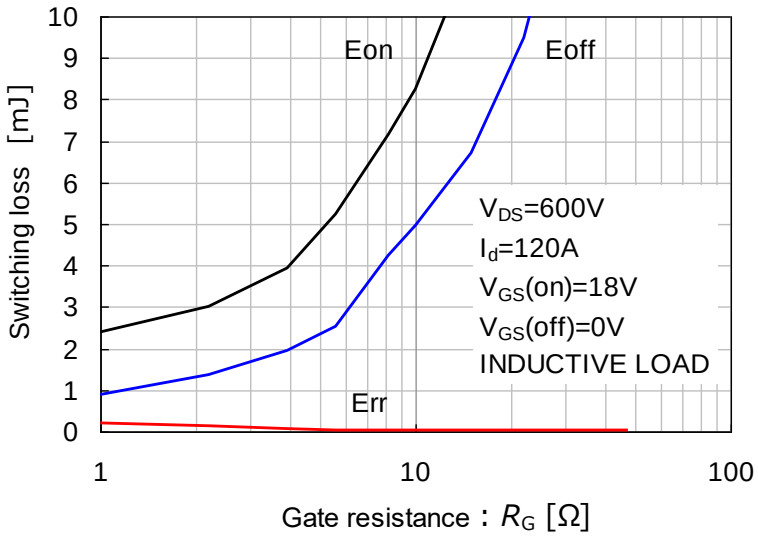


Figure 6-11. スイッチング損失のゲート抵抗依存性(Tj=25℃)

外付けゲート抵抗に対する d*V*/d*t*、 d*I*/d*t* の依存性は Figure 6-12、Figure 6-13 のとおりです。外付けゲート抵抗を小さくすることで d*V*/d*t*、 d*I*/d*t* ともに大きな値となります。 ロームの SiC パワーモジュールでは様々な条件下で実験しておりますが、現在までの調査で d*V*/d*t* 破壊、d*I*/d*t* 破壊のモードは確認されておりません。

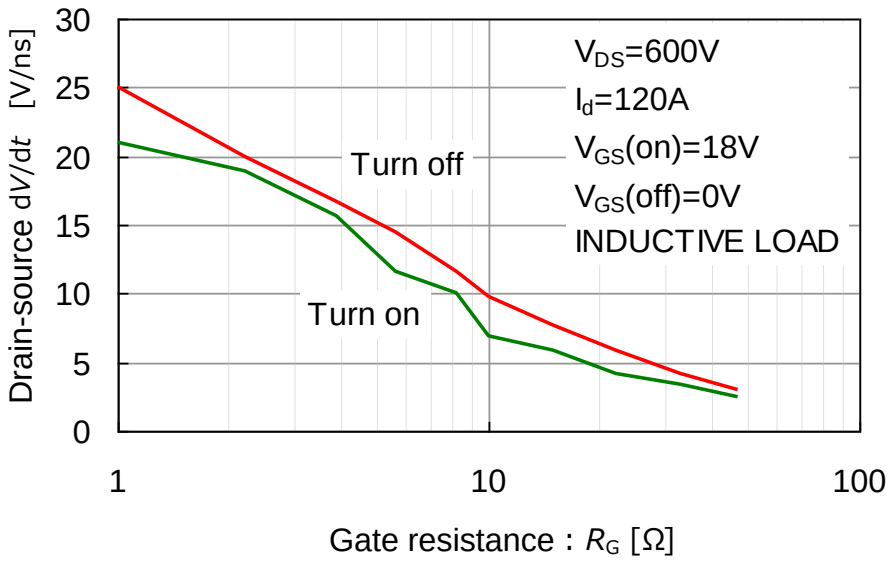


Figure 6-12. d*V*/d*t* vs. ゲート抵抗 (Tj=25℃)

© 2020 ROHM Co., Ltd.

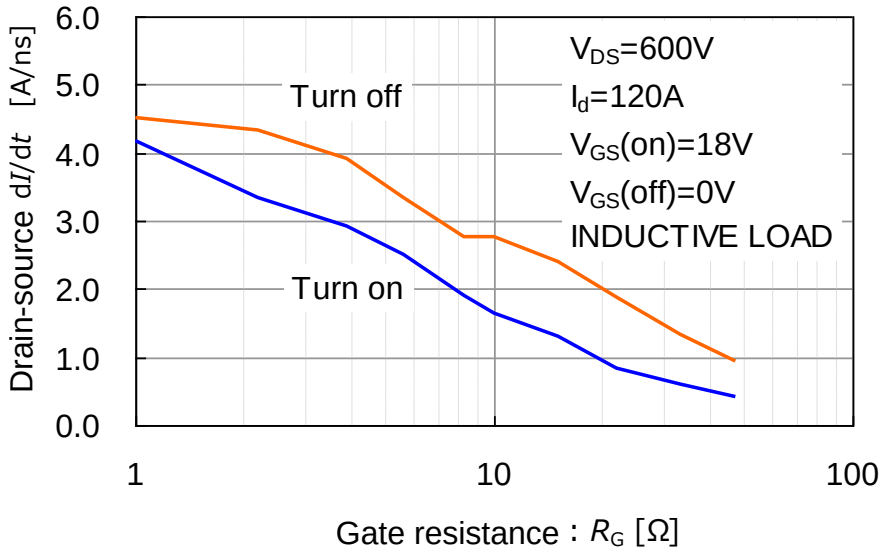


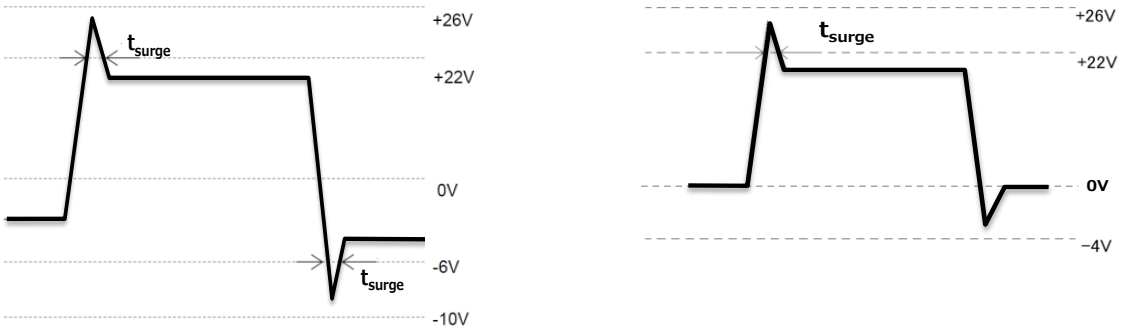
Figure 6-13. d*I*/d*t* vs. ゲート抵抗（Tj=25℃）

6.5.3 ゲートバイアス依存性

第二世代 SiC MOSFET を使用したモジュールの V_{GS} 定格は-6～+22V の範囲です。V_{GS} 定格にはパルス幅 t_{surge} が 300ns 以下で規定されているサージ定格もあり-10～+26V となっています(Figure 6-14(a))。なお、推奨駆動条件は $V_{GS(on)}$=18V、$V_{GS(off)}$=0V または負バイアス使用の場合-5V までですが、$V_{GS(on)}$、$V_{GS(off)}$は絶対値が大きいほどゲートの充放電が高速となり Eon、Eoff は小さくなる傾向にあります。

一方、第三世代 SiC MOSFET を使用したモジュールの V_{GS} 定格は-4～+22V の範囲となっており、サージ定格は-4V～+26V です(Figure 6-14(b))。推奨駆動条件は $V_{GS(on)}$=18V、$V_{GS(off)}$=0V です。

第二世代、第三世代モジュール共に、定格を超えるサージの保証はできませんので、定格の範囲内でお使い下さい。



(a) 第二世代モジュール　　(b) 第三世代モジュール

Figure 6-14. V_{GS} サージ定格

6.6 IGBT モジュールとのスイッチング損失比較

異なる 3 社から製品化されている 1200V 100A クラス 2in1 構成 IGBT モジュールと、SiC パワーモジュールのスイッチング性能を比較した結果を示します。

6.6.1 トータルスイッチング損失の比較

適切なゲート抵抗を選択した場合、SiC パワーモジュールは最も損失の小さい IGBT モジュールと比較してトータルスイッチング損失(Eon + Eoff + Err)を 85%削減可能です(Figure 6-15)。これにより従来 IGBT モジュールでは実現できなかった 50kHz 以上での駆動が可能となり、リアクトルなど受動部品を小型化することができます。また、通常 IGBT モジュールではスイッチング損失による発熱の課題があり、定格電流の半分程度の電流でしか使用できませんでしたが、スイッチング損失の小さい SiC モジュールでは高周波駆動時においても大幅な電流ディレーティングをせずにお使いいただけます。つまり、より大きな定格電流の IGBT モジュールを置き換えることが可能です。

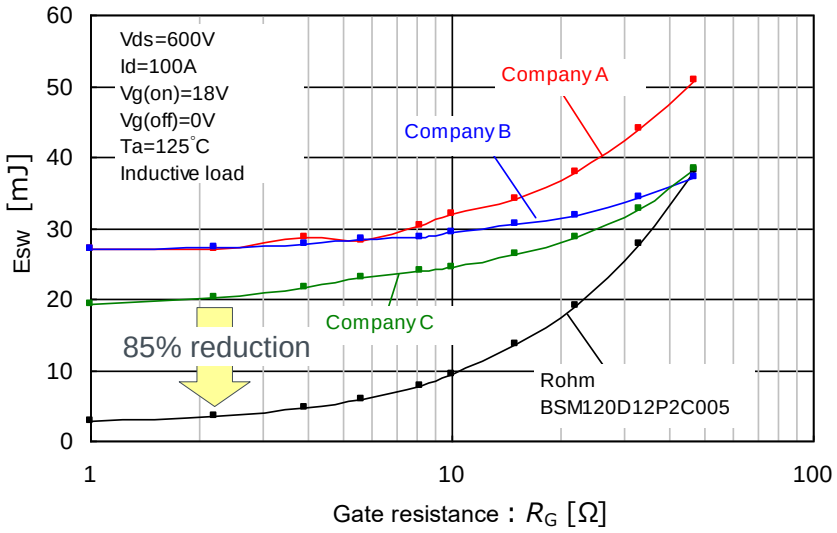


Figure 6-15. トータルスイッチング損失比較

6.6.2 リカバリ損失(Err)の比較

IGBT モジュールでは FRD の逆回復ピーク電流 *I*rr、逆回復時間 *t*rr が大きいため、大きな損失を発生していましたが、SiC SBD の *I*rr、*t*rr は非常に小さく損失は無視できるほど小さい値です(Figure 6-16)。

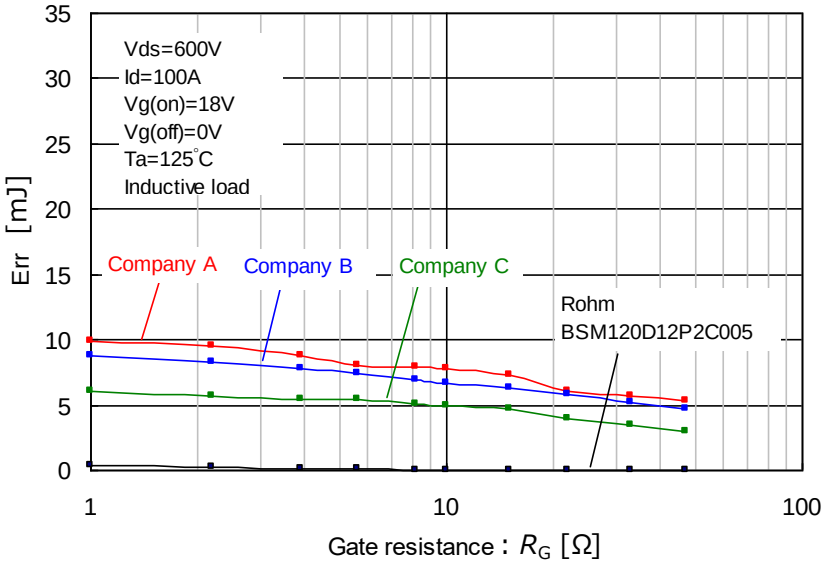


Figure 6-16. リカバリ損失比較

© 2020 ROHM Co., Ltd.

6.6.3 ターン・オン損失(Eon)の比較

転流アームで発生したリカバリ電流は対抗アーム側に貫通するためスイッチングデバイスのターン・オン損失を増大させます。 ダイオードのリカバリが高速な SiC パワーモジュールではリカバリ損失と同様、ターン・オン損失も小さくなります。外付けゲート抵抗が小さいほど低損失になります(Figure 6-17)。

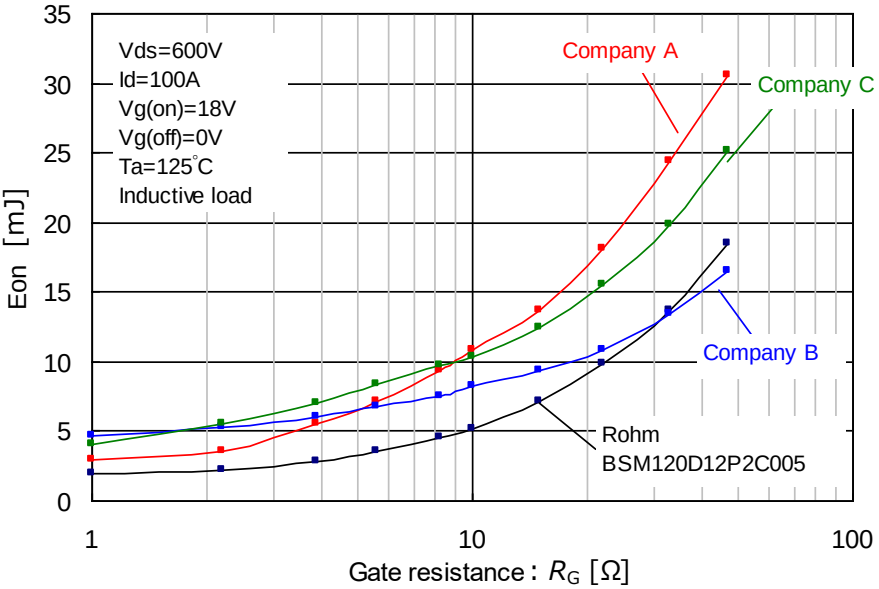


Figure 6-17. ターン・オン損失比較

6.6.4 ターン・オフ損失(Eoff)の比較

IGBT のターン・オフ損失はテイル電流に起因するため、ゲート抵抗依存性が顕著には見られず、常に大きな値となっています。これに対し、SiC MOSFET ではテイル電流が原理的に存在しないため非常に高速で、低損失スイッチングが可能です。外付けゲート抵抗が小さいほど低損失になります(Figure 6-18)。

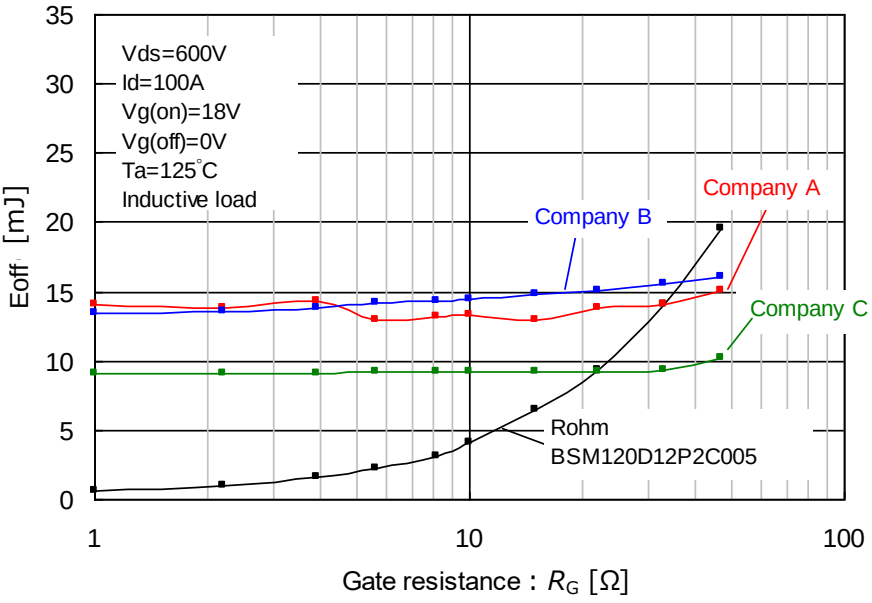


Figure 6-18. ターン・オフ損失比較

© 2020 ROHM Co., Ltd.

6.7 誤点弧の対策

ハーフブリッジ構成において、上アームの MOSFET(M1)がターン・オンする際、下アームの MOSFET(M2)の還流ダイオード(外付け SBD またはボディダイオード)に流れていた順方向電流が逆回復し、同時に M2 のドレイン・ソース間電位が上昇します。このときに発生する dV_{DS}/dt は M2 の帰還容量 Crss を介して過渡的なゲート電流(I_G=Crss×dV_{DS}/dt)となり、この電流がゲート抵抗に流れることで M2 のゲート電位は上昇します(Figure 6-19)。 この電圧がゲートしきい値電圧 $V_{GS(th)}$を大きく超える場合 MOSFET(M2)は誤点弧され、上下アームが短絡状態となります。

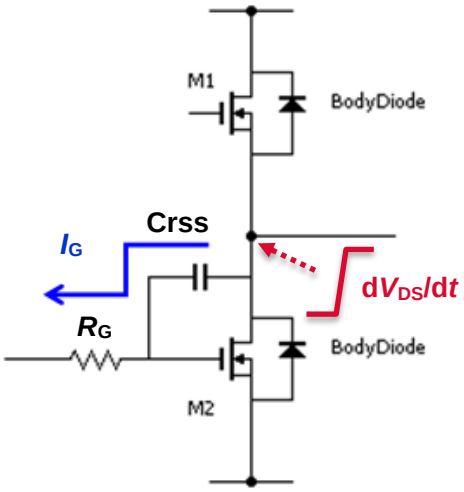


Figure 6-19. 誤点弧発生のメカニズム

SiC MOSFET の $V_{GS(th)}$は I_D=数 mA で定義しているため 3V 程度と低いですが、大電流を流すために必要なゲート電圧は 8V 以上と大きく、実際には誤点弧に対する耐性は IGBT と大きく変わりません。しかしながらご使用環境において誤点弧の可能性がある場合には Si パワーモジュールと同様、下記のような対策を推奨いたします。スイッチングに影響を与える場合もありますので波形を確認のうえご調整下さい。アクティブミラークランプによる誤点弧対策についてはより詳細なアプリケーションノート「アクティブミラークランプによる誤点弧対策」*6 がありますので、併せて参照して下さい。

- オフ時のマイナスゲートバイアスを増大させる(第二世代 MOSFET 使用品のみ可能)
- ゲート-ソース間に容量を追加する
- ゲート-ソース間にトランジスタを追加する(アクティブミラークランプ MOSFET によって G-S 間をクランプ)
- ゲート抵抗を大きくしスイッチング速度を低下させる

© 2020 ROHM Co., Ltd.

6.8 RBSOA (逆バイアス安全動作領域)

SiC パワーモジュールの RBSOA(Reverse Bias Safe Operating Area：逆バイアス安全動作領域)は IGBT モジュールと同様、定格電流の 2 倍×定格電圧の全範囲をカバーしています(Figure 6-20)。

なお、ここで示す Drain-Source voltage はチップ直近での値(V_{DS_INT})であり、端子電圧(V_{DS})ではありません。各パワーモジュールで規定している寄生インダクタンス L_S と、実波形の dI_D/dt から、式(5)に示す V_{DS_INT} を算出して下さい。

$$V_{DS_INT} = V_{DS} + L_S * \frac{dI_D}{dt} \quad (5)$$

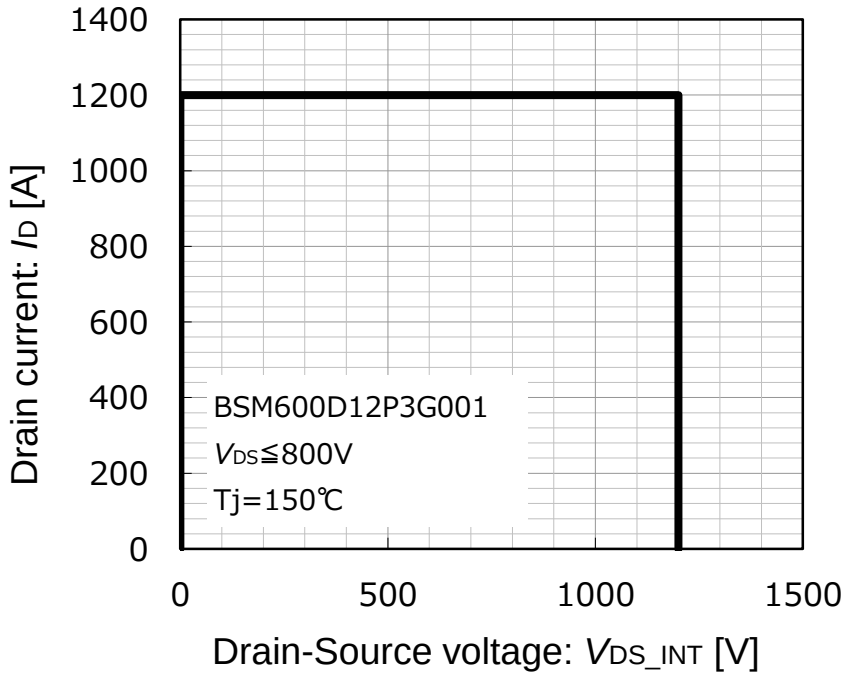
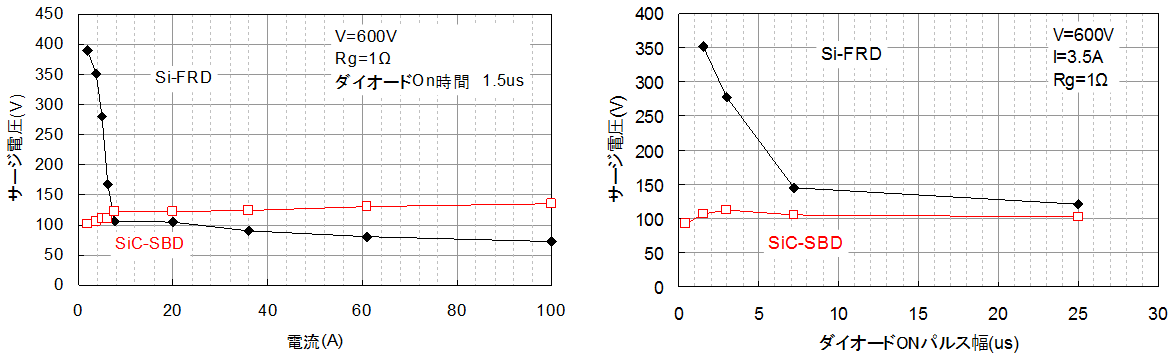


Figure 6-20. 1200V 600A 製品の RBSOA

© 2020 ROHM Co., Ltd.

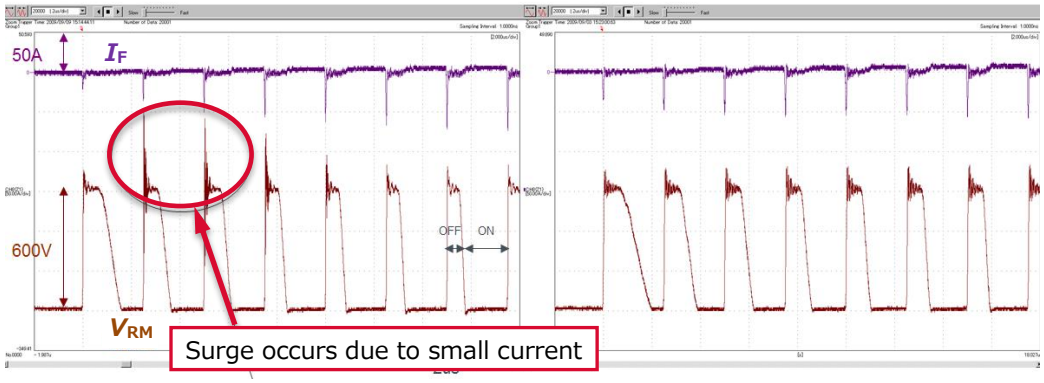
6.9 ダイオードの小電流、狭パルス通電時の V_{DS} サージ

Si FRD では通電時間が短く、かつ電流が小さいときにドリフト層内に蓄積される少数キャリアが少なくなることからリカバリの戻りの di/dt が大きくなり、Figure 6-21(a)、(b)の黒線のように大きなサージ電圧が発生してしまいます。ダイオードのサージ電圧は MOSFET のターン・オン速度を速くするほど大きくなり、素子の破壊やノイズの原因となり得るため、ターン・オンを緩やかに制限する必要がありました。一方、SiC SBD は少数キャリアを使用せずリカバリ電流が非常に小さいため、同図(a)、(b)内赤線のように小電流・短パルスの条件でも大きなサージ電圧が発生しません。MOSFET のターン・オン速度を制限する必要がないため、スイッチング損失を削減可能です。ダイオードを短パルス動作させたときの V_{DS} サージ波形比較を Figure 6-22 に示します。



(a) I_F VS. Surge Voltage (b) I_F pulse width VS. Surge Voltage

Figure 6-21. V_{RM} サージ特性



(a) IGBT + Si FRD (b) SiC MOSFET + SiC SBD

Figure 6-22. 小電流, 狭パルス時のリカバリ電流による電圧サージの比較

© 2020 ROHM Co., Ltd.

6.10 G-type パワーモジュール

一般的にパワーモジュールは大きなサイズと内部構造のために寄生インダクタンスが大きくなっています。配線等のインダクタンスはスイッチング電流の高い dI_D/dt によりサージ電圧を発生させる要因となるため、出来る限り小さくすることが望まれます。

ロームでは、内部インダクタンスを極力低減した G タイプパワーモジュールを開発しました。このモジュールではさらに、熱抵抗 R_{th} も改善し、放熱性を高めることで許容電流を倍増させています。Figure 6-23 に外観と内部インダクタンスの概略値を示します。

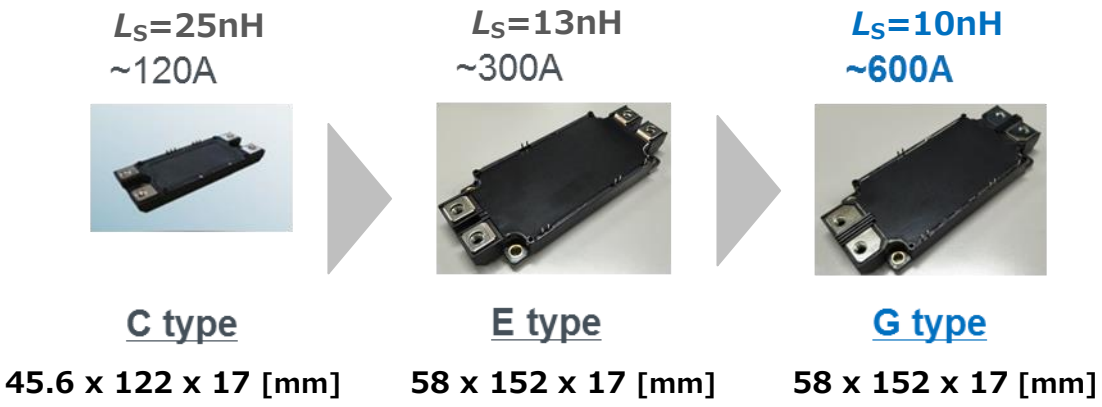


Figure 6-23. パワーモジュールのケースタイプ

Figure 6-24 にターン・オフ時の V_{DS} サージを G タイプと E タイプで比較した結果を示します。 G タイプでは内部インダクタンスを低減したために、同じ駆動条件では、サージ電圧の発生を抑えることが可能となります。見方を変えると、サージ電圧が同じになるようなスイッチング条件(G タイプの外付けゲート抵抗を低減)で動作させた場合は、E タイプに比べ、約 25%の損失低減ができることになります。

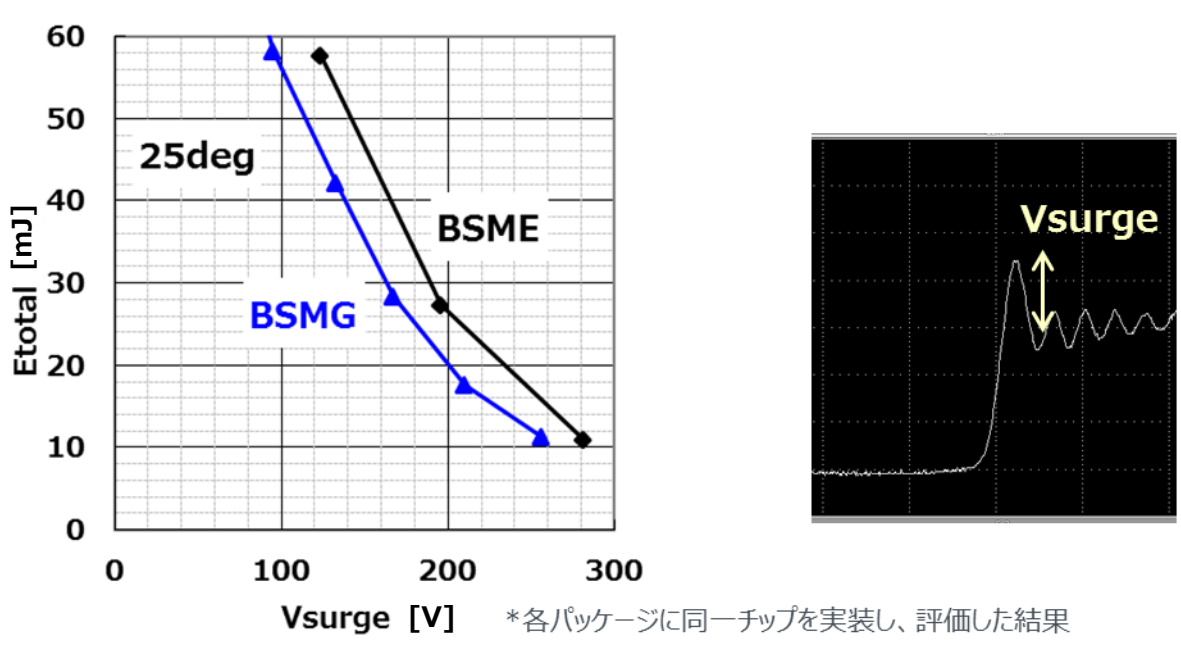


Figure 6-24. G タイプと E タイプの V_{DS} サージとスイッチング損失の比較

© 2020 ROHM Co., Ltd.

7. モジュール用評価基板

7.1 SiC パワーモジュール用ドライブ基板

ロームからリリースされている SiC パワーモジュール用ドライブ基板一覧を Table 7-1 に示します。パワーモジュールを駆動するための基本的な機能や、駆動用絶縁電源、過電流保護回路などを標準装備しているため、制御用単一電源を準備するだけでパワーモジュールを駆動することが出来ます。

ロームホームページ内の SiC サポートページ(https://www.rohm.co.jp/power-device-support)に詳しい情報がありますのでご参照下さい。

Table 7-1. SiC パワーモジュール用ドライブ基板一覧

評価対象デバイス	外観	品名
BSM series 第二世代 1200V、E / G type 用		BSMGD2G12D24-EVK001
BSM series 第三世代 1200V、E / G type 用		BSMGD3G12D24-EVK001
BSM series 第二世代/第三世代 1200V、C type 用		BSMGD3C12D24-EVK001
BSM series 第二世代 1700V、E type 用		BSMGD2G17D24-EVK001

なお、これらのドライブ基板は短時間の評価を目的として開発されておりますので、信頼性の保証や、適正な沿面距離等を確保しておりません。回路図や基板レイアウトを流用する場合は、必ずお客様ご自身で信頼性の検証を行うようにしてください。

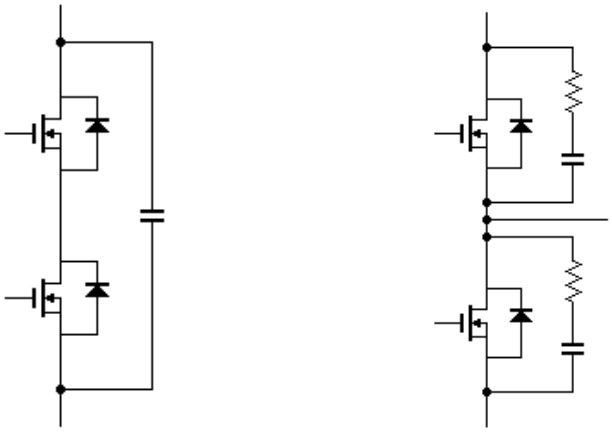
© 2020 ROHM Co., Ltd.

7.2 サージ電圧の対策

SiC モジュールはスイッチングスピードが速く、大電流を取り扱うため、モジュール内部もしくは周辺の配線インダクタンス L_{LINE} により、サージ電圧 $V_{SURGE} = -L_{LINE} \times dI_D/dt$ が発生し、場合によっては定格電圧を超えてしまう場合があります。

これらを抑制するために Si パワーモジュールと同様、以下の対策を推奨いたします。ただし、スイッチング特性に影響を与える場合もありますので波形を確認のうえ実回路にてご調整下さい。

- 主回路(及びスナバ回路)の配線をできる限り太く・短く設計し、配線インダクタンスを低減する。
- 平滑コンデンサの実装位置を MOSFET の近くに配置し、配線インダクタンスを低減する。
- スナバ回路を付加する。
- ゲート抵抗を大きくし、dI_D/dt を小さくする。



(a) C スナバ回路　　(b) RC スナバ回路

Figure 7-1 パワーモジュール用スナバ回路

Figure 7-2 は C スナバの有無とコンデンサの種類による V_{DS} 波形の違いを示したものです。適切なセラミックコンデンサを付けることでサージ電圧やリンギングを抑えることができます。ロームでは高速な SiC モジュールの評価用に最適なスナバ基板を Figure 7-3 のようにご用意しています。詳しくはロームホームページ内の SiC サポートページ(https://www.rohm.co.jp/power-device-support)に情報がありますのでご参照下さい。

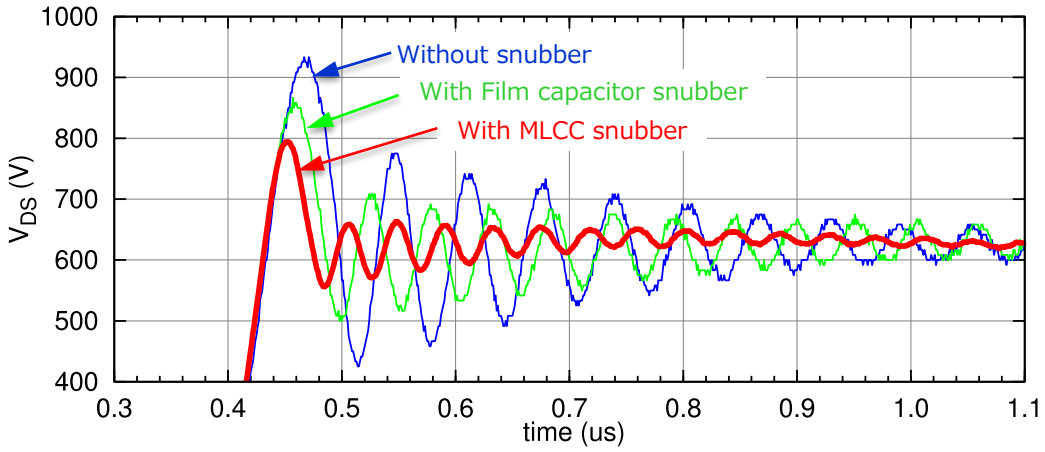
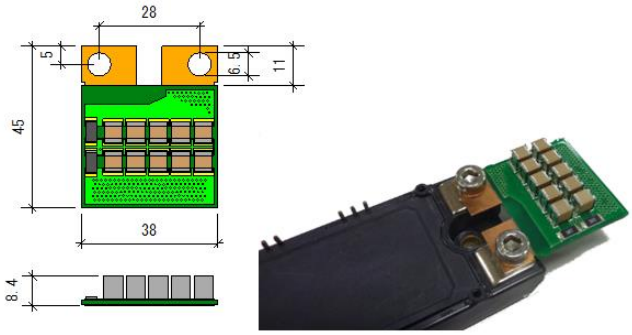
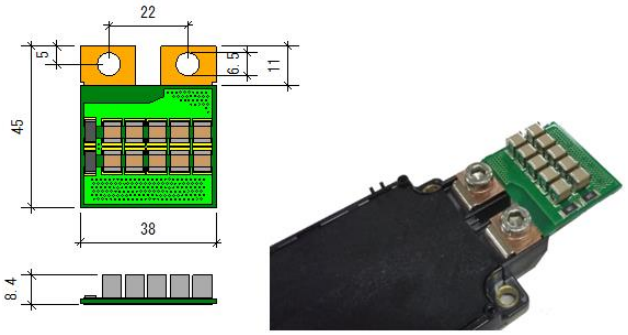


Figure 7-2. スナバ回路の有無によるターン・オフサージ波形の比較

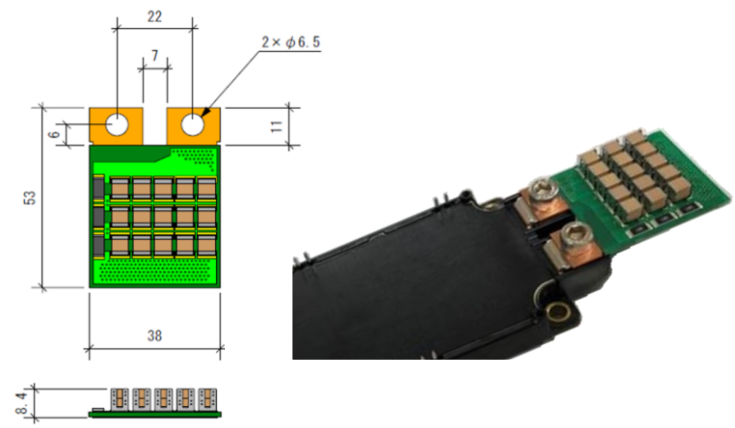
© 2020 ROHM Co., Ltd.



(a) C Type 用 EVSM1D72J2-145MH26



(b) E Type 用 EVSM1D72J2-145MH16



(c) 1700V 用 EVSM1D72J3-934MH93

Figure 7-3. SiC パワーモジュール用スナバ基板

© 2020 ROHM Co., Ltd.

8. 信頼性

SiC パワーデバイスは、一般的に製品寿命の長い産業機器等に使用されるため、長期間に渡ってデバイスの性能を維持する必要があります。また、非常に大きな熱的、電気的ストレスを受ける環境で使用されることが多く、様々な条件で評価し、求められる性能維持期間を確保(寿命設計)しなければなりません。

使用される環境でデバイスが受けるであろうストレス条件において信頼性評価を行うのが理想ですが、製品寿命が十年以上となる製品の評価を全く同じ条件で行うことは出来ませんので、一般的に加速試験等で代用します。この場合、使用環境を正確に把握し、加速条件等を設定することが重要です。

この章では、特に注意しなければならない信頼性項目をデバイスごとに説明します。なお、一般的な信頼性試験の項目については、「JEITA 規格 ED-4701」および「JEDEC 規格 JESD22-A102」に準拠して実施しています。

8.1 SiC SBD の信頼性

8.1.1 d*V*/d*t* 破壊、 d*I*/d*t* 破壊

大きな d*V*/d*t* が印加された場合に SiC SBD の外周構造が破壊されるモードが従来製品において確認されていましたが、ロームの SBD では、現在までの調査では 50kV/μs 程度の動作においてもこの破壊モードは確認されていません。

また Si FRD では d*i*/d*t* が大きい場合にリカバリ電流 Irr が大きくなり、電流集中によって破壊するモードがありますが、SiC SBD ではリカバリ電流が非常に小さく、このモードは起こりにくいと考えられます。

8.1.2 SiC SBD の信頼性試験結果

Table 8-1 にスルーホールタイプ、Table 8-2 に SMD タイプの信頼性試験結果を示します。

Table 8-1. スルーホールタイプの信頼性試験結果

(a) 寿命試験

試験項目	試験方法／準拠規格	試験時間	サンプル数 n [pcs]	故障数 Pn [pcs]
高温逆バイアス	$T_a = T_{jmax}$、$V_{DS} = V_{DSmax}$ JEITA ED-4701/100A-101A	1000 h	22	0
高温ゲートバイアス	$T_a = T_{jmax}$、$V_{GS} = V_{GSmax}$ JEITA ED-4701/100A-101A	1000 h	22	0
高温ゲートバイアス	$T_a = T_{jmax}$、$V_{GS} = V_{GSmin}$ JEITA ED-4701/100A-101A	1000 h	22	0
高温高湿バイアス	T_a = 85℃、RH = 85%、V_{DS} = 100V JEITA ED-4701/100A-102A	1000 h	22	0
温度サイクル	T_a = −55℃ (30 min) ～ T_a = 150℃ (30 min) JEITA ED-4701/100A-105A	100 cycles	22	0
蒸気加圧	T_a = 121℃、203 kPa [2 atm]、RH = 100% JESD22-A102C	48 h	22	0
高温保存	T_a = 175℃ JEITA ED-4701/200A-201A	1000 h	22	0
低温保存	T_a = −55℃ JEITA ED-4701/200A-202A	1000 h	22	0

(b) 強度試験

試験項目	試験方法／準拠規格	試験時間	サンプル数 n [pcs]	故障数 Pn [pcs]
はんだ耐熱性1	260 ±5℃のはんだ槽に端子を浸漬 JEITA ED-4701/301-302A	10 s	22	0
はんだ耐熱性2	350 ±10℃のはんだ槽に端子を浸漬 JEITA ED-4701/301-302A	3.5 s	22	0
はんだ付け性	245 ±5℃のはんだ槽に浸漬 JEITA ED-4701/301-303A	5 s	22	0
熱衝撃	$0\ ^{+5}_{-0}$(5 min) ～ $100\ ^{+0}_{-5}$ (5 min) JEITA ED-4701/302-307B	100 cycle	22	0
端子強度 (引張り)	引張力 = 20 N JEITA ED-4701/400A-401A	10 s	22	0
端子強度 (曲げ)	曲げ荷重 = 10 N JEITA ED-4701/400A-401A	2 times	22	0

※故障判定はデータシートに記載されている電気的特性に従って行っています。半田付け性試験については、濡れ面積≧95%にて判定しています。

※サンプル規準：信頼度水準 90%、不合格信頼性水準λ1＝10%、C=0 判定を採用し、MIL-STD-19500 指数分布型計数 1 回抜取表に従い、サンプルを 22 個としています。

© 2020 ROHM Co., Ltd.

Table 8-2. SMD タイプの信頼性試験結果

(a) 寿命試験

試験項目	試験方法／準拠規格	試験時間	サンプル数 n [pcs]	故障数 Pn [pcs]
高温逆バイアス	$T_a = T_{jmax}$、$V_R = V_{Rmax} \times 0.8$ JEITA ED-4701/100A-101A	1000 h	22	0
高温高湿バイアス	T_a = 85℃、RH = 85%、V_R = 100 V JEITA ED-4701/100A-102A	1000 h	22	0
温度サイクル	T_a = −55℃ (30min) ～ T_a = 150℃ (30min) JEITA ED-4701/100A-105A	100 cycles	22	0
蒸気加圧	T_a = 121℃、203 kPa [2 atm]、RH = 100% JESD22-A102C	48 h	22	0
高温保存	T_a = 175℃ JEITA ED-4701/200A-201A	1000 h	22	0
低温保存	T_a = −55℃ JEITA ED-4701/200A-202A	1000 h	22	0

(b) 強度試験

試験項目	試験方法／準拠規格	試験時間	サンプル数 n [pcs]	故障数 Pn [pcs]
はんだ耐熱性1	ピーク温度260 ±5℃でのリフロー JEITA ED-4701/301-301C	2 times	22	0
はんだ耐熱性2	260 ±5℃のはんだ槽に浸漬 JEITA ED-4701/301-301C	10 s	22	0
はんだ耐熱性3	350 ±10℃のはんだ槽に端子を浸漬 JEITA ED-4701/301-301C	3.5 s	22	0
はんだ付け性	245 ±5℃のはんだ槽に浸漬 JEITA ED-4701/301-303A	5 s	22	0
熱衝撃	$0\ ^{+5}_{-0}$ (5 min) ～ $100\ ^{+0}_{-5}$ (5 min) JEITA ED-4701/302-307B	100 cycle	22	0
端子強度（引張り）	引張力 = 20 N JEITA ED-4701/400A-401A	10 s	22	0

※故障判定はデータシートに記載されている電気的特性に従って行っています。半田付け性試験については、濡れ面積≧95%にて判定しています。

※サンプル規準：信頼度水準 90%、不合格信頼性水準λ1＝10%、C=0 判定を採用し、MIL-STD-19500 指数分布型計数 1 回抜取表に従い、サンプルを 22 個としています。

© 2020 ROHM Co., Ltd.

8.2 SiC MOSFET の信頼性

SiC MOSFET は、SBD に比べチップ構造も複雑なため、様々な熱的、電気的、機械的な外的ストレス要因を想定した信頼性試験をしなければなりません。また、実際の使用状況下では、その要因は複合的であることが多く、出来る限り実使用に近い条件で評価することが大切です。

この節では、SiC MOSFET の信頼性について、長年の市場経験ですでに成熟している Si MOSFET と比較しながら、その実力を説明します。

8.2.1 ゲート酸化膜

SiC 上に形成されるゲート絶縁膜は長年にわたり信頼性が疑問視されてきましたが、ロームではゲート酸化膜形成プロセスの開発やデバイス構造の最適化により今日広く使用されている Si MOSFET や IGBT と同等の品質を達成しています。

Figure 8.1 に CCS TDDB (Constant Current Stress　Time Dependent Dielectric Breakdown) 試験の結果を示します。CCS TDDB 試験はゲート酸化膜に強制的にトンネル電流を通過させ、単位面積当たりどれだけの電荷量が通過したら故障するかを判定する試験です。ゲート酸化膜の品質の指標となる Q_{BD} は 15～20C/cm^2 であり Si MOSFET と同等の強度が得られています。

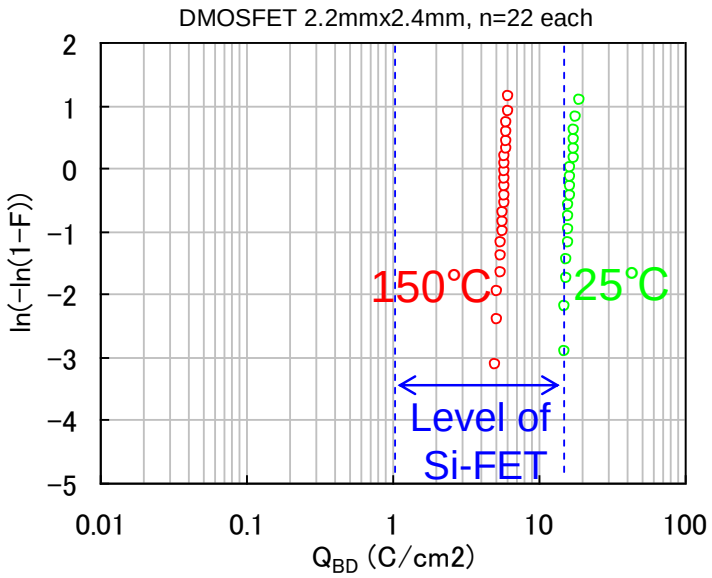


Figure 8-1. CCS TDDB (24mA/cm^2)

高いゲート絶縁膜の品質があったとしても SiC 結晶にはまだ多くの結晶欠陥が存在しており、これら結晶欠陥による初期故障の懸念がありました。ロームでは、独自のスクリーニング技術の採用により初期故障を市場に流通させない努力を行っています。

HTGB(High Temperature Gate Bias:高温ゲートバイアス)試験(+22V、150℃/175℃)の結果、通算 3000 個以上のデバイスで、故障や特性変動無く 1000 時間通過を確認しています。また 3000 時間通過も 600 個以上のデバイスで問題の無いことを確認済みです。

© 2020 ROHM Co., Ltd.

8.2.2 閾値安定性 (ゲート正バイアス)

SiC 上に形成されるゲート絶縁膜界面には現在の技術レベルではトラップが形成されており、DC で長時間ゲート正バイアスが印加されると、トラップに電子が捕獲されることで閾値が上昇します。ただしこの閾値シフトは V_{GS}=+22V、150℃で 1000 時間後に 0.2～0.3V と非常に小さく業界最小レベルです。 トラップのほとんどはストレス印加初期の数十時間で埋まりきるため、その後は変動なく安定しています。Figure 8-2 に第二世代 SiC MOSFET の V_{GS}=22V 時の試験結果を示します。

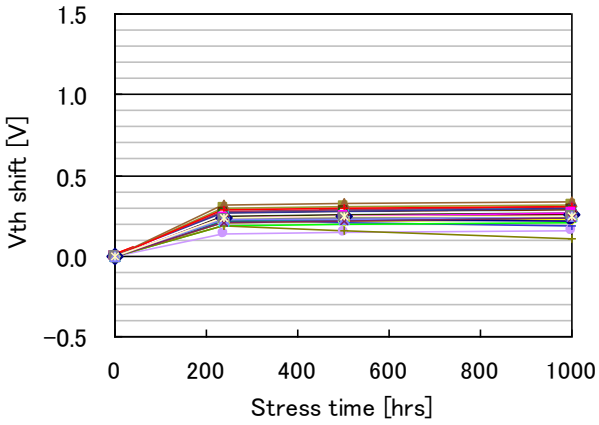


Figure 8-2. HTGB (V_{GS}=+22V, 150℃)

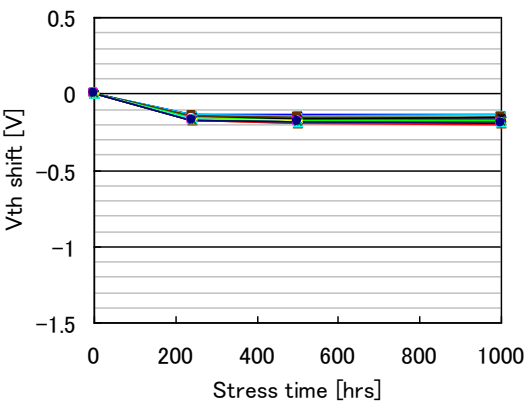
8.2.3 閾値安定性 (ゲート負バイアス)

DC で長時間ゲートに負バイアスを印加された場合も正孔がトラップされることで閾値の低下が起こります。第二世代 SiC MOSFET の場合、この閾値変化の度合いは正バイアスの場合よりも大きく、V_{GS} が-10V 以上では閾値が 0.5V 以上低下するため、ゲート負バイアスの保証電圧を-6V としています。保証電圧よりも大きな負バイアスでは、大幅な閾値の低下が起こりますのでご使用にならないで下さい。

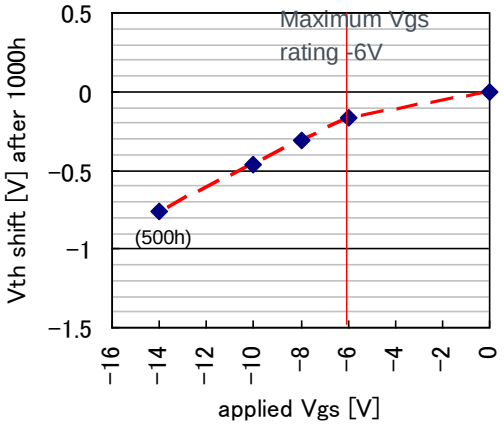
Figure 8-3 に第二世代 SiC MOSFET の $V_{GS(th)}$の信頼性試験結果を示しますが、保証電圧である-6V 以内であれば、変動値は最小限に抑えられていることがわかります。

なお、正負をまたぐ AC でのバイアスではトラップへの充電と放電が繰り返されるため、閾値シフトの影響は少ないことがわかっています。

一方でトレンチゲートを採用した第三世代 SiC MOSFET では DC の負アイアスに対する耐性が向上しており、DC -10V においても閾値はほとんど低下しません。しかしながら、次節で説明するように AC のゲートバイアスに対しては新たな制約が発生していますので注意が必要です。



(a) HTGB (V_{GS}=-6V, 150℃)



(b) $V_{GS(th)}$ shift after 1000 hours vs. V_{GS}

Figure 8-3. 第二世代 SiC MOSFET $V_{GS(th)}$ 信頼性試験結果(ゲート負バイアス印加)

© 2020 ROHM Co., Ltd.

8.2.4 閾値安定性 (第三世代 MOSFET)

第三世代 SiC MOSFET はゲート定格が第二世代に比べ狭くなっていることは、5.5 節でも説明しましたが、定格電圧(-4V)よりも負バイアスが大きい状態でゲート AC 駆動を行うと、閾値 $V_{GS(th)}$が徐々に高くなっていく現象が現れます。V_{G_P}=22V、 V_{G_N}=-4V~-10V の条件で、300kHz(Duty:50%)のパルスを印加した結果、負バイアス電圧が-4V では問題ありませんが-6V～-10V では急激に $V_{GS(th)}$が増加することがわかっています。Duty や正電圧の大きさにはほとんど影響されず、負バイアスの大きさ(-4V を超えるかどうか)のみで閾値変動の有無は決まります。閾値が変動してしまう条件(-6V～-10V)では変動の速度は正負バイアスの回数に依存しているため、高周波数でスイッチングするほど早く特性変動が起きます。

閾値の上昇がひどい場合、Ron も上昇することがわかっています。また、スイッチング損失に関しては Eon が増加し、Eoff が低下する傾向になります。トータルのスイッチング損失は大きく変化しませんが、オンとオフの損失の比率が変わるため注意が必要です。導通損失やスイッチング損失に変化が及んだ結果、発熱の増加や最悪の場合破壊発生の可能性もありますので、サージを含め必ず定格内でご使用されることを強く推奨します。そのための対策方法は、5.9 節やアプリケーションノート「ゲート-ソース電圧のサージ抑制方法」*2 をご参照ください。

8.2.5 短絡耐量

SiC MOSFET は Si デバイスに比べチップ面積が小さく、電流密度が高いデバイスであるため熱破壊モードである短絡に対する耐量は Si デバイスと比べ低い傾向にあります。TO247 パッケージの 1200V 第二世代 MOSFET では、V_{DD}=700V、V_{GS}=18V における短絡耐久時間は 10μs 以上と、十分な耐量があります。より低いゲート電圧では飽和電流が小さくなるため発生する熱量が減り、耐久時間は長くなります。また電源電圧が低い場合も発熱が小さくなることで耐久時間は長くなります。したがって 1200V 品よりも 650V 品の方が耐久時間は長くなります。

第三世代 MOSFET は RonA が一層小さいため短絡時間は更に短くなりますが 1200V 品、650V 品ともに typical 値で 5μs 以上の短絡耐量を確保しています。ただしディスクリート SiC MOSFET では短絡耐量に関しては測定等による全数保証は行っておりません。

ロームのゲートドライブ IC は過電流検知時に約 2μs で遮断することができる絶縁素子内蔵 IC で、ソフトターン・オフなどの機能があります(詳しくは各機種のデータシートをご確認下さい)。SiC MOSFET のターン・オフに要する時間は極めて短いため、V_{GS} の遮断速度が高速な場合、急激な dI/dt により大きなサージ電圧が発生する場合があります。ゲート電圧を徐々に下げるソフトターン・オフの機能などを利用し過電圧がかからない条件で遮断するようにしてください。

8.2.6 dV/dt 破壊

Si MOSFET では高い dV/dt により容量 C_{DS} を通して過渡電流が流れ、寄生バイポーラトランジスタが動作することで破壊するモードが存在します。

SiC MOSFET においては寄生バイポーラトランジスタの電流増幅率 h_{FE} が低いため電流増幅が起こらないと考えられ、現在までの調査では 50kV/μs 程度の動作においてもこの破壊モードは確認されていません。

ボディダイオードのリカバリ時においても、SiC MOSFET ではリカバリ電流が非常に小さいことから回復時の dI/dt が小さく、結果として dV/dt が大きくならないためこの破壊モードは起こりにくいと考えられます。

© 2020 ROHM Co., Ltd.

8.2.7 宇宙線起因中性子耐量

宇宙線起因で地上にまれに降り注ぐ中性子や重イオンなどが衝突することで引き起こされる破壊(シングルイベント現象: SEB: Single Event Burnout)が、高耐圧パワーデバイスの主な偶発故障の原因であるといわれています。 特に高地では海抜 0m 地点と比較して中性子濃度が 10 倍以上高くなるため問題となります。また、パワーモジュールなど大型のチップを複数個使用する場合にもセット全体の偶発故障率が高くなりやすいため、可能な限り故障率の低い素子を選ぶ必要があります。

1200V 第三世代 SiC MOSFET と一般的な IGBT に対し、印可する V_{DS} を変えながら大気中を模したスペクトルの中性子を照射した試験の結果を Figure 8-4 に示します(各プロット n=10 程度)。故障率は印可電圧に強く依存するため IGBT では定格耐圧 1200V に対して 60%程度(720V)のディレーティングを行わなければ低い故障率で運用することができませんでした。一方、SiC MOSFET の故障率は IGBT に比べ 4 桁以上も低い値となっており、V_{DS}=1200V(定格耐圧の 100%)においても 1FIT 以下となっています。SiC のチップが Si デバイスと比較して小さいことで中性子に当たる確率が低いことや、耐圧実力値が高くマージンが十分あることなどが原因と考えられています。このように、SiC では大幅な電圧ディレーティングをすることなく、高地での使用や多数個使用のセットにおいて宇宙線起因の偶発故障のリスクを限りなく低減することができます。

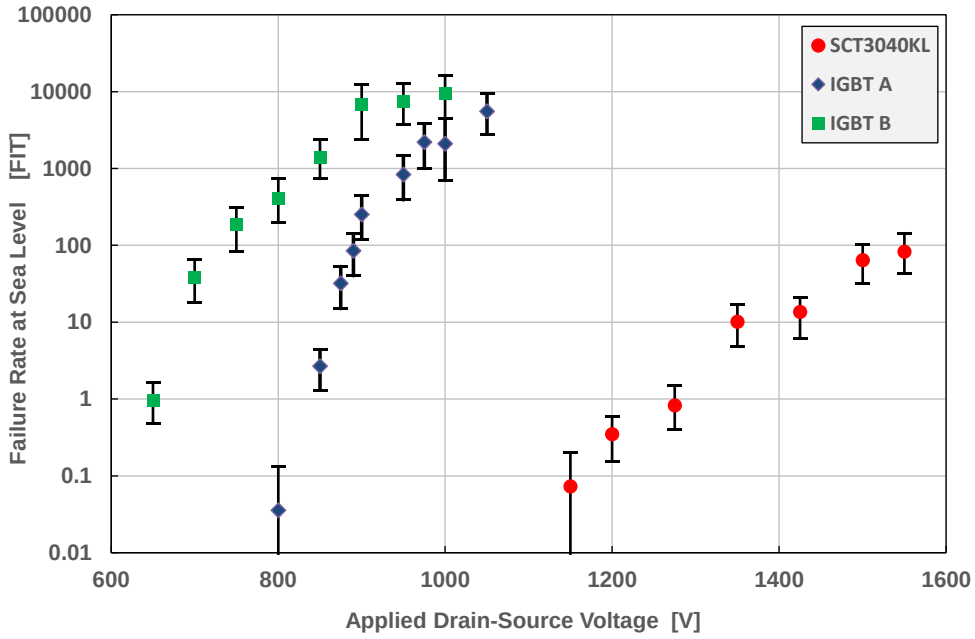


Figure 8-4. 宇宙線による SiC MOSFET(第三世代）と IGBT の 故障率比較

8.2.8 静電破壊耐量

SiC MOSFET は Si 製品に対してチップサイズを小さくできることが特長ですが、その反面、静電破壊耐量が低くなっております。静電気対策を十分に行っていただき、お取扱いにご注意ください。

静電気対策例

- イオナイザによる人体、デバイス、作業環境の静電気除去 (推奨)
- リストバンド、アースによる人体、作業環境の静電気除去
  (デバイス帯電に対しては効果がありませんのでこれのみでは不十分です)

© 2020 ROHM Co., Ltd.

8.2.9 パワーサイクルにおける注意点

数 ms～数秒単位で MOSFET を動作・非動作させる場合、ケース温度 Tc は一定に見えていても、内部チップの接合温度 Tj は、一定の幅で温度変化(⊿Tj)している場合があります。このような短周期で発生する⊿Tj は、ソースワイヤと SiC チップの線膨張係数の差により、接合面に熱応力を発生させます。そして、一定の⊿Tj サイクル数を超えると、Figure 8-5 に示すように、界面に亀裂(クラック)が生じ接合強度が低下します。最終的にはソースワイヤの剥離や接合面の接触抵抗が増加することで、$R_{DS(ON)}$が増加し、発熱増加によるパワーデバイスの破壊へとつながります。

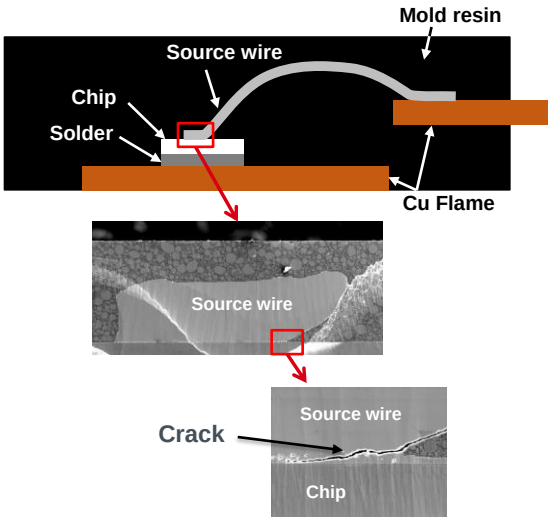


Figure 8-5. ⊿Tj パワーサイクルによる故障モード

ソースワイヤのパワーサイクル耐量は、ΔTj が大きくなるほど指数関数的に寿命が短くなる傾向です。10 年以上の製品寿命を確保するためには設計段階で十分に⊿Tj を下げる取り組み(駆動条件調整や Ron の低い素子の選択など)や冷却設計を行う必要があります。

なお、一般的な信頼性試験項目である温度サイクル(TCY)、断続通電(IOL)は、数分～数時間のケース温度のスイング(ΔTc)により、主に SiC チップ裏の半田にクラックが発生します。これらはワイヤ剥離が発生するΔTj によるパワーサイクル(PCY)とは別の故障モードとして区別されるべきです。

© 2020 ROHM Co., Ltd.

8.2.10 SiC MOSFET 信頼性試験結果

Table 8-3 に信頼性試験結果を示します。

Table 8-3. スルーホールタイプの信頼性試験結果

1. 寿命試験

試験項目	試験方法／準拠規格	試験時間	サンプル数 n [pcs]	故障数 Pn [pcs]
高温逆バイアス	$T_a = T_{jmax}$、$V_{DS} = V_{DSmax}$ JEITA ED-4701/100A-101A	1000 h	22	0
高温ゲートバイアス	$T_a = T_{jmax}$、$V_{GS} = V_{GSmax}$ JEITA ED-4701/100A-101A	1000 h	22	0
高温ゲートバイアス	$T_a = T_{jmax}$、$V_{GS} = V_{GSmin}$ JEITA ED-4701/100A-101A	1000 h	22	0
高温高湿バイアス	T_a = 85℃、RH = 85%、V_{DS} = 100V JEITA ED-4701/100A-102A	1000 h	22	0
温度サイクル	T_a = −55℃ (30 min) ～ T_a = 150℃ (30 min) JEITA ED-4701/100A-105A	100 cycles	22	0
蒸気加圧	T_a = 121℃、203 kPa [2 atm]、RH = 100% JESD22-A102C	48 h	22	0
高温保存	T_a = 175℃ JEITA ED-4701/200A-201A	1000 h	22	0
低温保存	T_a = −55℃ JEITA ED-4701/200A-202A	1000 h	22	0

2. 強度試験

試験項目	試験方法／準拠規格	試験時間	サンプル数 n [pcs]	故障数 Pn [pcs]
はんだ耐熱性1	260 ±5℃のはんだ槽に端子を浸漬 JEITA ED-4701/301-302A	10 s	22	0
はんだ耐熱性2	350 ±10℃のはんだ槽に端子を浸漬 JEITA ED-4701/301-302A	3.5 s	22	0
はんだ付け性	245 ±5℃のはんだ槽に浸漬 JEITA ED-4701/301-303A	5 s	22	0
熱衝撃	$0\ ^{+5}_{-0}$(5 min) ～ $100\ ^{+0}_{-5}$ (5 min) JEITA ED-4701/302-307B	100 cycle	22	0
端子強度（引張り）	引張力 = 20 N JEITA ED-4701/400A-401A	10 s	22	0
端子強度（曲げ）	曲げ荷重 = 10 N JEITA ED-4701/400A-401A	2 times	22	0

※ 故障判定は仕様書に記載されている電気的特性にて行っています。
はんだ付け性試験については濡れ面積≧95%にて判定しています。

※ サンプル基準：信頼度水準90%、不合格信頼性水準 λ 1=10%、C=0判定を採用し、
MIL-STD-19500の指数分布型計数1回抜取表に従い、サンプルを22個としています。

© 2020 ROHM Co., Ltd.

8.3 SiC パワーモジュールの信頼性

SiC パワーモジュールは、ディスクリート製品に比べて取り扱う電力が大きく、外形寸法も大きいため、熱的、電気的なストレスに加えて機械的なストレスも受けやすくなります。機器の想定寿命までの間、要求される性能を維持できるかどうかを判断するための信頼性設計は特に重要です。

パワーモジュールの磨耗故障モードには下記のモードがあり、パワーサイクル等の総合的な評価でその実力を確認することが一般的です。

- ベースプレートの半田クラック
- チップの半田クラック
- ボンディングワイヤ剥がれ(リフトオフ、ヒールクラック)
- チップメタライゼーションの劣化　　など

8.3.1 パワーサイクル

一般的なパワーモジュールの構造において、動作中にチップ温度変化が生じるとアルミワイヤと SiC チップの線膨張係数の差によって発生する応力が、ワイヤ接合面に亀裂を発生させます。この亀裂が進行すると最終的には剥離モードで故障します。

実際のアプリケーションにおける動作では、図 8-8 に示すとおり、モジュールのケース温度 Tc は比較的緩やかで長周期的な温度変化となることが多い一方、接合温度 Tj の変化は急峻かつ短時間サイクルになる場合があります。短時間サイクルの主な原因は、装置の加速減速動作によるものや、回路トポロジの動作として恒常的に発生するものであり、一方、長時間サイクルは装置の起動・停止時などに起因します。

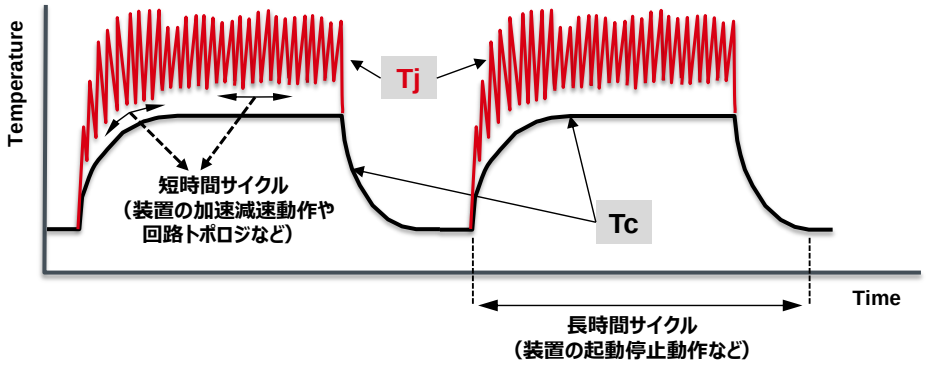


図 8-8. パワーサイクル動作モード

これらのパワーサイクル寿命を機器設計段階から十分に考慮する必要があります。特に回路トポロジ的に発生する短時間サイクルはサイクル数が飛躍的に大きくなるため注意が必要です。

Figure 8-6 に一般的なパワーサイクル寿命曲線を示します。同図は平均 Tj が 100℃時に故障率 1%となるサイクル数をプロットしたものですが、⊿Tj が大きくなるほど指数関数的にパワーサイクル寿命は短くなります。

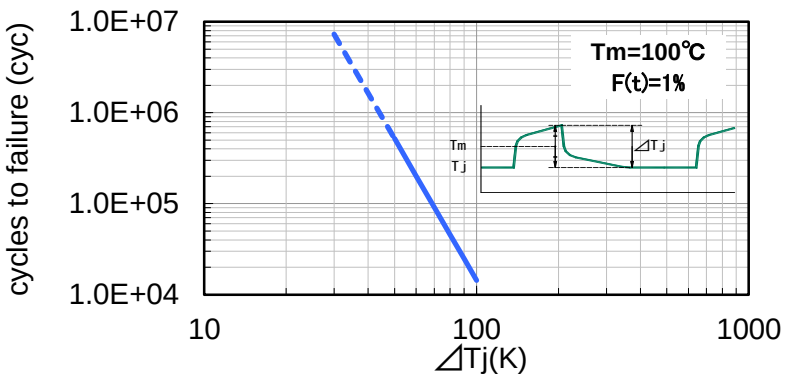


Figure 8-6 Power cycle life time curve

© 2020 ROHM Co., Ltd.

8.3.2 HV-H3TRB (High Voltage High Humidity High Temperature Reverse Bias)

HV-H3TRB(高温高湿バイアス試験)はパワーデバイスを高温高湿の環境下で使用した場合の耐久性を評価する試験で、高温多湿地域での屋外使用のような厳しい環境において長期間耐久できるかを判断する指標の一つとなります。一般的なケースタイプパワーモジュールの内部ではチップの絶縁材料として吸湿しやすいシリコーンゲルを使用しており、これが水分を含むことで高い電圧に耐えられなくなるとリーク電流の増加や絶縁破壊などの故障となります。

ロームの 1700V 耐圧 SiC モジュールは、チップを湿度から護るための対策として新しいコーティング材料と新工法を導入しており、HV-H3TRB をクリアしています。85℃／85%の高温高湿環境で V_{DS}=1360V を印可する高温高湿バイアス試験において、IGBT モジュールは 200 時間以内に絶縁破壊が発生した一方で、SiC モジュール(BSM250D17P2E004)は、1000 時間以上でも故障しない結果となり高い信頼性を証明しています。(Figure 8-7)

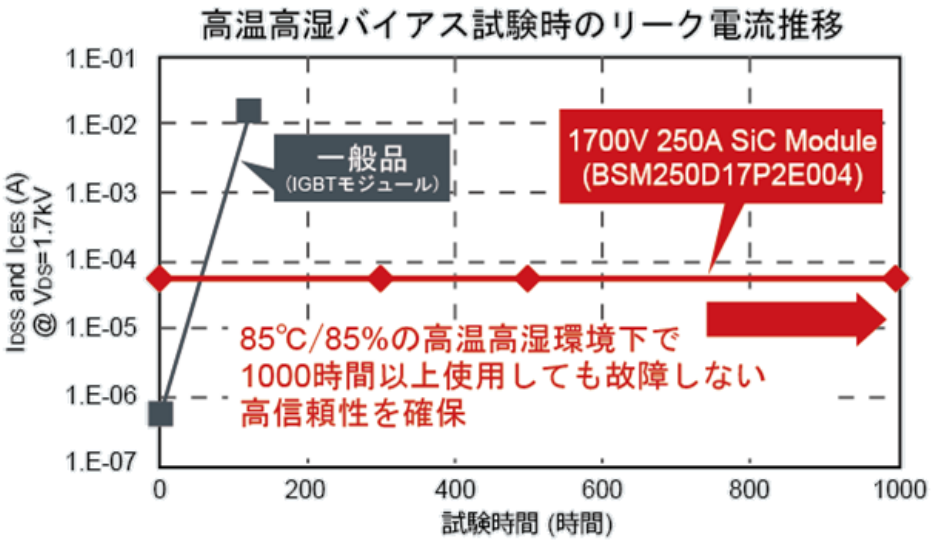


Figure 8-7 HV-H3TRB 試験結果

© 2020 ROHM Co., Ltd.

8.3.3 SiC パワーモジュールの信頼性試験結果

Table 8-4 に SiC パワーモジュールの信頼性試験結果を示します。

Table 8-4. SiC パワーモジュールの信頼性試験結果

試験項目 Test Item	試験方法／準拠規格 Test Method/Standard	試験時間 Test Condition	サンプル数 n(pcs)	不良数 pn
ΔTjパワーサイクル Δ Tj power cycle	Δ Tj=100℃±5℃、Tj≦150℃、Ta=25±5℃ EIAJ ED-4701/100-106	15000cyc	5	0
ΔTcパワーサイクル Δ Tc power cycle	ΔTc=50℃±5℃、Tj≦150℃、Ta=25±5℃ EIAJ ED-4701/100-106	5000cyc	5	0
温度サイクル Temperature cycle	-40℃(60min)～RT(30min)～ 125℃(60min)～RT(30min) EIAJ ED-4701/100-105	100cyc	5	0
耐湿試験 Temperature humidity storage	85℃/85% EIAJ ED-4701/100-103	1000h	5	0
高温保存 High Temperature storage	Ta=150℃ EIAJ ED-4701/100-201	1000h	5	0
低温保存 Low Temperature storage	Ta=-40℃ EIAJ ED-4701/100-202	1000h	5	0
高温ゲートバイアス(+) High temperature gate bias(+)	Vgs=22V、Ta=150℃ JESD22-A108	1000h	5	0
高温ゲートバイアス(−) High temperature gate bias(-)	Vgs=-6V、Ta=150℃ JESD22-A108	1000h	5	0
高温逆バイアス High temperature reverse bias	Vds=960V、Vgs=0V、Ta=150℃ EIAJ ED-4701/100	1000h	5	0

(b) 強度試験 (Stress Test)

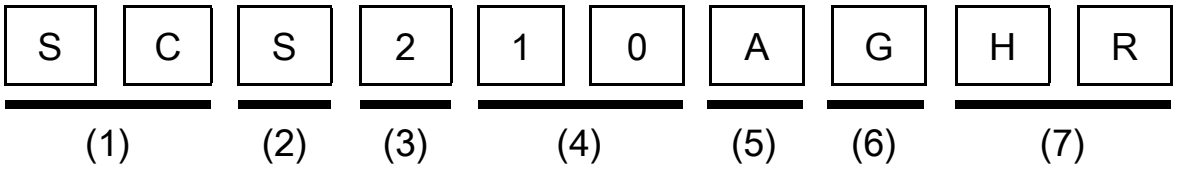
試験項目 Test Item	試験方法／準拠規格 Test Method/Standard	試験時間 Test Condition	サンプル数 n(pcs)	不良数 pn
振動 Vibration	10～500Hz/15min 100m/s^2 Each X,Y,Z axis, EIAJ ED-4701/400-403 condition code B	6h (2h / direction)	5	0
衝撃 Shock	5000m/s2 pulse width 1msec Each X,Y,Z axis, EIAJ ED-4701/400-404 condition code B	3times / direction	5	0
熱衝撃 Thermal shock	0 $^{+5}_{-0}$(5min) ～ 100 $^{+0}_{-5}$(5min) EIAJ ED-4701/300-307 condition code A	10cyc	5	0
端子強度（引張り） Terminal strength (Pull)	Pull force ; 40N(main terminal), 20N(signal terminal) EIAJ ED-4701/401-Ⅰ	10sec	5	0
締め付けトルク強度 Mounting strength	3.5N・m(M5) EIAJ ED-4701/402-Ⅱ	10sec	5	0

※ 故障判定項目は仕様書に記載されている電気的特性にて行っています。
Failure criteria : According to the electrical characteristics specified by the specification.

© 2020 ROHM Co., Ltd.

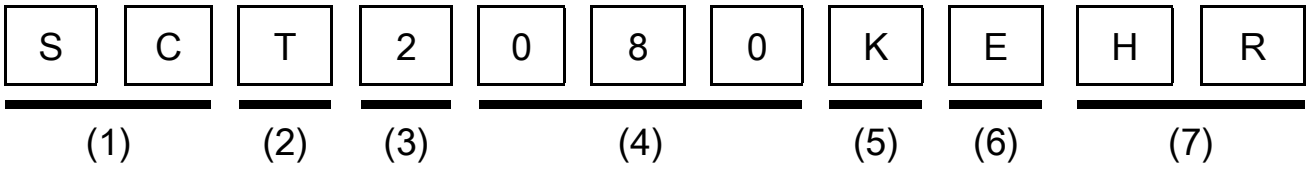
9. 形名の構成

9.1 SiC SBD (ディスクリート品)



(1) SiC を表す
(2) SBD を表す
(3) 世代を表す
(4) 電流 [アンペア表示] 05 ➔ 5A , 20 ➔ 20A
(5) 電圧 A ➔ 600V, 650V
K ➔ 1200V
(6) パッケージ D ➔ TO-252-2DL
E ➔ TO-247 E2 ➔ TO-247 [2 素子入り]
L ➔ TO-247N L2 ➔ TO-247N [2 素子入り]
G ➔ TO-220AC-2L H ➔ TO-220ACP[ハロゲンフリー]
P ➔ TO-220ACP J ➔ TO-263AB [LPTL]
M ➔ TO-220MF-2L Y ➔ TO268-2L
Z ➔ TO-220FM Z2 ➔ TO-220FM [2 素子入り]
(7) 車載対応 Blank ➔ 標準品
HR ➔ AEC-Q101 対応品

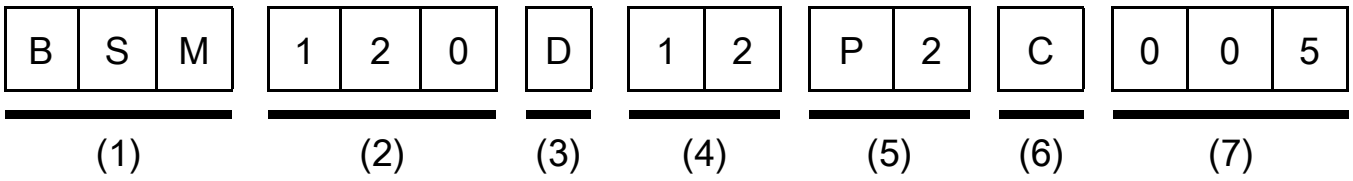
9.2 SiC MOSFET (ディスクリート品)



(1) SiC を表す
(2) タイプを表す T ➔ MOSFET
H ➔ MOSFET + SBD 同梱
(3) 世代を表す
(4) オン抵抗値 [mΩ 表示] 080 ➔ typ. 80mΩ , 160 ➔ typ. 160mΩ
(5) 電圧 A ➔ 600V, 650V
K ➔ 1200V
N ➔ 1700V
(6) パッケージ E ➔ TO-247 L ➔ TO-247N
R ➔ TO-247-4L Y ➔ TO-268-2L
F ➔ TO-220AB Z ➔ TO-3PFM
W ➔ TO-263-7L X ➔ TO-220FM
(7) 車載対応 Blank ➔ 標準品
HR ➔ AEC-Q101 対応品

© 2020 ROHM Co., Ltd.

9.3 SiC パワーモジュール



(1) SiC パワーモジュールを表す

(2) 電流 [アンペア表示]
- T ➔ MOSFET
- H ➔ MOSFET + SBD 同梱

(3) 回路構成
- D ➔ 2 in 1 (Half bridge)
- C ➔ Chopper

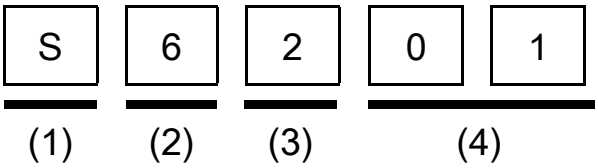
(4) 電圧
- 12 ➔ 1200V
- 17 ➔ 1700V

(5) デバイスタイプ
- P2 ➔ 第二世代
- P3 ➔ 第三世代

(6) ケースタイプ
- C ➔ C-Type
- G ➔ G-Type
- E ➔ E-Type

(7) 追番

9.4 SiC SBD (チップ品)



(1) SiC を表す

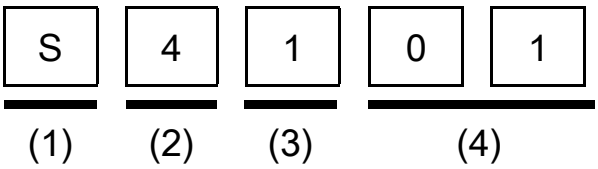
(2) SBD を表す

(3) 世代・耐圧を表す
- 2 ➔ 第二世代 600V/650V
- 3 ➔ 第二世代 1200V
- 4 ➔ 第二世代 1700V
- 5 ➔ 第三世代 650V/1200V

(4) 通し番号

© 2020 ROHM Co., Ltd.

9.5 SiC MOSFET (チップ品)



(1) SiC を表す

(2) MOSFET、世代を表す
- 2 ➔ 第二世代
- 4 ➔ 第三世代、第四世代

(3) 耐圧を表す
- 2 ➔ 第二世代 650V
- 3 ➔ 第二世代 1200V
- 4 ➔ 第二世代 1700V
- 0 ➔ 第三世代 650V
- 1 ➔ 第三世代 1200V
- 5 ➔ 第四世代 750V
- 6 ➔ 第四世代 1200V

(4) 通し番号

© 2020 ROHM Co., Ltd.

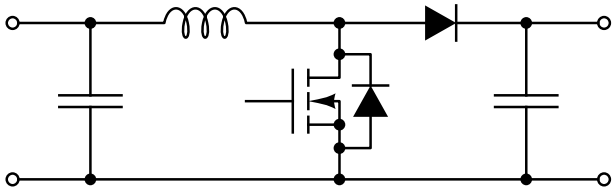
10. 応用回路例

10.1 力率改善(PFC)回路、boost チョッパ

・リカバリ電流の低減による効率改善、ノイズ低減

・ダイオード Err、スイッチ側 Eon の低減による高周波駆動→受動部品の小型化

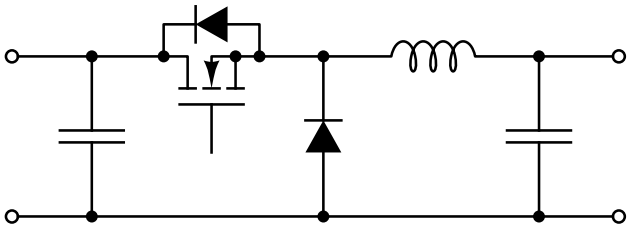
*臨界モード PFC ではリカバリがロスに影響しませんので大きな効果は期待できません。



10.2 降圧チョッパ

・Eoff の低減による効率改善、冷却器の簡素化

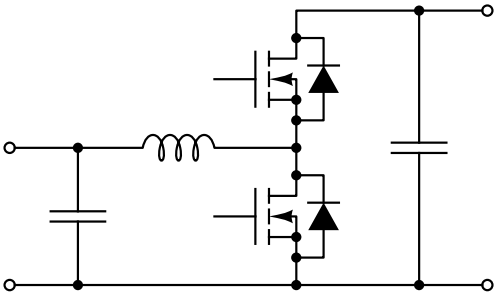
・高周波駆動による受動部品の小型化



10.3 昇降圧チョッパ

・Eon、Err の低減による効率改善、冷却器の簡素化

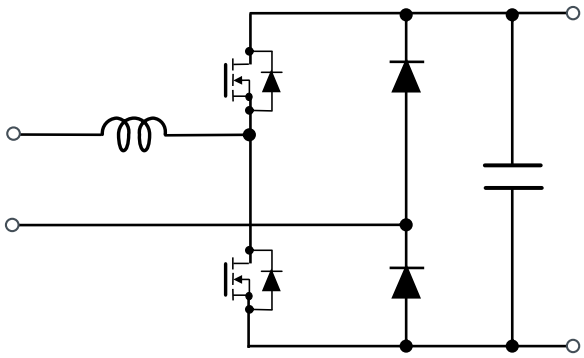
・高周波駆動による受動部品の小型化



© 2020 ROHM Co., Ltd.

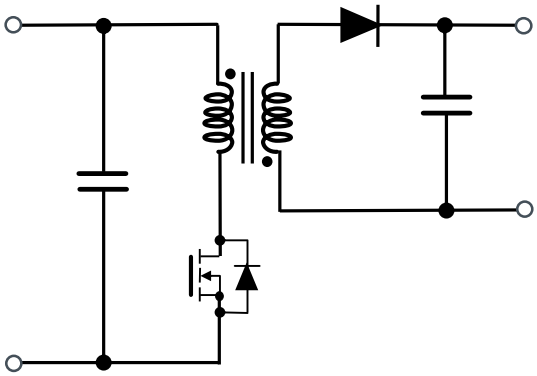
10.4 トーテムポール PFC

・Err、Eon 低減による効率改善
・高周波駆動による受動部品の小型化



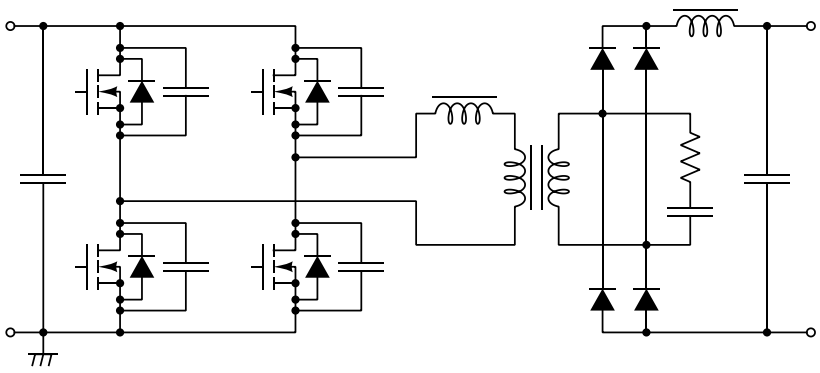
10.5 フライバックコンバータ

・導通損の低減による効率改善、冷却器の簡素化



10.6 DC/DC コンバータ(ソフトスイッチングタイプ)

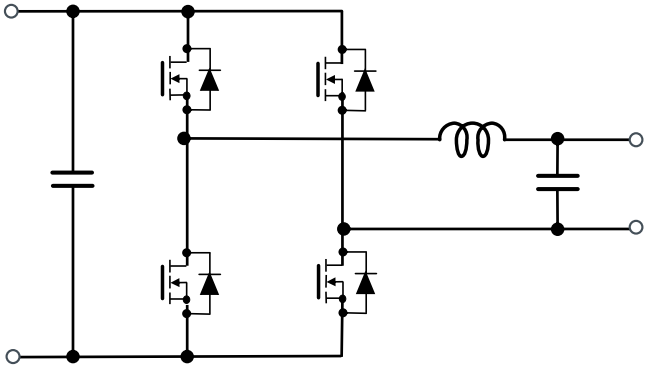
・Eoff の低減による効率改善、冷却器の簡素化
・Eoff 低減による高周波駆動→トランスの小型化
・共振タイプにおける共振外れ動作時の破壊防止



© 2020 ROHM Co., Ltd.

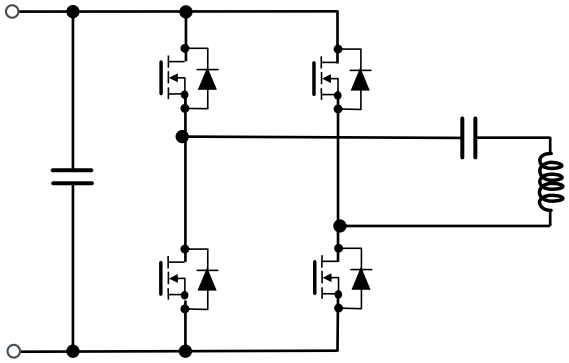
10.7 パワーコンディショナー用インバータ

・Eoff、Err、Eon、導通損の低減と軽負荷時の導通損低減による効率改善(売電電力の増加)
・冷却器の簡素化・小型化



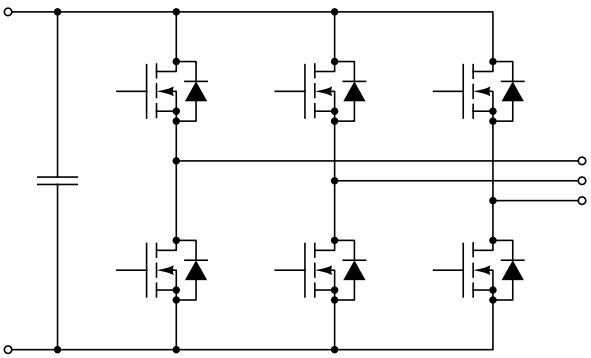
10.8 IH 用インバータ

・高周波化による加工対象範囲の拡大
・Eoff、Err の低減による効率改善、冷却器の簡素化



10.9 モータドライブ

・Eoff、Err、Eon、軽負荷時導通損の低減による効率改善、冷却器の簡素化

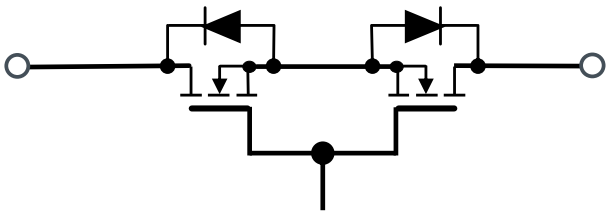


© 2020 ROHM Co., Ltd.

10.10 リレー

・オン抵抗の低減、小型実装

・メカリレーに対して信頼性向上



参考資料：

*1「ブリッジ構成におけるゲートーソース電圧の振る舞い」
アプリケーションノート（No. 60AN134JRev.002）ローム株式会社, 2020 年4 月

*2「ゲートーソース電圧のサージ抑制方法」
アプリケーションノート（No. 62AN009JRev.002）ローム株式会社, 2020 年4 月

*3「スナバ回路の設計方法」
アプリケーションノート（No. 62AN036JRev.002）ローム株式会社, 2020 年4 月

*4「ドライバソース端子によるスイッチング損失の改善」
アプリケーションノート（No. 62AN039JRev.002）ローム株式会社, 2020 年4 月

*5「最適な放熱効果を与えるモジュールの組付け方法」
アプリケーションノート（No. 62AN126JRev.001）ローム株式会社, 2019 年12 月

*6「アクティブミラークランプによる誤点弧対策」
アプリケーションノート（No. 63AN041JRev.001）ローム株式会社, 2020 年7 月

© 2020 ROHM Co., Ltd.

ご 注 意

1) 本資料の記載内容は改良などのため予告なく変更することがあります。

2) 本資料に記載されている内容は製品のご紹介資料です。ご使用に際しては、別途最新の仕様書を必ずご請求のうえ、ご確認ください。

3) ロームは常に品質・信頼性の向上に取り組んでおりますが、半導体製品は種々の要因で故障・誤作動する可能性があります。
万が一、本製品が故障・誤作動した場合であっても、その影響により人身事故、火災損害等が起こらないようご使用機器でのディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等の安全確保をお願いします。定格を超えたご使用や使用上の注意書が守られていない場合、いかなる責任もロームは負うものではありません。

4) 本資料に記載されております応用回路例やその定数などの情報につきましては、本製品の標準的な動作や使い方を説明するものです。
したがいまして、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。

5) 本資料に記載されております技術情報は、製品の代表的動作および応用回路例などを示したものであり、ロームまたは他社の知的財産権その他のあらゆる権利について明示的にも黙示的にも、その実施または利用を許諾するものではありません。上記技術情報の使用に起因して紛争が発生した場合、ロームはその責任を負うものではありません。

6) 本資料に掲載されております製品は、耐放射線設計はなされておりません。

7) 本製品を下記のような特に高い信頼性が要求される機器等に使用される際には、ロームへ必ずご連絡の上、承諾を得てください。
・輸送機器（車載、船舶、鉄道など）、幹線用通信機器、交通信号機器、防災・防犯装置、安全確保のための装置、医療機器、サーバー、太陽電池、送電システム

8) 本製品を極めて高い信頼性を要求される下記のような機器等には、使用しないでください。
・航空宇宙機器、原子力制御機器、海底中継機器

9) 本資料の記載に従わないために生じたいかなる事故、損害もロームはその責任を負うものではありません。

10) 本資料に記載されております情報は、正確を期すため慎重に作成したものですが、万が一、当該情報の誤り・誤植に起因する損害がお客様に生じた場合においても、ロームはその責任を負うものではありません。

11) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。
お客様がかかる法令を順守しないことにより生じた損害に関して、ロームは一切の責任を負いません。
本製品の RoHS 適合性などの詳細につきましては、セールス･オフィスまでお問合せください。

12) 本製品および本資料に記載の技術を輸出又は国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。

13) 本資料の一部または全部をロームの許可なく、転載・複写することを堅くお断りします。

ローム製品のご検討ありがとうございます。
より詳しい資料やカタログなどご用意しておりますので、お問合せください。

ROHM Customer Support System

http://www.rohm.co.jp/contact/

© 2016 ROHM Co., Ltd. All rights reserved.