

SiC MOSFET

MOSFET 並列接続時の発振対策

近年、産業機器や xEV などのアプリケーションで大電流化が進み、安価なディスクリートパッケージのパワーデバイスを並列に使用した回路方式の採用が進んでいます。MOSFET を並列接続することで、個々のデバイスに流れる電流を減らし、発熱を分散させることが可能になります。しかし、個々のデバイスには特性ばらつきが存在するため、MOSFET を並列に接続し同時に動作させる場合、それぞれの MOSFET を完全に同じタイミングで動作させることは困難であり、単独で使用する場合と比べ、駆動方法に注意する必要があります。そこで、このアプリケーションノートでは SiC MOSFET の並列接続時の発振について、実測結果に基づき挙動を明らかにすると共に、駆動回路を含めた基板レイアウトの注意点をガイドラインとして提示することを目的としています。^{*1}

目次

1.並列接続用の基板	2
並列接続用に作成した評価基板(PCB008P)について説明します。	
2.並列接続時のゲート駆動回路	2
PCB008P のゲート駆動回路図から、並列接続時に最低限必要な注意点を示します。	
3.並列接続時の発振要因	3
並列接続では使用条件によっては発振が起こることがあります。発振が起こる要因を説明します。	
4.発振評価項目	3
発振要因から選定した評価項目を示します。	
5.発振評価結果	4
想定した発振要因により発振が出現するのか、PCB008P を使用し評価した結果を示します。	
6.発振対処法の検証	10
発振を抑えるための対処法について説明します。	
7.まとめ	13

*1：今回は 2 個の MOSFET を並列接続させた時の動作について解説しますが、並列数が多くなると、各々のデバイスばらつきによる不測の事態は回避できないため、並列接続の際は十分な評価を行い、使用可否の判断をお願いします。また、デバイスの特性ばらつきは不可避であるため、可能な限り単一デバイスでの設計をお願いします。

1. 並列接続用の基板

並列接続用に作成した基板のブロック図を Figure 1-1 に示します。ブリッジ構成となっており、上下それぞれのアームで MOSFET が並列接続されており、一つの駆動信号で ON/OFF しています。基板写真を Figure 1-2 に示します。

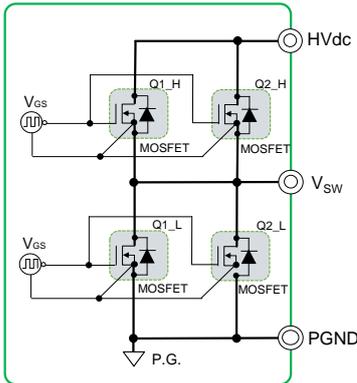


Figure 1-1. PCB008P 簡易ブロック図



Figure 1-2. PCB008P (top view)

2. 並列接続時のゲート駆動回路

並列接続時のゲート駆動回路は通常 2 つ以上の MOSFET に対して 1 つのゲートドライバで設計します。Figure 2-1 に参考回路を示します。Figure 2-1 では注意点を簡単に示した回路になりますので部品定数等は使用する MOSFET の特性に合わせて設定する必要があります。

- ゲートドライバの出力電流を確認し、Q1、Q2 のゲート駆動電流が足りなければ、Q3、Q4 を用いてバッファ回路を追加します。PCB008P ではバイポーラトランジスタ (ROHM : 2SCR542P、2SAR542P) を使用して、最大 10A に増幅しました。

- 必ず共通のゲート抵抗 R_{G_com} に加えて個別のゲート抵抗 R_{G_Q1} 、 R_{G_Q2} を挿入します。理由は Q1、Q2 のスイッチング動作を均一化するためですが、詳しくは本アプリケーションノート「6. 発振対処法の検証」にて示します。PCB008P では R_{G_com} を 4.7Ω 、 R_{G_Q1} 、 R_{G_Q2} を 2Ω に設定しました。その理由についても本アプリケーションノート「5. 発振評価結果」および「6. 発振対処法の検証」で説明します。
- ミラーランプ (以下、MC) 機能を持つゲートドライバの場合は R_{G_Q1} 、 R_{G_Q2} よりもゲート近傍を監視し、ドットオア回路 (ダイオードを介して接続し、電圧の高い信号が有効になる回路) となるようにダイオード D1、D2 を用いて MC 端子へと接続します。このように接続することで Q1、Q2 が還流動作時にゲートの持ち上がり電圧を抑制することができます。R2、R3 は MC 端子に流れる電流を調整します。PCB008P では 0Ω に設定しました。

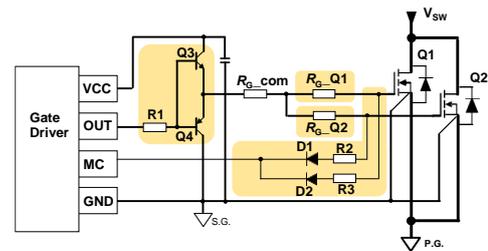


Figure 2-1. ゲート駆動回路 (ローサイド側)

また、1 つの MOSFET に対して 1 つずつゲートドライバを用いることも可能です。その場合は、今回の経路での発振は起こりません。ただし、MOSFET の特性ばらつきに加えてゲートドライバの特性ばらつきを含めて ON/OFF するため、スイッチングのタイミングにもばらつきが発生しやすく、片方の MOSFET が過負荷となる可能性がありますので、よりばらつきの小さい設計を行う必要があります。また、タイミングを合わせるために、ゲートドライバ同士の出力を直接接続すると、Figure 2-2 に示すようにゲートドライバのばらつきにより、ゲートドライバ内のうちどちらかが ON、どちらかが OFF になってしまう可能性があり、ON 側のゲート電圧と OFF 側の GND が短絡してゲートドライバが破壊する可能性がありますので、ゲートドライバの出力同士の接続は行わないでください。

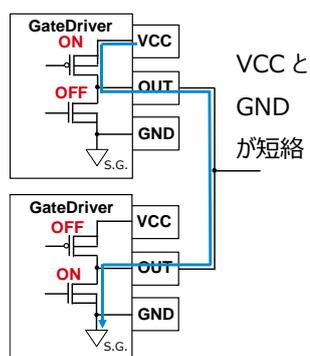


Figure 2-2. ゲートドライバの出力の直接接続による
ゲートドライバ間の短絡

3. 並列接続時の発振要因

並列接続時に起こる発振は、それぞれのデバイスの動作のタイミングのずれがトリガとなり発生します。レイアウトのアンバランスや MOSFET 自身のばらつきにより ON または OFF のタイミングがずれた際、片方の MOSFET に電流が偏り、レイアウトの寄生インダクタンスに発生する誘導起電力が隣り合う MOSFET 同士で異なることで電位差が生まれます。この電位差によるエネルギーが、MOSFET の寄生容量を介して往来することで発振現象が出現します。(Figure 4-1 参照)

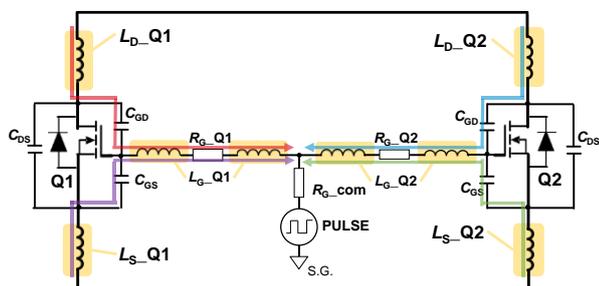


Figure 4-1. 発振経路

この発振の振幅が大きくなれば、破壊を招く危険があります。さらに、ゲート端子の発振振幅が V_{GS} 定格を超えなかったとしても、EMC 試験で規格を上回るようなノイズが発生してしまう可能性もあるため、これらの発振はできるだけ抑える必要があります。

MOSFET の ON または OFF のタイミングに差異が生じる要因を以下に 5 つ示します。回路上の要因が A~C、MOSFET の特性で発生する要因が D、E です。

- A : 基板上の寄生インダクタンス(以下、寄生 L)が Q1、Q2 でアンバランスになっていること**
- B : MOSFET の dI_D/dt が大きいこと**
- C : 個別ゲート抵抗 R_{G_Q1} 、 R_{G_Q2} が異なる値であること**
- D : MOSFET の閾値(以下、 $V_{GS(th)}$)が Q1、Q2 でアンバランスになっていること**

- E : MOSFET の寄生容量が Q1、Q2 でアンバランスになっていること**

これらの要因について、評価基板 PCB008P を使って実際に検証した結果を次節で説明します。

4. 発振評価項目

前節で示した 5 つの要因から評価項目を以下のように決定しました。

- A' : 寄生 L を Q1、Q2 でアンバランスにする**
 - A'-1 : ドレインの寄生インダクタンス (以下、 L_D) を Q1、Q2 でアンバランスにする
 - A'-2 : ソースの寄生インダクタンス (以下、 L_S) を Q1、Q2 でアンバランスにする
 - A'-3 : ゲートの寄生インダクタンス (以下、 L_G) を Q1、Q2 でアンバランスにする
 - A'-4 : ケルビンソースの寄生インダクタンス (以下、 L_{KS}) を Q1、Q2 でアンバランスにする
- B' : MOSFET のドレイン電流の変化率 (以下、 dI_D/dt) を大きくする**
 - B'-1 : ドレイン電流(以下、 $I_{D, pulse}$)を大きくする
 - B'-2 : 共通ゲート抵抗 R_{G_com} を減らす
- C' : 個別ゲート抵抗 R_{G_Q1} 、 R_{G_Q2} をアンバランスにする**
- D' : $V_{GS(th)}$ を Q1、Q2 でアンバランスにする**
- E' : 寄生容量を Q1、Q2 でアンバランスにする**
 - E'-1 : C_{GD} を Q1、Q2 でアンバランスにする
 - E'-2 : C_{GS} を Q1、Q2 でアンバランスにする
 - E'-3 : C_{DS} を Q1、Q2 でアンバランスにする

ただし、評価項目 E'については、評価サンプルの入手性の問題からシミュレーションを用いて確認しました。

発振評価の条件および回路を Figure 4-2 に示します。また評価写真を Figure 4-3 に示します。今回の評価では、ゲートの発振波形を正しく測定するために、 V_{GS} 波形測定プローブに Tektronix®製光アイソレーション型差動プローブを使用しました。特にゲート電圧の測定においては、ハイサイド側は測定環境の影響も大きくなりますので、十分に注意する必要があります。詳細はアプリケーションノート「ゲートソース電圧測定時の注意点」^[1]にてご確認ください。

評価基板 : PCB008P

並列数 : 2 並列

SiC MOSFET : SCT4018KR (1200V 18mohm TO-247-4L)

評価回路 : ローサイド(以下、LS)スイッチングのダブルパルス回路

HV dc 電圧 $E=800V$

インダクタ $L=250\mu H$

ゲート電圧 $V_{GS}=18V/0V$

測定温度 $T=25^{\circ}C$

測定器

オシロスコープ : MSO58 5-BW-500 Tektronix®製

V_{DS} 波形測定プローブ : THDP0200 Tektronix®製

V_{GS} 波形測定プローブ : TIVP05, 650-6122-00 Tektronix®製

I_D 波形測定プローブ : SS-665 IWATSU 製

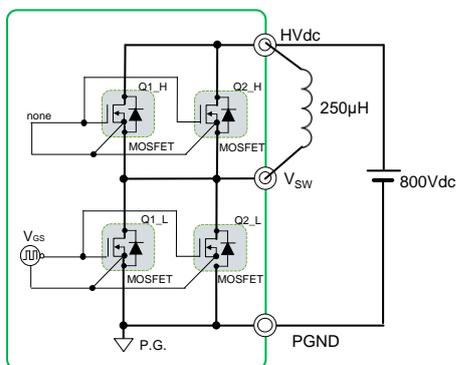


Figure 4-2. 評価回路(ダブルパルス LS スwitching)

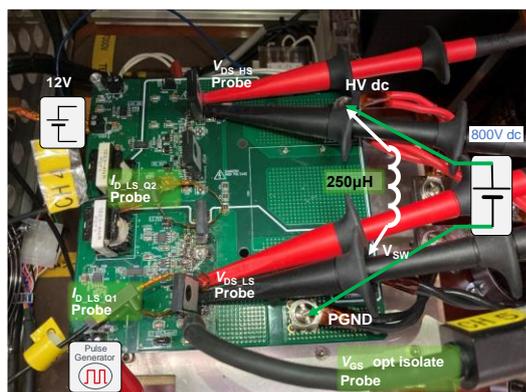


Figure 4-3. 評価風景

今回の発振評価ではゲートの発振波形に着目しました。また、ゲート OFF 時のほうが、ゲート ON 時よりもドレイン電流の変化率が大きく、発振のトリガが大きくなるため、ゲート OFF 波形で比較しました。

5. 発振評価結果

A' : 寄生 L を Q1、Q2 でアンバランスにする

まずは基板上の寄生 L 成分を Ansys®製電磁界解析ソフト(Q3D Extractor®)を使い抽出しました。寄生 L 抽出箇所を記した回路図を Figure 5-1 に示し、PCB008P の基板パターンレイアウト図を Figure 5-2 に示し、寄生 L 抽出結果を Table 5-1 に示します。

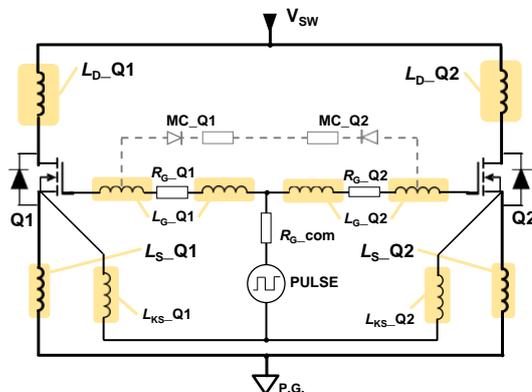
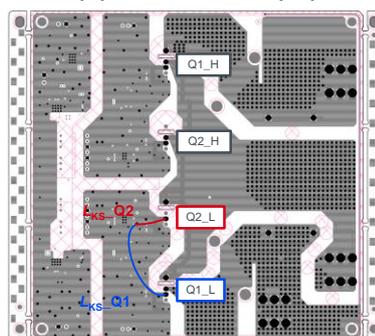


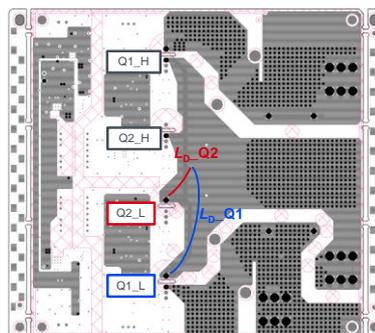
Figure 5-1. 寄生 L 抽出箇所



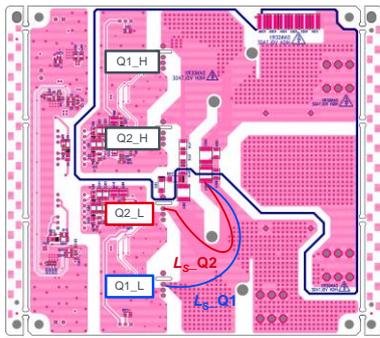
(a) 部品面パターン (L_G)



(b) 第 2 層パターン (L_{KS})



(c) 第 3 層パターン (L_B)



(d) 半田面パターン (L_S)

Figure 5-2. PCB008P レイアウト図

Table 5-1. 寄生 L 抽出結果

	$L_{Q1}[nH]$	$L_{Q2}[nH]$	$L_{Q1-L_{Q2}}[nH]$
L_D	15.67	4.61	11.06
L_S	10.70	16.20	-5.50
L_G	17.66	6.74	10.92
L_{KS}	7.74	2.62	5.12

抽出結果より、寄生 L が基板上で既にアンバランスになっていることがわかります。今回の評価では Figure 5-1 中の点線で示す MC 回路の寄生 L は考慮しませんでした。理由は、今回の評価で用いたダイオードの寄生容量(約 50pF)では今回発生している発振の周波数帯域では高インピーダンスとなり、発振の経路とならず、寄生 L は無視することができるためです。

アンバランスをより大きくするために寄生 L が大きい MOSFET のリード端子に配線を意図的に追加しました。Figure 5-3 に MOSFET を横から見た時の配線追加イメージ図を示します。

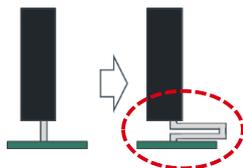
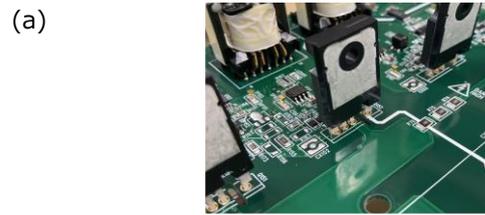


Figure 5-3. 配線追加イメージ図

以下の(b)~(d)の3通りの配線を追加接続しました。Figure 5-4 に実際に追加した配線の状態を示します。

- (a) 追加なし
- (b) 10nH 追加
- (c) 20nH 追加
- (d) 100nH 追加



(d)

Figure 5-4. 寄生 L 追加

一般的な基板上のばらつきを 10nH~20nH とし、PCB008P 基板上に追加で 10nH、20nH を足すことで 10nH~25nH までのばらつきを評価することが可能となりました。さらに、今回の評価では、限界評価を実施することで MOSFET が発振によって破壊しないかどうかを調査するため、非現実的な寄生 L のアンバランスである 100nH での評価も実施しました。

評価項目 A'のダブルパルス評価条件は以下の通りです。発振をより観測しやすくするために、個別ゲート抵抗は 0Ωとしました。

- $I_{D, pulse}$: 128A (合計 256A)
- R_{G_Q1}, R_{G_Q2} : 0Ω
- R_{G_com} : 2Ω

$V_{GS(th_Q1}$, $V_{GS(th_Q2}$: 4.2V(使用したデバイスの実測値)

A'-1 : L_D を Q1、Q2 でアンバランスにする

L_D は、Q1 の寄生 L が大きいため Q1 に配線を追加しました。ゲート OFF 時の $V_{GS_LS_Q1}$ 波形を Figure 5-5 に示します。

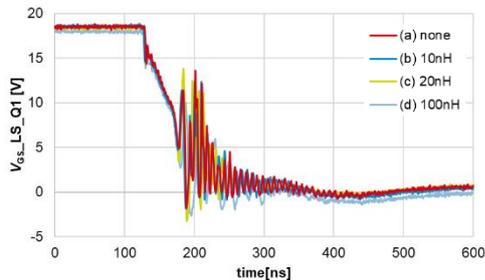


Figure 5-5. V_{GS} 波形 (L_D アンバランス)

条件(a)で発振が見られているのは、個別ゲート抵抗が 0Ω となっていることや基板の寄生 L のアンバランスが影響していることが考えられます。条件(a)を基準に条件(b)、(c)、(d)を見ると振幅の大きな差異はありません。

A'-2 : L_S を Q1、Q2 でアンバランスにする

L_S は、Q2 の寄生 L が大きいため Q2 に配線を追加しました。ゲート OFF 時の $V_{GS_LS_Q1}$ 波形を Figure 5-6 に示します。Q2 に配線を追加しても、Q1、Q2 のゲート同士は R_{G_Q1} 、 R_{G_Q2} を通して接続されており、同様の波形が観測することができることを確認済みであるため、今回の評価では全ての条件を Q1 のゲート電圧波形と比較しました。

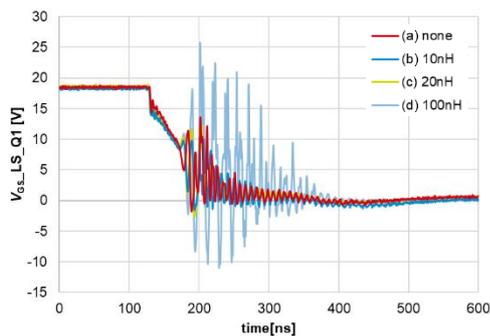


Figure 5-6. V_{GS} 波形 (L_S アンバランス)

条件(a)を基準に条件(b)、(c)、(d)を見ると条件(c)までは大きな違いはありませんが、条件(d)では振幅が約-10V~25V まで振れて、 V_{GS} 定格を大幅に超えています。発振の継続時間は 3 倍程度に長くなっています。これが並列共振による発振で、そのまま使用すると破壊する可能性があります。 L_S のアンバランスは発振の振幅、発振継続時間を増大させることがわかります。

A'-3 : L_G を Q1、Q2 でアンバランスにする

L_G は、Q1 の寄生 L が大きいため Q1 に配線を追加しました。ゲート OFF 時の $V_{GS_LS_Q1}$ 波形を Figure 5-7 に示します。

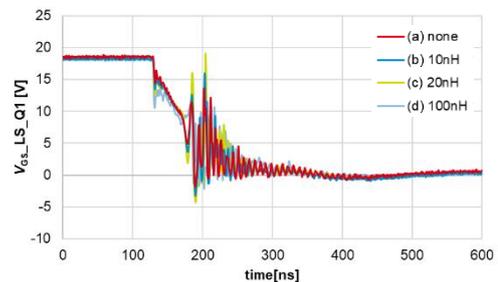


Figure 5-7. V_{GS} 波形 (L_G アンバランス)

条件(a)を基準に条件(b)、(c)、(d)を見ると条件によっては振幅が所々大きく出ている変化がありますが、発振の継続時間に大きな変化はありません。

A'-4 : L_{KS} を Q1、Q2 でアンバランスにする

L_{KS} は、Q1 の寄生 L が大きいため Q1 に配線を追加しました。ゲート OFF 時の $V_{GS_LS_Q1}$ 波形を Figure 5-8 に示します。

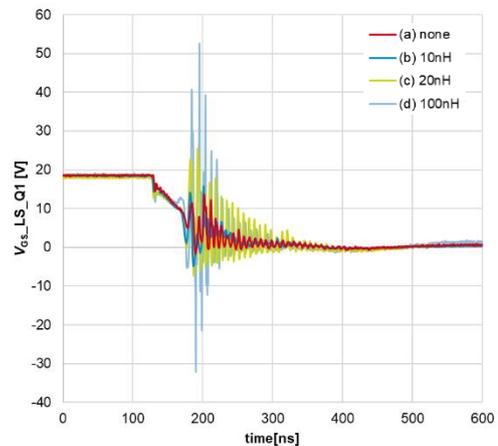


Figure 5-8. V_{GS} 波形 (L_{KS} アンバランス)

条件(a)を基準に条件(b)、(c)、(d)を見ると L_{KS} をアンバランスにするほどゲート電圧の振幅が大きくなっていることがわかりました。条件(d)では振幅が 50V を超えて V_{GS} 定格を超えています。条件(c)でも定格を超える危険があります。 L_{KS} のアンバランスは発振の振幅、発振継続時間を増大させます。

B' : MOSFET の dI_D/dt を大きくする

B'-1 : $I_{D, pulse}$ を大きくする

$I_{D, pulse}$ の大きさに発振の比較を行いました。評価項目 B'-1 の評

価条件は以下の通りです。

寄生 L : 基板の L (Table 5-1)のみ

R_{G_Q1} , R_{G_Q2} : 0Ω

R_{G_com} : 2Ω

$V_{GS(th)_Q1}$, $V_{GS(th)_Q2}$: 4.2V

$I_{D, pulse}$ を以下の(a)~(c)の条件にしたときのゲート OFF 時の $V_{GS_LS_Q1}$ 波形を Figure 5-9 に示します。

- (a) $I_{D, pulse}$: 64A (合計 128A)
- (b) $I_{D, pulse}$: 128A (合計 256A)
- (c) $I_{D, pulse}$: 160A (合計 320A)

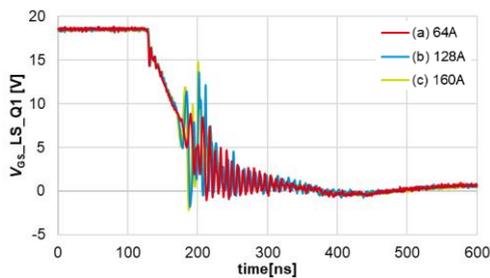


Figure 5-9. V_{GS} 波形 ($I_{D, pulse}$ 増加)

また、 $I_{D_LS_Q1}$ 波形を Figure 5-10 に示します。ゲート OFF 時の 1 つの MOSFET あたりの dI_D/dt は以下になりました。

- (a) $I_{D, pulse}$: 64A (合計 128A) dI_D/dt : 5.8A/ns
- (b) $I_{D, pulse}$: 128A (合計 256A) dI_D/dt : 8.5A/ns
- (c) $I_{D, pulse}$: 160A (合計 320A) dI_D/dt : 10.2A/ns

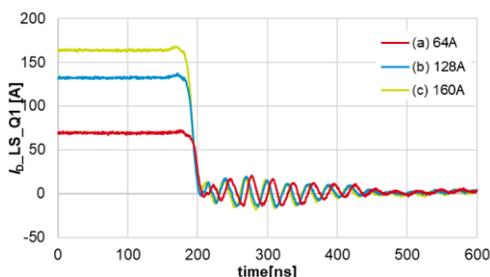


Figure 5-10. I_D 波形 ($I_{D, pulse}$ 増加)

I_D を大きくすれば、ゲート OFF 時の dI_D/dt は大きくなり、スイッチングスピードが上がるため、発振のトリガとなりやすく、発振振幅が大きくなったことがわかります。

B'-2 : 共通ゲート抵抗 R_{G_com} を減らす

共通ゲート抵抗を減らせばスイッチングスピードが速くなり dI_D/dt が

大きくなります。評価項目 B'-2 の評価条件は以下の通りです。
 R_{G_com} が 0Ω のとき、個別ゲート抵抗が 0Ω であれば、ゲート抵抗の合計が 0Ω となり、 V_{DS} が定格を超えてしまったため、 R_{G_Q1} 、 R_{G_Q2} を 2Ω としました。

$I_{D, pulse}$: 128A (合計 256A)

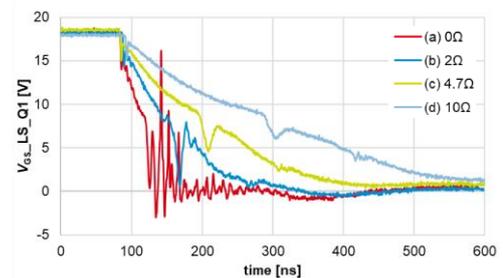
寄生 L : 基板のインダクタンス (Table 5-1)のみ

R_{G_Q1} , R_{G_Q2} : 2Ω

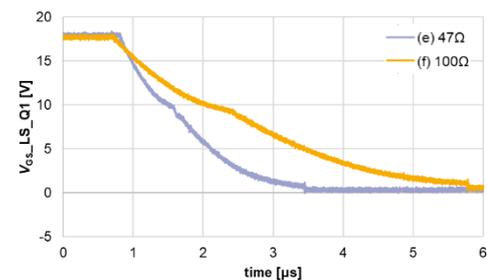
$V_{GS(th)_Q1}$, $V_{GS(th)_Q2}$: 4.2V

以下の(a)~(f)まで R_{G_com} を変えた時のゲート OFF 時の $V_{GS_LS_Q1}$ 波形を Figure 5-11 に示します。

- (a) R_{G_com} : 0Ω
- (b) R_{G_com} : 2Ω
- (c) R_{G_com} : 4.7Ω
- (d) R_{G_com} : 10Ω
- (e) R_{G_com} : 47Ω
- (f) R_{G_com} : 100Ω



(a) 0Ω (b) 2Ω (c) 4.7Ω (d) 10Ω



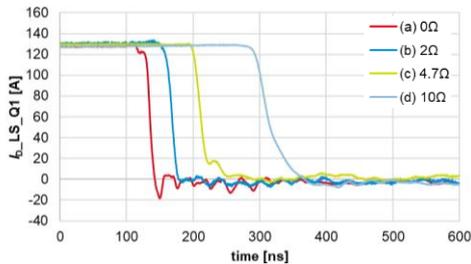
(e) 47Ω (f) 100Ω

Figure 5-11. V_{GS} 波形 (R_{G_com} 減少)

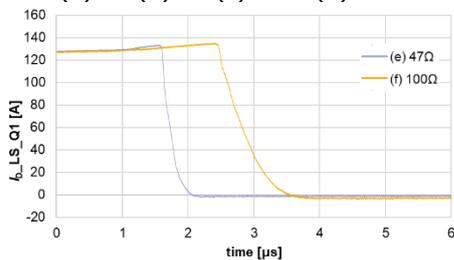
(a)~(f)まで R_{G_com} を変えた時のゲート OFF 時の $I_{D_LS_Q1}$ 波形を Figure 5-12 に示します。また、それぞれの 1 つの MOSFET あたりの dI_D/dt は以下になりました。

- (a) R_{G_com} : 0Ω dI_D/dt : 12.3A/ns
- (b) R_{G_com} : 2Ω dI_D/dt : 8.7A/ns

- (c) $R_{G_com} : 4.7\Omega$ $dI_D/dt : 6.4A/ns$
 (d) $R_{G_com} : 10\Omega$ $dI_D/dt : 3.5A/ns$
 (e) $R_{G_com} : 47\Omega$ $dI_D/dt : 4.0A/ns$
 (f) $R_{G_com} : 100\Omega$ $dI_D/dt : 2.0A/ns$



(a)0Ω (b)2Ω (c)4.7Ω (d)10Ω



(e)47Ω (f)100Ω

Figure 5-12. I_D 波形 (R_{G_com} 減少)

R_{G_com} が小さいほどゲート OFF 時の dI_D/dt は大きくなっており、スイッチングスピードが速く、発振が顕著です。今回の評価基板では 4.7Ω 以上(1つの MOSFET あたりの dI_D/dt が 6.4A/ns 以下)になると発振を抑制できたことがわかります。このことから、 dI_D/dt の影響を大きく受けることがわかります。

C' : 個別ゲート抵抗 R_{G_Q1} 、 R_{G_Q2} をアンバランスにする

R_{G_Q1} と R_{G_Q2} をアンバランスにして評価を行いました。評価項目 C' の評価条件は以下の通りです。

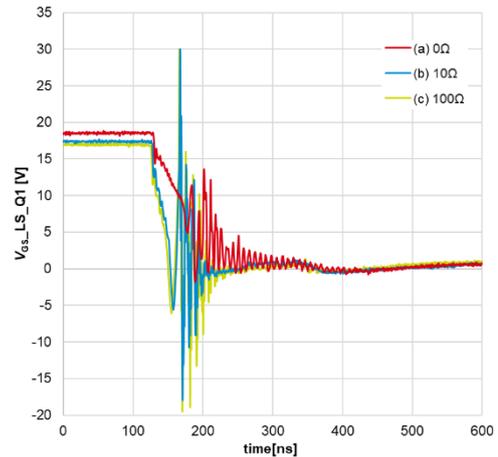
$I_{D, pulse} : 128A$ (合計 256A)

寄生 L : 基板のインダクタンス(Table 5-1)のみ

$V_{GS(th)}_{Q1}$, $V_{GS(th)}_{Q2} : 4.2V$

R_{G_Q1} と R_{G_Q2} 、 R_{G_com} を以下(a)~(c)の条件にしたときのゲート OFF 時の $V_{GS_LS_Q1}$ 波形を Figure 5-13 に示します。条件(a)では R_{G_com} は 0Ω で比較すべきですが、ゲート抵抗の合計が 0Ω の場合、 V_{DS} が定格を超えてしまい、2Ω としました。

- (a) $R_{G_com} : 2\Omega$ $R_{G_Q1} : 0\Omega$ $R_{G_Q2} : 0\Omega$
 (b) $R_{G_com} : 0\Omega$ $R_{G_Q1} : 0\Omega$ $R_{G_Q2} : 10\Omega$
 (c) $R_{G_com} : 0\Omega$ $R_{G_Q1} : 0\Omega$ $R_{G_Q2} : 100\Omega$

Figure 5-13. V_{GS} 波形 (個別 R_G アンバランス)

個別 R_G のアンバランスが大きいくほど発振が長く続いているように見えますが、条件(c)では発振収束の速度が遅くなるのみで、条件(c)と条件(b)では発振振幅に大きな差はありません。一方、条件(a)と条件(b)では発振振幅の差が大きく、個別ゲート抵抗がアンバランスになることが発振の振幅を大きくすることになります。ただし、一般的にゲート抵抗が 10Ω もばらつくことはありません。この結果は、ゲート OFF のタイミングがずれると発振の振幅が大きくなることを示しています。

D' : $V_{GS(th)}$ を Q1、Q2 でアンバランスにする

$V_{GS(th)}$ をアンバランスにして評価を行いました。評価項目 D' の評価条件は以下の通りです。発振をより観測しやすくするために、個別ゲート抵抗は 0Ω としました。

$I_{D, pulse} : 128A$ (合計 256A)

寄生 L : 基板のインダクタンス(Table 5-1)のみ

$R_{G_com} : 2\Omega$

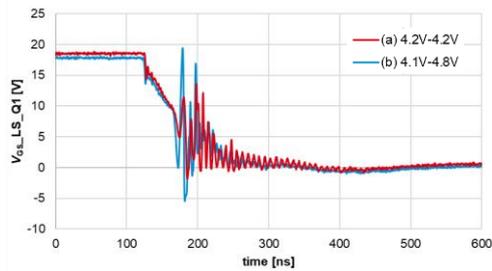
R_{G_Q1} , $R_{G_Q2} : 0\Omega$

$V_{GS(th)}$ を以下の(a)(b)の条件にしたときのゲート OFF 時の $V_{GS_LS_Q1}$ 波形を Figure 5-14 に示します。

(a) $V_{GS(th)}_{Q1} : 4.2V$ $V_{GS(th)}_{Q2} : 4.2V$

(b) $V_{GS(th)}_{Q1} : 4.1V$ $V_{GS(th)}_{Q2} : 4.8V^{*2}$

*2 : 同一ロット内の MOSFET の $V_{GS(th)}$ が 0.7V ばらつくことを示しているデータではありません。

Figure 5-14. V_{GS} 波形 ($V_{GS(th)}$ アンバランス)

$V_{GS(th)}$ がばらつくと、ゲート OFF のタイミングがずれるため、発振振幅は大きくなることがわかりますが、今回の評価条件では R_{G_Q1} 、 R_{G_Q2} が 0Ω だったためであり、適切な R_{G_Q1} 、 R_{G_Q2} を設定することによって $V_{GS(th)}$ のばらつきによる発振は抑制することができます。

E' : 寄生容量を Q1、Q2 でアンバランスにする(シミュレーション)

本評価項目はサンプルが入手困難なためシミュレーションにて評価を行いました。評価項目 E'の評価条件は以下の通りです。シミュレーション上では、 R_{G_Q1} 、 R_{G_Q2} を 0Ω にすると発振が収束しないため、今回は 2Ω にしてシミュレーションを行いました。

$I_{D, pulse}$: 128A (合計 256A)

寄生 L : 基板のインダクタンス(Table 5-1)を参照

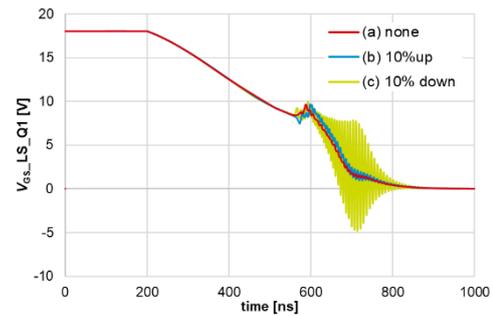
R_{G_com} : 2Ω

R_{G_Q1} , R_{G_Q2} : 2Ω

E'-1 : C_{GD} を Q1、Q2 でアンバランスにする

$C_{GD}-V_{DS}$ 曲線をシミュレーション上で移動させました。以下の(a)~(c)の条件にしたときのゲート OFF 時の $V_{GS_LS_Q1}$ 波形を Figure 5-15 に示します。

- (a) C_{GD_Q1} : 変更なし
 C_{GD_Q2} : 変更なし
- (b) Q1 の C_{GD} 絶対値を大きくする
 C_{GD_Q1} : C_{GD} カーブを 10%高容量側へ移動
 C_{GD_Q2} : 変更なし
- (c) Q1 の C_{GD} 絶対値を小さくする
 C_{GD_Q1} : C_{GD} カーブを 10%低容量側へ移動
 C_{GD_Q2} : 変更なし

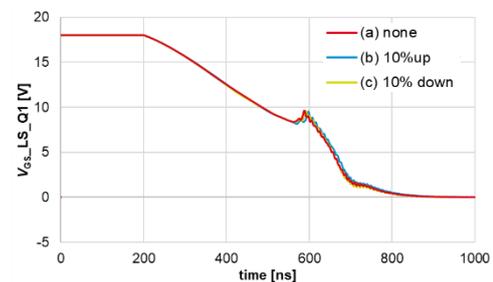
Figure 5-15. V_{GS} 波形 (C_{GD} アンバランス)

条件(c)は C_{GD} がアンバランスになったことによりゲート OFF のタイミングがずれ、さらに Q1 の C_{GD} 絶対値が小さいため発振していると考えます。特に C_{GD} の絶対値が小さいチップサイズの小さいデバイスを使用する際は注意が必要です。ただし、本結果はシミュレーションであり、実際に発振が出現することを示す結果ではありません。

E'-2 : C_{GS} を Q1、Q2 でアンバランスにする

同様に $C_{GS}-V_{DS}$ 曲線をシミュレーション上で移動させました。以下の(a)~(c)の条件にしたときのゲート OFF 時の $V_{GS_LS_Q1}$ 波形を Figure 5-16 に示します。

- (a) C_{GS_Q1} : 変更なし
 C_{GS_Q2} : 変更なし
- (b) Q1 の C_{GS} 絶対値を大きくする
 C_{GS_Q1} : C_{GS} カーブを 10%高容量側へ移動
 C_{GS_Q2} : 変更なし
- (c) Q1 の C_{GS} 絶対値を小さくする
 C_{GS_Q1} : C_{GS} カーブを 10%低容量側へ移動
 C_{GS_Q2} : 変更なし

Figure 5-16. V_{GS} 波形 (C_{GS} アンバランス)

C_{GS} をアンバランスにしても発振の振幅は変化しません。ただし、本結果はシミュレーションであり、実際に発振しないことを示す結果ではありません。

E'-3 : C_{DS} を Q1、Q2 でアンバランスにする

同様に $C_{DS}-V_{DS}$ 曲線をシミュレーション上で移動させました。以下の

(a)~(c)の条件にしたときのゲート OFF 時の $V_{GS_LS_Q1}$ 波形を Figure 5-17 に示します。

- (a) C_{DS_Q1} : 変更なし
 C_{DS_Q2} : 変更なし
- (b) Q1 の C_{DS} 絶対値を大きくする
 C_{DS_Q1} : C_{DS} カーブを 10% 高容量側へ移動
 C_{DS_Q2} : 変更なし
- (c) Q1 の C_{DS} 絶対値を小さくする
 C_{DS_Q1} : C_{DS} カーブを 10% 低容量側へ移動
 C_{DS_Q2} : 変更なし

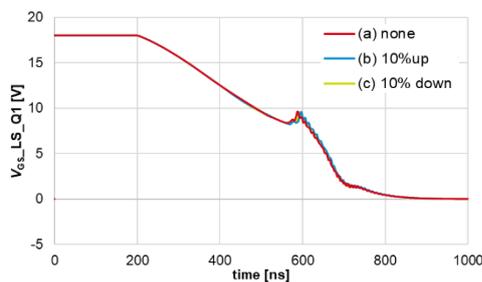


Figure 5-17. V_{GS} 波形 (C_{DS} アンバランス)

C_{DS} をアンバランスにしても発振の振幅は変化しません。ただし、本結果はシミュレーションであり、実際に発振しないことを示す結果ではありません。

今回は 10% のばらつきで調査しましたが、同一ロット内の MOSFET が一般的に 10% ばらついていることを示しているデータではありません。ただし、できるだけ Q1、Q2 は同一ロット内の MOSFET を使用することが望ましいです。また、実際の C_{GD} 、 C_{GS} 、 C_{DS} アンバランスは複合的に起こる可能性があります。

今回のシミュレーションでは Spice モデルを操作して寄生容量を変更しました。下記のステートメント **X** に倍率を入れることによって寄生容量のカーブを増減させることが可能です。詳細なモデルについての説明は、アプリケーションノート「熱モデルの使い方」^[2]をご確認ください。ただし、あくまでシミュレーションであるため正確な発振有無の判断として使用することはお控えください。

例)SCT4018KR

C_{GD} : C1 23 12 1p \Rightarrow C1 23 12 {1p*X}

C_{GS} : C2 22 33 4.857n \Rightarrow C2 22 33 {4.857n*X}

C_{DS} : C11 53 1 1p \Rightarrow C11 53 1 {1p*X}

詳細なモデルは下記のリンクを参考にしてください。

[SCT4018KR シミュレーションモデル \(rohm.com\)](#)^{*2}

*2 : 2023/5/30 現在のモデル

発振評価結果を Table 5-2 に示します。「ゲート電圧振幅差」は最も発振した条件の発振振幅の最大値から最も発振しなかった条件の発振振幅の最大値を引いたものです。この値が大きい要因ほど対策する必要があることを示しています。

Table. 5-2

要因	評価項目番号	評価項目	V_{GS} 振幅差 [V]
A	A'-1	L_D アンバランス	0.2
A	A'-2	L_S アンバランス	12.0
A	A'-3	L_G アンバランス	6.2
A	A'-4	L_{KS} アンバランス	39.9
B	B'-1	I_D の増加	6.0
B	B'-2	共通 R_G 減少	11.0
C	C'	個別 R_G アンバランス	9.9
D	D'	$V_{GS(th)}$ アンバランス	5.6
E	E'-1	C_{GD} アンバランス	6.0
E	E'-2	C_{GS} アンバランス	0.2
E	E'-3	C_{DS} アンバランス	0.2

この結果から、要因 A の L_S 、 L_{KS} アンバランスが最も発振に影響することが分かり、 L_S 、 L_{KS} はできるだけ等長になるように設計することが最優先となります。また、同じ値の R_{G_Q1} 、 R_{G_Q2} を設け、さらに R_{G_com} を設けることが大切です。D、E については MOSFET の特性であり、基板設計において、対策することはできません。そのため A ~ C の回路上の要因を基板設計で十分考慮することが重要です。

6. 発振対処法の検証

発振の要因 A~C を改善する対処法を 3 つ、その他の回路設計による対処法を 2 つ、計 5 つの発振対処法について実際に発振が抑制できるか検証を行いました。

設計段階で確認することが重要ですが、設計完了後の検証段階に発振が出現した場合にも使用できる対処法です。

対処法は以下の **I~V** です。

発振の要因 A~C を改善する対処法

I. L_S (L_{KS}) を等長にする

II. R_{G_com} を増加する

III. R_{G_Q1} 、 R_{G_Q2} を増加する

その他の回路設計による対処法

IV. チップフェライトビーズをゲートラインに追加する

V. 外付け C_{GS} を追加する

発振評価の条件は「4. 発振評価項目」に示す通りです。

I. L_S (L_{KS}) を等長にする

「5.発振評価結果」の要因 A より L_S 、 L_{KS} のアンバランスが発振に影響することが判明しました。 L_S 、 L_{KS} は実際には同電位であるため、パワーラインである L_S を等長にする検証を行いました。 L_S の抽出結果は

L_{S_Q1} : 10.7nH

L_{S_Q2} : 16.2nH

であるため、条件(a)は等長にするために L_{S_Q1} に 5.5nH を追加しました。Figure 6-1 に追加した配線の状態を示します。条件(c)では条件(a)と比較するため、「5.発振評価結果 A' : 寄生 L を Q1、Q2 でアンバランスにする」より、Figure 5-4. 寄生 L 追加の条件 (d)と同様に L_{S_Q2} に 100nH を追加しました。

(a) Q1 に 5.5nH 追加(等長)

(b) 追加なし

(c) Q2 に 100nH 追加

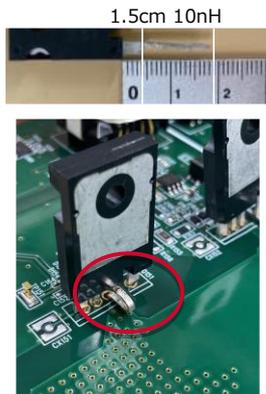


Figure 6-1. 寄生 L 追加 (a)

以下の条件で評価を行いました。

$I_{D, pulse}$: 128A (合計 256A)

R_{G_Q1} , R_{G_Q2} : 2Ω

R_{G_com} : 2Ω

$V_{GS(th)_Q1}$, $V_{GS(th)_Q2}$: 4.2V

R_{G_Q1} 、 R_{G_Q2} は「5.発振評価結果」が示すように、発振対策で必要な条件となったため、2Ωとしました。

寄生 L を (a)～(c)の条件にしたときのゲート OFF 時の $V_{GS_LS_Q1}$ 波形を Figure 6-2 に示します。

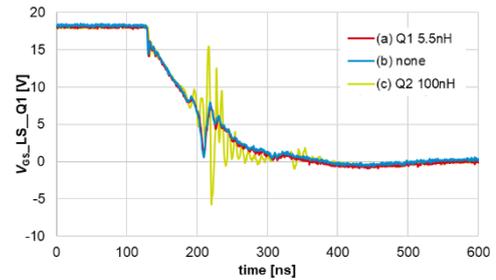


Figure 6-2. V_{GS} 波形 (L_S 等長)

R_{G_Q1} 、 R_{G_Q2} を入れることを前提とし、 L_S を統一に近づけると発振が抑制できていることがわかります。しかし、差が 5nH の場合と 0nH の場合では波形に大きな変化はないため今回の条件では 5nH 程度の差は許容できることがわかります。

次に条件(d)では L_S が等長のまま、 L_S の絶対値を長くして検証しました。Q1、Q2 の両方に約 90nH の追加 L_S を取り付けました。

Figure 6-3 に配線の追加状態を示します。

(a) Q1 に 5.5nH 追加(等長 短い)

(d) Q1 に 105nH 追加、Q2 に 100nH 追加(等長 長い)



Figure 6-3. 寄生 L 追加 (d)

寄生 L を (a)、(d)の条件にしたときのゲート OFF 時の $V_{GS_LS_Q1}$ 波形を Figure 6-4 に示します。

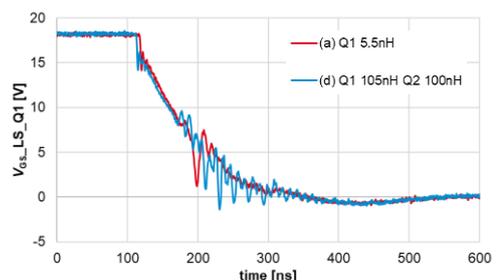


Figure 6-4. V_{GS} 波形 (L_S 等長 長短比較)

条件(a)と条件(d)を比較すると絶対値の大きい条件(d)の波形は

発振が発生しています。このことから、 L_S を等長にしてできるだけ短く配置する必要があります。しかし Figure 6-2 の条件(c)と比較すると発振の程度は小さいことから、 L_S の絶対値は多少大きくても等長にすることが最優先であることがわかります。

II. R_{G_com} を増加する

「5.発振評価結果」要因 B の評価項目 B'-2 より、 R_{G_com} を増やすと発振が抑制されることが示されています。ただし、スイッチング損失が増加しますので、システム効率や発熱等を十分考慮の上で選定する必要があります。

III. R_{G_Q1} 、 R_{G_Q2} を増加する

II より R_{G_com} を増加することで発振は抑えられますが、 R_{G_Q1} 、 R_{G_Q2} を増やすことも可能です。 R_{G_Q1} 、 R_{G_Q2} を以下の(a)~(d)の条件にしたときのゲート OFF 時の $V_{GS_LS_Q1}$ 波形を Figure 6-5 に示します。

$I_{D, pulse}$: 128A (合計 256A)

R_{G_com} : 2 Ω

$V_{GS(th)}_{Q1}$, $V_{GS(th)}_{Q2}$: 4.2V

寄生 L : 基板のインダクタンス(Table 5-1)のみ

- (a) R_{G_Q1} , R_{G_Q2} : 0 Ω
- (b) R_{G_Q1} , R_{G_Q2} : 2 Ω
- (c) R_{G_Q1} , R_{G_Q2} : 4.7 Ω
- (d) R_{G_Q1} , R_{G_Q2} : 10 Ω

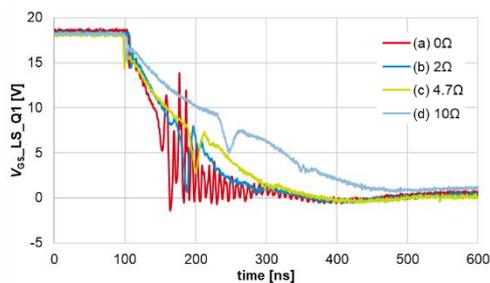


Figure 6-5. V_{GS} 波形 (R_{G_Q1} 、 R_{G_Q2} 増加)

R_{G_Q1} 、 R_{G_Q2} を増やすことで発振を抑制することが可能であることがわかります。ただし、「B'-2 : 共通ゲート抵抗 R_{G_com} を減らす」より、 R_{G_com} を増やすことでよりスイッチングスピードが遅くなり、より発振抑制に効果があるため、 R_{G_com} を大きくし、 R_{G_Q1} 、 R_{G_Q2} は 2 Ω 程度が今回の評価条件では最適でした。

IV. チップフェライトビーズをゲートラインに追加する

続いての対処法は、チップフェライトビーズを用いる方法です。チップフェライトビーズはゲート駆動のラインに直列に入れることでノイズを抑制

することができます。Figure 6-6 に回路図を示します。今回の評価では実装パターンを設けなかったため、 R_{G_Q1} 、 R_{G_Q2} のパターンで代用しました。Figure 6-7 にチップフェライトビーズ実装図を示します。

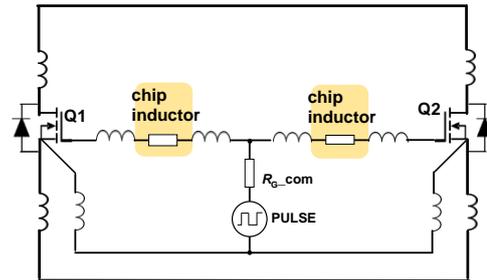


Figure 6-6. チップフェライトビーズ実装回路



Figure 6-7. チップフェライトビーズ実装

評価の条件は以下の通りです。

$I_{D, pulse}$: 128A (合計 256A)

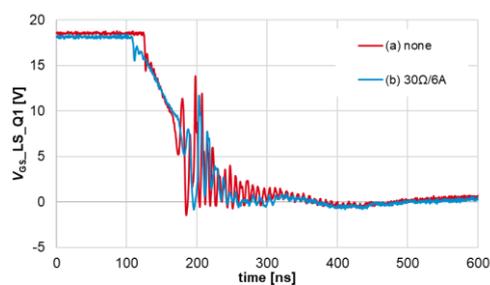
R_{G_com} : 2 Ω

$V_{GS(th)}_{Q1}$, $V_{GS(th)}_{Q2}$: 4.2V

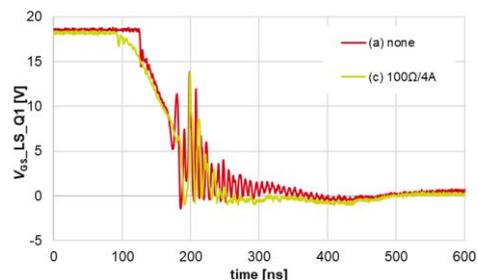
寄生 L : 基板のインダクタンス(Table 5-1)のみ

今回、個別ゲート抵抗のランドパターンに以下の(b)~(d)のチップフェライトビーズを付けたときのゲート OFF 時の $V_{GS_LS_Q1}$ 波形を Figure 6-8 に示します。使用したチップフェライトビーズは下記(b)~(d)の TDK 製です。

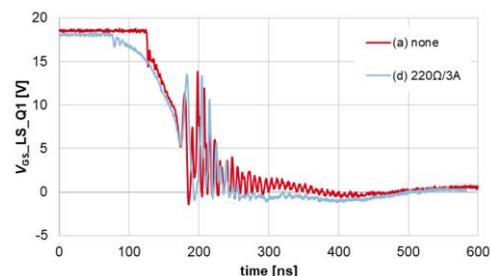
- (a) R_{G_Q1} , R_{G_Q2} : チップフェライトビーズ なし
MCR18EZPJ000(0 Ω の抵抗)
- (b) R_{G_Q1} , R_{G_Q2} : MPZ2012S300ATD25(30 Ω /6A)
- (c) R_{G_Q1} , R_{G_Q2} : MPZ2012S101ATD25(100 Ω /4A)
- (d) R_{G_Q1} , R_{G_Q2} : MPZ2012S221ATD25(220 Ω /3A)



(a) 0Ω (b) 30Ω/6A



(a) 0Ω (c) 100Ω/4A



(a) 0Ω (d) 220Ω/3A

Figure 6-8. V_{GS} 波形(チップフェライトビーズ追加)

この結果により、(b)のチップフェライトビーズが発振抑制に効果があることが分かります。

チップフェライトビーズには定格電流があり、今回の評価では、 $C_{iss}=1000\text{pF}$ 当たり 1A 程度で選定し、実機によるゲート信号の充放電電流を測定した上で決定しました。今回使用した SCT4018KR の場合、 $C_{iss}=4532\text{pF}$ だったため、結果として 5A 以上のものが適しています。また周波数特性にも注意し、発振の周波数帯域で数Ω以上のインピーダンスを持つものを選定します。ただし、チップフェライトビーズを挿入すると、特定の周波数で V_{GS} サージが増加する可能性があります。今回はゲート OFF 波形にフォーカスして、発振抑制に効果があることを示しましたが、必ず V_{GS} 波形全体を確認してサージが定格を超えていないかどうかを確かめてください。

「III. R_{G_Q1} , R_{G_Q2} を増加」の対策と比較すると発振抑制効果は小さいように見えますがメリットもあります。ゲート OFF 時の $V_{DS_LS_Q1}$ 波形を Figure 6-9 に、 $I_{D_LS_Q1}$ 波形を Figure 6-10 に示します。

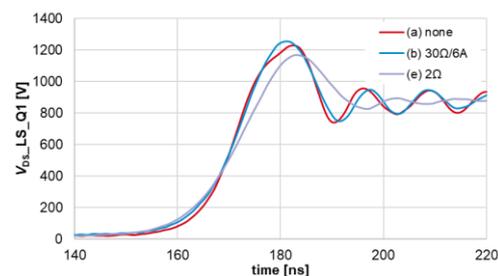
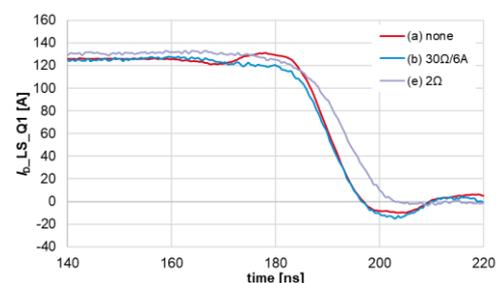
(a) R_{G_Q1} , R_{G_Q2} : チップフェライトビーズ なし

MCR18EZPJ000(0Ωの抵抗)

(b) R_{G_Q1} , R_{G_Q2} : MPZ2012S300ATD25(30Ω/6A)

(e) R_{G_Q1} , R_{G_Q2} : チップフェライトビーズ なし

MCR18EZPJ2R0(2Ωの抵抗)

Figure 6-9. V_{DS} 波形 (チップフェライトビーズと R_G 比較)Figure 6-10. I_D 波形 (チップフェライトビーズと R_G 比較)

V_{DS} 波形を比較すると dV_{DS}/dt において条件(a)と(b)はほとんど変化しておらず、条件(e)では dV_{DS}/dt が緩やかになっています。さらに、 dI_D/dt においても条件(a)と(b)ではほとんど変化していませんが条件(e)では緩やかになっています。条件(b)では dV_{DS}/dt や dI_D/dt が低下せずに発振振幅を抑えることができるため、スイッチング損失の増加の心配がありません。スイッチングによる損失が重要な場合は、ゲート抵抗の対策に加えてチップフェライトビーズによる対策を追加することで、ゲート抵抗増加による損失と発振抑制のバランスをとることができます。

V. 外付け C_{GS} を追加する

最後に外付け C_{GS} を追加する対策について紹介します。MOSFET の寄生容量 C_{GS} とは別にゲート-ソース間に追加容量をディスクリットで入れることでスイッチング速度を低減し、発振を抑制することができます。外付け C_{GS} を追加したときのゲート OFF 時の $V_{GS_LS_Q1}$ 波形を Figure 6-10 に示します。

$I_{D, pulse}$: 128A (合計 256A)

R_{G_com} : 2Ω

R_{G_Q1} , R_{G_Q2} : 0Ω

$V_{GS(th)}_{Q1}$, $V_{GS(th)}_{Q2}$: 4.2V

寄生 L : 基板のインダクタンス(Table 5-1)のみ

- (a) 外付け C_{GS} なし
 (b) 外付け $C_{GS} = 1nF$

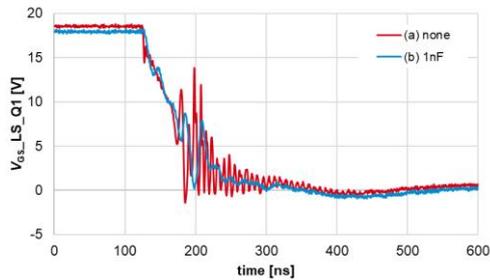


Figure 6-11. V_{GS} 波形 (外付け C_{GS} 追加)

Figure 6-11 より外付け C_{GS} で発振が抑制できることがわかります。最後に発振対策の結果を Table 6-1 にまとめました。ゲート電圧振幅差では対策前の波形の発振振幅の最大値と、最も発振が抑制できた条件の発振振幅を引いた値です。この値が大きいほど、今回の評価で効果のある対策になり、 R_{G_com} を追加させることが最も効果的でした。

Table. 6-1

対処法	V_{GS} 振幅差 [V]	デメリット
I L_S を等長 (短く、等長)	7.9	なし
I L_S を等長 (長く、等長)	6.1	なし
II R_{G_com} を増加	11.0	スイッチング損失増加
III R_{G_Q1}, R_{G_Q2} を増加	7.8	スイッチング損失増加
IV チップフェライトビーズをゲートラインに追加	2.0	発振周波数以外の V_{GS} サージ増加
V 外付け C_{GS} 追加	6.3	スイッチング損失増加

並列接続時に発振が起きた場合には、まず抑制への効果が大きく、デメリットのない L_S を等長にし、可能な限り短くすることが大切です。それでも発振が抑制できない場合にはデメリットに注意しながら対策を行います。

チップフェライトビーズをゲートラインに挿入する対策では、発振抑制への効果は小さいですが、発振周波数においてサージを低減できる対策でノイズ抑制に効果的な対策です。

7. まとめ

並列接続時に特に注意する点は以下の3つです。

- L_S, L_{KS} アンバランスが最も発振に大きく影響します。 L_S, L_{KS} はできるだけ等長になることを最優先に設計する。(Figure 7-1 参照)
- 同じ値の R_{G_Q1}, R_{G_Q2} を使用し、さらに R_{G_com} を使用する。(Figure 7-1 参照)
- それでも発振が出現する場合には、チップフェライトビーズや C_{GS} など外付けの対策部品を追加する。

発振現象を正しく理解し、最適な回路設計を行うことでゲート発振を十分に抑制することが可能です。万が一、並列発振が起こった際には、上記の対処法を試し、MOSFET の定格内で動作するように調整し、安全に使用してください。

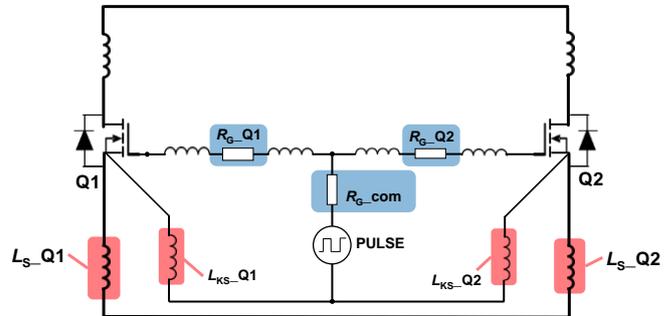


Figure 7-1. 並列接続時に注意するパラメータ

参考資料：

[1] 「ゲートソース電圧測定時の注意点」

アプリケーションノート(No. 62AP084J Rev.002)
 ローム株式会社, 2020年4月

[2] 「熱モデルの使い方」

アプリケーションノート(No. 62AN104J Rev.001)
 ローム株式会社, 2019年12月

Tektronix®は Tektronix, Inc.の登録商標です。

Ansys®および Q3D Extractor®は ANSYS, Inc.の登録商標です。

ご 注 意

- 1) 本資料に記載されている内容は、ロームグループ(以下「ローム」という)製品のご紹介を目的としています。ローム製品のご使用にあたりましては、別途最新のデータシートもしくは仕様書を必ずご確認ください。
- 2) ローム製品は、一般的な電子機器(AV機器、OA機器、通信機器、家電製品、アミューズメント機器等)もしくはデータシートに明示した用途への使用を意図して設計・製造されています。したがって、極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、またはその他の重大な損害の発生に関わるような機器または装置(医療機器、輸送機器、交通機器、航空宇宙機器、原子力制御装置、燃料制御、カーアクセサリーを含む車載機器、各種安全装置等)(以下「特定用途」という)にローム製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願いいたします。ロームの文書による事前の承諾を得ることなく、特定用途にローム製品を使用したことによりお客様または第三者に生じた損害等に関し、ロームは一切その責任を負いません。
- 3) 半導体を含む電子部品は、一定の確率で誤動作や故障が生じる場合があります。万が一、誤動作や故障が生じた場合であっても、人の生命、身体、財産への危険または損害が生じないように、お客様の責任においてフェールセーフ設計など安全対策をお願いいたします。
- 4) 本資料に記載された応用回路例やその定数などの情報は、ローム製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を明示的にも黙示的にも保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、ロームは一切その責任を負いません。
- 5) ローム製品及び本資料に記載の技術を輸出または国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続きを行ってください。
- 6) 本資料に記載された応用回路例などの技術情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。また、ロームは、本資料に記載された情報について、ロームもしくは第三者が所有または管理している知的財産権その他の権利の実施、使用または利用を、明示的にも黙示的にも、お客様に許諾するものではありません。
- 7) 本資料の全部または一部をロームの文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
- 8) 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。ローム製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
- 9) ロームは本資料に記載されている情報に誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様または第三者に損害が生じた場合においても、ロームは一切その責任を負いません。



ローム製品のご検討ありがとうございます。
より詳しい資料やカタログなどをご用意しておりますので、お問い合わせください。

ROHM Customer Support System

<https://www.rohm.co.jp/contactus>