

SiC MOSFET

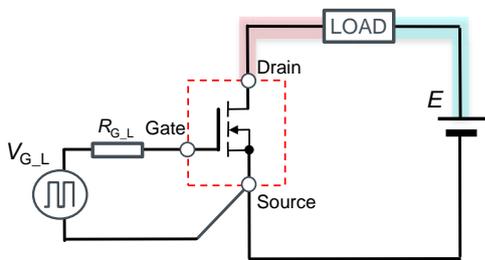
# SiC MOSFET 基板レイアウト設計における注意点

SiC MOSFET は、様々な電源アプリケーションや電力ラインのスイッチング素子として使用されています。そのスイッチング特性を最大限に引き出すために非常に高速動作を求められますが、ゲート-ソース間電圧やドレイン-ソース間電圧のサージやブリッジ構成における誤点弧など、様々な対策が必要となることはよく知られています。そこで、このアプリケーションノートでは、ディスクリートパッケージの SiC MOSFET を使用する基板レイアウト設計における注意点について説明します。

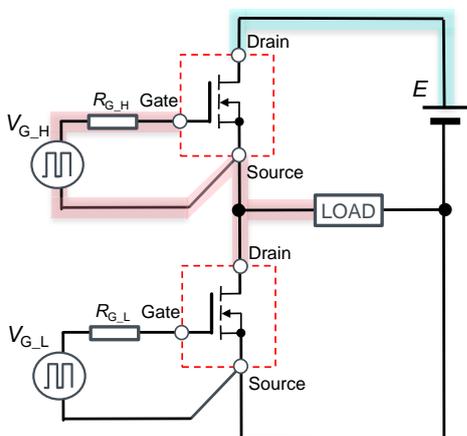
## 高電圧回路と駆動回路の共存

SiC MOSFET は 1000V を超える電圧を制御し、システムに必要な電圧へと変換しますが、一般的に電圧駆動型と呼ばれる駆動回路を使い、SiC MOSFET のゲート端子を十数 V の電圧で駆動することにより高電圧回路をオンあるいはオフしています。そのため、SiC MOSFET を実装する基板には、1000V 以上の高電圧回路と十数 V の駆動回路が通常は混在しています。

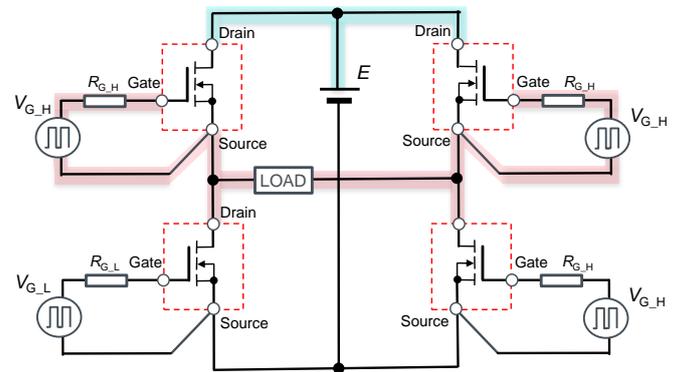
Figure 1 に SiC MOSFET を使用した一般的な回路構成を示します。同図(a)はシングルエンド型、(b)はハーフブリッジ型、(c)はフルブリッジ型です。図中の網掛け青色が対地を基準とした高電圧部で、更に赤色は高電位と対地電位を高速にスイッチング動作する部分です。



(a) シングルエンド型



(b) ハーフブリッジ型



(c) フルブリッジ型

Figure 1. SiC MOSFET の使用回路例

(a)シングルエンド型はひとつの SiC MOSFET を使い、高圧電源  $E$  に接続された負荷  $LOAD$  をオン・オフします。(b)ハーフブリッジ型は二つの SiC MOSFET を直列接続し、それらを交互にオンしながら負荷を高圧電源に接続したり、GND に接続したりします。(c)フルブリッジ型はふたつのハーフブリッジ型を、負荷を対照として接続し、それぞれのブリッジで上下の SiC MOSFET を交互にオン・オフすることにより、負荷に正負電圧を印加します。

いずれの回路構成においても、高圧電源  $E$  を含む回路では負荷電流が高速にオン・オフする経路が存在します。電流変化による放射ノイズの影響を出来るだけ小さくするためには、高電圧回路と駆動回路を可能な限り分離する必要があります。また、スイッチング速度が数十 ns と速いため共通モード電流も流れやすく、あらゆる箇所に生成される寄生容量や寄生インダクタンスにも注意しなければなりません。

更には、SiC MOSFET の放熱も重要な設計要素であるため、冷却機構を考慮した基板レイアウト設計も必要であり、SiC MOSFET をヒートシンクなどで冷却する場合は、効果的な排熱や組み立て易さ等も考慮したレイアウト設計が必要となります。

このように、高速スイッチング動作が可能となった SiC MOSFET の性能を最大限に引き出すための基板レイアウト設計時の注意点について、次節から詳しく説明します。

## 駆動回路配線長の最短路化

駆動回路はゲートドライブ IC と SiC MOSFET 間の回路全般を言い、その配線インダクタンスはスイッチング動作時に発生するゲート電流によって正サージや負サージを発生させます<sup>(\*)</sup>。そのため、できる限り寄生インダクタンスを小さくしなければなりません、その方法は配線長を短くするしかありません。また、SiC MOSFET からゲートドライブ IC への復路 (GND 配線) はゲートドライブ IC から SiC MOSFET へ向かう信号線とはレイヤーを変えて、真下に全面ベタ GND 層として配置します。電流経路のループを小さくし、寄生容量や寄生インダクタンスを最小にすることが、ノイズ軽減や誤動作のリスク回避につながり、パワーラインでの電流変化時のノイズを最小限に抑制します。

Figure 2 にローム製第 4 世代 SiC MOSFET 用評価基板 (P04SCT4018KE-EVK-001)<sup>(\*)</sup>の駆動回路とそのレイアウトを示します。

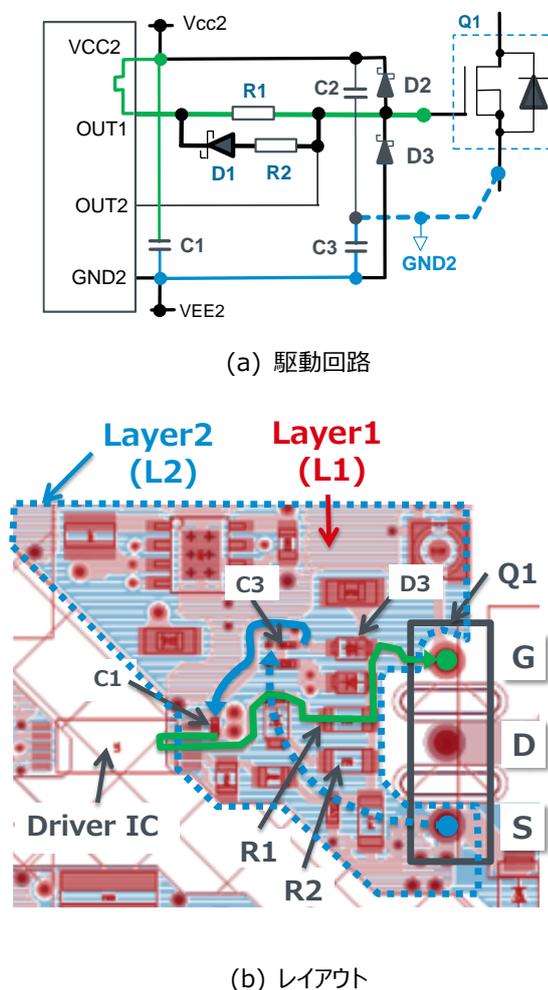


Figure 2. TO-247N 駆動回路とレイアウト例

SiC MOSFET の駆動電力はゲートドライブ IC (BM61S41RFV-C) からの往路 (緑の経路) と、SiC MOSFET からの復路 (青の経路) で形成される空間において伝搬されます。往路となる駆動信号は、通常スイッチング速度を調整するゲート抵抗 (R1, R2) が挿入されるため、

ゲートドライブ IC の OUT 端子から SiC MOSFET のゲート端子 (G) までを表面 (L1) に配置し、SiC MOSFET の Source 端子 (S) からゲートドライブ IC の GND2 端子までの配線は L1 層の直下になる L2 層に L1 層の配線全てを覆うようにレイアウトします。今回示しました駆動回路は、負バイアス電源 VEE2 を使用しているにもかかわらず、VEE2 をサポートしていないゲートドライブ IC を使用しているため、復路はバイパスコンデンサ C3 まで L2 層を通り、L1 層に実装されている C3 を経由して L1 層にてゲートドライブ IC の GND2 端子へ接続されています。

一般的に使用されている 3 ピン TO-247N の場合、G 端子と S 端子はパッケージの対極にあり、駆動信号の往復路にはかならず一定の空間が形成されます。そのため、SiC MOSFET の D-S 間に流れる大きな電流の変化による放射ノイズが大きく、ゲート駆動回路に不要な電圧誘起を引き起こしやすいため、S 端子からゲートドライブ IC までの復路は L2 層でベタ層による復路とすることで、ノイズの影響を最小限にすることができます。

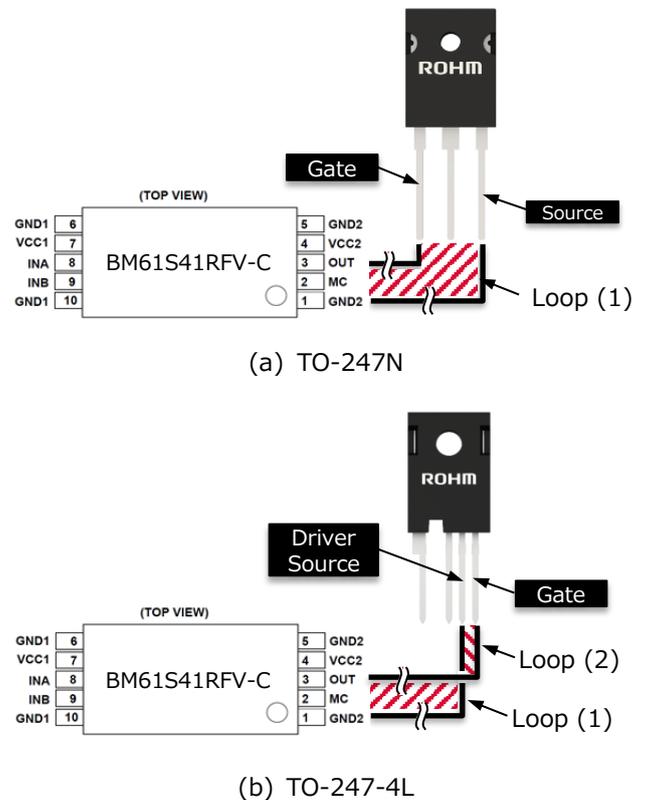
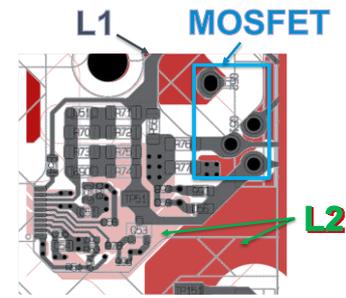


Figure 3. 駆動回路 配線レイアウト例

また、これまでのゲートドライブ IC は、Figure 3(a) で示すように TO-247N を単一面で駆動回路をレイアウトできるピンサインになっている場合が多く、スイッチング損失を大きく改善できる 4 ピンパッケージである TO-247-4L は同(b)に示すピンサインの通り、信号線である Gate 端子と復路となる Driver Source 端子の配置がドライブ IC のピンサインと逆になっており、必ず配線が交差し同一面でパターンレイアウトすることは出来ません。そのため、同図(b)で示す OUT 信号と GND2 信号で形成されるループ面積(1)および(2)による誘起電圧は逆極性となるため、その面積比を同等にしなければ誤動作の原因となります。これ

は TO-247-4L の電流変化  $dI_D/dt$  が非常に大きく、この  $dI_D/dt$  による磁束の変化 ( $d\Phi/dt$ ) がこのループ面積を横断するとき電圧起電が発生します。そして、SiC MOSFET の G-S 間にこのループ面積に比例した正サージや負サージなどの電圧を誘起し、発振等の不具合の原因となり、破壊に至ることがあります。そのため OUT 信号と GND2 信号で形成されるループ面積を極力小さくするために、SiC MOSFET からゲートドライブ IC への復路は L2 層によるベタ配線にします。

Figure 4(a)~(d)に復路がベタ配線ではないブリッジ構成 (Figure 1(b)) におけるスイッチング波形を示します。ベタ配線における正常動作時の波形も同図右側に示し、その違いを示しています。ローサイドの SiC MOSFET をスイッチングさせており、(a)はゲート電圧波形、(b)はドレイン-ソース電圧波形、(c)はドレイン電流波形です。ゲート電圧波形はローサイド (桃色) とハイサイド (緑色) の両波形を示していますが、ターンオン時において、ローサイドの立ち上がり時に同期して、ハイサイドのゲート電圧も立ち上がり (赤点線)、オフしているはずのハイサイド MOSFET がオンしてしまい、貫通電流が流れ増加したプラトー電圧によって一旦オフ動作に入り、その後激しい電圧振動がゲート電圧に出現してしまっています。



(d) 復路がベタ配線ではないレイアウト事例

Figure 4. レイアウト不具合時のスイッチング波形

## ゲートサージ保護回路のレイアウト優先順位

SiC MOSFET はシリコン系 MOSFET に比べ、ゲート端子の定格電圧範囲のマージンが狭い状態で使用されることが多く注意が必要です。特にブリッジ構成で使用する場合、ゲートサージ対策を実施しないとゲート定格を超える電圧サージがしばしば発生し対応に苦慮します。そのため、あらかじめゲートサージ対策回路を盛り込んでおくことが極めて重要です。ゲートサージの保護回路としては、以下があります<sup>(\*2)</sup>。

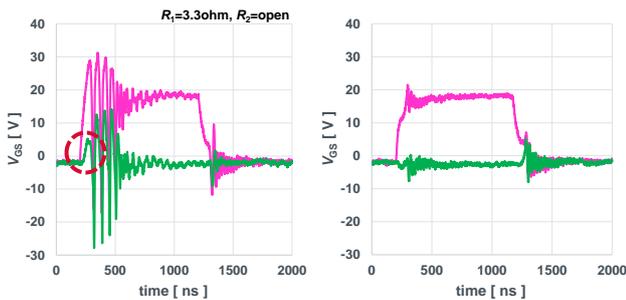
- ・アクティブミラークランプ回路
- ・ダイオードクランプ回路 (正サージ・負サージ)
- ・G-S 間キャパシタ

アクティブミラークランプ回路は、ゲートドライブ IC に内蔵されているビルトインタイプと、アクティブミラークランプ用 MOSFET を外付けするタイプがありますが、いずれも SiC MOSFET からの配線長を概ね 20mm 以下にしなければ、数十 ns 程度の短いゲートサージを除去することはできません。

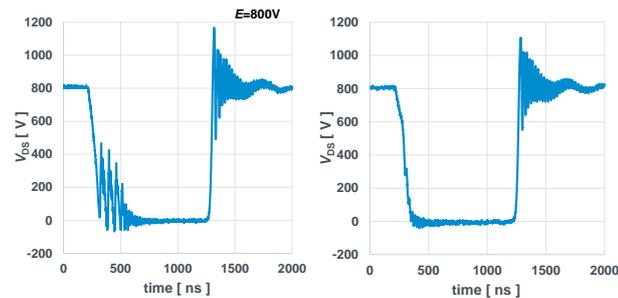
また、ダイオードクランプ回路におけるダイオードの選定も重要であり、パッケージインダクタンスの小さいダイオードを選定する必要があり、ガルウィング型よりも下面電極型が適しています。更に SiC MOSFET の近傍にレイアウトする優先順位は、アクティブミラークランプ回路→負サージ用クランプダイオード→正サージ用クランプダイオード→G-S 間キャパシタの順序です。

Figure 5(a)に TO-247-4L パッケージ用評価基板におけるゲートサージ回路例とその基板写真(b)を示します。この回路ではブリッジ構成における SiC MOSFET が上下に配置され、それぞれの SiC MOSFET にゲートドライブ IC が設置されており、ミラークランプ用 MOSFET(Q2)、負サージ用クランプダイオード(D3)とそのバイパスコンデンサ(C3)、正サージ用クランプダイオード(D2)とそのバイパスコンデンサ(C2)、G-S 間キャパシタ(C1)が、優先順位どりに配置されています。<sup>(\*6)</sup>

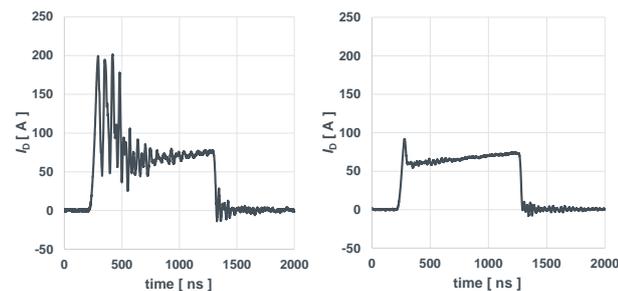
Figure 6(a)に L1 層レイアウトと同図(b)に L2 層レイアウトを示します。Q2 を経由し VEE2 までのアクティブミラークランプ回路の経路 (黄色) と、D3,C3 を経由し VEE2 までの負サージクランプダイオードの経路 (橙色) を示していますが、いずれも SiC MOSFET の G-DS 端子間が最短経路で接続されています。



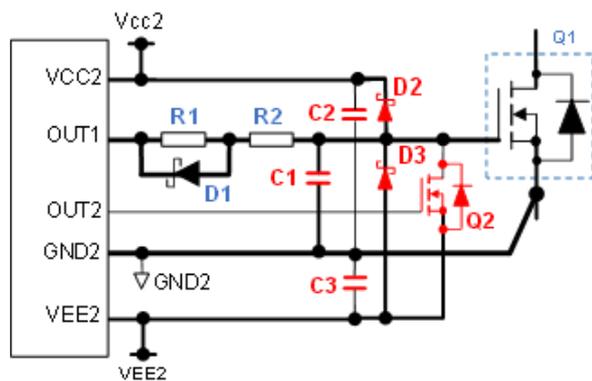
(a) ゲート電圧波形



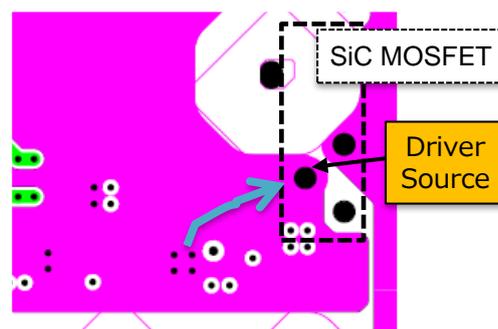
(b) ドレイン-ソース電圧波形



(c) ドレイン電流波形



(a)



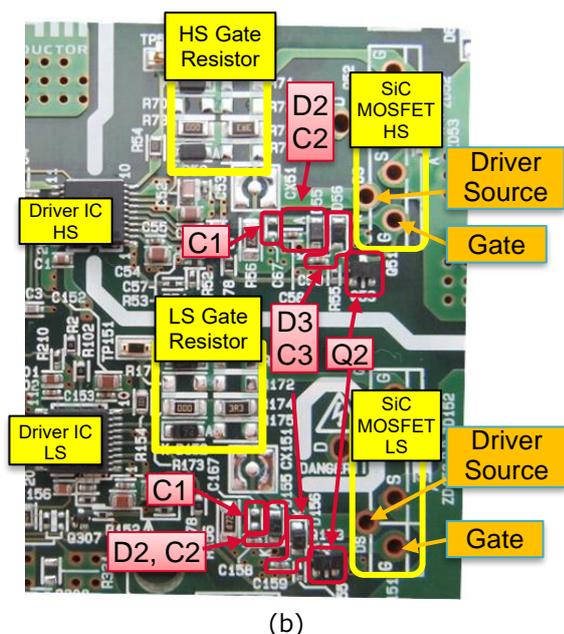
(b) 復路 (L2)

Figure 6. ゲートサージ保護回路の経路 (往復路)

### 駆動回路と高電圧回路の分離

SiC MOSFET は Figure 1 で示したとおり、高圧電源  $E$  と GND 間を高速でスイッチングする領域が存在します。そのため、高インピーダンス回路や 5V や 3.3V で動作する一般的なロジック回路は、大きな電流がオン・オフを繰り返すスイッチング領域で発生する放射ノイズや、高速動作による共通モードノイズの影響を受けやすいため、ゲート駆動回路と高電圧領域はできるだけ間隔を確保することが必要です。

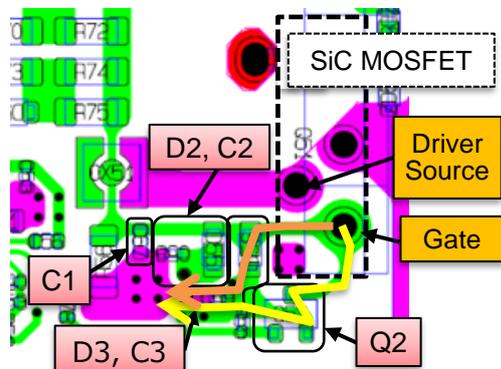
Figure 7 に TO-247-4L パッケージの SiC MOSFET をブリッジ構成且つ並列使用した場合のレイアウト例を示します。右側が高電圧回路側で、左側がゲート駆動回路側となっており、完全に分離されており、ゲート駆動回路の復路は、L2 層で形成され、ドライバソース (DS) 端子で一点接地され、SiC MOSFET パッケージ内で高電圧回路側の GND と接続されています。



(b)

Figure 5. ゲートサージ保護回路とレイアウト例

- 負バイアス クランプダイオード回路の経路
- アクティブミラークランプ回路の経路



(a) 往路 (L1)

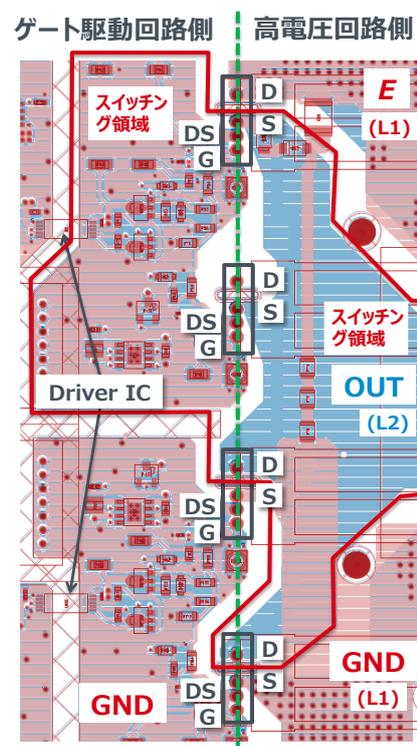


Figure 7. TO-247-4L 並列接続時のレイアウト例

ただし、赤線で囲った領域はスイッチング領域であり、 $E$ とGND間を高速スイッチング動作により変化しており、OUT部のパターンレイアウトは $E$ やGND部のパターンレイアウトと出来る限り重なる領域を小さくする必要があります。これは、PCB層間の重なる面積に比例して形成される寄生容量は、SiC MOSFETの出力容量 $C_{oss}$ に並列に接続され、スイッチング損失の増加を招くからです。

## ハイサイド駆動用絶縁電源に関する注意点

ブリッジ構成におけるハイサイドのSiC MOSFETを駆動するためには、ブートストラップ方式等の非絶縁方式を用いない限り、絶縁型電源が必要となります。通常、絶縁型電源には絶縁トランスを使用しますが、その一次—二次間に形成されるカップリング容量の充放電電流には注意が必要です。

Figure 8にハイサイド駆動電源を経由した共通モード電流経路を示しますが、通常、制御信号側である一次側(▽)と、高圧電源側である二次側(▼)のGNDは分離されています。そのため、ハイサイド駆動用絶縁電源の絶縁トランスのカップリング容量への充放電電流は、同図に示す赤破線の経路で共通モード電流が流れます。ブリッジ構成におけるSiC MOSFETのスイッチング速度は、Si系MOSFETに比べて非常に速く設定できるため大きな $dV_{DS}/dt$ となり、共通モード電流のピーク値がこの $dV_{DS}/dt$ に比例し数アンペアに達することがあります。そのため、一次側回路や一次側電源 $V_{CC1}$ の誤動作を誘発するばかりでなく、予期せぬシステム不具合などを引き起こす危険性があります。

そういった場合、一次側(▽)と二次側(▼)のGNDを、図中青破線のように接続することで、対地を流れる共通モード電流を抑制し不具合を解消できる場合もあります。

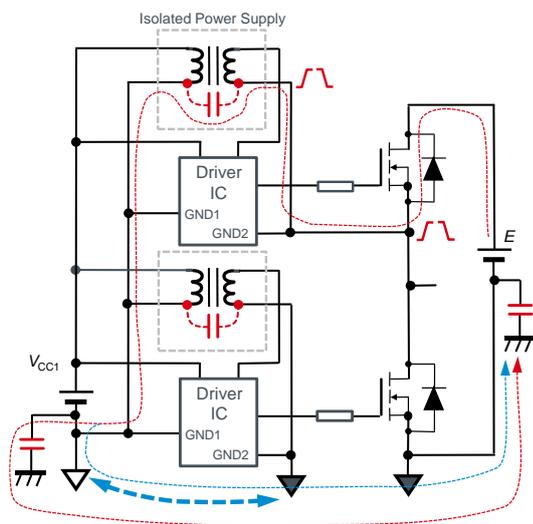


Figure 8. ハイサイド駆動電源を経由した共通モード電流経路

因みに、絶縁型電源に使用する絶縁トランスの一次—二次間カップリング容量の目安は10pF以下ですが、出来れば5pF以下が望ましいです。

また、ブートストラップ方式におけるブートキャパシタへの充電経路にも

注意が必要です。Figure 9にその充電経路を示します。ブートキャパシタへの充電を行うためには、充電電流を供給する電源 $V_{CC1}$ のGNDは高電圧回路のGNDと接続されなければならないが、高電圧回路側のノイズの影響を最小限とするために、ローサイドMOSFETのソース端子近傍で一点接地します。

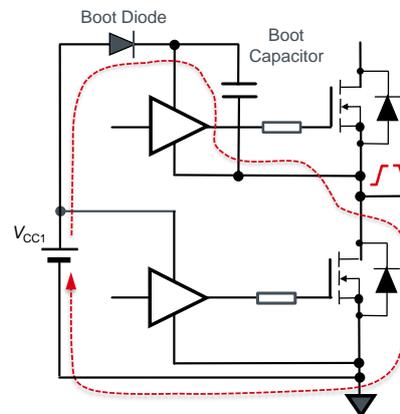


Figure 9. ブートキャパシタへの充電経路

## 高圧電源との配線に関する注意点

SiC MOSFETは高速スイッチング動作となるため、スイッチング時の電流変化 $dI_D/dt$ も非常に大きくなります。そのため、基板上的パターンや高圧電源 $E$ からの配線ケーブルなどに存在する寄生インダクタンスが大きくなると、 $dI_D/dt$ による誘起電圧も大きくなり、スイッチング動作後に大きなサージがD-S間に発生することはよく知られています。そのため、バイパスコンデンサとしてDCLinkキャパシタ(フィルムキャパシタやMLCCなど)を接続し、可能な限り配線インダクタンスを小さくすることで、SiC MOSFETに印加されるサージを小さくします。

Figure 10にブリッジ構成におけるDCLinkキャパシタの有無によるスイッチング電流経路の切り替わりの違いを示します。(a)はDCLinkキャパシタが接続されていない場合、(b)は接続されている場合です。両矢印で示した赤線が、ON時とOFF時における電流経路の切り替わりです。負荷LOADを含む配線は、SiC MOSFETのスイッチング動作による電流の切り替わりが発生しないため、実質的にLOADの一部と見なされ影響はありません。

同図からも明らかなようにDCLinkキャパシタを出来る限り、ブリッジ構成におけるSiC MOSFETの近傍に配置することで、配線インダクタンスの影響を最小限に抑えることができます。したがって、SiC MOSFETと同一PCB上に少なくとも等価直列インダクタンス(ESL)の小さいDCLinkキャパシタ(フィルムキャパシタ、マルチレイヤセラミックキャパシタなど)をレイアウトすることが望ましいです。ただ、静電容量 $C_{DCLink}$ は式(1)、リップル電流 $I_{DCLink}$ は式(2)に示す値を目安にします。

$$C_{DCLink} > \frac{I_{D\_MAX}}{\Delta V_E} * t_r \quad (1)$$

$$I_{DCLink} > I_{D\_MAX} * \sqrt{\frac{t_r}{t_s}} \quad (2)$$

$I_{D\_MAX}$ :最大負荷電流

$\Delta V_E$ :許容電圧降下

$t_r$ :rise time

$t_s$ :スイッチング周波数の逆数 (一周期)

$I_{D\_MAX}$ は、SiC MOSFETに流れるターンオン時のドレイン電流のピーク値とし、 $\Delta V_E$ は高圧電源  $E$  を基準とし 1~2%程度の値に設定します。 $t_r$ はデータシート等を参考にし、実使用条件での値に設定します。

ただ、式 (1) はターンオン時の目安であり、ターンオフ時はサージ抑制のために別途検討する必要があります。詳細は、アプリケーションノート「スナバ回路の設計方法」を参照してください(\*3)。

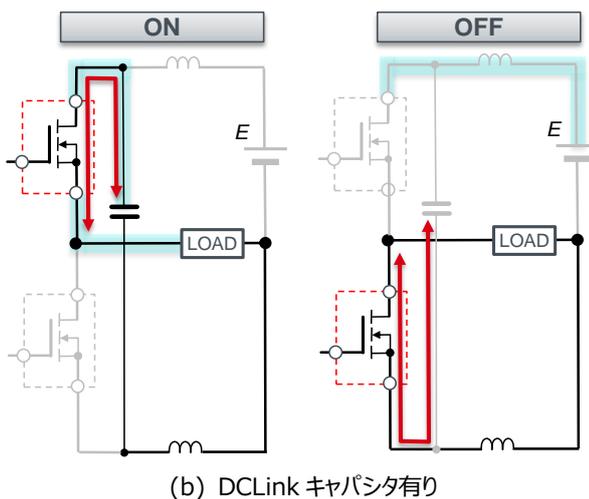
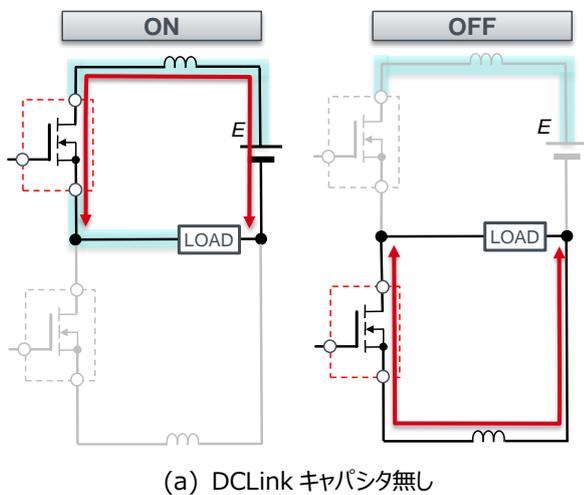


Figure 10. スwitching電流経路の切り替わり

## まとめ

SiC MOSFET は、高電圧回路においても高速スイッチング特性を十分に発揮できる優れたデバイスであり、様々な回路で適用が広がってきています。高速スイッチング動作ではノイズ等の課題が発生しやすく、それらの課題を設計段階から抑制するためには、SiC MOSFET の駆動回路や高電圧回路の基板レイアウトは大変重要であり、それらの注意点についてまとめました。このアプリケーションノートでは、基板上的のパターンやケーブル、PCB 層間を接続するVIA等の設計基準については解説しませんが、アプリケーションノート「降圧コンバータのPCBレイアウト手法」に詳しく解説してありますので、併せてご覧ください(\*4)。

参考資料：

- \*1 「ブリッジ構成におけるゲートソース電圧の振る舞い」  
アプリケーションノート (No. 60AN134JRev.002)  
ローム株式会社, 2020年4月  
[ブリッジ構成におけるゲートソース電圧の振る舞い \(rohms.com\)](http://rohms.com)
- \*2 「ゲートソース電圧のサージ抑制方法」  
アプリケーションノート (No. 62AN009JRev.002)  
ローム株式会社, 2020年4月  
[ゲートソース電圧のサージ抑制方法 \(rohms.com\)](http://rohms.com)
- \*3 「スナバ回路の設計方法」  
アプリケーションノート (No. 62AN0036JRev.002)  
ローム株式会社, 2020年4月  
[スナバ回路の設計方法 \(rohms.com\)](http://rohms.com)
- \*4 「降圧コンバータのPCBレイアウト手法」  
アプリケーションノート (No. 60AN0065JRev.004)  
ローム株式会社, 2024年1月  
[降圧コンバータのPCBレイアウト手法 \(rohms.com\)](http://rohms.com)
- \*5 「第4世代 SiC MOSFET ハーフブリッジ評価ボード 製品仕様書」  
ユーザガイド (No. 63UG056JRev.001)  
ローム株式会社, 2022年2月  
[第4世代 SiC MOSFET 評価ボード 製品仕様書 \(rohms.com\)](http://rohms.com)
- \*6 「TO-247-4L ハーフブリッジ評価基板 製品仕様書」  
ユーザガイド (No. 62UG017JRev.001)  
ローム株式会社, 2019年7月  
[TO-247-4L ハーフブリッジ評価基板製品仕様書 \(rohms.com\)](http://rohms.com)

### ご 注 意

- 1) 本資料に記載されている内容は、ロームグループ(以下「ローム」という)製品のご紹介を目的としています。ローム製品のご使用にあたりましては、別途最新のデータシートもしくは仕様書を必ずご確認ください。
- 2) ローム製品は、一般的な電子機器(AV機器、OA機器、通信機器、家電製品、アミューズメント機器等)もしくはデータシートに明示した用途への使用を意図して設計・製造されています。したがって、極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、またはその他の重大な損害の発生に関わるような機器または装置(医療機器、輸送機器、交通機器、航空宇宙機器、原子力制御装置、燃料制御、カーアクセサリを含む車載機器、各種安全装置等)(以下「特定用途」という)にローム製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願いいたします。ロームの文書による事前の承諾を得ることなく、特定用途にローム製品を使用したことによりお客様または第三者に生じた損害等に関し、ロームは一切その責任を負いません。
- 3) 半導体を含む電子部品は、一定の確率で誤動作や故障が生じる場合があります。万が一、誤動作や故障が生じた場合であっても、人の生命、身体、財産への危険または損害が生じないように、お客様の責任においてフェールセーフ設計など安全対策をお願いいたします。
- 4) 本資料に記載された応用回路例やその定数などの情報は、ローム製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を明示的にも黙示的にも保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、ロームは一切その責任を負いません。
- 5) ローム製品及び本資料に記載の技術を輸出または国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続きを行ってください。
- 6) 本資料に記載された応用回路例などの技術情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。また、ロームは、本資料に記載された情報について、ロームもしくは第三者が所有または管理している知的財産権その他の権利の実施、使用または利用を、明示的にも黙示的にも、お客様に許諾するものではありません。
- 7) 本資料の全部または一部をロームの文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
- 8) 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。ローム製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
- 9) ロームは本資料に記載されている情報に誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様または第三者に損害が生じた場合においても、ロームは一切その責任を負いません。



ローム製品のご検討ありがとうございます。  
より詳しい資料やカタログなどをご用意しておりますので、お問い合わせください。

## ROHM Customer Support System

<https://www.rohm.co.jp/contactus>