

1-4 セル

Li イオン電池マネージャ 充電アプリケーションノート

BD99954MWV, BD99954GW

本ドキュメントは、BD99954（本ドキュメントでは、BD99954MWV と BD99954GW を合わせた表現として使用します。）を基本動作させるにあたり、IC 設計コンセプト、考慮すべき周辺アプリケーション回路定数、必要なレジスタ設定などについて解説します。さらに、直面しやすいいくつかの現象と回避策についても併せて記載します。また、基本ファンクションに関わるレジスタのデフォルト値や推奨設定値については、“Li イオン電池マネージャ クイックリファレンス”も併せて参照ください。

特長

- ・デュアルソース バッテリチャージャ
- ・1-4 セル Li イオン /Li ポリマーバッテリ 高効率 昇降圧スイッチングチャージャー
- ・2つの入力ポート USB-VBUS と DC アダプタ
- ・BC1.2 検出対応
- ・JEITA 規格充電プロファイル
- ・プログラマブル Pre-charge 電流、Fast-charge 電流
- ・プログラマブル 充電電圧
- ・プログラマブル 充電電流
- ・プログラマブルスイッチング周波数: 600kHz to 1.2MHz
- ・USB BCS 1.2、ACA、ID ピン、OTG
- ・USB-VBUS 過電圧保護
- ・バッテリ過電圧保護
- ・バッテリショート検出
- ・パワーパスマネジメント VBUS/VCC
- ・バッテリ FET パワーパスコントロール
- ・USB/USB-PD 用途 リバース Buck/Boost
- ・サーミスタ温度検出機能対応
- ・サーミスタ温度監視機能
- ・IMVP8 対応
- ・オート充電機能
- ・Battery Learn 機能
- ・入力電圧範囲: 3.8V to 25V
- ・SMBus インターフェース

アプリケーション

- ・ウルトラブック
- ・ノートブック PC
- ・ウルトラモバイル PC
- ・タブレット PC

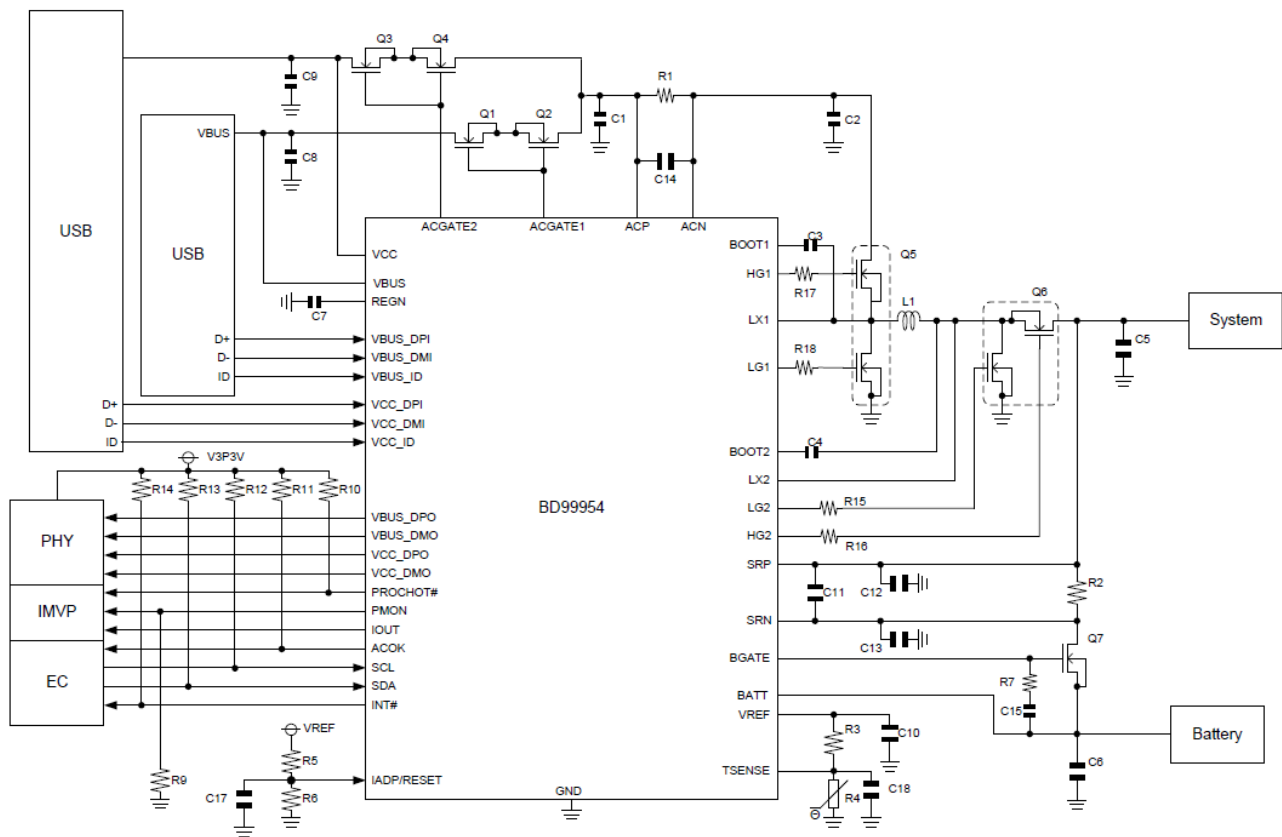


Figure 1. アプリケーション回路

関連資料

データシート BD99954MWV/GW datasheet Rev.001

目次

| | | |
|--------|---|----|
| 1 | IC 設計コンセプト | 6 |
| 1-1 | 2S(セル)をメインとして、1-4S(セル)への対応を拡張 | 6 |
| 1-2 | 電源の競合をさけるアーキテクチャの採用 | 6 |
| 1-3 | セミスタンドアロン動作対応 | 6 |
| 1-4 | JEITA 温度プロファイル対応 | 6 |
| 1-5 | Battery Charger 1.2 Specification (BC1.2)対応 | 6 |
| 2 | アプリケーション設定 | 7 |
| 2-1 | 使用に関するフローチャート (パッケージ、入力電圧範囲) | 7 |
| 2-2 | 使用に関するフローチャート (入力電流、終端電流、IMVP8、逆流対策) | 8 |
| 2-3 | Setup1 レジスタ設定のフローチャート (VCC と VBUS 優先順位とバッテリーセル数) | 9 |
| 2-4 | Setup2 レジスタ設定のフローチャート (終端電流、充電電流、充電電圧設定) | 10 |
| 2-5 | Setup3-1 レジスタ設定のフローチャート (BC1.2、USB ポート検出) | 11 |
| 2-6 | Setup3-2 レジスタ設定のフローチャート (BC1.2、USB ID 検出) | 12 |
| 2-7 | Setup4-1 レジスタ設定のフローチャート (JEITA プロファイル設定) | 13 |
| 2-8 | Setup4-2 レジスタ設定のフローチャート 続き (IMVP8、PROCHOT、PMOM 設定) | 14 |
| 2-9 | Setup4-3 レジスタ設定のフローチャート 続き (IMVP8、IOUT 設定) | 15 |
| 2-10 | Setup5 レジスタ設定のフローチャート (VBAT learn、Operation Frequency、Power save mode 設定) | 16 |
| 2-11 | Setup6 外付け部品選定、レイアウトパターン設計のフローチャート | 17 |
| 2-12 | バッテリー 1S(セル)と 2S(セル)-4S(セル)での設定 | 18 |
| 2-13 | 入力電圧 | 18 |
| 2-14 | 入力電流制限について | 18 |
| 3 | 充電プロファイル | 23 |
| 3-1 | 充電プロファイル関連レジスタ群 | 24 |
| 3-2 | 充電プロファイル関連レジスタ群の精度 | 26 |
| 3-3 | Fast charge 電流、Pre-Charge 電流、Trickle-Charge 電流 | 26 |
| 3-4 | 充電停止電圧 | 26 |
| 3-5 | 終端電流 (Termination current) | 27 |
| 3-6 | 充電プロファイル関連レジスタ群の電池セル数ごとのレジスタ代表値の例 | 29 |
| 3-7 | 充電の開始 | 29 |
| 3-8 | BC1.2 対応 | 30 |
| 3-9 | Battery Learn | 33 |
| 3-10 | 充電関連の ADC 測定値 | 34 |
| 3-11 | 充電に関連する割り込み(Interrupt)の設定 | 34 |
| 3-11-1 | 1st Level 割り込み(Interrupt)設定 | 34 |
| 3-11-2 | 2nd Level 割り込み(Interrupt)設定 | 35 |
| 3-12 | 充電に関連する 2nd Level 割り込み(Interrupt)の設定とステータスの確認 | 35 |
| 3-13 | JEITA 温度プロファイル | 36 |
| 4 | 保護機能 | 41 |
| 4-1 | 入力低電圧保護 (VBUSUVLO、VCCUVLO) | 41 |
| 4-1-1 | 入力低電圧保護 (VBUSVLO) 検出条件 : VBUS < 3.67V | 41 |
| 4-1-2 | 入力低電圧保護 (VCCUVLO) | 41 |
| 4-2 | 入力過電圧保護 | 41 |
| 4-3 | System 過電圧保護 (VSYOV) | 41 |

| | |
|--|----|
| 4-4 Battery 過電圧保護 (BATOVLP) | 42 |
| 4-5 Battery ショート保護 | 42 |
| 4-6 System ショート保護 (VSYS_SCP) | 42 |
| 4-7 サーマルシャットダウン(TSD)..... | 42 |
| 4-8 保護機能動作まとめ | 42 |
| 5 Power save mode | 44 |
| 5-1 Power save modeと設定方法 | 44 |
| 5-2 VBUS/VCC のプラグ接続状態と Power save mode について | 46 |
| 5-3 Power save mode での外付け抵抗への電流経路 | 47 |
| 6 USB On-The-Go (OTG)..... | 48 |
| 6-1 USB On-The-Go (OTG) 設定 | 48 |
| 6-2 OTG 起動と停止 | 48 |
| 6-3 OTG 保護機能 | 50 |
| 6-4 OTG モード 出力電流制限 | 50 |
| 6-5 OTG モード 出力短絡保護 (SCP) | 50 |
| 6-6 OTG モード 出力過電圧保護 | 51 |
| 6-7 OTG モード Anti-collapse 検出時の DCDC の動作 | 51 |
| 7 ステータスの確認 | 51 |
| 7-1 充電ステータス | 51 |
| 7-2 充電ステータス | 51 |
| 7-3 VBUS と VCC のステータス | 53 |
| 7-4 充電動作、ウォッチドッグスタイム、OTG のステータス | 53 |
| 7-5 ADC のステータス | 54 |
| 7-6 ADC のステータスのリセット | 55 |
| 8 アプリケーションデータ | 56 |
| 8-1 入力電流制限 IBUS_LIM_SET = 1024mA、VSYS=5.8V | 56 |
| 8-2 充電電流 ICHG_SET = 1024mA、VSYS=5.8V | 56 |
| 8-3 充電電圧 VFASTCHG_REG_SET1 = 13.2V、VSYS=9.2V | 57 |
| 8-4 昇降圧 DCDC 効率 | 57 |
| 8-5 昇降圧 DCDC 負荷変動 | 58 |
| 9 部品選定 | 59 |
| 9-1 ACP-ACN 入力電流検出抵抗 | 59 |
| 9-2 ACP-ACN 入力フィルタ | 59 |
| 9-3 インダクタ | 59 |
| 9-4 入力コンデンサ | 60 |
| 9-5 VBUS、VCC 入力コンデンサ | 60 |
| 9-6 ACP 入力コンデンサ | 60 |
| 9-7 ACN 入力コンデンサ | 60 |
| 9-8 出力コンデンサ (VSYS) | 60 |
| 9-9 BATT コンデンサ | 61 |
| 9-10 Power MOSFETs | 61 |
| 9-10-1 Power MOSFETs 選定方法 | 61 |
| 9-10-2 Power MOSFETs 使用上の注意 | 61 |
| 9-11 DCDC FET ゲート抵抗 | 61 |
| 9-12 BATFET | 61 |

| | |
|---|----|
| 9-13 BATFET ゲート抵抗とコンデンサ | 62 |
| 9-14 充電電流検出抵抗とフィルタ | 62 |
| 9-15 VREF コンデンサ | 62 |
| 9-16 REGN コンデンサ | 62 |
| 9-17 BOOT1、BOOT2 コンデンサ | 62 |
| 9-18 ACGATE1、ACGATE2 コンデンサ | 63 |
| 9-19 TSENSE 抵抗とサーミスタとコンデンサ | 63 |
| 9-20 SCL、SDA ブルアップ抵抗 | 63 |
| 9-21 IADP/RESET 抵抗 | 63 |
| 10 レイアウトパターン | 64 |
| 10-1 レイアウトパターン注意点 | 64 |
| 10-2 レイアウトパターン例 | 64 |
| 11 直面しやすい現象とその回避策 | 65 |
| 11-1 BGATE が ON するまでの時間が長いことに起因する現象とその回避策 | 65 |
| 11-2 DCDC 起動時のバッテリーから入力への逆流電流とその回避策 | 65 |
| 11-3 DCDC 入出力キャパシタの音鳴りとその回避策 | 67 |
| 12 誤解されやすい仕様 | 70 |
| 12-1 アダプタ/USB の入力ソースが自動で切り替わらない | 70 |
| 12-2 USB1.1 等 100mA 入力電流規格非対応 | 70 |
| 12-3 充電停止時 VSYS 電圧低下について | 71 |
| 12-4 BC1.2 を VBUS ポートで使用する際の注意 | 72 |
| 13 PROCHOT | 73 |
| 13-1 PMON 設定 IMPV8 に準拠した電力モニタ結果を PMON 端子に出力することができます。 | 73 |
| 13-2 Peak Power Control | 74 |
| 14 バッテリと入力接続を行い充電完了までのフローチャート | 76 |
| 14-1 バッテリと入力接続を行い充電完了までのフローチャート | 76 |
| 14-2 バッテリと入力接続を行い充電完了までのフローチャート 続き 2 | 77 |
| 14-3 バッテリと入力接続を行い充電完了までのフローチャート 続き 3 | 78 |
| 変更履歴 | 79 |

1 IC 設計コンセプト

1-1 2S(セル)をメインとして、1-4S(セル)への対応を拡張

OTP ロードによりレジスタのデフォルト値は、2 セルの代表値となっています。他のセル数に対応するには、使用する電池に適した値にレジスタを書き換える必要があります。

1-2 電源の競合をさけるアーキテクチャの採用

BD99954 には、外部から供給される電圧として、VBUS, VCC, VBATT があります。これらが IC を含む周辺回路で競合しないようなアーキテクチャを採用しています。逆の言い方をすれば、これら一つでも、規定内の電圧が供給されれば動作できます。

1-3 セミスタンドアロン動作対応

電源供給されれば、自律で充電をスタートするようなスタンドアロン動作には対応しませんが、適切なレジスタ設定を行ったうえでの充電スタートがかかれば、急速充電への移行、充電終止電流検出、満充電検出、再充電開始などの充電ステートの管理は、BD99954 単独で行えます。

1-4 JEITA 温度プロファイル対応

サーミスタ搭載の場合、安全性を考慮した (JEITA) 温度プロファイルに対応可能です。

1-5 Battery Charger 1.2 Specification (BC1.2)対応

BC1.2 のポート検出とそれに従う入力電流制限機能を 2 ポート分、有します。

2 アプリケーション設定

BD99954 の使用可否と判定するフローチャートとアプリケーションに応じたレジスタ設定方法のフローチャートを記載します。設定方法の詳細な説明についてはフローチャート内に章(Chapter)を記載しています。下線付きの青文字をクリックするとリンク先の章に移動します。

2-1 使用に関するフローチャート (パッケージ、入力電圧範囲)

BD99954 の使用可否を判定するためのフローチャートは下記となります。

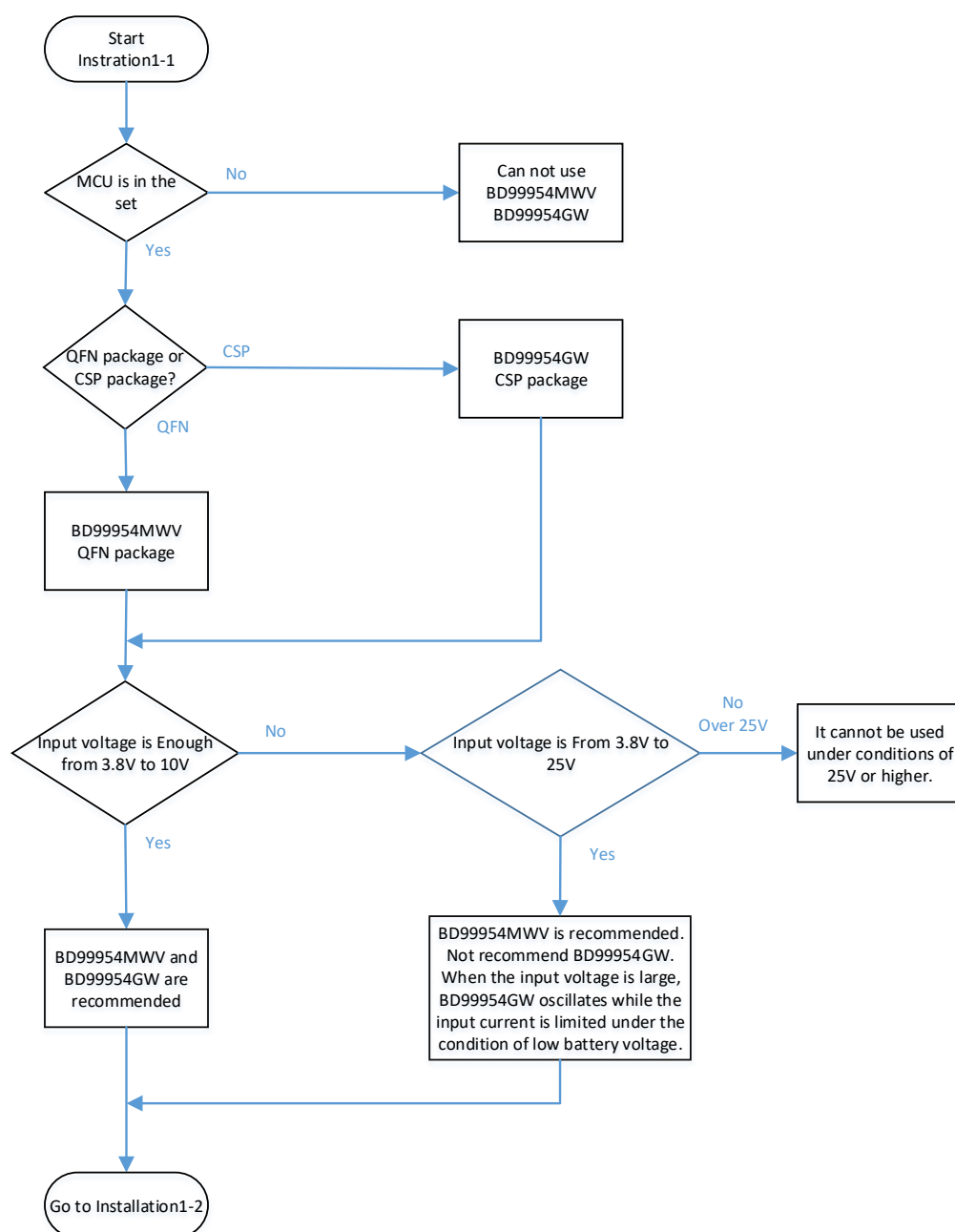


Figure 2-1. BD99954MWV/BD99954GW 選定のフローチャート(パッケージ、入力電圧範囲)

2-2 使用に関するフローチャート (入力電流、終端電流、IMVP8、逆流対策)

BD99954 の使用可否を判定するためのフローチャートは下記となります。

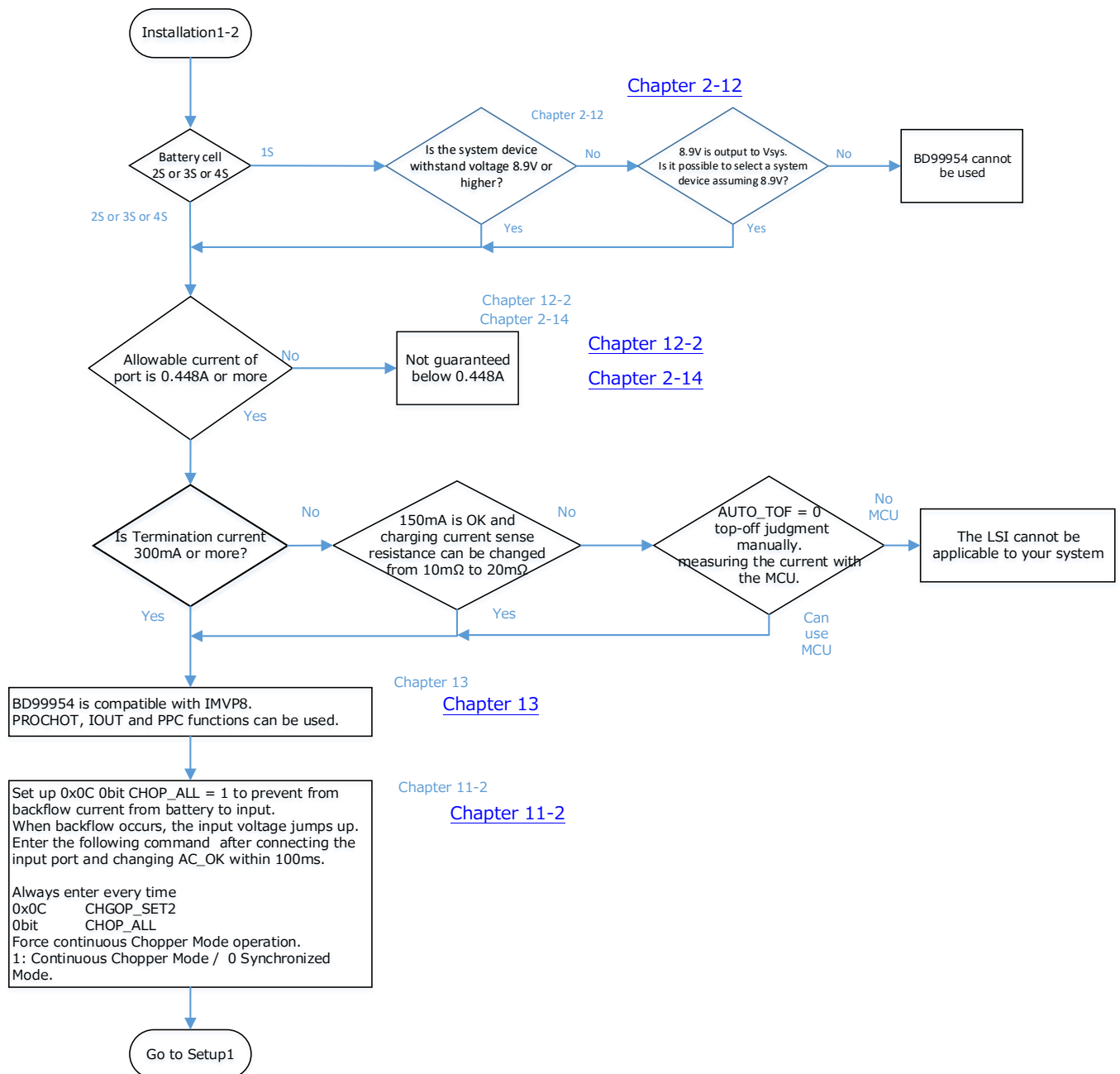


Figure 2-2. BD99954MWV/BD99954GW 選定のフローチャート(入力電流、終端電流、IMVP8、逆流対策)

2-3 Setup1 レジスタ設定のフローチャート (VCC と VBUS 優先順位とバッテリーセル数)

VCC と VBUS の入力ポートの優先順位設定、及びバッテリーセル数に関するレジスタ設定のフローチャートは下記となります。

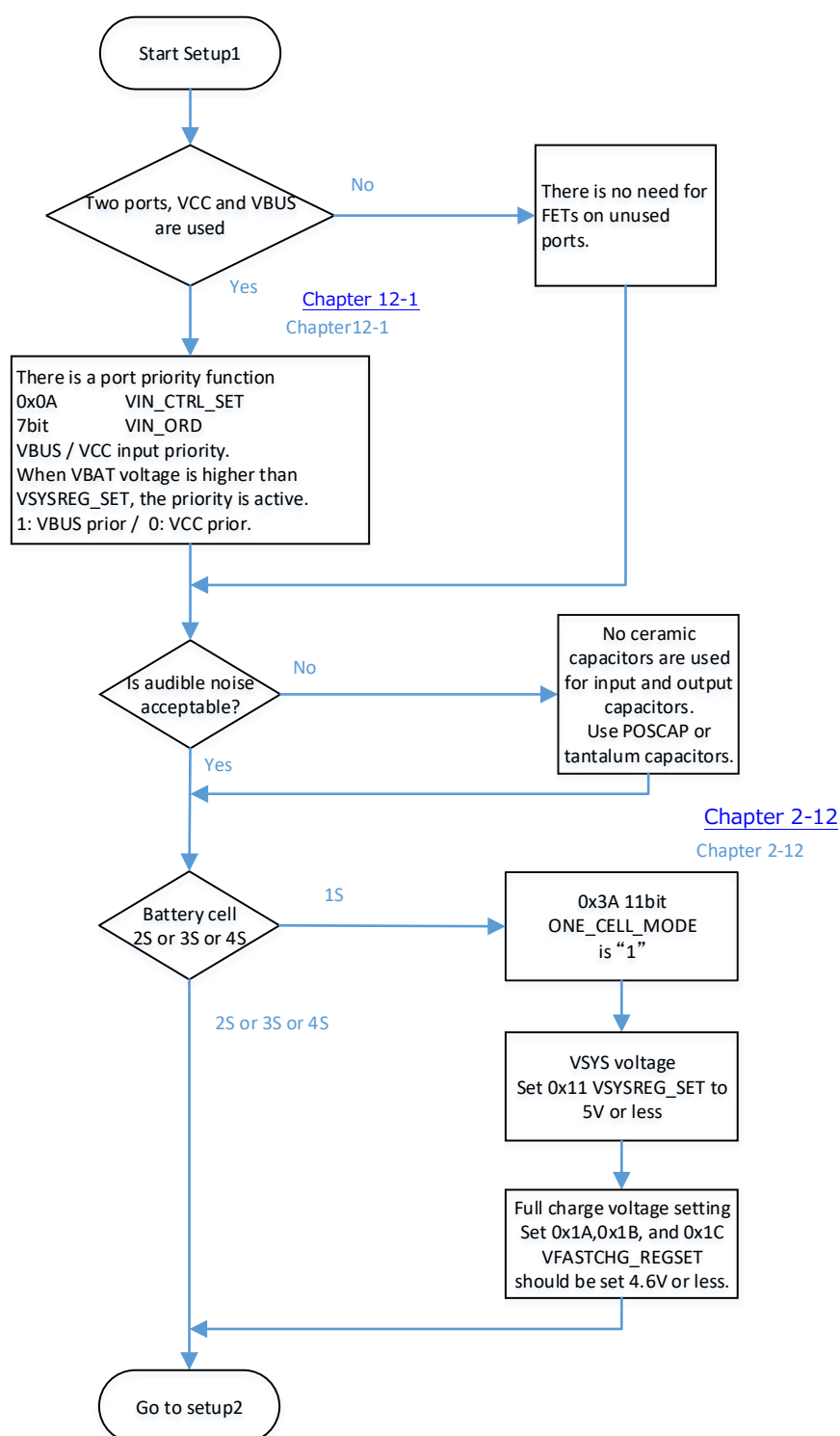


Figure 2-3. バッテリーセル数での選定フローチャート

2-4 Setup2 レジスタ設定のフローチャート (終端電流、充電電流、充電電圧設定)

終端電流と充電電流、充電電圧のレジスタ設定のフローチャートは下記となります。

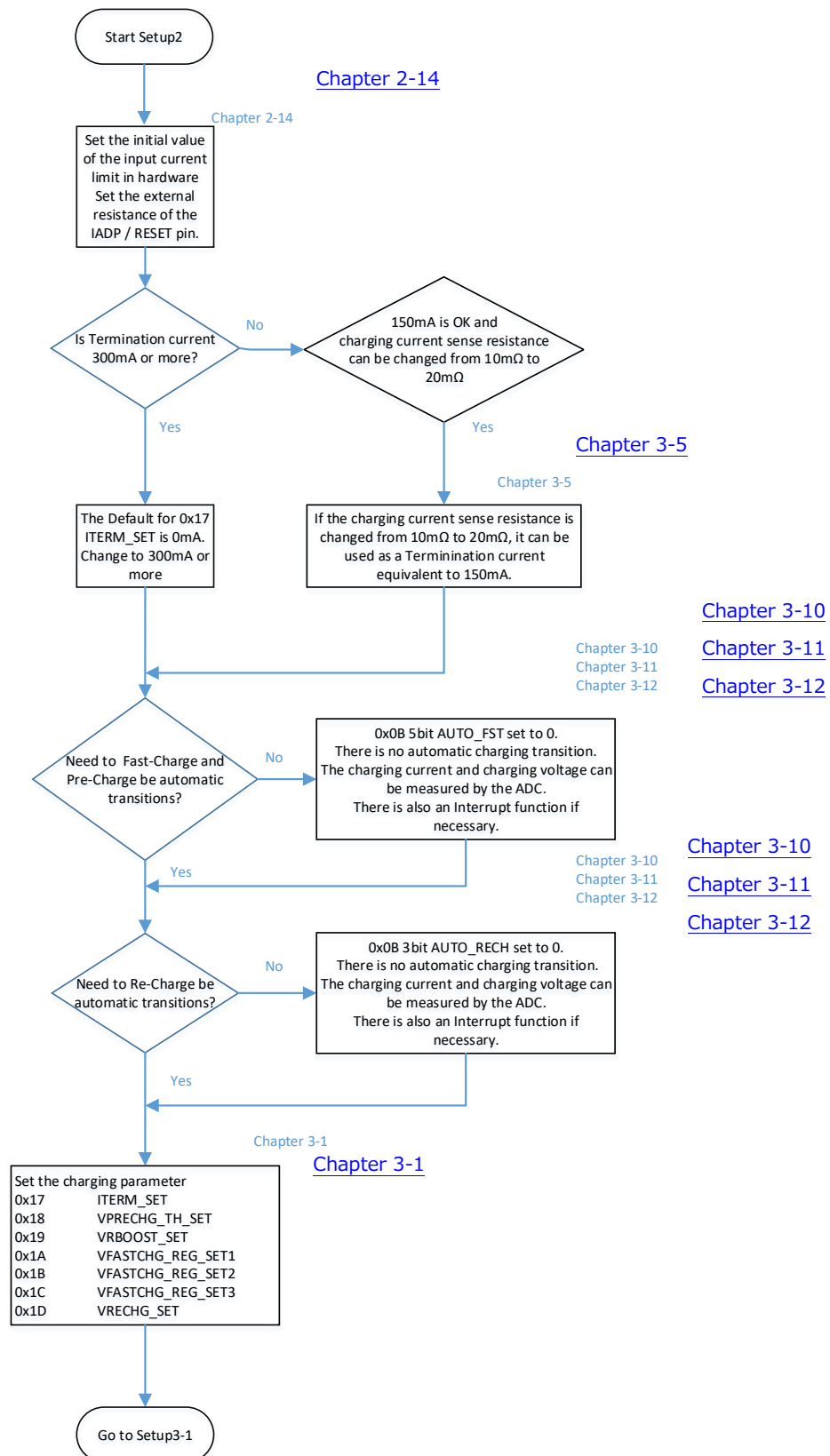


Figure 2-4. 充電設定のフローチャート

2-5 Setup3-1 レジスタ設定のフローチャート (BC1.2、USB ポート検出)

VCCとVBUSの入力ポートのBC1.2 USBポート検出に関するレジスタ設定のフローチャートは下記となります。

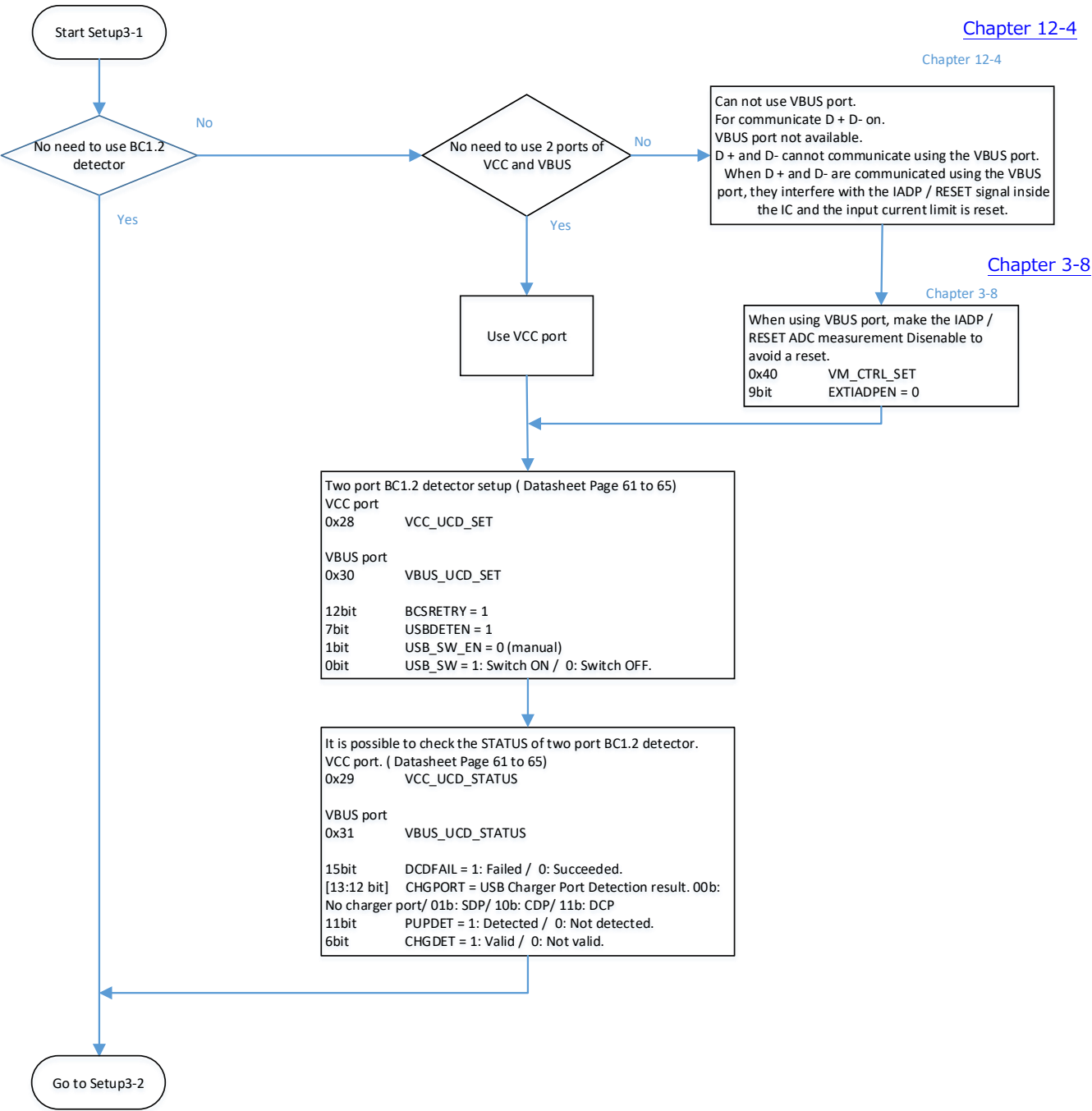


Figure 2-5. BC 1.2 設定のフローチャート

2-6 Setup3-2 レジスタ設定のフローチャート (BC1.2、USB ID 検出)

VCCとVBUSの入力ポートのBC1.2 USBポートのID検出に関するレジスタ設定のフローチャートは下記となります。

[Chapter 3-8](#)
Chapter 3-8

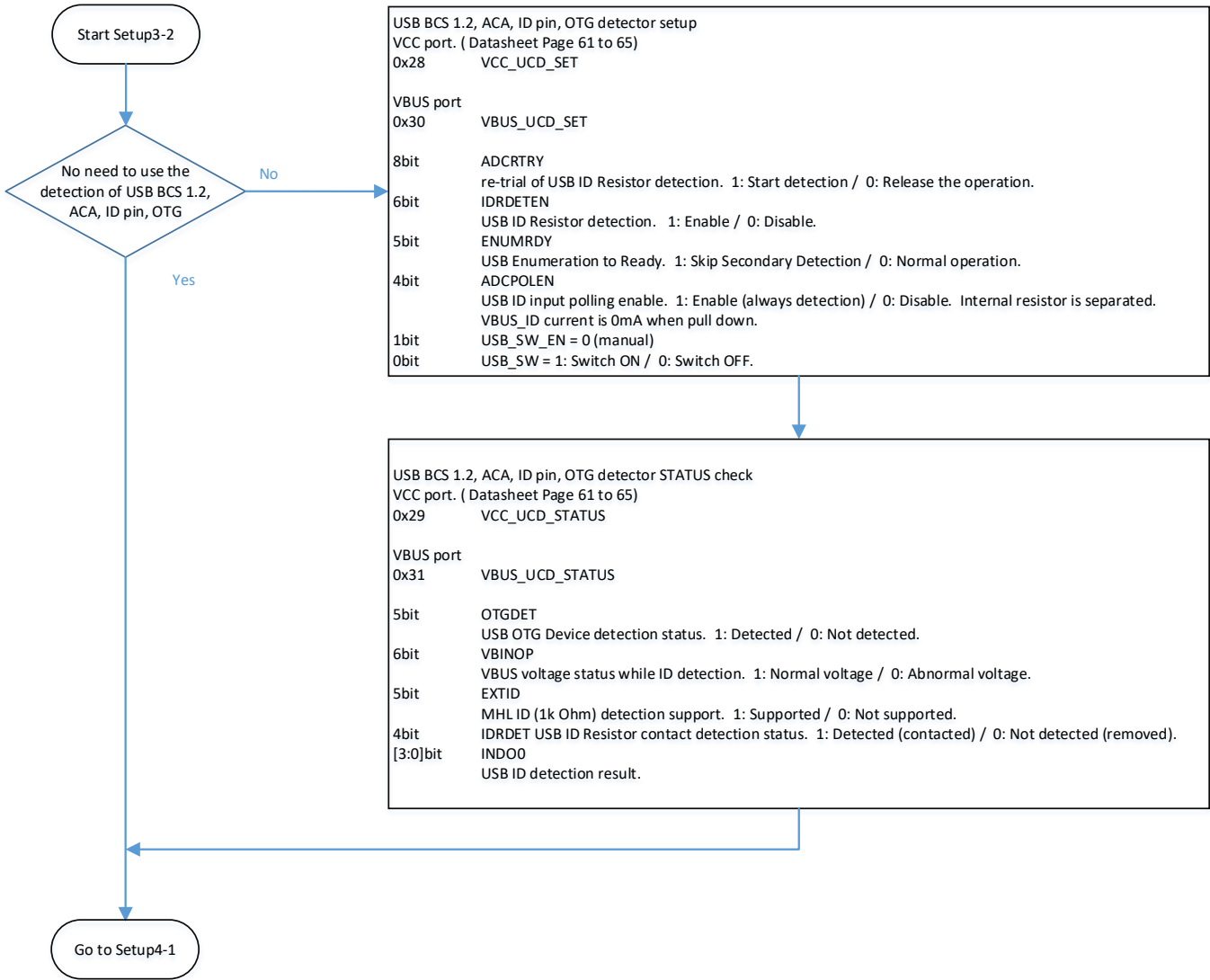


Figure 2-6. BC 1.2 ID 検出設定のフローチャート

2-7 Setup4-1 レジスタ設定のフローチャート (JEITA プロファイル設定)

JEITA プロファイル設定に関するレジスタ設定のフローチャートは下記となります。

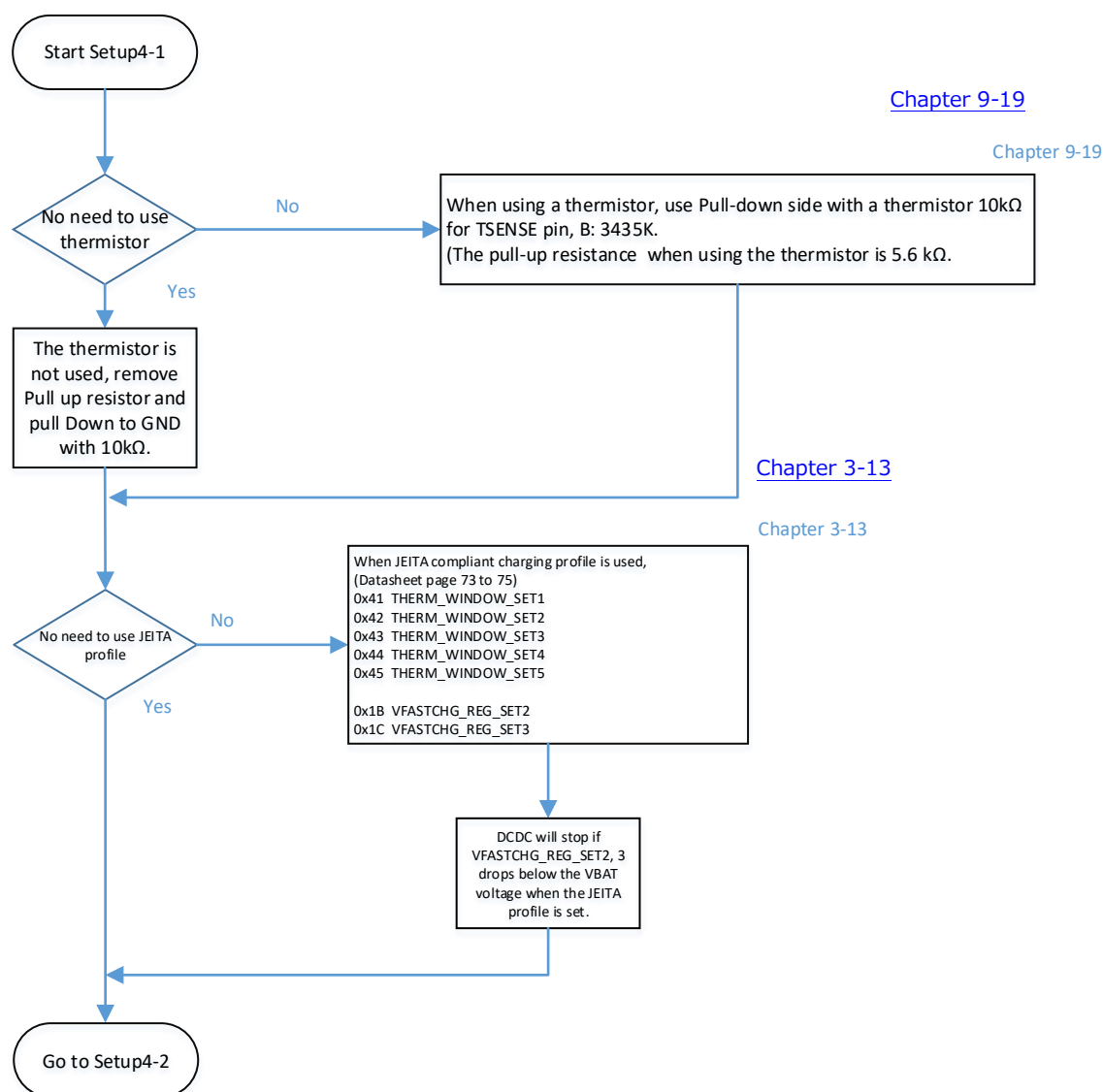


Figure 2-7. JEITA プロファイル設定のフローチャート

2-8 Setup4-2 レジスタ設定のフローチャート 続き (IMVP8、PROCHOT、PMON 設定)

IMVP8、PROCHOT、PMON 設定に関するレジスタ設定のフローチャートは下記となります。

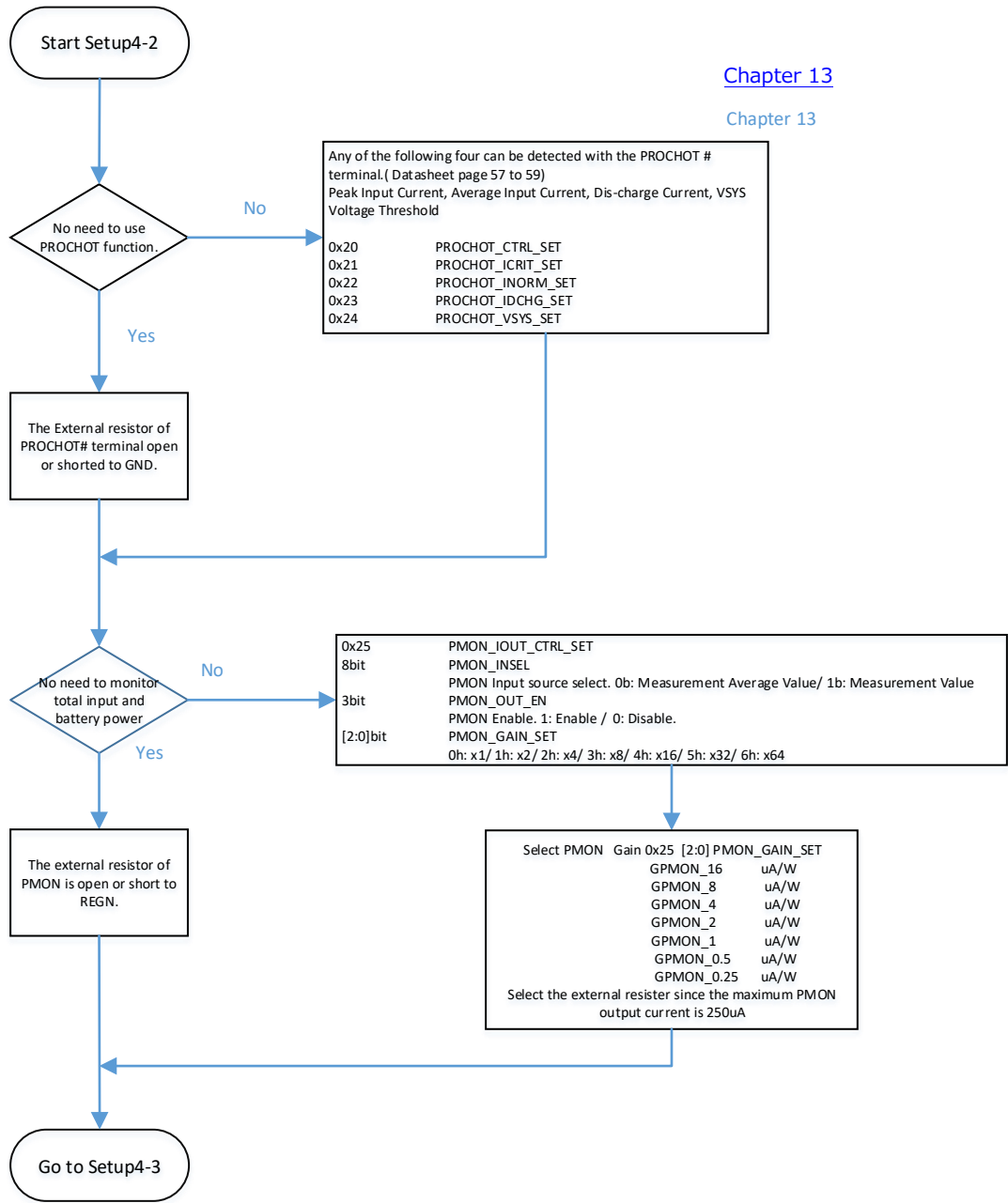


Figure 2-8. IMVP8、PROCHOT、PMON 設定のフローチャート

2-9 Setup4-3 レジスタ設定のフローチャート 続き (IMVP8、IOUT 設定)

IMVP8、IOUT 設定に関するレジスタ設定のフローチャートは下記となります。

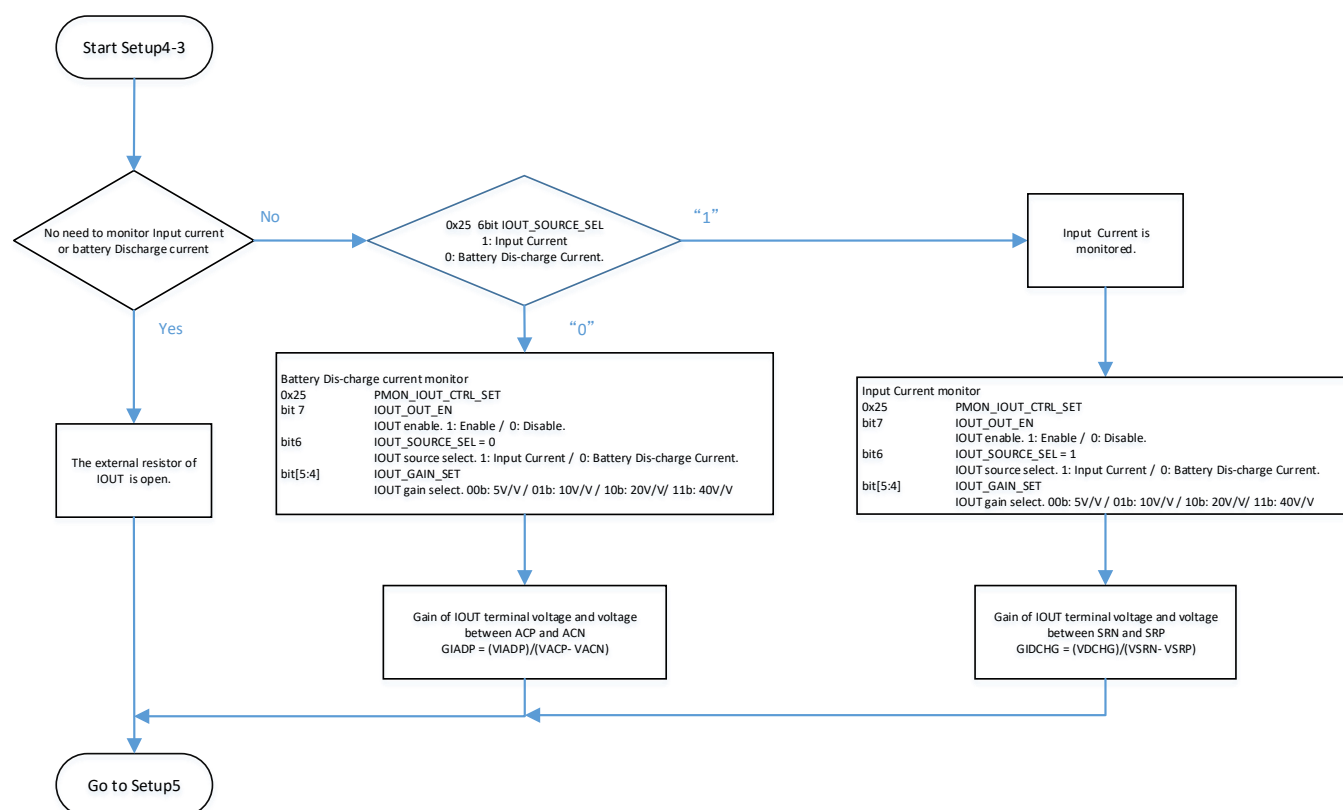


Figure 2-9. IMVP8 IOUT 設定のフローチャート

2-10 Setup5 レジスタ設定のフローチャート (VBAT learn、Operation Frequency、Power save mode 設定)

VBAT learn、Operation Frequency、Power save mode 設定に関するレジスタ設定のフローチャートは下記となります。

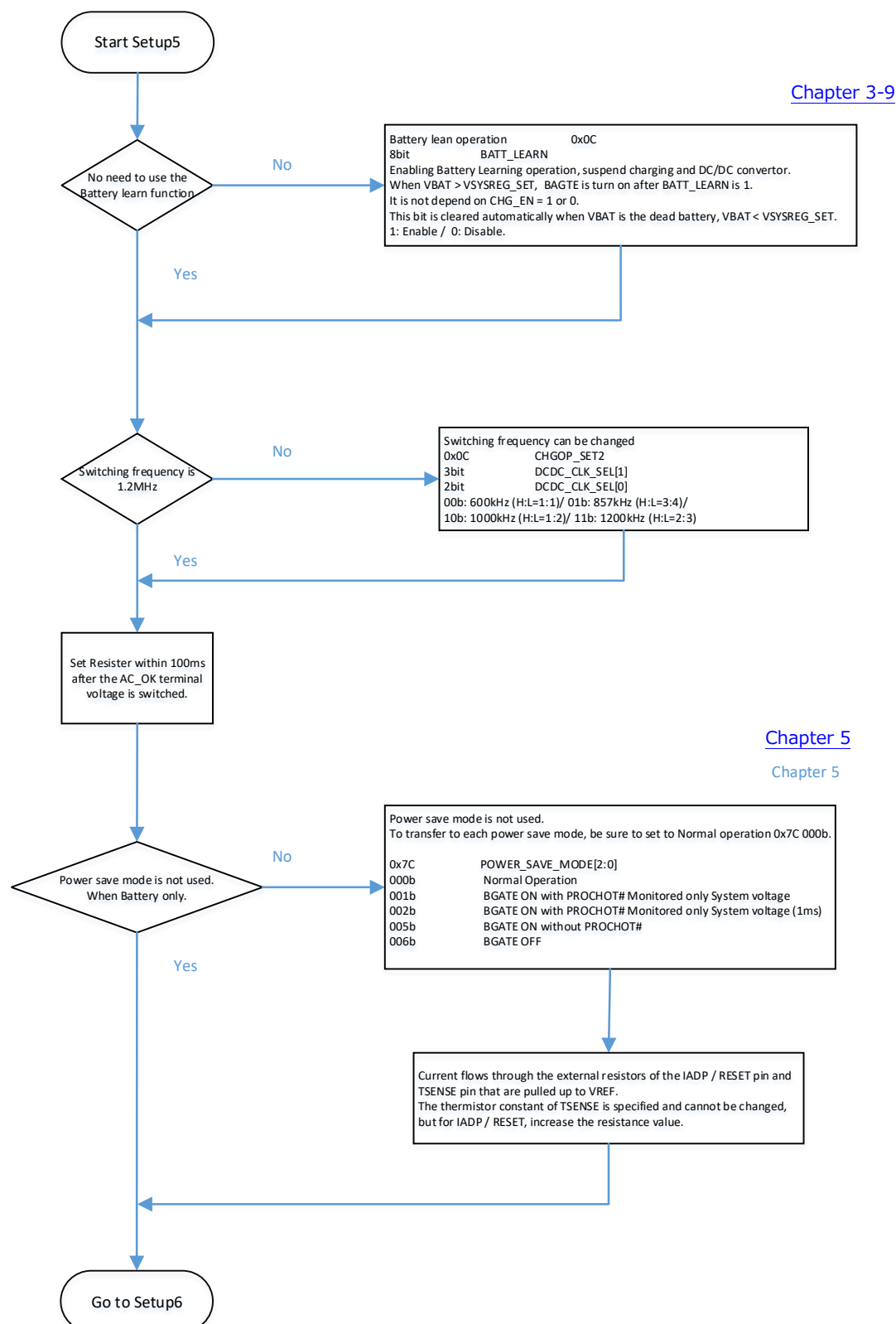


Figure 2-10. VBAT learn、動作周波数、Power Save mode 設定のフローチャート

2-11 Setup6 外付け部品選定、レイアウトパターン設計のフローチャート

MOSFET、インダクタ、ACP、ACN の入力電流検出回路、充電電流検出回路の部品選定とレイアウトパターン注意点に関するフローチャートは下記となります。

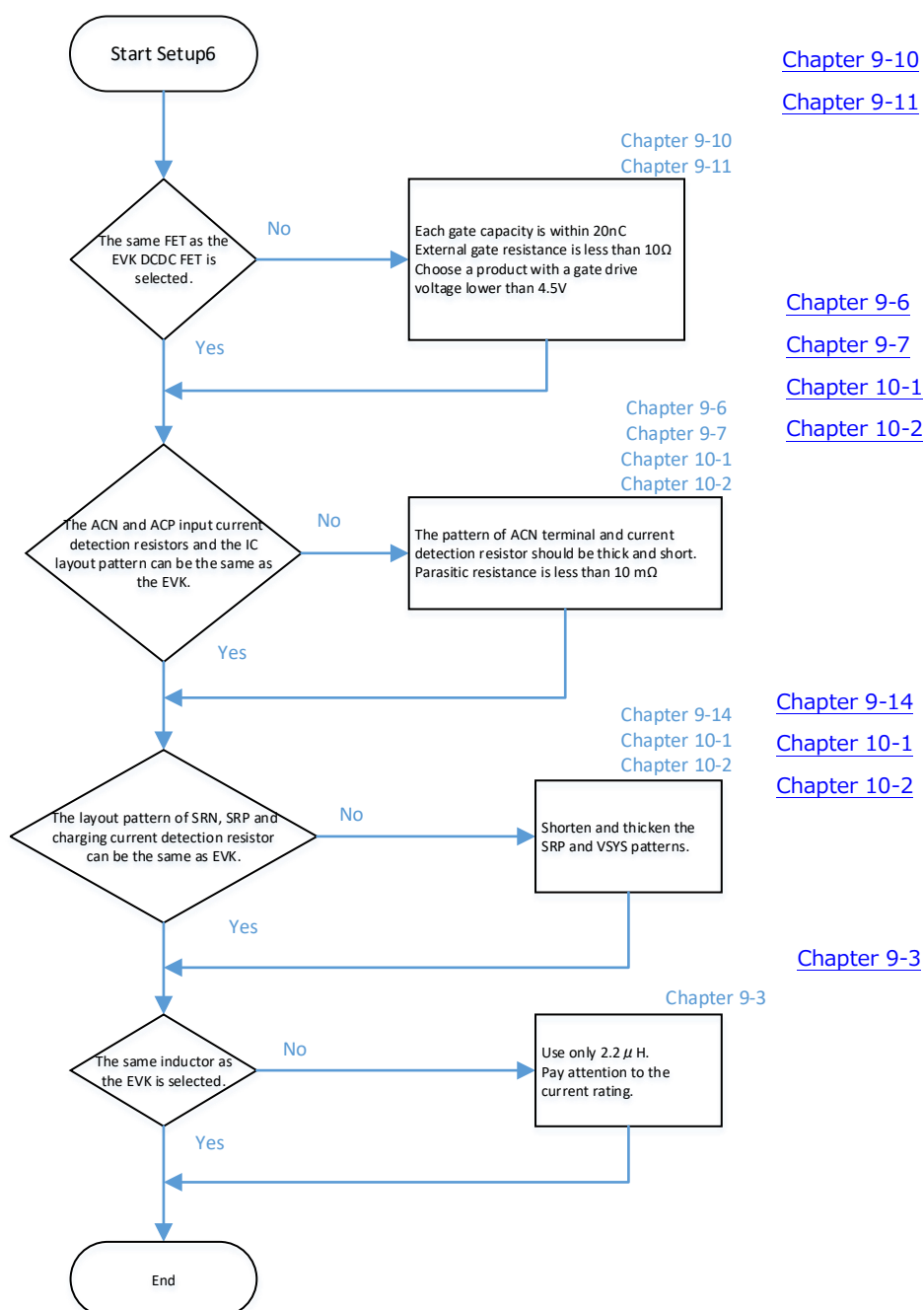


Figure 2-11. 部品選定のフローチャート

2-12 バッテリ 1S(セル)と 2S(セル)~4S(セル)での設定

BD99954 は入力に電源供給されると、システム側には 8.9V が出力されます。1 セルで使用する場合、システム側のデバイスは 8.9V よりも高い耐圧の製品を選定してください。DCDC が起動する前に、0x3A 11bit ONE_CELL_MODE を 1 に設定してください。また、0x11 VSYSREG_SET は 5.5V 以下に設定し、0x1A, 0x1B, 0x1C の VFASTCHG_REG_SET は 4.55V 以下に設定してください。Default 設定は 2 セルです。3 セルと 4 セル用で使用する場合、充電プロファイル設定の変更や VBAT OVP の再設定を行う必要があります。

2-13 入力電圧

VCC と VBUS の入力電圧の推奨動作範囲は 3.8V から 25V です。5V から 20V のアプリケーションを想定しています。入力電圧の UVLO 検出は Typical で 3.67V です。下回ると DCDC と充電動作はオフします。再び入力電圧が 3.8V 以上に上昇すると復帰します。

2-14 入力電流制限について

入力電流制限は、次の方法で設定できます。

- ・起動時の初期設定：IADP/RESET 端子の分圧抵抗またはデフォルトの最小値 128mA
- ・0x0B の VCC_BC_DISEN または VBUS_BC_DISEN が 0 の時の BC1.2 のポート検出値
- ・ホストからの 0x07 IBUS_LIM_SET および 0x08 ICC_LIM_SET のレジスタ書き込み

起動時または入力電圧挿入時の入力電流制限

ビット EXTIADPEN = 0 (ビット 9、レジスタ 0x40) の場合、入力電流制限は 128mA (デフォルトの最小値) に設定されます。

ビット EXTIADPEN = 1 (ビット 9、レジスタ 0x40) の場合、入力電流制限は IADP/RESET ピンの分圧器によって設定されます。

起動後または入力電圧挿入後の入力電流制限

0x0B の VCC_BC_DISEN または VBUS_BC_DISEN が 0 の場合、VCC または VBUS の挿入時に BC1.2 検出値に入力電流制限を設定できます。

それ以外の場合、入力電流制限は起動時の初期設定値を維持します。

通常の操作では

入力電流制限はホストからの SMBus コマンドで設定できます。使用する入力に応じて、レジスタ IBUS_LIM_SET または ICC_LIM_SET に書き込みます)

入力電圧を取り除くと、入力電流制限は次のようにリセットされます。

EXTIADPEN = 0 (ビット 9、レジスタ 0x40) の場合、デフォルトの最小値は 128mA です。

EXTIADPEN = 1 (ビット 9、レジスタ 0x40) の場合、IADP / RESET 端子の分圧値によって決まります。

入力電流制限の設定方法について Figure 2-12 にフローチャートを記載します。フローチャート内の下線付きの青文字をクリックするとリンク先の章に移動します。

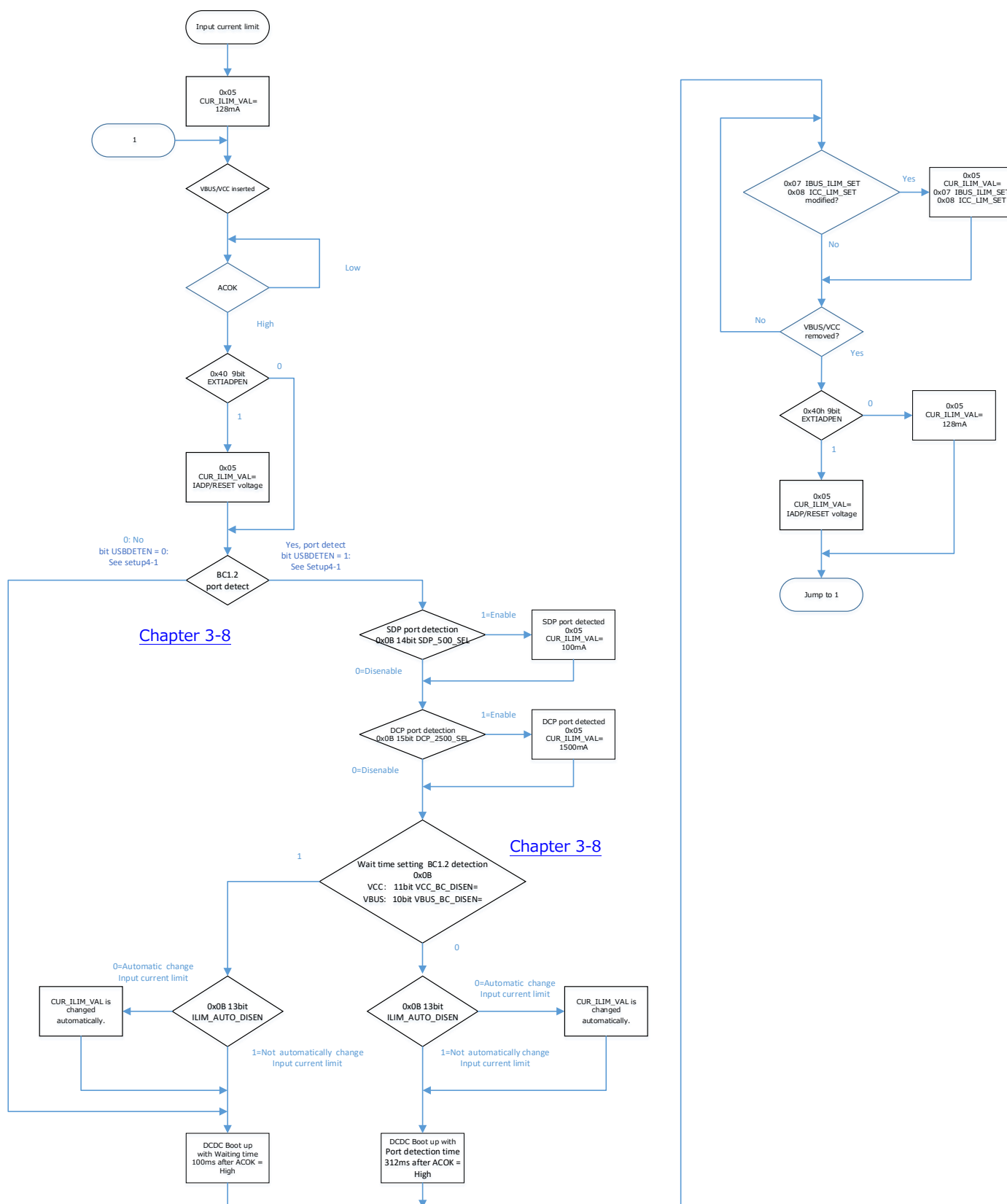
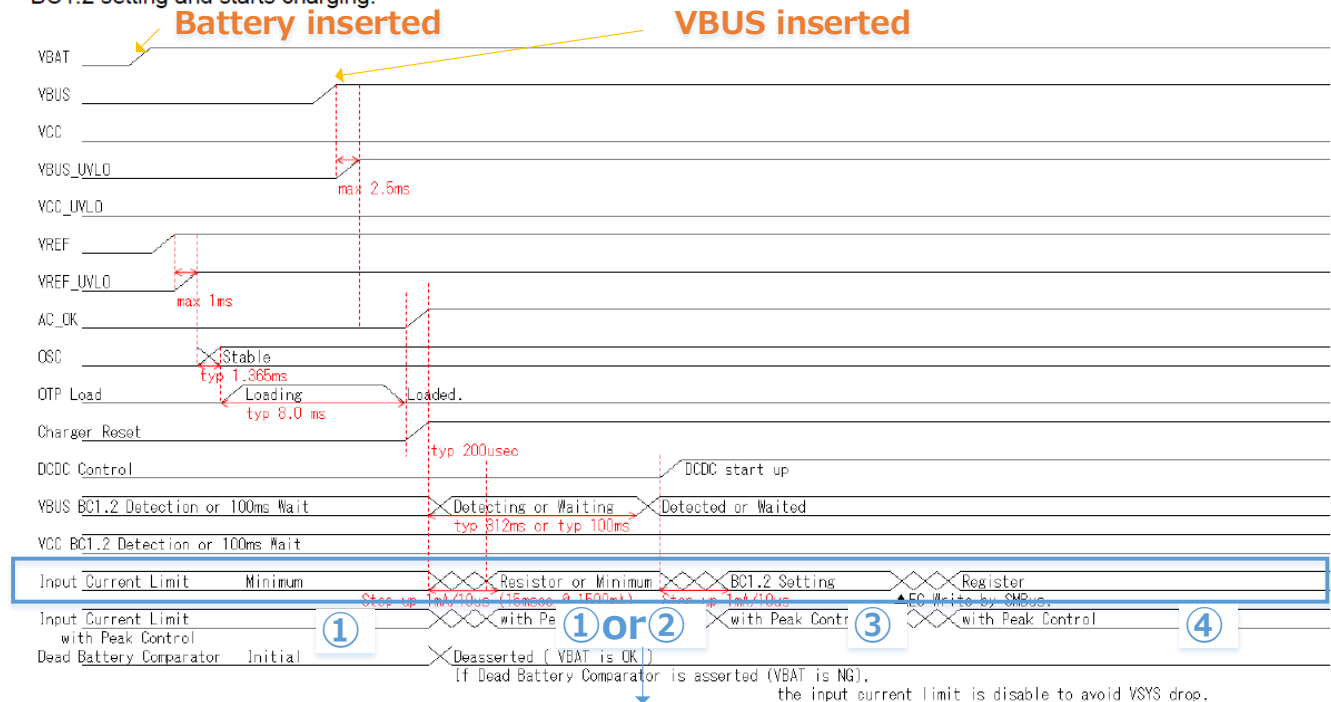


Figure 2-12. 入力電流制限の設定フローチャート

VBAT と VBUS と VCC を接続したときの入力電流制限は Figure 2-13、Figure 2-14 のようになります。VBUS が接続する前は最小値の 128mA に設定されています。接続後に AC_OK 端子が High となると、0x40 の 9 ビット EXT_IADPEN=1 であれば、IADP/RESET 端子の外付け抵抗による入力電流制限値になります。BC1.2 検出を設定している場合、BC1.2 ポートの電流制限値に設定されます。ホストからの 0x07 IBUS_LIM_SET および 0x08 ICC_LIM_SET のレジスタを書き込む事で入力電流制限値を変更する事ができます。

7.9.1. VBAT power on and VBUS/VCC plugged-in

At the first VBAT power on, BD99954 starts OTP loading. And when VBUS or VCC is eventually plugged in, BD99954 asserts ACOK and starts the BC1.2 Detection sequence. After the BC1.2 Detection is completed, BD99954 limits the input current, reflects the BC1.2 setting and starts charging.



EXTIADPEN = 1の場合、IADP/RESET端子の抵抗分圧の設定になる。それ以外の場合、最小= 128mA

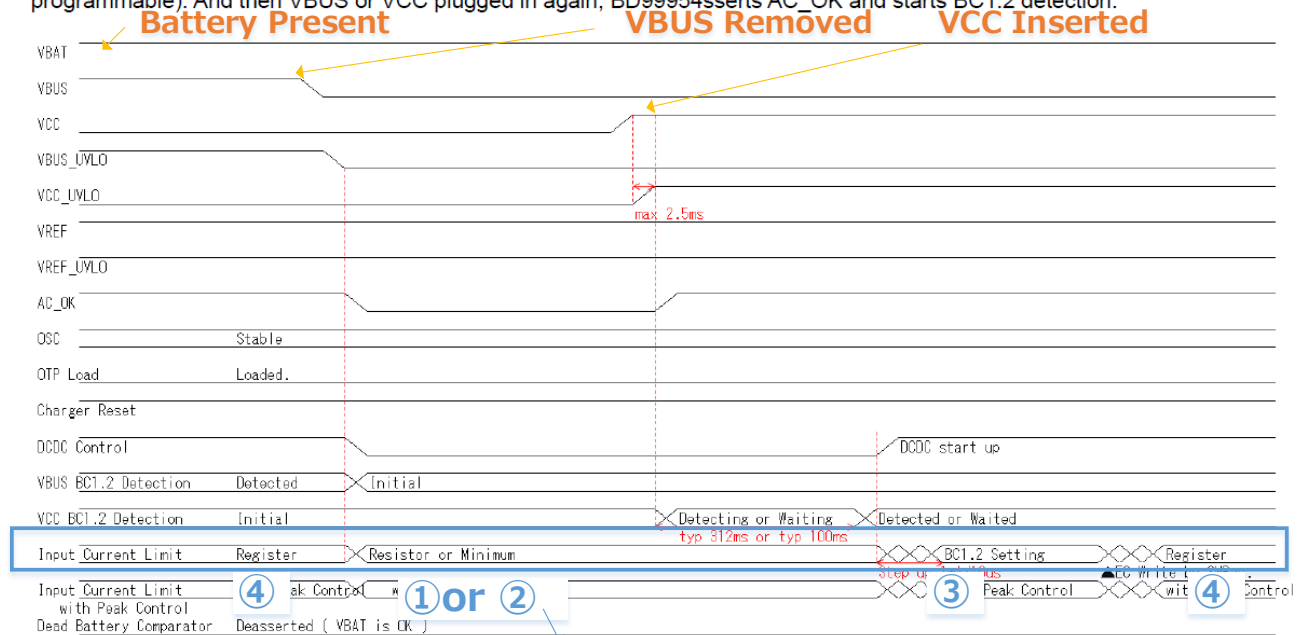
入力電流制限：

- ① 最小値：128mA（初期設定）
- ② 抵抗：IADP / RESET端子の分圧抵抗で設定（EXTIADPEN = 1の場合）
- ③ BC1.2：BC1.2が有効になっている場合、入力電流制限はBC1.2によって設定されます
- ④ レジスタ設定：MCUからSMBusで設定する値

Figure 2-13. Plug in 時の入力電流設定値の関係

7.9.2. VBUS/VCC plugged-off

When VBUS plugged off, BD99954 deasserts AC_OK and limits input current as IADP external pin or minimum setting (it is programmable). And then VBUS or VCC plugged in again, BD99954 asserts AC_OK and starts BC1.2 detection.



EXTIADPEN = 1の場合、IADP/RESET端子の抵抗分圧の設定になる。それ以外の場合、最小= 128mA

入力電流制限：

- ① 最小値：128mA（初期設定）
- ② 抵抗：IADP / RESET端子の分圧抵抗で設定（EXTIADPEN = 1の場合）
- ③ BC1.2：BC1.2が有効になっている場合、入力電流制限はBC1.2によって設定されます
- ④ レジスタ設定：MCUからSMBusで設定する値

Figure 2-14. Plug off 時の入力電流設定値の関係

IADP/RESET 端子に Figure 2-15 のように分圧抵抗を接続する事で、Figure 2-16 のように入力電流制限を設定することができます。この入力電流制限は Figure 2-13、Figure 2-14 の②のタイミングで設定されます。

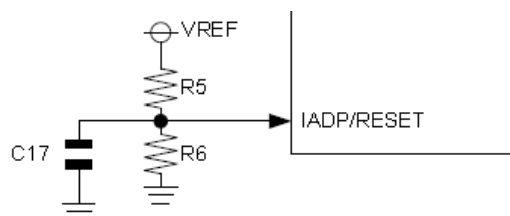


Figure 2-15. IADP/RESET 端子 分圧抵抗回路図

IADP/RESET 端子電圧を 0.44V 未満にすることで、BD99954 は DCDC と充電動作などすべての機能を停止します。全てのレジスタ設定は初期値にリセットされます。動作中にリセットする事は可能ですが、強制的に全動作が停止します。再起動時にコンデンサに電荷が残った状態から

起動する可能性があるため、注意が必要です。

BD99954 は DCDC 動作時に外付け FET にゲートチャージ電流が流れるため、自己消費電流は約 50mA となります。入力電流制限を 100mA と小さくすると起動しない状態になる可能性があります。従いまして、IADP/RESET 端子電圧設定は、Figure 2-16 中に記載の点線の範囲内で使用する必要があります。IC 起動（OTP ロード）時は、IADP/RESET 端子電圧設定による入力電流制限値となりますので、起動しない状態に陥ります。

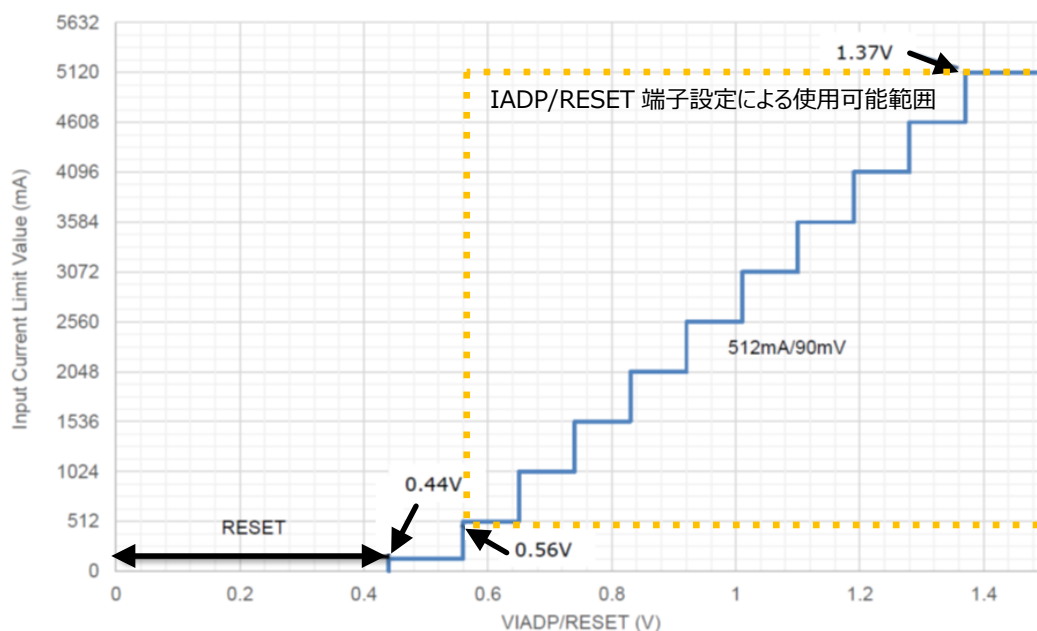


Figure 2-16. IADP/RESET 端子電圧と入力電流設定値の関係

VBUS/VCC のポート設定レジスタ（Address 0x07/0x08 IBUS_LIM_SET/IVV_LIM_SET）は、データシート P12 の Table 7-2 に記載の値（Figure 2-17 中に赤線囲み）以外の値の精度は保証いたしません。

Table 7-2 Electrical Characteristics for DC/DC Converter

Adapter=18.0V, Battery=7.4V, LX1=LX2=0.0V, GND=0V, Ta=25°C (unless otherwise noted.)

| Item | Symbol | Value | | | Unit | Condition |
|-------------------------------|----------------------|-------|------|-------|------|----------------------|
| | | Min. | Typ. | Max. | | |
| <INPUT CURRENT> | | | | | | |
| USB 500mA Current Accuracy | I _{USB500} | 398 | 448 | 500 | mA | REG0x07h/08h=01C0h |
| USB 900mA Current Accuracy | I _{USB900} | 764 | 832 | 900 | mA | REG0x07h/08h=0340h |
| BC1.2 1500mA Current Accuracy | I _{USB1500} | 1380 | 1440 | 1500 | mA | REG0x07h/08h=05A0h |
| USB-PD 3A Current Accuracy | I _{USB3000} | 2824 | 2912 | 3000 | mA | REG0x07h/08h=0B60h |
| USB-PD 5A Current Accuracy | I _{USB5000} | 4792 | 4896 | 5000 | mA | REG0x07h/08h=1320h |
| Input Current Setting Range | I _{ADPRNG} | 96 | - | 16352 | mA | REG0x07h or REG0x08h |
| Charge Current Setting LSB | I _{ADPLSB} | - | 32 | - | mA | |

Figure 2-17. 入力電流制限レジスタ(Address 0x07/0x08)の設定下限値

3 充電プロフィール

充電プロフィールは、電池のセル数に対応した閾値電圧、ターゲット電圧と電池に適した充電電流を設定することで形作られ、Figure 3-1（データシート Figure 7-5 をベースに加筆）にその代表例と関連レジスタを示します。

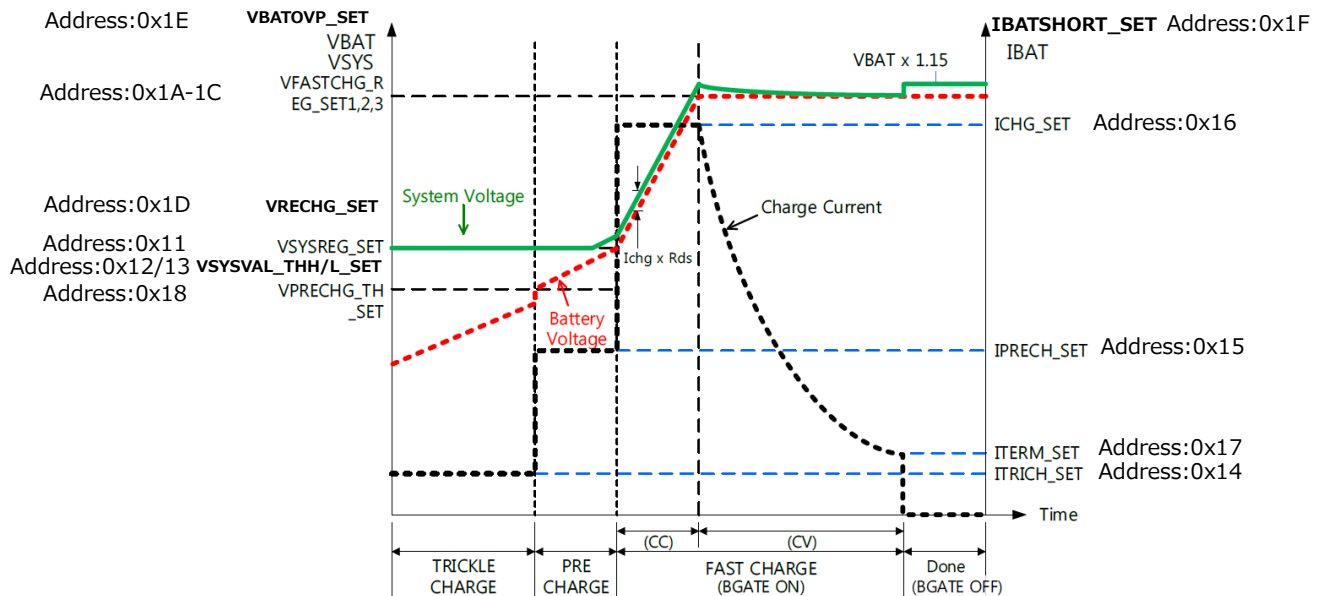


Figure 3-1. 充電プロフィールと関連レジスタ

Figure 3-1 に示した、充電プロフィール関連電圧／電流の上下関係を参考にしてください。

充電電流について、ITERM_SET は [3-5 終端電流 \(Termination current\)](#) に記載しているように、300mA 以上に設定する必要があります。ITERM_SET はアプリケーションによっては IPRECH_SET や ITRICH_SET よりも大きくなりますが問題ありません。

・充電電流

$IBATSHORT_SET > ICHG_SET > IPRECH_SET \geq ITRICH_SET > ITERM_SET$

・充電電圧について

CV 充電電圧を開始する VFASTCHG_REG_SET1,2,3 は [3-13 JEITA 温度プロフィール](#) に記載しているように温度プロフィールに合わせて電圧を設定することができます。JEITA 温度プロフィールを使用しないのであれば、VFASTCHG_REG_SET1,2,3 は同じ値に設定してください。

$VBATOV_P_SET > VFASTCHG_REG_SET1,2,3 > VRECHG_SET > VSYSREG_SET > VSYSVAL_THH_SET > VSYSVAL_THL_SET > VPRECHG_TH_SET$

3-1 充電プロファイル関連レジスタ群

充電プロファイル関連レジスタ群とその使い方および設定による充電プロファイル中での動作について、Table 3-1a, Table 3-1b にまとめて示します。

Table 3-1a. 充電プロファイル関連レジスタ群とその使い方および設定による充電プロファイル中の動作

| address | Write Registers Name | Description in Datasheet | 使い方/設定による充電プロファイル中の動作 |
|---------|----------------------|---|--|
| 0x11 | VSYSREG_SET | VSYS regulation voltage setting and threshold voltage from Pre-charging to Fast-charging. | VSYS 出力電圧の下限值となります。 CC 充電とともに FASTCHG_REG_SET に向け上昇します。 |
| 0x12 | VSYSVAL_THH_SET | VSYS voltage rising detection threshold with hysteresis. | VSYS 電圧の出力を停止する閾値電圧設定値です。 |
| 0x13 | VSYSVAL_THL_SET | VSYS voltage falling detection threshold with hysteresis. | VSYS 電圧の出力を停止する閾値電圧設定値です。電圧が、VSYS_THH_SET を超えると VSYS が出力され、VSYS_THL_SET より低下すると、DCDC のスイッチングが停止し、出力を停止します。充電中は、VSYSVAL_THH/L_SET を変更し、VSYS 電圧が、閾値越えをしても VSYS 電圧の動作は変わりません。 |
| 0x14 | ITRICH_SET | Trickle-charging current setting. | Tricle 充電電流設定です。CC 充電電流の 1/10 程度を推奨します。 |
| 0x15 | IPRECH_SET | Pre-charging current setting. | Pre-charge 充電電流設定です。CC 充電電流の 1/10 程度を推奨します。 |
| 0x16 | ICHG_SET | Fast-charging current setting. | CC 充電電流設定です。電池に合わせて設定します。 |
| 0x17 | ITERM_SET | Charging Termination Current. | 充電終止電流設定です。IBAT が、この設定以下になったら充電を終了します。 |
| 0x18 | VPRECHG_TH_SET | Threshold voltage from Trickle-charging to Pre-charging. | Tricle→Pre 充電への閾値電圧設定です。ITRICH から IPRECH への遷移電圧を設定します。 |
| 0x1A | VFASTCHG_REG_SET1 | Fast Charging Regulation Voltage. | 満充電電圧設定値です。 サーミスタ未使用の場合は、 VFASTCHG_REG_SET2/3 の設定を有効にするには OTP ロード値で、0x41-45 : THERM_WINDOW_SET1-5 が正しく設定されている必要がありますので、合わせて確認してください。 |
| 0x1B | VFASTCHG_REG_SET2 | Fast Charging Regulation Voltage for the JEITA temperature range T3-T5. | |
| 0x1C | VFASTCHG_REG_SET3 | Fast Charging Regulation Voltage for the JEITA temperature range T5-T4 and T1-T2. | |
| 0x1D | VRECHG_SET | Re-charge Battery Voltage. | 再充電開始電圧閾値設定です。CC 充電電圧範囲に収まるように設定します。 |
| 0x1E | VBATOVP_SET | Battery over-voltage detection threshold. | BATT 電圧の OVP 閾値設定です。 VFASTCHG_REG_SET1 の+10%程度を推奨します。 |

Table 3-1b. 充電プロファイル関連レジスタ群とその使い方および設定による充電プロファイル中の動作(続き)

| address | Write Registers Name | Description in Datasheet | 使い方/設定による充電プロファイル中の動作 |
|---------|----------------------|--|--|
| 0x1F | IBATSHORT_SET | Battery Short Current Protection Threshold. | BATT 電流 OCP 閾値設定です。Interrupt 機能のみで 0x1F で閾値を設定し、ウォッチドッグタイマ 0x10 の WDT_IBAT_SHORT が完了すると 0x01 のビット<6> IBAT_SHORT が"1"になります。DCDC、及び充電は停止せず、動作を継続します。 |
| 0x48 | VBAT_TH_SET | Battery Voltage Interrupt Threshold. 0 to 19,200mV, 1mV steps. | BATT 電圧の割り込み閾値設定です。0x6B : INT3_SET[9:8]の判定値です。 |

Figure 3-2 では、充電プロファイル関連レジスタ群がどの IC 内部回路で機能するかを示しています。

図中の水色セルが、充電プロファイル関連レジスタ群を表しており、その配置場所（水色セルの右側信号名）が、機能する箇所を示しています。

図中の同一信号名は、接続している状態を表しています。（例：BATT 端子と MUX 入力の BATT）

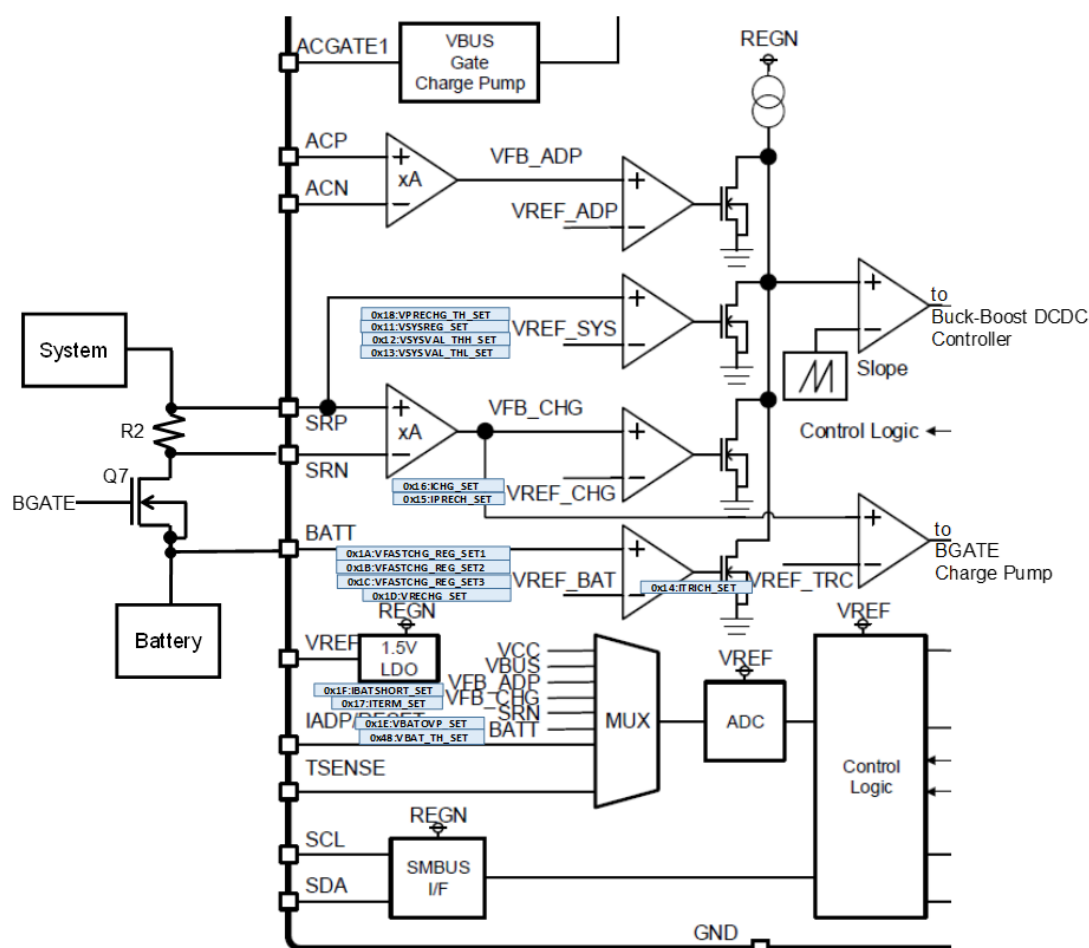


Figure 3-2. 充電プロファイル関連レジスタ群が機能するブロック

3-2 充電プロファイル関連レジスタ群の精度

Figure 3-2 中の充電プロファイル関連レジスタ群（水色セル）はレジスタ設定値によって精度が異なります。

例えば、VSYS 電圧の設定値となる VSYSREG_SET は、アンプ回路のリファレンス電圧として機能するため、その精度は、Table 3-2（データシート Table 7-2 より一部抜粋）の様に、±数%となります。

Table 3-2. VSYSREG_SET の精度

| Item | Symbol | Value | | | Unit | Condition |
|--------------------------------------|---------------------|-------|--------|-------|------|---|
| | | Min. | Typ. | Max. | | |
| <MINIMUM SYSTEM VOLTAGE> | | | | | | |
| Minimum System Voltage Setting Range | V _{MSVRNG} | 2.560 | - | 19.2 | V | VSYSREG_SET=2,560 ~ 19,200mV, 64mV steps. |
| Minimum System Voltage Setting LSB | V _{MSVLSB} | - | 64 | - | mV | |
| Minimum System Voltage accuracy | V _{MSV1} | -2.0% | 3.072 | +2.0% | V | REG0x11h=0C00h |
| | V _{MSV2} | -1.0% | 6.144 | +1.0% | V | REG0x11h=1800h |
| | V _{MSV3} | -2.0% | 9.216 | +2.0% | V | REG0x11h=2400h |
| | V _{MSV4} | -2.0% | 12.288 | +2.0% | V | REG0x11h=3000h |

3-3 Fast charge 電流、Pre-Charge 電流、Trickle-Charge 電流

充電電流の設定値となる Fast-Charge 電流の ICHG_SET と Pre-Charge 電流の IPRECH_SET、及び Trickle-Charge 電流の ITRICH_SET の精度は、Table 3-3（データシート Table 7-4 より一部抜粋）の様に、条件によって±2%から±40%となります。

Table 3-3. 充電電流の精度

| Item | Symbol | Value | | | Unit | Condition |
|--|------------------------|-------|------|-------|------|--|
| | | Min. | Typ. | Max. | | |
| <CHARGE CURRENT> | | | | | | |
| Charge Current Setting Range | I _{CHGRNG} | 0 | - | 16384 | mA | REG0x16h |
| Charge Current Setting LSB | I _{CHGLSB} | - | 64 | - | mA | |
| Charge Current accuracy (10mΩ current sense resistor, BATT > Minimum System Voltage) | I _{CHG1} | -2% | 4096 | +2% | mA | REG0x16h =1000h |
| | I _{CHG2} | -3% | 2048 | +3% | mA | REG0x16h =0800h |
| | I _{CHG3} | -5% | 1024 | +5% | mA | REG0x16h =0400h |
| | I _{CHG4} | -20% | 256 | +20% | mA | REG0x16h =0100h |
| | I _{CHG5} | -40% | 128 | +40% | mA | REG0x16h =0080h |
| Trickle Charge Current Setting Range | I _{TRCCHGRNG} | 0 | 256 | 1024 | mA | REG0x14h or REG0x15h |
| Trickle Charge Current Setting LSB | I _{TRCCHGLSB} | - | 64 | - | mA | |
| Maximum Trickle Charge Current (10mΩ current sense resistor, BATT < Minimum System Voltage) | I _{CHG6} | - | 1024 | - | mA | REG0x14h or REG0x15h |

3-4 充電停止電圧

満充電電圧の設定値となる終端電圧の VFASTCHG_REG_SET1, 2, 3 の精度は、Table 3-4（データシート Table 7-4 より一部抜粋）の様に、±0.5%となります。

Table 3-4. 満充電電圧の精度

| Item | Symbol | Value | | | Unit | Condition |
|------------------------------|--------------------|-------|--------|--------|------|-------------------------------|
| | | Min. | Typ. | Max. | | |
| <CHARGE VOLTAGE> | | | | | | |
| Charge Voltage Setting Range | V _{CVRNG} | 2.560 | - | 19.200 | V | REG0x1A, REG0x1Bh or REG0x1Ch |
| Charge Voltage Setting LSB | V _{CVLSB} | - | 16 | - | mV | |
| Charge Voltage accuracy | V _{CV1S} | -0.5% | 4.192 | +0.5% | V | REG0x1Ah/0x1Bh/0x1Ch=1060h |
| | V _{CV2S} | -0.5% | 8.400 | +0.5% | V | REG0x1Ah/0x1Bh/0x1Ch=20D0h |
| | V _{CV3S} | -0.5% | 12.592 | +0.5% | V | REG0x1Ah/0x1Bh/0x1Ch=3130h |
| | V _{CV4S} | -0.5% | 16.800 | +0.5% | V | REG0x1Ah/0x1Bh/0x1Ch=41A0h |
| VBAT OVP Detection range | V _{OVRNG} | 2.56 | - | 19.2 | V | REG0x1Dh |

3-5 終端電流 (Termination current)

MUX の左側に配置された ITERM_SET など、ADC の測定値との比較で、その設定値の上下を判定しますので、これらには、ADC の測定誤差や ADC の有効測定範囲を含むことになります。これらの精度は、データシート 7.8.1 と 7.8.2 (P17) に記載しています。これらで、特に注目すべきところを Figure 3-3 中に赤枠で示します。

7.8. 12-bit ADC

7.8.1. Outline

- 12-bit Successive Approximation Register A/D Converter
- Input Voltage range: 2.0 to 19.2V (BATT)
- Input Voltage range: 2.0 to 25V (VBUS, VCC, ACP, SRP)
- Input Voltage range: 0.1 to 1.4V (TSENSE)
- Input Voltage range: 0.1 to 1.4V (IADP/RESET)
- Current monitor range: 0.3 to 16.384A (IACP)
- Current monitor range: 0.3 to 25A (IBAT)

7.8.2. Electrical Characteristics

Table 7-7 Electrical Characteristics for 12-bit SAR-ADC

(Unless otherwise specified, Ta=25°C, VREF=1.5V)

| Parameter | Symbol | Specification | | | Unit | Condition |
|-------------------|---------|---------------|-----|------|------|-----------------------------------|
| | | Min | Typ | Max | | |
| <12-bit SAR ADC> | | | | | | |
| Resolution | RES | - | - | 12 | bit | |
| Conversion Period | TCONV | - | 20 | - | μs | |
| Gain Error 1 | Gerr1 | -1.1 | - | +1.1 | % | BATT,VBUS,VCC,ACP, SRP=5V and 15V |
| Gain Error 2 | Gerr2 | -1.1 | - | +1.1 | % | TSENSE,IADP/RESET =0.5V and 1.0V |
| Gain Error 3 | Gerr3 | -1.1 | - | +1.1 | % | IACP,IBAT=1.5A and 8A |
| VOffset error | Voffset | -110 | | 110 | mV | |
| IOffset error | Ioffset | -110 | - | 110 | mA | |

Figure 3-3. ADC 測定値を判定材料とするレジスタ群の精度

すなわち、下限値(ITERM > 0.3A、VBUS > 2.0V)かつ、電圧（電流）値で、±110mV(mA)±1.1%の精度となります。下限値以下の読み値は、精度保証の対象外です。

また、ICHG_SET などの電流値については、Figure 3-2 から、R2 に流れる電流による電圧降下を電位差としてモニタしていますので、電流検出抵抗 R2 の値により、コンパレート値が変化します。データシート P14 で、保証している充電電流値(データシート Table 7-4 中の“CHARGE CURRENT”部分)は、すべて R2=10mΩ の場合です。R2 の推奨値としては 10mΩ および、20mΩ の二通りです。R2=20mΩ は、ICHG_SET が大きくない場合、ITERM_SET の精度を向上させる目的で使用可能です。

BD99954 は 10mΩ の電流検出抵抗の両端の電圧を電流換算しています。R2=20mΩ にすると抵抗両端の電圧は 10mΩ のときの 2 倍になるので、セットのソフトウェア設計で充電電流設定値は 10mΩ のときの 2 倍に設定してください。

R2=20mΩの場合の精度は、ADC 測定値との比較による判定値と Figure 3-2 中の SRP-SRN を入力とする電流検出アンプゲイン(Figure 3-2 中の“x A”)の設定により異なります。この回路の動作を、Table3-5 に示します。

Table3-5. R2 が 10mΩと 20mΩの場合の精度の変化

| ADC 測定値による値 | | | | |
|----------------------|----------------------------------|---------|---------|--|
| 項目 | データシート記載箇所 | 10mΩ時精度 | 20mΩ時精度 | 回路動作 |
| Gain Error3 | Table7-7 5 行目 | ±1.1% | ±0.55% | 誤差を含んだ ADC 測定値ごと抵抗比で圧縮されるため、精度が向上。 |
| I Offset Error | Table7-7 7 行目 | ±110mA | ±55mA | |
| 電流検出アンプによる値 | | | | |
| ICHG1 (4096mA ターゲット) | Table7-4 Charge Current accuracy | ±2% | ±2% | REG0x16(ICHG_SET)の設定値により、電流検出アンプゲインを段階的に変えるため(レジスタ値大＝ゲイン小)。ただし、10mΩでのステップでの保証値以外は、保証しない。 |
| ICHG2 (2048mA ターゲット) | | ±3% | | |
| ICHG3 (1024mA ターゲット) | | ±5% | ±3% | |
| ICHG4 (256mA ターゲット) | | ±20% | ±20% | |
| ICHG5 (128mA ターゲット) | | ±40% | | |

電流検出抵抗 R2 を、さらに大きくした場合、電流検出アンプが誤動作し、BGATE=OFF になる可能性があり充電が正しく行えません。

3-6 充電プロファイル関連レジスタ群の電池セル数ごとのレジスタ代表値の例

Table 3-6 に、2,3,4 セル使用時の各レジスタの設定値の代表例を示します。表中の充電電流は、 $R2=10m\Omega$ 時の値です。

これらは、安全性を考慮した値としていますが、EVK 評価時ではもとより、実セット基板の評価におきましては使用される電池特性に合わせて、十分な検討・評価をお願いします。

なお、Table 3-6 中の最右列に、基準セル電圧 $4.2V \times$ 直列セル数 (N) に対する比率を記載しましたので、設定値設計の参考にしてください。また、電流設定値の代表数値例については、3000mAh の電池を 1C 充電する事を仮定した 1C に対する推奨比率をイタリック体で記載しています。(ITERM_SET については、前項 3-5 で記載に従った下限値を記載しています。)

Table 3-6. 充電プロファイル関連レジスタ群の電池セル数ごとのレジスタ代表値の例

| address | Code name | Unit | 1 Cell write (HEX) | Physical (DEC) | 2 Cell write (HEX) | Physical (DEC) | 3 Cell write (HEX) | Physical (DEC) | 4 Cell write (HEX) | Physical (DEC) |
|---------|-------------------|------|-----------------------|-------------------|-----------------------|-------------------|-----------------------|-------------------|-----------------------|-------------------|
| 0x11 | VSYSREG_SET | mV | 0BB8 | 3000 | 1880 | 6272 | 24C0 | 9408 | 3140 | 12608 |
| 0x12 | VSYSVAL_THH_SET | mV | 09C4 | 2500 | 1580 | 5504 | 2040 | 8256 | 2B00 | 11008 |
| 0x13 | VSYSVAL_THL_SET | mV | 08A0 | 2208 | 1340 | 4928 | 1D40 | 7488 | 2700 | 9984 |
| 0x14 | ITRICH_SET | mA | 0100 | 256 | 0100 | 256 | 0100 | 256 | 0100 | 256 |
| 0x15 | IPRECH_SET | mA | 0140 | 320 | 0140 | 320 | 0140 | 320 | 0140 | 320 |
| 0x16 | ICHG_SET | mA | 0BA0 | 2976 | 0BA0 | 2976 | 0BA0 | 2976 | 0BA0 | 2976 |
| 0x17 | ITERM_SET | mA | 0140 | 320 | 140 | 320 | 0140 | 320 | 0140 | 320 |
| 0x18 | VPRECHG_TH_SET | mV | 09C4 | 2500 | 1040 | 4160 | 1880 | 6272 | 20C0 | 8384 |
| 0x1A | VFASTCHG_REG_SET1 | mV | 1068 | 4200 | 20D0 | 8400 | 3140 | 12608 | 41A0 | 16800 |
| 0x1B | VFASTCHG_REG_SET2 | mV | 0FA0 | 4000 | 2000 | 8192 | 3010 | 12304 | 4010 | 16400 |
| 0x1C | VFASTCHG_REG_SET3 | mV | 0ED8 | 3800 | 1F40 | 8000 | 2EE0 | 12000 | 3E80 | 16000 |
| 0x1D | VRECHG_SET | mV | 0F3C | 3900 | 1FB0 | 8112 | 2C90 | 11408 | 3B60 | 15200 |
| 0x1E | VBATOV_P_SET | mV | 1168 | 4456 | 22D0 | 8912 | 3330 | 13104 | 47E0 | 18400 |
| 0x1F | IBATSHORT_SET | mA | 1F40 | 8000 | 1F40 | 8000 | 1F40 | 8000 | 1F40 | 8000 |
| 0x48 | VBAT_TH_SET | mV | 0BEA | 3050 | 1800 | 6144 | 2400 | 9216 | 3000 | 12288 |

表中の黄色セルは、OTP ロード値から変更した設定値となります (OTP ロードの方法/ロード値は、“Li イオン電池マネージャ クイックリファレンス (1)”を参照してください。)。OTP ロード値は、2 セルをターゲットとした値(IC 設計コンセプト 1)ですが、Table 3-6 の代表値例に合わせるためには、黄色セルの変更が必要です。

電流検出抵抗 $R2 = 20m\Omega$ とした場合、表中の充電電流の“Physical”の真値は、レジスタ設定値(DEC) $\times (10/20)$ となります。(例: ITERM_SET に 320mA(0140h)を設定した場合の、真値は 160mA)

3-7 充電の開始

0x0C:CHGOP_SET2 の bit7 : CHG_EN = 1 にすることで、充電が開始されます。

前項 3-6 に記載のレジスタ設定だけでは、ポート (VBUS/VCC) 設定や割込み設定は、OTP ロード値 (OTP ロードされている前提) のままであるので、必要に応じて最適化が必要です。ただし、充電プロファイルを実行することは可能です (IC 設計コンセプト 3)

3-8 BC1.2 対応

VCC_UCD_SET 0x28 と VBUS_UCD_SET 0x30 の USBDET_EN [6h] を Enable に設定する事で VCC_UCD_STATUS 0x29 と VBUS_UCD_STATUS 0x31 の STATUS から D+、D- のアダプタ検出結果を確認することができます。BD1.2 以外のポートには対応していません。

Table 3-7. BC1.2 検出結果

| | CHGDET | PUPDET | DCDFAIL | CHGPORT[1] | CHGPORT[0] |
|----------------------|--------|--------|---------|------------|------------|
| VBUS Open | 0 | 0 | 0 | 0 | 0 |
| SDP | 0 | 0 | 0 | 0 | 1 |
| CDP | 1 | 0 | 0 | 1 | 0 |
| DCP | 1 | 0 | 0 | 1 | 1 |
| Pull-up Port | 0 | 1 | 1 | 0 | 1 |
| Open Port | 0 | 0 | 1 | 0 | 1 |
| Unstable Port | 0 | 0 | 1 | 0 | 1 |

BD99954 は BC1.2 Detector 機能を内蔵しています。検出した結果を STATUS として確認できます。

ポートの D+、D- の抵抗値を直接 HOST 側に出力する Switch を内蔵しています。内部スイッチ切替タイミングに制約はありません。

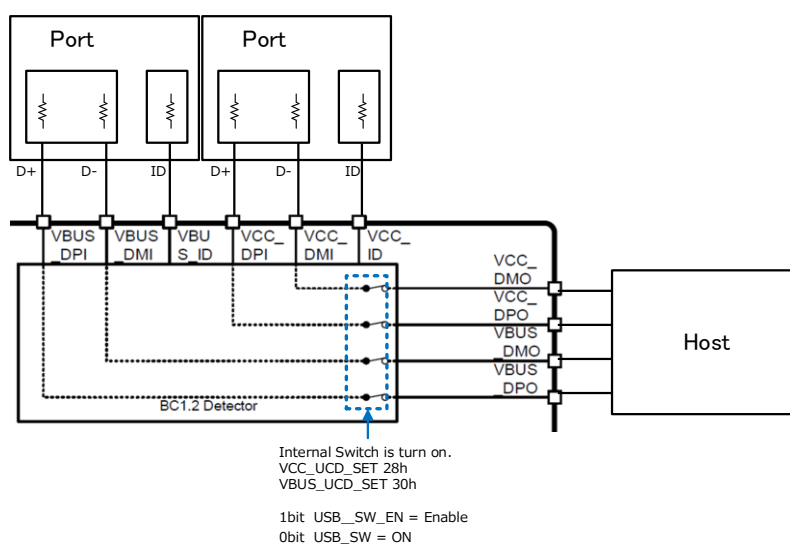


Figure 3-4. D+, D-ポート 検出回路

D+, D-のアダプタ検出設定

VCC_UCD_SET 0x28、VBUS_UCD_SET 0x30 のレジスタで BC1.2 検出方法を設定できます。D+、D-検出用の内部スイッチをコントロールする事ができます。

Table 3-8. D+、D-アダプタ検出設定

| Bit | Symbol | Description |
|-----|-----------|---|
| 15 | reserved | |
| 14 | reserved | |
| 13 | reserved | |
| 12 | BCSRETRY | Trigger for re-trial of the USB Charger Port detection. "1": Start detection / "0": Release the operation. |
| 11 | reserved | |
| 10 | reserved | |
| 9 | reserved | |
| 8 | ADCRTRY | Trigger for re-trial of USB ID Resistor detection. "1": Start detection / "0": Release the operation. |
| 7 | USBDETEN | Enabling USB Charger port detection. "1": Enable / "0": Disable. |
| 6 | IDRDETEN | Enabling USB ID Resistor detection. "1": Enable / "0": Disable. |
| 5 | ENUMRDY | Setting USB Enumeration to Ready. "1": Skip Secondary Detection / "0": Normal operation. |
| 4 | ADCPOLN | USB ID input polling enable. "1": Enable (always detection) / "0": Disable. |
| 3 | DCDMODE | DCD timeout period setting. "1": 1280 ms / "0": 640 ms. |
| 2 | reserved | |
| 1 | USB_SW_EN | Enabling automatic USB-Switch control. "1": Enable (auto) / "0": Disable (manual). |
| 0 | USB_SW | USB Switch manual control. "1": Switch ON / "0": Switch OFF. |

D+, D-のアダプタ検出結果 STATUS の確認

VCC_UCD_STATUS 0x29、VBUS_UCD_STATUS 0x31 で BC1.2 検出結果を確認できます。

Table 3-9. D+、D-アダプタ検出 STATUS 確認

| Bit | Symbol | Description |
|-----|------------|--|
| 15 | DCDFAIL | DCD (USB Data Contact Detection) failed (timeout) status. "1": Failed / "0": Succeeded. |
| 14 | reserved | |
| 13 | CHGPORT[1] | USB Charger Port Detection result. 00b: No charger port/ 01b: SDP/ 10b: CDP/ 11b: DCP |
| 12 | CHGPORT[0] | |
| 11 | PUPDET | Pull-up detected at Primary Detection after DCDFAIL. "1": Detected / "0": Not detected. |
| 10 | reserved | |
| 9 | reserved | |
| 8 | reserved | |
| 7 | VBUS_VLD | USB VBUS valid voltage detection status. "1": Valid / "0": Not valid. |
| 6 | CHGDET | USB Charger Port detection status. "1": Detected / "0": Not detected. |
| 5 | reserved | |
| 4 | reserved | |
| 3 | OTGDET | USB OTG Device detection status. "1": Detected / "0": Not detected. |
| 2 | reserved | |
| 1 | reserved | |
| 0 | reserved | |

D+, D-のアダプタ検出結果 STATUS の確認

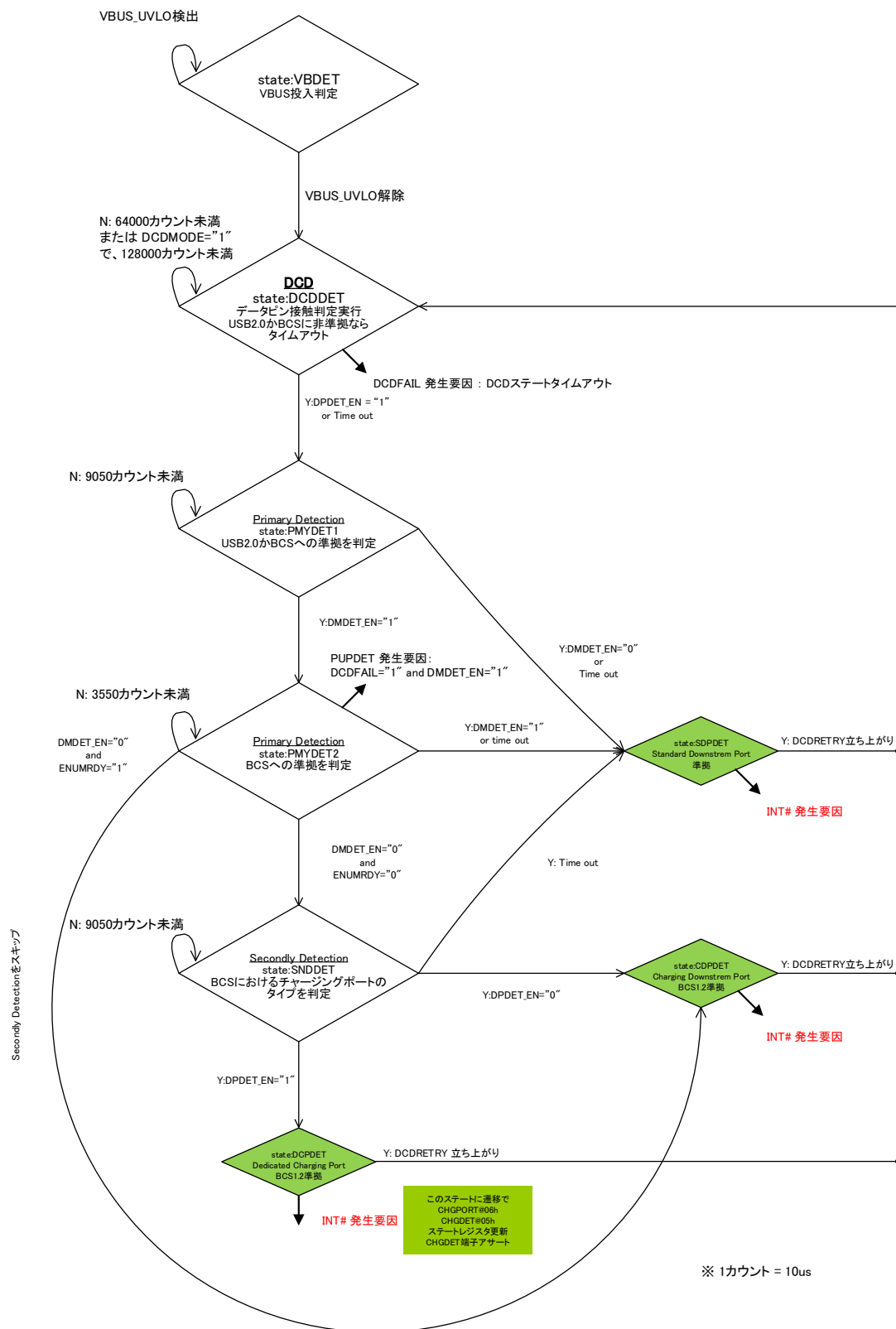


Figure 3-5. BC1.2 検出フローチャート

ID 検出

VCC_IDD_STATUS 0x2A、VBUS_IDD_STATUS 0x32 で ID 検出した STATUS を確認する事ができます。

ID 検出結果 STATUS の確認

Table 3-10. ID 検出設定

| Bit | Symbol | Description |
|-----|----------|---|
| 15 | reserved | |
| 14 | reserved | |
| 13 | reserved | |
| 12 | reserved | |
| 11 | reserved | |
| 10 | reserved | |
| 9 | reserved | |
| 8 | reserved | |
| 7 | reserved | |
| 6 | VBINOP | VBUS voltage status while ID detection. "1": Normal voltage / "0": Abnormal voltage. |
| 5 | EXTID | Check MHL ID (1k Ohm) detection support. "1": Supported / "0": Not supported. |
| 4 | IDRDET | USB ID Resistor contact detection status. "1": Detected (contacted) / "0": Not detected (removed). |
| 3 | INDO[3] | USB ID detection result. |
| 2 | INDO[2] | |
| 1 | INDO[1] | |
| 0 | INDO[0] | |

INDO[3:0]で USB ID 検出結果を確認する事ができます。

Table 3-11. ID 検出 STATUS 確認

| INDO | ID Resistance | Detected Port/Device |
|------|---------------|----------------------|
| 0h | 0 - 10Ω | RID_GND (OTG) |
| 1h | 36.5kΩ | RID_C (ACA_C, SDP) |
| 2h | 47kΩ | - |
| 3h | 68kΩ | RID_B (ACA_B, DCP) |
| 4h | 102kΩ | - |
| 5h | 124kΩ | RID_A (ACA_A, CDP) |
| 6h | 180kΩ | - |
| 7h | 200kΩ | RID_FLOAT |
| 8h | 287kΩ | - |
| 9h | 390kΩ | - |
| Ah | 440kΩ | - |
| Bh | 557kΩ | - |
| Ch | 797kΩ | - |
| Dh | >1MΩ | - |
| Eh | 1KΩ | (MHL) |
| Fh | Illegal ID | Unknown |

3-9 Battery Learn

Battery learn を実行するには 0C CHGOP_SET2 8ビットの BATT_LEARN を 1 として Enable にします。

充電動作とDCDCは一時停止します。VBAT > VSYSREG_SET の場合、BATT_LEARN が 1 の後に BAGTE がオンになります。CHG_EN = 1 または 0 には依存しません。このビットは、VBAT 電圧が Dead Battery で VBAT < VSYSREG_SET となると自動的にクリアされます。

3-10 充電関連の ADC 測定値

充電電圧、充電電流の ADC 測定値を下記のレジスタで確認することができます。

“_VAL”は ADC が 1 回測定した値です。”_AVE_VAL”は 2 回測定した値の平均値です。

Table 3-12. 充電関連の ADC 測定レジスタ

| Address | Bit name | bit | Description |
|---------|---------------|--------|--|
| 0x50 | IBATP_VAL | [14:0] | Battery Current (Charge) Measurement Value. 0 to 25,000mA, 1mA steps. |
| 0x51 | IBATP_AVE_VAL | [14:0] | Battery Current (Charge) Measurement Value. 0 to 25,000mA, 1mA steps. Average value measured twice |
| 0x52 | IBATM_VAL | [14:0] | Battery Current (Dis-charge) Measurement Value. 0 to 25,000mA, 1mA steps. |
| 0x53 | IBATM_AVE_VAL | [14:0] | Battery Current (Dis-Charge) Measurement Value. 0 to 25,000mA, 1mA steps. Average value measured twice |
| 0x54 | VBAT_VAL | [14:0] | Battery Voltage Measurement Value. 0 to 19,200mV, 1mV steps. |
| 0x55 | VBAT_AVE_VAL | [14:0] | Battery Voltage Measurement Value. 0 to 19,200mV, 1mV steps. Average value measured twice |

3-11 充電に関連する割り込み(Interrupt)の設定

3-11-1 1st Level 割り込み(Interrupt)設定

割り込み機能は 1st Level と 2nd Level で構成されています。割り込み機能を使用するには 0x68 の INT0_EN を 1 にすることで 0x68 [7:1]の 1st Level の INT1 から INT7 を有効にできます。Table 3-13 は 1st Level の割り込み設定レジスタと対応するステータスレジスタです。STATUS ビットの 1 を確認することで、割り込みが発生したか確認することができます。STATUS ビットは 1 を書き込むことで“0”にリセットできます。割り込みが発生すると外付け抵抗でプルアップされている INT#端子は Low となります。

Table 3-13. 1st Level Interrupt Enable 設定レジスタ

| 0x68 | INT0_SET | 0x70 | INT0_STATUS | |
|------|----------|------|-------------|-----------------------------|
| Bit | Bit name | bit | Bit name | Description |
| 0 | INT0_EN | 0 | INT0_STATUS | 1st Level Interrupt Enable. |

割り込み(Interrupt) 1: Enable / 0: Disable.

ステータス(STATUS) 1: Event occurred / 0: Disable. 1 Write Status clear

3-11-2 2nd Level 割り込み(Interrupt)設定

0x68 [7:1]の 1st Level の INT1_EN から INT7_EN を有効にすることで 0x69、0x6A、0x6B、0x6C、0x6D、0x6E、0x6F の 2nd Level INT1_SET から INT7_SET の割り込みを設定することができます。

Table 3-14. 2nd Level Interrupt Enable 設定レジスタ

| 0x68 INT0_SET | | 0x70 INT0_STATUS | | |
|---------------|----------|------------------|-------------|---|
| bit | Bit name | bit | Bit name | Description |
| 7 | INT7_EN | 7 | INT7_STATUS | 2nd Level Interrupt 7 (SAR-ADC) Enable. |
| 6 | INT6_EN | 6 | INT6_STATUS | 2nd Level Interrupt 6 (Charger) |
| 5 | INT5_EN | 5 | INT5_STATUS | 2nd Level Interrupt 5 (Charger) |
| 4 | INT4_EN | 4 | INT4_STATUS | 2nd Level Interrupt 4 (VSYS) |
| 3 | INT3_EN | 3 | INT3_STATUS | 2nd Level Interrupt 3 (Battery) |
| 2 | INT2_EN | 2 | INT2_STATUS | 2nd Level Interrupt 2 (VCC) |
| 1 | INT1_EN | 1 | INT1_STATUS | 2nd Level Interrupt 1 (VBUS) |

割り込み(Interrupt) 1: Enable / 0: Disable.

ステータス(STATUS) 1: Event occurred / 0: Disable. 1 Write Status clear

3-12 充電に関連する 2nd Level 割り込み(Interrupt)の設定とステータスの確認

充電電流は IBATP_TH_SET 0x46、放電電流は IBATM_TH_SET 0x47、充電電圧は VBAT_TH_SET 0x48 で閾値を設定できます。INT3_SET、INT7_SET のレジスタと Enable にすることで ADC での測定値がこれらの閾値を超えると INT_STATUS のレジスタが 1 となります。STATUS のレジスタは 1 を Write することで 0 にすることができます。STATUS のレジスタを Read するタイミングに制約はありません。

Table 3-15. 充電関連 Interrupt 設定レジスタ

| Address | Address name | bit | Bit name | Description |
|---------|--------------|--------|--------------|---|
| 0x46 | IBATP_TH_SET | [14:0] | IBATP_TH_SET | Battery Current (Charge) Interrupt Threshold. |
| 0x47 | IBATM_TH_SET | [14:0] | IBATM_TH_SET | Battery Current (Dis-Charge) Interrupt Threshold. |
| 0x48 | VBAT_TH_SET | [14:0] | VBAT_TH_SET | Battery Voltage Interrupt Threshold. |
| 0x6B | INT3_SET | 9 | VBAT_TH_DET | Interrupt VBAT Voltage > VBAT_TH_SET. |
| 0x6B | INT3_SET | 8 | VBAT_TH_RES | Interrupt VBAT Voltage <= VBAT_TH_SET. |
| 0x6F | INT7_SET | 3 | IBATM_TH_DET | Interrupt Battery Current (Dis-charge) > IBATM_TH_SET. |
| 0x6F | INT7_SET | 2 | IBATM_TH_RES | Interrupt Battery Current (Dis-charge) <= IBATM_TH_SET. |
| 0x6F | INT7_SET | 1 | IBATP_TH_DET | Interrupt Battery Current (Charge) > IBATP_TH_SET. |
| 0x6F | INT7_SET | 0 | IBATP_TH_RES | Interrupt Battery Current (Charge) <= IBATP_TH_SET. |

Table 3-16. 充電関連 STATUS レジスタ

| Address | Address name | bit | Bit name | Description |
|---------|--------------|-----|--------------|--|
| 0x73 | INT3_STATUS | 9 | VBAT_TH_DET | Interrupt status VBAT Voltage > VBAT_TH_SET. |
| 0x73 | INT3_STATUS | 8 | VBAT_TH_RES | Interrupt status VBAT Voltage <= VBAT_TH_SET. |
| 0x77 | INT7_STATUS | 3 | IBATM_TH_DET | Interrupt status Battery Current (Dis-charge) > IBATM_TH_SET. |
| 0x77 | INT7_STATUS | 2 | IBATM_TH_RES | Interrupt status Battery Current (Dis-charge) <= IBATM_TH_SET. |
| 0x77 | INT7_STATUS | 1 | IBATP_TH_DET | Interrupt status Battery Current (Charge) > IBATP_TH_SET. |
| 0x77 | INT7_STATUS | 0 | IBATP_TH_RES | Interrupt status Battery Current (Charge) <= IBATP_TH_SET. |

3-13 JEITA 温度プロファイル

JEITA 基準を満たすために、充電プロファイルは、バッテリーパック内のサーミスタによって検出された温度に基づいて自動的に調整されます。

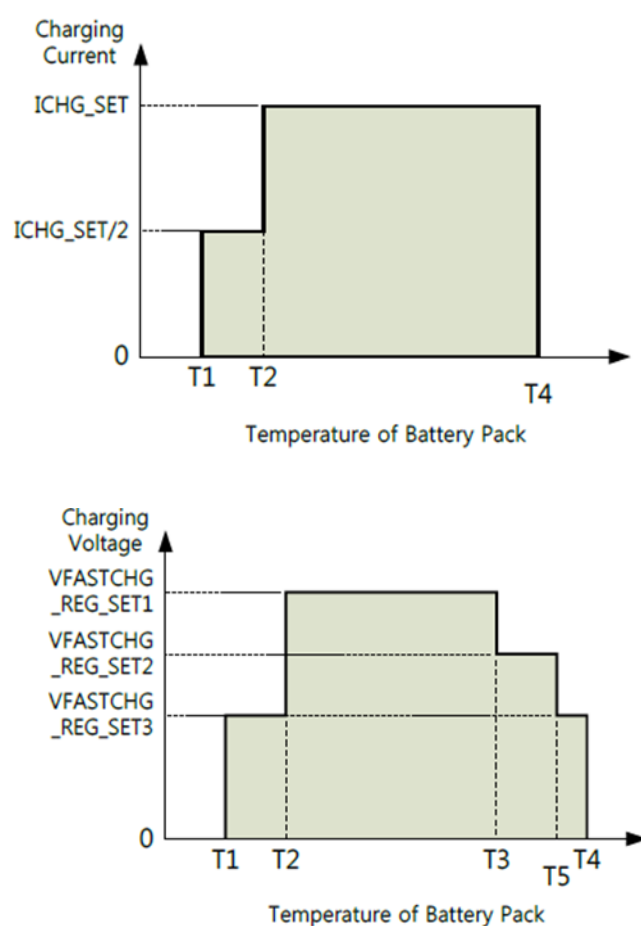


Figure 3-6. 充電電流と充電電圧の温度プロファイル

0x40 VM_CTRL_SET 3bit THERMENB を Enable に設定し、TSENSE 電圧を ADC で測定する必要があります。

T1-T5 JEITA 温度閾値ウィンドウの設定は、レジスタ 0x41 から 0x45 を介して行うことができます。

Table 3-17. JEITA 温度閾値ウィンドレジスタ

| Code | Command | Protocols | Byte Size | Description |
|------|-------------------|-----------------|-----------|------------------------------------|
| 41h | THERM WINDOW SET1 | Read/Write Word | 2 | JEITA Temperature Window Setting 1 |
| 42h | THERM WINDOW SET2 | Read/Write Word | 2 | JEITA Temperature Window Setting 2 |
| 43h | THERM WINDOW SET3 | Read/Write Word | 2 | JEITA Temperature Window Setting 3 |
| 44h | THERM WINDOW SET4 | Read/Write Word | 2 | JEITA Temperature Window Setting 4 |
| 45h | THERM WINDOW SET5 | Read/Write Word | 2 | JEITA Temperature Window Setting 5 |

T1～T5 の下限/上限しきい値のデフォルト値は次のとおりです。

Table 3-18. JEITA 温度閾値ウィンドレジスタ 初期値

| Register Name | Description | Default Value | Note |
|---------------|-----------------------|---------------|---------------------|
| TMPTHR1A[7:0] | Lower threshold of T1 | C6h (2 deg.) | T1 in JEITA profile |
| TMPTHR1B[7:0] | Upper threshold of T1 | C3h (5 deg.) | T1 in JEITA profile |
| TMPTHR2A[7:0] | Lower threshold of T2 | BEh (10 deg.) | T2 in JEITA profile |
| TMPTHR2B[7:0] | Upper threshold of T2 | BBh (13 deg.) | T2 in JEITA profile |
| TMPTHR3A[7:0] | Lower threshold of T3 | 9Eh (42 deg.) | T3 in JEITA profile |
| TMPTHR3B[7:0] | Upper threshold of T3 | 9Bh (45 deg.) | T3 in JEITA profile |
| TMPTHR4A[7:0] | Lower threshold of T4 | 91h (55 deg.) | T4 in JEITA profile |
| TMPTHR4B[7:0] | Upper threshold of T4 | 8Eh (58 deg.) | T4 in JEITA profile |
| TMPTHR5A[7:0] | Lower threshold of T5 | 9Dh (47 deg.) | Between T3 and T4 |
| TMPTHR5B[7:0] | Upper threshold of T5 | 96h (50 deg.) | Between T3 and T4 |

バッテリー温度のステータス（割り込みなし）は、レジスタ 0x03 ビット[10 : 8]を Read して確認できます。

Table 3-19. バッテリ温度 STATUS

8.5.4. CHGOP_STATUS

Charger Operation Status

Command Code:

03h

Bus Protocol: Read Word

| Bit | Symbol | Description |
|-----|------------|---|
| 15 | reserved | |
| 14 | reserved | |
| 13 | reserved | |
| 12 | reserved | |
| 11 | reserved | |
| 10 | BATTEMP[2] | Battery temperature range and the thermistor status. Please see next table. |
| 9 | BATTEMP[1] | |
| 8 | BATTEMP[0] | |
| 7 | reserved | |
| 6 | VRECHG_DET | Re-charge voltage detection status. "1": VBAT < VRECHG_SET / "0": VBAT keeps enough voltage. |
| 5 | reserved | |
| 4 | reserved | |
| 3 | reserved | |
| 2 | reserved | |
| 1 | RBOOST_UV | Reverse Buck Boost UVLO detection status. "1": Normal voltage. / "0": Low voltage. |
| 0 | RBOOSTS | Reverse Buck Boost status. "1": Boosting / "0": Not boosting. |

| BAT_TEMP | Temperature Range | Description |
|----------|-------------------|---|
| 0h | Room Temp | T2 < Tbat < T3 |
| 1h | HOT1 | T3 < Tbat < T5 |
| 2h | HOT2 | T5 < Tbat < T4 |
| 3h | HOT3 | T4 < Tbat |
| 4h | COLD1 | T1 < Tbat < T2 |
| 5h | COLD2 | Tbat < T1 |
| 6h | Temp. Disable | Disable thermal control (No Thermistor) |
| 7h | Battery Open | TSENSE BAT port is open. |

サーミスタ温度測定

サーミスタ温度測定値（検出温度の換算値）の読み出しは、レジスタ 0x56 にあります。

Table 3-20. バッテリ温度測定値

8.5.81. THERM_VAL

Thermistor Temperature Measurement Value

Command Code: 56h
Bus Protocol: Read/Write Word

| Bit | Symbol | Description |
|-----|--------------|---|
| 15 | reserved | |
| 14 | reserved | |
| 13 | reserved | |
| 12 | reserved | |
| 11 | reserved | |
| 10 | reserved | |
| 9 | reserved | |
| 8 | reserved | |
| 7 | THERM_VAL[7] | Temperature Measurement Value (200-THERM_VAL[7:0]) deg-C. -55 to 200 deg-C, 1 deg-C steps. Write Word access is available when VM_CTRL_SET.THERMENB bit = 0. |
| 6 | THERM_VAL[6] | |
| 5 | THERM_VAL[5] | |
| 4 | THERM_VAL[4] | |
| 3 | THERM_VAL[3] | |
| 2 | THERM_VAL[2] | |
| 1 | THERM_VAL[1] | |
| 0 | THERM_VAL[0] | |

レジスタ 0x49 で割り込みしきい値を設定する事ができます。0x6F ビット[5 : 4]で割り込みを有効にして、レジスタ 0x56 のサーミスタ温度測定値 (°C) がレジスタ 0x49 のしきい値に達すると割り込みが発生します。

温度設定値の割り込み設定

0x49 THERM_TH_SET で割り込み検出したいサーミスタ温度を設定する事ができます。

Table 3-21. 割り込み検出のバッテリ温度閾値設定

8.5.68. THERM_TH_SET

Battery Temperature Interrupt Threshold Setting

Command Code: 49h
Bus Protocol: Read/Write Word

| Bit | Symbol | Description |
|-----|-----------------|---|
| 15 | reserved | |
| 14 | reserved | |
| 13 | reserved | |
| 12 | reserved | |
| 11 | reserved | |
| 10 | reserved | |
| 9 | reserved | |
| 8 | reserved | |
| 7 | THERM_TH_SET[7] | Battery Temperature Interrupt Threshold Setting (200-THERM_TH_SET[7:0]) deg-C. -55 to 200 deg-C range, 1 deg-C steps. |
| 6 | THERM_TH_SET[6] | |
| 5 | THERM_TH_SET[5] | |
| 4 | THERM_TH_SET[4] | |
| 3 | THERM_TH_SET[3] | |
| 2 | THERM_TH_SET[2] | |
| 1 | THERM_TH_SET[1] | |
| 0 | THERM_TH_SET[0] | |

INT7_SET の割り込みレジスタ 0x68 ビット[7]を有効にするには：[Chapter 3-12](#)に記載している 1st -level の割り込み設定レジスタ 0x68 の bit INT7_EN ビット[0]を Enable に設定してください。

Table 3-22. バッテリ温度検出の割り込み設定レジスタ

8.5.103. INT7_SET

2nd Level Interrupt Setting 7 (SAR-ADC)

Command Code:

6Fh

Bus Protocol:

Read/Write Word

| Bit | Symbol | Description |
|-----|--------------|--|
| 15 | PROCHOT_DET | Interrupt of PROCHOT# asserted. "1": Enable / "0": Disable. |
| 14 | PROCHOT_RES | Interrupt of PROCHOT# de-asserted. "1": Enable / "0": Disable. |
| 13 | reserved | |
| 12 | reserved | |
| 11 | VACP_DET | Interrupt of VACP detect. "1": Enable / "0": Disable. |
| 10 | VACP_RES | Interrupt of VACP removal. "1": Enable / "0": Disable. |
| 9 | VACP_TH_DET | Interrupt Input Voltage (ACP) Voltage > VACP_TH_SET. "1": Enable / "0": Disable. |
| 8 | VACP_TH_RES | Interrupt Input Voltage (ACP) Voltage <= VACP_TH_SET. "1": Enable / "0": Disable. |
| 7 | IACP_TH_DET | Interrupt Input Current (between ACP-ACN) > IACP_TH_SET. "1": Enable / "0": Disable. |
| 6 | IACP_TH_RES | Interrupt Input Current (between ACP-ACN) <= IACP_TH_SET. "1": Enable / "0": Disable. |
| 5 | THERM_TH_DET | Interrupt TSENSE Voltage > THERM_TH_SET. "1": Enable / "0": Disable. |
| 4 | THERM_TH_RES | Interrupt TSENSE Voltage <= THERM_TH_SET. "1": Enable / "0": Disable. |
| 3 | IBATM_TH_DET | Interrupt Battery Current (Dis-charge) > IBATM_TH_SET. "1": Enable / "0": Disable. |
| 2 | IBATM_TH_RES | Interrupt Battery Current (Dis-charge) <= IBATM_TH_SET. "1": Enable / "0": Disable. |
| 1 | IBATP_TH_DET | Interrupt Battery Current (Charge) > IBATP_TH_SET. "1": Enable / "0": Disable. |
| 0 | IBATP_TH_RES | Interrupt Battery Current (Charge) <= IBATP_TH_SET. "1": Enable / "0": Disable. |

TSENSE 抵抗設定

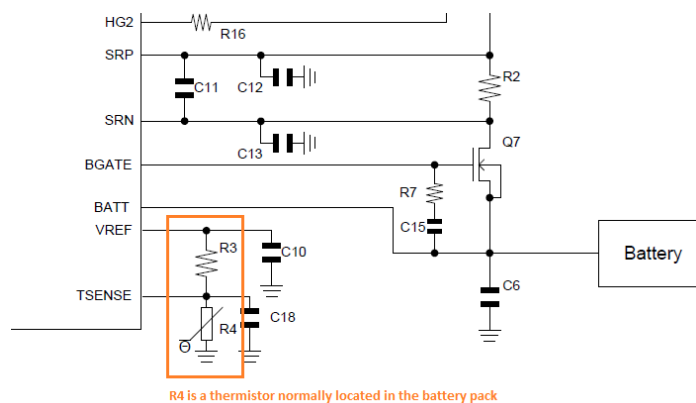


Figure 3-7. TSENSE 外付け回路

JEITA 温度プロファイルを設定するには VREF と TSENSE 間に分圧抵抗を, TSENSE と GND 間にサーミスタを接続します。上側の抵抗は 5.6kΩ、サーミスタは、B25 / 85 定数 = 3435K で 10kΩを推奨します。別のサーミスタを使用する必要がある設計については、下記の計算式を参考にしてください。

TSENSE の電圧の有効範囲は 0.1V~1.4V です。0.1V 未満または 1.4V を超えると TSENSE ピン電圧は、JEITA 熱プロファイルには使用できません。

B25 / 85 定数 = 3435K 10kΩ以外のサーミスタを使用する場合

使用するサーミスタの抵抗値をもとに下記の計算式で TSENSE の外付け抵抗値を算出する事ができます。

IC 内部の基準電圧：Vth = 1.225V - 0.01212 × (Ta - 2℃)

RNTC_T1：使用するサーミスタの T1 の温度

RNTC_T5：使用するサーミスタの T5 の温度

RT1：TSENSE 上側抵抗

RT2：TSENSE 下側抵抗

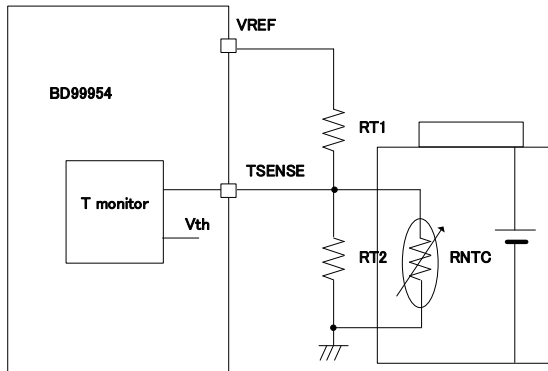


Figure 3-8. サーミスタ接続時の外付け部品

$$RT2 = \frac{R_{NTC,T1} \times R_{NTC,T5} \times \left(\frac{1}{V_{T5}} - \frac{1}{V_{T1}} \right)}{R_{NTC,T1} \times \left(\frac{1}{V_{T1}} - 1 \right) - R_{NTC,T5} \times \left(\frac{1}{V_{T5}} - 1 \right)}$$

$$RT1 = \frac{\frac{1}{V_{T1}} - 1}{\frac{1}{R_{T2}} + \frac{1}{R_{NTC,T1}}}$$

4 保護機能

4-1 入力低電圧保護 (VBUSUVLO、VCCUVLO)

VBUS と VCC の電圧が低下し検出条件を満たすと低電圧保護は検出されます。

4-1-1 入力低電圧保護 (VBUSVLO)

検出条件 : $VBUS < 3.67V$

DCDC コンバータをオフします。充電動作は停止します。ACGATE1 はオフします。

リリース条件 : $VBUS > 3.8V$

ACGATE1 はオンします。DCDC コンバータをオンします。CHG_EN=1 であれば充電動作を開始します。

4-1-2 入力低電圧保護 (VCCUVLO)

検出条件 : $VCC < 3.67V$

DCDC コンバータをオフします。充電動作は停止します。ACGATE2 はオフします。

リリース条件 : $VCC > 3.8V$

ACGATE2 はオンします。DCDC コンバータをオンします。CHG_EN=1 であれば充電動作を開始します。

4-2 入力過電圧保護

検出電圧 : $25.5V \pm 0.5V$

AC_OK が Low を出力します。

DCDC がオフします。

システム電圧がバッテリー電圧を下回ると BATFET がオンになります。

リリース電圧 : $25.35V \pm 0.5V$

入力電圧がリリース電圧を下回ると復旧します。

AC_OK が High を出力します。

DCDC は、入力電圧がリリース電圧を下回ると自動的に開始されます。

4-3 System 過電圧保護 (VSYS_OV)

VSYS 電圧が高くなり下記の検出条件を満たすと VSYS_OV は検出されます。

検出条件 :

VSYS 電圧は VSYSREG_SET の 1.1 倍

VSYS 電圧は $BATT \times 1.15$ の 1.1 倍

VSYS_OV が発生すると、DCDC コンバータをオフにします。

リリース条件 :

VSYS 電圧は VSYSREG_SET の 1.05 倍

VSYS 電圧は $BATT \times 1.15$ の 1.05 倍

VSYS 電圧がリリース電圧を下回ると、自動的に DCDC コンバータをオンにします。

4-4 Battery 過電圧保護 (BATOVVP)

間違ったバッテリーの接続時、及び充電中にバッテリーが遮断された時にバッテリーの過電圧を保護します。

検出条件：BATT_OVP しきい値を設定します。BATOVVP_SET (0x1E)。

充電動作は停止し、DCDC は正常に動作します。0x00 の Battery Error が 1 に変更されます。

解除条件：ステートマシンの状態遷移 (13) に準拠します。ヒステリシス電圧はありません。

4-5 Battery ショート保護

バッテリーからシステムに流れる電流を検出し、ステータスを通知することができます。0x1F IBATSHORT_SET は、バッテリー短絡のしきい値を 0~25,000mA、1mA ステップを設定できます。IBATM_AVE_VAL (0x53) がバッテリー短絡の検出ステータス：IBATM_SHORT_SET (0x1F) よりも大きいとウォッチドッグタイマー-BATTWDT_SET (0x10) WDT_IBAT_SHORT [15 : 8] がカウントダウンを開始します。ウォッチドッグタイマー時間を超えると、VBAT / VSYS_STATUS (0x01) IBAT_SHORT ビットが「1」に変更されます。

4-6 System ショート保護 (VSYS_SCP)

検出条件：

タイマーは、VSYS 電圧が VSYSVAL_THL_SET 以下になると開始し、20ms 後にラッチで停止します。（カウント中に VSYSVAL_THH_SET 以上になると、タイマーが停止してリセットされます）。

動作：4 つの MOSFET がすべてオフです（充電動作も停止します）

リリース条件：VBUS / VCC を再挿入して戻る

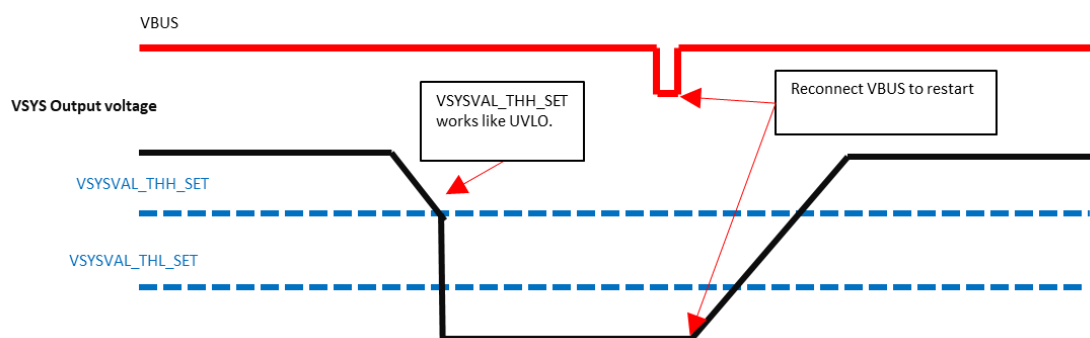


Figure 4-1. VSYSVAL_THH_SET and VSYS voltage diagram.

4-7 サーマルシャットダウン(TSD)

BD99954 の内部のチップ温度 T_j が上昇し下記の条件でサーマルシャットダウン保護機能が動作します。

検出条件： $T_j > 175^{\circ}\text{C}$

リリース条件： $T_j < 150^{\circ}\text{C}$

DCDC は動作を維持します。充電動作を停止します。

4-8 保護機能動作まとめ

保護機能が動作したときの DCDC、充電動作状態は Table 4-1 のようになります。保護機能が動作した状態を検知するためのレジスタは「検出結果 STATUS レジスタ」と「STATUS レジスタの判定条件」を確認してください。

Table 4-1. 保護機能まとめ

| 保護機能 | 検出条件 | リリース条件 | DCDC | 充電動作 | 入力FET | 検出結果 STATUSレジスタ | STATUSレジスタの判定条件 |
|-------------------------|--|--|------|------|-------|---|---|
| 入力低電圧保護 VCCUVLO | VCC < 3.67V | VCC > 3.8V | OFF | OFF | OFF | 0x02 8bit VCC_DET=0 | VCC < 3.67V 電圧の判定だけです。UVLO検出状態が判定しません。 |
| VBUSUVLO | VBUS < 3.67V | VCC > 3.8V | OFF | OFF | OFF | 0x02 0bit VBUS_DET=0 | VBUS < 3.67V 電圧の判定だけです。UVLO検出状態が判定しません。 |
| 入力過電圧保護 | VCC > 25.5V | VCC < 25.35V | OFF | OFF | OFF | 0x02 11bit VCC_OVP = 1 Interrupt setting 0x6A 5bit VCC_OVP_DET=1 Status bit 0x72 5bit VCC_OVP_DET=1 | VCC > 25.5V |
| | VBUS > 25.5V | VBUS < 25.35V | OFF | OFF | OFF | 0x02 3bit VBUS_OVP = 1 Interrupt setting 0x69 5bit VBUS_OV_DET=1 Status bit 0x71 5bit VBUS_OV_DET=1 | VBUS > 25.5V |
| System過電圧保護 VSYS_OV | VSYS電圧は条件によって下記の2パターンあります。 (1) VSYSREG_SET (2) BATT x 1.15 VSYS電圧が(1)の1.1倍、または(2)の1.1倍以上となったときにOVP検出します。 OVP検出条件 (1) VSYSREG_SET x 1.1 (2) BATT x 1.15 x 1.1 | VSYS電圧がOVP検出条件である(1)の1.05倍、または(2)の1.05倍よりも小さくなったときにOVP解除します。 | OFF | OFF | | 0x01 14bit VSYS_OV=1 Interrupt setting 0x6C 5bit VSYS_OV_DET=1 status read 0x74 5bit VSYS_OV_DET=1 | VSYS_OV is 1 for all commands that stop DCDC. VBUS and VCC are not connected, VSYS_SCP detected, USUS = 1 and ALLRST = 1. VSYS over-voltage status. Two VSYS OVP detection condition. Either detected. (1) VSYS x 1.1 (2) BATT x 1.15 x 1.1 “1”: VSYS > VSYS_OVP / “0”: VSYS < VSYS_OVP |
| Battery過電圧保護 VBATOVP | 0x1E [14:4] VBATOVP_SETを設定。 VBAT >= VBATOVP_SET | VBAT < VBATOVP_SET | OFF | OFF | | 0x01 3bit VBAT_OV=1 | VBAT >= VBATOVP_SET |
| | | | | | | Interrupt set 0x6B 5bit VBAT_OV_DET=1 Status bit 0x73 5bit VBAT_OV_DET | VBAT >= VBATOVP_SET |
| | | | | | | CHGSTATE 0x00 [14:8]= 40h または 0x00 [0:6] = 40h | Charger WDT 終了 Thermal WDT 終了 VBAT >= Battery Over voltageのいずれかが検出 |
| Batteryショート保護 | 0x1F [14:0] IBATM_SHORT_SETを設定。 IBATM_AVE_VAL > IBATM_SHORT_SET ウォッチドッグタイマ WDT_IBAT_SHORT[15:8]がカウントダウンが完了。 | IBATM_AVE_VAL < IBATM_SHORT_SET | | | | 0x01 6bit IBATM_SHORT=1 | IBATM_SHORT_SET is larger than IBATM_AVE_VAL Count down of watch dog time BATTWDT_SET WDT_IBAT_SHORT[15:8] is completed. “1”: Battery Short Current Detected / “0”: Normal operation |
| | | | | | | Interrupt setting 0x6B 7bit IBATM_SHORT_DET=1 Status bit 0x73 7bit IBATM_SHORT_DET=1 | IBATM_SHORT_SET(0x1Fh) is larger than IBATM_AVE_VAL(0x53h) |
| システムショート保護 VSYS_SCP | VSYS電圧がVSYSVAL_THL_SETの設定値よりも小さくなり、20ms経過。 | VSYS電圧がVSYSVAL_THH_SETよりも大きくなり、VBUSがVCCを遮断してから再度接続。 | OFF | OFF | OFF | 0x01 13bit VSYS_SCP=1 | “1”: 20ms VSYS SCP timer expired. / “0”: Normal operation. |
| | | | | | | Interrupt setting 0x6C 1bit VSYS_UV_DET=1 Status bit 0x74 1bit VSYS_UV_DET=1 | Interruptの割り込み機能 VSYS電圧 < VSYSVAL_THL_SET あとに20msのタッチ停止していない状態でInterruptが可能。 |
| | | | | | | Interrupt setting 0x6C 3bit VSYS_SHT_DET=1 Status bit 0x74 3bit VSYS_SHT_DET=1 | Interruptの割り込み機能 VSYS電圧 < VSYSVAL_THL_SET あとに20msのタッチ停止後にInterrupt可能。 |
| サーマルシャットダウン TSD | ジャンクション温度Tj > 175℃ | ジャンクション温度Tj < 175℃ | | OFF | | 0x6D INT5_SET 5bit TSD_DET 0x68 INT0_SETの5bit INT5_EN=1 0x75 INT5_STATUSの TSD_DET=1 | Interruptの割り込み機能で0x6D INT5_SET 5bit TSD_DET=1に設定。0x68 INT0_SETの5bit INT5_EN=1に設定。 TSD検出すると0x75 INT5_STATUSのTSD_DET=1になる。 |

5 Power save mode

5-1 Power save mode と設定方法

BD99954 は 4 つの Power save mode があります。Table 5-2 に記載している 0x7C POWER SAVE MODE[2:1] で Power save mode を設定できます。バッテリーが接続されていて、VBUS/VCC の入力接続していないときに Power save mode は有効となります。Figure 5-4、Figure 5-5 の遷移図のように入力が接続されプラグインすると Power save mode から 0x7C=0h の Normal operation mode に自動で変更されます。レジスタは変更されないで、入力がプラグオフするとレジスタ設定に応じた Power save mode に自動で戻ります。Power save mode を切替えるときには必ず 0x7C=0h にしてから、Power save mode に切り替えてください。0x7C=0h に切り替えないと、別の Power save mode に遷移しない事があります。データシートの P110 から 113 の記載を参照してください。Table 5-1 の Power save mode 時の回路電流には外付け部品に流れる電流は含まれません。IC 単体の電流の他に Figure 5-6 に記載されているように IADP/RESET 端子、TSENSE 端子、SDA 端子、及び SCL 端子の外付け抵抗に電流が流れます。

Table 5-1. Power save mode

| Symbol | IBATT5 | IBATT4 | IBATT3 | IBATT2 | IBATT1 |
|--------------------------|----------------------|------------------------|----------------------|--------|--------|
| 0x7C Data | 0h | 1h | 2h | 6h | 5h |
| BGATE Charge pump | ON | ON | ON | OFF | ON |
| AD converter measurement | PROCHOT VSYS ISYS | PROCHOT VSYS (250μs/S) | PROCHOT VSYS (1ms/S) | - | - |
| Battery stand-by current | 700μA | 150μA | 125μA | 25μA | 50μA |

Table 5-2. Power save mode のレジスタ

Power Save Mode Setting.

Command Code:
Bus Protocol:7Ch
Read/Write Word

| Bit | Symbol | Description |
|-----|--------------------|---|
| 15 | SMBREG[15] | Reserved SMBus Clock Domain Register (for future use) |
| 14 | SMBREG[14] | |
| 13 | SMBREG[13] | |
| 12 | SMBREG[12] | |
| 11 | SMBREG[11] | |
| 10 | SMBREG[10] | |
| 9 | SMBREG[9] | |
| 8 | SMBREG[8] | |
| 7 | SMBREG[7] | |
| 6 | SMBREG[6] | |
| 5 | SMBREG[5] | |
| 4 | SMBREG[4] | |
| 3 | SMBREG[3] | |
| 2 | POWER_SAVE_MODE[2] | Power Save Mode Setting. 0h: Normal Operation 1h: BGATE ON with PROCHOT# Monitored only System voltage/ 2h: BGATE ON with PROCHOT# Monitored only System voltage (1ms/ 5h: BGATE ON without PROCHOT#/ 6h: BGATE OFF/ Other: reserved. |
| 1 | POWER_SAVE_MODE[1] | |
| 0 | POWER_SAVE_MODE[0] | |

Power save mode を設定するときは必ず、0x7C=0h の Normal Operation を初めに設定してください。Normal Operation モードの設定から他の Power save mode に設定してください。

RESERVE_SMBREG0@0x7C = 0x00

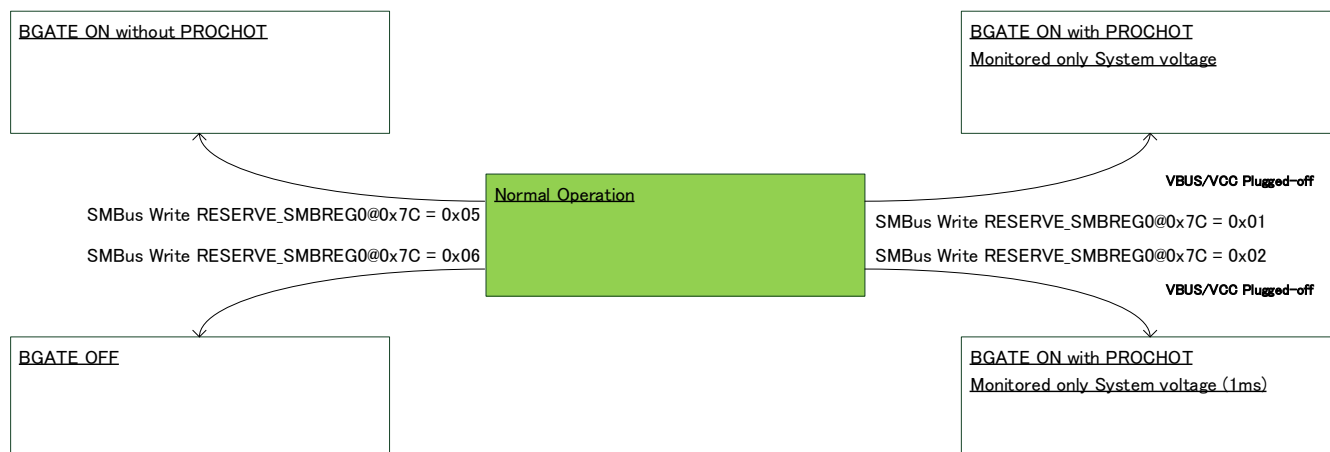


Figure 5-1. Normal Operation から Power save mode の設定方法

Power save mode に設定したあとに他のモードに設定する時には必ず Normal Operation モードの設定から他の Power save mode に設定してください。

RESERVE_SMBREG0@0x7C = 0x05

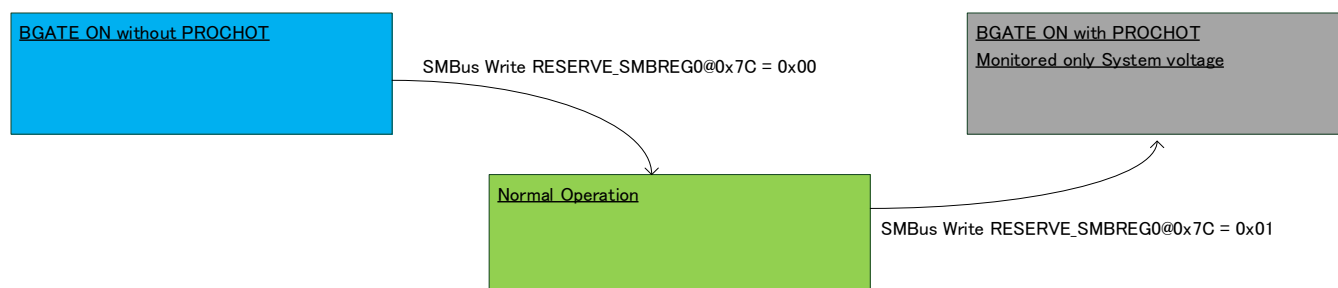


Figure 5-2. Power save mode の変更設定方法

Normal mode を経由せずに別のモードに設定する事はできません。例えば、0x7C=5h から 0x7C=1h に遷移させると設定されない場合があります。0x7C=5h から 0x7C=0h に設定したあとに 0x7C=1h に設定してください。

RESERVE_SMBREG0@0x7C = 0x05

BGATE ON without PROCHOT

SMBus Write RESERVE_SMBREG0@0x7C = 0x01

BGATE ON with PROCHOT
Monitored only System voltage

Normal Operation

Figure 5-3. Power save mode の設定変更の失敗例

5-2 VBUS/VCC のプラグ接続状態と Power save mode について

Power save mode 時に VBUS/VCC がプラグインすると、自動的に 0x7C=0h の Normal Operation に遷移します。レジスタは保持された状態なので、再びプラグオフすると自動的にもとの Power save mode に遷移します。例えば、点線のように 0x7C=5h で VBUS/VCC がプラグインすると Normal Operation に遷移します。0x7C =5h は保持されているので、プラグオフすると自動的に 0x7C=5h の Power save mode に遷移します。

RESERVE_SMBREG0@0x7C = 0x05

BGATE ON without PROCHOT

SMBus Write RESERVE_SMBREG0@0x7C = 0x00

BGATE ON with PROCHOT
Monitored only System voltage

VBUS/VCC Plugged-in
VBUS/VCC Plugged-off

Normal Operation

BGATE OFF

BGATE ON with PROCHOT
Monitored only System voltage (1ms)

Figure 5-4. プラグイン/オフ時の Power save mode の遷移

Figure 5-5（データシート P110 に記載）に Power save mode 全体の遷移図を記載しています。別の Power save mode に設定するときには 0x7C=0h を経由して設定が必要です。

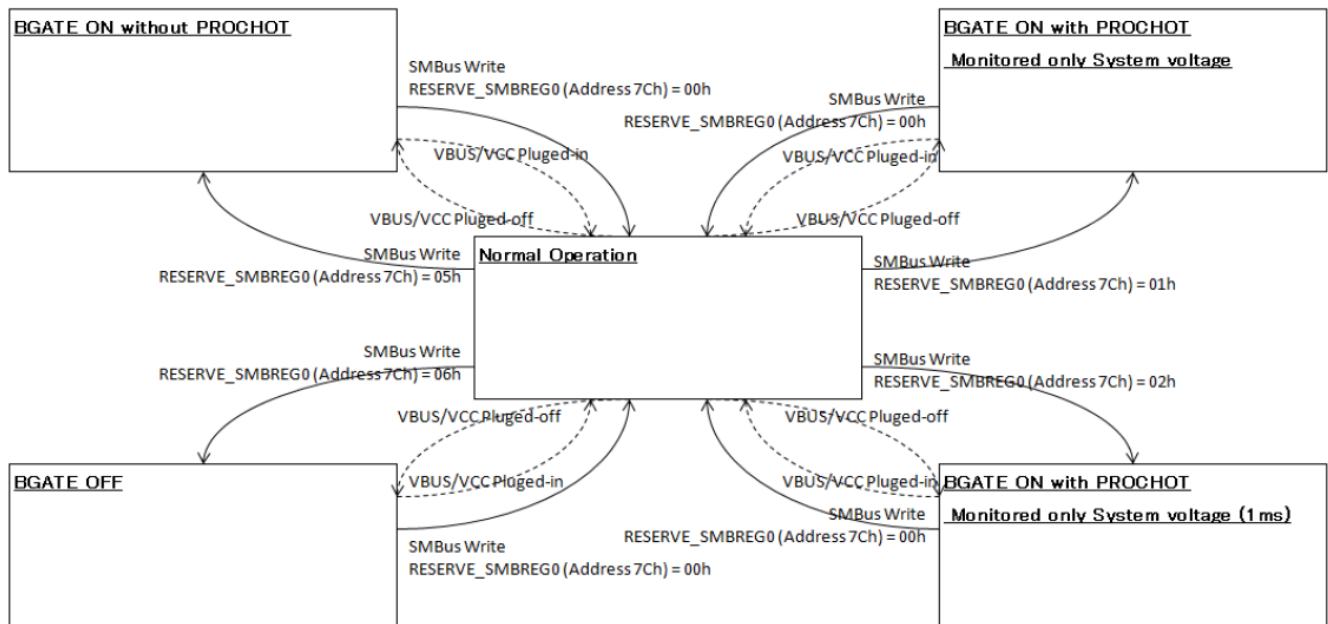


Figure 5-5. Power save mode 遷移図

5-3 Power save mode での外付け抵抗への電流経路

Power save mode 時に内部回路を経由して外付け部品に電流が流れます。電流増加の原因となりますので、アプリケーションに応じて部品定数の選定を行う必要があります。Figure 5-6 (1)では VREF 端子を経由して IADP/RESET 端子、TSENSE 端子の外付け抵抗に電流が流れます。電流値を小さくする必要がある場合、は抵抗値を大きく設定してください。Figure 5-6 (2)では SCL と SDA のプルアップ抵抗にも 3.3V の外部電源の消費電流は流れます。SMBus の通信速度に合わせて抵抗値を選定する必要があります。Figure 5-6 (3)では VCC_ID と VBUS_ID が GND に接続している場合、内部回路を経由してバッテリーから電流が流れてしまいます。VCC_ID と VBUS_ID を使用しない場合、端子をオープンとしてください。

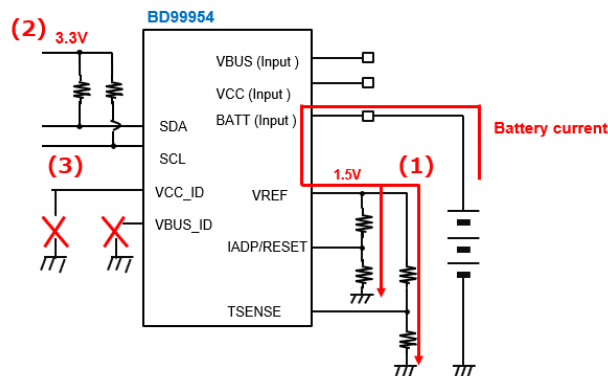


Figure 5-6. Power save mode 時の外付け抵抗への電流経路

6 USB On-The-Go (OTG)

6-1 USB On-The-Go (OTG) 設定

OTG が必要な場合は、OTG 出力電流制限値、VBUS か VCC の出力ポートの設定、および OTG 出力電圧設定を設定する必要があります。設定が必要なレジスタは次のとおりです。詳細については、データシートの各ページを参照してください。

Table 6-1. OTG モードのレジスタ

| Address | Code name | bit | Bit name | Description |
|---------|--------------|--------|---------------|--|
| 0x09 | IOTG_LIM_SET | [13:5] | IOTG_LIM_SET | VBUS/VCC output current limit when OTG 0 to 16,352mA, 32mA steps. |
| 0x0A | VIN_CTRL_SET | 15 | OTG_BOTH_EN | Enabling OTG reverse buck boost output to VBUS and VCC both. 1: Enable / 0: Disable When OTG_BOTH_EN=1 and VBUS_EN=VCC_EN=1, OTG reverse buck boost output same voltage at VBUS and VCC, VBUS=VCC=VRBOOST_SEL[14:6]. |
| 0x0A | VIN_CTRL_SET | 14 | VRBOOST_TRIG | Reverse buck Boost operation Trigger. 1: Trigger/ 0: No trigger |
| 0x0A | VIN_CTRL_SET | 13 | VRBOOST_EN[1] | Enabling VCC Reverse buck Boost operation. 1: Enable / 0: Disable |
| 0x0A | VIN_CTRL_SET | 12 | VRBOOST_EN[0] | Enabling VBUS Reverse buck Boost operation. 1: Enable / 0: Disable |
| 0x19 | VRBOOST_SET | [14:6] | VRBOOST_SET | Reverse buck boost voltage setting. 4,032 to 22,016mV, 64mV steps. |

6-2 OTG 起動と停止

Figure 6-1 ではデータシートの Page10 に記載されている OTG モードの起動と停止時間 T_{VBUS_ON} と T_{VBUS_OFF} のタイミングを記載しています。OTG のコマンドを入力してから、ACP が起動、停止する時間が T_{VBUS_ON} と T_{VBUS_OFF} となります。起動時は ACP 電圧が起動後 12.8ms 後に ACGATE1 または ACGATE2 がオンします。オフ時は OTG オフのコマンド入力後、 T_{VBUS_OFF} 時間経過後に ACP と ACGATE1 または ACGATE2 がオフします。Trise、Tfall1 の ACGATE1、ACGATE2 の立ち上がりと立下り時間は ACGATE1、ACGATE2 のゲート容量によって変わります。Tfall2 は VBUS と VCC のコンデンサの放電時間です。Tfall2 は容量値によって変わります。

Table 6-2. OTG モード起動と停止時間

| Item | Symbol | Value | | | Unit | Condition |
|----------------------------------|-----------------|-------|------|------|------|-----------|
| | | Min. | Typ. | Max. | | |
| VBUS Reverse Output turn-on Time | T_{VBUS_ON} | - | 5 | 10 | msec | |
| Voltage Output down-off Time | T_{VBUS_OFF} | - | 1 | 5 | μsec | |

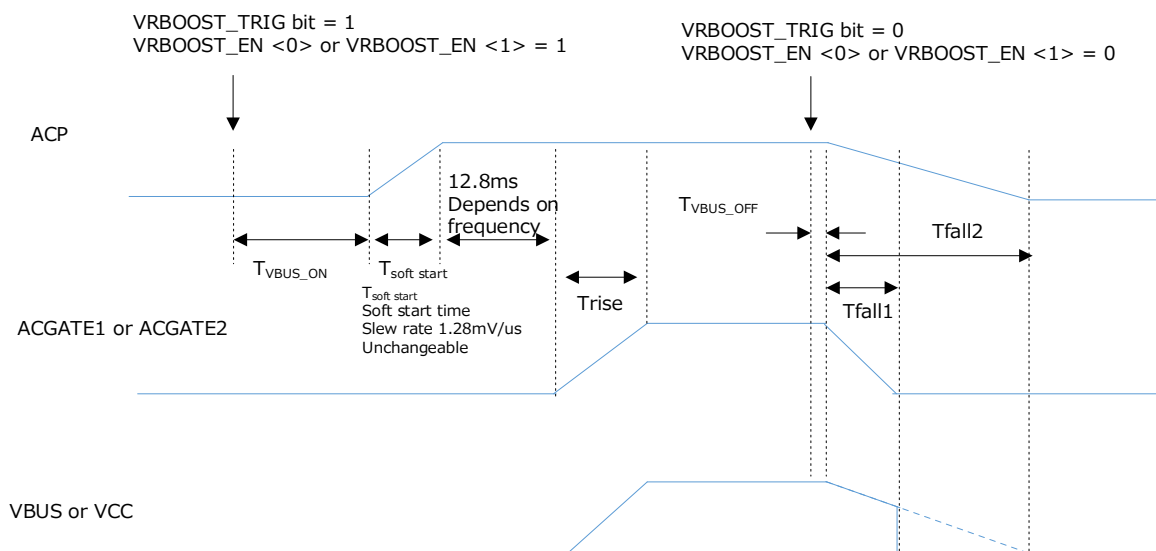


Figure 6-1. OTG モード 起動/停止 シーケンス

Table6-3 は出力電流制限を 5.5A に設定し、VBUS に 5.056V を出力する OTG モードの設定例です。起動させてから停止させるまでの手順を記載しています。Table 6-3.の Step1 と 2 は IADP/RESET 端子電圧を 0.44V 未満にするハードウェアリセット状態を示しています。Step2 の待機時間 20ms は 10ms 以上を設定してください。Step9、Step16、Step19 の 20ms の待機時間 20ms については、この設定例は一例のシステムなので必要に応じて変える必要があります。

Table 6-3. OTG モードのレジスタ設定例

| Step | Step Description | SMBus command |
|------|---|---------------------|
| 1 | リセット状態を 5ms 保持する | |
| 2 | リセット状態を解除し、20ms 待機 | |
| 3 | PROTECT_SET に 0000h を設定 | write 0x3E = 0x0000 |
| 4 | MAP_SET に 0001h を設定 | write 0x3F = 0x0001 |
| 5 | IOTG_LIM_SET に 5.5A を設定 | write 0x09 = 0x1580 |
| 6 | IBUS_LIM_SET に 5.5A を設定 | write 0x07 = 0x1580 |
| 7 | VRBOOST_SET に出力電圧を設定 | write 0x19 = 0xFFFF |
| 8 | VIN_CTRL_SET に VIN_ORD を設定 | write 0x0A = 0x0080 |
| 9 | 20ms 待機 | |
| 10 | PROTECT_SET に 0032h を設定 | write 0x3E = 0x003C |
| 11 | MAP_SET に 0002h を設定 | write 0x3F = 0x0002 |
| 12 | CHARGING_CURRENT に 020Fh を設定 | write 0x14 = 0x020F |
| 13 | PROTECT_SET に 0000h を設定 | write 0x3E = 0x0000 |
| 14 | MAP_SET に 0001h を設定 | write 0x3F = 0x0001 |
| 15 | VIN_CTRL_SET に VIN_ORD, VBUS_EN, VRBOOST_TRIG を設定 | write 0x0A = 0x40C0 |
| 16 | 20ms 待機 | |
| 17 | VIN_CTRL_SET に VIN_ORD, VBUS_EN, VRBOOST_TRIG, VRBOOST_EN[0]を設定 | write 0x0A = 0x50C0 |
| 18 | VIN_CTRL_SET に VIN_ORD, VBUS_EN, VRBOOST_TRIG を設定 | write 0x0A = 0x40C0 |
| 19 | 20ms 待機 | |
| 20 | VIN_CTRL_SET に VIN_ORD, VBUS_EN, VRBOOST_TRIG, VRBOOST_EN[0]を設定 | write 0x0A = 0x50C0 |

出力電圧の変更が必要な場合、下記のレジスタに設定してください。

| Step | Step Description | SMBus command |
|------|----------------------|------------------------|
| 1 | VRBOOST_SET に出力電圧を設定 | write 0x19 = 0XXXXX |

6-3 OTG 保護機能

OTG は出力電流制限と短絡保護(SCP)と出力過電圧保護があります。

Table 6-4. OTG モードの電気的特性

7.7.2. Electrical Characteristics

Table 7-6 Electrical Characteristics for Reverse Buck/Boost

Adapter=18.0V, Battery=7.4V, LX1=LX2=0.0V, GND=0V, Ta=25°C (unless otherwise noted.)

| Item | Symbol | Value | | | Unit | Condition |
|--|-----------|-------|----------------------------|--------|------|----------------|
| | | Min. | Typ. | Max. | | |
| <OUTPUT CURRENT Limit> | | | | | | |
| Output Current Limit Setting Range | IRADPRNG | 0 | 4096 | 8128 | mA | REG0x09h |
| Output Current Limit Setting LSB | IRADPLSB | - | 32 | - | mA | |
| Output Current Limit Accuracy (10mΩ current sense resistor) | IRADP1 | -2% | 4096 | +2% | mA | REG0x09h=1000h |
| | IRADP2 | -3% | 2048 | +3% | mA | REG0x09h=0800h |
| | IRADP3 | -5% | 1024 | +5% | mA | REG0x09h=0400h |
| | IRADP4 | -10% | 512 | +10% | mA | REG0x09h=0200h |
| <Output VOLTAGE> | | | | | | |
| Output Voltage Setting 1 | VROUT1 | 4.95 | 5.0 | 5.05 | V | REG0x19h=1380h |
| Output Voltage Setting 2 | VROUT2 | 5.15 | 5.2 | 5.25 | V | REG0x19h=1440h |
| Output Voltage Setting 3 | VROUT3 | 8.91 | 9.0 | 9.09 | V | REG0x19h=2340h |
| Output Voltage Setting 4 | VROUT4 | 11.88 | 12.0 | 12.12 | V | REG0x19h=2F00h |
| Output Voltage Setting 5 | VROUT5 | 19.8 | 20.0 | 20.2 | V | REG0x19h=4E40h |
| Output Voltage Setting Range | VROUTRNG | 4.032 | - | 22.016 | V | REG0x19h |
| Output Voltage Setting LSB | VROUTLSB | - | 64 | - | mV | |
| VBUS Buck/Boost Output Short Circuit Protection. | VRscp | - | VBUS_ UVLO VCC_U VLO | - | V | |
| VBUS Buck/Boost OVP Voltage | VRovp | - | VROUT X 1.1 | - | V | |
| VBUS Buck/Boost OVP Detection Hysteresis Range | VRovp_hys | - | VROUT X 1.05 | - | mV | |

Note: Resister address refer to extended commands

6-4 OTG モード 出力電流制限

出力電流が 0x09 の IOTG_LIM_SET のスレッシュホルドを超えると出力電流を一定にするように動作します。さらに出力電流が大きくなると出力電圧が低下していきます。

6-5 OTG モード 出力短絡保護 (SCP)

VBUS Buck/Boost Output Short Circuit Protection の電圧(VBUS,VCC_UVLO と同じ)を下回ると VSYS 出力短絡時と同様 20ms のカウンターがスタートし、カウント完了後にラッチ停止となります。ラッチ停止状態を解除するには入力電圧である BATT を再度入力します。

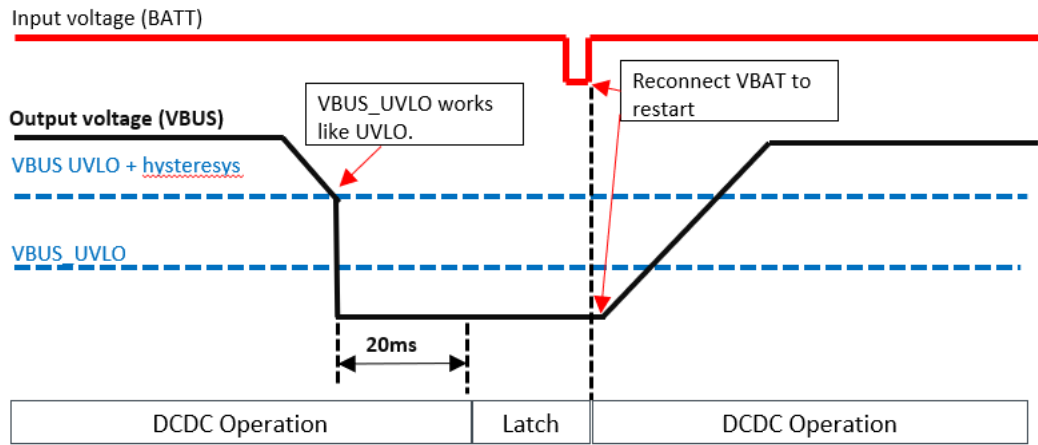


Figure 6-2. OTG モード 出力短絡保護

6-6 OTG モード 出力過電圧保護

出力電圧が VRBOOST_SET の 1.1 倍になると DCDC は動作を停止します。VRBOOST_SET の 1.05 倍まで出力電圧が低下すると過電圧保護は解除され DCDC は動作を再開します。

6-7 OTG モード Anti-collapse 検出時の DCDC の動作

VBUSCLPS_TH_SET (0x0D)、VCCCLPS_TH_SET (0x0E) で設定した Anti-collapse 検出電圧よりも出力電圧が低くなると、DCDC の動作は停止します。Anti-collapse 検出電圧よりも出力電圧が高くなった後に、VRBOOST_TRIG=0Ah を Disenable→Enable にすると DCDC の動作は復帰します。

7 ステータスの確認

7-1 充電ステータス

Table 7-1 では充電ステータスを確認できます。

Table 7-1. CHGSTM_STATUS のレジスタ

| 0x00 CHGSTM_STATUS | | |
|--------------------|-------------------|------------------------|
| bit | Bit name | Description |
| [14:8] | PREV_CHGSTM_STATE | ひとつ前の充電 State を確認できます。 |
| [6:0] | CHGSTM_STATE | 現在の充電 State を確認できます。 |

7-2 充電ステータス

Table 7-2 ではバッテリーと VSYS の状態を確認できます。

Table 7-2. VBAT/VSYS_STATUS のレジスタ

0x01 VBAT/VSYS_STATUS

| bit | Bit name | Description |
|-----|------------|---|
| 15 | VSYS_OV | <p>VSYS 電圧は VSYSREG_SET の 1.05 倍</p> <p>VSYS 電圧は BATT×1.15 の 1.05 倍に下がると DCDC は再起動し解除します。</p> <p>VSYS_SCP で DCDC が停止している場合、VBUS/VCC の抜き差しで VSYS_SCP が解除され DCDC が起動し解除します。</p> <p>USB_SUS = 0 、 ALLRST = 0 で DCDC が起動します。</p> <p>1: になる条件。下記のいずれかで検出する。</p> <p>(1) VSYS 電圧 × 1.1</p> <p>(2) BATT × 1.15 × 1.1</p> <p>VSYS > VSYS_OVP、VBUS、VCC が接続していない。</p> <p>VSYS_SCP 検出している。USB_SUS=1、ALLRST=1</p> |
| 14 | VSYS_SSD | <p>保護動作の検知レジスタではありません。DCDC がソフトスタート完了したかどうかの検知レジスタです。</p> <p>1: Soft-Start finished / 0: Not finished.</p> |
| 13 | VSYS_SCP | <p>VSYS_SCP で DCDC が停止している場合、VBUS/VCC の抜き差しで VSYS_SCP が解除され DCDC が起動し解除します。</p> <p>1: VSYS SCP timer expired. / 0: Normal operation.</p> <p>VSYS_UVLO 設定値 (0x12 VSYSVAL_THH_SET / 0x13 VSYSVAL_THL_SET) を 20ms 間下回ると検知します。</p> <p>ラッチ停止します。</p> |
| 12 | VSYS_UVN | <p>VSYS_UVLO 設定値 (0x12 VSYSVAL_THH_SET / 0x13 VSYSVAL_THL_SET) を 下回ると検知します。上回ると復帰します。</p> <p>1: Low voltage. / 0: Normal voltage.</p> |
| 6 | IBAT_SHORT | <p>IBATM_SHORT_SET よりも、IBATM_AVE_VAL の値が大きく、Watch Dog timer WDT_IBAT_SHORT[15:8]の設定値を上回ると、bit が 1 になる。DCDC や充電動作は停止しない。</p> <p>BATTWDT_SET(0x10) WDT_IBAT_SHORT[15:8] が完了。</p> <p>1: Battery Short Current Detected / 0: Normal operation</p> |
| 3 | VBAT_OV | <p>BATT 電圧が 0x1E VBAT_OVP_SET の設定以上で検出。DCDC が停止し、充電動作も停止します。BATT 電圧が 0x1E VBAT_OVP_SET を下回ると DCDC と充電動作は復帰します。</p> <p>1: VBAT > VBAT_OVP / 0: VBAT < VBAT_OVP with Hysteresis</p> |
| 0 | DEAD_BAT | <p>保護動作の検知レジスタではありません。バッテリー電圧状態の検知レジスタです。DCDC、充電動作は停止しません。</p> <p>1: Dead Battery, VBAT < VSYSREG_SET, Detected / 0: Normal operation, VBAT >= VSYSREG_SET.</p> |

7-3 VBUS と VCC のステータス

Table-7-3 では VBUS と VCC の状態を確認できます。

Table 7-3. VBUS/VCC_STATUS のレジスタ

0x02 VBUS/VCC_STATUS

| bit | Bit name | Description |
|-----|---------------|---|
| 12 | VACP_DET | 保護動作の検知レジスタではありません。VACP が UVLO 値を上回ったかどうかを検知します。 1: VACP detected (over UVLO level) / 0: not detected or low level. |
| 11 | VCC_OVP | VCC_OVP を検出している間、DCDC と充電動作は停止します。VCC_OVP 電圧を下回ると DCDC 動作は復帰します。 1: VCC > VCC_OVP / 0: Normal voltage. (When VCC_EN = 1) 1: VACP > VCC_OVP / 0: Normal voltage. (When VCC_EN = VBUS_EN = 0) |
| 10 | ILIM_VCC_MOD | 保護動作の検知レジスタではありません。Anti-collapse で入力電流制限値が変更されると 1 になります。 It becomes 1 when the input current limit value is changed by Anti-collapse. 1: Limit controlled. / 0: No. |
| 9 | VCC_CLPS | 保護動作の検知レジスタではありません。Anti-collapse を検出すると 1 になります。 1: VCC Anti-collapse / 0: normal operation. (When VCC_EN = 1) 1: VACP Anti-collapse / 0: normal operation. (When VCC_EN = VBUS_EN = 0) |
| 8 | VCC_DET | 保護動作の検知レジスタではありません。VCC 電圧が UVLO 値を上回ったかどうかを検知します。 1: VCC detected (over UVLO level) / 0: not detected or low level. |
| 3 | VBUS_OVP | VBUS_OVP を検出している間、DCDC と充電動作は停止します。VBUS_OVP 電圧を下回ると DCDC 動作は復帰します。 1: VBUS > VBUS_OVP / 0: Normal voltage. |
| 2 | ILIM_VBUS_MOD | 保護動作の検知レジスタではありません。Anti-collapse で入力電流制限値が変更されると 1 になります。1: Limit controlled. / 0: No. |
| 1 | VBUS_CLPS | 保護動作の検知レジスタではありません。Anti-collapse を検出すると 1 になります。 1: Anti-collapse / 0: normal operation. |
| 0 | VBUS_DET | 保護動作の検知レジスタではありません。VBUS 電圧が UVLO 値を上回ったかどうかを検知します。 1: VBUS detected (over UVLO level) / 0: not detected or low level. |

7-4 充電動作、ウォッチドッグスタイム、OTG のステータス

Table 7-4 では充電動作、ウォッチドッグスタイム、OTG の状態を確認できます。

Table 7-4. CHGOP_STATUS のレジスタ

0x03 CHGOP_STATUS

| bit | Bit name | Description |
|-----|--------------|--|
| 6 | MONRST_STATE | ADC のモニタ関連のレジスタ値をリセットする事ができます。 1: Reset asserted / 0: Reset released. |
| 5 | ALMRST_STATE | ALARM のモニタ関連のレジスタ値をリセットする事ができます。 1: Reset asserted / 0: Reset released. |
| 4 | CHGRST_STATE | 0x00 の CHG state をリセットする事ができます。 1: Reset asserted / 0: Reset released. |
| 1 | OTPLD_STATE | OTP ロード完了しているか確認できます。 1 shows the OTPROM loading is finished./ 0: not finished. |
| 0 | ALLRST_STATE | 0x3D の ALLRST がリセット Status にあるか確認できます。 1: Reset asserted / 0: Reset released. |

7-5 ADC のステータス

Table 7-5 では 0x3C のレジスタを Read することによって、0x3D のリセット状態が有効かどうか確認できます。

Table 7-5 . SYSTEM_STATUS のレジスタ

0x3C SYSTEM_STATUS

| Bit | Bit name | Description |
|-----|--------------|--|
| 6 | MONRST_STATE | ADC のモニタ関連のレジスタ値をリセットする事ができます。 1: Reset asserted / 0: Reset released. |
| 5 | ALMRST_STATE | ALARM のモニタ関連のレジスタ値をリセットする事ができます。 1: Reset asserted / 0: Reset released. |
| 4 | CHGRST_STATE | 0x00 の CHG state をリセットする事ができます。 1: Reset asserted / 0: Reset released. |
| 1 | OTPLD_STATE | OTP ロード完了しているか確認できます。 1 shows the OTPROM loading is finished./ 0: not finished. |
| 0 | ALLRST_STATE | 3Dh の ALLRST がリセット Status にあるか確認できます。 1: Reset asserted / 0: Reset released. |

7-6 ADC のステータスのリセット

ADC や ALARM のモニタ関連のレジスタについて、Table 7-6 の 0x3D のレジスタに 1 を Write すると、Table 7-5 のステータスレジスタをリセットします。

Table 7-6. SYSTEM_CTRL_SET のレジスタ

0x3D SYSTEM_CTRL_SET

| Bit | Bit name | Description |
|-----|----------|--|
| 6 | MONRST | ADC の電圧測定 の Status レジスタをリセットします。Setting レジスタはリセットされません。 1 Reset、0 Reset 解除 |
| 5 | ALMRST | Interrupt の Status レジスタをリセットします。Setting レジスタはリセットされません。 1 Reset、0 Reset 解除 |
| 4 | CHGRST | Battery 充電と USB 検出のレジスタをリセットします。Setting レジスタはリセットされません。 1 Reset、0 Reset 解除 |
| 1 | OTPLD | OTP ロードすることができます。 1 starts to load the OTPROM data into the internal registers. |
| 0 | ALLRST | ADC の電圧測定、Interrupt、Battery 充電と USB 検出のレジスタすべてをリセットします。 1 Reset、0 Reset 解除 |

8 アプリケーションデータ

8-1 入力電流制限 IBUS_LIM_SET=1024mA、VSY=5.8V

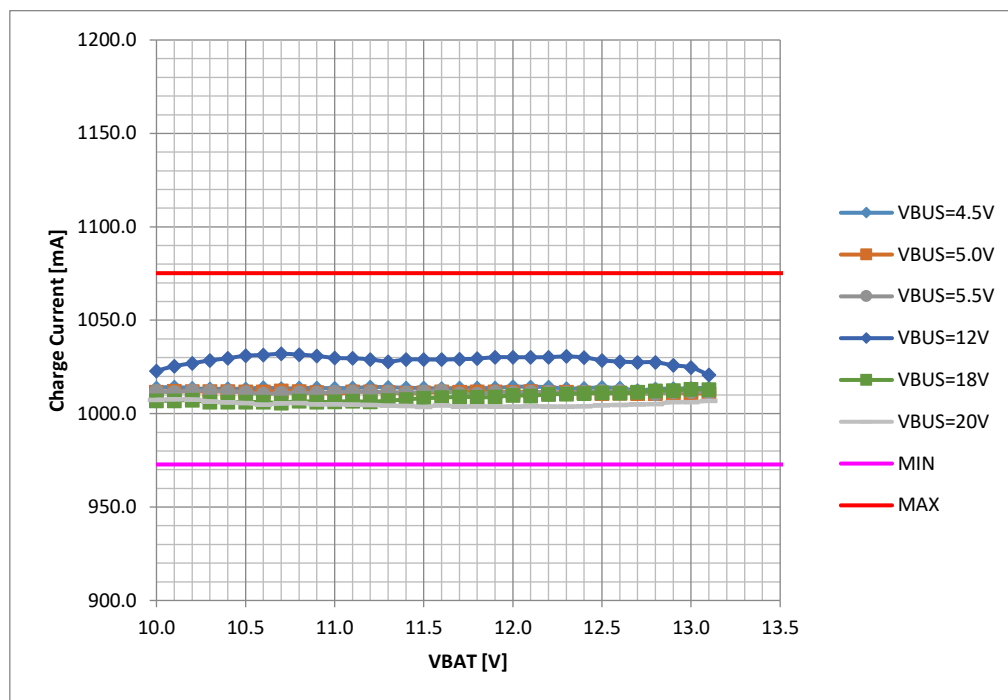


Figure 8-1. VBAT vs 入力電流制限データ

8-2 充電電流 ICHG_SET=1024mA、VSY=5.8V

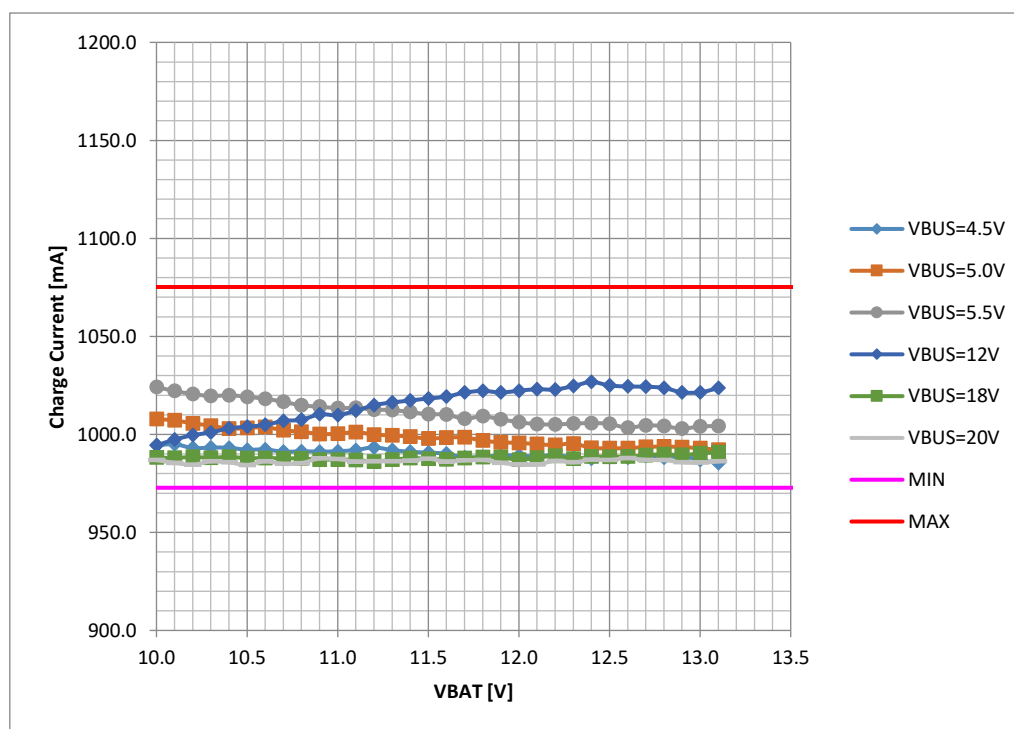


Figure 8-2. VBAT vs 充電電流データ

8-3 充電電圧 VFASTCHG_REG_SET1=13.2V、VSYS=9.2V

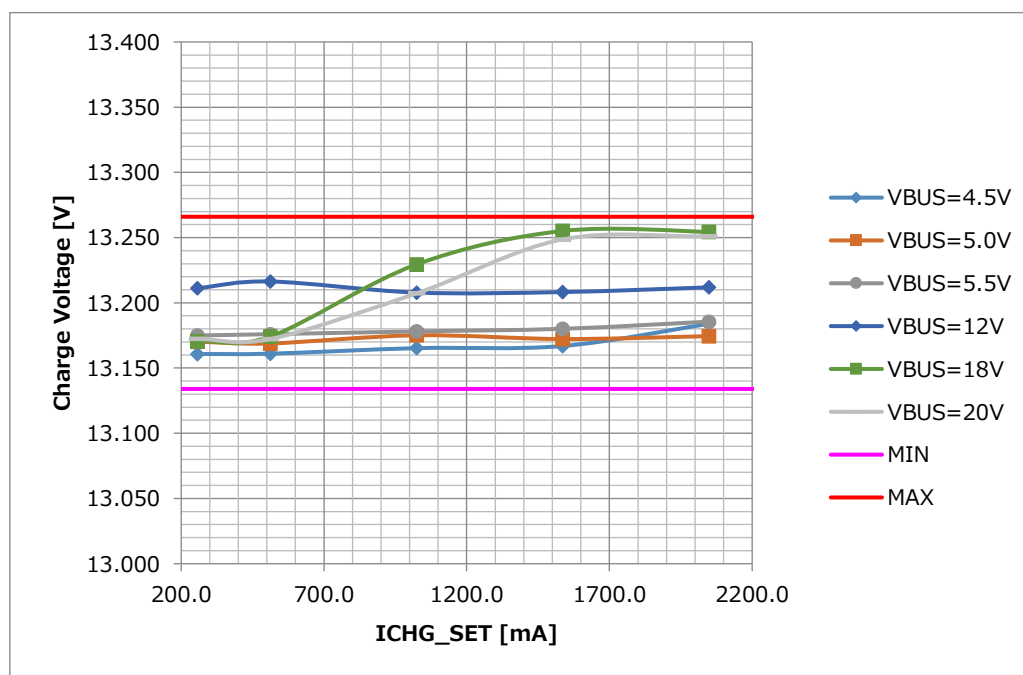


Figure 8-3. 充電電流 vs 充電電圧データ

8-4 昇降圧 DCDC 効率

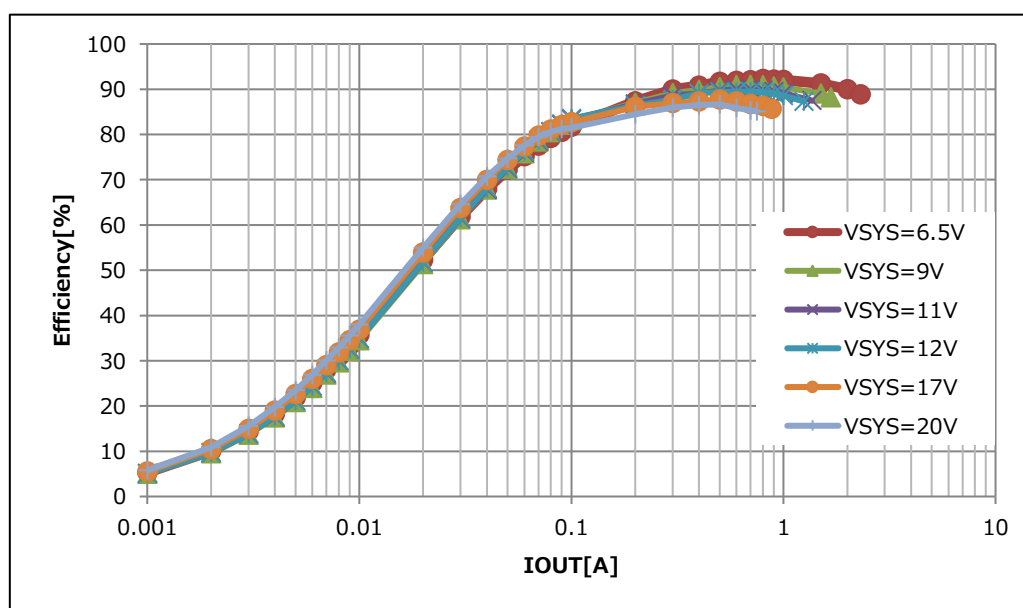


Figure 8-4. VBUS = 5V 効率データ

効率データ (続き)

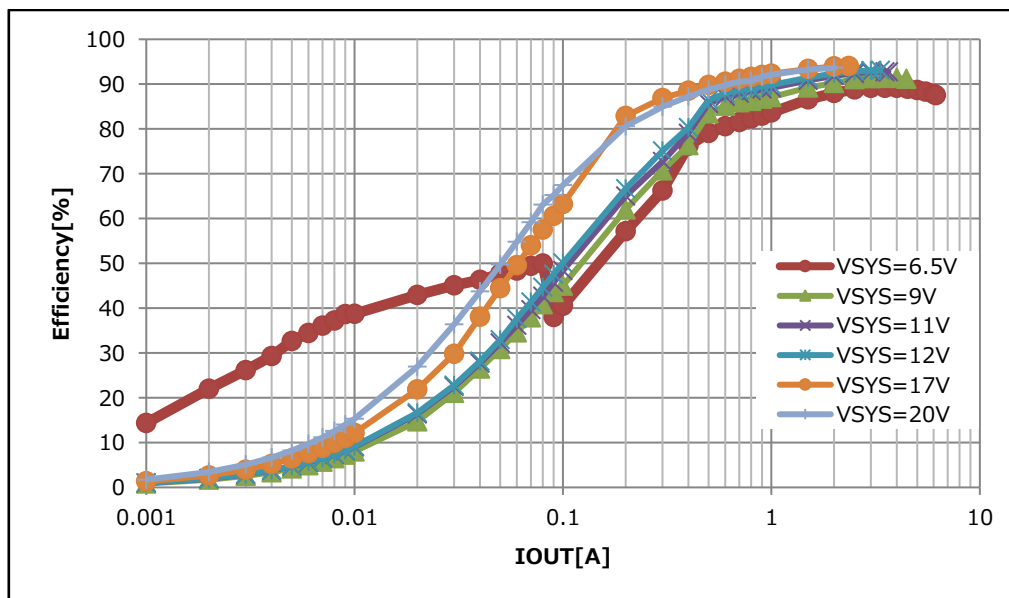


Figure 8-5. VBUS = 20V 効率データ

8-5 昇降圧 DCDC 負荷変動

CH1: VBUS
Offset=12V
1V/div

CH2: VSYS
Offset=7.6V
1V/div

CH4: ISYS
5A/div

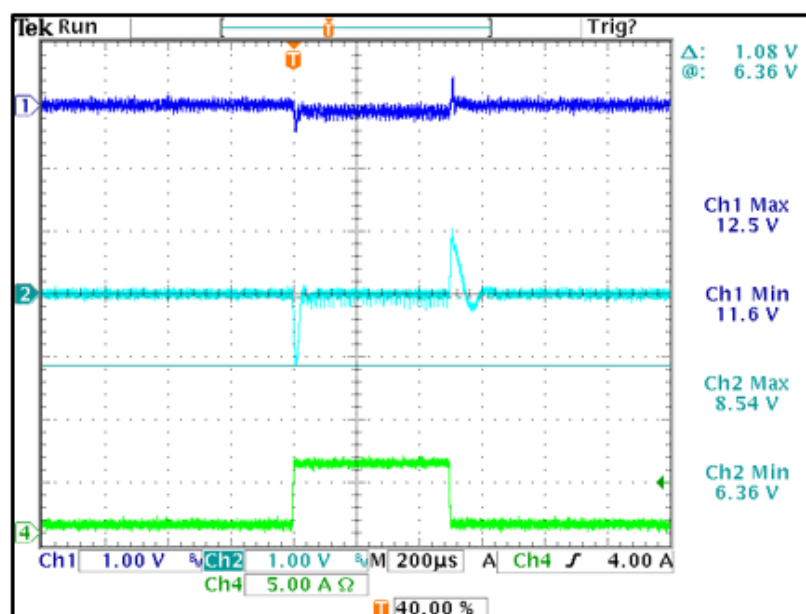


Figure 8-6. VBUS = 12V, VSYS=7.6V Iout = 0.5A ⇔ 5.3A

9 部品選定

9-1 ACP-ACN 入力電流検出抵抗

・RAC = 10mΩ

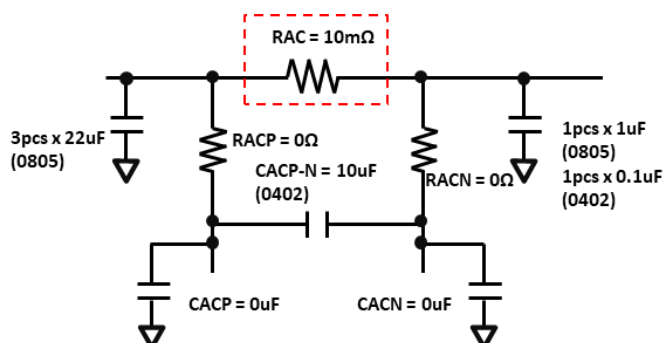


Figure 9-1. ACP-ACN 回路：入力電流検出抵抗

9-2 ACP-ACN 入力フィルタ

・入力コンデンサ = 22μF (25V) × 3pcs

セラミックコンデンサを使用し、オーディブルノイズが発生する場合は、タンタルポリマーコンデンサを使用してください。

・ACN 抵抗 (RACN) = 0Ω

内部回路電流が流れています。電圧降下により入力電流制限値が小さくなります。

・ACP 抵抗 (RACP) = 0Ω

・ACP と CAN の間のコンデンサ (CACP-N) = 10μF

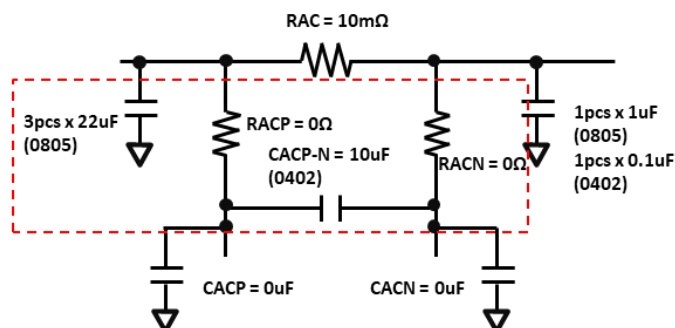


Figure 9-2. ACP-ACN 回路：入力電流フィルタ

9-3 インダクタ

BD99954 には、4 つの選択可能な固定スイッチング周波数があります。

推奨インダクタンスは 2.2μH です。インダクタ飽和電流は、昇圧動作時の入力電流 (I_{IN}) にリップル電流 (I_{RIPPLE}) の半分を加えたものよりも高くする必要があります。降圧動作時の負荷電流 I_{out} にリップル電流の半分を加えたものよりも高くする必要があります。下記の計算式は昇圧動作時の I_{SAT} 電流の計算式です。降圧動作時には I_{IN} を I_{out} に置き換えて計算してください。

$$I_{SAT} = I_{IN} + \frac{1}{2}(I_{RIPPLE})$$

降圧動作でのインダクタリップル電流は、入力電圧 (V_{IN})、デューティサイクル ($D_{BUCK} = V_{OUT}/V_{IN}$)、スイッチング周波数 (f_s)、およびインダクタンス (L) に依存します。

$$I_{RIPPLE_BUCK} = \frac{V_{IN} \times D_{BUCK} \times (1 - D)}{f_S \times L}$$

昇圧動作中のデューティサイクルは ($D_{BOOST} = 1 - (V_{IN}/V_{BAT})$)です。

リップル電流は次のとおりです。

$$I_{RIPPLE_BOOST} = \frac{V_{IN} \times D_{BOOST}}{f_S \times L}$$

9-4 入力コンデンサ

入力コンデンサは、入力スイッチングリップル電流より大きいリップル電流定格を選定する必要があります。RMS リップル電流は、降圧モードでデューティサイクルが 50% の場合、入力電流 I_{IN} の半分です。コンデンサの RMS 電流は、デューティサイクルが 50% に最も近い場所で発生し、次のように見積もることができます。

$$I_{CIN} = I_{IN} \times \sqrt{D \times (1 - D)}$$

X7R や X5R などの低 ESR セラミックコンデンサは、入力デカップリングコンデンサに適しているため、ハイサイド MOSFET のドレインとローサイド MOSFET のソースのできるだけ近くに配置する必要があります。コンデンサの定格電圧は、通常の入力電圧レベルよりも高くする必要があります。25V 定格以上のコンデンサを選定してください。

セラミックコンデンサは DC バias 効果があります この効果によりセラミックコンデンサの両端に DC バias 電圧が印加された場合、実効容量が減少します。特に入力電圧が高く、コンデンサパッケージが小さい場合、容量が大幅に低下する可能性があります。メーカー情報を参照してください。

DC バias 電圧を印加した場合を想定し、高い電圧定格または公称静電容量値を選択する必要がある場合があります。

9-5 VBUS、VCC 入力コンデンサ

19 V～20V の入力電圧の場合、4.7μF0805 サイズのコンデンサを 1 個以上使用することをお勧めします。

9-6 ACP 入力コンデンサ

19 V～20V の入力電圧の場合、22μF0805 サイズのコンデンサを 3 個以上使用することをお勧めします。

また、セラミックコンデンサを使用するとオーディブルノイズが発生します。オーディブルノイズが許容できない場合、22μF のタンタルポリマーコンデンサを使用してください。

(例) T521B226M025ATE100 : 22μF、25V、1411 サイズ

9-7 ACN 入力コンデンサ

1μF のコンデンサを接続してください。1μF 以上を接続すると VSYS 出力が不安定となりますので注意してください。

9-8 出力コンデンサ (VSYS)

出力コンデンサには、出力スイッチングリップル電流を吸収するのに十分なリップル電流定格も必要です。出力コンデンサの RMS 電流が与えられません。

セラミックコンデンサを使用するとオーディブルノイズが発生します。オーディブルノイズが許容できない場合、22μF のタンタルポリマーコンデンサを使用してください。

(例) T521B226M025ATE100 : 22μF、25V、1411 サイズ

9-9 BATT コンデンサ

セラミックコンデンサを使用するとオーディブルノイズが発生します。オーディブルノイズが許容できない場合、22 μ F のタンタルポリマーコンデンサを使用してください。

(例) T521B226M025ATE100 : 22 μ F、25V、1411 サイズ

OTG モードのときには、Reverse Buck-Boost モードで動作するので、バッテリーから VBUS、及び VCC 側に出力する構成になります。BATT コンデンサは入力コンデンサとして機能します。入力コンデンサの項目で記載したように DC バイアス電圧を印加した場合を想定し、高い電圧定格または公称静電容量値を選択する必要がある場合があります。

9-10 Power MOSFETs

9-10-1 Power MOSFETs 選定方法

同期整流スイッチングバッテリーチャージャー IC には、4 つの外付け N チャネル MOSFET が使用されます。ゲートドライバのゲート駆動電圧は IC 内部の電源の 5.2V が出力されます。19V~20V の入力電圧には、30V 以上の定格電圧の MOSFET を推奨します。

それぞれの MOSFET のゲートチャージ Q_g は 20nC 未満となるように選定する必要があります。

MOSFET 損失には、導通損失とスイッチング損失が含まれます。デューティサイクル ($D = V_{OUT} / V_{IN}$)、入力電流 (I_{IN})、MOSFET のオン抵抗 ($R_{DS(ON)}$)、入力電圧 (V_{IN})、スイッチング周波数 (f_s)、ターンオン時間 (t_{on}) オフ時間 (t_{off}) :

$$P_{top} = D \times I_{IN}^2 \times R_{DS(ON)} + \frac{1}{2} \times V_{IN} \times I_{IN} \times (t_{on} + t_{off}) \times f_s$$

最初の項目は伝導損失を表します。通常、MOSFET $R_{DS(ON)}$ は、接合部温度が 100°C 上昇すると 50%増加します。第 2 項は、スイッチング損失を表します。MOSFET のターンオン時間とターンオフ時間です。

ローサイド MOSFET の導通損失は、同期整流連続導通モードで動作する場合、次の式で計算できます。

$$P_{bottom} = (1 - D) \times I_{IN}^2 \times R_{DS(ON)}$$

BD99954 が非同期モードで動作している場合、降圧動作時のローサイドの MOSFET、及び昇圧動作時のハイサイド MOSFET はオフになります。その結果、フリーホイール電流は MOSFET のボディダイオードを通過します。ボディダイオードの電力損失は、その順方向電圧降下 (V_F)、非同期モード時の電流 (I_{NONSYN})、およびデューティサイクル (D) に依存します。

$$P_D = V_F \times I_{NONSYN} \times (1 - D)$$

9-10-2 Power MOSFETs 使用上の注意

負荷電流が大きいアプリケーションには許容損失の大きい MOSFET を選定し、並列ではなくひとつの FET を使用する必要があります。

以下の理由により、MOSFET を並列に使用することは推奨していません。

- ・ハイサイドとローサイドの貫通電流の危険性
- ・熱が均等に分散されない

9-11 DCDC FET ゲート抵抗

各ゲート抵抗は 10 Ω 未満である必要があります。0 Ω も可能です。

9-12 BATFET

トリクル充電とプリチャージの間、電流は VSYS 電圧からバッテリーに流れます。LDO のように動作しますので、VSYS とバッテリーとの電圧差 ΔV と充電電流によって損失 FET_{loss} が発生します。電位差が大きき充電電流が大きいと FET の発熱が大きくなります。対策として許容損失の大きい

FET を選択し 熱設計に注意してください。

$$FET_{loss} = \Delta V \times ITRICH_SET$$

$$\Delta V = V_{SYSREG_SET} - V_{BAT_{minimum}}$$

9-13 BATFET ゲート抵抗とコンデンサ

BGATE と BATT 間の抵抗は 470Ω で、 $0.1\mu F$ のコンデンサを接続します。BGATE は $6\mu A$ の定電流を出力して BATFET のゲートをオンにします。Vgs が $2.5V$ の FET を使用した場合、 $0.1\mu F$ のコンデンサでの遅延時間は $42ms$ です。 470Ω と $0.1\mu F$ も位相補償回路です。コンデンサ CBGATE は $3300pF$ まで設定可能です。CBGATE が $3300pF$ の時の抵抗 RBGATE は $1k\Omega$ を使用してください ([11-1 BGATE が ON するまでの時間が長いことに起因する現象とその回避策](#) 参照)。

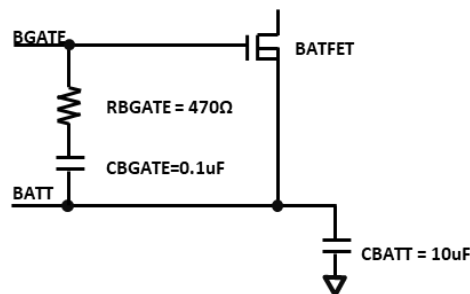


Figure 9-3. BATFET Gate resistor and capacitor circuit

9-14 充電電流検出抵抗とフィルタ

充電電流検出抵抗は $10m\Omega$ を推奨しています。終端電流 $300mA$ よりも小さく設定したい場合は [3-5. 終端電流 \(Termination current\)](#) に記載しているように $20m\Omega$ に設定して使用可能です。充電電流検出のフィルタとして Figure 9-4 のように SRN と SRP 端子に $0.1\mu F$ のコンデンサを接続します。

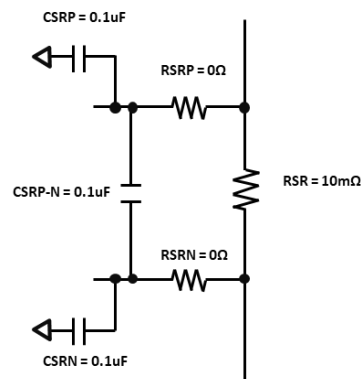


Figure 9-4. Charge current filter circuit

9-15 VREF コンデンサ

VREF は内部基準回路の $1.5V$ 出力です。推奨コンデンサは $1\mu F$ です。(EVK には $10\mu F$ が接続されていますが、 $1\mu F$ を使用してください)

9-16 REGN コンデンサ

REGN は内部基準回路の $5.2V$ 出力です。推奨コンデンサは $10\mu F$ です。

9-17 BOOT1、BOOT2 コンデンサ

推奨される BOOT1 および BOOT2 コンデンサは $0.1\mu F / 50V$ です。

9-18 ACGATE1、ACGATE2 コンデンサ

ラッシュ電流対策として 0.1 μ F を接続することを推奨します。

9-19 TSENSE 抵抗とサーミスタとコンデンサ

サーミスタを使用する場合は、RTS2 とサーミスタ 10k Ω 、B : 3435K を使用してください。

(例)

Thermistor = NTCG063JF103FTB

(B constant [25/85°C])

サーミスタ使用時のプルアップ抵抗 RTS1 は 5.6k Ω です。

TSENSE と GND 間にフィルタ用のコンデンサ 0.1 μ F の接続を推奨します。

サーミスタを使用しない場合は、RTS1 を取り外し、RTS2 を 10k Ω で GND にプルダウンします。

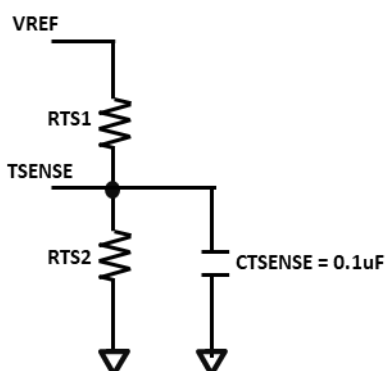


Figure 9-5. TSENSE resistor circuit

9-20 SCL、SDA プルアップ抵抗

BD99954 は SMBus2.0 に準拠しています。ただし、完全には準拠していません。400kHz の動作周波数で動作します。その場合は、プルアップ抵抗を変更してください。EVK は 47k Ω を 3.3V 外部電源にプルアップしています。

9-21 IADP/RESET 抵抗

入力電流制限の初期値は IADP / RESET で設定します。DCDC が動作しているとき、入力電流制限の初期値は、ホストから入力電流制限が設定されるまで続きます。

VREF から GND への抵抗が消費電流になります。バッテリーのみを使用する場合、省電力モードでの消費電流が増加する可能性があるため、RIADP1 と RIADP2 の合計が 200k Ω 未満となるように抵抗値を大きく設定します。

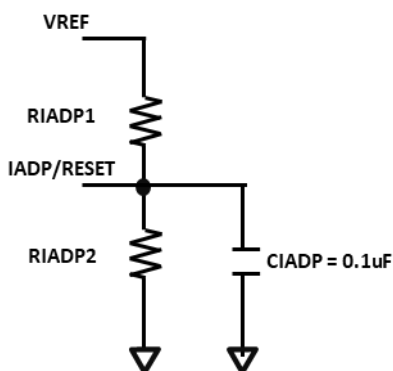


Figure 9-6. IADP/RESET resistor circuit

10 レイアウトパターン

10-1 レイアウトパターン注意点

- ・入力電流検出抵抗と ACN 端子間のインピーダンスを低くする。
- ・入力電流検出抵抗の ACN 端子および ACP 端子はそれぞれ共通インピーダンスがないように独立配線する。
- ・充電電流検出抵抗と STN 端子および SRP 端子はそれぞれ共通インピーダンスがないように独立して配線する。
- ・DCDC の MOSFET のドレインと充電電流検出抵抗の SRP 端子側は低インピーダンスで接続する。
- ・GND は低インピーダンスで 2 層に接続する。
- ・スイッチング電流が流れる経路は最短で配線する。(CIN-FET-COUT)。
- ・LG1、HG1、LG2、HG2、LX1、および LX2 は VREF、REGN、または SRP と並走やクロスさせない。
- ・IADP/RESET、SRN、ACN、ACP、IADP/RESET、TSENSE、VBUS_DPI、VBUS_DMI、VCC_DMI、VCC_DPI とスイッチング信号は並列、または交差させない。
- ・GND ピンは QFN パッケージのサーマルパッドに接続する。
- ・熱設計を改善するために、多くのビアを配置し、GND に接続してください。
- ・REGN コンデンサの GND 側に多くのビアを配置してください

10-2 レイアウトパターン例

Figure 10-1 の回路図はスイッチング動作時の電流が流れる部品を示しています。レイアウトパターン例を Figure 10-2 に示しています。

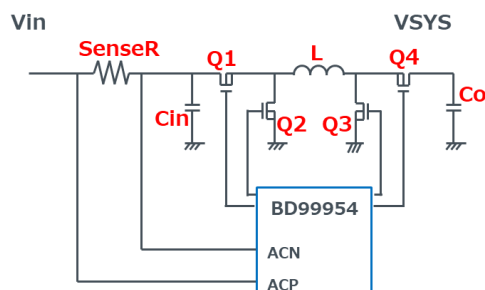


Figure 10-1. BD99954 Schematic Circuit

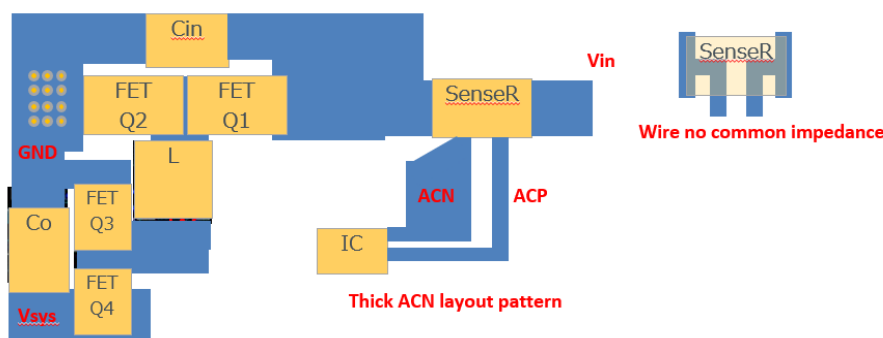


Figure 10-2. BD99954 Layout Pattern

11 直面しやすい現象とその回避策

11-1 BGATE が ON するまでの時間が長いことに起因する現象とその回避策

Figure 11-1（データシート Figure 1-1 の必要部分を抜粋）に、BGATE 周辺アプリケーション回路を示します。R7 と C15 は、BGATE による充電経路スイッチ Q7 の位相補償用フィルタです。このフィルタの時定数により、Q7 が ON するまでに時間がかかります。この間は、システム電圧は、BATT 電圧から Q7 のボディダイオードの V_f 下がった電圧になります。この時、バッテリー残量が少なく、アダプタの電流供給能力が低い場合、システムがシャットダウンする可能性があります。回避策としては、以下の計算式に従って位相補償の定数を変更してください。C15 は 3300pF まで設定可能です。C15 が 3300pF の時の R7 は 1k Ω を使用してください。

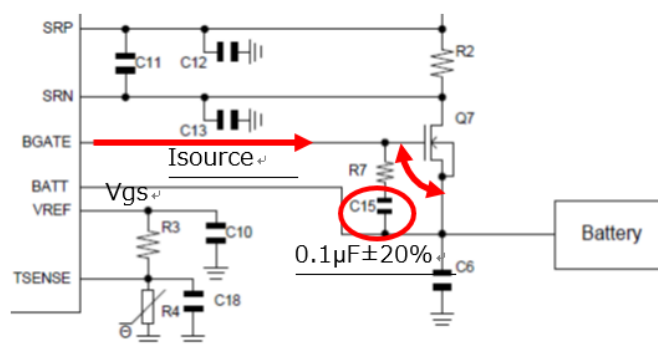


Figure 11-1. BGATE = ON までの時間を決める要素

位相補償定数と Q7 が ON するまでの時間 T_{on} は、下記の計算式で求められ 42ms です。

$$T_{on} = C15 \times V_{gs} / I_{source}$$

| | |
|--------------------------------|---|
| BGATE capacitor C15 | : 0.1 μ F \pm 20% (Q7 のゲート容量は C15 に対し小さいため無視) |
| Charge MOSFET Q7 threshold max | : 2.5V (ローム製 MOSFET RQ3E120GN 使用時) |
| BGATE current Isource | : 6 μ A \pm 50% |

Table 11-1. 現状の位相補償定数での T_{on} 時間

| | Min | Typ | Max |
|--------------|-----|-----|-----|
| $T_{on}(ms)$ | 22 | 42 | 100 |

11-2 DCDC 起動時のバッテリーから入力への逆流電流とその回避策

VBUS/VCC 接続し、0x0C : CHGOP_SET2 の bit7 : CHG_EN = 1（充電イネーブル）の状態、0x0C : CHGOP_SET2 の bit 6 : USB_SUS = 1（DCDC = OFF）→ 0（DCDC = ON）とすると、BATT から VBUS/VCC に向けて電流が流れます（逆流電流）。

このメカニズムを、Figure 11-2a（データシート P4 Figure 1-1 に加筆）に示します。

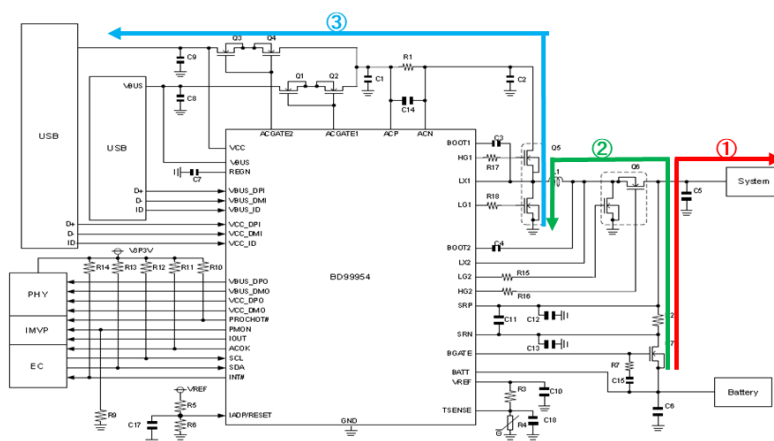


Figure 11-2a. 逆流電流発生メカニズム

- ①入力電流制限値が小さいのでシステム電圧が起動せず、VBATT から電流を供給
- ②システム電圧生成用の昇降圧 DCDC は動作しており、かつ VBUS からの電流供給が小さいため、VBATT を電源とした昇圧 DCDC の動作 LG1 の Low サイド FET がオンして VBATT→インダクタ→Low サイド FET に電流が流れる。
- ③Low サイド FET がオフした時に、VBUS 側への電流が供給され VBUS への逆流電流が発生

0x0C : CHGOP_SET2 の bit0 : CHOP_ALL = 1 とすると、非同期整流モードになりますので、スイッチング動作中の LG1 の FET と HG2 の FET はオフします。これによってシステム電圧が VBATT 電圧よりも低くなり、VBATT から電流を供給するようになった場合でも、HG2 の FET がオフしているため、FET のボディダイオードによって②の逆流経路は遮断されます。

しかし、CHOP_ALL は、VBUS/VCC が挿入されるとリセットされるため、Figure 11-2b（データシート P18 の上側の図に加筆）のタイミングチャートに記載の間に、1 をセットしてください。

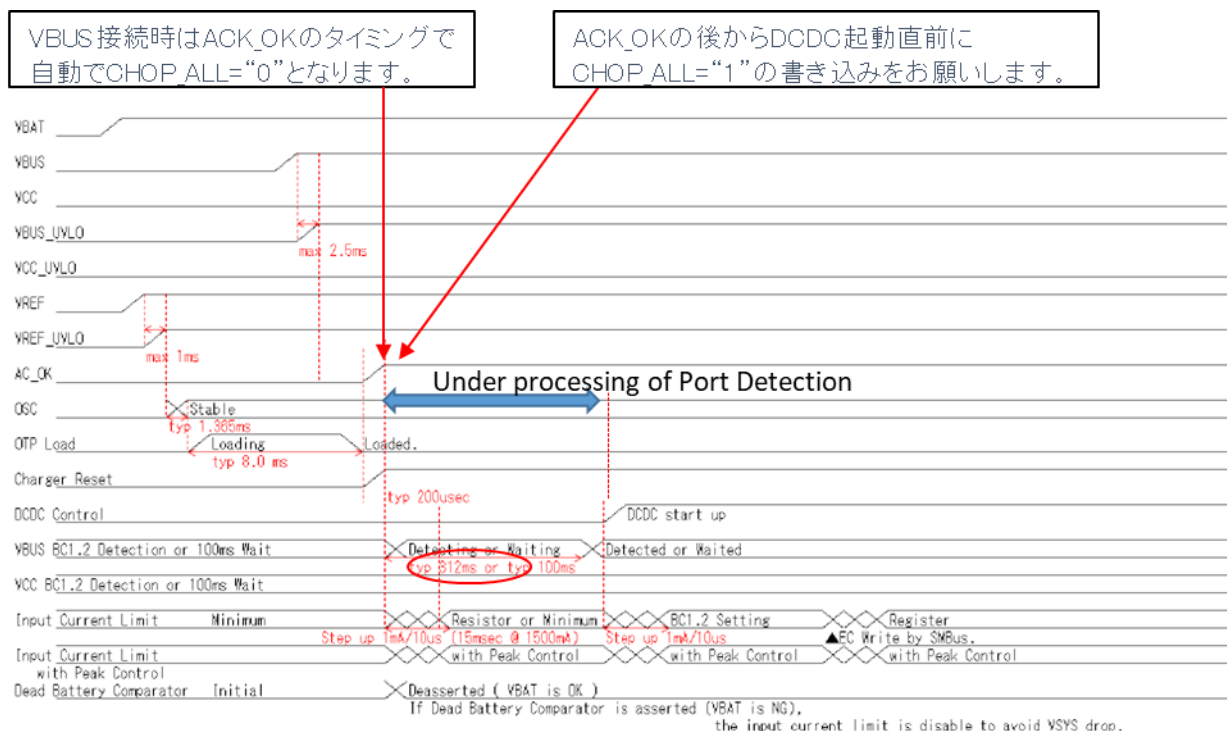


Figure 11-2b. CHOP_ALL = 1 をライトするタイミング

11-3 DCDC 入出力キャパシタの音鳴りとその回避策

BD99954 に搭載の昇降圧 DCDC は、軽負荷時の効率向上、バッテリーから入力への逆流電流防止、昇圧、降圧、昇降圧の動作モード切り替わり時には、スイッチングが間欠になります。間欠周期が、可聴帯域になるため入出力のセラミックコンデンサから間欠周期の音が発生します。

音鳴りによるセットへの悪影響は、EVK 評価で影響を確認いただき、実セットへの対策の要否をご判断ください。

このスキームして、以下の 2 方法があります。

コンデンサの種類を変更し、音鳴り（圧電効果による物理歪みが発生）しない物に変更——> ①

スイッチング周期を可聴帯域に入れないように制御する——> ②、③

以下に、順番に説明します。

①入出力コンデンサを、POSCAP（誘電性高分子コンデンサ）に変更

Figure 3-3a に、該当コンデンサを丸囲みで示します。この対策においては、以下の優先順位がありますので、実セット基板で評価・確認の上、実施してください。

順位 1) DCDC に近い&大容量のコンデンサ ==> C5

順位 2) DCDC に近いコンデンサ ==> C2

順位 3) その他 ==> C1,C6,C8,C9

の順に対処してください。

また、C8,C9 は、実セット仕様で、使用するポートに必要な物だけでかまいません。

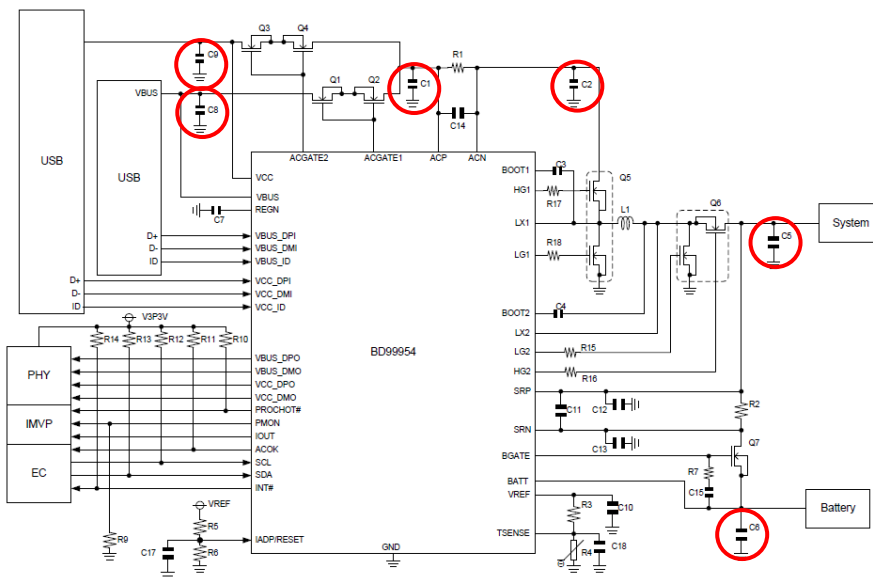


Figure 11-3a. 音鳴り対策の必要可能性のあるコンデンサ

②バッテリーとの間にスイッチを設け、常に CV モード動作

BD9954 は、入出力の電圧により動作モードを、降圧(Buck)、昇降圧(Buck-boost)、昇圧(Boost)と変化する DCDC コンバータを搭載しています。この時の動作の様子を、Figure 11-3b に示します。

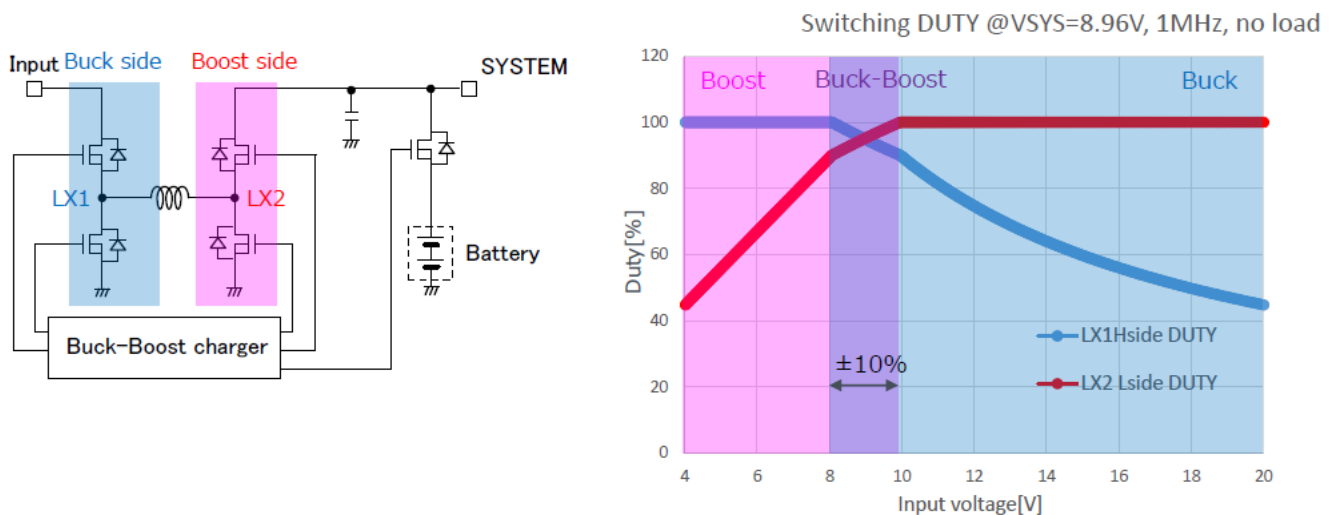


Figure 11-3b. 昇降圧制御について

動作モードの切替わり（Figure 11-3b 右の色の濃い部分のエッジ）では、最小 ON パルスが出力されますが、出力電圧の変化により、このパルスは、断続的になります。例えば、左側エッジでは、パルス出力あり⇒出力電圧上昇⇒パルス出力なし⇒出力電圧下降を繰り返します。この時、パルスが断続的になることで、パルス周波数が低下し、その周波数は、可聴帯域に入ってくることにより、セラミックコンデンサの歪みが、音として聞こえるようになります。

対策としては、DCDC のスイッチングパルスを断続的にしないようにするため、Figure 11-3c の様にスイッチ用 FET（赤丸囲み）を追加します。Table 11-3 に、追加 FET の制御表と対策のスキームを示します。スイッチ用 FET のゲートは、ホスト CPU の GPIO などで制御します。

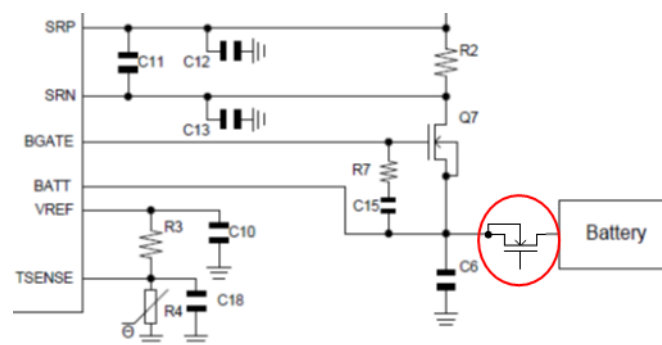


Figure 11-3c. スイッチ用 FET 追加位置

Table 11-3. スイッチ用 FET の制御と対策のスキーム

| 動作モード | システム出力電圧 | 追加FET制御 | 音鳴り対策のスキーム |
|-----------------|----------------|---------|------------------------------|
| 給電モード | VFASTCHG_SETの値 | OFF | DCDCをCV制御にする |
| FAST充電モード (CV) | VFASTCHG_SETの値 | ON | CV制御のため音鳴り影響小。Figure 3-3dで説明 |
| FAST充電モード (CC) | BATT+ICHG x R2 | ON | CV制御のため音鳴り影響小。Figure 3-3eで説明 |
| TRICLE,PRE充電モード | VSYSREG_SETの値 | ON | 8.96V一定出力のため、音鳴り影響小 |
| アダプタなし | BATT | ON | DCDC停止のため、音鳴り発生しない |

ここで、CV/CC 制御時の音鳴り低減のメカニズムについて説明します。Figure 11-3d に CV 制御時の音鳴り低減の解説図を示します。

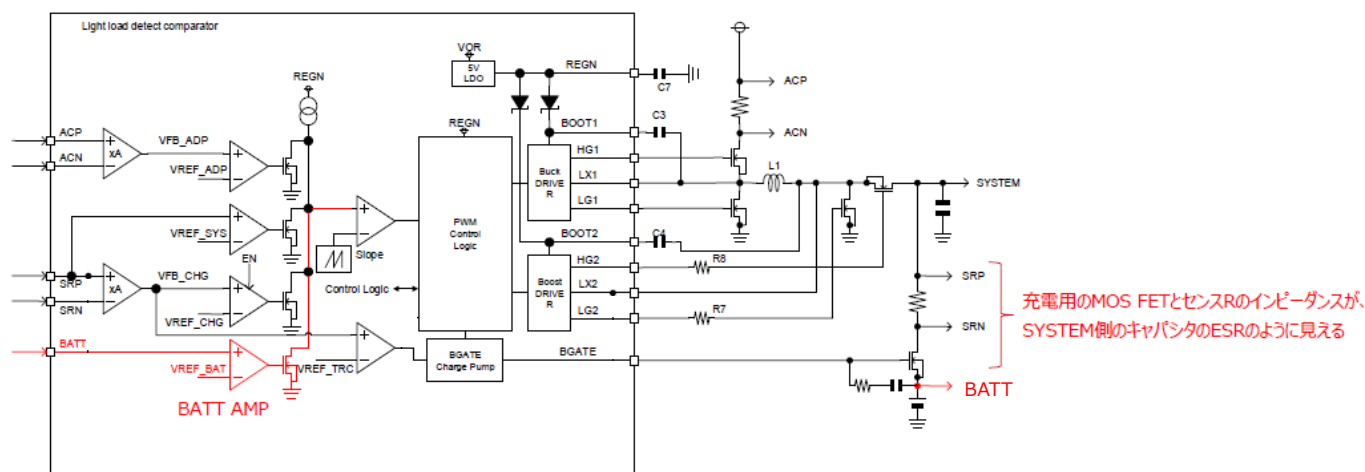


Figure 11-3d. CV 制御時の音鳴り低減の解説図

CV 充電時には、BATT 端子電圧を一定にする BATT 端子を入力とする BATT AMP のループによって動作します。BATT AMP のループ特性は、SYSTEM 側の出力キャパシタに対し、充電用 MOSFET と電流検出抵抗が ESR として見え、ゼロ点ができることで DCDC の帯域が域にシフトします。これにより軽負荷時のリップルが小さくなります。

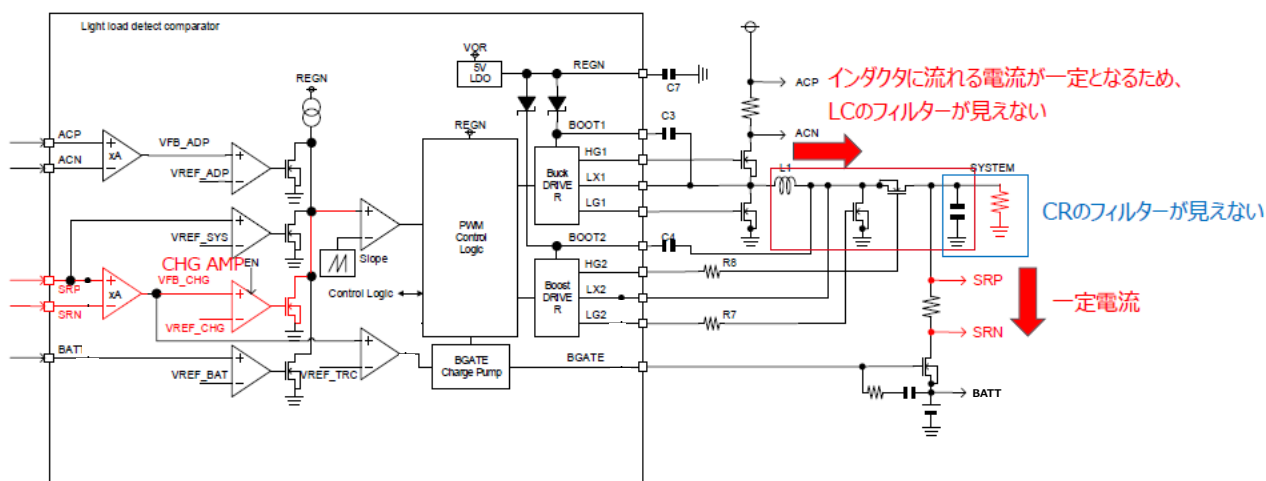


Figure 11-3e. CC 制御時の音鳴り低減の解説図

CC 充電電流制御時は、SRP-SRN 間の電圧が一定になるように DCDC の電圧を制御します。CV 充電電圧制御時と異なり、インダクタに流れる電流が一定になるような制御となり、SYSTEM 側からの負荷に対してはフィードバックがかかりません。そのため、電流制御時にはインダクタ、出力キャパシタ、負荷抵抗によるフィルタが見えなくなります。このため、出力キャパシタによる帯域低下が発生せず、応答特性が高域にとどまるため、可聴域のリップルが発生しなくなります。

12 誤解されやすい仕様

12-1 アダプタ/USB の入力ソースが自動で切り替わらない

Table 12-1（データシート P41 8.5.11. VIN_CTRL_SET に加筆）に示しますように、BD99954 の 2 本のパワーポートは、優先順位を設定することで、高優先設定のポートに自動的に切り替えることが可能な仕様となっています。（赤囲みの bit7：VIN_ORD の論理で決定）

Table 12-1. VBUS/VCC 優先ポート設定レジスタ

8.5.11. VIN_CTRL_SET

VBUS and VCC Control Setting

Command Code:

0Ah

Bus Protocol:

Read/Write Word

| Bit | Symbol | Description |
|-----|----------------|---|
| 15 | OTG_BOTH_EN | "Enabling OTG reverse buck boost output to VBUS and VCC both. "1": Enable / "0": Disable." When OTG_BOTH_EN=1 and VBUS_EN=VCC_EN=1, OTG reverse buck boost output same voltage at VBUS and VCC, VBUS=VCC=VRBOOST_SEL[14:6]. |
| 14 | VRBOOST_TRIG | Reverse buck Boost operation Trigger. "1": Trigger/ "0": No trigger |
| 13 | VRBOOST_EN[1] | Enabling VCC Reverse buck Boost operation. "1": Enable / "0": Disable. |
| 12 | VRBOOST_EN[0] | Enabling VBUS Reverse buck Boost operation. "1": Enable / "0": Disable. |
| 11 | PP_BOTH_THRU | "Enabling output to VBUS and VCC both. "1": Enable / "0": Disable." When PP_BOTH_THRU=1 and VBUS_EN=VCC_EN=1, VIN_ORD=0 : Power path output same voltage from VCC to VBUS, VIN_ORD=1 : Power path output same voltage from VBUS to VCC. |
| 10 | reserved | |
| 9 | reserved | |
| 8 | reserved | |
| 7 | VIN_ORD | VBUS / VCC input priority. "1": VBUS prior / "0": VCC prior. |
| 6 | VBUS_EN | Enabling VBUS input. "1": Enable / "0": Disable. |
| 5 | VCC_EN | Enabling VCC input. "1": Enable / "0": Disable. |
| 4 | VSYS_PRIORITY | Disabling the input current limit for avoiding VSYS drop when VBAT is the dead-battery, VBAT is < VSYSREG_SET. "1": Disable the input current limit / "0": Enable the input current limit. |
| 3 | PPC_SUB_CAP[1] | Power source peak current sub-capability |
| 2 | PPC_SUB_CAP[0] | |
| 1 | PPC_CAP[1] | |
| 0 | PPC_CAP[0] | Power source peak current capability |

しかし、Dead Battery などの VSYSREG_SET > VBATT 電圧時は、システムシャットダウンを避けるために、自動切替をしない仕様となっています。例えば、バッテリー電圧が低い（2.5V 以下）状況で、VBUS 優先で、VCC=5V を入力中に、VBUS に 15V を入力しても、VBUS には切り替わりません。一旦、接続している入力を全て抜いてから、所望の入力を接続してください。

12-2 USB1.1 等 100mA 入力電流規格非対応

4 つの外付け MOSFET を駆動する昇降圧 DCDC の構成上、自己消費電流が大きく 100mA の入力電流ではシステムに電力供給やバッテリーへの充電が行えないため USB1.1 規格や、USB1.2 規格の SDP 100mA の動作を保証しておりません。

12-3 充電停止時 VSYS 電圧低下について

充電停止時にはバッテリーへのラッシュ電流を防ぐために、Figure 12-1 のタイミングチャートの様に充電電流制御アンプの Enable (EN) を 3~4ms 遅らせているため、その間アンプの VFB_CHG = VREF_CHG = 0 となり、アンプのオフセット状態により FB が引き抜かれるため DCDC が停止し、VSYS 電圧がドロップします。

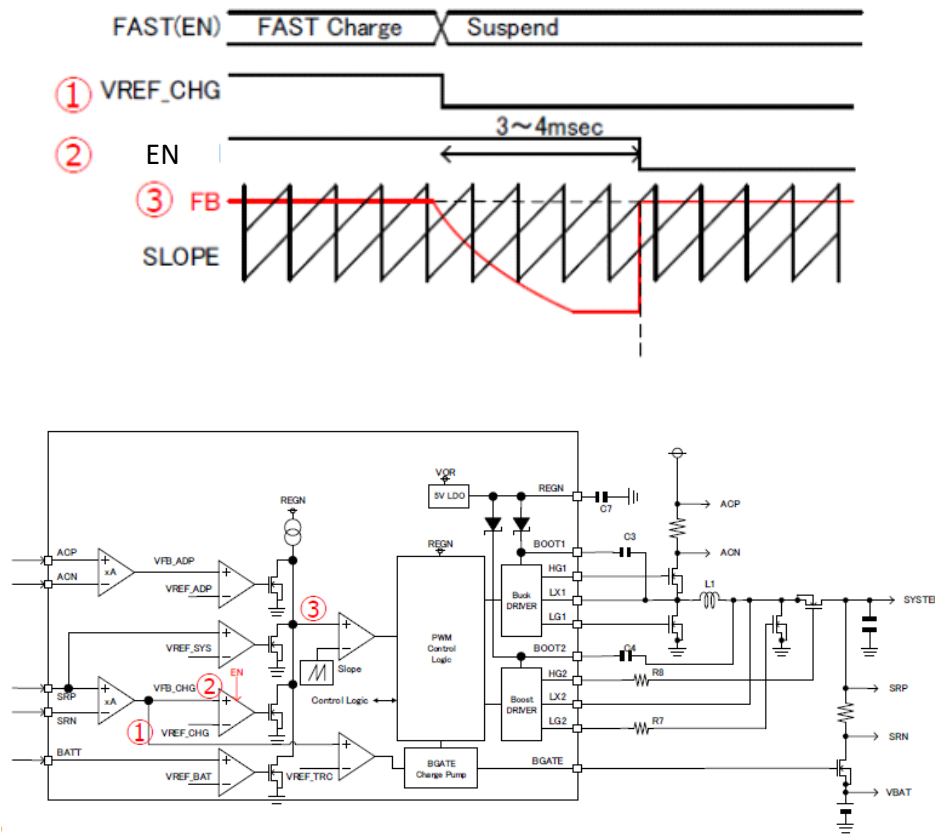


Figure 12-1. VSYS 電圧ドロップのメカニズム(FAST 充電終了タイミングチャートと充電ブロック図)

次に対策シーケンスについて述べます。VSYs 電圧ドロップの原因は、FAST 充電から充電停止(temp_error, suspend)へのステート移行時に DCDC の出力制御を行うアンプの動作モード切替えにタイムラグを持たせているためです。

Figure 12-2 の状態遷移表の FAST 充電から充電停止への遷移(赤矢印)した際は、CHG_AMP から VSYS_AMP の制御に切替えが発生します。一方、TRICLE、PRE 充電から充電停止への遷移(青矢印)した際は、TRI_AMP が停止となるのみで DCDC の出力制御を行うアンプの切替えが発生しません。

そのため VSYsREG_SET レジスタの設定により PRE 充電のステートから充電停止すれば、VSYs 電圧のドロップは発生しません。

| AMP | 用途 | TRICLE,PRE | 充電停止 | FAST |
|-----------|-----------------|------------|------|----------|
| ①BATT_AMP | CV制御用 | 動作 | 動作 | 動作 |
| ②VSYs_AMP | VSYs制御用 | 動作 | 動作 | 停止 |
| ③CHG_AMP | FAST充電制御用 | 停止 | 停止 | 動作 |
| ④TRI_AMP | Tricle,Pre充電制御用 | 動作 | 停止 | OCPとして動作 |

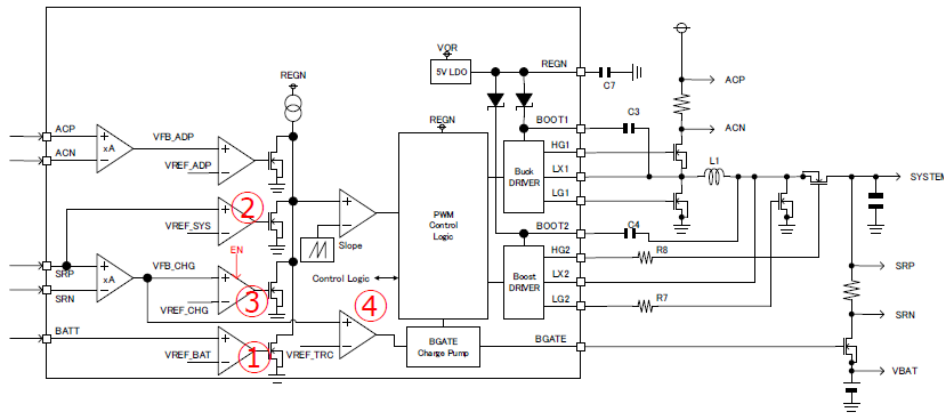


Figure 12-2. VSYS 電圧ドロップ回避制御(充電関連アンプの状態遷移表とそのブロック図)

最後に回避シーケンス（制御手順）について以下に述べます。

1. バッテリ抜けの検出

本現象が致命的な問題（システム停止など）となるのは、デッドバッテリー等のバッテリー電圧が極低下している場合や、脱バッテリー時のみです。

→FAST 充電状態、BGATE ON、VSYS=BATT=12.40V

2. 0x11 : VSYSREG_SET を 14.016V に設定

→設定完了から 28.8ms(max)後に、PRE 充電に遷移、BGATE ON、VSYS=BATT=12.40V

3. 0x0C:CHG_EN を disable に設定

→SUSPEND に遷移、BGATE OFF、VSYS=14.016V、BATT=OPEN

4. 0x11 : VSYSREG_SET を 8.960V に設定

→SUSPEND 状態、BGATE OFF、VSYS=8.960V、BATT=OPEN

12-4 BC1.2 を VBUS ポートで使用する際の注意

VBUS_DPI と VBUS_DMI のノイズが IC 内部の IADP/RESET 信号に伝搬し、IADP/RESET がリセットされてしまい、入力電流制限値があります。VBUS_DPI と VBUS_DMI に信号が入力される時には 0x40 VM_CTRL_SET の 9bit EXTIADPEN を 0 に設定し、IADP/RESET の ADC の測定を Disable にしてください。

13 PROCHOT

13-1 PMON 設定

IMPV8 に準拠した電力モニタ結果を PMON 端子に出力することができます。

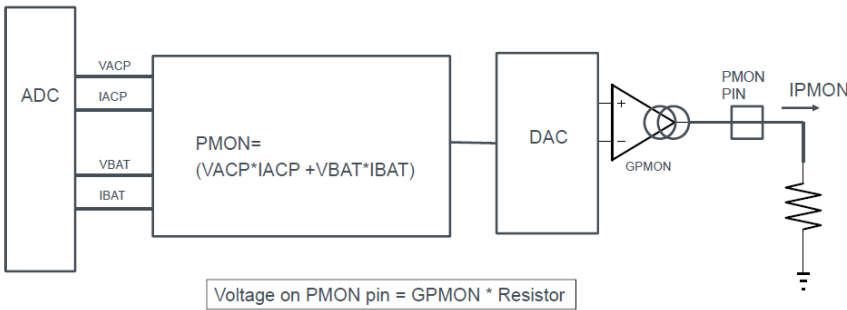


Figure 13-1. PMON 端子内部回路ブロック図

電力値を PMON 端子から電流として出力し、外付け抵抗の電圧を測定してください。
電力と電流の換算はデータシートの下記に記載されています。

Table 13-1. PMON 電気的特性

| Item | Symbol | Value | | | Unit | Condition |
|---|----------|-------|------|------|------|---|
| | | Min. | Typ. | Max. | | |
| <PMON> | | | | | | |
| Power Monitor Amplifier Gain (IPMON)/(VACP×IACP + VBAT×IBAT) | GPMON | - | 16 | - | μA/W | REG0x25h[2:0] =6h 6.25W Setting |
| | | - | 8 | - | μA/W | REG0x25h[2:0] =5h 12.5W Setting |
| | | - | 4 | - | μA/W | REG0x25h[2:0] =4h 25W Setting |
| | | - | 2 | - | μA/W | REG0x25h[2:0] =3h 50W Setting |
| | | - | 1 | - | μA/W | REG0x25h[2:0] =2h 100W Setting |
| | | - | 0.5 | - | μA/W | REG0x25h[2:0] =1h 200W Setting |
| | | - | 0.25 | - | μA/W | REG0x25h[2:0] =0h 400W Setting |
| | IPMON | -5 | - | +5 | % | IPMON=50uA |
| PMON Maximum Current | IPMONMAX | - | - | 200 | μA | |

0x25 PMON_IOUT_CTRL_SET のビット 8 とビット[3 : 0]を設定して、PMON を設定します。

Table 13-2. PMON 設定レジスタ

8.5.38. PMON_IOUT_CTRL_SET

PMON and IOUT Output Control Setting

Command Code: 25h
 Bus Protocol: Read/Write Word

| Bit | Symbol | Description |
|-----|------------------|---|
| 15 | reserved | |
| 14 | reserved | |
| 13 | reserved | |
| 12 | reserved | |
| 11 | reserved | |
| 10 | reserved | |
| 9 | IMON_INSEL | IOUT Input source select. 0b: Measurement Average Value/ 1b: Measurement Value |
| 8 | PMON_INSEL | PMON Input source select. 0b: Measurement Average Value/ 1b: Measurement Value |
| 7 | IOUT_OUT_EN | IOUT enable. "1": Enable / "0": Disable. |
| 6 | IOUT_SOURCE_SEL | IOUT source select. "1": Input Current / "0": Battery Dis-charge Current. |
| 5 | IOUT_GAIN_SET[1] | IOUT gain select. |
| 4 | IOUT_GAIN_SET[0] | 00b: 5V/V / 01b: 10V/V / 10b: 20V/V / 11b: 40V/V |
| 3 | PMON_OUT_EN | PMON Enable. "1": Enable / "0": Disable. |
| 2 | PMON_GAIN_SET[2] | PMON gain select. |
| 1 | PMON_GAIN_SET[1] | 0h: x1/ 1h: x2/ 2h: x4/ 3h: x8/ 4h: x16/ 5h: x32/ 6h: x64 |
| 0 | PMON_GAIN_SET[0] | |

13-2 Peak Power Control

IMPV8 に準拠した Peak Power Control を設定することができます。Peak Power Control を使用する場合、VIN_CTRL_SET.PPC_CAP [1 : 0]および PPC_SUB_CAP [1 : 0]でピーク入力電流制御を設定する事ができます。

Table 13-3. Peak Power Control 設定レジスタ

● VIN_CTRL_SET

VBUS and VCC Control Setting

Command Code: 0Ah
 Bus Protocol: Read/Write Word

| Bit | Symbol | Description |
|-----|----------------|--|
| 3 | PPC_SUB_CAP[1] | Power source peak current sub-capability |
| 2 | PPC_SUB_CAP[0] | |
| 1 | PPC_CAP[1] | |
| 0 | PPC_CAP[0] | |

| PPC_CAP | PPC_SUB_CAP | Overload Capabilities Description |
|---------|-------------|--|
| 00b | *b | Peak current equals (IBUS_LIM_SET or ICC_LIM_SET) . |
| 01b | 00b | Peak current equals 150.0% (IBUS_LIM_SET or ICC_LIM_SET) for 1ms. Low current equals 97.0% (IBUS_LIM_SET or ICC_LIM_SET) for 19ms. |
| | 01b | Peak current equals 125.0% (IBUS_LIM_SET or ICC_LIM_SET) for 2ms. Low current equals 97.0% (IBUS_LIM_SET or ICC_LIM_SET) for 18ms. |
| | 10b | Peak current equals 110.0% (IBUS_LIM_SET or ICC_LIM_SET) for 10ms. Low current equals 90.0% (IBUS_LIM_SET or ICC_LIM_SET) for 10ms. |
| 10b | 00b | Peak current equals 200.0% (IBUS_LIM_SET or ICC_LIM_SET) for 1ms. Low current equals 95.0% (IBUS_LIM_SET or ICC_LIM_SET) for 19ms. |
| | 01b | Peak current equals 150.0% (IBUS_LIM_SET or ICC_LIM_SET) for 2ms. Low current equals 94.0% (IBUS_LIM_SET or ICC_LIM_SET) for 18ms. |
| | 10b | Peak current equals 125.0% (IBUS_LIM_SET or ICC_LIM_SET) for 10ms. Low current equals 75.0% (IBUS_LIM_SET or ICC_LIM_SET) for 10ms. |
| 11b | 00b | Peak current equals 200.0% (IBUS_LIM_SET or ICC_LIM_SET) for 1ms. Low current equals 95.0% (IBUS_LIM_SET or ICC_LIM_SET) for 19ms. |
| | 01b | Peak current equals 175.0% (IBUS_LIM_SET or ICC_LIM_SET) for 2ms. Low current equals 92.0% (IBUS_LIM_SET or ICC_LIM_SET) for 18ms. |
| | 10b | Peak current equals 150.0% (IBUS_LIM_SET or ICC_LIM_SET) for 10ms. Low current equals 50.0% (IBUS_LIM_SET or ICC_LIM_SET) for 10ms. |

IADP/RESET、IBUS_LIM_SET、IVCC_LIM_SET、BC1.2 のいずれかで設定された入力電流制限値 CUR_ILIM_VAL の値に対して下記のように時間と入力電流制限設定の比率が異なるいくつかのパターンを設定する事ができます。

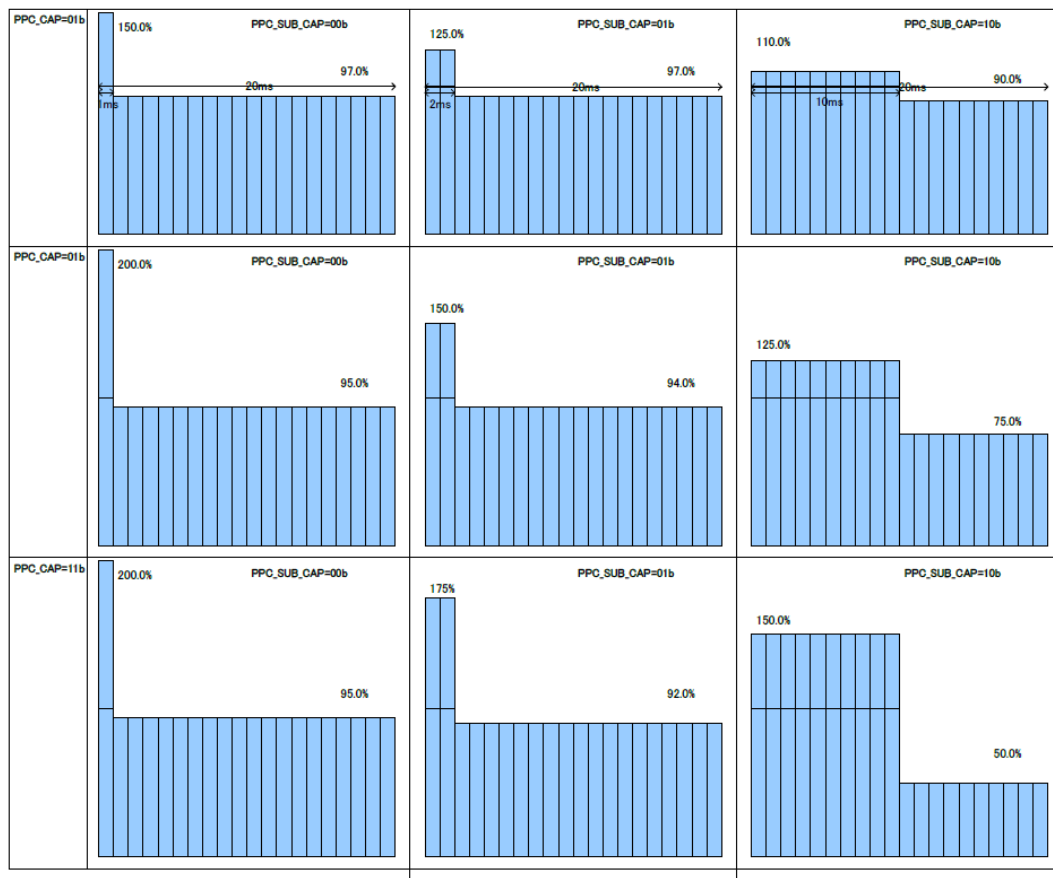


Figure 13-2. Peak Power Control 設定時の入力電流制限

3000mA で入力電流制限を設定したときに、125%/10ms、75%/10ms の Peak Power Control を設定すると、下記ようになります。

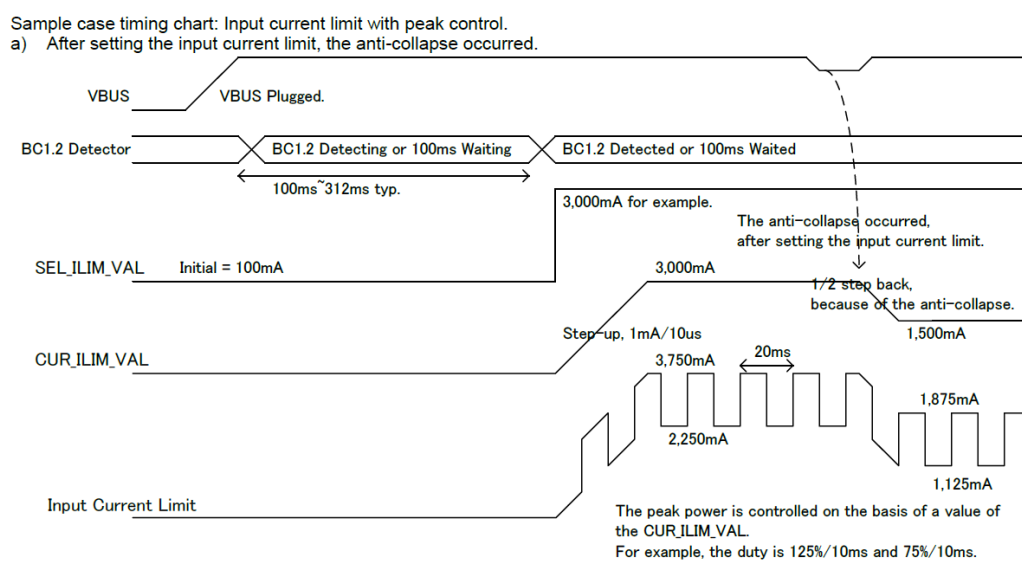


Figure 13-3. Peak Power Control 設定時の入力電流制限

14 バッテリと入力接続を行い充電完了までのフローチャート

入力を接続し、入力電流制限を設定し、充電設定、及び保護動作の検知までを設定したフローチャートを下記に示します。充電完了までを記載しています。フローチャート内の下線付きの青文字をクリックするとリンク先に移動します。フローチャート内に記載されている待機時間は一例です。アプリケーションに応じて設定が必要です。

14-1 バッテリと入力接続を行い充電完了までのフローチャート

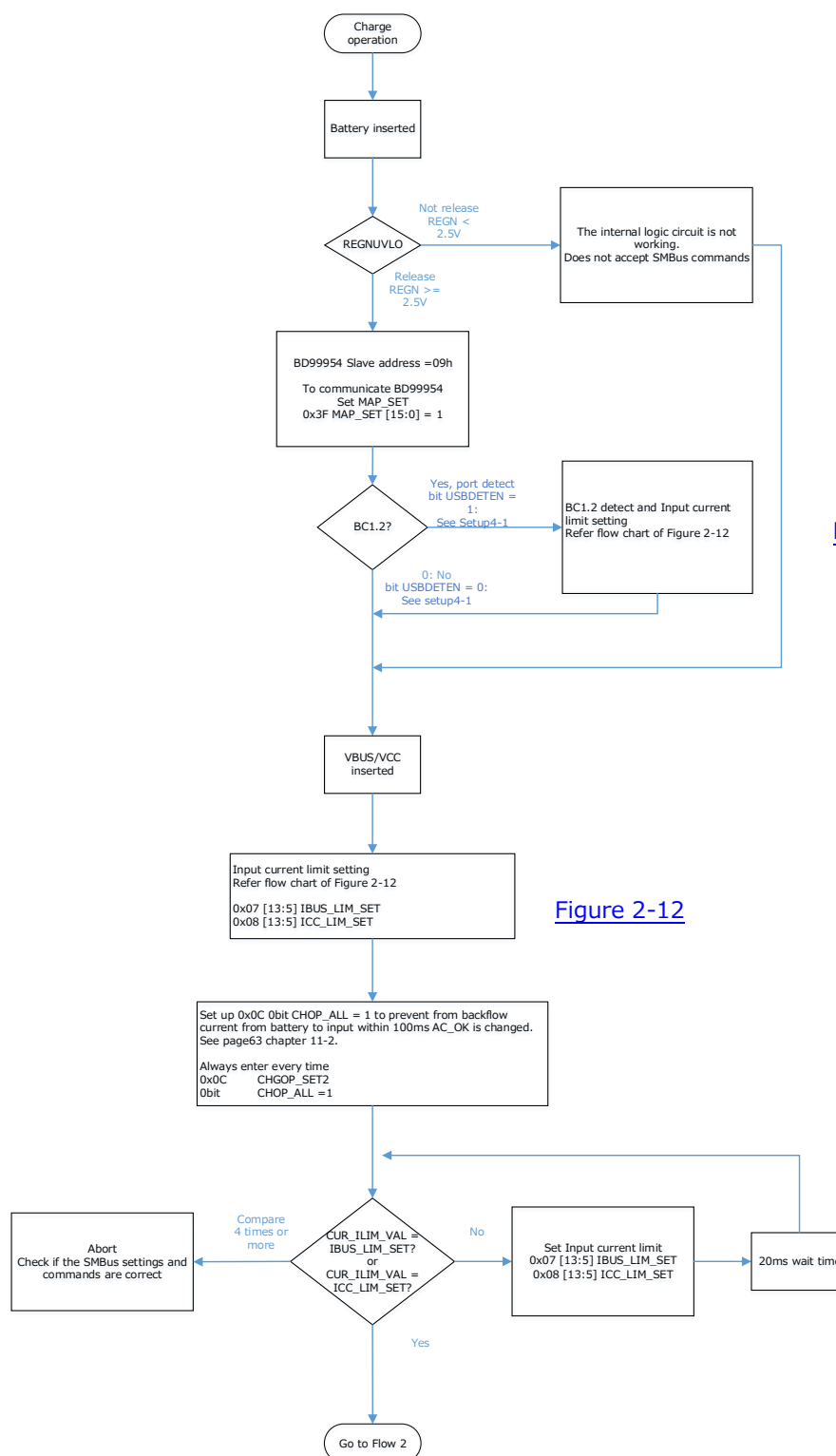


Figure 2-12

Figure 2-12

Figure 14-1. 入力接続時のフローチャート

14-2 バッテリと入力接続を行い充電完了までのフローチャート 続き 2

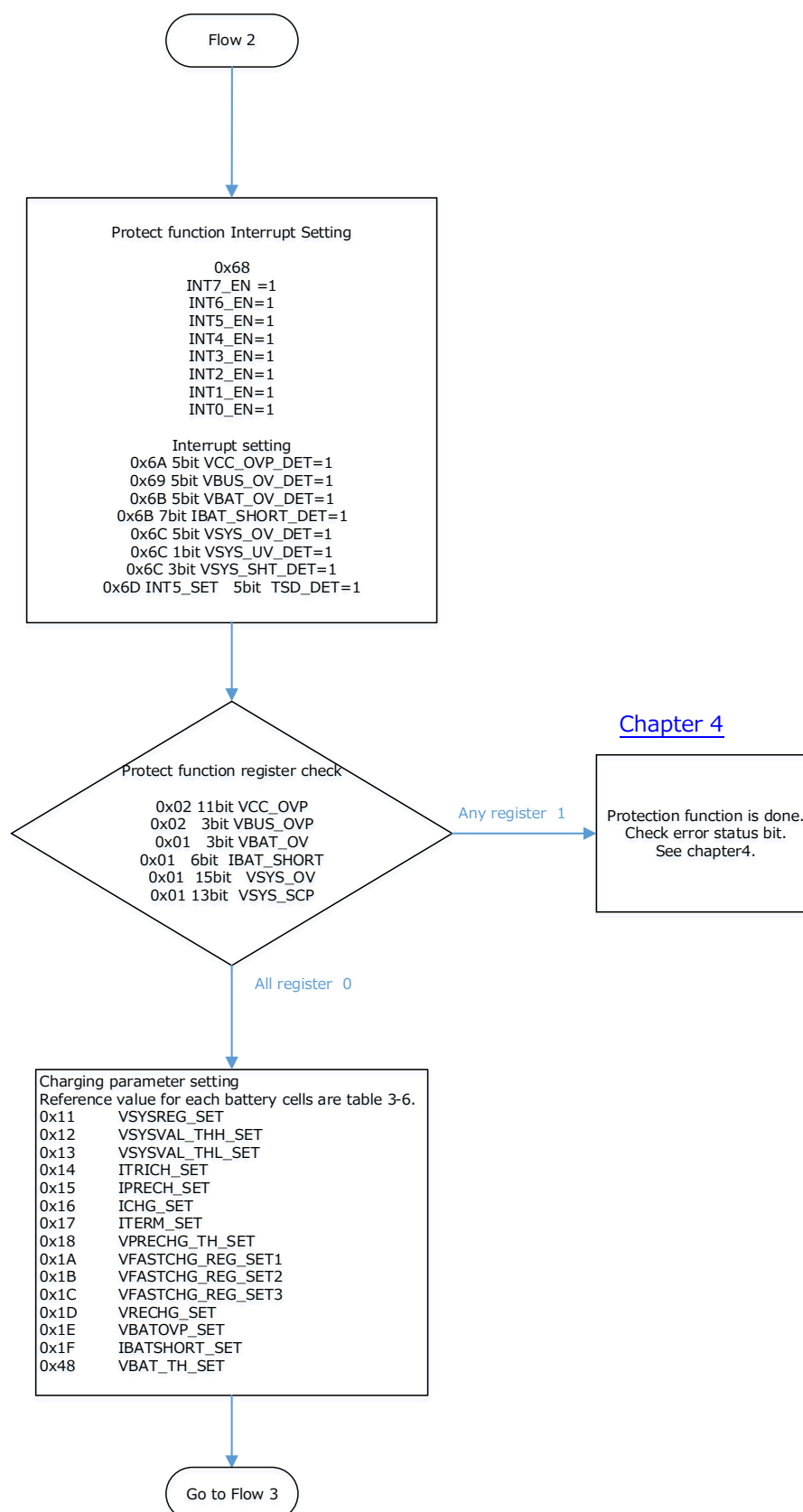


Figure 14-2. 充電条件設定までのフローチャート

14-3 バッテリと入力接続を行い充電完了までのフローチャート 続き 3

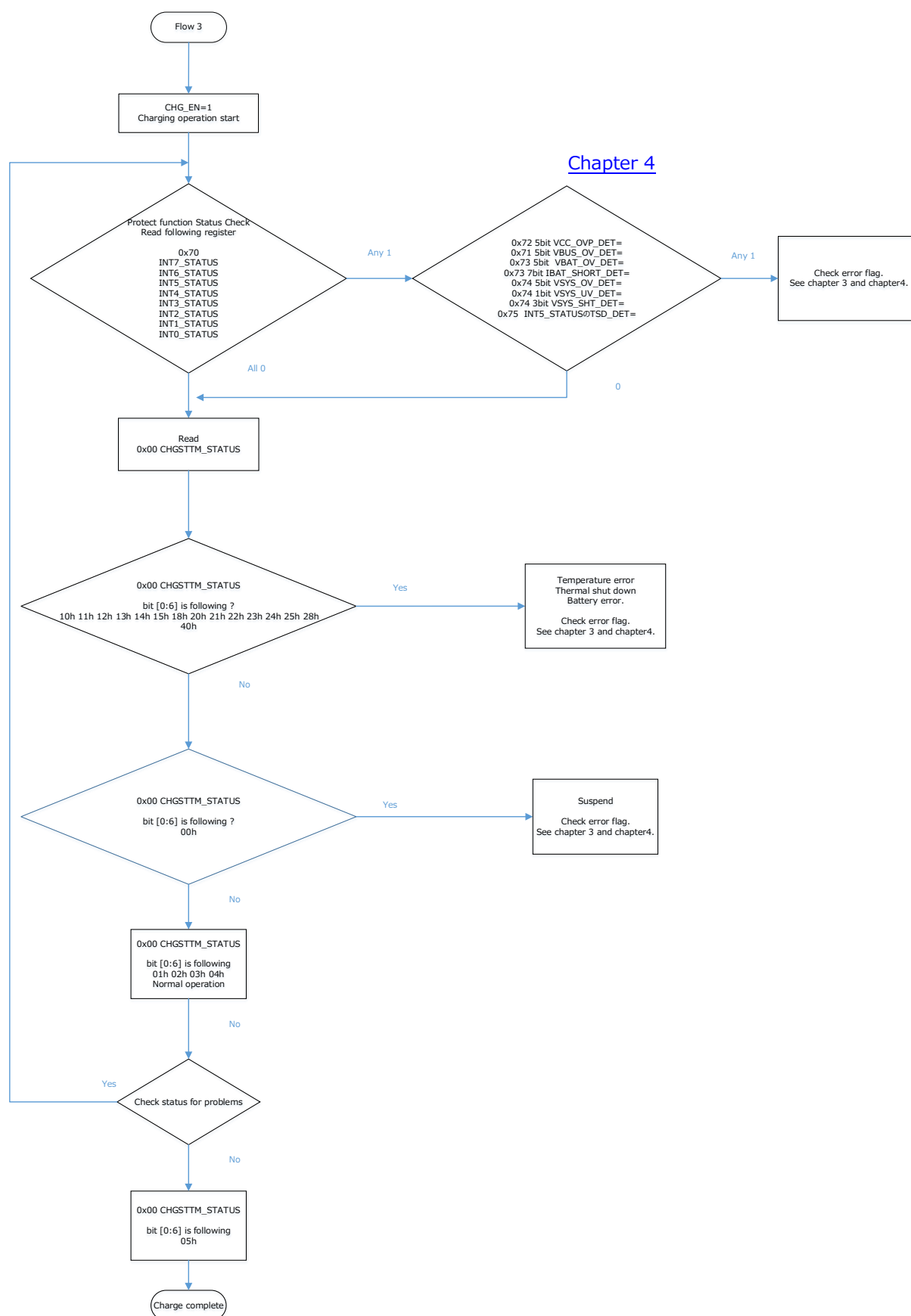


Figure 14-3. 充電開始から完了までのフローチャート

変更履歴

| Date | Revision | Changes |
|------------|----------|---|
| 2020.12.25 | 001 | New Release |
| 2021.12.27 | 002 | Page63 の誤植を訂正。Page21 の Fig.2-15 の誤植を訂正。Page52 の Table.7-2 の枠線を訂正。 |

ご 注 意

- 1) 本資料の記載内容は改良などのため予告なく変更することがあります。
- 2) 本資料に記載されている内容は製品のご紹介資料です。ご使用に際しては、別途最新の仕様書を必ずご請求のうえ、ご確認ください。
- 3) ロームは常に品質・信頼性の向上に取り組んでおりますが、半導体製品は種々の要因で故障・誤作動する可能性があります。
万が一、本製品が故障・誤作動した場合であっても、その影響により人身事故、火災損害等が起こらないようご使用機器でのディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等の安全確保をお願いします。定格を超えたご使用や使用上の注意書が守られていない場合、いかなる責任もロームは負うものではありません。
- 4) 本資料に記載されております応用回路例やその定数などの情報につきましては、本製品の標準的な動作や使い方を説明するものです。
したがって、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。
- 5) 本資料に記載されております技術情報は、製品の代表的動作および応用回路例などを示したものであり、ロームまたは他社の知的財産権その他のあらゆる権利について明示的にも黙示的にも、その実施または利用を許諾するものではありません。上記技術情報の使用に起因して紛争が発生した場合、ロームはその責任を負うものではありません。
- 6) 本資料に掲載されております製品は、耐放射線設計はなされていません。
- 7) 本製品を下記のような特に高い信頼性が要求される機器等に使用される際には、ロームへ必ずご連絡の上、承諾を得てください。
・輸送機器（車載、船舶、鉄道など）、幹線用通信機器、交通信号機器、防災・防犯装置、安全確保のための装置、医療機器、サーバー、太陽電池、送電システム
- 8) 本製品を極めて高い信頼性を要求される下記のような機器等には、使用しないでください。
・航空宇宙機器、原子力制御機器、海底中継機器
- 9) 本資料の記載に従わないために生じたいかなる事故、損害もロームはその責任を負うものではありません。
- 10) 本資料に記載されております情報は、正確を期すため慎重に作成したのですが、万が一、当該情報の誤り・誤植に起因する損害がお客様に生じた場合においても、ロームはその責任を負うものではありません。
- 11) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上でご使用ください。
お客様がかかる法令を順守しないことにより生じた損害に関して、ロームは一切の責任を負いません。
本製品の RoHS 適合性などの詳細につきましては、セールス・オフィスまでお問合せください。
- 12) 本製品および本資料に記載の技術を輸出又は国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 13) 本資料の一部または全部をロームの許可なく、転載・複写することを堅くお断りします。



ローム製品のご検討ありがとうございます。
より詳しい資料やカタログなどご用意しておりますので、お問合せください。

ROHM Customer Support System

<https://www.rohm.co.jp/contact/>