

## リニアレギュレータシリーズ

# BDxxFA1 シリーズ アプリケーション情報

このアプリケーションノートの情報は、ICの実装についてのヒントのみを記載しています。従いまして、ICの品質説明または保証と見なされるものではありません。ICの規格値については最新のデータシートをご覧ください。また各項目の説明に使用されるアプリケーション回路は単純化された例ですので、必ず実際のアプリケーションで動作を検証してください。

## 目次

1	代表的なアプリケーション回路	2
1.1	可変出力型 BD00FA1WEFJ	2
1.2	固定出力型 BDxxFA1MG-M	3
1.3	固定出力型 BDxxFA1FP3	4
2	出力電圧設定 (可変出力型)	5
3	ケルビン接続	6
4	出力電圧誤差	6
5	入出力電圧差と特性の考察	7
6	出力制御 (EN) ピン	7
7	出力コンデンサ	8
8	入力コンデンサ	9
9	負荷について	9
10	効率	9
11	熱設計	10
12	端子保護	17
13	ソフトスタート	19
14	電源オン シーケンス	20
15	電源オフ シーケンス	23
16	突入電流	26
17	過電流保護(OCP)	27
18	過熱保護(TSD)	27
19	入出力等価回路	28

## 1 代表的なアプリケーション回路

### 1.1 可変出力型 BD00FA1WEFJ

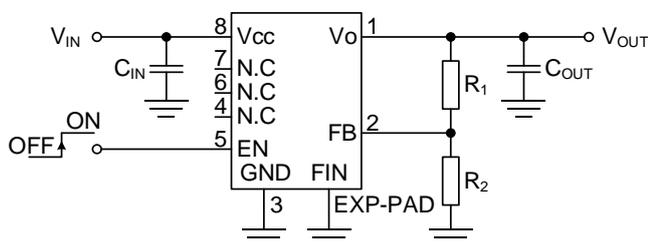


Figure 1-1. 出力オン/オフ機能を使用するとき

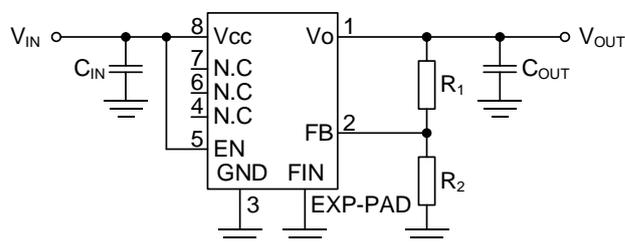


Figure 1-2. 出力オン/オフ機能を使用しないとき

品名	BD00FA1WEFJ
パッケージ	HTSOP-J8
ピン配置 Top View	<p>裏面：エクスポートパッド</p>

ピン番号	ピン名	機能
1	Vo	出力ピン 負荷に電力を供給します。このピンには発振を防ぐため Vo と GND 間にコンデンサを接続してください。→ 8 ページ参照。
2	FB	出力電圧設定ピン FB ピンは誤差アンプの入力ピンです。FB ピン電圧はグラウンドを基準とした 0.8V で、3.0V~12V の範囲で出力電圧設定が可能です。抵抗分割回路を接続してください。→ 5 ページ参照。
3	GND	グラウンド レギュレータ回路のグラウンドです。
4	N.C	未接続ピン N.C ピンは内部回路に接続されていません。GND に接続するかオープンにしてください。
5	EN	イネーブルピン EN ピンを使用すると IC をシャットダウン状態にすることができます。このピンを High にすると出力をオンに、Low にするとオフになります。→ 7 ページ参照。
6, 7	N.C	未接続ピン N.C ピンは内部回路に接続されていません。GND に接続するかオープンにしてください。
8	Vcc	入力ピン 入力ピンを介して IC に電源が供給されます。IC の入力を安定化させるため、Vcc と GND 間にセラミックコンデンサを接続してください。コンデンサはピンの近くに配置してください。→ 9 ページ参照。
EXP-PAD	FIN	エクスポートパッド 裏面のエクスポートパッドはリードフレームを介してダイに接続されており、放熱効率を高めるため銅箔面積が広いグラウンドプレーンにハンダ付けすることを推奨します。またエクスポートパッドはパッケージ内部でサブストレートを介して電氣的に GND へ接続されています。

## 1 代表的なアプリケーション回路

### 1.2 固定出力型 BDxxFA1MG-M

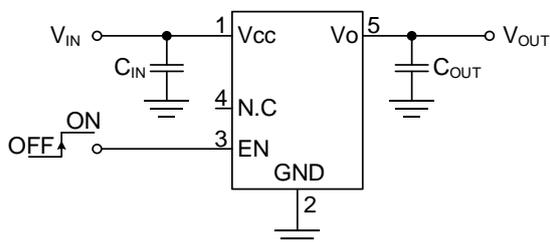


Figure 1-3. 出力 ON/OFF 機能を使用するとき

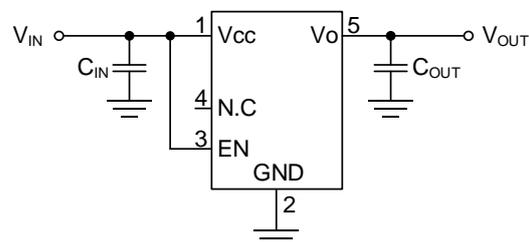


Figure 1-4. 出力 ON/OFF 機能を使用しないとき

品名	BDxxFA1MG-M
パッケージ	SSOP5
ピン配置 Top View	

ピン番号	ピン名	機能
1	Vcc	入力ピン 入力ピンを介して IC に電源が供給されます。IC の入力を安定化させるため、Vcc と GND 間にセラミックコンデンサを接続してください。コンデンサはピンの近くに配置してください。→ 9 ページ参照。
2	GND	グラウンド レギュレータ回路のグラウンドです。
3	EN	イネーブルピン EN ピンを使用すると IC をシャットダウン状態にすることができます。このピンを High にすると出力をオンに、Low にするとオフになります。→ 7 ページ参照。
4	N.C	未接続ピン N.C ピンは内部回路に接続されていません。GND に接続するかオープンにしてください。
5	Vo	出力ピン 負荷に電力を供給します。このピンには発振を防ぐため Vo と GND 間にコンデンサを接続してください。→ 8 ページ参照。

## 1 代表的なアプリケーション回路

### 1.3 固定出力型 BDxxFA1FP3

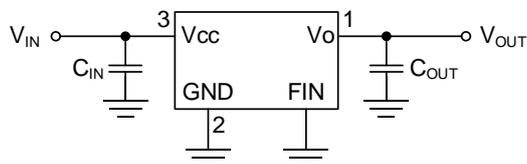


Figure 1-5. 代表的なアプリケーション回路

品名	BDxxFA1FP3
パッケージ	SOT89-3K
ピン配置 Top View	

ピン番号	ピン名	機能
1	V <sub>o</sub>	出力ピン 負荷に電力を供給します。このピンには発振を防ぐため V <sub>o</sub> と GND 間にコンデンサを接続してください。→ 8 ページ参照。
2	GND	グラウンド レギュレータ回路のグラウンドです。
3	V <sub>cc</sub>	入力ピン 入力ピンを介して IC に電源が供給されます。IC の入力を安定化させるため、V <sub>cc</sub> と GND 間にセラミックコンデンサを接続してください。コンデンサはピンの近くに配置してください。→ 9 ページ参照。
-	FIN	放熱フィン、グラウンド FIN はパッケージ内部で電氣的に GND へ接続されています。FIN はリードフレームを介してダイに接続されており、放熱効率を高めるため、銅箔面積の広いグラウンドプレーンにハンダ付けすることを推奨します。

## 2 出力電圧設定 (可変出力型)

出力電圧可変型は、外付け抵抗分割器を使って 3.0V~12V の出力電圧設定が可能です。出力電圧は次式で求めることができます。

$$V_{OUT} = 0.8 \times \frac{R_1 + R_2}{R_2} \quad [V] \quad (2-1)$$

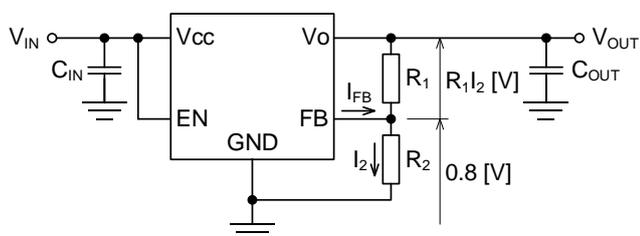


Figure 2-1. 出力電圧設定

この IC の FB ピンはグラウンドを基準にして 0.8V が出力されています。R<sub>2</sub> の電流 I<sub>2</sub> は 0.8V/R<sub>2</sub> に FB ピンのバイアス電流 I<sub>FB</sub> を加えたものになります。FB ピンのバイアス電流は、約 0.4μA で R<sub>2</sub> を介して GND へ流れます。FB ピンのバイアス電流によって生じる出力電圧誤差を小さく抑えるため、R<sub>2</sub> の値は 5k~15kΩ を推奨します。R<sub>2</sub> の値を小さくし I<sub>2</sub> の値を大きくすることにより I<sub>FB</sub> の値を無視できるようにします。出力電圧 V<sub>OUT</sub> は次式の様に、0.8V に R<sub>1</sub> と I<sub>2</sub> を掛け合わせた電圧を足したものになります。

$$V_{OUT} = 0.8 + R_1 I_2 = 0.8 + R_1 \frac{0.8}{R_2} = 0.8 \times \left( 1 + \frac{R_1}{R_2} \right)$$

PCB トレースは、最適な負荷レギュレーション性能を得るために、出力電圧設定抵抗の下側を直接 GND ピンへ接続してください。

次に代表的な出力電圧の設定抵抗値を示します。この例では公称抵抗値は E24 シリーズを使用しています。抵抗 R<sub>1</sub> と R<sub>2</sub> は同じ種類のものを使用します。種類が違くと、それぞれの許容差や温度特性の違いで R<sub>1</sub> と R<sub>2</sub> の比率が変化し、出力電圧精度が悪化する可能性が大きくなります。0402 mm (01005 inch) サイズ以下のチップ抵抗を使用する場合は、抵抗の定格電力と最高電圧に注意して部品を選択してください。

最小部品数で設定

目標値 V <sub>o</sub> (V)	R <sub>1</sub> (kΩ)	R <sub>2</sub> (kΩ)	計算値 V <sub>o</sub> ' (V)	誤差 (%)
3	33	12	3.000	0
3.1	18	6.2	3.123	+ 0.728
3.2	30	10	3.200	0
3.3	47	15	3.307	+ 0.202
3.4	39	12	3.400	0
3.5	51	15	3.520	+ 0.571
3.7	33	9.1	3.701	+ 0.03
5	43	8.2	4.995	- 0.098
5.4	75	13	5.415	+ 0.285
6	33	5.1	5.976	- 0.392
6.3	47	6.8	6.329	+ 0.467
7	100	13	6.954	- 0.659
8	82	9.1	8.009	+ 0.11
9	160	15	9.333	+ 3.704
10	150	13	10.031	+ 0.308
12	130	9.1	12.229	+ 1.905

高精度に設定

目標値 V <sub>o</sub> (V)	R <sub>1</sub> (kΩ)	R <sub>2</sub> (kΩ)	計算値 V <sub>o</sub> ' (V)	誤差 (%)
3	33	12	3.000	0
3.1	33+1.5	12	3.100	0
3.2	30	10	3.200	0
3.3	16+1.5	5.6	3.300	0
3.4	39	12	3.400	0
3.5	33+0.75	10	3.500	0
3.7	33	9.1	3.701	+ 0.03
5	51+1.5	10	5.000	0
5.4	56+1.5	10	5.400	0
6	47+18	10	6.000	0
6.3	68+0.75	10	6.300	0
7	75+18	12	7.000	0
8	68+22	10	8.000	0
9	120+3	12	9.000	0
10	100+15	10	10.000	0
12	130+10	10	12.000	0

### 3 ケルビン接続

通常は出力電圧設定抵抗がV<sub>O</sub>ピンに接続されることで最適なレギュレーションが得られます。負荷電流が多い、配線幅が細い、負荷までの距離が遠いなどのアプリケーションではPCBトレースの抵抗により電圧降下が生じる可能性があります。その結果負荷点での電圧が低下します。この影響は、出力電圧設定抵抗分割器の上側を負荷に可能な限り近づけて接続することで解消されます。インピーダンスが高い抵抗分圧器はICの近くに配置し、インピーダンスが低い抵抗上側のトレースを引き延ばすことによりノイズ耐性を得られます。ICのGND側も負荷電流による電圧降下の影響を受けないように、負荷まで独立したグラウンドトレースで接続します。ICの出力コンデンサC<sub>OUT</sub>は発振防止用なのでICの近くに配置し、負荷の近くには急峻な負荷応答に対応するための大容量コンデンサC<sub>BULK</sub>を配置してください (Figure 3-1)。

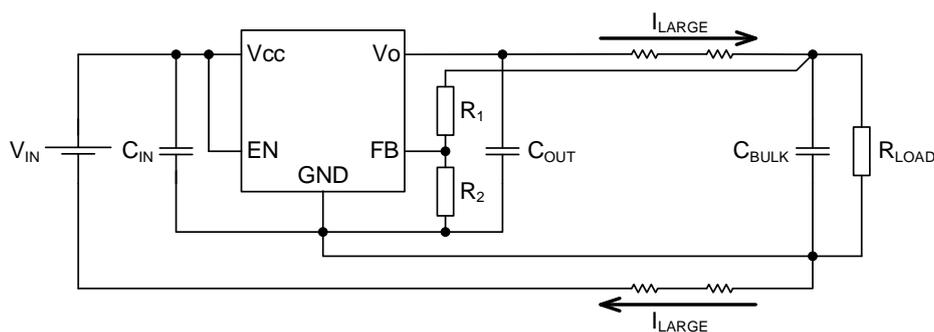


Figure 3-1. ケルビン接続 (可変出力型)

### 4 出力電圧誤差

固定出力型の出力電圧最大許容差は、出力電圧許容差、入力安定度許容差、負荷安定度許容差を合算したものになります。出力可変タイプの場合は、基準電圧 (FB 端子電圧 V<sub>FB</sub>) 許容差に出力電圧設定用外付け抵抗の許容差を掛けた値 (次式)、入力安定度許容差、負荷安定度許容差を合算したものになります。

可変出力型の出力電圧許容差

最小値

$$V_{OUT(MIN)} = V_{FB(MIN)} \times \frac{R_{1(MIN)} + R_{2(MAX)}}{R_{2(MAX)}} \quad [V] \quad (4-1)$$

最大値

$$V_{OUT(MAX)} = V_{FB(MAX)} \times \frac{R_{1(MAX)} + R_{2(MIN)}}{R_{2(MIN)}} \quad (4-2)$$

## 5 入出力電圧差と特性の考察

入力電圧の最小値は、使用する負荷電流での最小入出力電圧差をデータシートの「入出力電圧差 vs 出力電流」グラフより読み取り、出力電圧に加算した電圧となります。このときDC的には動作できていますが、制御の能力は低下しています。負荷変動がある場合は、入出力電圧差が小さいため入力から出力へ短時間に大電流を供給することができません。つまり負荷応答性が遅くなります。また応答性の遅れは PSRR 特性の低下としても現れます。効率を重視するために入出力電圧差を最小電圧分しか確保しないと、LDO は期待される特性を発揮することができません。高速負荷応答性と PSRR の能力が得られるまで入力電圧を上昇させ、効率と各特性の妥協点を求めるようにします。

## 6 出力制御 (EN) ピン

EN ピンを使って出力のオン/オフを切り替えることができます。EN が Low レベルの時は  $V_o$  がターンオフし、IC 全体の動作もオフするため消費電流はゼロになります。EN が High レベルの時は IC がオンし、 $V_o$  がターンオンします。IC を確実にオン/オフするために、EN ピン電圧はデータシートの電氣的特性に記載されている電圧を印加してください。設計参考値として、しきい値の中心値は約 1.8V、許容差は $\pm 0.2V$ 程度、温度特性は 1.9V $\sim$ 1.6V程度 (-40 $^{\circ}C$  $\sim$ +105 $^{\circ}C$ )、全体で 1.4V $\sim$ 2.1V程度となります。

EN ピンは出力電圧オン/オフ制御ピンでありスイッチとして動作しますが、通常 EN 入力は短時間で High/Low 切り替えが行われることを想定して設計されています。EN ピンを High/Low 切り替えの中間電位で固定しないでください。中間電位では出力電圧が不安定になる可能性があります。

$V_{CC}$ と EN の立ち上げ順序に制限はありません。

出力制御機能を使用しない場合は EN ピンを  $V_{CC}$  へ接続してください。このとき直列に抵抗は不要です。

EN ピンが High になってから出力電圧が起動開始するまでの遅延時間は、設計参考値で約 20 $\mu s$ です (Figure 6-1)。

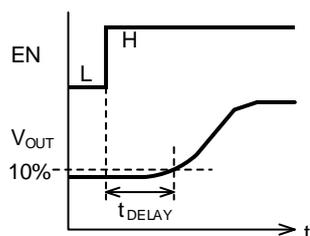


Figure 6-1. 起動遅延時間の定義

EN ピンをメカニカルスイッチで制御するとスイッチのチャタリングにより出力電圧にもチャタリングが現れることがあります。EN ピンの手前に RC フィルタを挿入しチャタリング波形が EN ピンに入らないようにしてください (Figure 6-2 上)。また、EN ピンとスイッチ間の配線が長いと、配線のインダクタンス成分により大きなパルス波形が発生することがあり、この電圧が EN ピンの耐圧を超えると IC が破壊する可能性があります。EN ピンの手前に RC フィルタを挿入しパルス波形のピーク値を下げる必要があります (Figure 6-2 下)。C の値を変えて波形を調整してください。

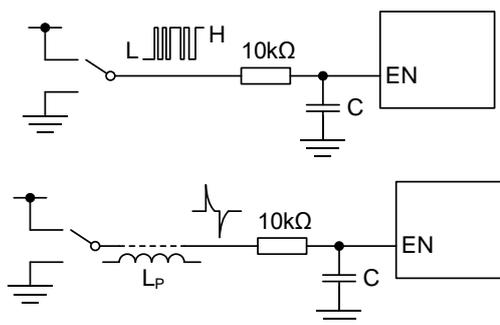


Figure 6-2. ENピンのRCフィルタ回路

## 7 出力コンデンサ

出力コンデンサはループを安定化するために  $V_O$ -GND ピン間の IC から 3cm 以内に配置してください。容量値は、許容差や温度特性を考慮して、実容量が  $1\mu\text{F}$  以上 (BDxxFA1FP3 は  $0.3\mu\text{F}$  以上) になるコンデンサを接続してください。容量が小さいと発振する可能性があります。出力容量の最大値に制限はありませんが次の事項に考慮する必要があります。容量を大きくすることで、電源オン時の充電時間、オフ時の放電時間が長くなります。また電源をオフしたときに出力と入力の電圧が逆転して IC 内に大電流が逆流することで損傷することが考えられますので、逆流バイパスダイオードや逆流防止ダイオードを接続してください。

ESR は Figure 7-1 を参照してください。このグラフは Figure 7-2 の評価回路によるもので、実際使用するコンデンサと完全に等価ではありません。また IC 単品および抵抗負荷によるもので、実際には基板の配線インピーダンスや入力電源インピーダンス、負荷インピーダンスによって変化するため、必ず最終製品の条件で発振がないか十分な確認をしてください。

セラミックコンデンサを使用する場合は温度特性が良好な X5R および X7R を推奨します。Z5U、Y5V、F は容量変化が大きいため使用しないでください (Figure 7-3)。許容差、温度特性、DC バイアス特性により容量が公称値よりも減少しますが、最小値を下回らないように設定してください。DC バイアス特性はサイズが小さくなるにしたがって容量低下が大きくなる傾向にあります (Figure 7-4)。

規格	特性	温度特性	
		温度範囲	容量変化率
JIS	B	-25~+85°C	±10%
EIA	X5R	-55~+85°C	±15%
EIA	X7R	-55~+125°C	±15%
EIA	X7U	-55~+125°C	+22%, -56%
JIS	F	-25~+85°C	+30%, -80%
EIA	Y5V	-30~+85°C	+22%, -82%
EIA	Z5U	+10~+85°C	+22%, -56%
EIA	Z5V		+22%, -82%

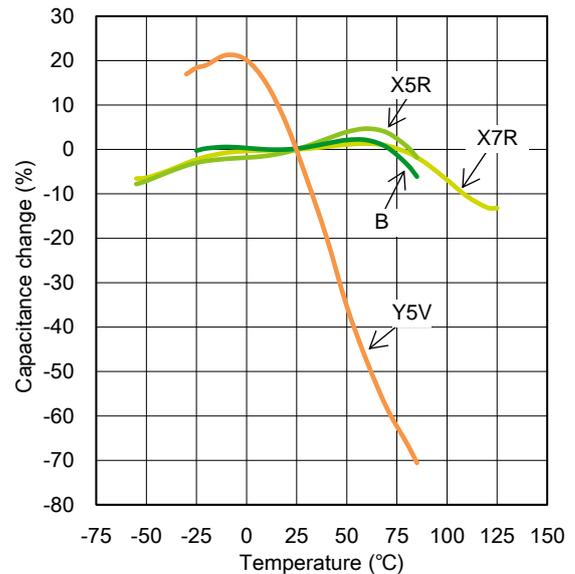


Figure 7-3. 主な高誘電率系積層セラミックコンデンサの温度特性

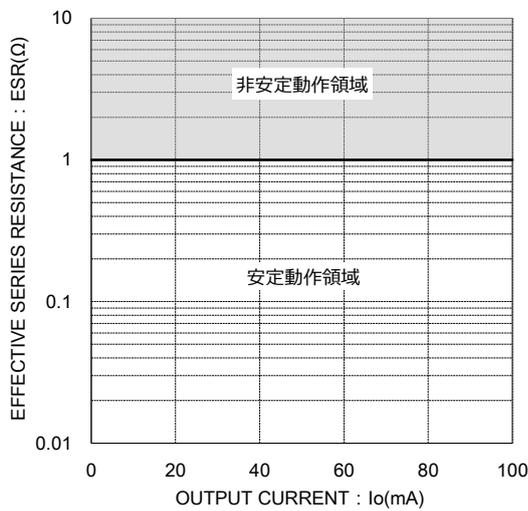


Figure 7-1. ESR 安定動作領域

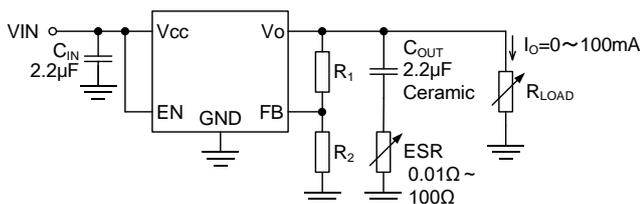


Figure 7-2. ESR 安定動作領域評価回路

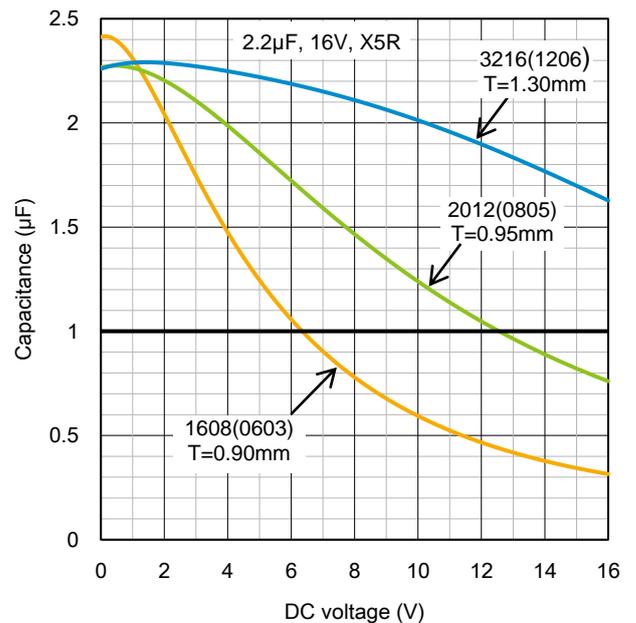


Figure 7-4. 高誘電率系積層セラミックコンデンサの DC バイアス特性、サイズによる比較

電解コンデンサは安価で大容量が得られますが、低温で電解液が固まるため、急激な容量減少と ESR 上昇が起こるものがありますので注意が必要です。また、LDO の熱が電解コンデンサに伝わると電解液が高温になるため、コンデンサの寿命に影響をあたえます。熱の影響が小さくなる場所まで離すか、銅箔線幅を電流容量が許容できる最小幅まで細くし、LDO からの熱伝導を悪くして対策します。

負荷電流の変動が急峻な場合は出力にリップル電圧が発生する場合があります。リップル電圧を小さくしたい場合は出力コンデンサの容量を大きくしてください。大容量セラミックコンデンサは高価なため、小容量のセラミックコンデンサに並列に、バルクコンデンサとしてアルミ電解コンデンサを付加するとコストを抑えられます。出力容量を増やすと、入力側から出力コンデンサへ充電する電荷量が増えるため、入力側電源の負荷応答性が悪い場合は電圧ドロップを起こす場合があります。これを防止するため、入力コンデンサの容量も出力容量相当まで大きくしてください。

## 8 入力コンデンサ

入力コンデンサは、回路動作時に電源ラインの電位変動を抑えて IC の入力を安定にさせることが目的です。特に入力トレースが長い場合や入力電源のインピーダンスが高い場合に、LDO 入力電源の安定性を確保するために効果的に働きます。コンデンサは Vcc-GND ピン間の IC から 1cm 以内に接続してください。入力コンデンサは電源インピーダンスを小さくすることが目的のため、ESR が小さなセラミックコンデンサを推奨します。容量値は、実容量が 1 $\mu$ F 以上 (BDxxFA1FP3 は 0.3 $\mu$ F 以上) になるコンデンサを接続してください。許容差、温度特性、DC バイアス特性により容量が公称値よりも減少しますが、最小値を下回らないように設定してください。出力電流が急変する場合は出力コンデンサの容量を大きくしてリップル電圧を小さくしますが、出力コンデンサが大きくなったことにより、入力電源側の瞬間的な電流供給能力が劣る場合は入力電圧がドロップする場合があります。これを防止するため入力コンデンサの容量も出力容量相当まで大きくしてください。バルクコンデンサは、セラミックコンデンサに並列にアルミ電解コンデンサなどを接続します。

## 9 負荷について

この IC は過電流保護(OCP)がフの字特性ですので、負荷が定電流源や起動時に出力が負電圧にある場合、負荷電流が IC の出力 (供給) 電流を上回ると、出力電圧が上昇できず IC が起動できなくなります。

IC の出力電圧が規定値に立ち上がった後に定電流負荷をオンにすると動作しますが、その後、過熱保護回路が動作し出力がオフになると、再起動できなくなります。また起動できない場合、定電流負荷が静電破壊保護ダイオード (V<sub>O</sub>-GND 間) に流れるため、電流値によってはチップ温度が上昇し、IC の破壊や半田融解が起こる可能性があります。従いまして、定電流負荷での使用は推奨しません。

## 10 効率

効率は次式で求めることができます。

$$\eta = \frac{P_{OUT}}{P_{IN}} = \frac{V_{OUT} \times I_{OUT}}{V_{CC} \times (I_{OUT} + I_{CC})} \times 100 \quad [\%] \quad (10-1)$$

$V_{CC}$  : 入力電圧 [V]

$V_{OUT}$  : 出力電圧 [V]

$I_{OUT}$  : 出力電流 [A]

$I_{CC}$  : IC の回路電流 [A]

ただし  $I_{CC} \ll I_{OUT}$  の場合は次式で計算できます。

$$\eta = \frac{V_{OUT}}{V_{CC}} \times 100 \quad [\%] \quad (10-2)$$

式より、入出力間の電圧差が小さいほど効率が良くなることが判ります。

## 11 熱設計

信頼性が高い動作を確保するには IC のジャンクション温度が 150°C を超えないようにする必要があります。ジャンクション温度の見積りは次の 2 つの方法で算出できます。

1. 表面温度測定によって IC の温度測定を行う場合には熱特性パラメータ  $\psi_{JT}$  を用いて計算します。熱電対をパッケージ上面中心にしっかりと固定さえできればパッケージ上面中心温度  $T_T$  を精度よく測定できるため、この熱特性パラメータを用いて精度よくジャンクション温度を算出することができます。

$$T_J = T_T + \psi_{JT} \times P \quad [^\circ\text{C}] \quad (11-1)$$

$T_T$  : パッケージ上面中心温度 [ $^\circ\text{C}$ ]

$\psi_{JT}$  : ジャンクションからパッケージ上面中心までの熱特性パラメータ [ $^\circ\text{C}/\text{W}$ ]

$P$  : IC の消費電力 [ $\text{W}$ ]

$P$  は IC の消費電力で次式により計算できます。

$$P = (V_{CC} - V_{OUT}) \times I_{OUT} + (V_{CC} \times I_{CC}) \quad [\text{W}] \quad (11-2)$$

$V_{CC}$  : 入力電圧 [ $\text{V}$ ]

$V_{OUT}$  : 出力電圧 [ $\text{V}$ ]

$I_{OUT}$  : 出力電流 [ $\text{A}$ ]

$I_{CC}$  : IC の回路電流 [ $\text{A}$ ]

また、定常的に流せる最大出力電流は次式で算出することができます。

$$I_{OUT(MAX)} = \frac{T_{J(MAX)} - T_T}{(V_{CC} - V_{OUT}) \times \psi_{JT}} \quad [\text{A}] \quad (11-3)$$

$T_{J(MAX)}$  : ジャンクション温度の絶対最大定格 [ $^\circ\text{C}$ ]

$T_T$  : パッケージ上面中心温度 [ $^\circ\text{C}$ ]

$\psi_{JT}$  : ジャンクションからパッケージ上面中心までの熱特性パラメータ [ $^\circ\text{C}/\text{W}$ ]

$V_{CC}$  : 入力電圧 [ $\text{V}$ ]

$V_{OUT}$  : 出力電圧 [ $\text{V}$ ]

2. 熱抵抗  $\theta_{JA}$  を用いて簡易的にジャンクション温度を算出することもできます。

$$T_J = T_A + \theta_{JA} \times P \quad [^\circ\text{C}] \quad (11-4)$$

$T_A$  : 周囲環境温度 [ $^\circ\text{C}$ ]

$\theta_{JA}$  : ジャンクションから周囲環境までの熱抵抗 [ $^\circ\text{C}/\text{W}$ ]

$P$  : IC の消費電力 [ $\text{W}$ ]

また、定常的に流せる最大出力電流は次式で算出することができます。

$$I_{OUT(MAX)} = \frac{T_{J(MAX)} - T_A}{(V_{CC} - V_{OUT}) \times \theta_{JA}} \quad [\text{A}] \quad (11-5)$$

$T_{J(MAX)}$  : ジャンクション温度の絶対最大定格 [ $^\circ\text{C}$ ]

$T_A$  : 周囲環境温度 [ $^\circ\text{C}$ ]

$\theta_{JA}$  : ジャンクションから周囲環境までの熱抵抗 [ $^\circ\text{C}/\text{W}$ ]

$V_{CC}$  : 入力電圧 [ $\text{V}$ ]

$V_{OUT}$  : 出力電圧 [ $\text{V}$ ]

次に示す熱特性パラメータ  $\psi_{JT}$  および熱抵抗  $\theta_{JA}$  は、特定の PCB で測定した値です。PCB の特性、銅箔のレイアウト、部品配置、筐体形状、周囲環境などの影響で放熱性能が変わるため、熱特性パラメータ、熱抵抗も変化します。実機基板とは値が異なることを考慮しておく必要があります。

HTSOP-J8 パッケージの熱特性パラメータおよび熱抵抗

PCB 種類	$\psi_{JT}$ ( $^\circ\text{C}/\text{W}$ )	$\theta_{JA}$ ( $^\circ\text{C}/\text{W}$ )
1 層 (1s)	21	206.4
4 層 (2s2p)	13	45.2

SSOP5 パッケージの熱特性パラメータおよび熱抵抗

PCB 種類	$\psi_{JT}$ ( $^\circ\text{C}/\text{W}$ )	$\theta_{JA}$ ( $^\circ\text{C}/\text{W}$ )
1 層 (1s)	40	376.5
4 層 (2s2p)	30	185.4

SOT89-3K パッケージの熱特性パラメータおよび熱抵抗

PCB 種類	$\psi_{JT}$ ( $^\circ\text{C}/\text{W}$ )	$\theta_{JA}$ ( $^\circ\text{C}/\text{W}$ )
1 層 (1s)	46	267.0
4 層 (2s2p)	26	71.1

測定に使用した PCB の仕様を Table 11-1~11-6 および Figure 11-1~11-27 に示します。

HTSOP-J8 パッケージ PCB 仕様 1 層 (1s)

JEDEC 規格 JESD51-3 準拠

項目	値
基板厚み	1.57 mm
基板外形寸法	76.2 mm × 114.3 mm
基板材質	FR-4
トレース厚 (仕上がり厚)	70 μm (2 oz)
引き出し線幅	0.254 mm
銅箔範囲	Footprint

Table 11-1. 1 層 PCB 仕様

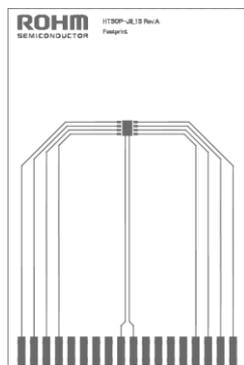


Figure 11-1. Top Layer Trace

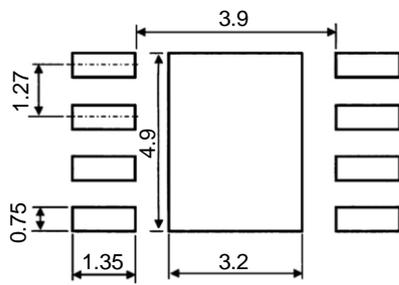


Figure 11-2. Footprint



Figure 11-3. 1 層基板断面図

HTSOP-J8 パッケージ PCB 仕様 4層 (2s2p)

JEDEC 規格 JESD51-5/ -7 準拠

項目		値
基板厚み		1.60 mm
基板外形寸法		76.2 mm × 114.3 mm
基板材質		FR-4
トレース厚 (仕上がり厚)	Top	70 μm (2 oz)
	Middle 1	35 μm (1 oz)
	Middle 2	35 μm (1 oz)
	Bottom	70 μm (2 oz)
引き出し線幅		0.254 mm
銅箔範囲	Top	Footprint
	Middle 1	5505 mm <sup>2</sup> (74.2 mm × 74.2 mm)
	Middle 2	5505 mm <sup>2</sup> (74.2 mm × 74.2 mm)
	Bottom	5505 mm <sup>2</sup> (74.2 mm × 74.2 mm)

Table 11-2. 4層 PCB 仕様

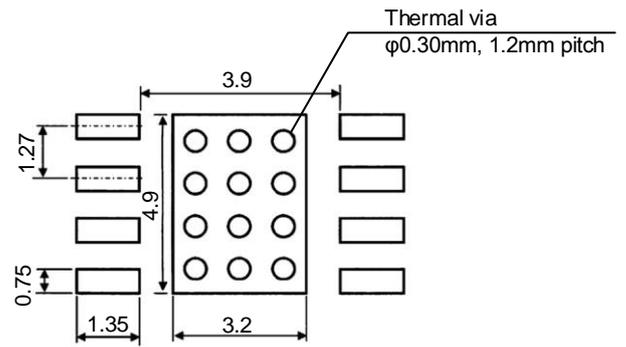


Figure 11-8. Footprint

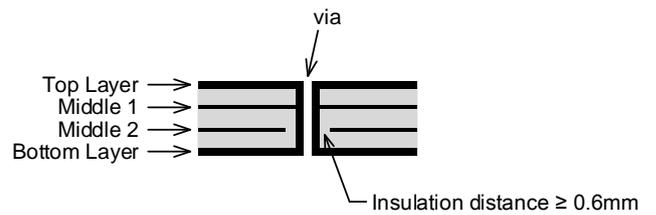


Figure 11-9. 4層基板断面図

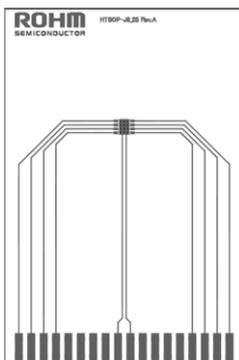


Figure 11-4.  
Top Layer Trace

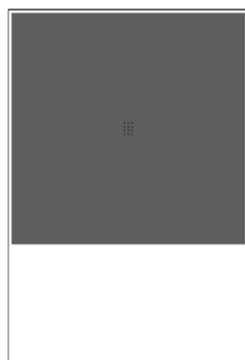


Figure 11-5.  
Middle 1 Layer Trace

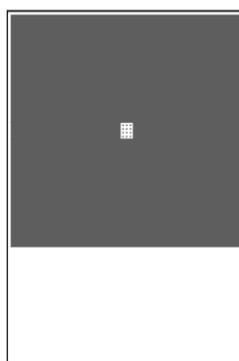


Figure 11-6.  
Middle 2 Layer Trace

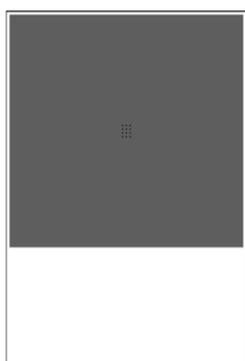


Figure 11-7.  
Bottom Layer Trace

SSOP5 パッケージ PCB 仕様 1 層 (1s)

JEDEC 規格 JESD51-3 準拠

項目	値
基板厚み	1.57 mm
基板外形寸法	76.2 mm × 114.3 mm
基板材質	FR-4
トレース厚 (仕上がり厚)	70 μm (2 oz)
引き出し線幅	0.254 mm
銅箔範囲	Footprint

Table 11-3. 1 層 PCB 仕様



Figure 11-10. Top Layer Trace

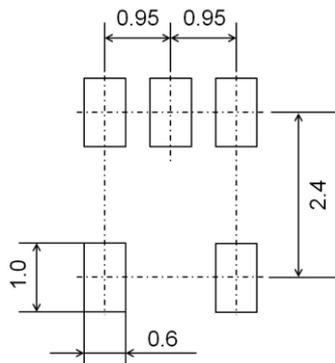


Figure 11-11. Footprint



Figure 11-12. 1 層基板断面図

SSOP5 パッケージ PCB 仕様 4 層 (2s2p)

JEDEC 規格 JESD51-7 準拠

項目		値
基板厚み		1.60 mm
基板外形寸法		76.2 mm × 114.3 mm
基板材質		FR-4
トレース厚 (仕上がり厚)	Top	70 μm (2 oz)
	Middle 1	35 μm (1 oz)
	Middle 2	35 μm (1 oz)
	Bottom	70 μm (2 oz)
引き出し線幅		0.254 mm
銅箔範囲	Top	Footprint
	Middle 1	5505 mm <sup>2</sup> (74.2 mm × 74.2 mm)
	Middle 2	5505 mm <sup>2</sup> (74.2 mm × 74.2 mm)
	Bottom	5505 mm <sup>2</sup> (74.2 mm × 74.2 mm)

Table 11-4. 4 層 PCB 仕様

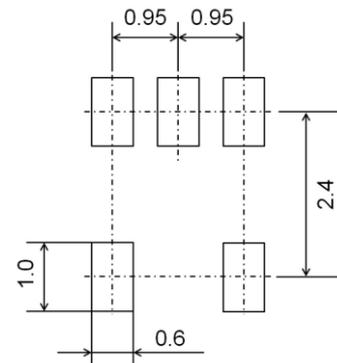


Figure 11-17. Footprint



Figure 11-13.  
Top Layer Trace

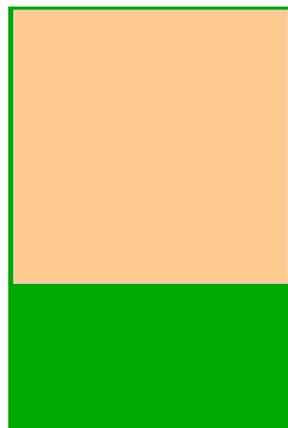


Figure 11-14.  
Middle 1 Layer Trace

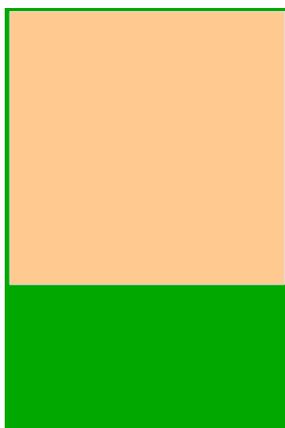


Figure 11-15.  
Middle 2 Layer Trace



Figure 11-16.  
Bottom Layer Trace

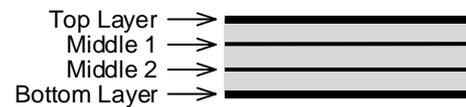


Figure 11-18. 4 層基板断面図

SOT89-3K パッケージ PCB 仕様 1 層 (1s)

JEDEC 規格 JESD51-3 準拠

項目	値
基板厚み	1.57 mm
基板外形寸法	76.2 mm × 114.3 mm
基板材質	FR-4
トレース厚 (仕上がり厚)	70 μm (2 oz)
引き出し線幅	0.254 mm
銅箔範囲	Footprint

Table 11-5. 1 層 PCB 仕様

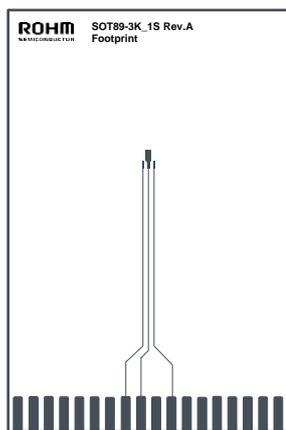


Figure 11-19. Top Layer Trace

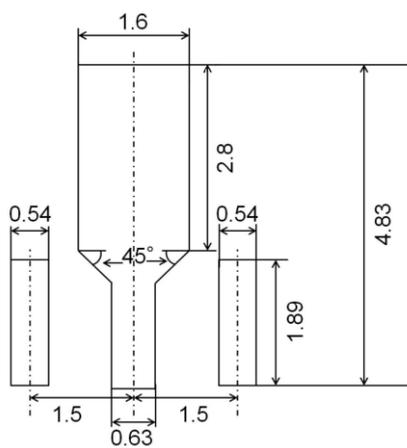


Figure 11-20. Footprint



Figure 11-21. 1 層基板断面図

SOT89-3K パッケージ PCB 仕様 4 層 (2s2p)

JEDEC 規格 JESD51-5/ -7 準拠

項目		値
基板厚み		1.60 mm
基板外形寸法		76.2 mm × 114.3 mm
基板材質		FR-4
トレース厚 (仕上がり厚)	Top	70 μm (2 oz)
	Middle 1	35 μm (1 oz)
	Middle 2	35 μm (1 oz)
	Bottom	70 μm (2 oz)
引き出し線幅		0.254 mm
銅箔範囲	Top	Footprint
	Middle 1	5505 mm <sup>2</sup> (74.2 mm × 74.2 mm)
	Middle 2	5505 mm <sup>2</sup> (74.2 mm × 74.2 mm)
	Bottom	5505 mm <sup>2</sup> (74.2 mm × 74.2 mm)

Table 11-6. 4 層 PCB 仕様

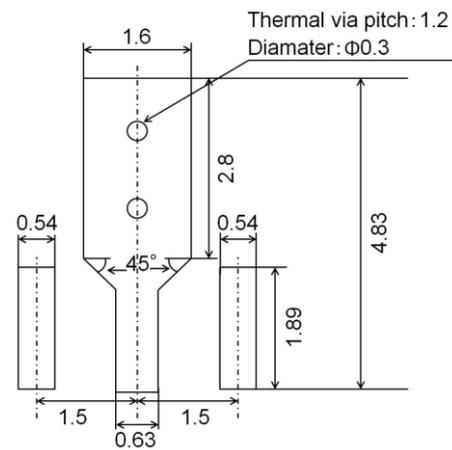


Figure 11-26. Footprint

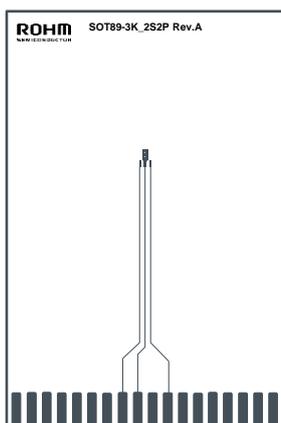


Figure 11-22.  
Top Layer Trace



Figure 11-23.  
Middle 1 Layer Trace

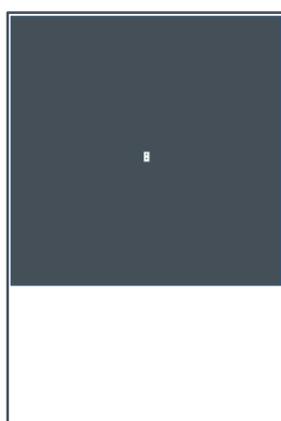


Figure 11-24.  
Middle 2 Layer Trace

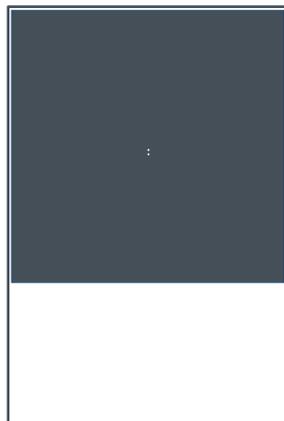


Figure 11-25.  
Bottom Layer Trace

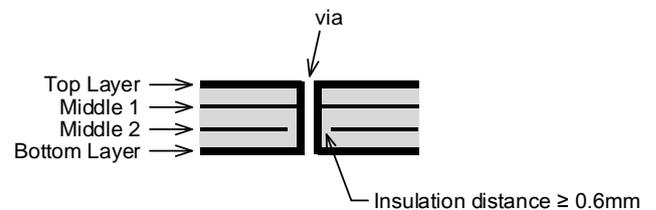


Figure 11-27. 4 層基板断面図

## 12 端子保護

IC 端子に逆電圧や過電圧が印加されると、デバイスが損傷する、または出力電圧が立ち上がらない可能性があります。次の状況が想定される場合は適切な端子保護をすることを推奨します。

1. 入出力電圧の条件が逆転する場合 → 逆電流バイパス
2. 出力負荷が誘導性の場合 → 出力の逆電圧保護
3. 入力極性を逆接続する可能性がある → 入力の逆電圧保護
4. ホットプラグする → ホットプラグ対策
5. 異電源間に負荷が存在する場合 → 逆電流バイパス
6. 正負電源（両電源）

### 1. 入出力電圧の条件が逆転する場合

出力コンデンサの容量が大きいときに、入力電源がパワーダウンした後も出力コンデンサに電荷が残る場合や、入力電源がパワーダウンするときのスピードが大変速い場合は入出力電圧の状態が逆転するため、IC 内の寄生素子を介して出力から入力へ逆電流が流れます。寄生素子は動作保証されていませんので、素子の劣化や破壊が起こる可能性があります。

対策として、逆電流が IC 内部を通らないようにするため、外部に逆電流バイパスダイオードを接続します（Figure 12-1）。ただし、入力側をオープンにしてパワーダウンする場合は逆電流の値が IC のバイス電流のみになり僅かなため寄生素子の劣化や破壊は起こりません。このためバイスダイオードは不要です（Figure 12-2）。

バイスダイオードは IC 内部の寄生素子よりも先にオンする必要があります。MOSFET 型レギュレータでは内部寄生素子のオン電圧は約 0.6V ですので、これよりも順方向電圧  $V_F$  が低いものが必要になります。逆方向電流は、この値が大きくとシャットダウン時に出力を OFF にしても、ダイオードのリーク電流が入力から出力へ多く流れますので、この値が小さい（おおむね  $1\mu\text{A}$  以下）ものを選択する必要があります。逆方向定格電圧は、使用する入出力電圧差よりも大きいもの（デレーティング 80%以下）を選択します。順方向定格電流は、逆流電流値よりも大きいもの（デレーティング 50%以下）を選択します。以上の条件より整流ダイオードやショットキーバリアダイオードを推奨しますが、ショットキーバリアダイオードは一般的に逆方向電流が大きなものが多いので、この値が小さいものを選択します。

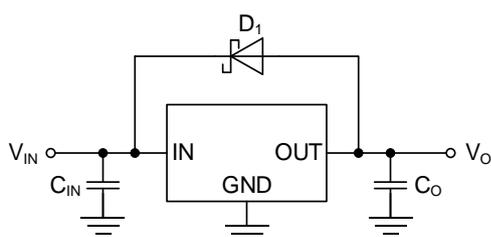


Figure 12-1. 逆電流バイパスダイオード

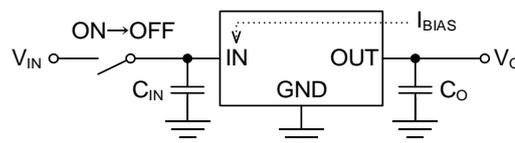


Figure 12-2. 入力をオープンにした場合

### 2. 出力負荷が誘導性の場合

出力負荷が誘導性の場合、出力電圧が OFF になった瞬間に誘導性負荷に蓄積されたエネルギーがグラウンドへ放出されます。IC の出力ピンと GND ピン間には静電破壊防止ダイオードがあり、このダイオードに大電流が流れるため IC が破壊する場合があります。これを防止するため、静電破壊防止ダイオードに並列にショットキーバリアダイオードを接続してください（Figure 12-3）。

また、IC の出力ピンと負荷が長いワイヤーで接続されている場合は誘導負荷になっている可能性がありますのでオシロスコープで波形を観測してください。その他にも、負荷がモータの場合は、モータの逆起電力により同様の電流が流れますのでダイオードが必要です。

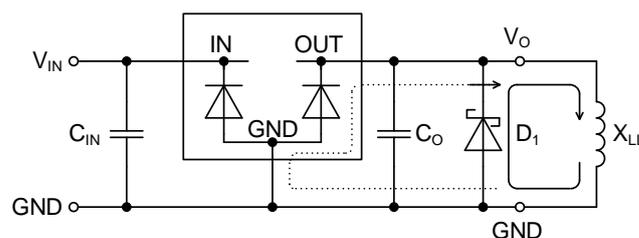


Figure 12-3. 誘導性負荷の電流経路（出力 OFF 時）

### 3. 入力極性を逆接続する可能性がある

入力に電源を接続するとき、不注意によりプラスとマイナスを逆接続した場合は、IC の入力ピンと GND ピン間の静電破壊防止ダイオードに大電流が流れるため IC が破壊する場合があります（Figure 12-4）。逆接続対策として最も簡単な方法は Figure 12-5 のようにショットキーバリアダイオードが整流ダイオードを電源と直列に接続します。正しい接続では、ダイオードの順方向電圧  $V_F$  の電圧降下があるため、 $V_F \times I_O$  の電力損失が発生しますので、バッテリー動作の回路には適していません。整流ダイオードよりもショットキーバリアダイオードの方が  $V_F$  は低いため、多少は損失が小さくなります。ダイオードは発熱しますので許容損失にマージンがあるものを選択します。逆接続時はダイオードの逆方向電流が流れますがこれは僅かな値です。

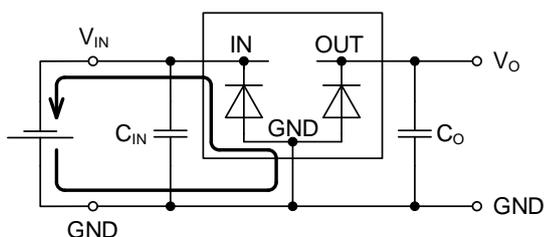


Figure 12-4. 入力を逆接続したときの電流経路

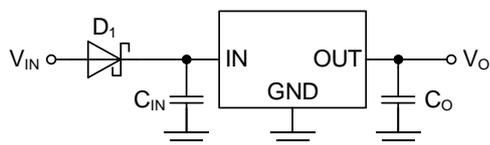


Figure 12-5. 逆接続対策 1

Figure 12-6はダイオードを電源に対して並列に接続する方法です。IC内部の静電破壊保護ダイオードよりも早くオンする必要があるため、 $V_F$ が低いショットキーバリアダイオードを使用します。正しい接続ではダイオードがない場合と同じ動作になります。逆接続時は電源の全電流がダイオードに流れた状態が続くため大きな発熱が発生し、前段の電流容量が大きい場合は破壊に至ります。この回路は短時間のうっかりミスから回路を保護する目的か、前段の電源に過電流保護回路が付いていることが前提になります。

この保護回路でさらに安全を重視するならば、電源に直列にヒューズを接続します。ヒューズのメンテナンスが必要ですが、より確実に回路を保護できます (Figure 12-7)。

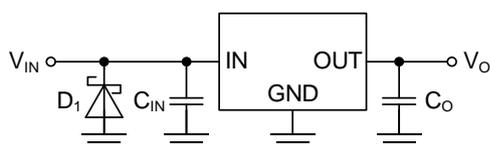


Figure 12-6. 逆接続対策 2

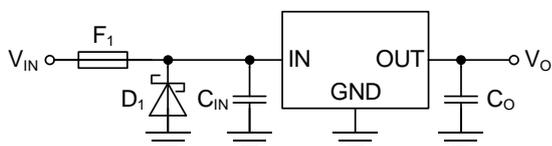


Figure 12-7. 逆接続対策 3

Figure 12-8 は P-ch MOSFET を電源に対して直列に接続する方法です。MOSFET のドレイン - ソース間にあるダイオードは、ボディダイオード (寄生素子) です。正しい接続では P-ch MOSFET が ON するため、ここでの電圧降下は MOSFET の ON 抵抗と出力電流  $I_O$  を掛けた値になり、ダイオードによる電圧降下 (Figure 12-5) より小さいため、電力損失が小さくなります。逆接続時は、MOSFET は ON しないため電流は流れません。

MOSFET のゲート - ソース間 (デレーティングを考慮した) 定格電圧を超える場合は、Figure 12-9 のようにゲート - ソース間を抵抗分割してゲート - ソース間電圧を下げてください。

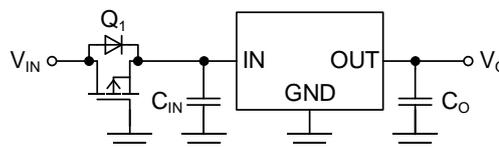


Figure 12-8. 逆接続対策 4

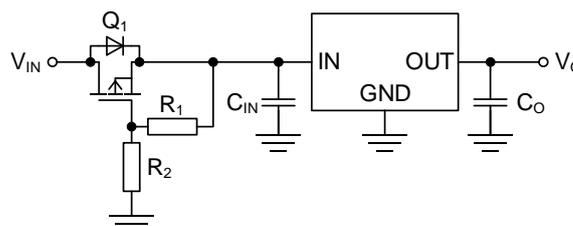


Figure 12-9. 逆接続対策 5

#### 4. ホットプラグする

供給側電源がオンの状態で IC の入力に配線を接続すると、配線のインダクタンス成分と、接続プラグの金属接触によりパルス波形が発生します。このサージ電圧が IC の絶対最大定格を超えると IC が破壊することがあります。IC 入力ピンへサージ電圧が入らないように TVS (Transient Voltage Suppressor) ダイオードでサージを吸収してください (Figure 12-10)。

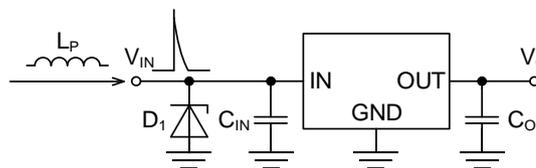


Figure 12-10. ホットプラグ対策

5. 異電源間に負荷が存在する場合

Figure 12-11 のように、異なる電源間に負荷が存在する場合は、電源立ち上がり、立ち下がりタイミングが同じではないため、負荷を通して他方の電源出力端へ電流が流れ込みます。このとき IC の入出力間で逆電圧が発生しますので、逆電流バイパスダイオードが必要です。

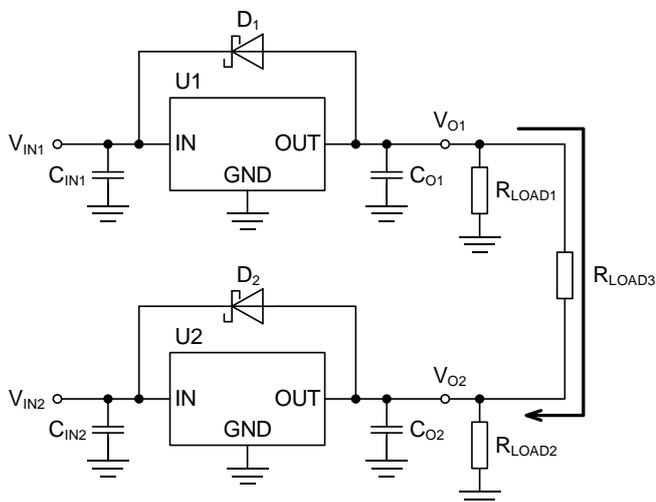


Figure 12-11. 異電源間の電流経路とダイオードの入れ方

6. 正負電源 (両電源)

Figure 12-12 のような正負電源では、それぞれの電源立ち上がりスピードが違うため、正負間に負荷があると、先に立ち上がった電源が負荷を通してもう一方の出力から電流を引くため、出力に逆電圧がかかります。IC の損傷と、出力電圧が立ち上がらなくなることを防止するために  $V_F$  が低いショットキーダイオードを出力と GND 間に必ず接続してください。

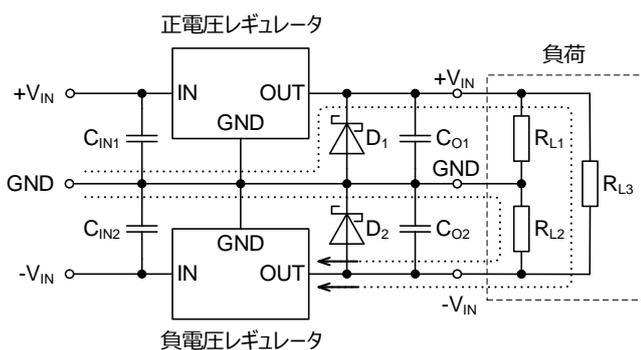


Figure 12-12. 正負電源のダイオードの入れ方と負電源レギュレータが先に立ち上がった場合の電流経路

13 ソフトスタート

電源オン時に出力電圧を一定の時間で立ち上げる事により、出力コンデンサへ充電される突入電流の最大値を軽減することができます。ソフトスタートの立ち上がり時間は IC 内部で  $150\mu\text{s}$ (typ)に固定されています。このため外部で時間の調整はできません。ソフトスタート時間の定義は Figure 13-1 のように、EN が Low から High へターンオンした時点と見做し、出力電圧が規定値の 95%に達するまでの時間を言います。参考値として時間のばらつきは、最小  $50\mu\text{s}$ 、標準  $150\mu\text{s}$ 、最大  $375\mu\text{s}$  です。また、ソフトスタート時間は出力電圧に依存しません。なお、 $V_{CC}$  および EN の立ち上がり時間や出力コンデンサの容量値によって起動時間が異なることがありますので、詳細は「電源オン シーケンス」の項目を参照してください。

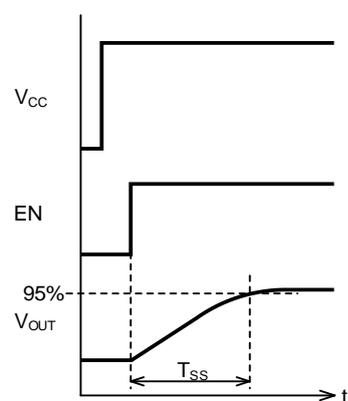


Figure 13-1. ソフトスタート時間の定義

## 14 電源オン シーケンス

$V_{CC}$  および EN の立ち上げ順序は、どちらが先でもかまいませんが、 $V_{CC}$  および EN の立ち上がり時間や出力コンデンサの容量値によって起動時間が異なってきます。これらの違いを次に示します。

### 1. $V_{CC} \rightarrow$ EN の順にオンした場合

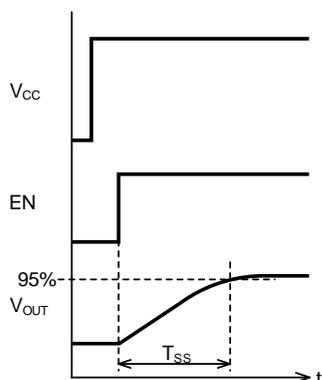


Figure 14-1.  
EN を急峻にオンした場合

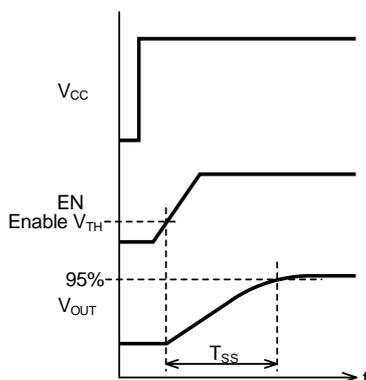


Figure 14-2.  
EN をソフトスタート時間  
よりも速くオンした場合

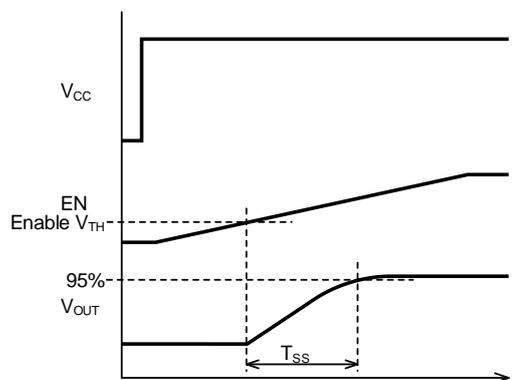


Figure 14-3.  
EN をソフトスタート時間  
よりも遅くオンした場合

Figure 14-1 は  $V_{CC}$  が立ち上がった後に EN を急峻にターンオンした時の起動特性です。これは同時にソフトスタート時間の定義を示しています。ソフトスタート時間は、EN が Low から High へターンオンした時点を起点とし、出力電圧が規定値の 95% に達するまでの時間を言います。

Figure 14-2 は EN をソフトスタート時間よりも速くオンした場合の起動特性です。EN 電圧がしきい値を超えた時点からソフトスタート回路が動作開始し、出力電圧はソフトスタート時間に準じて上昇します。

Figure 14-3 は EN をソフトスタート時間よりも遅くオンした場合の起動特性です。EN 電圧がしきい値を超えた時点からソフトスタート回路が動作開始し、出力電圧はソフトスタート時間に準じて上昇します。

## 14 電源オン シーケンス (つづき)

### 2. EN → V<sub>CC</sub>の順にオンした場合

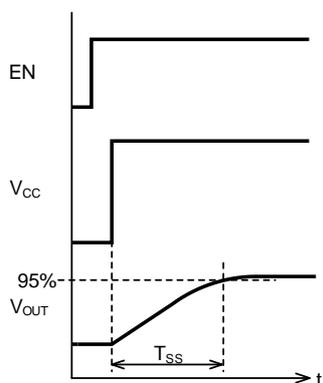


Figure 14-4.  
V<sub>CC</sub>を急峻にオンした場合

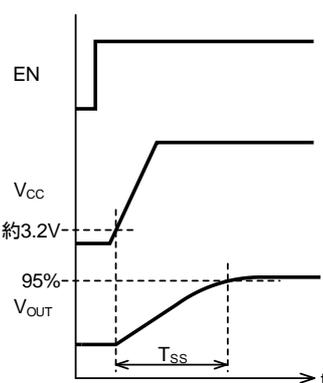


Figure 14-5.  
V<sub>CC</sub>をソフトスタート時間  
よりも速くオンした場合

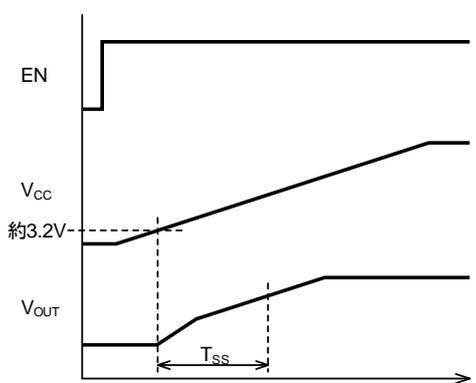


Figure 14-6.  
V<sub>CC</sub>をソフトスタート時間  
よりも遅くオンした場合

Figure 14-4 は EN が立ち上がった後に V<sub>CC</sub> を急峻にターンオンした時の起動特性です。V<sub>CC</sub> が立ち上がった時点からソフトスタート回路が動作開始し、出力電圧はソフトスタート時間に準じて上昇します。

Figure 14-5 は V<sub>CC</sub> をソフトスタート時間よりも速くオンした場合の起動特性です。V<sub>CC</sub> が約 3.2V を超えた時点からソフトスタート回路が動作開始し、出力電圧はソフトスタート時間に準じて上昇します。

Figure 14-6 は V<sub>CC</sub> をソフトスタート時間よりも遅くオンした場合の起動特性です。V<sub>CC</sub> が約 3.2V を超えた時点からソフトスタート回路が動作開始し、出力電圧が上昇を始めます。しかし V<sub>CC</sub> の電圧上昇速度がソフトスタートの電圧上昇速度よりも遅いため、出力電圧の上昇は V<sub>CC</sub> 電圧によって制限させます。このため起動時間はソフトスタート時間を超えて長くなります。

## 14 電源オン シーケンス (つづき)

### 3. $V_{CC}$ , EN 同時オンの場合、または EN ピンがない IC

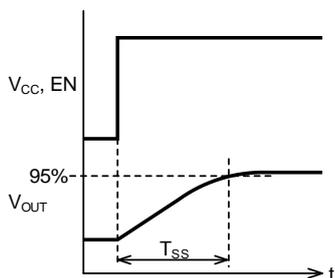


Figure 14-7.  
 $V_{CC}$ , EN を急峻にオンした場合

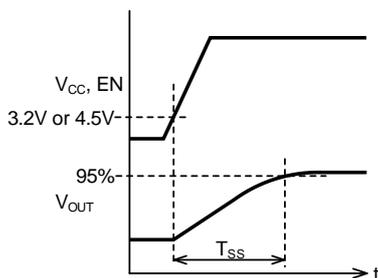


Figure 14-8.  
 $V_{CC}$ , EN をソフトスタート時間よりも速くオンした場合

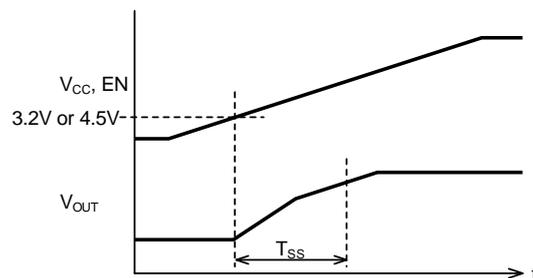


Figure 14-9.  
 $V_{CC}$ , EN をソフトスタート時間よりも遅くオンした場合

Figure 14-7 は  $V_{CC}$  と EN を同時に急峻にターンオンした時の起動特性です。 $V_{CC}$  と EN が立ち上がった時点からソフトスタート回路が動作開始し、出力電圧はソフトスタート時間に準じて上昇します。

Figure 14-8 は  $V_{CC}$  と EN をソフトスタート時間よりも速くオンした場合の起動特性です。 $V_{CC}$  が約 3.2V (BDxxFA1FP3 は約 4.5V) を超えた時点からソフトスタート回路が動作開始し、出力電圧はソフトスタート時間に準じて上昇します。

Figure 14-9 は  $V_{CC}$  と EN をソフトスタート時間よりも遅くオンした場合の起動特性です。 $V_{CC}$  が約 3.2V (BDxxFA1FP3 は約 4.5V) を超えた時点からソフトスタート回路が動作開始し、出力が上昇を始めます。しかし  $V_{CC}$  の電圧上昇速度がソフトスタートの電圧上昇速度よりも遅いため、出力電圧の上昇は  $V_{CC}$  電圧によって制限させます。このため起動時間はソフトスタート時間を超えて長くなります。

### 4. 出力コンデンサ容量が大きい場合

出力コンデンサの容量が増加すると、起動時の充電電流も増加して行きます。出力電圧や過電流保護回路の制限値によって変わりますが、出力容量が概ね 10 $\mu$ F 以下では充電電流は変化しますがソフトスタート時間は一定で起動します。出力容量が概ね 10 $\mu$ F 以上では充電電流の増加によって過電流保護回路が動作するため、充電電流値は過電流保護回路によって制限されます。このため Figure 14-10 のようにソフトスタート時間を超えて起動時間が長くなります。この状態では出力容量が増えるに従って起動時間は長くなります。Figure 14-11 は途中まで過電流保護回路により電流制限を受けた状態で起動し、その後コンデンサへの充電がある程度完了すると充電電流が減るため過電流保護が解除され通常動作へ戻った状態を示しています。これは出力コンデンサの容量が Figure 14-7 と Figure 14-10 の間にあるとき、このような状態になります。出力コンデンサの容量が大きい場合は、実際の動作条件で起動時間を確認してください。代表的な値を次に示します。

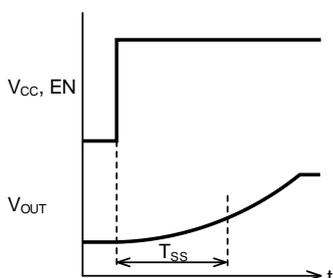


Figure 14-10.  
過電流保護回路により電流制限を受けた状態で起動した場合

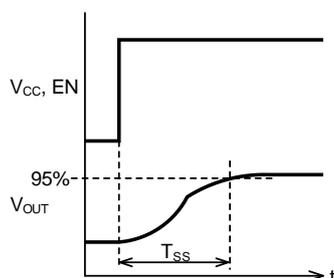


Figure 14-11.  
途中まで過電流保護回路により電流制限を受けた状態で起動した場合

$C_{OUT}$ ( $\mu$ F)	$T_{SS}$		
	$V_{OUT}=3.3V$	$V_{OUT}=5.4V$	$V_{OUT}=12V$
1	150 $\mu$ s	150 $\mu$ s	150 $\mu$ s
2.2	150 $\mu$ s	150 $\mu$ s	150 $\mu$ s
4.7	150 $\mu$ s	150 $\mu$ s	150 $\mu$ s
10	150 $\mu$ s	150 $\mu$ s	320 $\mu$ s
22	190 $\mu$ s	310 $\mu$ s	700 $\mu$ s
47	410 $\mu$ s	670 $\mu$ s	1.5 ms
100	870 $\mu$ s	1.4 ms	3.2 ms
220	1.9 ms	3.1 ms	6.9 ms
470	4.1 ms	6.7 ms	15 ms
1000	8.7 ms	14 ms	32 ms

## 15 電源オフ シーケンス

$V_{CC}$ および EN をオフにする順序により、出力電圧の降下時間が異なります。これらの違いを以下に示します。

### 1. EN → $V_{CC}$ の順にオフした場合

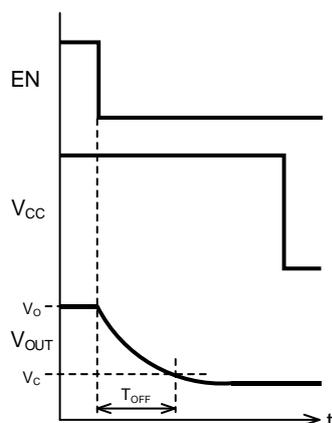


Figure 15-1.  
EN を急峻にオフした場合

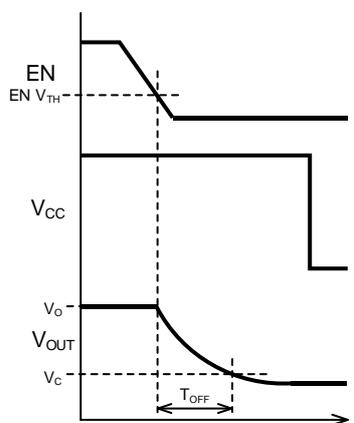


Figure 15-2.  
EN を緩やかにオフした場合

Figure 15-1 は EN を急峻にターンオフしたときの電源オフ特性です。EN をオフにすると出力トランジスタがオフになるため、入力から出力への電荷の供給がなくなります。出力コンデンサの電荷は負荷によって放電され出力電圧が降下して行きます。放電経路は負荷以外に帰還抵抗（出力電圧設定抵抗）もあります。出力電圧が降下しきった後で  $V_{CC}$  をオフにします。負荷が単純な抵抗の場合の出力電圧降下時間は次式で求めることができます。

$$T_{OFF} = -C_{OUT} \times R_L \times \ln\left(\frac{V_C}{V_O}\right) \quad [sec] \quad (15-1)$$

$C_{OUT}$  : 出力コンデンサ [F]

$R_L$  : 負荷抵抗 [ $\Omega$ ]

$V_O$  : 出力電圧 [V]

$V_C$  : 最終降下電圧 [V]

Figure 15-2 は EN を緩やかにオフしたときの電源オフ特性です。EN 電圧がしきい値を下回った時点で出力トランジスタがオフし、出力電圧が降下して行きます。出力電圧の降下時間は Figure 15-1 と同じです。

## 15 電源オフ シーケンス (つづき)

### 2. $V_{CC} \rightarrow EN$ の順でオフした場合

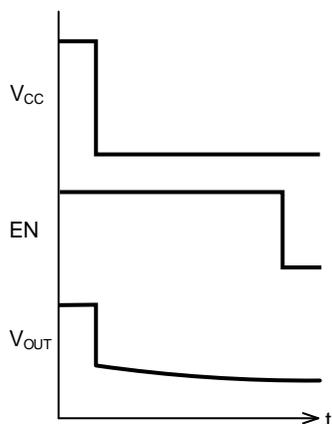


Figure 15-3.  
 $V_{CC}$  を急峻にオフした場合

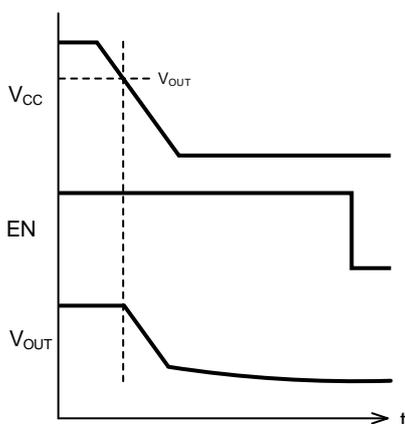


Figure 15-4.  
 $V_{CC}$  を緩やかにオフした場合

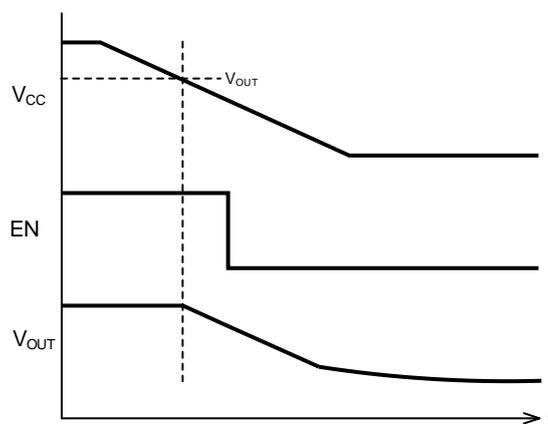


Figure 15-5.  
 $V_{CC}$  を緩やかにオフし、さらに  $V_{CC}$  降下中に  
EN をオフした場合

Figure 15-3 は  $V_{CC}$  を急峻にターンオフしたときの電源オフ特性です。  $V_{CC}$  が急峻にオフすると、入出力電圧が逆転するため、出力コンデンサの電荷は出力トランジスタのボディダイオード（寄生ダイオード）を介して入力側へ放電されます。従って出力電圧は入力電圧に追従する形で急峻に降下し、  $V_{CC}$  が 0V に達するとボディダイオード分の電圧（約 0.5V）を残して降下は緩やかになります。その後は負荷抵抗の時定数で電圧降下して行きます。

Figure 15-4 は  $V_{CC}$  を緩やかにターンオフしたときの電源オフ特性です。  $V_{CC}$  の電圧が降下し、入出力電圧が逆転するポイントに達すると、出力コンデンサの電荷は出力トランジスタのボディダイオード（寄生ダイオード）を介して入力側へ放電されます。従って出力電圧は入力電圧に追従する形で降下し、  $V_{CC}$  が 0V に達するとボディダイオード分の電圧（約 0.5V）を残して降下は更に緩やかになります。その後は負荷抵抗の時定数で電圧降下して行きます。

Figure 15-5 は  $V_{CC}$  を緩やかにターンオフしている途中で EN を急峻にターンオフしたときの電源オフ特性です。  $V_{CC}$  の電圧が降下し、入出力電圧が逆転するポイントに達すると、出力コンデンサの電荷は出力トランジスタのボディダイオード（寄生ダイオード）を介して入力側へ放電されます。従って出力電圧は入力電圧に追従する形で降下します。  $V_{CC}$  電圧が降下中に EN を急峻にオフすると出力トランジスタがオフしますが、入出力電圧が逆転しているため、出力電圧は引き続き入力電圧に追従する形で降下します。ただし、負荷電流が大きい場合は、電流値が大きいほど速く降下します。  $V_{CC}$  が 0V に達するとボディダイオード分の電圧（約 0.5V）を残して降下は更に緩やかになります。その後は負荷抵抗の時定数で電圧降下して行きます。

## 15 電源オフ シーケンス (つづき)

### 3. $V_{CC}$ , EN 同時オフの場合、または EN ピンがない IC

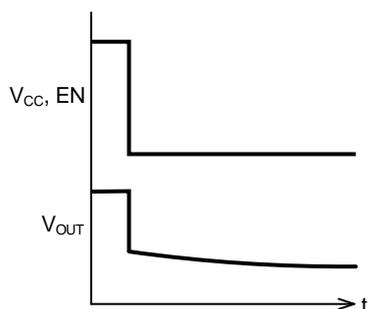


Figure 15-6.  
 $V_{CC}$ , EN を急峻にオフした場合

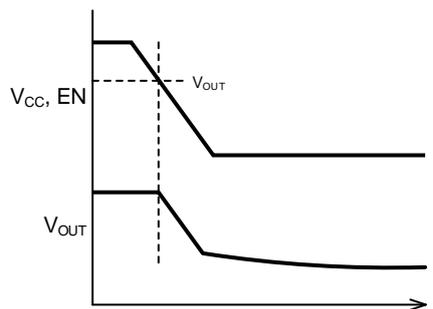


Figure 15-7.  
 $V_{CC}$ , EN を緩やかにオフした場合

Figure 15-6 は  $V_{CC}$  と EN を急峻にターンオフしたときの電源オフ特性です。 $V_{CC}$  が急峻にオフすると、入出力電圧が逆転するため、出力コンデンサの電荷は出力トランジスタのボディダイオード（寄生ダイオード）を介して入力側へ放電されます。従って出力電圧は入力電圧に追従する形で急峻に降下し、 $V_{CC}$  が 0V に達するとボディダイオード分の電圧（約 0.5V）を残して降下は緩やかになります。その後は負荷抵抗の時定数で電圧降下して行きます。

Figure 15-7 は  $V_{CC}$  と EN を緩やかにターンオフしたときの電源オフ特性です。 $V_{CC}$  の電圧が降下し、入出力電圧が逆転するポイントに達すると、出力コンデンサの電荷は出力トランジスタのボディダイオード（寄生ダイオード）を介して入力側へ放電されます。従って出力電圧は入力電圧に追従する形で降下し、 $V_{CC}$  が 0V に達するとボディダイオード分の電圧（約 0.5V）を残して降下は更に緩やかになります。その後は負荷抵抗の時定数で電圧降下して行きます。

## 16 突入電流

起動時に出力コンデンサへ電荷を充電するための突入電流が流れます。出力電流値が推奨動作範囲の最大値を超えても、過電流保護(OCP)回路によって電流が制限されるため動作として問題ありません。

## 17 過電流保護(OCP)

IC の出力が GND へ短絡したときの過電流から IC の破壊を防止するために過電流保護回路が搭載されています。この保護機能は IC の破壊を防止するためのもので、セット本来の保護を目的とする場合は、ヒューズや別の電流制限デバイスを搭載することを考えます。

過電流保護の特性は Figure 17-1 のようになり、その形からフの字特性（英語では Fold back characteristic）と呼ばれています。A 点は過電流保護検出電流で参考値は約 260mA です。検出電流のばらつきの下限值は、推奨出力電流の最大値を下回る事はありません。過電流を検出すると電流フォールドバック回路が動作し出力電圧が低下して行きます。出力電圧の低下と共に電流をさらに絞る動作を繰り返し B 点へ到達します。B 点は出力短絡電流です。B 点での電力損失は小さく発熱も小さくなるため IC を破壊から保護する安全な保護回路と言えます。ただし過電流の原因が取り除かれるまでこの状態が続きます。過電流状態がなくなると出力電圧は自動復旧します。

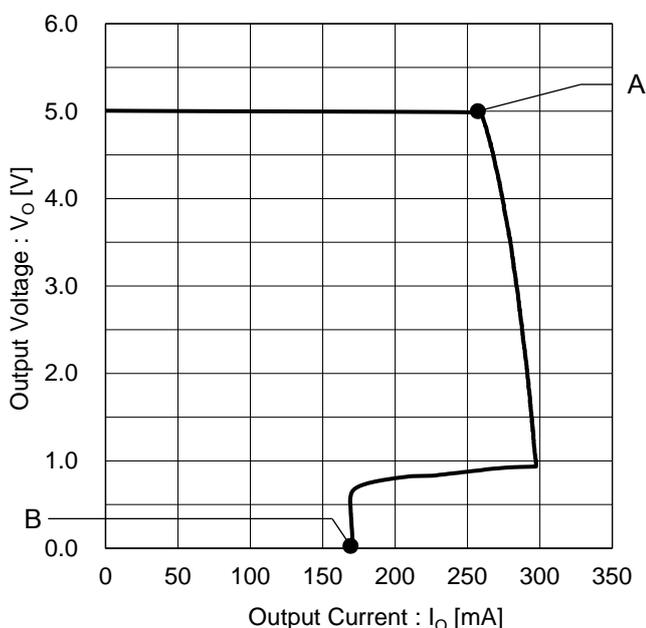


Figure 17-1. 過電流保護特性

推奨出力電流の最大値と過電流保護検出値の間はリニアレギュレータとして動作しますが、電気的特性は保証外となります。また、許容損失を超えて動作し続けると、過熱保護回路が動作し出力をオフします。

## 18 過熱保護(TSD)

出力短絡や電力損失の増大により IC チップの温度がジャンクション温度を超えて IC が過熱による損傷から保護するためのもので、セット本来の過熱保護の代わりに意図したものではありません。

過熱保護回路は参考値で約 175°C を超えるとリニアレギュレータの出力をオフにし、出力電流を遮断してチップの温度を下げます。検出温度はばらつきますが、ジャンクション温度(150°C)を下回ることはありません。チップの温度が約 165°C に低下すると再び出力をオンにし出力電流の供給を開始します。チップが温度上昇した原因が取り除かれるまで、出力オン、オフの動作が繰り返されます。この状態が続くと IC がすぐに破壊することはありませんが、連続動作は劣化や破壊につながりますので避けてください。

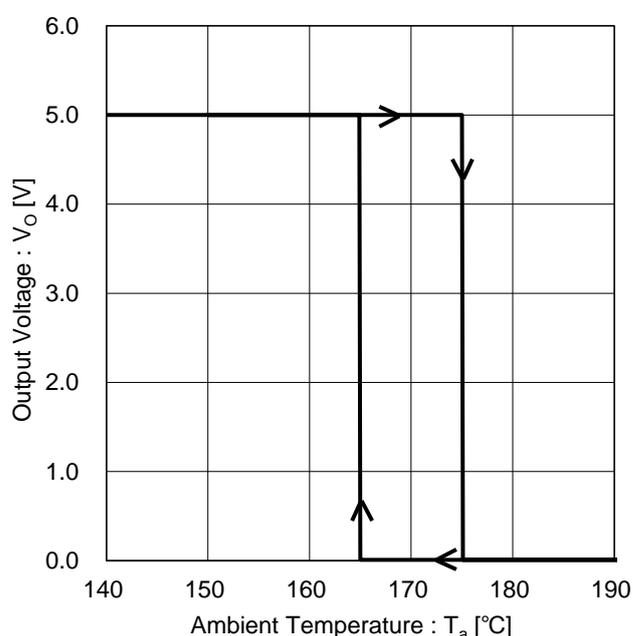


Figure 18-1. 過熱保護特性

### 19 入出力等価回路

可変出力型

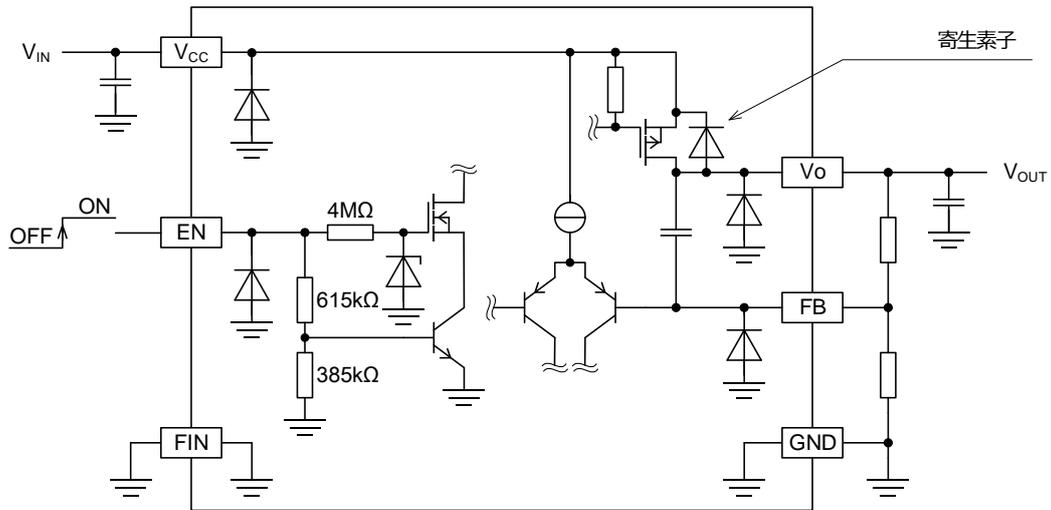
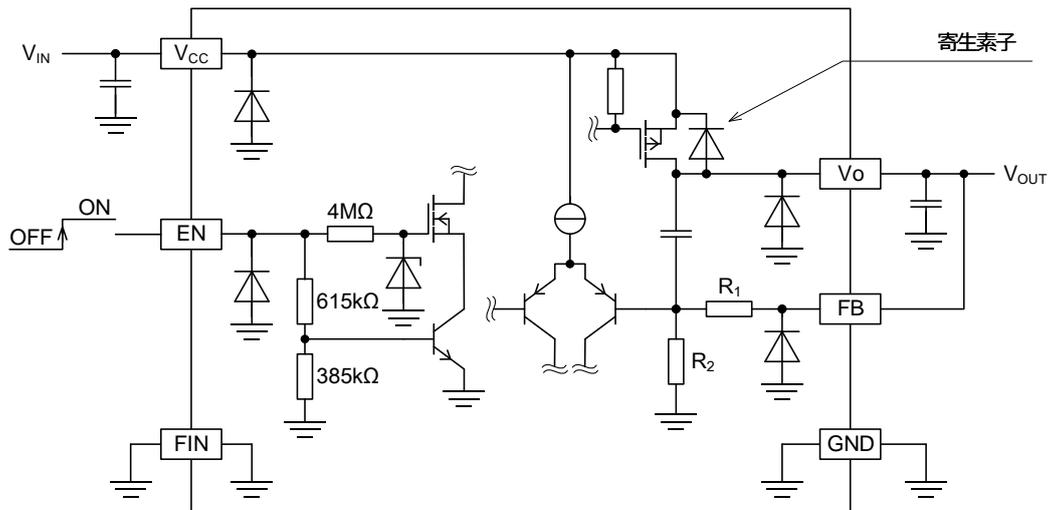


Figure 19-1. 可変出力型等価回路

固定出力型



品名	R <sub>1</sub> (kΩ)	R <sub>2</sub> (kΩ)
BD33FA1	53.75	17.2
BD50FA1	45.15	8.6
BD54FA1	49.45	8.6
BDJ2FA1	120.4	8.6

Figure 19-2. 固定出力型等価回路