

パワーマネジメント / 電源 IC

汎用電源 IC による電源シーケンス回路

FPGA や DSP といった LSI や電気装置に複数系統の電源を供給するときには電源の投入/遮断の順番が決められている場合があります。これを守らないと正常に起動しないことやデバイスを損傷することがあります。複数の電源系統を投入/遮断するときの順番のことを電源シーケンスと言い、これを制御する専用のデバイスとして電源シーケンス IC があります。このアプリケーションノートでは専用の電源シーケンス IC は使用せず、また電源 IC もシーケンス制御に必要なパワーグッド出力や出力ディスチャージ機能が無い汎用電源 IC を使用して電源シーケンスを実現する回路を提案しています。

電源シーケンス仕様 1

この例では 3 系統の電源シーケンスについて回路設計を紹介します。
入出力電圧の仕様を次に示します。

V_{IN} : 5.0V
 V_{OUT1} : 1.2V
 V_{OUT2} : 3.3V
 V_{OUT3} : 1.5V

電源ツリーを Figure 1-1 に示します。ここでは 3 個の電源 IC で構成することになります。電源 IC はスイッチングレギュレータ (DC/DC コンバータ) またはリアレギュレータ (LDO) を想定しています。電源 IC の機能として、出力をオンオフ制御できるイネーブルピンが必要です。

電源投入の順番は、 V_{OUT1} 、2、3 の順に投入し、遮断は投入と逆に V_{OUT3} 、2、1 の順とします。概略図を Figure 1-2 に示します。

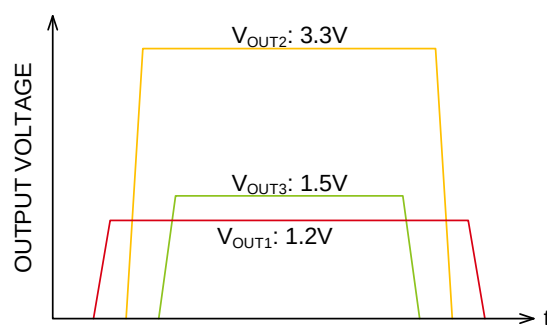


Figure 1-2. 電源シーケンス概略図

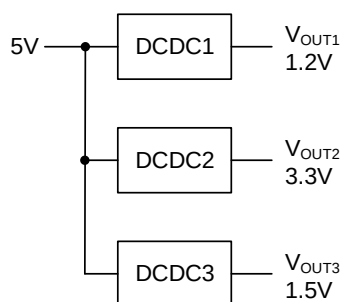


Figure 1-1. 電源ツリー

制御ブロック図 1

制御ブロック図を Figure 1-3 に示します。DCDC 1、DCDC 2、DCDC 3 は 3 系統の電源 IC で、それぞれの出力はイネーブル(EN)ピンによって制御されています。Power Good 1 と 2 は電源投入時に DCDC の出力電圧を監視し、目標電圧に達すると次に起動する DCDC へ"High"信号を出力します。Power Good 3 と 4 は電源遮断時に DCDC の出力電圧を監視し、目標電圧に達すると次に遮断する DCDC へ"Low"信号を出力します。Discharge ブロックは、電源遮断時に DCDC の出力コンデンサに充電されている電荷を急速に放電し電圧を低下することで、電源シーケンスが正常に動作する役割を果たしています。なお、このブロック図では、DCDC ブロックの EN と VOUT 間、Power Good ブロックの IN と PGOOD 間、Discharge ブロックの IN と OUT 間は正論理として設計しています。また、Power Good ブロックの PGOODピン（出力）と Discharge ブロックの OUT ピンは、オープンコレクタまたはオープンドレイン形式です。

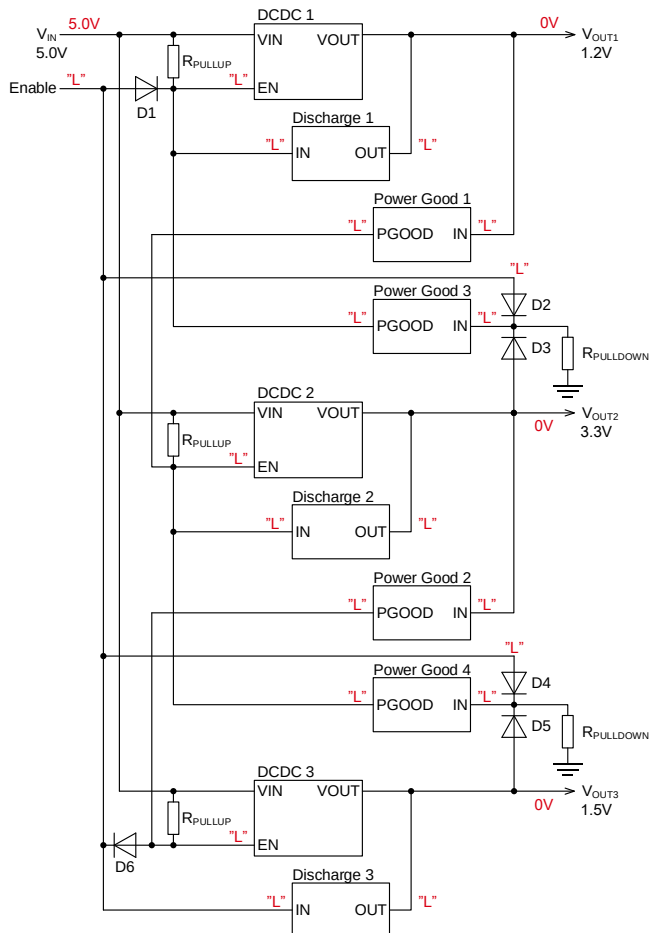


Figure 1-3. 制御ブロック図

シーケンス動作を、順を追って見て行きます。初期値は Enable 端子が"Low"レベルであり、3 つの DCDC 出力はゼロとします。Figure 1-4 に第一段階の電源投入時の動作を示します。まず電源を起動するため Enable 端子に High 電圧を印加します。"High"電圧はダイオード D1 を通して DCDC 1 の EN ピンへ印加され、DCDC 1 が起動します。DCDC 1 の出力電圧が 0V から 1.2V へ上昇すると、Power Good 1 の出力電圧が"Low"から"High"へ変化します。そして、次段の DCDC 2 の EN ピンへ印加されます。また、Power Good 3 と Power Good 4 の IN ピンにはダイオード D2 および D4 を通して"High"電圧が印加されているため、PGOOD ピン（出力）はハイインピーダンスに保たれています。

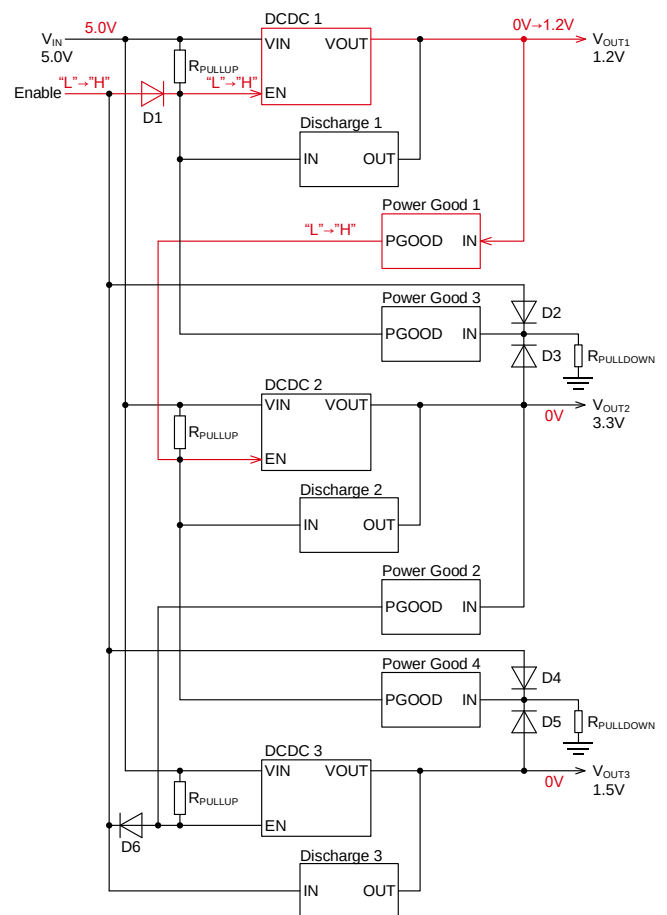


Figure 1-4. 電源投入時の動作 第一段階

Figure 1-5 に第二段階の電源投入時の動作を示します。DCDC 2 の EN ピンへ"High"電圧が印加され、DCDC 2 が起動します。DCDC 2 の出力電圧が 0V から 3.3V へ上昇すると、Power Good 2 の出力電圧が"Low"から"High"へ変化します。そして、次段の DCDC 3 の EN ピンへ印加されます。

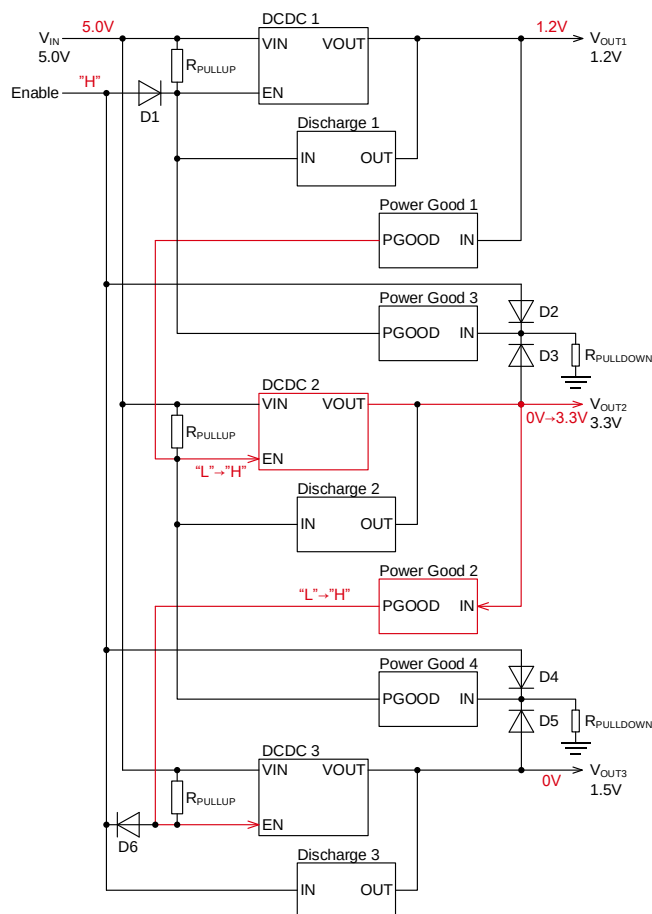


Figure 1-5. 電源投入時の動作 第二段階

Figure 1-6 に第三段階の電源投入時の動作を示します。DCDC 3 の EN ピンへ"High"電圧が印加され、DCDC 3 が起動します。DCDC 3 の出力電圧が 0V から 1.5V へ上昇し、これで 3 系統全ての電源が動作しました。

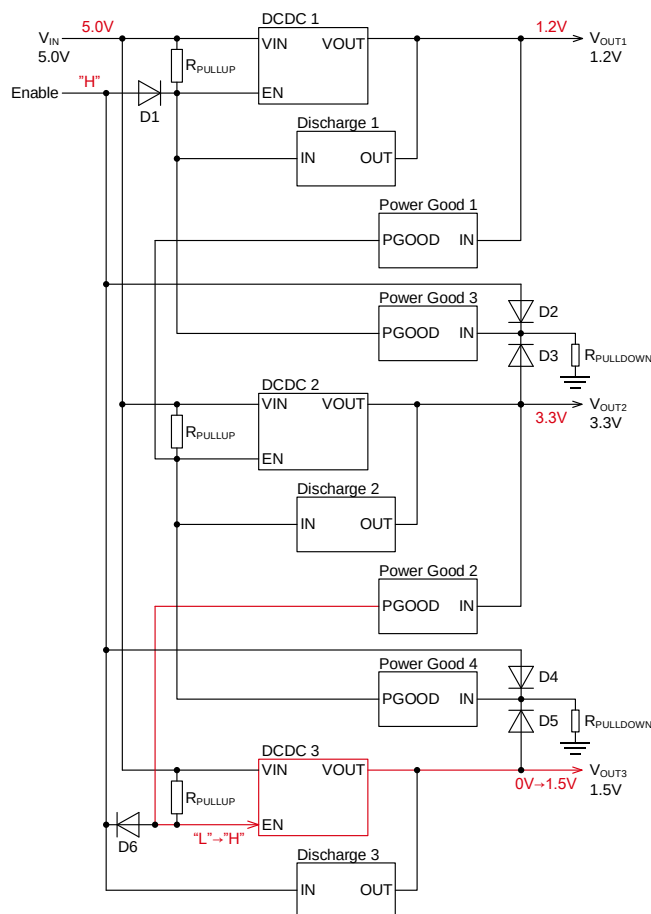


Figure 1-6. 電源投入時の動作 第三段階

Figure 1-7 は電源動作時の主なノードの状態を示します。

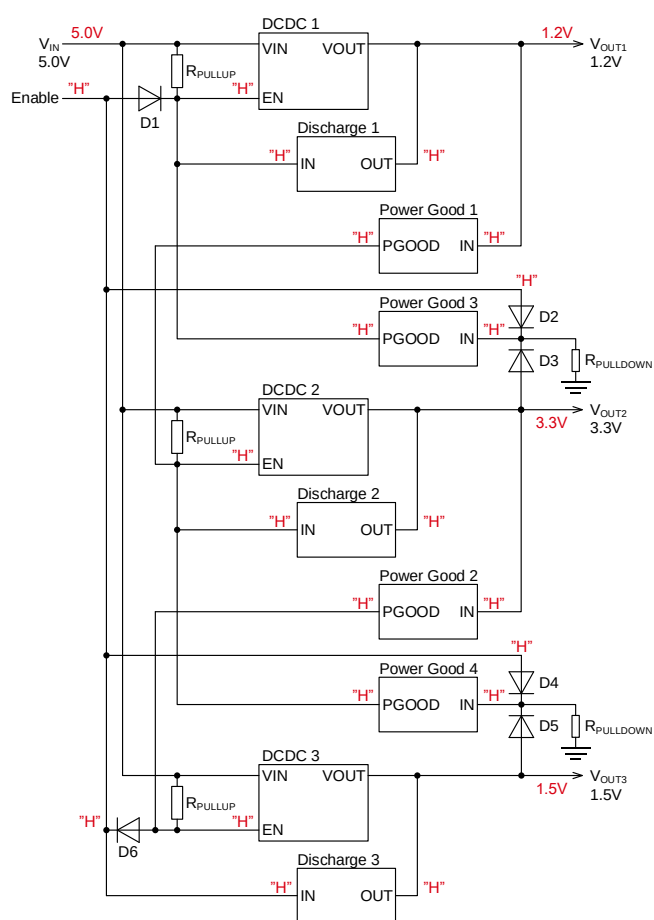


Figure 1-7. 電源動作時の主なノードの状態

次に電源遮断時のシーケンス動作を、順を追って見て行きます。

Figure 1-8 に第一段階の電源遮断時の動作を示します。まず電源を遮断するため Enable 端子に Low 電圧を印加します。"Low"電圧はダイオード D6 を通して DCDC 3 の EN ピンへ印加され、DCDC 3 が遮断します。同時に"Low"電圧は Discharge 3 の IN ピンへ印加され OUT ピンが低インピーダンスに変化します。これにより DCDC 3 の出力電圧は高速に 0V へ推移します。DCDC 3 の出力電圧が低くなると、Power Good 4 の出力電圧が"High"から"Low"へ変化します。そして、前段の DCDC 2 の EN ピンおよび Discharge 2 の IN ピンへ印加されます。

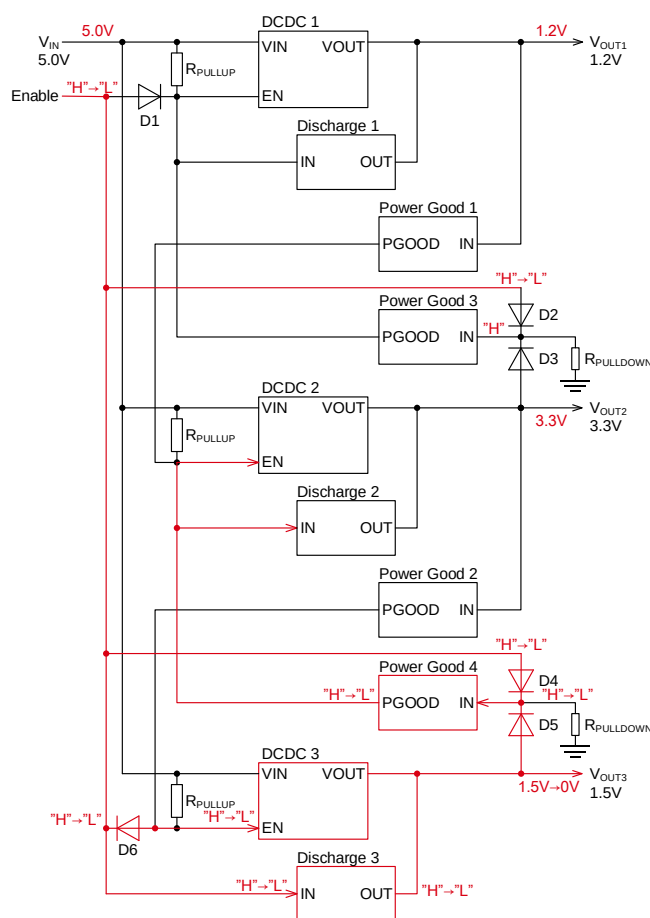


Figure 1-8. 電源遮断時の動作 第一段階

Figure 1-9 に第二段階の電源遮断時の動作を示します。DCDC 2 の EN ピンへ"Low"電圧が印加され、DCDC 2 が遮断します。同時に"Low"電圧は Discharge 2 の IN ピンへ印加され OUT ピンが低インピーダンスに変化します。これにより DCDC 2 の出力電圧は高速に 0V へ推移します。DCDC 2 の出力電圧が低くなると、Power Good 3 の出力電圧が"High"から"Low"へ変化します。そして、前段の DCDC 1 の EN ピンおよび Discharge 1 の IN ピンへ印加されます。

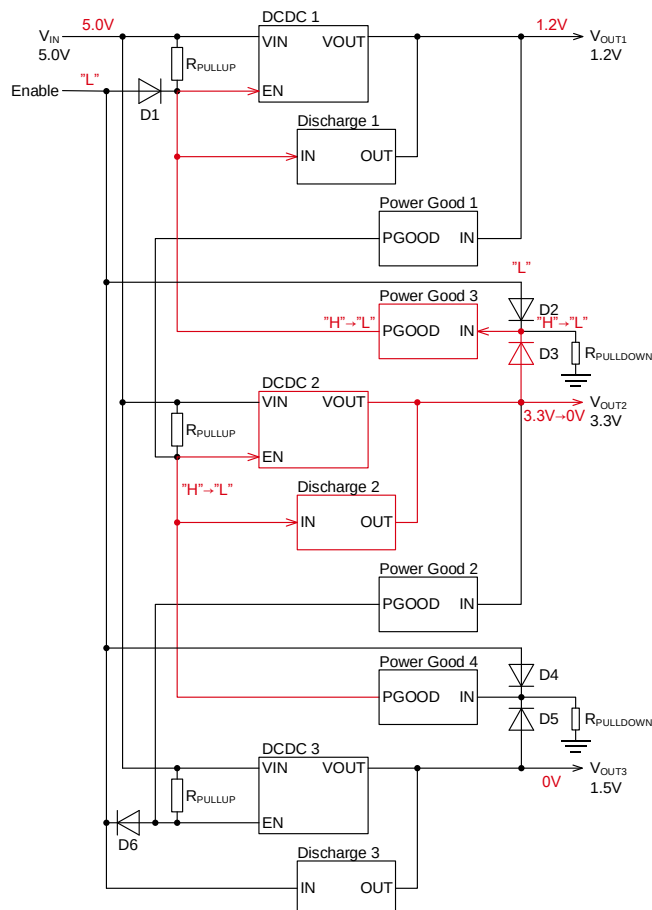


Figure 1-9. 電源遮断時の動作 第二段階

Figure 1-10 に第三段階の電源遮断時の動作を示します。DCDC 1 の EN ピンへ"Low"電圧が印加され、DCDC 1 が遮断します。同時に"Low"電圧は Discharge 1 の IN ピンへ印加され OUT ピンが低インピーダンスに変化します。これにより DCDC 1 の出力電圧は高速に 0V へ推移します。以上で 3 系統全ての電源が遮断しました。

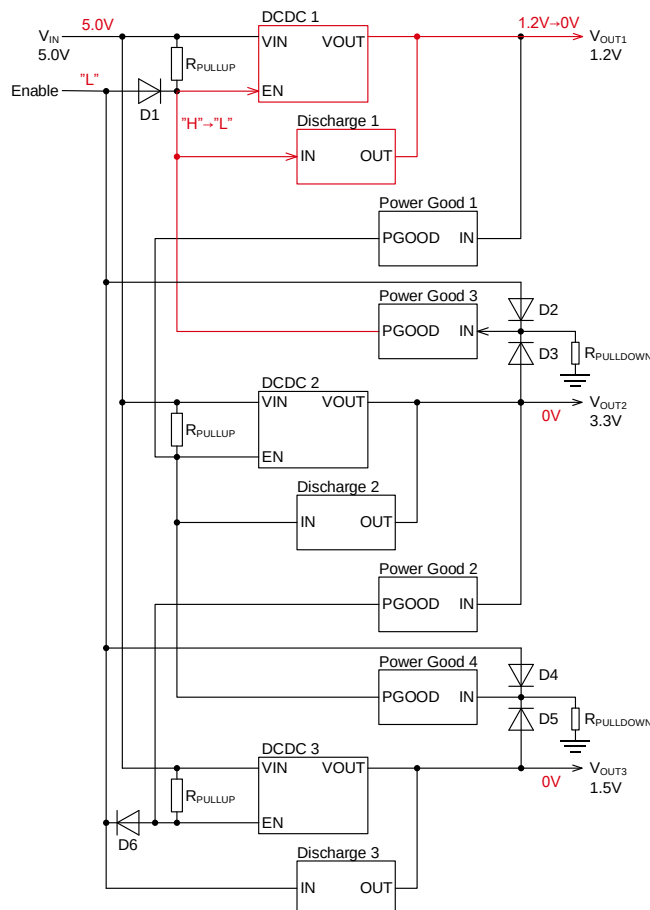


Figure 1-10. 電源遮断時の動作 第三段階

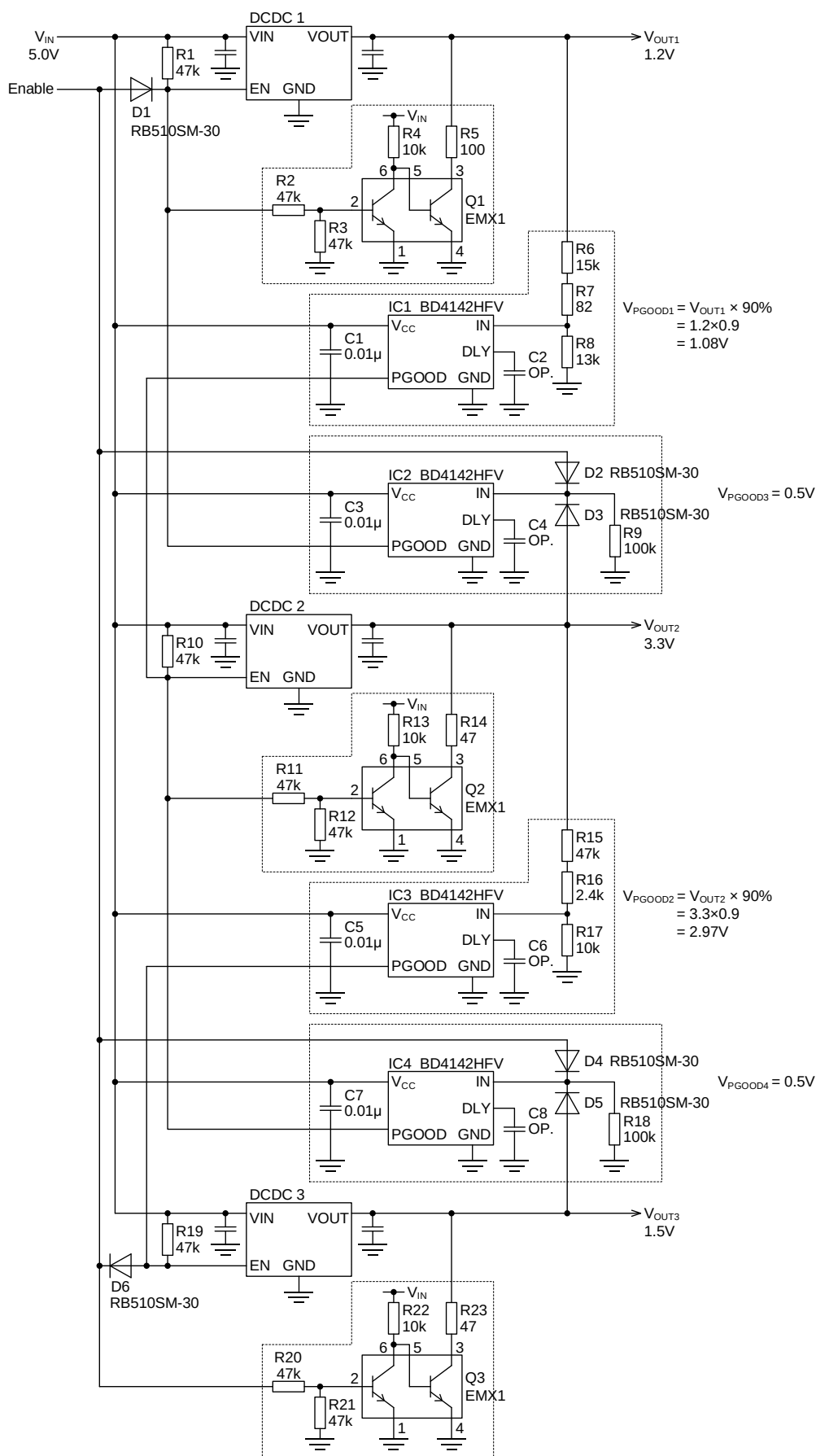


Figure 1-11. 電源シーケンスを実現する回路例

回路例 1

Figure 1-11 に電源シーケンスを実現する回路例を示します。3 系統の DCDC はスイッチングレギュレータ (DC/DC コンバータ) またはリアレギュレータ (LDO) を想定しています。機能として出力をオンオフ制御できるイネーブル (EN) ピンを持っています。

Power Good ブロックは、ボルテージディテクタ IC BD4142HFV を使用して機能を実現しています。Figure 1-12 に主要部分を取り上げます。この IC は検出電圧 0.5V を持ったヒステリシスコンパレータを内蔵しており、検出電圧を外部抵抗で設定することができます。検出電圧 V_{PGOOD} は式 1-1 で計算することができます。

$$V_{PGOOD} = \frac{R_2 + R_3}{R_3} \times 0.5 \text{ [V]} \quad (1-1)$$

Figure 1-11 の例では V_{OUT1} は 1.2V で、IC1 の PGOOD は、出力電圧の 90% に到達した時点でフラグを出す設定にしています。検出電圧を 95% などと高くすると、負荷変動で出力電圧が一瞬低下したときに PGOOD 出力が "Low" に変化するため、後段の DCDC が瞬断する問題が発生します。負荷変動と電圧低下の仕様を把握してから検出電圧を決定してください。90% の場合の検出電圧は $1.2V \times 0.9$ で 1.08V です。式 1 より抵抗値は次のように計算できます。

$$V_{PGOOD} = \frac{(15 \text{ k}\Omega + 82 \Omega) + 13 \text{ K}\Omega}{13 \text{ k}\Omega} \times 0.5 \text{ V} = 1.08 \text{ [V]}$$

よって、R2 は 15k Ω と 82 Ω の直列接続、R3 は 13k Ω になります。

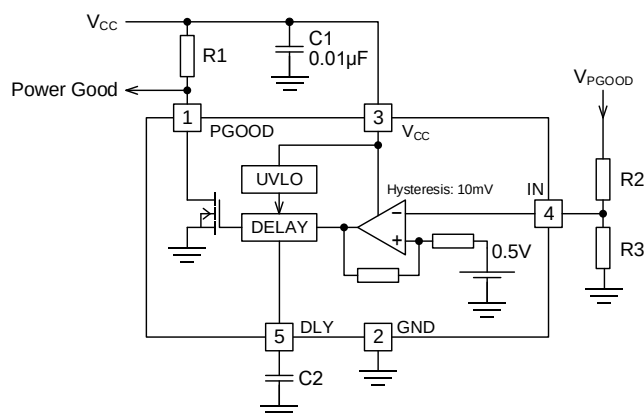


Figure 1-12. BD4142HFV で構成した Power Good 機能

BD4142HFV の検出電圧の許容差は $\pm 1.8\%$ です。PGOOD の範囲は 88.4% ($=90\% \times 0.982$) から 91.6% ($=90\% \times 1.018$) になります。またヒステリシスは 10mV です。検出解除電圧は 88.2% ($=90\% \times (0.5V - 10mV) / 0.5V$)、範囲は 86.6% ($=88.2\% \times 0.982$) から 89.8% ($=88.2\% \times 1.018$) になります。

PGOOD フラグを遅延したい場合は DLY ピンへコンデンサを接続しま

す。遅延時間とコンデンサの値は式 1-2 で計算することができます。

$$C_2 = \frac{t_{DELAY}}{2 \times 10^6} \text{ [F]} \quad (1-2)$$

一方で、電源遮断時に動作する PGOOD は IC2 と IC4 で、DCDC の出力電圧が約 0.5V 以下になると検出解除 (PGOOD 出力が "High" $\rightarrow$ "Low" へ変化) します。

Discharge ブロックは Figure 1-13 のようにトランジスタと抵抗で構成しています。1 段目のトランジスタは単純なインバータ回路、2 段目はオープンコレクタのスイッチです。コレクタに直列に接続されている抵抗値を可変して、出力電圧の降下時間を調整します。

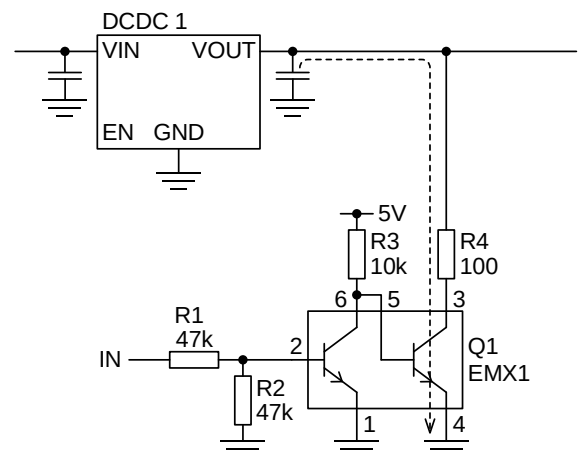


Figure 1-13. ディスチャージ回路

各所にあるダイオードはロジック動作を作るための部品で、"Low" 電圧を低く保つ必要があるため、順方向電圧が低いショットキーバリアダイオードを使用します。

動作例 1

Figure 1-11 回路の動作例を Figure 1-14 に示します。主電源 (V_{IN} 5.0V) は終始印加しています。電源投入のため Enable を“Low”から“High”へ推移します。すると出力は始めに作った仕様通り V_{OUT1} 、2、3 の順に起動しています。次に電源遮断のため Enable を“High”から“Low”へ推移します。出力は V_{OUT3} 、2、1 の順に遮断しています。

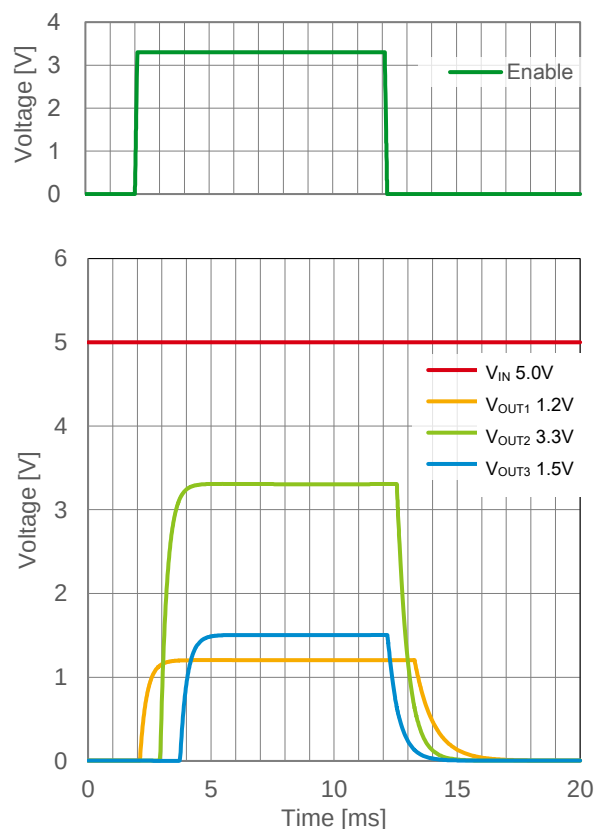


Figure 1-14. 電源シーケンス動作波形

このように専用の電源シーケンス IC を使用せず、また電源 IC もシーケンス制御に必要なパワーグッド出力や出力ディスチャージ機能が無い汎用電源 IC を使用して電源シーケンスを実現することができます。

電源シーケンス仕様 2

この例では 3 系統の電源シーケンスについて回路設計を紹介します。

入出力電圧の仕様を次に示します。

V_{IN} : 5.0V

V_{OUT1} : 1.2V

V_{OUT2} : 1.5V

V_{OUT3} : 3.3V

電源ツリーを Figure 2-1 に示します。ここでは 3 個の電源 IC で構成することになります。電源 IC はスイッチングレギュレータ (DC/DC コンバータ) またはリアレギュレータ (LDO) を想定しています。電源 IC の機能として、出力をオンオフ制御できるイネーブルピンが必要です。

電源投入の順番は、 V_{OUT1} 、2、3 の順に投入し、遮断も投入と同じ V_{OUT1} 、2、3 の順とします。概略図を Figure 2-2 に示します。

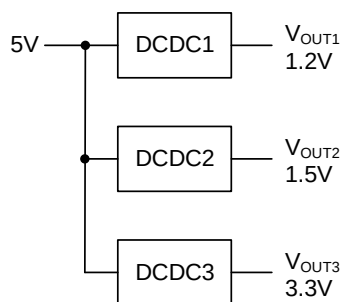


Figure 2-1. 電源ツリー

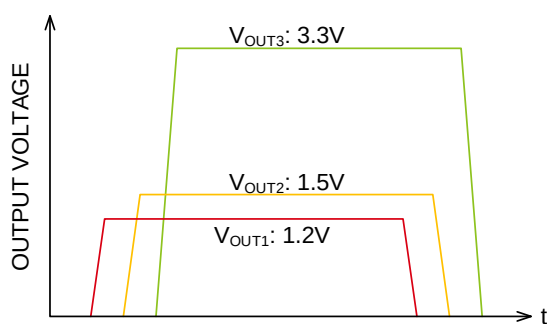


Figure 2-2. 電源シーケンス概略図

制御ブロック図 2

制御ブロック図を Figure 2-3 に示します。DCDC 1、DCDC 2、DCDC 3 は 3 系統の電源 IC で、それぞれの出力はイネーブル(EN)ピンによって制御されています。Power Good 1 と 2 は電源投入時に DCDC の出力電圧を監視し、目標電圧に達すると次に起動する DCDC へ"High"信号を出力します。また、電源遮断時には目標降下電圧に達すると次に遮断する DCDC へ"Low"信号を出力します。Discharge ブロックは、電源遮断時に DCDC の出力コンデンサに充電されている電荷を急速に放電し電圧を低下することで、電源シーケンスが正常に動作する役割を果たしています。なお、このブロック図では、DCDC ブロックの EN と VOUT 間、Power Good ブロックの IN と PGOOD 間、Discharge ブロックの IN と OUT 間は正論理として設計しています。また、Power Good ブロックの PGOOD ピン（出力）と Discharge ブロックの OUT ピンは、オープンコレクタまたはオープンドレイン形式です。

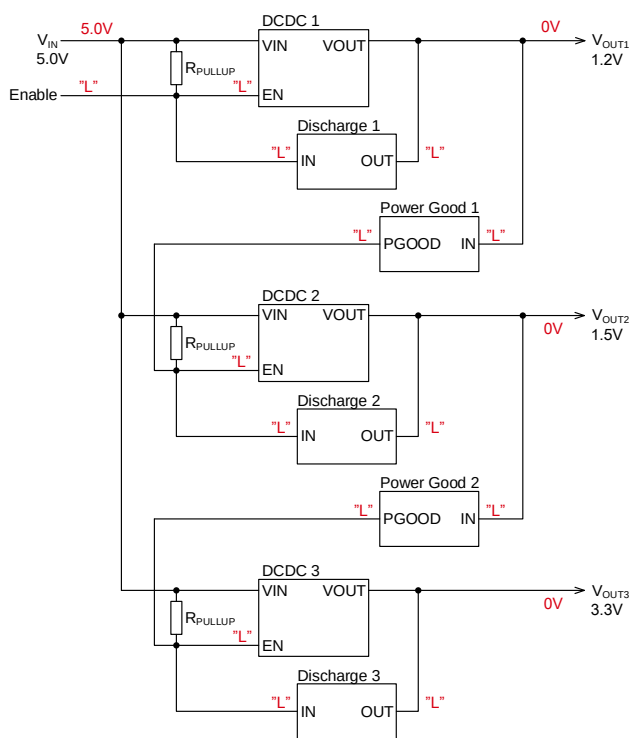


Figure 2-3. 制御ブロック図

シーケンス動作を、順を追って見て行きます。初期値は Enable 端子が"Low"レベルであり、3 つの DCDC 出力はゼロとします。Figure 2-4 に第一段階の電源投入時の動作を示します。まず電源を起動するため Enable 端子に High 電圧を印加します。"High"電圧は DCDC 1 の EN ピンへ印加され、DCDC 1 が起動します。DCDC 1 の出力電圧が 0V から 1.2V へ上昇すると、Power Good 1 の出力電圧が"Low"から"High"へ変化します。そして、次段の DCDC 2 の EN ピンへ印加されます。

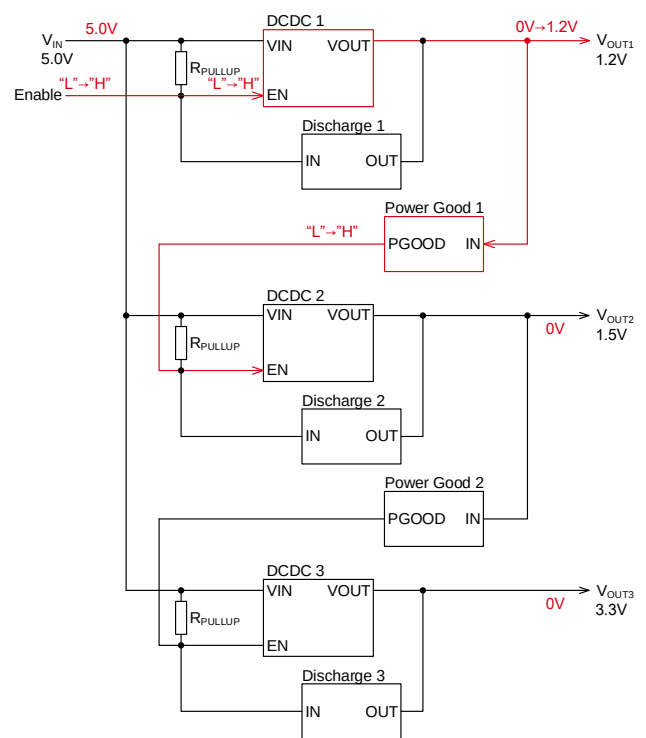


Figure 2-4. 電源投入時の動作 第一段階

Figure 2-5 に第二段階の電源投入時の動作を示します。DCDC 2 の EN ピンへ"High"電圧が印加され、DCDC 2 が起動します。DCDC 2 の出力電圧が 0V から 1.5V へ上昇すると、Power Good 2 の出力電圧が"Low"から"High"へ変化します。そして、次段の DCDC 3 の EN ピンへ印加されます。

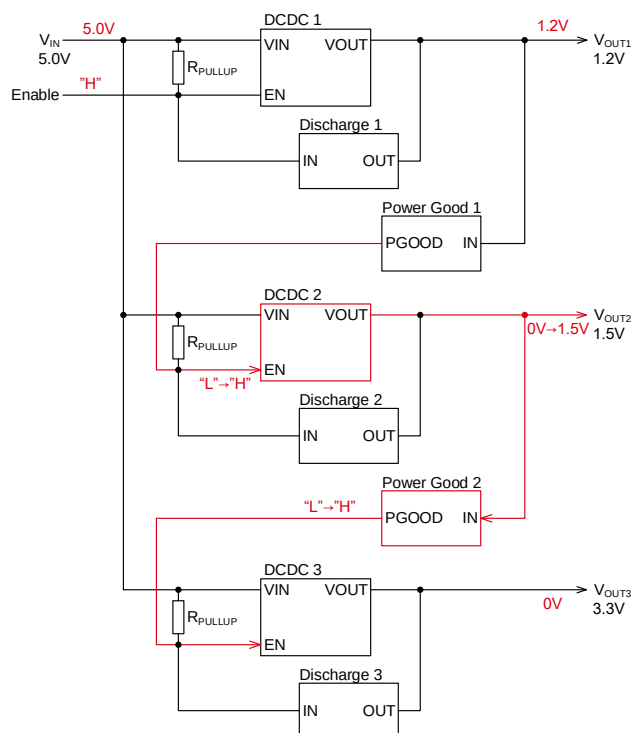


Figure 2-5. 電源投入時の動作 第二段階

Figure 2-6 に第三段階の電源投入時の動作を示します。DCDC 3 の EN ピンへ"High"電圧が印加され、DCDC 3 が起動します。DCDC 3 の出力電圧が 0V から 3.3V へ上昇し、これで 3 系統全ての電源が動作しました。

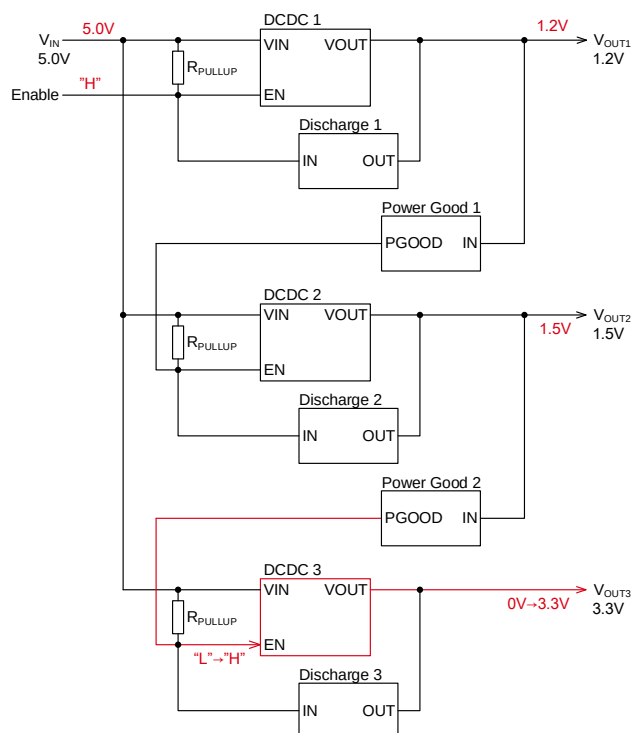


Figure 2-6. 電源投入時の動作 第三段階

Figure 2-7 は電源動作時の主なノードの状態を示します。

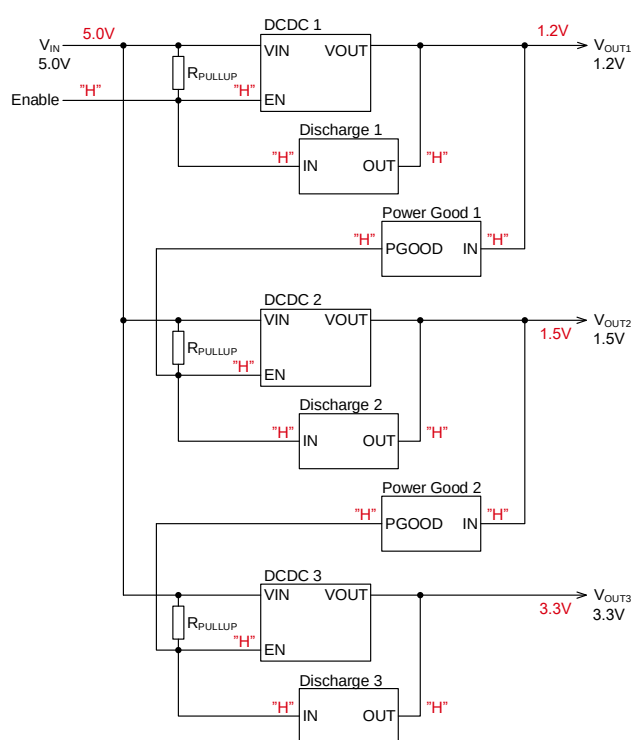


Figure 2-7. 電源動作時の主なノードの状態

次に電源遮断時のシーケンス動作を、順を追って見て行きます。Figure 2-8 に第一段階の電源遮断時の動作を示します。まず電源を遮断するため Enable 端子に Low 電圧を印加します。"Low"電圧は DCDC 1 の EN ピンへ印加され、DCDC 1 が遮断します。同時に"Low"電圧は Discharge 1 の IN ピンへ印加され OUT ピンが低インピーダンスに変化します。これにより DCDC 1 の出力電圧は高速に 0V へ推移します。DCDC 1 の出力電圧が低くなると、Power Good 1 の出力電圧が"High"から"Low"へ変化します。そして、次段の DCDC 2 の EN ピンおよび Discharge 2 の IN ピンへ印加されます。

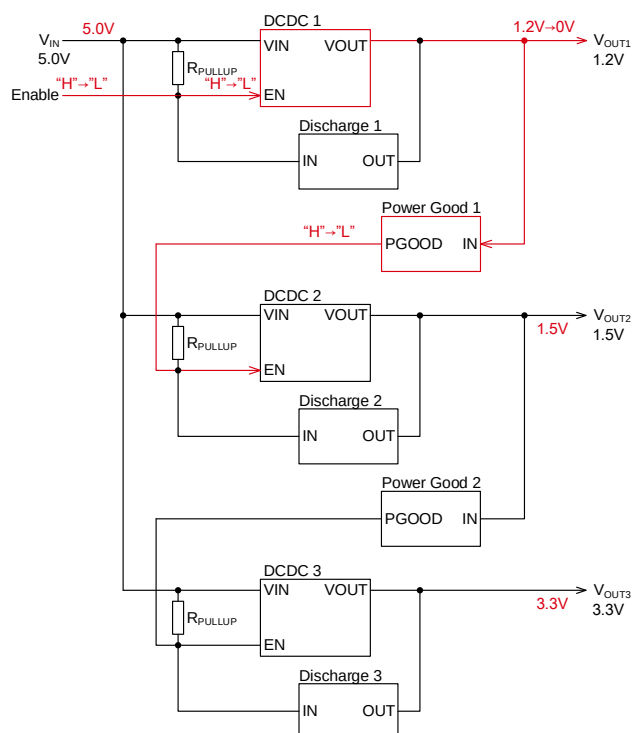


Figure 2-8. 電源遮断時の動作 第一段階

Figure 2-9 に第二段階の電源遮断時の動作を示します。DCDC 2 の EN ピンへ"Low"電圧が印加され、DCDC 2 が遮断します。同時に"Low"電圧は Discharge 2 の IN ピンへ印加され OUT ピンが低インピーダンスに変化します。これにより DCDC 2 の出力電圧は高速に 0V へ推移します。DCDC 2 の出力電圧が低くなると、Power Good 2 の出力電圧が"High"から"Low"へ変化します。そして、次段の DCDC 3 の EN ピンおよび Discharge 3 の IN ピンへ印加されます。

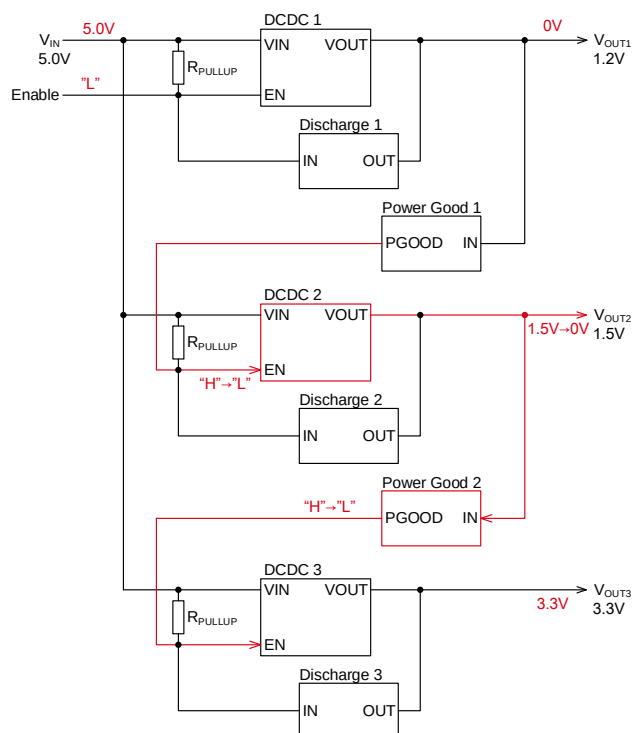


Figure 2-9. 電源遮断時の動作 第二段階

Figure 2-10 に第三段階の電源遮断時の動作を示します。DCDC 3 の EN ピンへ"Low"電圧が印加され、DCDC 3 が遮断します。同時に"Low"電圧は Discharge 3 の IN ピンへ印加され OUT ピンが低インピーダンスに変化します。これにより DCDC 3 の出力電圧は高速に 0V へ推移します。以上で 3 系統全ての電源が遮断しました。

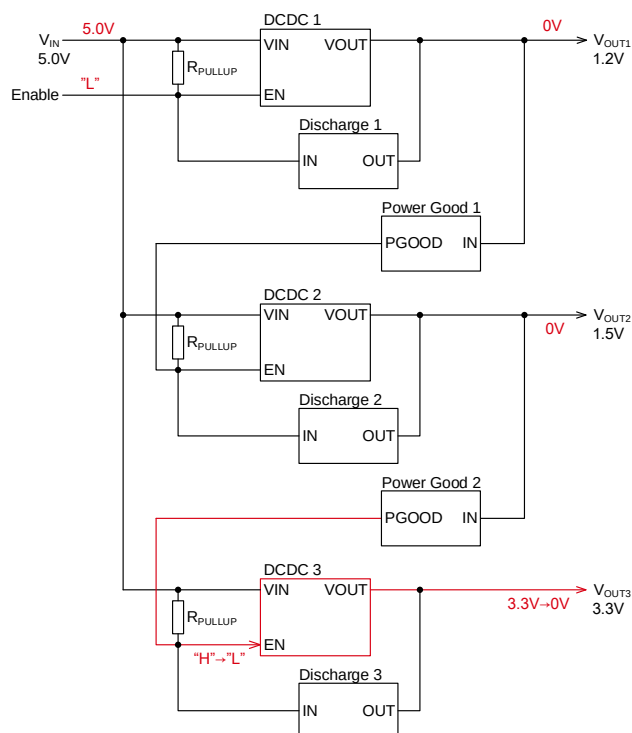


Figure 2-10. 電源遮断時の動作 第三段階

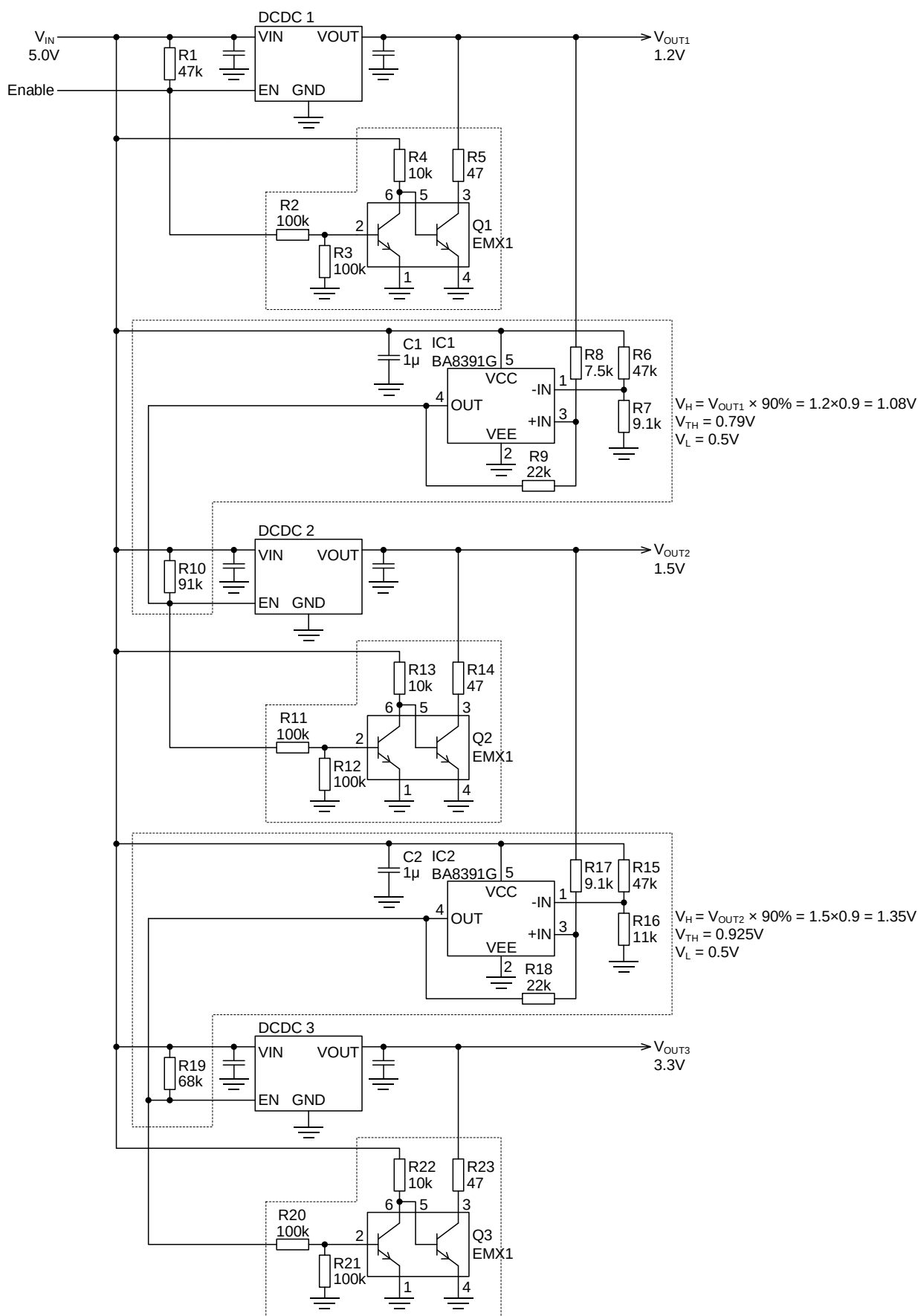


Figure 2-11. 電源シーケンスを実現する回路例

回路例 2

Figure 2-11 に電源シーケンスを実現する回路例を示します。3 系統の DCDC はスイッチングレギュレータ（DC/DC コンバータ）またはリアレギュレータ（LDO）を想定しています。機能として出力をオンオフ制御できるイネーブル（EN）ピンを持っています。

Power Good ブロックは、Figure 2-12 のように非反転ヒステリシスコンパレータで構成し、デバイスはコンパレータ IC BA8391G を使用しています。起動時の検出電圧 V_H と遮断時の検出電圧 V_L 間に大きなヒステリシス電圧を設けています。そうすることで 1 つのデバイスで起動時と遮断時の両方の電圧を検出して制御信号を出すことが可能です。

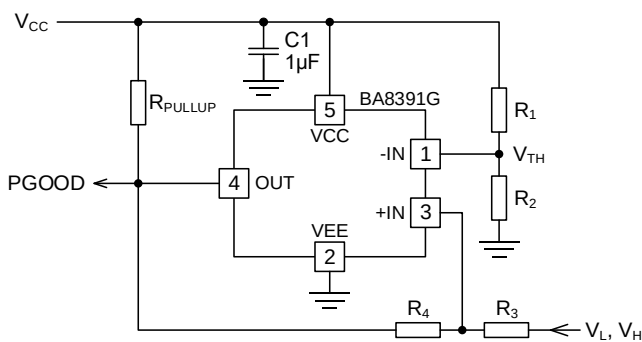


Figure 2-12. 非反転ヒステリシスコンパレータで構成した Power Good 機能

まず起動時の検出電圧 V_H ですが、Figure 2-11 の例では V_{OUT1} は 1.2V で、IC1 の PGOOD は、出力電圧の 90% に到達した時点でフラグを出す設定にしています。検出電圧 V_H は $1.2V \times 0.9$ で 1.08V です。次に遮断時の検出電圧 V_L は、0.5V に設定しています。これは各電源間に逆電圧が印加されたとしても寄生素子が概ねオンしない電圧です。

コンパレータのスレッシホールド電圧 V_{TH} は Figure 2-13 のように V_H と V_L の中点に設定します。値は式 2-1 で求めることができます。

$$V_{TH} = \frac{(V_H - V_L)}{2} + V_L \quad [V] \quad (2-1)$$

$$= \frac{(1.08 - 0.5)}{2} + 0.5 = 0.79 \text{ V}$$

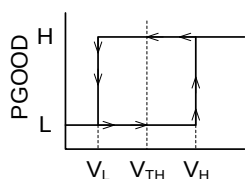


Figure 2-13. ヒステリシス電圧

Figure 2-12 の回路図で、 V_{TH} は式 2-2 となるので、これを R_2 の式に変換すると式 2-3 になります。

$$V_{TH} = \frac{R_2}{R_1 + R_2} \times V_{CC} \quad [V] \quad (2-2)$$

$$R_2 = \frac{R_1 \times V_{TH}}{V_{CC} - V_{TH}} \quad [\Omega] \quad (2-3)$$

R_1 が 47k Ω 、 V_{CC} が 5V だとすると R_2 は次式より 8.8k Ω になります。E24 シリーズより、公称抵抗値 9.1k Ω を選択します。

$$R_2 = \frac{47k\Omega \times 0.79V}{5V - 0.79V} = 8.8k\Omega \cong 9.1k\Omega$$

R_3 は入力バイアス電流をキャンセルするために、反転ピンのインピーダンスと同じになるように選択します。値は式 2-4 より 7.6k Ω となり、E24 シリーズより、公称抵抗値 7.5k Ω を選択します。

$$R_3 = \frac{1}{\frac{1}{R_1} + \frac{1}{R_2}} = \frac{1}{\frac{1}{47k\Omega} + \frac{1}{9.1k\Omega}} = 7.6k\Omega \cong 7.5k\Omega \quad (2-4)$$

非反転ヒステリシスコンパレータの V_H 、 V_L を求める一般的な計算は式 2-5、式 2-6 です。これらを R_4 、 R_{PULLUP} の式に変換すると式 2-7、式 2-8 になります。

$$V_H = \frac{(R_3 + R_4) \times R_2}{R_4 \times (R_1 + R_2)} \times V_{CC} \quad [V] \quad (2-5)$$

$$V_L = \frac{(R_3 + R_4 + R_{PULLUP}) \times V_{TH} - R_3 \times V_{CC}}{R_4 + R_{PULLUP}} \quad [V] \quad (2-6)$$

$$R_4 = \frac{R_2 \times R_3 \times V_{CC}}{(R_1 + R_2) \times V_H - R_2 \times V_{CC}} \quad [\Omega] \quad (2-7)$$

$$R_{PULLUP} = \frac{R_3 \times (V_{TH} - V_{CC}) + R_4 \times (V_{TH} - V_L)}{V_L - V_{TH}} \quad [V] \quad (2-8)$$

前述で求めた定数を式 2-7、式 2-8 へ代入して残りの値を求めます。

$$R_4 = \frac{9.1k\Omega \times 7.5k\Omega \times 5V}{(47k\Omega + 9.1k\Omega) \times 1.08V - 9.1k\Omega \times 5V}$$

$$= 22.6k\Omega \cong 22k\Omega \quad (2-9)$$

$$R_{PULLUP} = \frac{7.5k\Omega \times (0.79V - 5V) + 22k\Omega \times (0.79V - 0.5V)}{0.5V - 0.79V}$$

$$= 86.9k\Omega \cong 91k\Omega \quad (2-10)$$

Discharge ブロックは Figure 2-14 のようにトランジスタと抵抗で構成しています。1 段目のトランジスタは単純なインバータ回路、2 段目はオープンコレクタのスイッチです。コレクタに直列に接続されている抵抗値を可変して、出力電圧の降下時間を調整します。

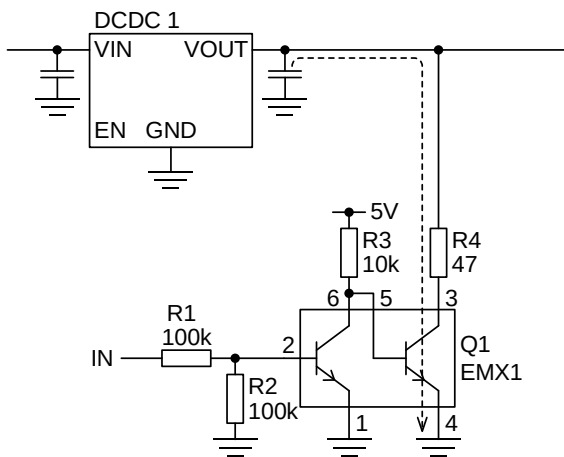


Figure 2-14. ディスチャージ回路

動作例 2

Figure 2-11 回路の動作例を Figure 2-15 に示します。主電源 (V_{IN} 5.0V) は終始印加しています。電源投入のため Enable を"Low"から"High"へ推移します。すると出力は始めに作った仕様通り V_{OUT1} 、2、3 の順に起動しています。次に電源遮断のため Enable を"High"から"Low"へ推移します。出力は V_{OUT1} 、2、3 の順に遮断しています。

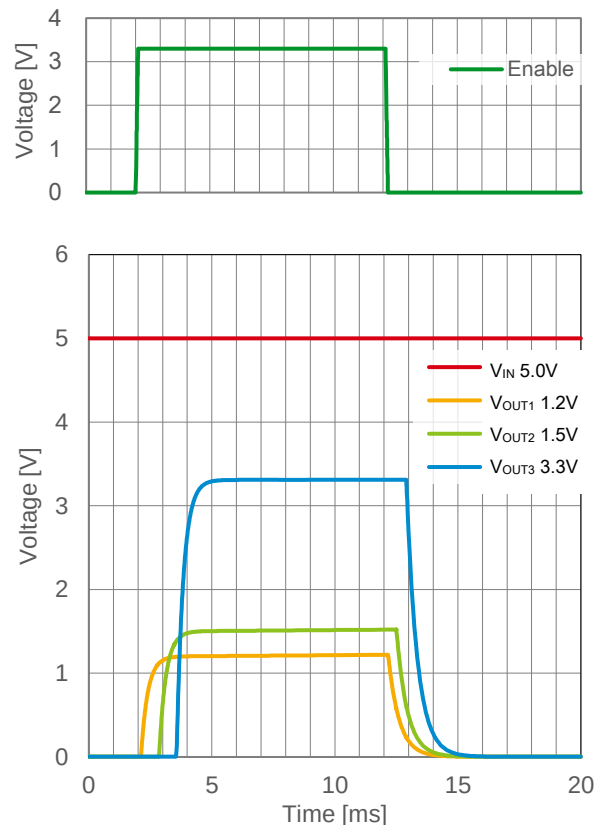


Figure 2-15. 電源シーケンス動作波形

このように専用の電源シーケンス IC を使用せず、また電源 IC もシーケンス制御に必要なパワーグッド出力や出力ディスチャージ機能が無い汎用電源 IC を使用して電源シーケンスを実現することができます。

ご 注 意

- 1) 本資料の記載内容は改良などのため予告なく変更することがあります。
- 2) 本資料に記載されている内容は製品のご紹介資料です。ご使用に際しては、別途最新の仕様書を必ずご請求のうえ、ご確認ください。
- 3) ロームは常に品質・信頼性の向上に取り組んでおりますが、半導体製品は種々の要因で故障・誤作動する可能性があります。
万が一、本製品が故障・誤作動した場合であっても、その影響により人身事故、火災損害等が起こらないようご使用機器でのディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等の安全確保をお願いします。定格を超えたご使用や使用上の注意書が守られていない場合、いかなる責任もロームは負うものではありません。
- 4) 本資料に記載されております応用回路例やその定数などの情報につきましては、本製品の標準的な動作や使い方を説明するものです。
したがって、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。
- 5) 本資料に記載されております技術情報は、製品の代表的動作および応用回路例などを示したものであり、ロームまたは他社の知的財産権その他のあらゆる権利について明示的にも黙示的にも、その実施または利用を許諾するものではありません。上記技術情報の使用に起因して紛争が発生した場合、ロームはその責任を負うものではありません。
- 6) 本資料に掲載されております製品は、耐放射線設計はなされていません。
- 7) 本製品を下記のような特に高い信頼性が要求される機器等に使用される際には、ロームへ必ずご連絡の上、承諾を得てください。
・輸送機器（車載、船舶、鉄道など）、幹線用通信機器、交通信号機器、防災・防犯装置、安全確保のための装置、医療機器、サーバー、太陽電池、送電システム
- 8) 本製品を極めて高い信頼性を要求される下記のような機器等には、使用しないでください。
・航空宇宙機器、原子力制御機器、海底中継機器
- 9) 本資料の記載に従わないために生じたいかなる事故、損害もロームはその責任を負うものではありません。
- 10) 本資料に記載されております情報は、正確を期すため慎重に作成したものです。万が一、当該情報の誤り・誤植に起因する損害がお客様に生じた場合においても、ロームはその責任を負うものではありません。
- 11) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上でご使用ください。
お客様にかかる法令を順守しないことにより生じた損害に関して、ロームは一切の責任を負いません。
本製品の RoHS 適合性などの詳細につきましては、セールス・オフィスまでお問合せください。
- 12) 本製品および本資料に記載の技術を輸出又は国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 13) 本資料の一部または全部をロームの許可なく、転載・複写することを堅くお断りします。



ローム製品のご検討ありがとうございます。
より詳しい資料やカタログなどご用意しておりますので、お問合せください。

ROHM Customer Support System

<http://www.rohm.co.jp/contact/>