

パワーステージ

650 V GaN HEMT パワーステージ

BM3G007MUV-LB

概要

本製品は産業機器市場へ向けた、長期の供給を保证するランクの製品です。

これらのアプリケーションとして、ご使用される場合に最適な商品です。

BM3G007MUV-LB は、高電力密度と効率を必要とするすべてのエレクトロニクスシステムに最適なソリューションを提供します。

650 V 耐圧 GaN HEMT とシリコンドライバをオリジナルパッケージに統合することにより、PCB とワイヤボンディングによって生じる寄生インダクタンスが、従来のディスクリートソリューションに比べて大幅に低減されます。

これにより、150 V/ns までの高いスイッチングスループレートが達成できます。また、調整可能なゲート駆動強度は、低 EMI に寄与し、種々の保護及び他の追加機能は、トータルコスト、PCB サイズを最適化します。

この IC は、主要な既存のコントローラ IC に適応させるように設計されているため、スーパージャンクション MOSFET のような従来のディスクリートパワースイッチの置き換えにも使用可能です。

特長

- Nano Cap™ 搭載 出力を選択可能な 5 V LDO
- 産業機器に適した長期の供給保証
- 広い動作範囲の VDD 端子電圧
- 広い動作範囲の IN 端子電圧
- 低 VDD 静止及び動作電流
- 低伝搬遅延
- 高い dv/dt 耐性
- 調整可能なゲート駆動強度
- Power Good 信号出力
- VDD UVLO 保護
- サーマルシャットダウン保護

重要特性

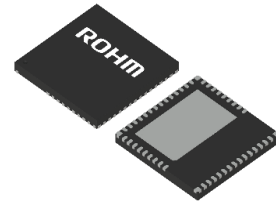
- 電源電圧範囲
 - VDD 端子: 6.25 V ~ 30 V
 - D 端子: 650 V (Max)
 - IN 端子: -0.6 V ~ +30 V
- VDD 動作電流@130 kHz: 650 μ A (Typ)
- VDD 静止電流: 180 μ A (Typ)
- 許容入力スイッチング周波数: 2 MHz (Max)
- ターンオン遅延時間: 12 ns (Typ)
- ターンオフ遅延時間: 15 ns (Typ)
- 使用温度範囲: -40 °C ~ +105 °C
- GaN HEMT D-S ON 抵抗: 70 m Ω (Typ)

パッケージ W (Typ) x D (Typ) x H (Max)

VQFN046V8080

8.0 mm x 8.0 mm x 1.0 mm

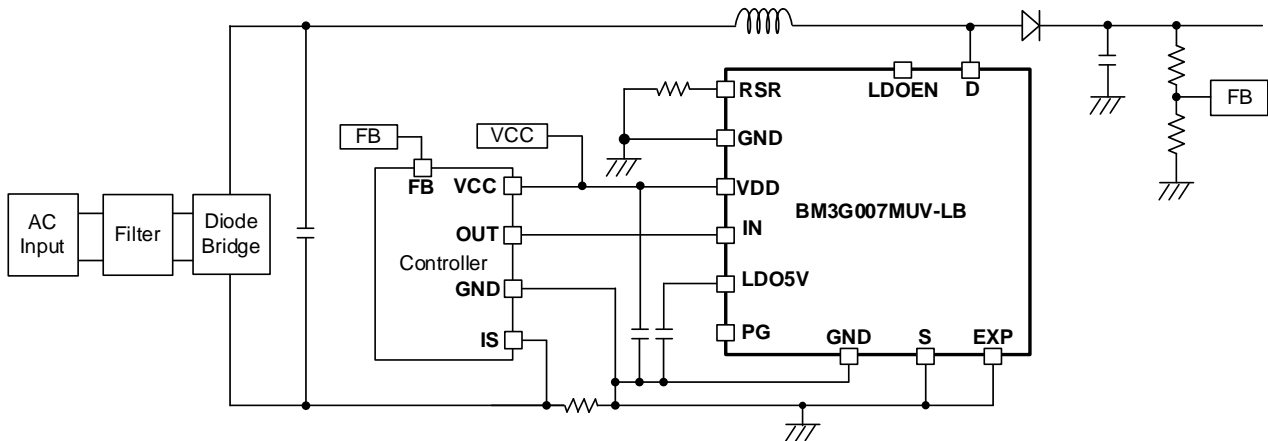
ピッチ 0.5 mm



用途

- 産業機器、トータルポール PFC、LLC 電源、アダプタなどの、大電力密度、高効率求められる電源、またはブリッジ・トポロジーを備えた電源

基本アプリケーション回路



Nano Cap™ はローム株式会社の商標または登録商標です。

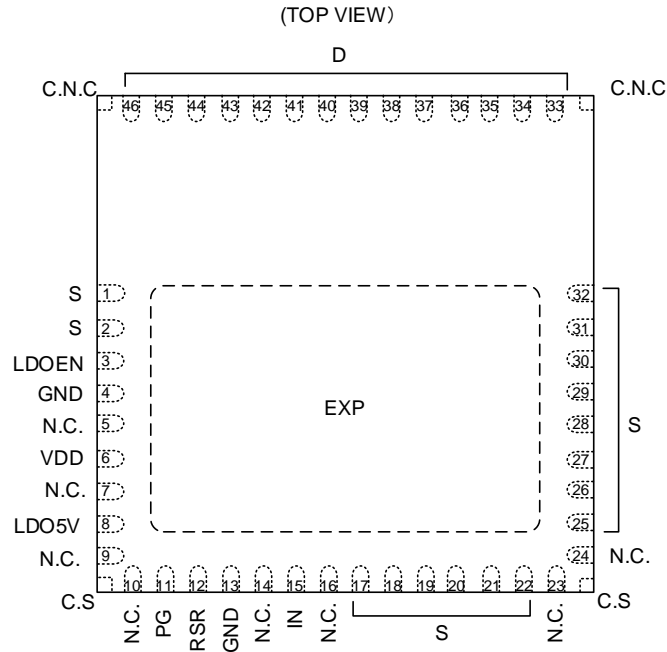
○製品構造：シリコンを主材料とした半導体集積回路 ○耐放射線設計はしてありません

www.rohm.co.jp

© 2022 ROHM Co., Ltd. All rights reserved.

TSZ22111•14•001

端子配置図



端子説明

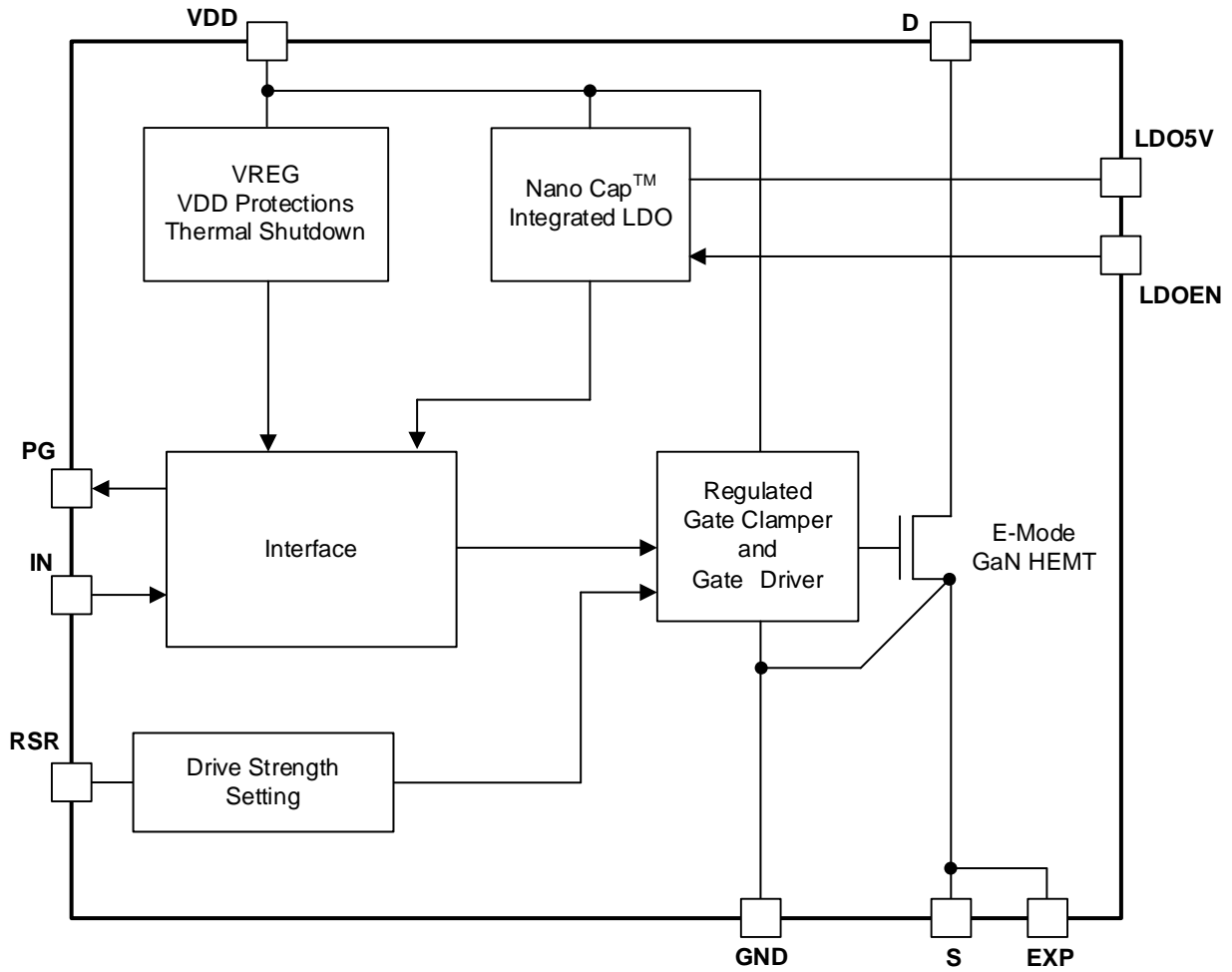
端子番号	端子名	I/O	機能
1, 2, 17-22, 25-32	S	O	GaN HEMT SOURCE 端子
3	LDOEN	I	LDO 機能 enable / disable 端子
4, 13	GND	O	GND 端子 <i>(Note 1)</i>
5, 7, 9, 10, 14, 16, 23, 24	N.C.	-	非接続 <i>(Note 2)</i>
6	VDD	I	電源端子
8	LDO5V	O	5 V LDO 出力端子
11	PG	O	Power Good 信号出力端子
12	RSR	I	ゲート駆動強度調整端子
15	IN	I	非反転ゲート駆動入力
33-46	D	I	GaN HEMT DRAIN 端子
-	EXP	O	GaN HEMT SOURCE 端子 <i>(Note 1)</i>
-	C.S.	-	コーナー端子 <i>(Note 3)</i>
-	C.N.C.	-	コーナー端子、非接続 <i>(Note 2)</i>

(Note 1) 内部で S 端子に接続されていますが、PCB 上でも S 端子に接続してください。

(Note 2) 他の端子には接続しないでください。

(Note 3) 内部で S 端子に接続されていますが、PCB 上では他の端子に接続しないでください。

ブロック図



各ブロック動作説明

1 概要

GaN デバイス、ゲートドライバ、保護などの追加機能が内蔵された本 IC は、高電力密度設計をはるかに簡単かつ効率的に行うための最適ソリューションを提供します。

GaN デバイスのゼロ逆回復と極小な出力容量により、この IC はブリッジベーストポロジにおいて優れた効率を達成します。また、効率と PCB サイズの改善のため、既存の Si MOSFET とヒートシンクを置き換えることができます。

VDD 端子と IN 端子入力電圧範囲を広く動作させた内蔵ゲートドライバは、高いドレインスルーレートと低い伝播遅延のような著しいスイッチング性能をもたらし、従来の Si MOSFET ディスクリットよりも GaN デバイスをはるかに使いやすくします。

さらに、VDD UVLO、LDO 出力 UVP、サーマルシャットダウン (TSD) などのさまざまな保護機能も統合されており、この IC を破壊から保護します。PG 端子から Power Good 信号が出力され、何らかの異常状態が検出された場合に Low に切り替わります。

2 各ブロック説明

2.1 E-Mode GaN HEMT

この IC はエンハンスメントモード (ノーマリオフ) GaN デバイスを内蔵しています。

デプレッションモード (ノーマリオン) GaN デバイスと Si MOSFET を直列に接続するカスコード・トポロジと比較して、エンハンスメントモード GaN デバイスは寄生インダクタンスが小さく、スイッチング損失が少ないです。

なぜならカスコード・トポロジはデプレッションモード GaN デバイスと Si MOSFET の間に追加の寄生インダクタンスを持つからです。

これらの特性は物理的に高度なスイッチング性能を提供し、特に大電流アプリケーションにおいて顕著になります。

2.2 Regulated Gate Clamper and Gate Driver

この IC はエンハンスメントモード GaN デバイス用の独自のゲートドライバを内蔵しており、VDD UVLO と TSD が正常と判定されるまでドライバはオフ状態を保ちます。

内蔵ゲートクランプにより、VDD 端子電圧の広い動作範囲がされます。

2.3 Nano Cap™ Integrated LDO

Nano Cap™ とは、ローム独自方式により容量が nF オーダーでも安定制御できる技術です。

この IC は出力電圧が 5 V の出力を選択可能な LDO レギュレータを内蔵しています。

ハイサイド IN 端子の入力信号用デジタルアイソレータなど他のコンポーネントの電源として、ブリッジアプリケーションで使用できるように設計されています。この機能を使用する場合は、LDO5V 端子と GND 端子間に 0.1 μF 以上の出力コンデンサ C_{LDO5V} を使用することを推奨します。

出力コンデンサ C_{LDO5V} には ESR の小さいセラミック・コンデンサを使用してください。

LDO レギュレータは、LDOEN 端子をオープンのままにすることで有効になります。

不要な場合は、LDOEN 端子を GND 端子にショートして無効にすることもできます。

2.4 Interface

IN 入力インタフェース回路により、ほとんどの一般的な MCU や ACDC コントローラの出力を IN 端子の入力信号として直接使用することが可能です。

PG 端子は、この IC の Power Good 信号用のオープンドレイン出力です。

すべての保護が正常と判定され、入力信号に対する IN 端子状態が有効 (VDD UVLO 解除から t_{D,IN} 後) であれば、PG 端子電圧はハイインピーダンス状態を保ちます。

1 つまたは複数の保護機能が検出されると、PG 端子は内蔵抵抗 R_{PG_PD} によってローレベルにプルダウンされます。デジタルアイソレータまたは制御部 IC に出力し、本 IC の異常状態を通知することができます。

Table 1 に保護機能、異常状態とそれに対応する PG 端子の状態を示します。

ただし、VDD 端子電圧が V_{OFF} 以下の場合、PG 端子は強制ハイインピーダンス状態になります。

Table 1. PG 端子ローレベルを導入した保護

保護機能と異常状態 ("1" = 検出あり, "0" = 未検出, "X" = Don't care)			PG 端子状態 ("L" = GND プルダウン, "Hi-Z" = ハイインピーダンス)	
VDD UVLO	LDO5V UVP	TSD	LDOEN 端子 = OPEN	LDOEN 端子 = GND
1	X	X	Hi-Z	Hi-Z
0	0	0	Hi-Z	Hi-Z
0	0	1	L	L
0	1	0	L	Hi-Z
0	1	1	L	L

2 各ブロック説明 - 続き

2.5 Drive Strength Setting

一般的に、効率性と EMI の間にはトレードオフの関係があります。スイッチングスルーレートを高くすると、スイッチング損失が減少します。一方で、スイッチングノイズも増加します。

RSR 端子と GND 端子間の抵抗 R_{SR} を調整することで、ターンオンスルーレート SR_{ON} を 20 V/ns ~ 80 V/ns の範囲で自由に選択できます。

R_{SR} の値が大きくなると、 SR_{ON} の値も大きくなります。

R_{SR} の値が 100 k Ω 以上になると、 SR_{ON} の値は一定値にクランプされます。

EMI フィルタスペース、PCB レイアウトなど、特定の状況に応じてスイッチング速度を最適化することが可能です。

R_{SR} と SR_{ON} の関係は Figure 28 を参照してください。

2.6 VREG, VDD Protections, Thermal Shutdown

この IC には、内部レギュレータ、各種保護回路を内蔵しています。

各ブロック動作説明 - 続き

3 起動シーケンス

起動シーケンスを Figure 1、Figure 2 に示します。詳細な説明については以下のセクションを参照してください。

3.1 起動シーケンス (LDOEN 端子 = OPEN)

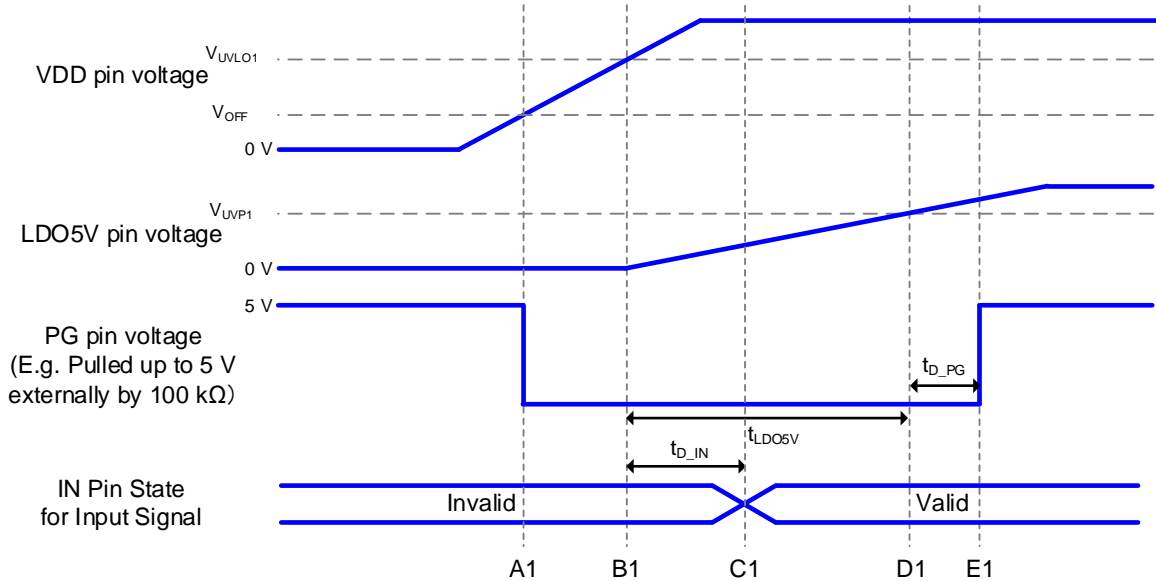


Figure 1. 起動シーケンスタイミングチャート (LDOEN 端子 = OPEN)

- A1: VDD 端子電圧が V_{OFF} を超えると IC が動作可能状態になり、PG 端子が内部プルダウン状態になります。
- B1: VDD 端子電圧が V_{UVLO1} を超えると IC が動作を開始し、LDO5V の端子電圧が立ち上がり始めます。
- C1: B1 から t_{D_IN} 後、IN 端子からの入力が可能な状態になります。また、内蔵 GaN HEMT を駆動することが可能になります。
- D1: LDO5V 端子電圧が V_{UVP1} を超えた場合、Power Good 信号を出力する条件が満たされます。B1 から D1 までの時間を t_{LD05V} と定義します。
- E1: D1 から t_{D_PG} 後、PG 端子の状態は内部プルダウンからハイインピーダンス状態に切り替わります。

3.2 起動シーケンス (LDOEN 端子 = GND)

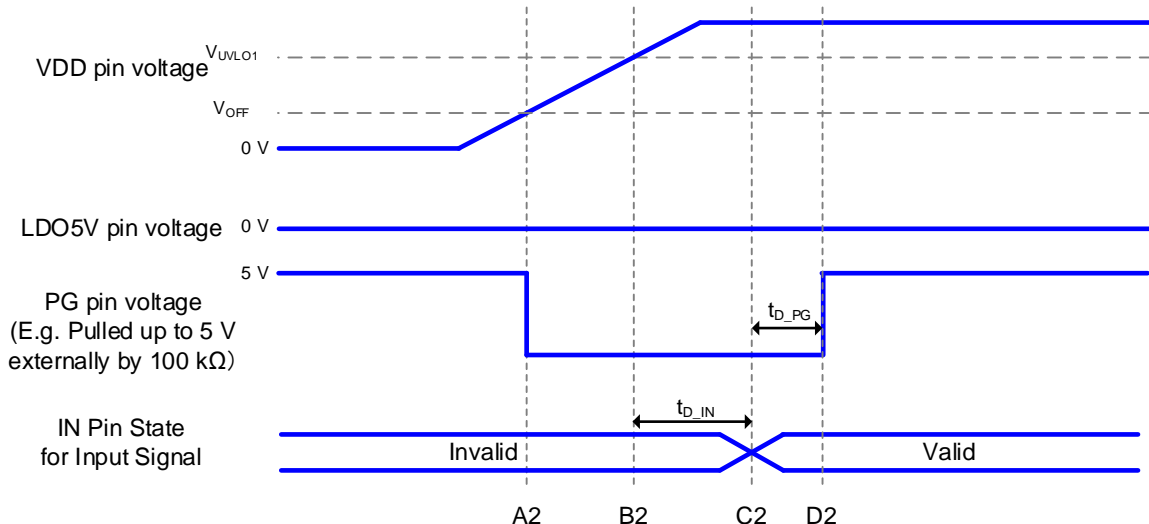


Figure 2. 起動シーケンスタイミングチャート (LDOEN 端子 = GND)

- A2: A1 と同じです。
- B2: VDD 端子電圧が V_{UVLO1} を超えると IC が動作を開始します。
- C2: C1 と同じです。
- D2: C2 から t_{D_PG} 後、PG 端子の状態は内部プルダウンからハイインピーダンス状態に切り替わります。

絶対最大定格 (Ta = 25 °C)

項目	記号	定格	単位	条件
最大印加電圧 1	V _{MAX1A}	-0.3 ~ +650	V	D 端子電圧、DC
	V _{MAX1B}	-0.3 ~ +730	V	D 端子電圧、tpulse < 1 μs ^(Note 1)
最大印加電圧 2	V _{MAX2}	-0.3 ~ +35	V	VDD 端子電圧
最大印加電圧 3	V _{MAX3}	-0.6 ~ +35	V	IN 端子電圧
最大印加電圧 4	V _{MAX4}	-0.3 ~ +6.0	V	LDOEN, LDO5V, RSR, PG 端子電圧
最大流入電流	I _{MAX}	5.0	mA	PG 端子流入電流
DRAIN 端子電流	I _{D(RMS)}	20.9	A	RMS, Tc = 25 °C
	I _{D(PULSE)}	66.1	A	tpulse < 1 μs ^(Note 1) , Tc = 25 °C
DRAIN dv/dt	dv/dt	150	V/ns	V _D = 0 V ~ 400 V
最高接合部温度	T _{jmax}	150	°C	
保存温度範囲	T _{stg}	-55 ~ +150	°C	

注意 1: 印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施していただくようお願いいたします。

注意 2: 最高接合部温度を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。最高接合部温度を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用するなど、最高接合部温度を超えないよう熱抵抗にご配慮ください。

(Note 1) デューティは 1 %未満です。

熱抵抗 (Note 2)

項目	記号	熱抵抗(Typ)		単位
		1 層基板 ^(Note 4)	4 層基板 ^(Note 5)	
VQFN046V8080				
ジャンクション—周囲温度間熱抵抗	θ _{JA}	90.5	25.8	°C/W
ジャンクション—パッケージ上面中心間熱特性パラメータ ^(Note 3)	ψ _{JT}	13	6	°C/W

(Note 2) JESD51-2A(Still-Air)に準拠。

(Note 3) ジャンクションからパッケージ (モールド部分) 上面中心までの熱特性パラメータ。

(Note 4) JESD51-3 に準拠した基板を使用。

(Note 5) JESD51-5,7 に準拠した基板を使用。

測定基板	基板材	基板寸法
1 層	FR-4	114.3 mm x 76.2 mm x 1.57 mmt

1 層目 (表面) 銅箔	
銅箔パターン	銅箔厚
実装ランドパターン + 電極引出し用配線	70 μm

測定基板	基板材	基板寸法	サーマルビア ^(Note 6)	
			ピッチ	直径
4 層	FR-4	114.3 mm x 76.2 mm x 1.6 mmt	1.20 mm	Φ0.30 mm

1 層目 (表面) 銅箔		2 層目、3 層目 (内層) 銅箔		4 層目 (裏面) 銅箔	
銅箔パターン	銅箔厚	銅箔パターン	銅箔厚	銅箔パターン	銅箔厚
実装ランドパターン + 電極引出し用配線	70 μm	74.2 mm□ (正方形)	35 μm	74.2 mm□ (正方形)	70 μm

(Note 6) 貫通ビア。1,2,4 層の銅箔と接続する。配置はランドパターンに従う。

推奨動作条件

項目	記号	最小	標準	最大	単位	条件
ドレイン電圧範囲	V_{DRAIN}	-	-	650	V	D 端子電圧、DC
電源電圧範囲	V_{DD}	6.25	15	30	V	VDD 端子電圧
入力電圧範囲 1	V_{IN_H}	2.5	5	30	V	IN 端子 high 電圧
入力電圧範囲 2	V_{IN_L}	-0.6	0	+0.3	V	IN 端子 low 電圧
LDO5V 負荷電流範囲	I_{LDO5V}	-	-	10	mA	$V_{DD} = 15\text{ V}$
LDO5V 端子 出力コンデンサ範囲	C_{LDO5V}	0.1	-	100	μF	LDOEN = OPEN
RSR 端子プルダウン抵抗範囲	R_{SR}	0	-	OPEN	Ω	
動作温度	T_{opr}	-40	-	+105	$^{\circ}\text{C}$	周囲温度

電気的特性（特に指定のない限り、 $V_{DD} = 15\text{ V}$ 、 $T_a = 25\text{ }^{\circ}\text{C}$ ）

項目	記号	最小	標準	最大	単位	条件
GaN HEMT						
D-S 耐圧	$V_{(BR)DDS1}$	650	-	-	V	$V_{IN} = 0\text{ V}$
	$V_{(BR)DDS2}$	730	-	-	V	$V_{IN} = 0\text{ V}$ 、 $t_{pulse} < 1\ \mu\text{s}$ (Note 1)
D 端子漏れ電流	I_{DSS1}	-	-	100	μA	$V_{DS} = 650\text{ V}$ 、 $V_{IN} = 0\text{ V}$ 、 $T_a = 25\text{ }^{\circ}\text{C}$
	I_{DSS2}	-	10	-	μA	$V_{DS} = 650\text{ V}$ 、 $V_{IN} = 0\text{ V}$ 、 $T_a = 150\text{ }^{\circ}\text{C}$
D-S ON 抵抗	R_{ON1}	-	70	100	m Ω	$I_D = 0.5\text{ A}$ 、 $V_{IN} = 5\text{ V}$ 、 $T_a = 25\text{ }^{\circ}\text{C}$
	R_{ON2}	-	175	-	m Ω	$I_D = 0.5\text{ A}$ 、 $V_{IN} = 5\text{ V}$ 、 $T_a = 150\text{ }^{\circ}\text{C}$
S-D 逆電圧	V_{SD}	-	2.4	-	V	$I_D = -8.0\text{ A}$ 、 $V_{IN} = 0\text{ V}$
出力容量	C_{OSS}	-	49.9	-	pF	$V_{IN} = 0\text{ V}$ 、 $V_D = 400\text{ V}$ 、 $f = 1\text{ MHz}$
エネルギー換算実効出力容量	$C_{Q(ER)}$	-	74.5	-	pF	$V_{IN} = 0\text{ V}$ 、 $V_D = 0\text{ V} \sim 400\text{ V}$
時間換算実効出力容量	$C_{Q(TR)}$	-	116.6	-	pF	$V_{IN} = 0\text{ V}$ 、 $V_D = 0\text{ V} \sim 400\text{ V}$
逆回復電荷	Q_{RR}	-	0	-	nC	
回路電流						
VDD 動作電流	I_{ON1}	-	650	1000	μA	D 端子 = OPEN、 $R_{SR} = 0\ \Omega$ 130 kHz、デューティ = 50 %
VDD 静止電流	I_{ON2}	-	180	240	μA	$V_{IN} = 0\text{ V}$ 、 $R_{SR} = 0\ \Omega$
VDD スタンバイ電流	I_{STB}	-	80	160	μA	$V_{DD} = 5\text{ V}$
VDD 端子						
VDD 動作限界電圧	V_{OFF}	-	-	3	V	
VDD UVLO 解除電圧	V_{UVLO1}	5.65	5.95	6.25	V	VDD 端子電圧上昇時
VDD UVLO 検出電圧	V_{UVLO2}	5.15	5.30	5.45	V	VDD 端子電圧低下時
VDD UVLO ヒステリシス	V_{UVLO3}	-	0.65	-	V	$V_{UVLO3} = V_{UVLO1} - V_{UVLO2}$
VDD UVLO タイマ	t_{UVLO}	50	100	200	μs	

(Note 1) デューティは 1%未満です。

電气的特性 - 続き (特に指定のない限り、 $V_{DD} = 15\text{ V}$, $T_a = 25\text{ }^\circ\text{C}$)

項目	記号	最小	標準	最大	単位	条件
サーマルシャットダウン						
TSD 温度 1	T_{SD1}	150	175	200	$^\circ\text{C}$	温度上昇時(Notes 1)
TSD 温度 2	T_{SD2}	-	100	-	$^\circ\text{C}$	温度低下時(Notes 1)
TSD ヒステリシス	T_{SD3}	-	75	-	$^\circ\text{C}$	$T_{SD3} = T_{SD1} - T_{SD2}$ (Notes 1)
TSD タイマ	t_{tSD}	50	100	150	μs	
LDOEN 端子						
LDOEN 内部プルアップ抵抗	R_{LDOEN_PU}	350	500	650	$\text{k}\Omega$	
LDOEN 外部プルダウン抵抗 設定範囲	R_{LDOEN_PD}	-	0	10	$\text{k}\Omega$	LDO 機能を無効にする場合
LDO5V 端子						
LDO5V 出力電圧	V_{LDO5V}	4.90	5.00	5.10	V	
LDO5V 最大出力電流	I_{LDO5V}	10	-	-	mA	
LDO5V UVP 解除電圧	V_{UVP1}	-	85	-	%	V_{LDO5V} の割合
LDO5V UVP 検出電圧	V_{UVP2}	-	80	-	%	V_{LDO5V} の割合
LDO5V UVP ヒステリシス	V_{UVP3}	-	5	-	%	V_{LDO5V} の割合
LDO5V 内部プルダウン抵抗	R_{LDO5V_PD}	0.5	1.0	1.5	$\text{k}\Omega$	LDOEN-GND 間をショート
PG 端子						
PG 内部プルダウン抵抗	R_{PG_PD}	-	110	200	Ω	
IN 端子						
正方向入力スレッシュホールド	V_{IN_POS}	1.60	1.80	2.00	V	
負方向入力スレッシュホールド	V_{IN_NEG}	1.05	1.30	1.55	V	
入力スレッシュホールドヒステリシス	V_{IN_HYS}	-	0.50	-	V	
入力リーク電流	I_{IN_LEAK}	-	40	-	μA	$V_{IN} = 5\text{ V}$
許容入力スイッチング周波数	f_{sw}	-	-	2.0	MHz	
RSR 端子						
ターンオンスルーレート 1	SR_{ON1}	-	20	-	V/ns	$R_{SR} = 0\ \Omega$ $V_{BUS} = 400\text{ V}$ (Notes 1) (Notes 2)
ターンオンスルーレート 2	SR_{ON2}	-	80	-	V/ns	$R_{SR} = \text{OPEN}$, $V_{BUS} = 400\text{ V}$ (Notes 1) (Notes 2)
スイッチング項目						
ターンオン遅延時間	$t_{D(ON)}$	-	12	-	ns	$R_{SR} = \text{OPEN}$, $V_{BUS} = 400\text{ V}$ (Notes 1) (Notes 2)
ドレイン立ち下がり時間	t_F	-	3	-	ns	$R_{SR} = \text{OPEN}$, $V_{BUS} = 400\text{ V}$ (Notes 1) (Notes 2)
ターンオフ遅延時間	$t_{D(OFF)}$	-	15	-	ns	$V_{BUS} = 400\text{ V}$ (Notes 1) (Notes 2)
ドレイン立ち上がり時間	t_R	-	5	-	ns	$V_{BUS} = 400\text{ V}$ (Notes 1) (Notes 2)
GaN HEMT ターンオンのための最小 IN 端子 High パルス幅	t_{IN_MIN}	-	-	24	ns	

(Notes 1) 出荷検査は行っていません。

(Notes 2) 「スイッチングパラメータ測定情報」を参照してください。

電气的特性 - 続き (特に指定のない限り、 $V_{DD} = 15\text{ V}$, $T_a = 25\text{ }^\circ\text{C}$)

項目	記号	最小	標準	最大	単位	条件
起動項目						
入力有効遅延時間	t_{D_IN}	-	15	30	μs	
PG 信号遅延時間	t_{D_PG}	-	10	20	μs	
LDO5V 立ち上がり時間	t_{LDO5V}	-	400	800	μs	LDOEN = OPEN, $C_{LDO5V} = 0.1\text{ }\mu\text{F}$

スイッチングパラメータ測定情報

Figure 3 は、スイッチングパラメータの測定回路を示しています。
Figure 4 にその説明を示します。

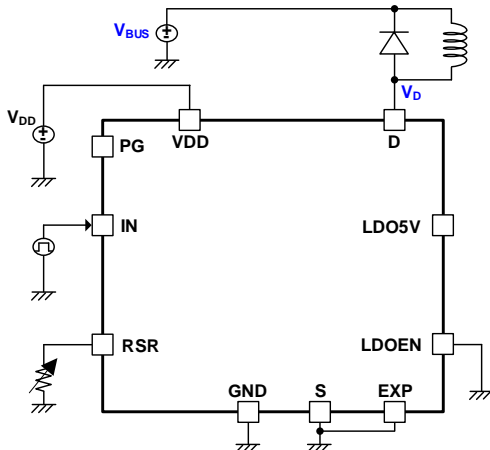


Figure 3. スwitchingパラメータ測定回路図

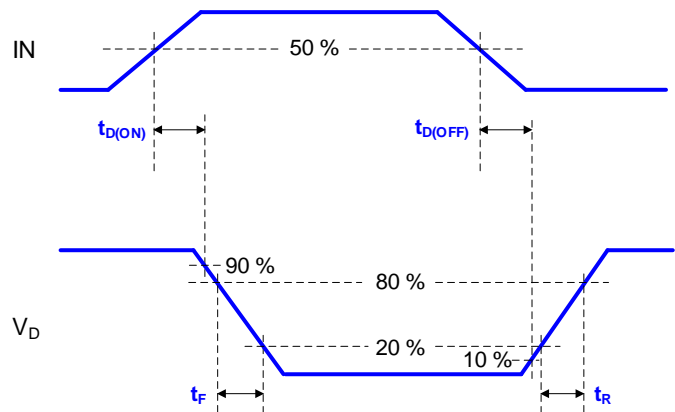


Figure 4. スwitchingパラメータの説明

1 ターンオン遅延時間: $t_{D(ON)}$

ターンオン遅延時間は、IN 端子電圧の立ち上がりエッジから (IN 端子 high 電圧レベルの 50 %のところ)、GaN HEMT がターンオンし始める (V_D が V_{BUS} の 90 %に下降するところ) までの時間です。

2 ドレイン立ち下がり時間: t_F

ドレイン立ち下がり時間は、 V_D が V_{BUS} の 80 %から 20 %に下降するまでの時間です。

3 ターンオフ遅延時間: $t_{D(OFF)}$

ターンオフ遅延時間は、IN 端子電圧の立ち下がりエッジから (IN 端子 high 電圧レベルの 50 %のところ)、GaN HEMT がターンオフし始める (V_D が V_{BUS} の 10 %に上昇するところ) までの時間です。

4 ドレイン立ち上がり時間: t_R

ドレイン立ち上がり時間は、 V_D が V_{BUS} の 20 %から 80 %に上昇するまでの時間です。

5 ターンオンスルーレート: SR_{ON}

ターンオンスルーレートは、 V_D が V_{BUS} の 80 %から 20 %に下降するまでのスルーレートです。
以下の計算式で算出されます。

$$SR_{ON} = \frac{V_{BUS} \times 60 \%}{t_F}$$

SR_{ON} : ターンオンスルーレート

V_{BUS} : DC bus 電圧

t_F : ドレイン立ち下がり時間

応用回路例

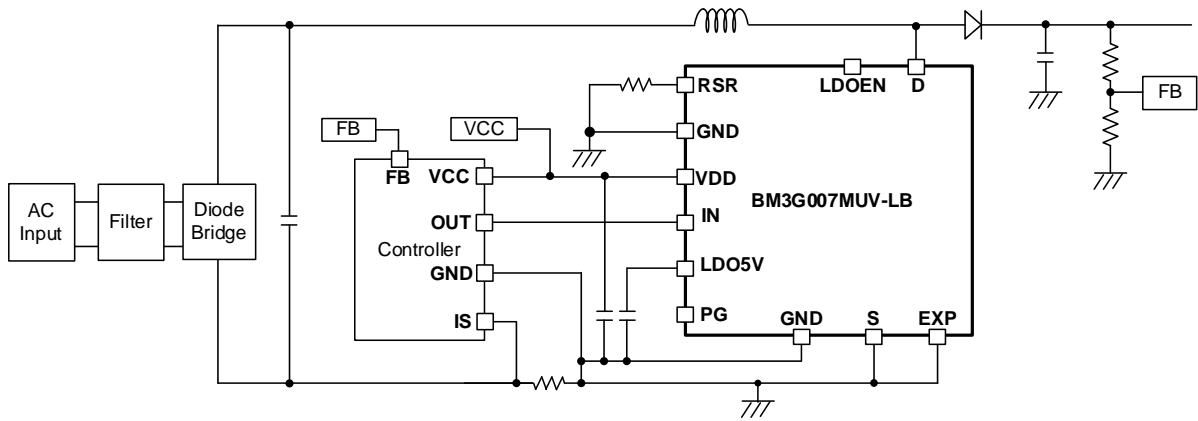


Figure 5. PFC Converter Application Example

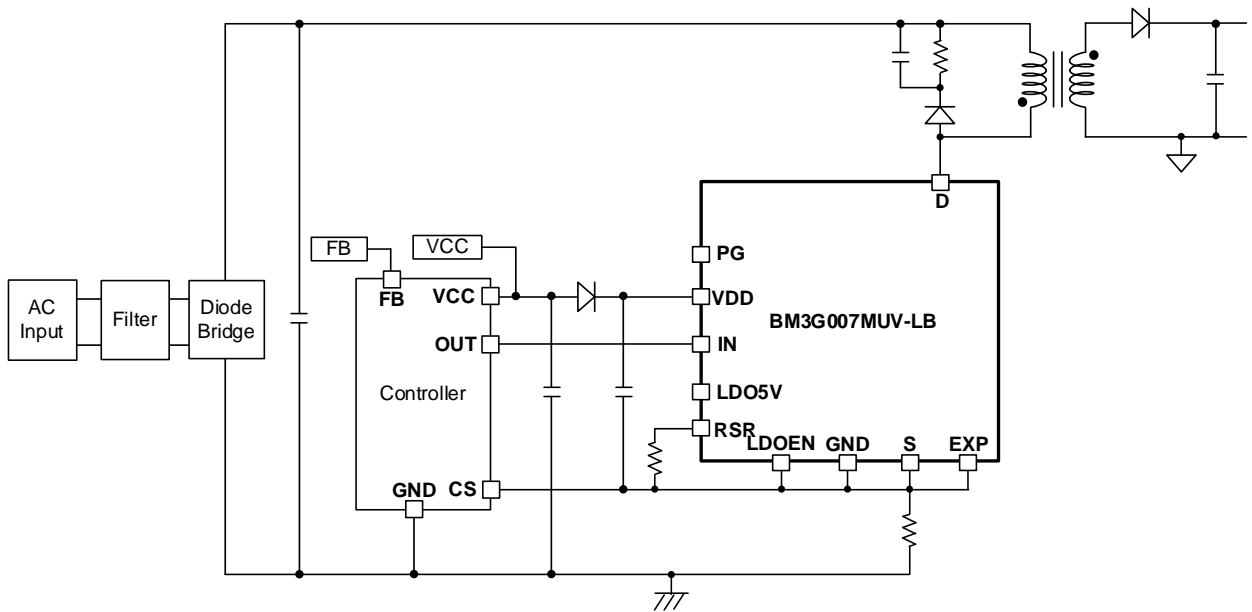


Figure 6. Flyback Converter Application Example

応用回路例 — 続き

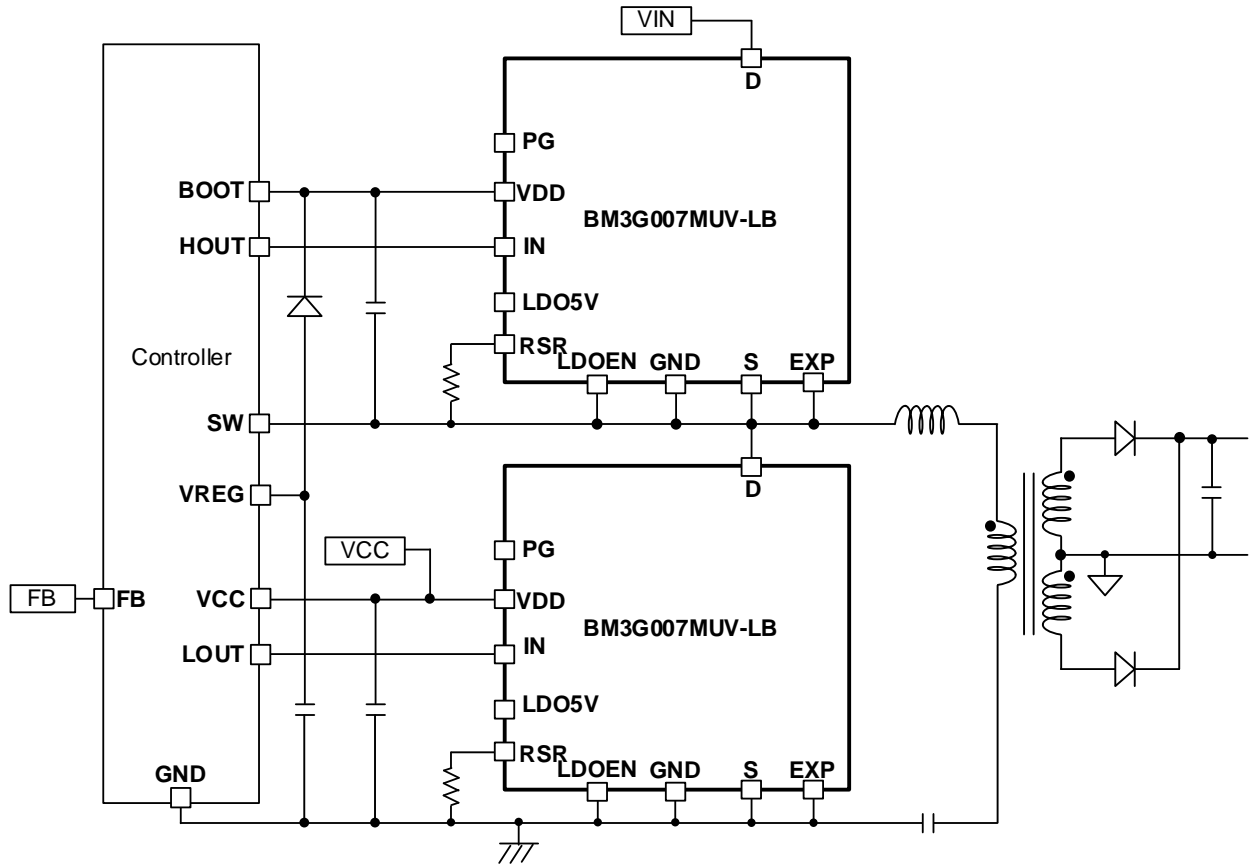


Figure 7. LLC Resonant Converter Application Example

特性データ (参考データ)

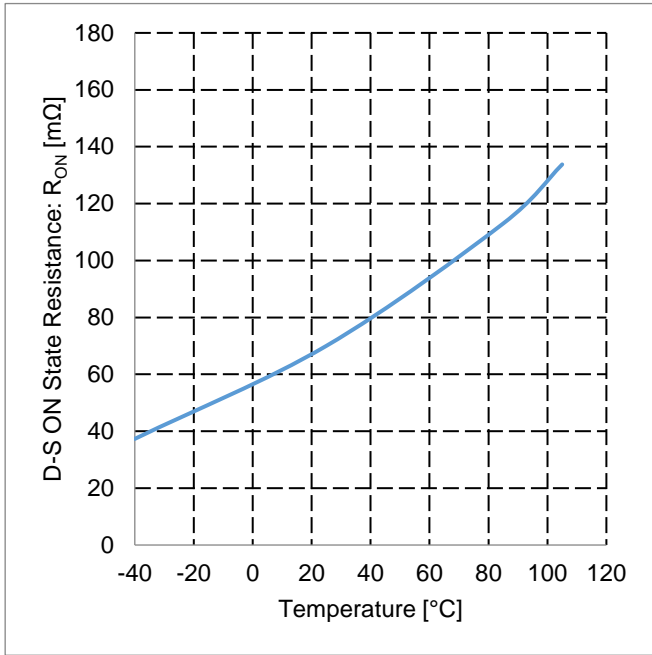


Figure 8. D-S ON State Resistance vs Temperature

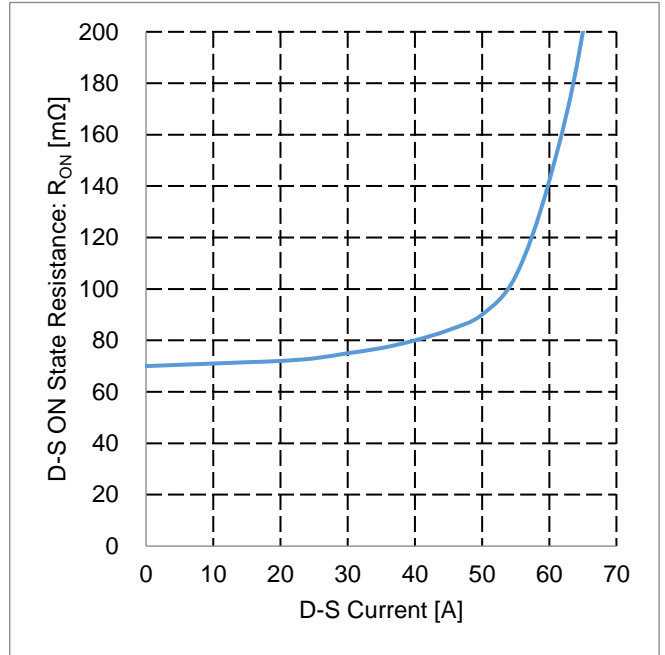


Figure 9. D-S ON State Resistance vs D-S Current

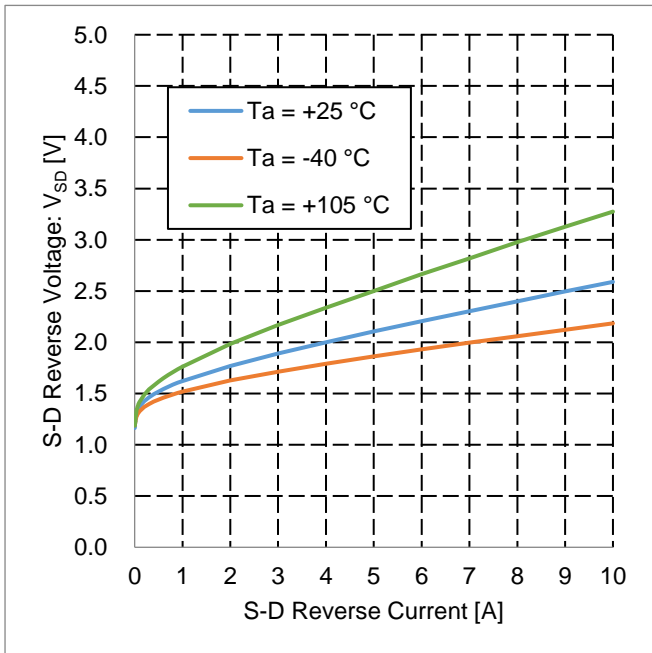


Figure 10. S-D Reverse Voltage vs S-D Reverse Current

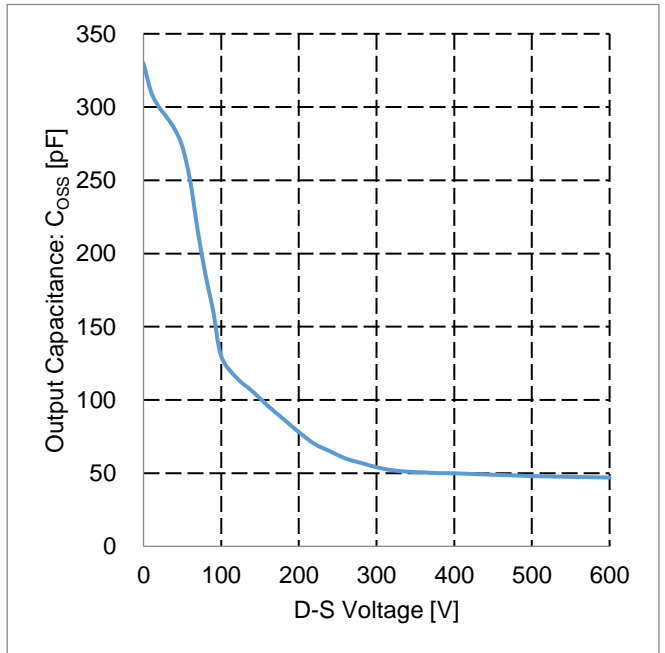


Figure 11. Output Capacitance vs D-S Voltage

特性データ (参考データ) — 続き

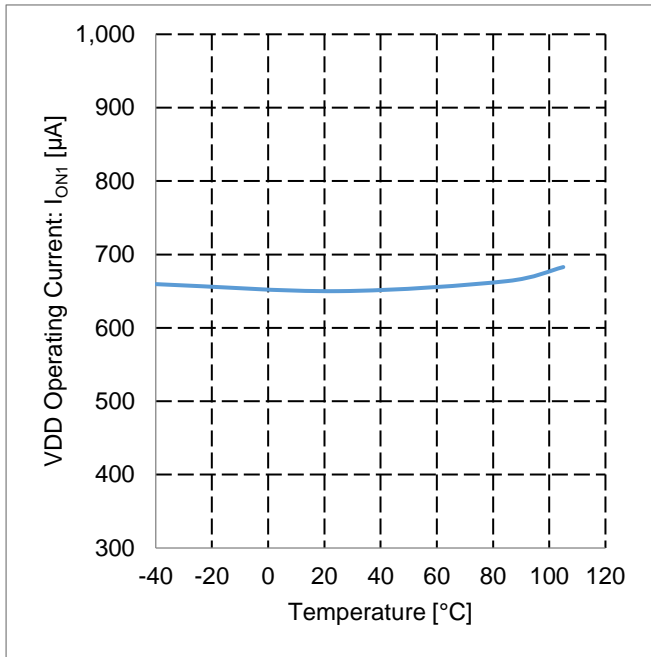


Figure 12. VDD Operating Current vs Temperature

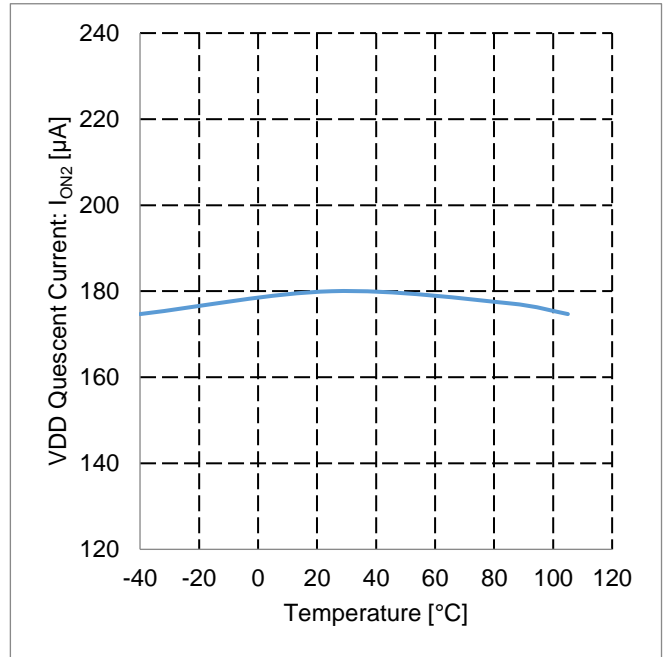


Figure 13. VDD Quiescent Current vs Temperature

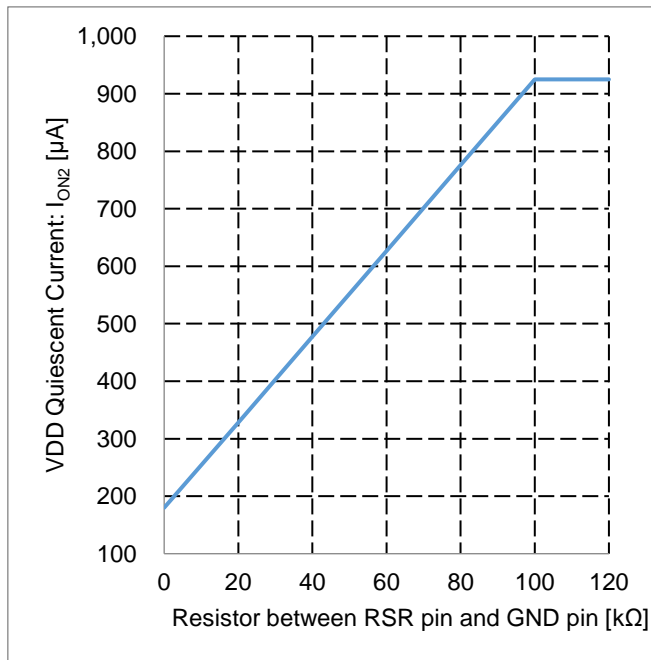


Figure 14. VDD Quiescent Current vs Resistor between RSR pin and GND pin

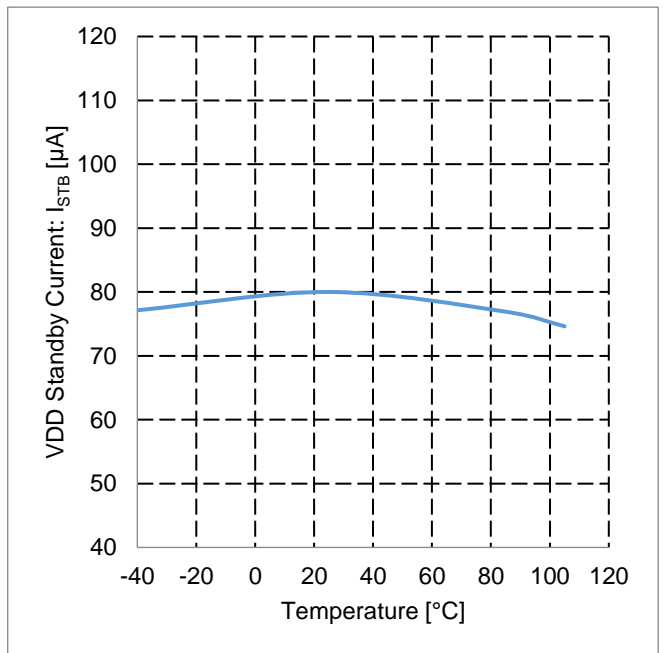


Figure 15. VDD Standby Current vs Temperature

特性データ (参考データ) — 続き

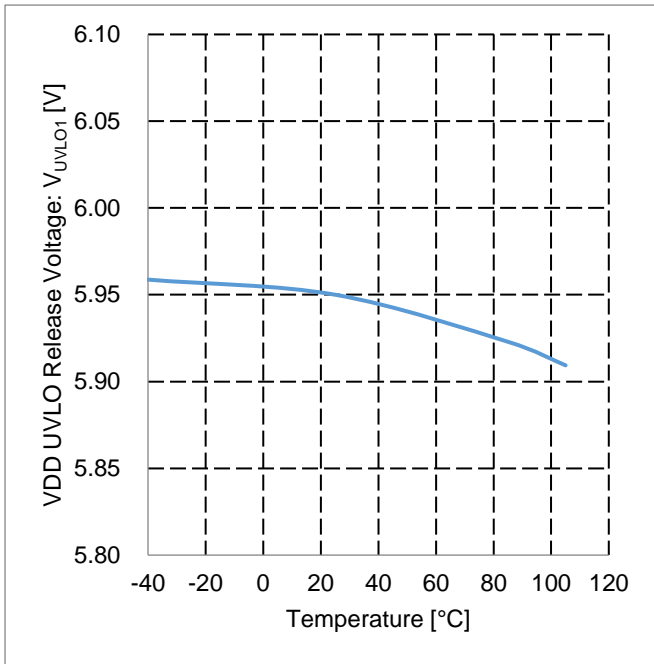


Figure 16. VDD UVLO Release Voltage vs Temperature

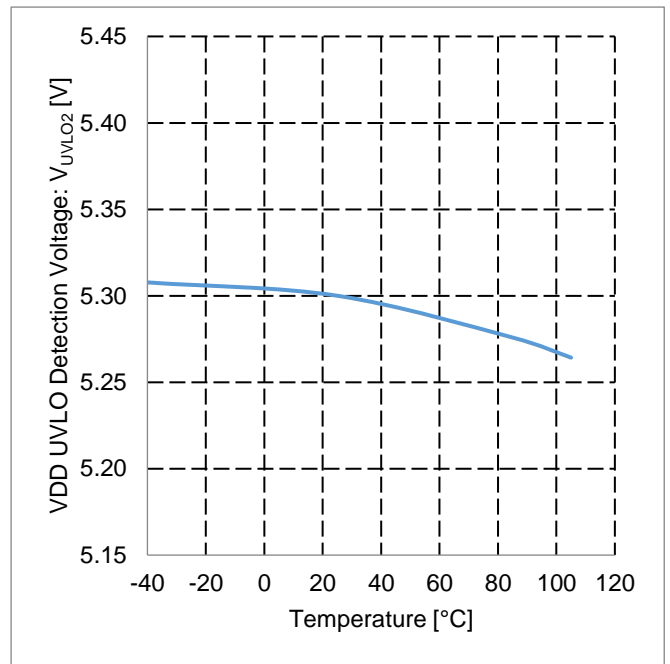


Figure 17. VDD UVLO Detection Voltage vs Temperature

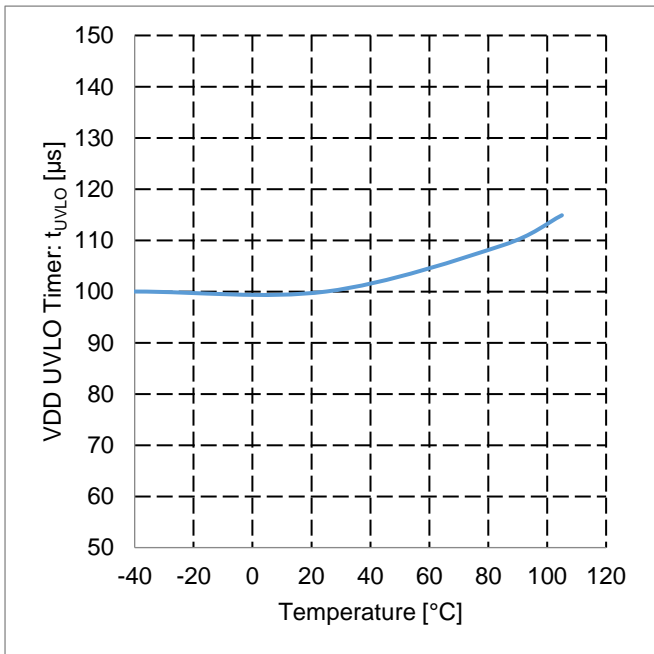


Figure 18. VDD UVLO Timer vs Temperature

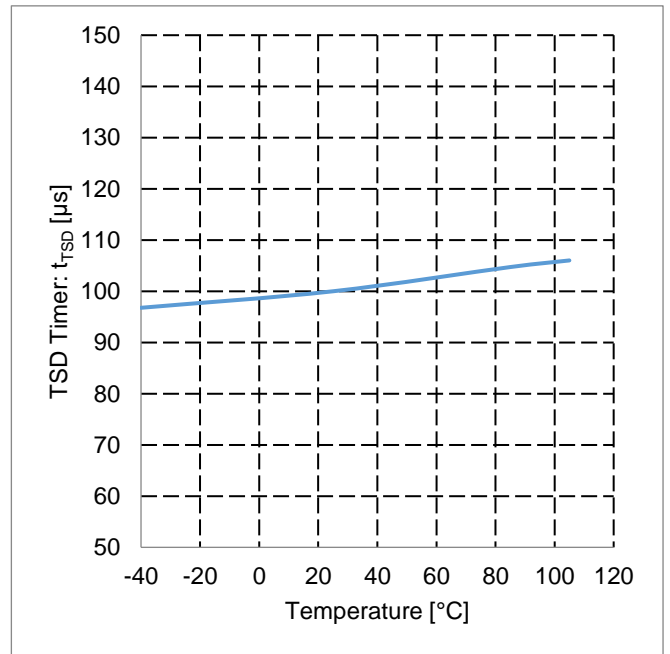


Figure 19. TSD Timer vs Temperature

特性データ (参考データ) — 続き

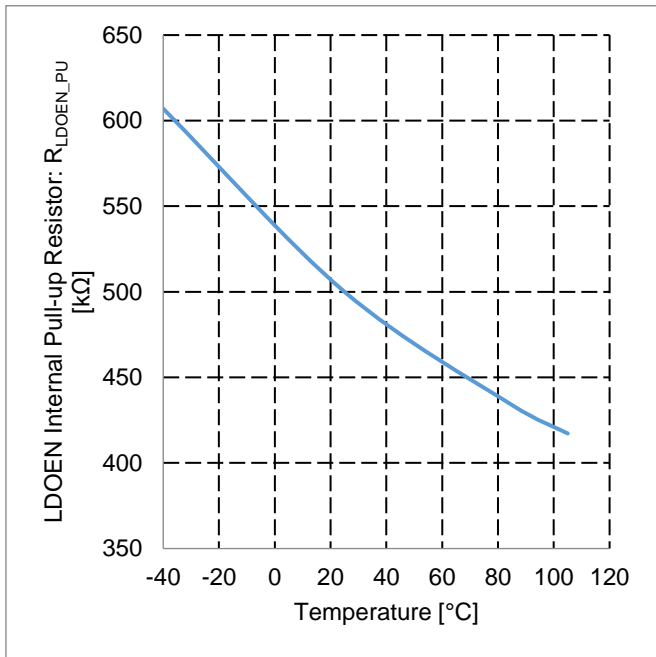


Figure 20. LDOEN Internal Pull-up Resistor vs Temperature

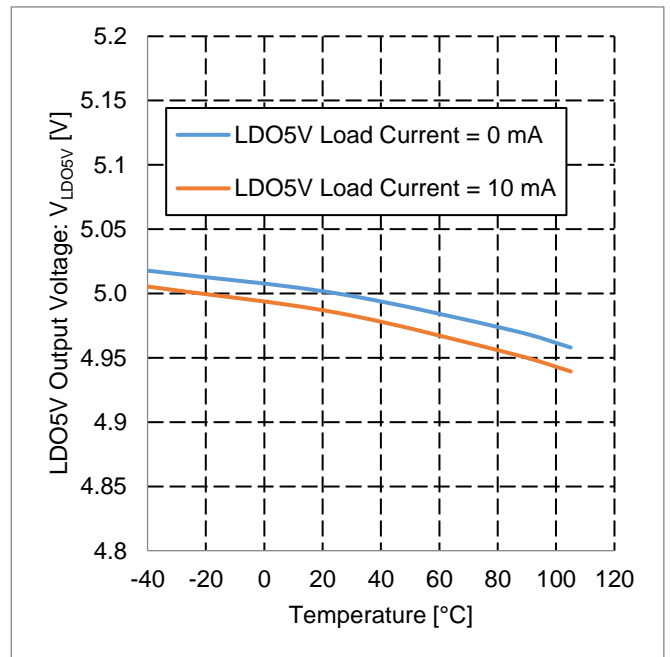


Figure 21. LDO5V Output Voltage vs Temperature

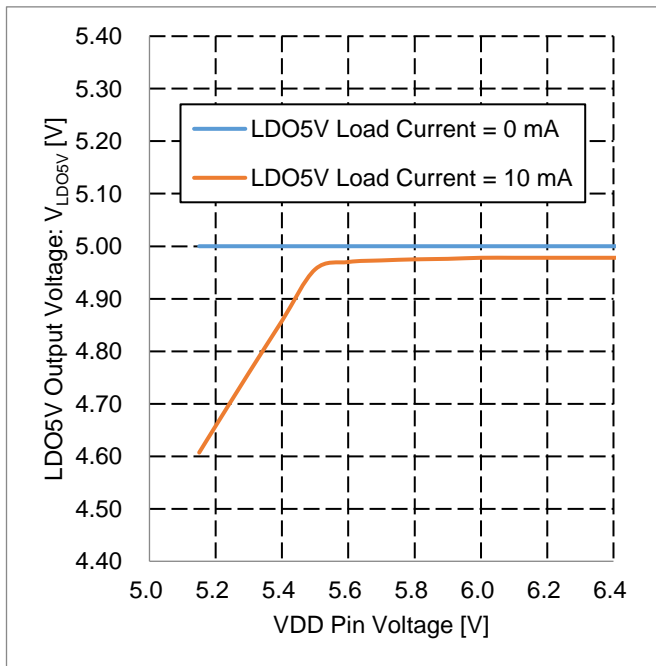


Figure 22. LDO5V Output Voltage vs VDD Pin Voltage

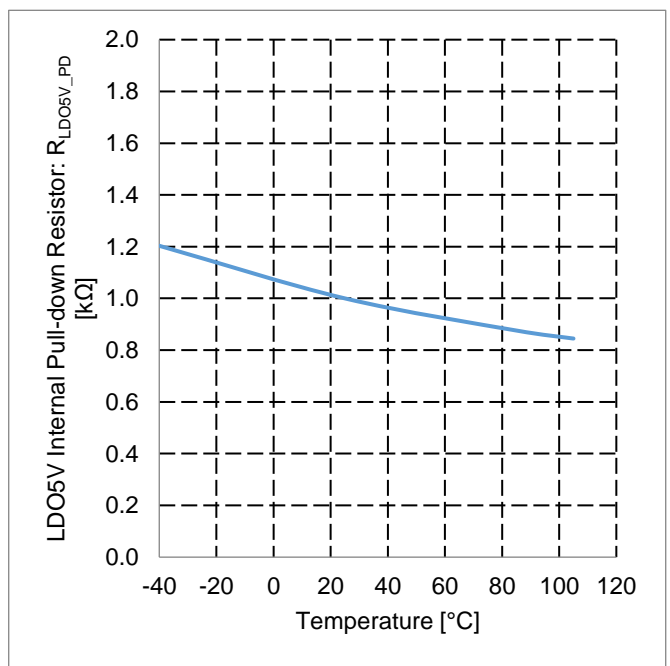


Figure 23. LDO5V Internal Pull-down Resistor vs Temperature

特性データ (参考データ) — 続き

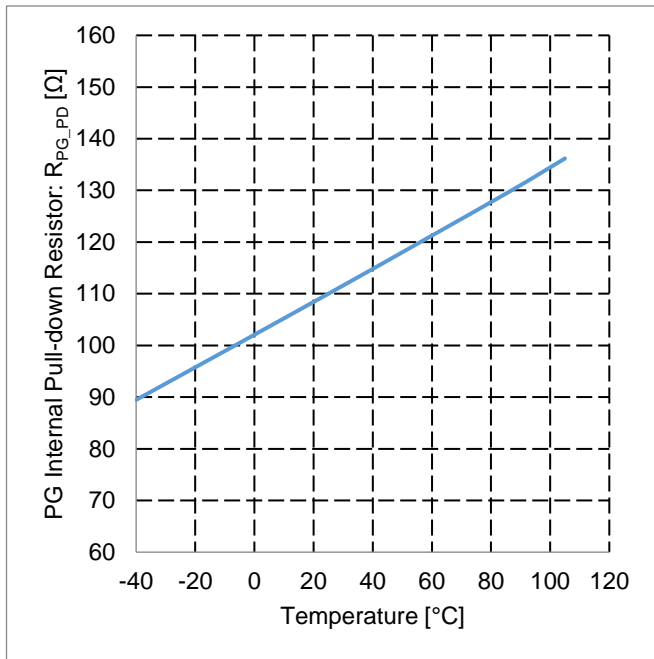


Figure 24. PG Internal Pull-down Resistor vs Temperature

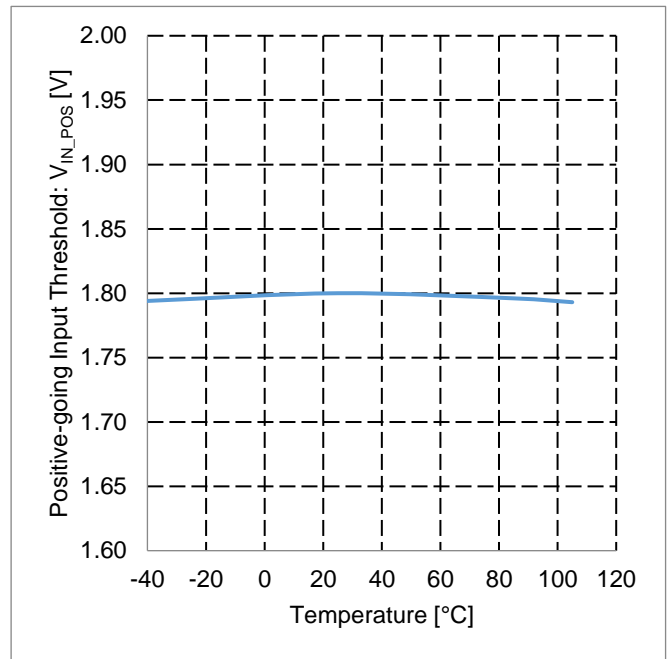


Figure 25. Positive-going Input Threshold vs Temperature

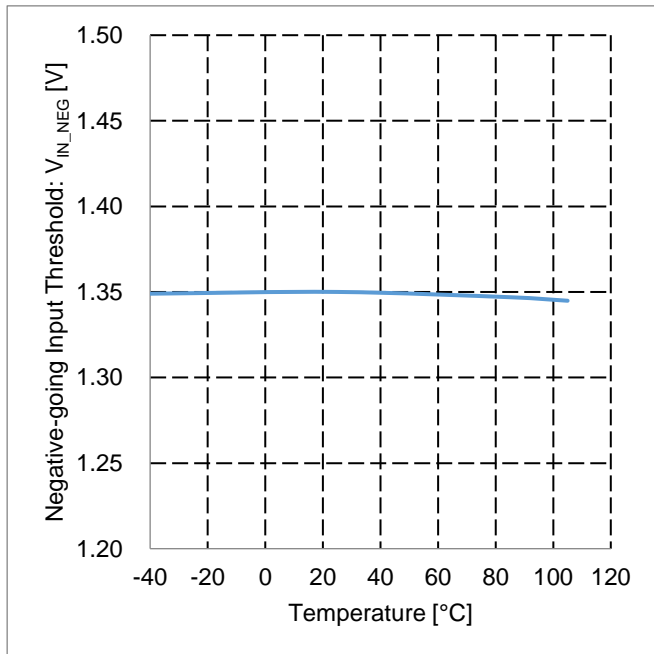


Figure 26. Negative-going Input Threshold vs Temperature

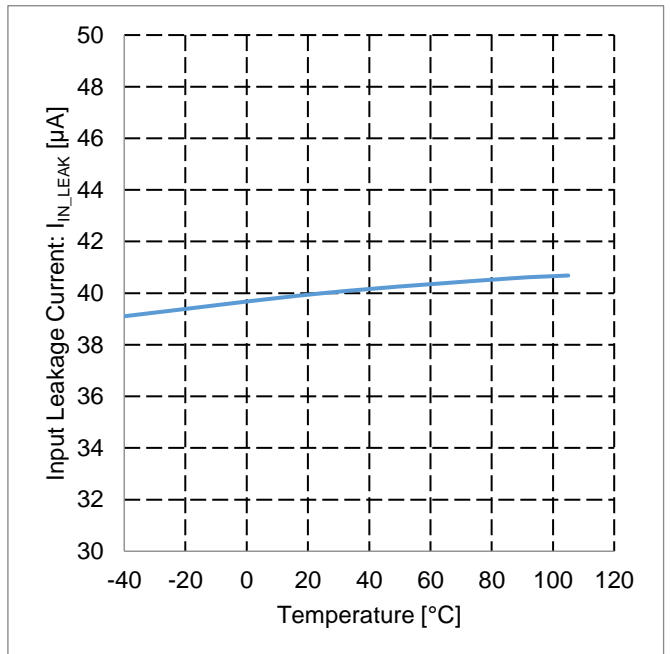


Figure 27. Input Leakage Current vs Temperature

特性データ (参考データ) — 続き

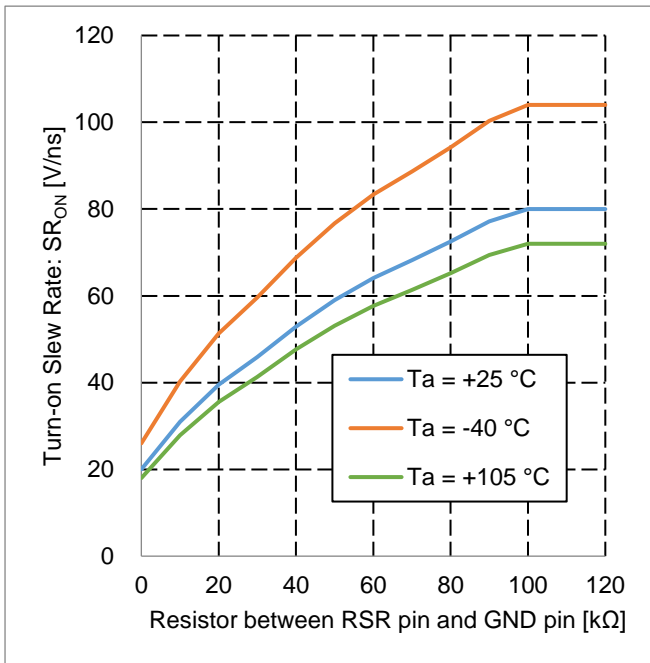


Figure 28. Turn-on Slew Rate vs Resistor between RSR pin and GND pin

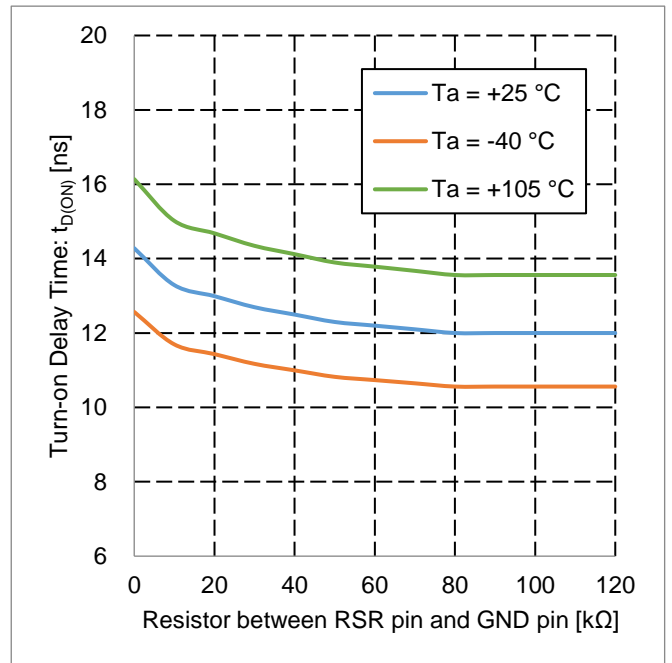


Figure 29. Turn-on Delay Time vs Resistor between RSR pin and GND pin

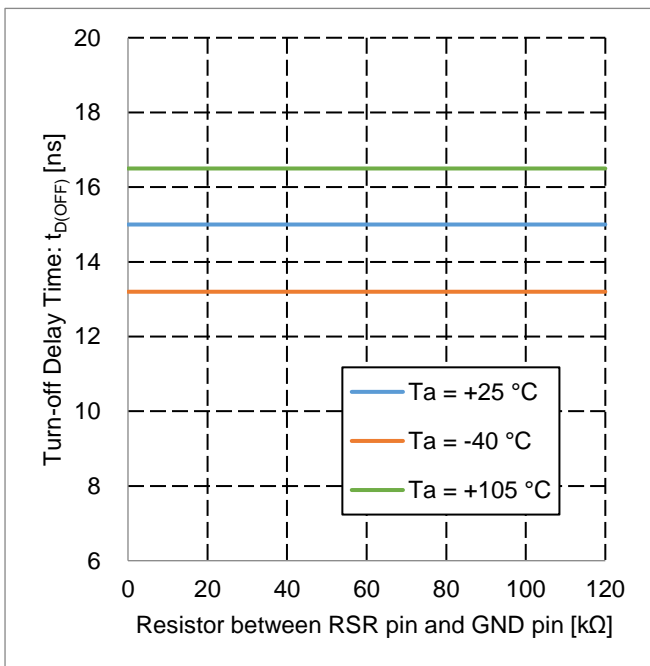


Figure 30. Turn-off Delay Time vs Resistor between RSR pin and GND pin

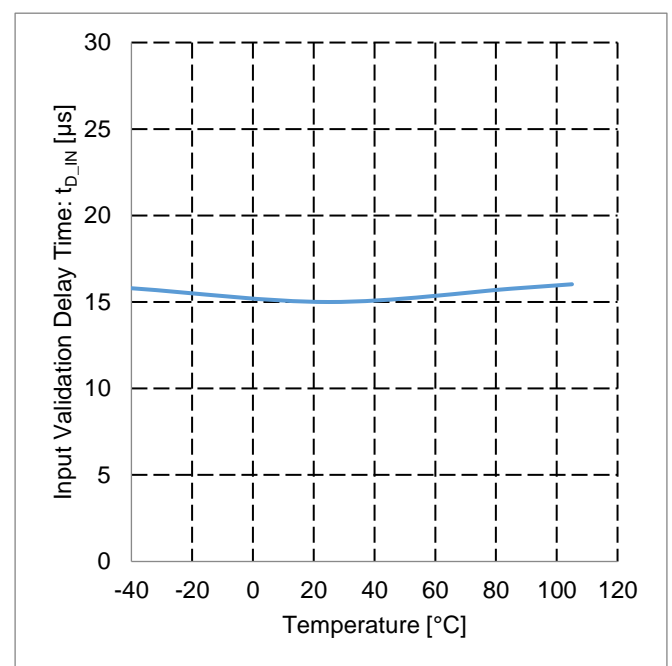


Figure 31. Input Validation Delay Time vs Temperature

特性データ (参考データ) — 続き

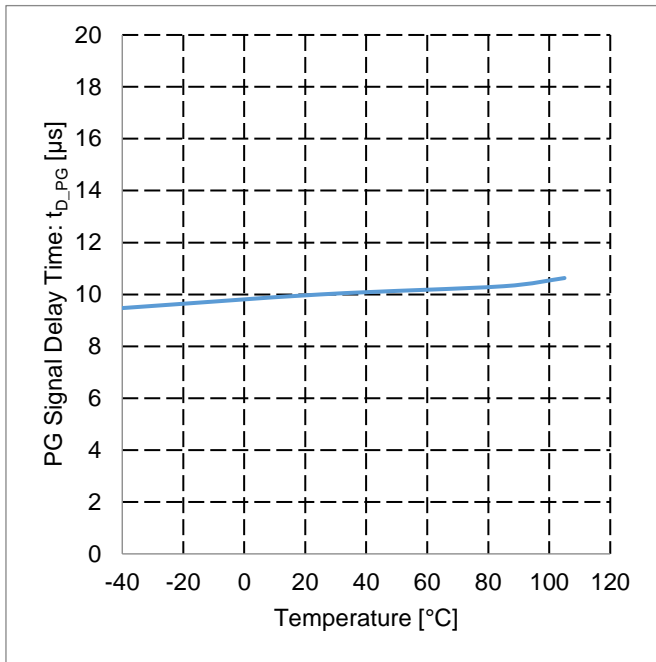


Figure 32. PG Signal Delay Time vs Temperature

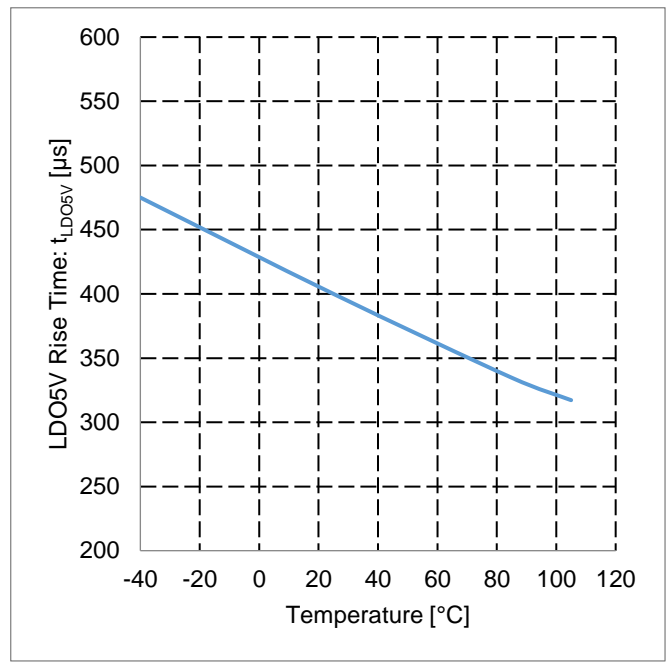


Figure 33. LDO5V Rise Time vs Temperature

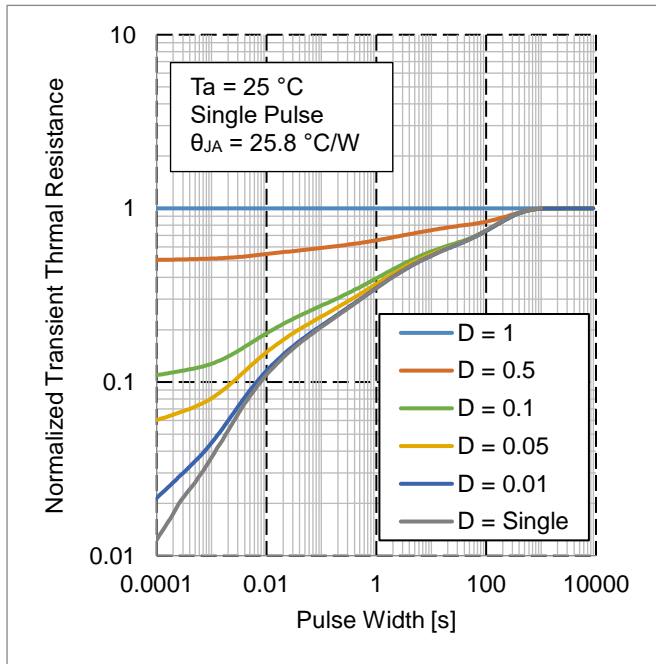


Figure 34. Normalized Transient Thermal Resistance vs Pulse Width

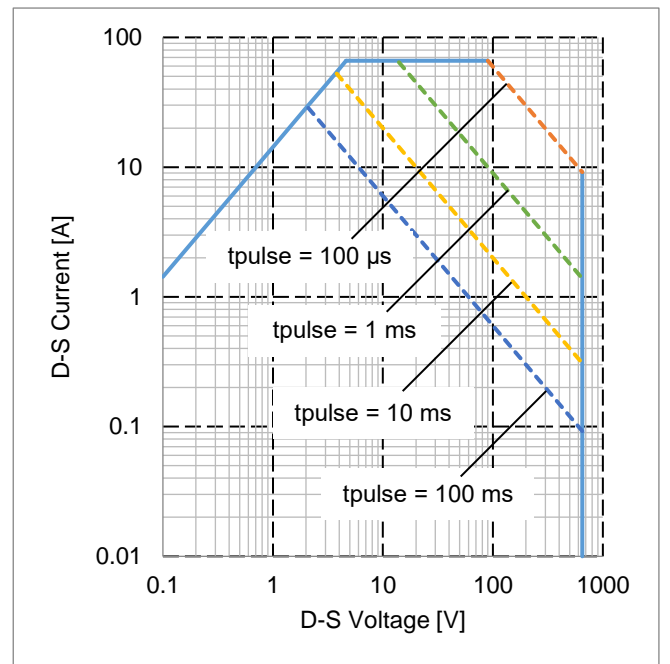


Figure 35. Maximum Safe Operating Area

入出力等価回路図

1, 2, 17-22, 25-32	S	3	LDOEN	4, 13	GND	5, 7, 9, 10, 14, 16, 23, 24	N.C.
						-	
6	VDD	8	LDO5V	11	PG	12	RSR
15	IN	33-46	D	-	EXP		

使用上の注意

1. 電源の逆接続について

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れるなどの対策を施してください。

2. 電源ラインについて

基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。グラウンドラインについても、同様のパターン設計を考慮してください。また、LSI のすべての電源端子について電源-グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量低下が起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

3. グラウンド電位について

グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。

4. グラウンド配線パターンについて

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

5. 推奨動作条件について

推奨動作条件で規定される範囲で IC の機能・動作を保証します。また、特性値は電気的特性で規定される各項目の条件下においてのみ保証されます。

6. ラッシュカレントについて

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

7. セット基板での検査について

セット基板での検査時に、インピーダンスの低い端子にコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

8. 端子間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けた場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

9. 未使用の入力端子の処理について

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でたわわっていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

使用上の注意 — 続き

10. 各入力端子について

本 IC は、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。

この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、GND > (端子 A)の時、トランジスタ(NPN)では GND > (端子 B)の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ(NPN)では、GND > (端子 B)の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に GND(P 基板)より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子が GND にショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

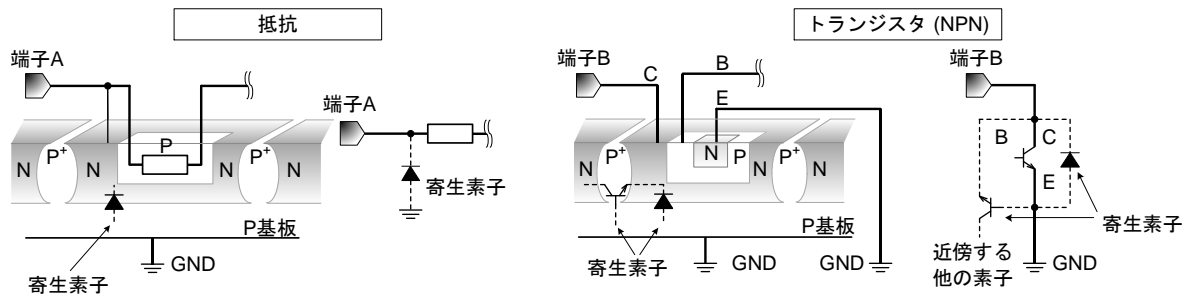


Figure 36. IC 構造例

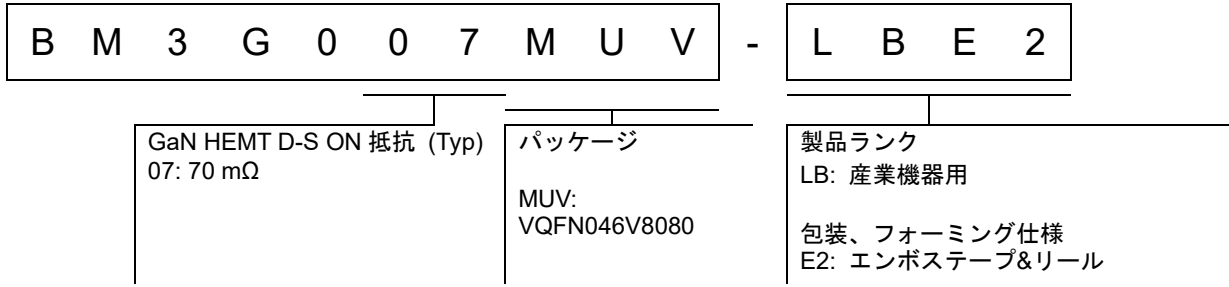
11. セラミック・コンデンサの特性変動について

外付けコンデンサに、セラミック・コンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮のうえ、定数を決定してください。

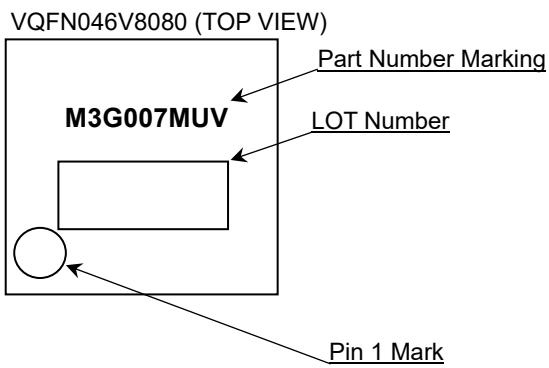
12. 温度保護回路について

IC を熱破壊から防ぐための温度保護回路を内蔵しております。最高接合部温度内でご使用いただきますが、万が一最高接合部温度を超えた状態が継続すると、温度保護回路が動作し出力パワー素子が OFF します。その後チップ温度 T_j が低下すると回路は自動で復帰します。なお、温度保護回路は絶対最大定格を超えた状態での動作となりますので、温度保護回路を使用したセット設計などは、絶対に避けてください。

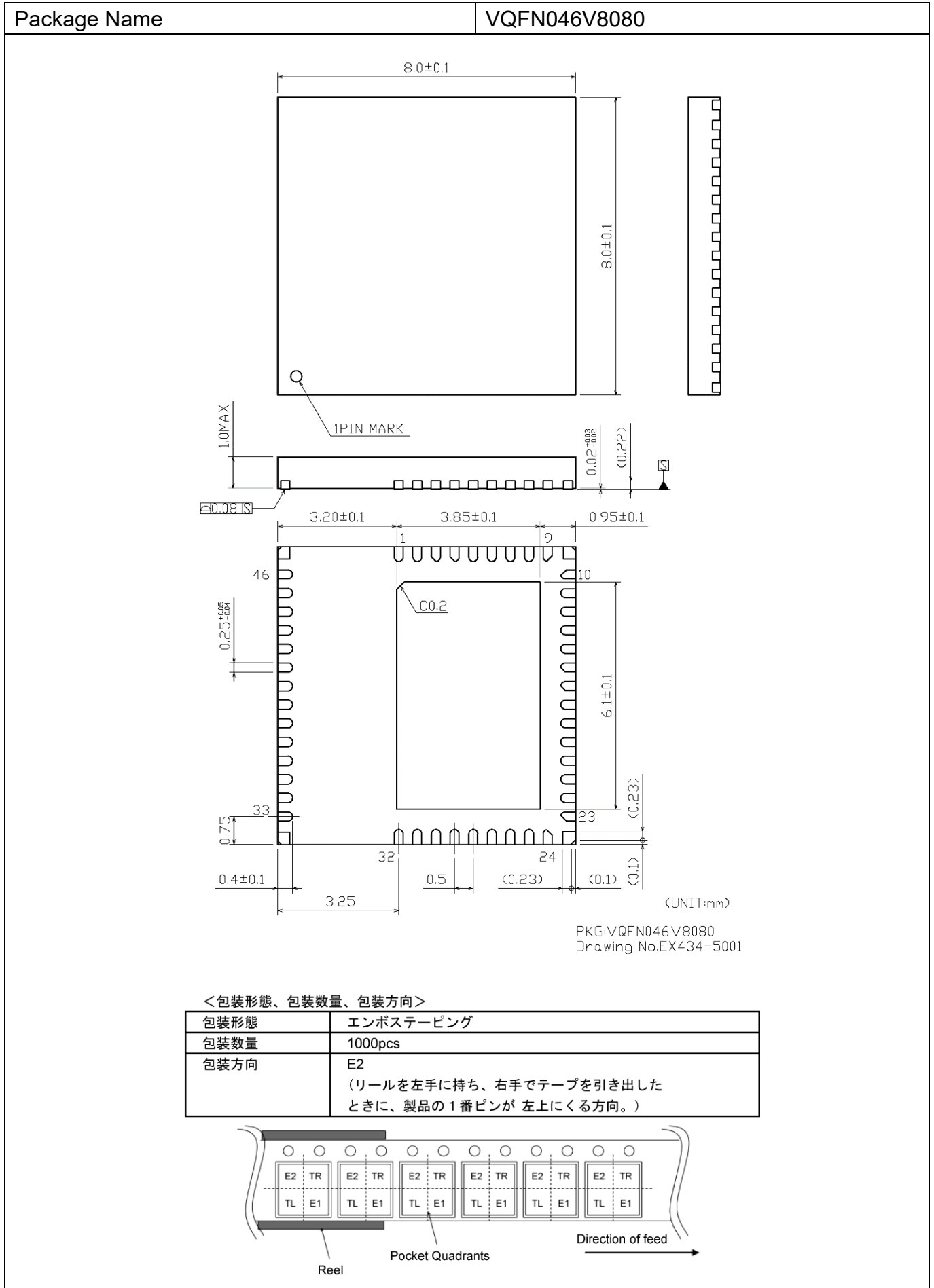
発注形名情報



標印図



外形寸法図と包装・フォーミング仕様



改訂履歴

日付	版	変更内容
2023.01.13	001	新規作成