

オペアンプ

ゼロドリフト 低オフセット電圧 Rail-to-Rail 入出力 CMOS オペアンプ

LMR1002F-LB

概要

本製品は産業機器市場へ向けたランクの製品です。これらのアプリケーションとして、ご使用される場合に最適な商品です。

LMR1002F-LB は、Rail-to-Rail 入出力タイプの 1 回路入り CMOS オペアンプです。ゼロドリフト、低オフセット電圧の特長を持つため、センサアンプやバッテリー駆動機器用途に適しています。

特長

- 低入力オフセット電圧温度ドリフト
- 低入力オフセット電圧
- Rail-to-Rail 入出力

用途

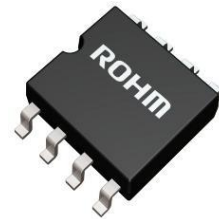
- 産業機器
- バッテリー駆動機器
- 電流検出アンプ
- ADC と DAC の入力/出力バッファ
- フォトダイオード周辺回路
- センサアンプ

重要特性

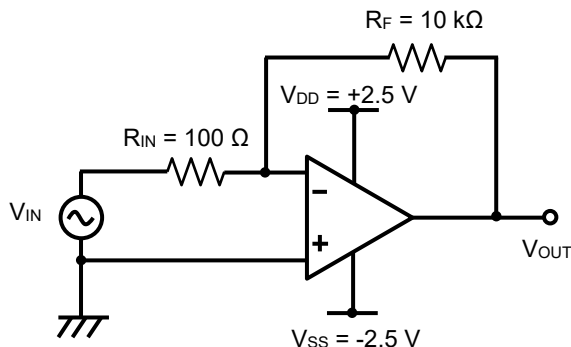
- 入力オフセット電圧温度ドリフト: 15 nV/°C (Typ)
- 入力オフセット電圧: 9 μ V (Max)
- 同相入力電圧範囲: $V_{SS} \sim V_{DD}$
- 入力バイアス電流: 150 pA (Typ)
- 動作電源電圧範囲
単電源: 2.7 V \sim 5.5 V
両電源: ± 1.35 V \sim ± 2.75 V
- 動作温度範囲: -40 °C \sim +125 °C

パッケージ
SOP8

W (Typ) x D (Typ) x H (Max)
5.0 mm x 6.2 mm x 1.71 mm

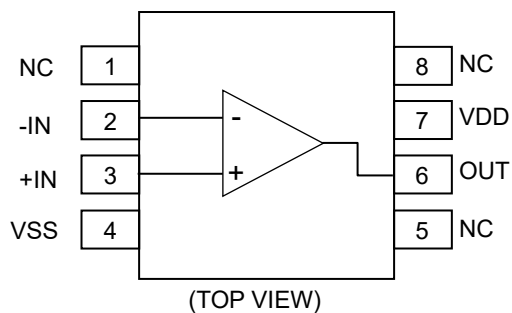


基本アプリケーション回路



$$V_{OUT} = -\frac{R_F}{R_{IN}} V_{IN}$$

端子配置図

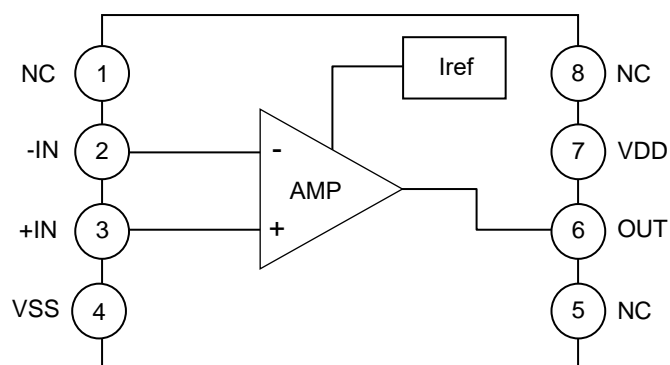


端子説明

端子番号	端子名	機能
1	NC	未使用端子 ^(Note 1)
2	-IN	反転入力
3	+IN	非反転入力
4	VSS	負電源/グラウンド
5	NC	未使用端子 ^(Note 1)
6	OUT	出力
7	VDD	正電源
8	NC	未使用端子 ^(Note 1)

(Note 1) セット基板上の端子処理は未接続(オープン)としてください。

ブロック図



各ブロック動作説明

- AMP:
差動入力対及び、AB 級出力回路を備えた Rail-to-Rail 入出力オペアンプブロック。
- Iref:
オペアンプが動作するための基準電流を供給するブロック。

絶対最大定格 (Ta = 25 °C)

項目	記号	定格	単位
電源電圧 (V _{DD} - V _{SS})	V _S	7.0	V
差動入力電圧 ^(Note 1)	V _{ID}	V _S	V
同相入力電圧範囲	V _{ICMR}	(V _{SS} - 0.3) ~ (V _{DD} + 0.3)	V
入力電流	I _I	±10	mA
最高接合部温度	T _{Jmax}	150	°C
保存温度範囲	T _{stg}	-55 ~ +150	°C

注意 1: 印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施して頂けるようご検討をお願いします。

注意 2: 最高接合部温度を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。最高接合部温度を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用するなど、最高接合部温度を超えないよう熱抵抗にご配慮ください。

(Note 1) 差動入力電圧は反転入力端子と非反転入力端子間の電位差を示します。その時各入力端子の電位は V_{SS} 以上の電位としてください。

熱抵抗^(Note 2)

項目	記号	熱抵抗(Typ)		単位
		1層基板 ^(Note 4)	4層基板 ^(Note 5)	
SOP8				
ジャンクション—周囲温度間熱抵抗	θ _{JA}	197.4	109.8	°C/W
ジャンクション—パッケージ上面中心間熱特性パラメータ ^(Note 3)	Ψ _{JT}	21	19	°C/W

(Note 2) JESD51-2A(Still-Air)に準拠。

(Note 3) ジャンクションからパッケージ（モールド部分）上面中心までの熱特性パラメータ。

(Note 4) JESD51-3に準拠した基板を使用。

(Note 5) JESD51-7に準拠した基板を使用。

測定基板	基板材	基板寸法
1層	FR-4	114.3 mm x 76.2 mm x 1.57 mmt

1層目（表面）銅箔	
銅箔パターン	銅箔厚
実装ランドパターン +電極引出し用配線	70 μm

測定基板	基板材	基板寸法
4層	FR-4	114.3 mm x 76.2 mm x 1.6 mmt

1層目（表面）銅箔		2層目、3層目（内層）銅箔		4層目（裏面）銅箔	
銅箔パターン	銅箔厚	銅箔パターン	銅箔厚	銅箔パターン	銅箔厚
実装ランドパターン +電極引出し用配線	70 μm	74.2 mm□（正方形）	35 μm	74.2 mm□（正方形）	70 μm

推奨動作条件

項目	記号	最小	標準	最大	単位
電源電圧 (V _{DD} - V _{SS})	V _S	2.7	5.0	5.5	V
		±1.35	±2.50	±2.75	
動作温度	Topr	-40	+25	+125	°C

電氣的特性 (特に指定のない限り $V_S = 5\text{ V}$, $V_{SS} = 0\text{ V}$)

項目	記号	温度範囲	規格値			単位	条件
			最小	標準	最大		
入力オフセット電圧 (Note 1)	V_{IO}	25 °C	-	1	9	μV	絶対値表記
入力オフセット電圧 温度ドリフト (Note 1)	$\Delta V_{IO}/\Delta T$	-40 °C ~ +125 °C	-	15	50	$\text{nV}/^\circ\text{C}$	絶対値表記
入力オフセット電流	I_{IO}	25 °C	-	10	-	pA	絶対値表記
入力バイアス電流	I_B	25 °C	-	150	-	pA	絶対値表記
回路電流	I_{DD}	25 °C	-	850	1250	μA	$R_L = \infty, G = 0\text{ dB}$
		-40 °C ~ +125 °C	-	-	1500		
出力電圧 High	V_{OH}	25 °C	-	20	50	mV	$R_L = 10\text{ k}\Omega,$ $V_{OH} = V_{DD} - V_{OUT}$
		-40 °C ~ +125 °C	-	-	100		
出力電圧 Low	V_{OL}	25 °C	-	10	50	mV	$R_L = 10\text{ k}\Omega$ $V_{OL} = V_{OUT} - V_{SS}$
		-40 °C ~ +125 °C	-	-	100		
大振幅電圧利得	A_v	25 °C	110	145	-	dB	$R_L = 10\text{ k}\Omega$
		-40 °C ~ +125 °C	100	-	-		
同相入力電圧範囲	V_{ICMR}	25 °C	0	-	5.0	V	$V_{SS} \sim V_{DD}$
同相信号除去比	$CMRR$	25 °C	110	130	-	dB	$V_{ICM} = V_{SS} \sim V_{DD}$
電源電圧除去比	$PSRR$	25 °C	95	115	-	dB	$V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$
出力ソース電流 (Note 2)	I_{OH}	25 °C	25	35	-	mA	$V_{OUT} = V_{SS}$ 絶対値表記
出力シンク電流 (Note 2)	I_{OL}	25 °C	25	35	-	mA	$V_{OUT} = V_{DD}$ 絶対値表記
スルーレート	SR	25 °C	-	1.3	-	$\text{V}/\mu\text{s}$	$R_L = 10\text{ k}\Omega,$ $G = 0\text{ dB}$
利得帯域幅積	GBW	25 °C	-	1.5	-	MHz	$R_L = 10\text{ k}\Omega,$ $G = 40\text{ dB}$
位相余裕	θ	25 °C	-	70	-	deg	$R_L = 10\text{ k}\Omega,$ $G = 40\text{ dB}$
入力換算雑音電圧密度	V_n	25 °C	-	70	-	$\text{nV}/\sqrt{\text{Hz}}$	$f = 1\text{ kHz}$
オーバーロード リカバリ時間	t_{OR}	25 °C	-	0.13	-	ms	$V_{IN} = (V_{DD}/2 + 0.2\text{ V})$ $\rightarrow V_{DD}/2, G = 40\text{ dB}$ $V_{IN} = (V_{DD}/2 - 0.2\text{ V})$ $\rightarrow V_{DD}/2, G = 40\text{ dB}$

(Note 1) Not 100% Tested.

(Note 2) 高温環境下では IC の許容損失を考慮し、出力電流値を決定してください。

出力端子を連続的に短絡すると、発熱による IC 内部の温度上昇のため出力電流値が減少する場合があります。

特性データ

(参考データ) $V_{SS} = 0\text{ V}$

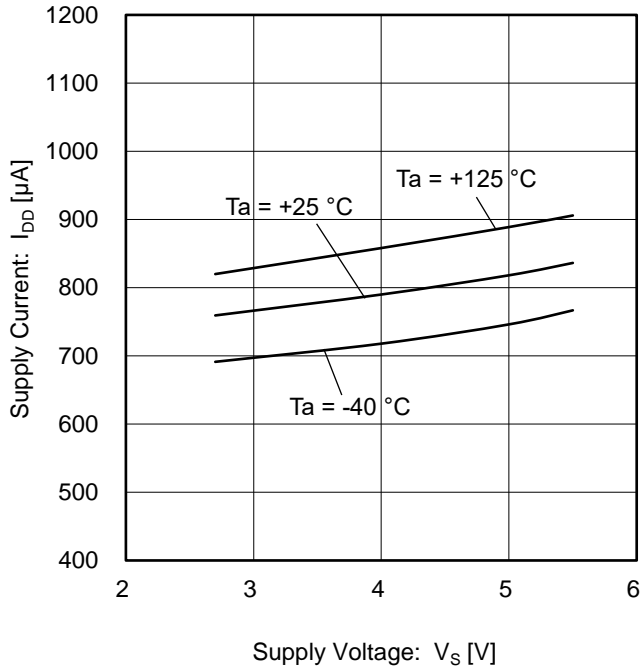


Figure 1. 回路電流 vs 電源電圧

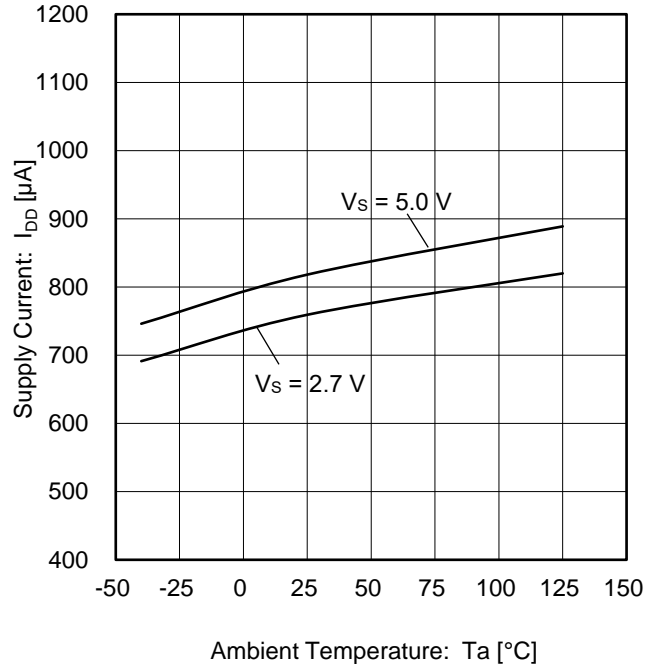


Figure 2. 回路電流 vs 温度

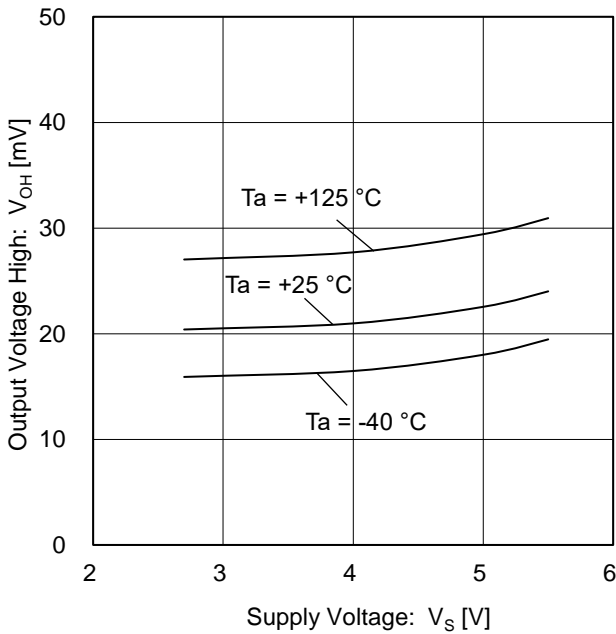


Figure 3. 出力電圧 High vs 電源電圧
($R_L = 10\text{ k}\Omega$)

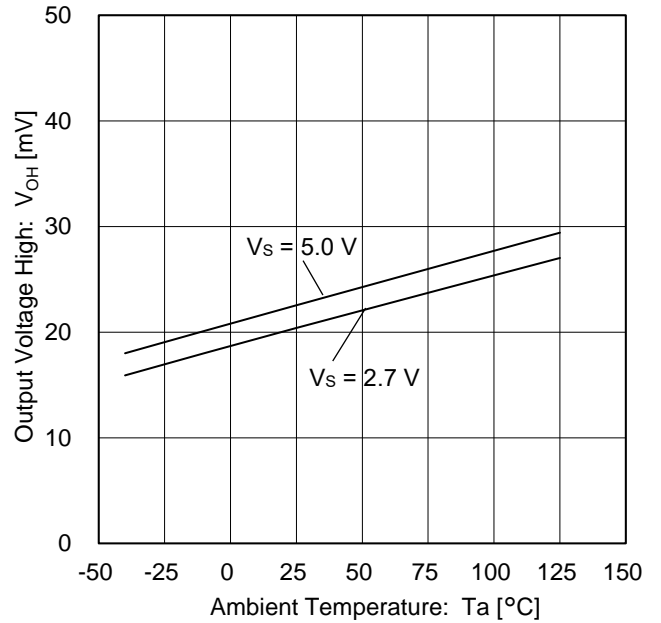


Figure 4. 出力電圧 High vs 温度
($R_L = 10\text{ k}\Omega$)

(Note) 上記のデータは代表的なサンプルの測定値であり、保証するものではありません。

特性データ — 続き

(参考データ) $V_{SS} = 0\text{ V}$

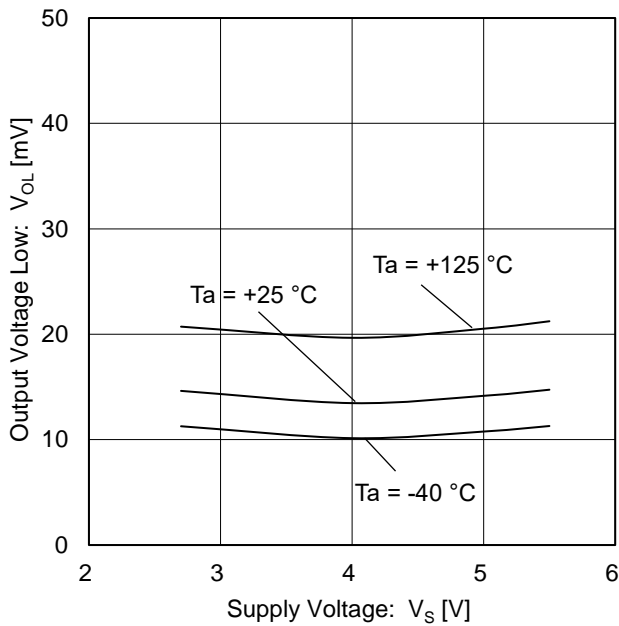


Figure 5. 出力電圧 Low vs 電源電圧
($R_L = 10\text{ k}\Omega$)

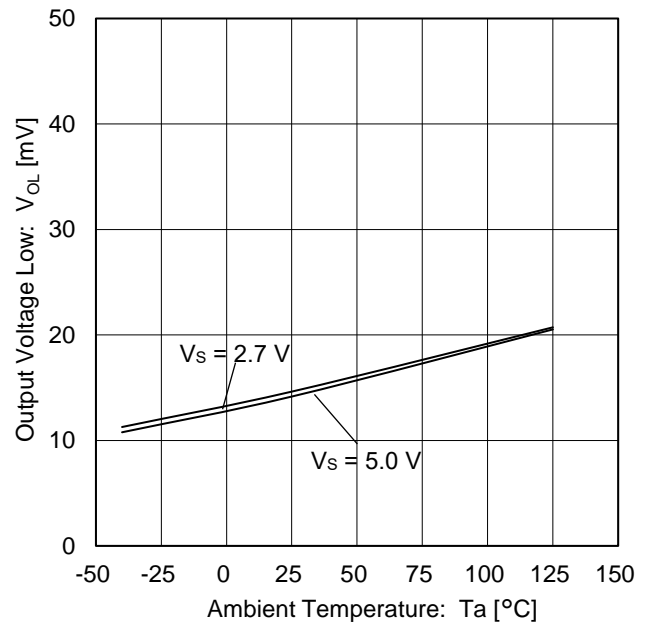


Figure 6. 出力電圧 Low vs 温度
($R_L = 10\text{ k}\Omega$)

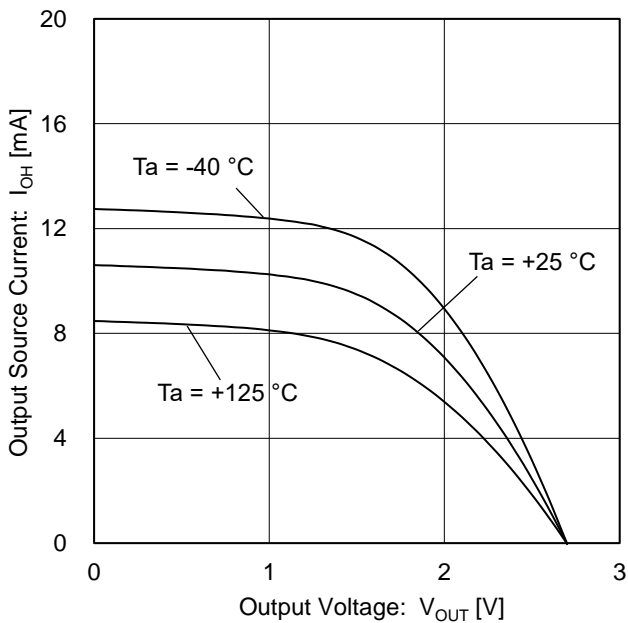


Figure 7. 出力ソース電流 vs 出力電圧
($V_S = 2.7\text{ V}$)

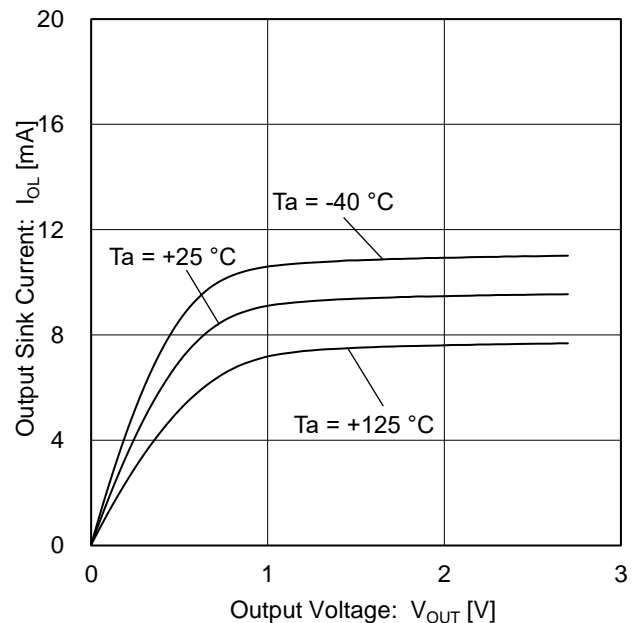


Figure 8. 出力シンク電流 vs 出力電圧
($V_S = 2.7\text{ V}$)

(Note) 上記のデータは代表的なサンプルの測定値であり、保証するものではありません。

特性データ — 続き

(参考データ) $V_{SS} = 0\text{ V}$

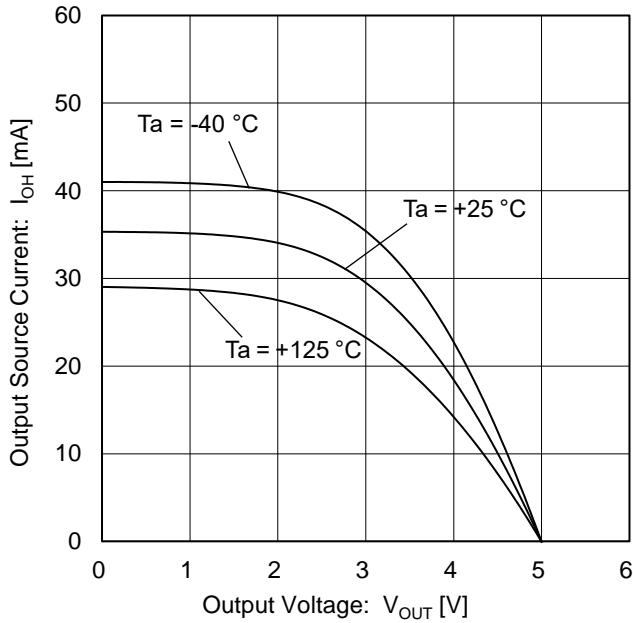


Figure 9. 出力ソース電流 vs 出力電圧
($V_S = 5.0\text{ V}$)

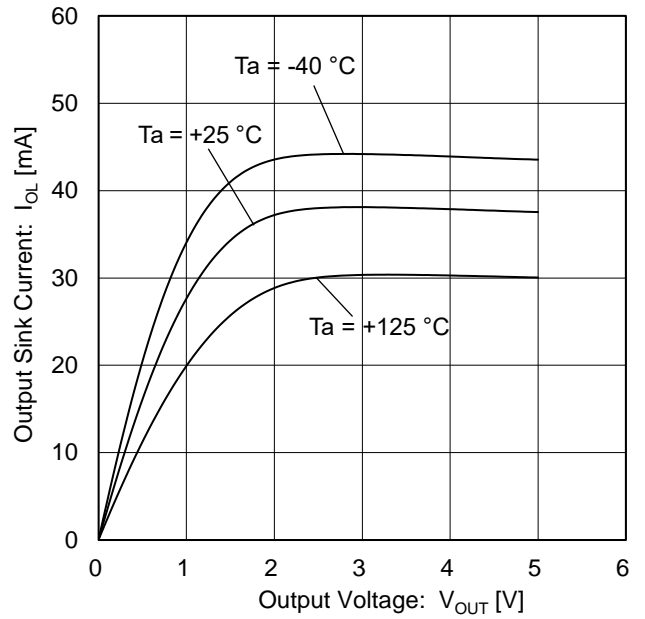


Figure 10. 出力シンク電流 vs 出力電圧
($V_S = 5.0\text{ V}$)

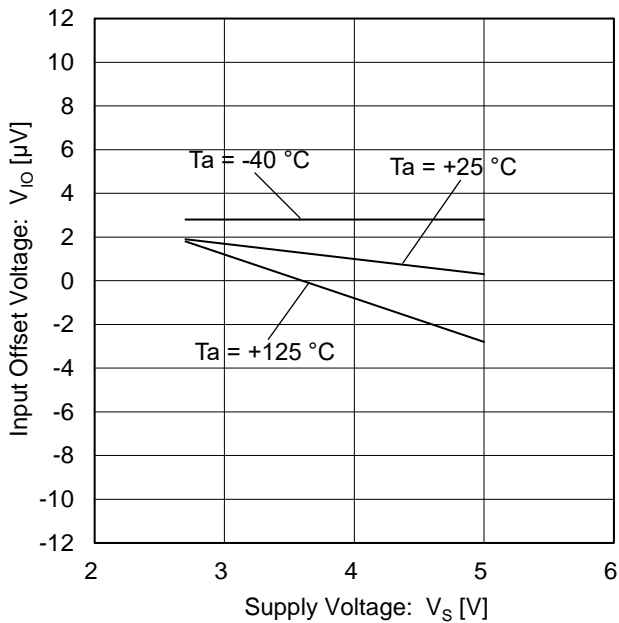


Figure 11. 入力オフセット電圧 vs 電源電圧

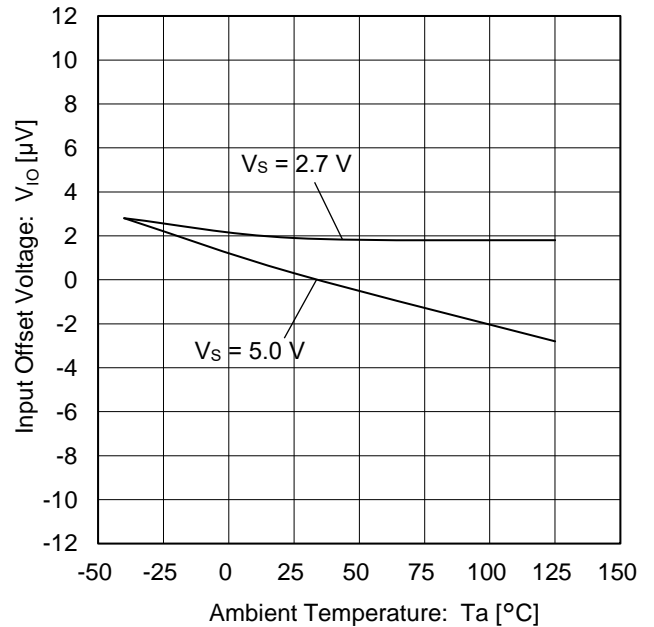


Figure 12. 入力オフセット電圧 vs 温度

(Note) 上記のデータは代表的なサンプルの測定値であり、保証するものではありません。

特性データ — 続き

(参考データ) $V_{SS} = 0\text{ V}$

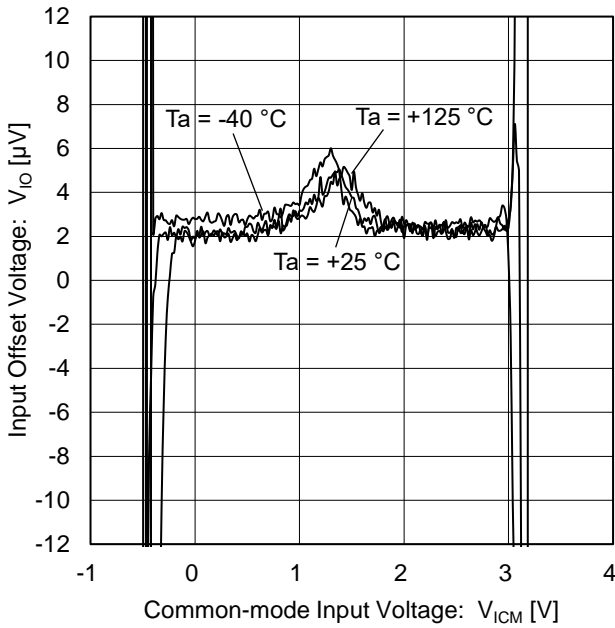


Figure 13. 入力オフセット電圧 vs 同相入力電圧
($V_S = 2.7\text{ V}$)

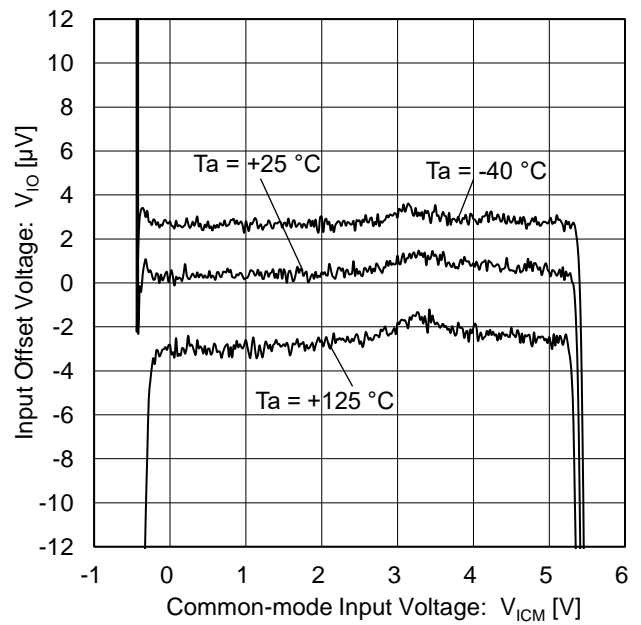


Figure 14. 入力オフセット電圧 vs 同相入力電圧
($V_S = 5.0\text{ V}$)

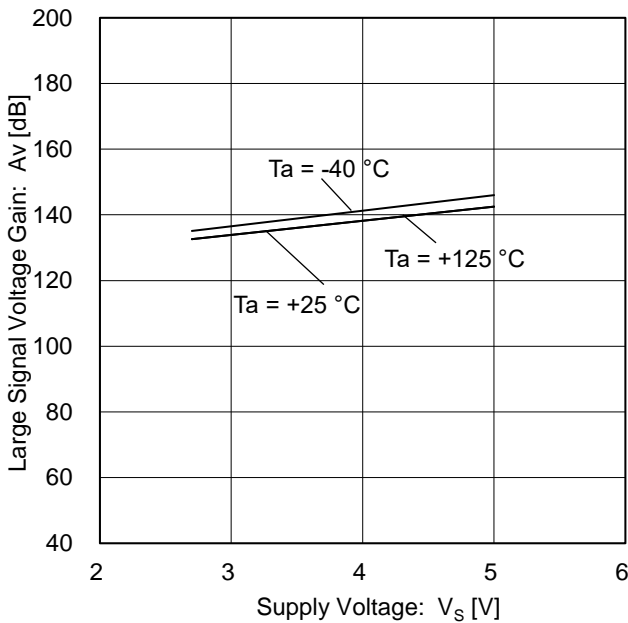


Figure 15. 大振幅電圧利得 vs 電源電圧
($R_L = 10\text{ k}\Omega$)

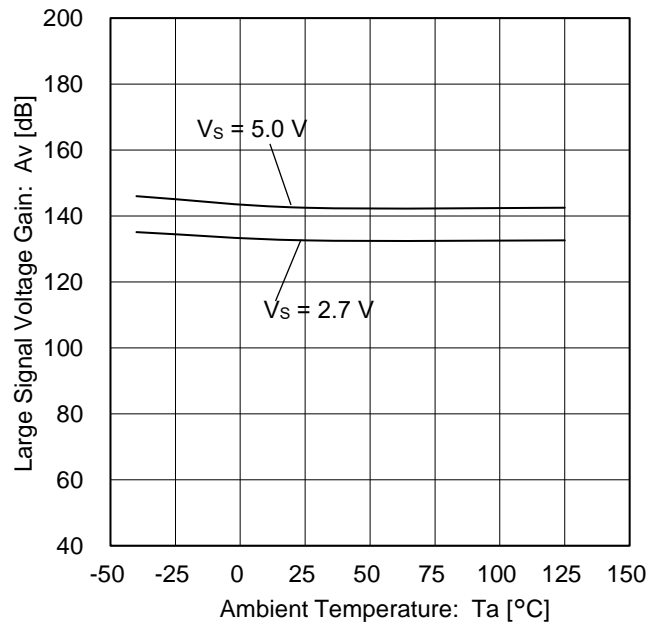


Figure 16. 大振幅電圧利得 vs 温度
($R_L = 10\text{ k}\Omega$)

(Note) 上記のデータは代表的なサンプルの測定値であり、保証するものではありません。

特性データ — 続き

(参考データ) $V_{SS} = 0\text{ V}$

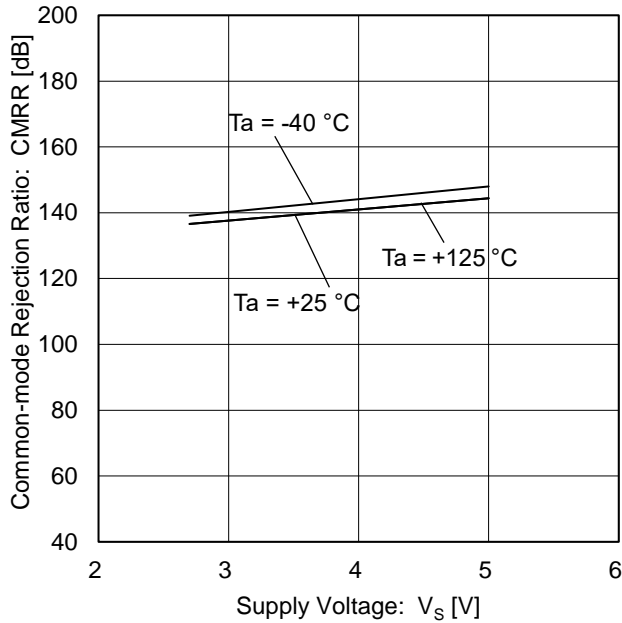


Figure 17. 同相信号除去比 vs 電源電圧

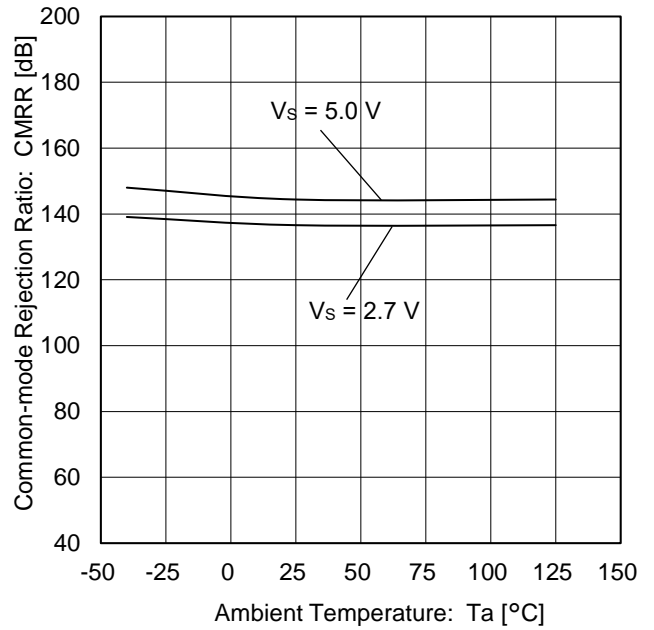


Figure 18. 同相信号除去比 vs 温度

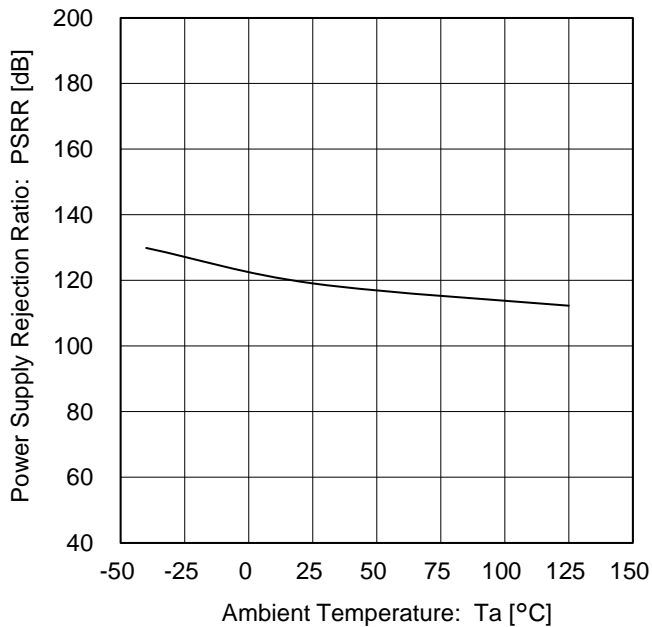


Figure 19. 電源電圧除去比 vs 温度

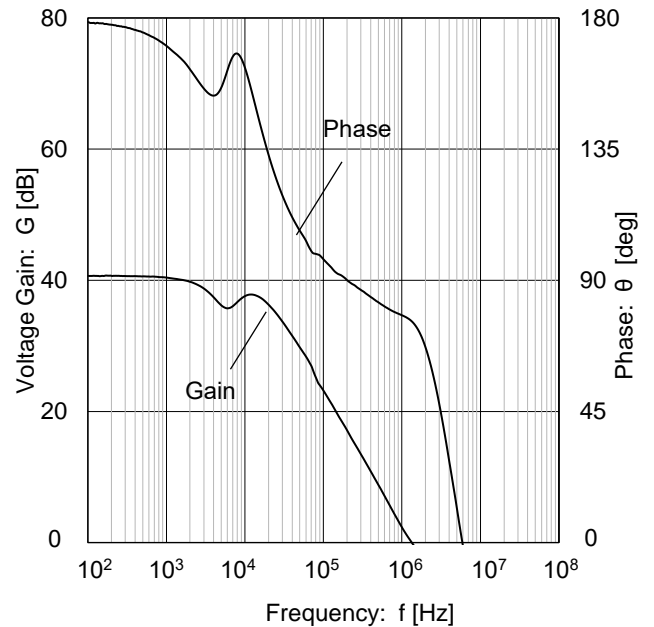


Figure 20. 電圧利得・位相 vs 周波数
($V_S = 5.0\text{ V}$)

(Note) 上記のデータは代表的なサンプルの測定値であり、保証するものではありません。

特性データ — 続き

(参考データ) $V_{SS} = 0\text{ V}$

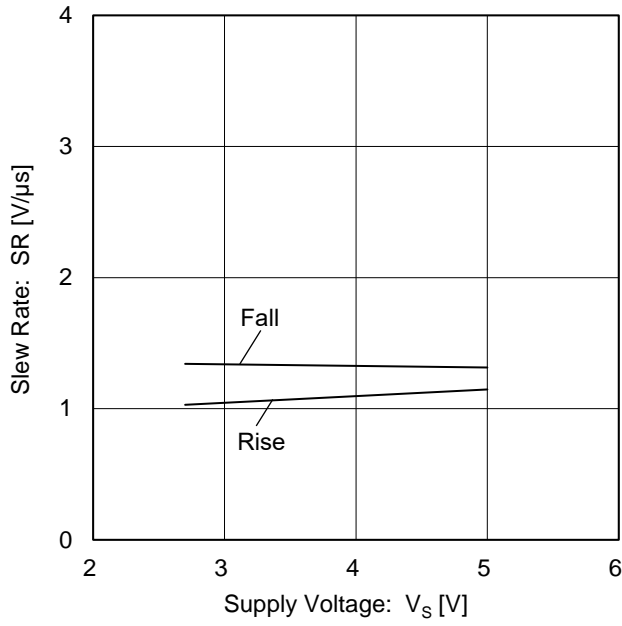


Figure 21. スルーレート vs 電源電圧

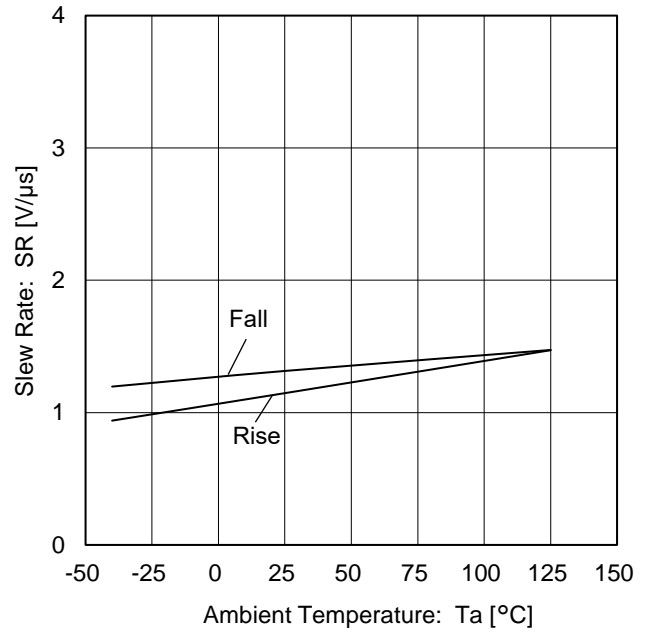


Figure 22. スルーレート vs 温度
($V_S = 5.0\text{ V}$)

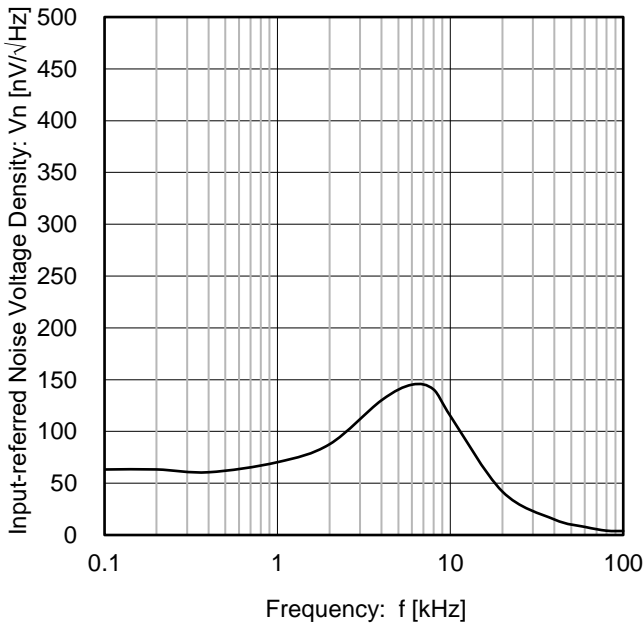


Figure 23. 入力換算雑音電圧密度 vs 周波数
($V_S = 5.0\text{ V}$)

(Note) 上記のデータは代表的なサンプルの測定値であり、保証するものではありません。

応用回路例

○ボルテージフォロワ

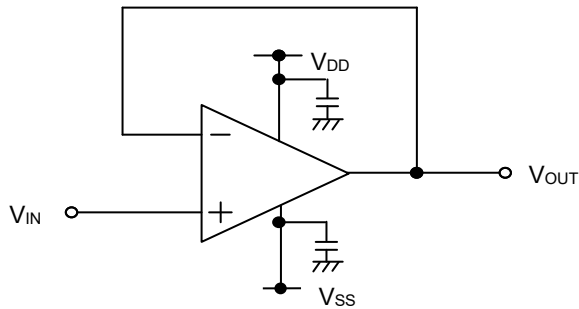


Figure 24. ボルテージフォロワ回路

入力電圧 (V_{IN}) をそのまま出力 (V_{OUT}) します。
 オペアンプの高入力抵抗、低出力抵抗のため安定した
 出力電圧を確保できます。
 出力電圧は次式となります。

$$V_{OUT} = V_{IN}$$

○反転増幅回路

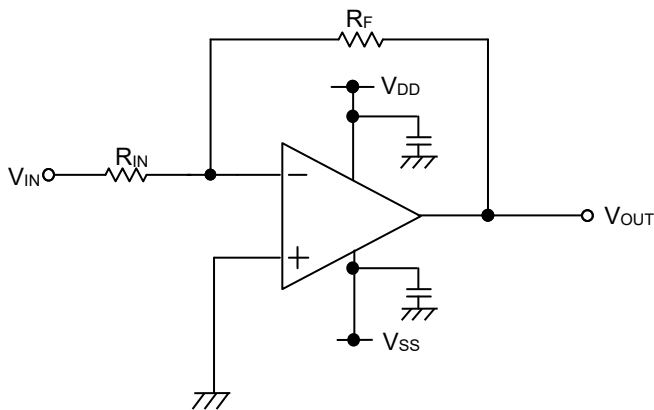


Figure 25. 反転増幅回路

反転増幅回路は入力電圧 (V_{IN}) を R_{IN} と R_F で決まる電
 圧利得で増幅し、位相反転した電圧を出力 (V_{OUT}) しま
 す。
 出力電圧は次式となります。

$$V_{OUT} = -\frac{R_F}{R_{IN}} V_{IN}$$

入力抵抗は R_{IN} となります。

○非反転増幅回路

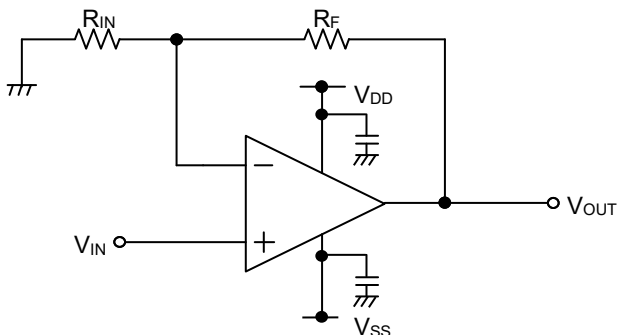


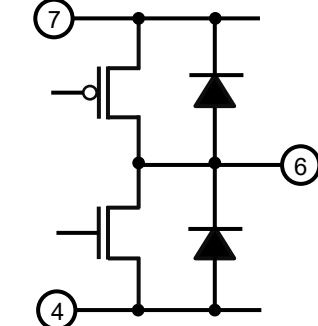
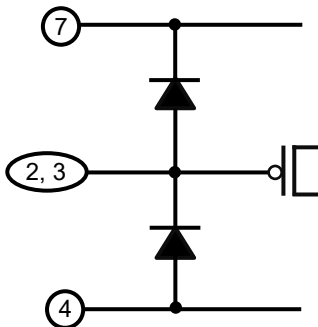
Figure 26. 非反転増幅回路

非反転増幅回路は入力電圧 (V_{IN}) を R_{IN} と R_F で決まる
 電圧利得で増幅した電圧を出力 (V_{OUT}) します。
 位相は入力電圧と同じです。
 出力電圧は次式となります。

$$V_{OUT} = \left(1 + \frac{R_F}{R_{IN}}\right) V_{IN}$$

入力抵抗はオペアンプの入力抵抗となるため、
 高入力抵抗を実現できます。

入出力等価回路図

端子番号	端子名称	端子説明	内部等価回路図
6	OUT	出力端子	
2 3	-IN +IN	入力端子	

使用上の注意

1. 電源の逆接続について

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れるなどの対策を施してください。

2. 電源ラインについて

基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。グラウンドラインについても、同様のパターン設計を考慮してください。また、LSI のすべての電源端子について電源-グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量低下が起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

3. グラウンド電位について

グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。

4. グラウンド配線パターンについて

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

5. 推奨動作条件について

推奨動作条件で規定される範囲で IC の機能・動作を保証します。また、特性値は電気的特性で規定される各項目の条件下においてのみ保証されます。

6. ラッシュカレントについて

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

7. セット基板での検査について

セット基板での検査時に、インピーダンスの低い端子にコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

8. 端子間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けた場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

9. 未使用の入力端子の処理について

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

使用上の注意 — 続き

10. 各入力端子について

本 IC はモノリシック IC であり、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、GND > (端子 A)の時、トランジスタ(NPN)では GND > (端子 B)の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ(NPN)では、GND > (端子 B)の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできません。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に GND(P 基板)より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子が GND にショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

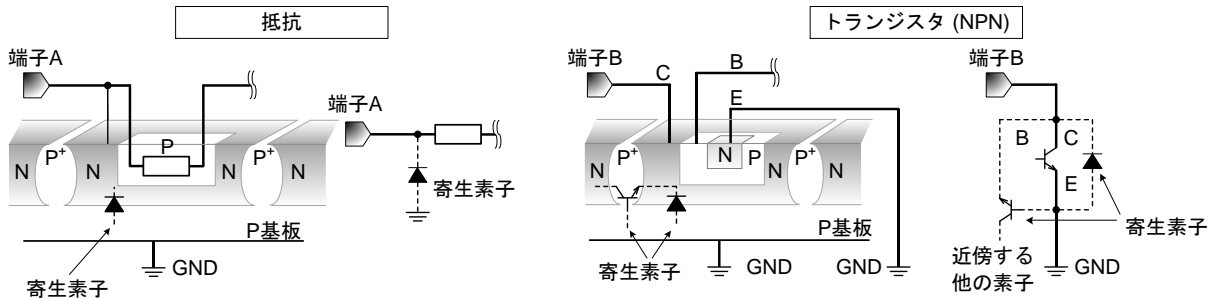
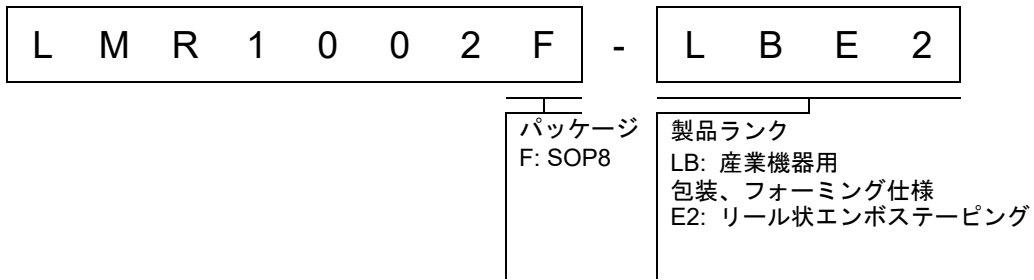


Figure 27. モノリシック IC 構造例

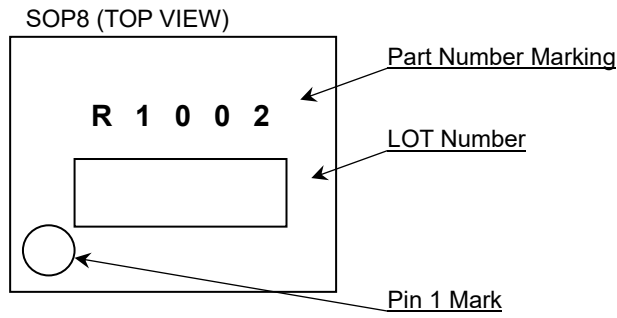
11. セラミック・コンデンサの特性変動について

外付けコンデンサに、セラミック・コンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮のうえ、定数を決定してください。

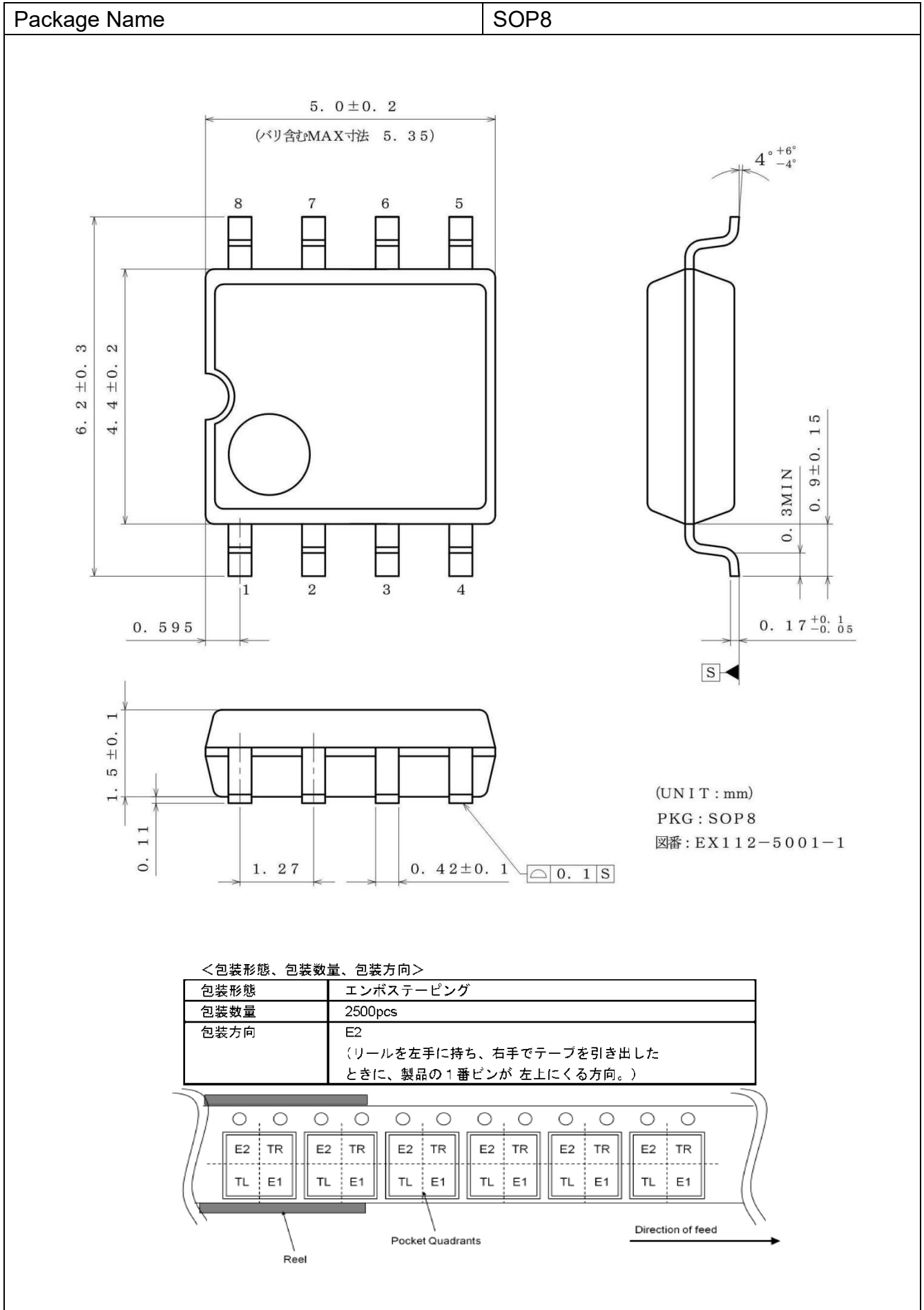
発注形名情報



標印図



外形寸法図と包装・フォーミング仕様



改訂履歴

日付	版	変更内容
2023.09.11	001	初版