

ミドルパワーD級スピーカアンプシリーズ

17W+17W

DSP 搭載 デジタル入力 D 級スピーカアンプ

BM28723AMUV

概要

BM28723AMUV は、TV などの省スペース・省エネルギー用途向けに開発された 17W+17W DSP(デジタル・サウンド・プロセッサ)搭載ステレオ D 級スピーカアンプです。BM28723AMUV は BCD (Bipolar, CMOS, DMOS) プロセス技術を採用し、さらに BM28723AMUV は小型裏面放熱タイプのパワーパッケージを採用し、低消費電力・低発熱量のため、ヒートシンクレスで最大 17W+17W($R_L=8\Omega$ 時)出力まで(ヒートシンクなど別途放熱対策がある場合は最大 20W+20W($R_L=8\Omega$ 時)まで)出力可能です。音声システムの大幅な小型化・薄型化と、大迫力・高音質再生の両方のニーズに応える商品です。

重要特性

- 電源電圧範囲 (V_{CCP1}, V_{CCP2}) 10V~24V
- スピーカ出力電力 (V_{CCP1}, V_{CCP2}=18V, $R_L=8\Omega$) 17W+17W(Typ)
- 全高調波歪率 0.08%[(Typ)

用途

- TV(液晶、有機 EL)
- ホームオーディオ
- デスクトップ PC
- アミューズメント機器
- 電子楽器

基本アプリケーション回路

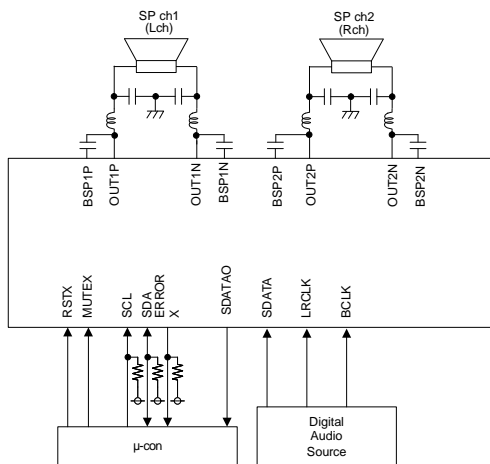


Figure 1. 基本アプリケーション回路図

特長

- TV 用途の音声信号処理に最適な DSP(デジタル・サウンド・プロセッサ)搭載
12 Band/ch BQ, 3-Band DRC, Pre-Scaler, Channel Mixer, Fine Master Volume, Hard Clipper, Level Meter など
- デジタル音声入力を 1 系統装備(Master Clock 不要)
- I²S/左詰め/右詰めフォーマット
- LRCLK: 32kHz/44.1kHz/48kHz
- BCLK: 32fs/48fs/64fs
- SDATA: 16bit/20bit/24bit
- デジタル音声出力を 1 系統装備
- I²S フォーマット
- SDATA: 16bit/20bit/24bit
- スルーレートコントロール回路内蔵により、出力端子のスナバ回路が不要(V_{CCP1}, V_{CCP2}≤22V 時)
- 出力フィードバック回路により電源変動による音質低下を防止し、さらに低ノイズ・低歪みを実現
電源変動に強いいため、電源バイパスコンデンサに大容量電解コンデンサが不要
- 広い電源電圧範囲において動作可能
- 外付け部品点数を削減可能なモノラル使用可能
- 高効率、低発熱によりシステムの小型化・薄型化・省電力化に貢献
- 電源 ON/OFF 時のポップ音を低減する高品位なソフトミュート機能を内蔵
- 各種保護機能内蔵の高信頼性デザイン
- 過熱保護
- 減電圧保護
- 出力ショート保護
- スピーカへの直流電圧印加保護
- クロック停止保護
- 小型パッケージのため、実装面積の低減が可能

パッケージ

VQFN032V5050

W(Typ) x D(Typ) x H(Max)

5.00 mm x 5.00 mm x 1.00 mm



VQFN032V5050

○シリコンを主材料とした半導体集積回路 ○耐放射線設計はしていません

www.rohm.co.jp

© 2018 ROHM Co., Ltd. All rights reserved.

TSZ22111・14・001

端子配置図、ブロック図

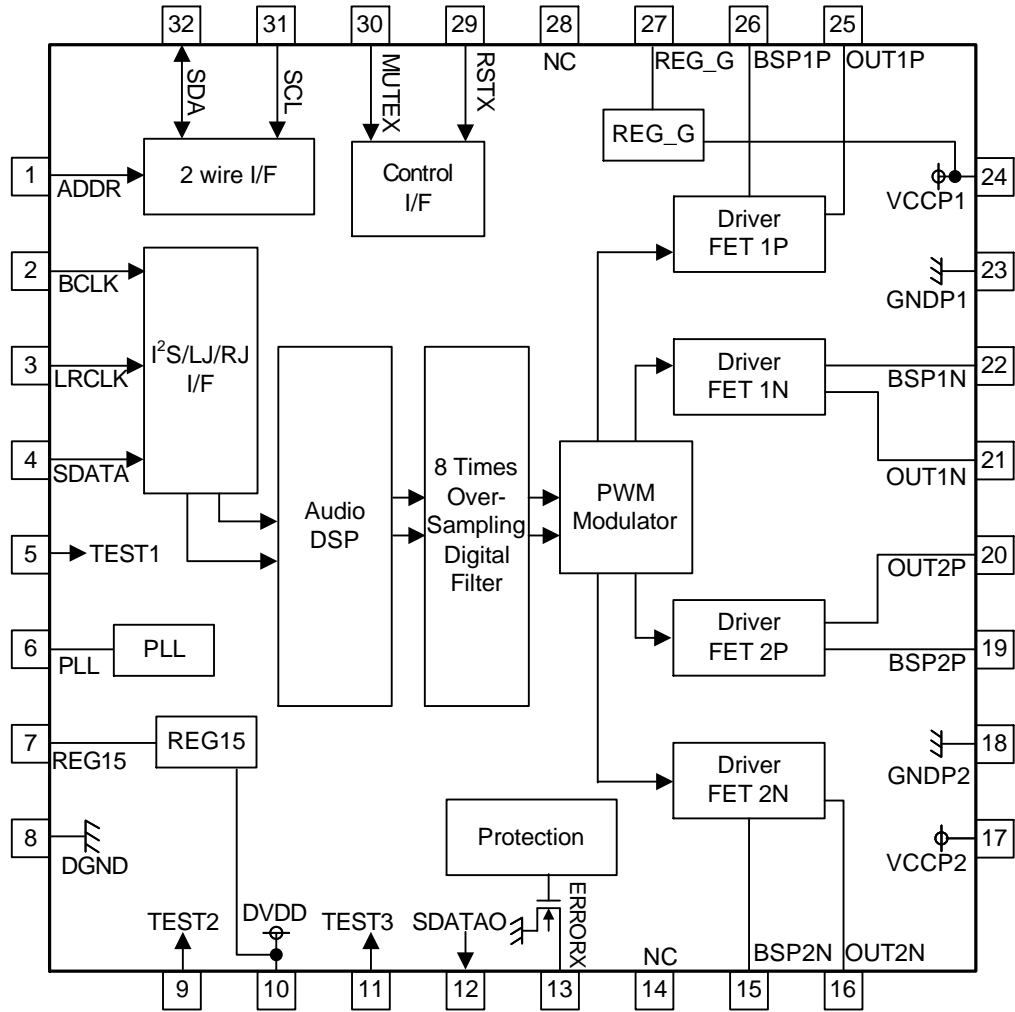


Figure 2. 端子配置とブロック図 (TOP VIEW)

端子説明

No.	Name	I/O	No.	Name	I/O	No.	Name	I/O	No.	Name	I/O
1	ADDR	I	9	TEST2	I	17	VCCP2	-	25	OUT1P	O
2	BCLK	I	10	DVDD	-	18	GNDP2	-	26	BSP1P	I
3	LRCLK	I	11	TEST3	I	19	BSP2P	I	27	REG_G	O
4	SDATA	I	12	SDATAO	O	20	OUT2P	O	28	NC	-
5	TEST1	I	13	ERRORX	O	21	OUT1N	O	29	RSTX	I
6	PLL	I/O	14	NC	-	22	BSP1N	I	30	MUTEX	I
7	REG15	O	15	BSP2N	I	23	GNDP1	-	31	SCL	I
8	DGND	-	16	OUT2N	O	24	VCCP1	-	32	SDA	I/O

I: 入力, O: 出力, -: その他

入出力等価回路図

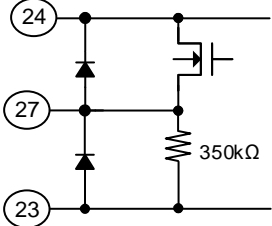
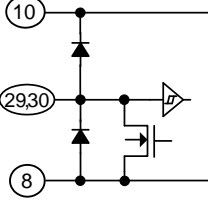
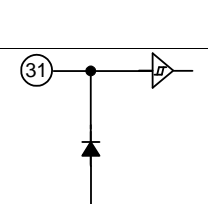
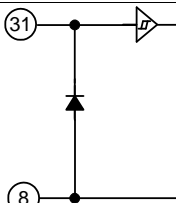
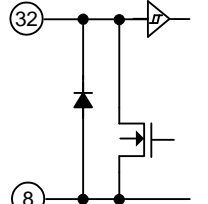
注意: 上記等価回路図中の数値は標準値(Typ)であり、その値を保証するものではありません。

Pin No.	Pin Name	Pin Voltage	Pin Explanation	I/O Equivalence Circuit
1	ADDR	0V	2線バス制御信号のスレーブアドレス選択端子です。 2線バス制御信号のスレーブアドレスのLSBの値を選択します。High入力ではLSBが1、Low入力ではLSBが0に設定されます。プルダウンはDVDD印加後に確定します。	
2	BCLK	3.3V	デジタルオーディオ信号入力端子です。 デジタルオーディオ信号のビットクロックを入力してください。プルアップはDVDD印加後に確定します。	
3 4	LRCLK SDATA	3.3V	デジタルオーディオ信号入力端子です。 LRCLKにはデジタルオーディオ信号のLRクロックを入力してください。SDATAにはデジタルオーディオ信号のデータを入力してください。プルアップはDVDD印加後に確定します。	
5 9 11	TEST1 TEST2 TEST3	- - -	テスト用端子です。 DGNDに接続してください。	
6	PLL	1V	PLLフィルタの接続端子です。 PLL用のフィルタを接続してください。	
7	REG15	1.5V	デジタル回路用内部電源端子です。 コンデンサを接続してください。 注意: BM28723AMUVのREG15端子は、外部に供給すること及び、外部から電圧を印加されることに対応しておりませんので、安定化のためのコンデンサ以外を接続しないでください。	
8	DGND	0V	デジタルI/O用のGND端子です。	-
10	DVDD	3.3V	デジタルI/O用の電源端子です。 コンデンサを接続してください。	-
12	SDATAO	3.3V	デジタルオーディオ信号出力端子です。 デジタルオーディオ信号のデータを出力することができます。プルアップはDVDD印加後に確定します。	

入出力等価回路図 ー 続き

Pin No.	Pin Name	Pin Voltage	Pin Explanation	I/O Equivalence Circuit
13	ERRORX	3.3V	エラーフラグを出力する端子です。 プルアップ抵抗を接続してください。 High: 通常時 Low: エラー時 注意: 出力ショート保護機能、スピーカへの直流電圧印加保護機能、過熱保護機能の動作時に ERRORX 端子からエラーフラグを出力します。これらのフラグは本製品の状態を示す機能であり、本製品以外の保護を目的とした使用はできません。	
14 28	NC	-	N.C.(無接続)端子です。 何も接続しないでください。	-
15	BSP2N	-	Ch2 マイナス側ブートストラップ端子です。 OUT2N 端子へコンデンサを接続してください。	
16	OUT2N	V _{CCP2} ~0V	Ch2 マイナス側 PWM 信号出力端子です。 出力 LPF を接続してください。 注意 1: 本端子を GND とショートした場合、LSI が破壊する可能性があります。 注意 2: リセット ON またはミュート ON 時は、出力トランジスタがすべて OFF かつ 10kΩ (Typ) でプルダウンされます。	
17	VCCP2	V _{CCP2}	Ch2 パワー系電源端子です。	
18	GNDP2	0V	Ch2 パワー系 GND 端子です。	
19	BSP2P	-	Ch2 プラス側ブートストラップ端子です。 OUT2P 端子へコンデンサを接続してください。	
20	OUT2P	V _{CCP2} ~0V	Ch2 プラス側 PWM 信号出力端子です。 出力 LPF を接続してください。 注意 1: 本端子を GND とショートした場合、LSI が破壊する可能性があります。 注意 2: リセット ON またはミュート ON 時は、出力トランジスタがすべて OFF かつ 10kΩ (Typ) でプルダウンされます。	
21	OUT1N	V _{CCP1} ~0V	Ch1 マイナス側 PWM 信号出力端子です。 出力 LPF を接続してください。 注意 1: 本端子を GND とショートした場合、LSI が破壊する可能性があります。 注意 2: リセット ON またはミュート ON 時は、出力トランジスタがすべて OFF かつ 10kΩ (Typ) でプルダウンされます。	
22	BSP1N	-	Ch1 マイナス側ブートストラップ端子です。 OUT1N 端子へコンデンサを接続してください。	
23	GNDP1	0V	Ch1 パワー系 GND 端子です。	
24	VCCP1	V _{CCP1}	Ch1 パワー系電源端子です。	
25	OUT1P	V _{CCP1} ~0V	Ch1 プラス側 PWM 信号出力端子です。 出力 LPF を接続してください。 注意 1: 本端子を GND とショートした場合、LSI が破壊する可能性があります。 注意 2: リセット ON またはミュート ON 時は、出力トランジスタがすべて OFF かつ 10kΩ (Typ) でプルダウンされます。	
26	BSP1P	-	Ch1 プラス側ブートストラップ端子です。 OUT1P 端子へコンデンサを接続してください。	

入出力等価回路図 ー 続き

Pin No.	Pin name	Pin voltage	Pin explanation	I/O equivalence circuit
27	REG_G	5.7V	ゲートドライバ用内部電源端子です。 コンデンサを接続してください。 注意: BM28723AMUV の REG_G 端子は、外部に供給すること及び、外部から電圧を印加されることに対応しておりませんので、安定化のためのコンデンサ以外を接続しないでください。	
29	RSTX	0V	内部ロジック回路のリセット信号を入力してください。 High: リセット OFF Low: リセット ON プルダウンは DVDD 印加後に確定します。	
30	MUTEX	0V	スピーカ出力のミュートを制御します。 High: ミュート OFF Low: ミュート ON プルダウンは DVDD 印加後に確定します。	
31	SCL	-	2 線バス用クロック入力端子です。 2 線バス制御信号の転送クロックを入力してください。 注意: SCL 端子は 5V トレラントに対応していません。 絶対最大定格の入力電圧 1 を参照してください。	
32	SDA	-	2 線バス用データ入出力端子です。 2 線バスの制御信号用データの入出力を行います。 注意: SDA 端子は 5V トレラントに対応していません。 絶対最大定格の入力電圧 1 を参照してください。	
-	EXP-PAD	-	EXP-PAD は、フローティングでも電気的には問題ありませんが、放熱特性が悪化するため、グラウンドへの接続を推奨しています。グラウンド以外への接続は禁止しています。	-

絶対最大定格 (Ta=25°C)

項目	記号	定格	単位	対象端子、条件
電源電圧	V _{CCMAX}	30	V	Pin 17, 24 ^(Note 1) ^(Note 2)
	V _{DVDDMAX}	4.5	V	Pin 10 ^(Note 1)
入力電圧 1	V _{IN1}	-0.3~ V _{DVDD} +0.3 ^(Note 3)	V	Pin 1~5, 9, 11, 29~32 ^(Note 1)
端子電圧 1	V _{PIN1}	-0.3~+7.0	V	Pin 27 ^(Note 1)
端子電圧 2	V _{PIN2}	-0.3~ +V _{CCMAX}	V	Pin 16, 20, 21, 25 ^(Note 1) ^(Note 4)
端子電圧 3	V _{PIN3}	-0.3~V _{OUT1P} +7	V	Pin 26 ^(Note 1) ^(Note 5)
		-0.3~V _{OUT1N} +7		Pin 22 ^(Note 1) ^(Note 5)
		-0.3~V _{OUT2P} +7		Pin 19 ^(Note 1) ^(Note 5)
		-0.3~V _{OUT2N} +7		Pin 15 ^(Note 1) ^(Note 5)
端子電圧 4	V _{PIN4}	-0.3~+2.1	V	Pin 7 ^(Note 1)
オープンドレイン端子電圧	V _{ERR}	-0.3~+7.0	V	Pin 13 ^(Note 1)
動作温度範囲	Topr	-25~+85	°C	
保存温度範囲	Tstg	-55~+150	°C	
接合温度範囲	Tj	-40~+150	°C	

注意 1: 印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施して頂けるようご検討をお願いします。

注意 2: 最高接合部温度を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。最高接合部温度を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用するなど、最高接合部温度を超えないよう熱抵抗にご配慮ください。

(Note 1) GND(Pin 8, 18, 23)を基準に印加できる電圧。

(Note 2) Tj=150°Cを超えないこと。

(Note 3) V_{DVDD}は推奨動作条件を参照してください。

(Note 4) 端子電圧は AC ピーク波形(オーバーシュート)含めて、本定格以下で必ず使用してください。

オーバーシュートは GND 基準で 30V 以下にしてください。

ただし、アンダーシュートに限り V_{CCP1}, V_{CCP2} 基準で 10ns 以下かつ 30V 以下を許容します。(Figure 3-1 参照)

(Note 5) 端子電圧は AC ピーク波形(オーバーシュート)含めて、本定格以下で必ず使用してください。

ただし、アンダーシュートに限り 10ns 以下かつ (V_{OUT1P} or V_{OUT1N} or V_{OUT2P} or V_{OUT2N}) +7V 以下を許容します。(Figure 3-2 参照)

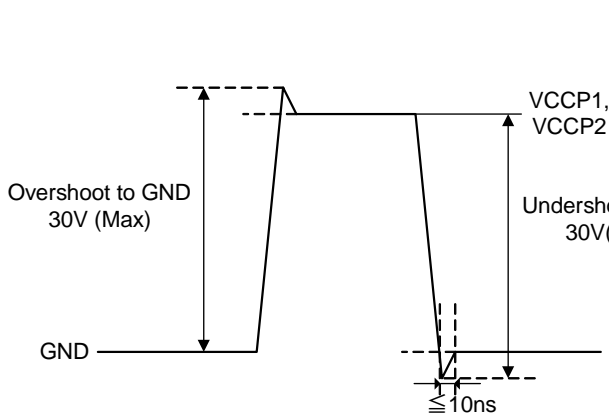


Figure 3-1

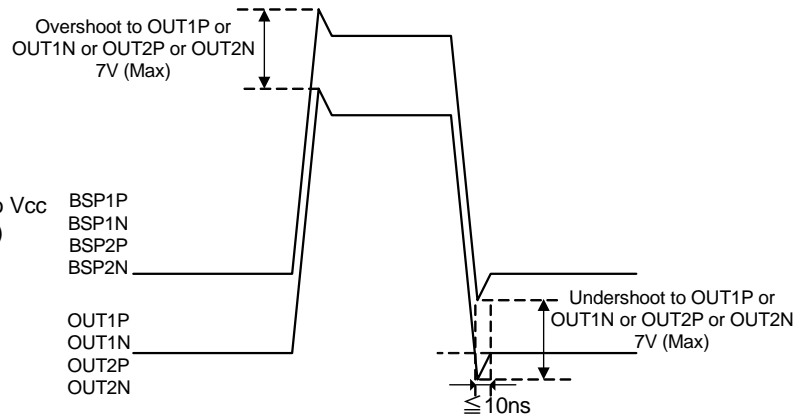


Figure 3-2

熱抵抗 (Note 6)

項目	記号	熱抵抗(Typ)		単位
		1層基板 (Note 8)	4層基板 (Note 9)	
VQFN032V5050				
ジャンクションー周囲温度間熱抵抗	θ_{JA}	138.9	39.1	°C/W
ジャンクションーパッケージ上面中心間熱特性パラメータ (Note 7)	Ψ_{JT}	11	5	°C/W

(Note 6) JESD51-2A(Still-Air) に準拠。

(Note 7) ジャンクションからパッケージ(モールド部分)上面中心までの熱特性パラメータ。

(Note 8) JESD51-3 に準拠した基板を使用。

(Note 9) JESD51-5, 7 に準拠した基板を使用。

測定基板	基板材	基板寸法
1層	FR-4	114.3mm x 76.2mm x 1.57mmt

1層目(表面)銅箔	
銅箔パターン	銅箔厚
実装ランドパターン +電極引出し用配線	70μm

測定基板	基板材	基板寸法	サーマルビア (Note 10)	
			ピッチ	直径
4層	FR-4	114.3mm x 76.2mm x 1.6mmt	1.20mm	Φ0.30mm

1層目(表面)銅箔		2層目、3層目(内層)銅箔		4層目(裏面)銅箔	
銅箔パターン	銅箔厚	銅箔パターン	銅箔厚	銅箔パターン	銅箔厚
実装ランドパターン +電極引出し用配線	70μm	74.2mm□(正方形)	35μm	74.2mm□(正方形)	70μm

(Note 10) 貫通ビア。全層の銅箔と接続する。配置はランドパターンに従う。

推奨動作条件 (Ta=-25°C~+85°C)

項目	記号	範囲	単位	対象 pin、条件
電源電圧	V _{CCP1}	10~24	V	Pin 24 (Note 1)(Note 2)
	V _{CCP2}	10~24	V	Pin 17 (Note 1)(Note 2)
	V _{DVDD}	3.0~3.6	V	Pin 10 (Note 1)
最小負荷抵抗	R _L	6.4	Ω	21V < V _{CCP1} , V _{CCP2} ≤ 24V (Note 2)
		4.8	Ω	14V < V _{CCP1} , V _{CCP2} ≤ 21V (Note 2)
		3.6	Ω	V _{CCP1} , V _{CCP2} ≤ 14V (Note 2)

電気的特性

(特に指定のない限り Ta=25°C, V_{CCP1}, V_{CCP2}=18V, V_{DVDD}=3.3V, V_{RSTX}=3.3V, V_{MUTEX}=3.3V, f=1kHz, fs=48kHz, R_L=8Ω, DSP: Through, ドライバ部ゲイン(G_{DRV})=26dB, LC フィルタ: L=10μH, C_g=0.47μF, Snubber 回路なし)

項目	記号	規格値			単位	対象端子、条件
		Min	Typ	Max		
全体						
回路電流 1 (通常モード)	I _{CC1}	-	45	90	mA	Pin 17, 24, -infinity dBFS 入力, No load
	I _{DD1}	-	9	19	mA	Pin 10, -infinity dBFS 入力, No load
回路電流 2 (リセットモード)	I _{CC2}	-	110	400	μA	Pin 17, 24, -infinity dBFS 入力, No load V _{RSTX} =0V, V _{MUTEX} =0V
	I _{DD2}	-	2.5	7.0	mA	Pin 10, -infinity dBFS 入力, No load V _{RSTX} =0V, V _{MUTEX} =0V
オープンドレイン端子 Low レベル電圧	V _{ERR}	-	-	0.8	V	Pin 13, I _{OUT} =0.5mA
High レベル入力電圧	V _{IH}	2.5	-	3.3	V	Pin 1~5, 9, 11, 29 ~32
Low レベル入力電圧	V _{IL}	0	-	0.8	V	Pin 1~5, 9, 11, 29 ~32
入力端子ブルアップ抵抗	R _{UP}	22	33	-	kΩ	Pin 2~4, V _{IN} =0V
入力端子ブルダウン抵抗	R _{DN}	31	47	-	kΩ	Pin 1, 29, 30, V _{IN} =3.3V
入力電流 (SCL, SDA 端子)	I _{IL}	-1	0	-	μA	Pin 31, 32, V _{IN} =0V
入力電流 (SCL, SDA 端子)	I _{IH}	-	0	1	μA	Pin 31, 32, V _{IN} =3.3V
スピーカアンプ出力部						
最大出力 1 ^(Note 11)	P _{O1}	-	10	-	W	V _{CCP1} , V _{CCP2} =13V, THD+N=10%
最大出力 2 ^(Note 11)	P _{O2}	-	15	-	W	V _{CCP1} , V _{CCP2} =16V, THD+N=10%
全高調波歪率 ^(Note 11)	THD	-	0.08	-	%	V _{CCP1} , V _{CCP2} =12V, P _O =1W, BW=AES17(20Hz~22kHz) With snubber circuit
クロストーク ^(Note 11)	CT	60	90	-	dB	P _O =1W, 1kHz BPF
PSRR ^(Note 11)	PSRR	-	60	-	dB	V _{ripple} =1V _{rms} , f=1kHz
出力雑音電圧 ^(Note 11)	V _{NO}	-	150	-	μVrms	-infinity dBFS 入力, BW=A-Weight
PWM(Pulse Width Modulation) 周波数	f _{PWM1}	-	256	-	kHz	fs=32 kHz
	f _{PWM2}	-	352.8	-	kHz	fs=44.1 kHz
	f _{PWM3}	-	384	-	kHz	fs=48 kHz

(Note 11) これらの項目に関する規格値はデバイスの標準的な性能を示しており、基板レイアウト/使用部品/電源部に大きく依存します。
標準値は弊社指定の基板にデバイス及び各部品を直接実装したときの値です。

特性データ (参考データ)

特に指定のない限り $T_a=25^\circ\text{C}$, $V_{CCP1}, V_{CCP2}=18\text{V}$, $V_{DVDD}=3.3\text{V}$, $V_{RSTX}=3.3\text{V}$, $V_{MUTEX}=3.3\text{V}$, $f=1\text{kHz}$, $f_s=48\text{kHz}$, $R_L=8\Omega$,
 DSP: Through, ドライバ部ゲイン(G_{DRV})=26dB,
 4層評価基板 (Note 12)にて測定

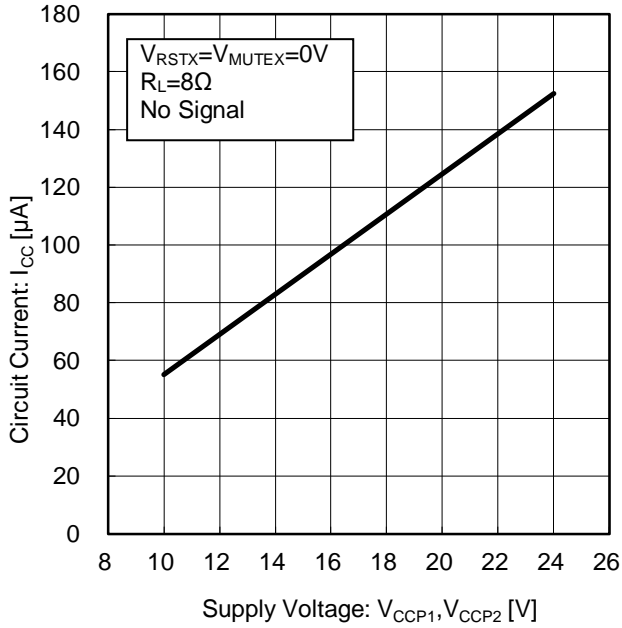


Figure 4. Circuit Current vs Supply Voltage

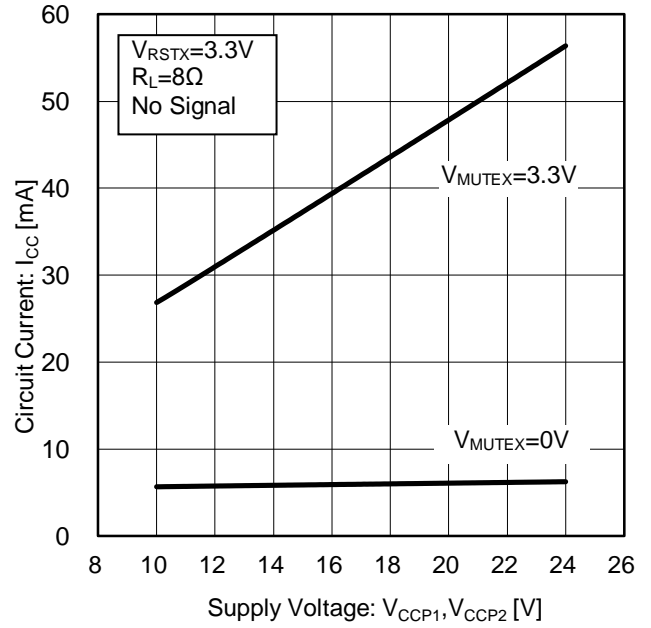


Figure 5. Circuit Current vs Supply Voltage

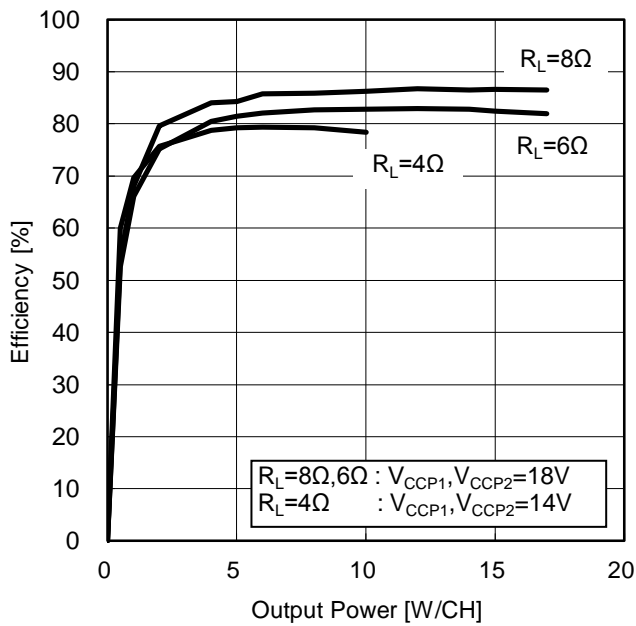


Figure 6. Efficiency vs Output Power

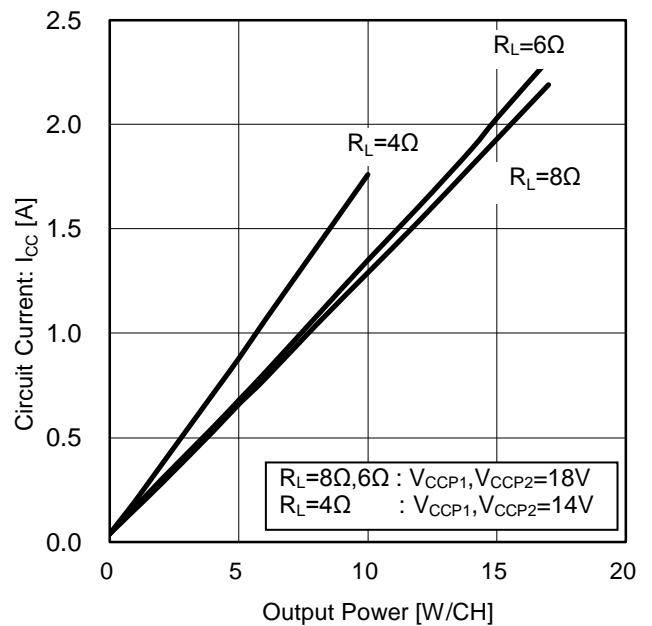


Figure 7. Circuit Current vs Output Power

(Note 12) 100mmx100mmx1.6mm FR4 4層ガラスエポキシ基板 銅箔厚 35μm/70μm/70μm/35μm アプリケーション評価用基板

特性データ (参考データ) - 続き

特に指定のない限り $T_a=25^\circ\text{C}$, $V_{CCP1}, V_{CCP2}=18\text{V}$, $V_{DVDD}=3.3\text{V}$, $V_{RSTX}=3.3\text{V}$, $V_{MUTEX}=3.3\text{V}$, $f=1\text{kHz}$, $f_s=48\text{kHz}$, $R_L=8\Omega$,
 DSP: Through, ドライバ部ゲイン(G_{DRV})=26dB,
 4層評価基板 (Note 12)にて測定

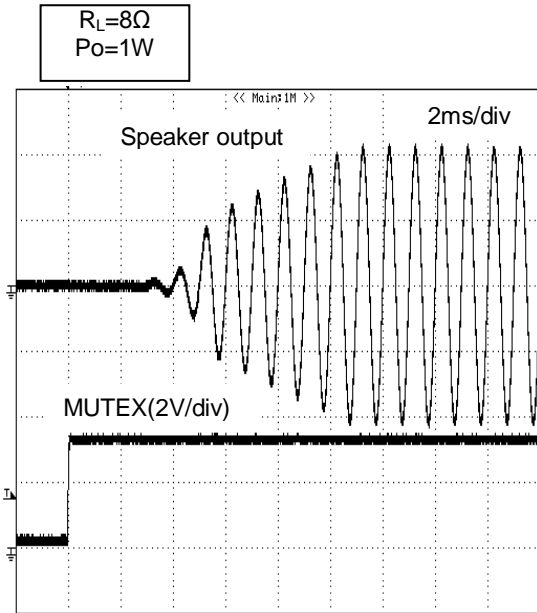


Figure 8. ソフトスタート時の波形

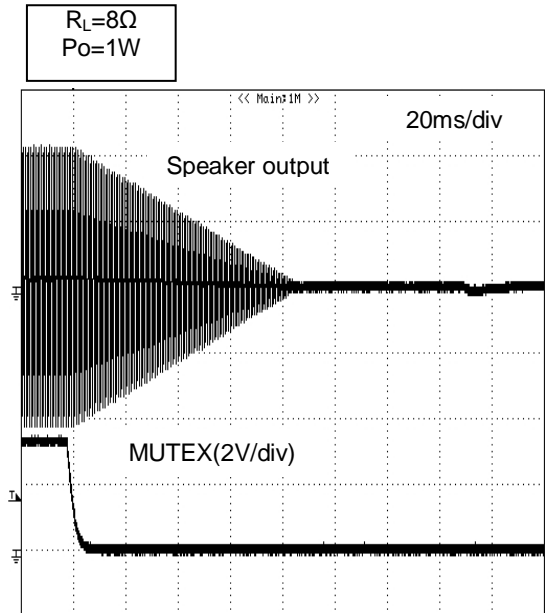


Figure 9. ソフトミュート時の波形

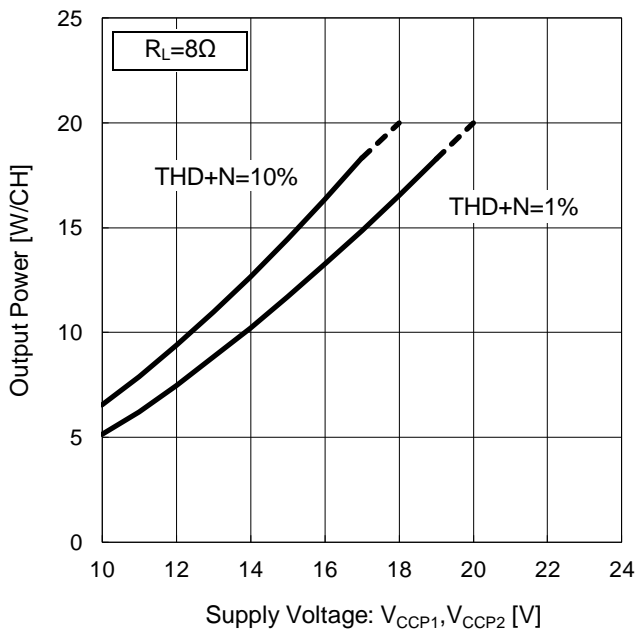


Figure 10. Output Power vs Supply Voltage

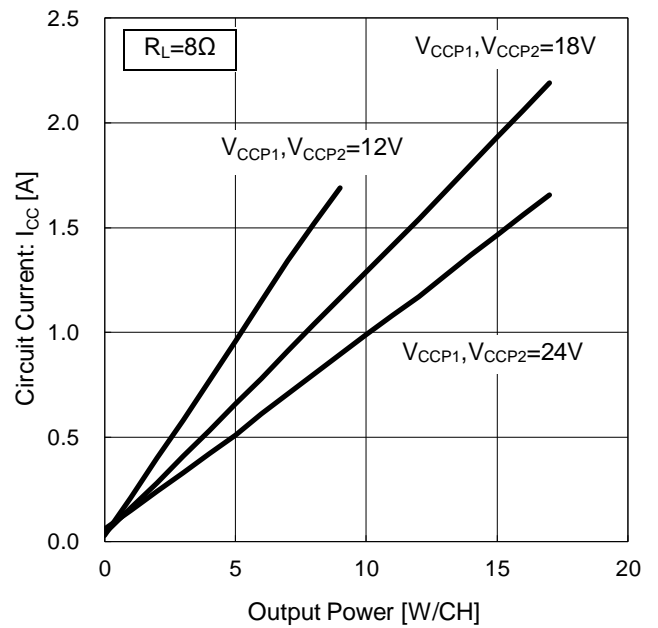


Figure 11. Circuit Current vs Output Power

注意 1: 点線は最高接合部温度を超えることを意味します。別途、ヒートシンク等の放熱対策が必要です。
 注意 2: 放熱対策時でも 20W 以下でご使用ください。

(Note 12) 100mm×100mm×1.6mm FR4 4層ガラスエポキシ基板 銅箔厚 35μm/70μm/70μm/35μm アプリケーション評価用基板

特性データ (参考データ) - 続き

特に指定のない限り $T_a=25^\circ\text{C}$, $V_{CCP1}, V_{CCP2}=18\text{V}$, $V_{DVDD}=3.3\text{V}$, $V_{RSTX}=3.3\text{V}$, $V_{MUTEX}=3.3\text{V}$, $f=1\text{kHz}$, $f_s=48\text{kHz}$,
 DSP: Through, ドライバ部ゲイン(G_{DRV})=26dB,
 4層評価基板 (Note 12)にて測定

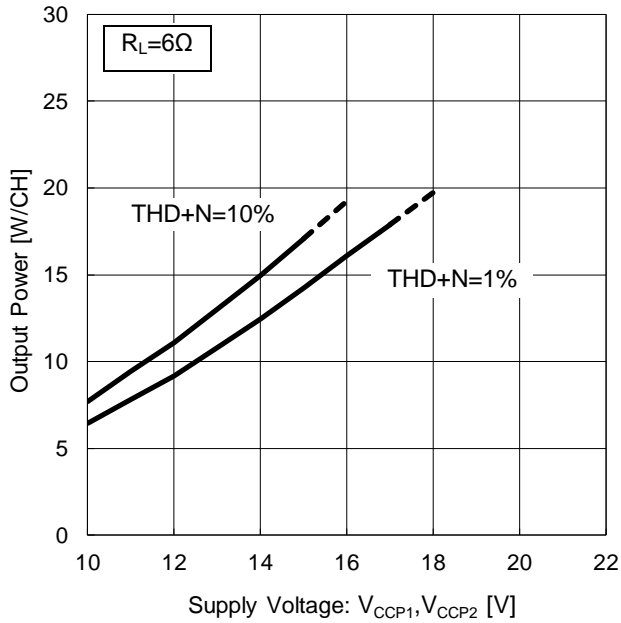


Figure 12. Output Power vs Supply Voltage

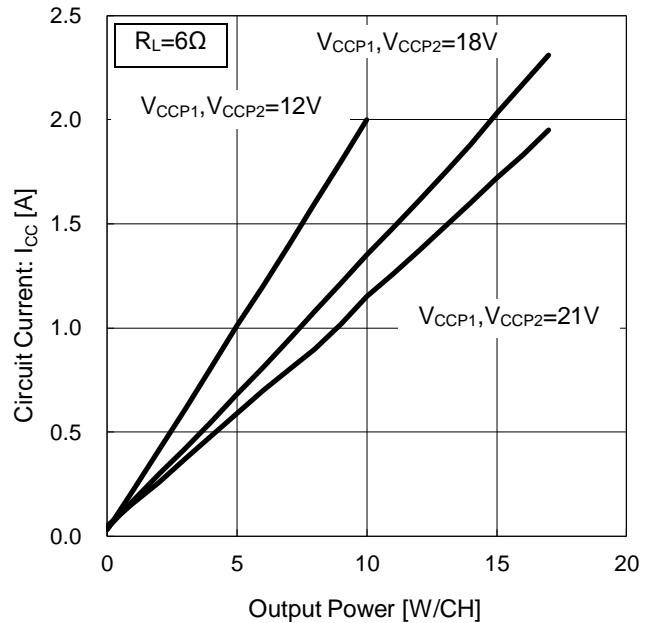


Figure 13. Circuit Current vs Output Power

注意 1: 点線は最高接合部温度を超えることを意味します。別途、ヒートシンク等の放熱対策が必要です。
 注意 2: 放熱対策時でも 20W 以下でご使用ください。

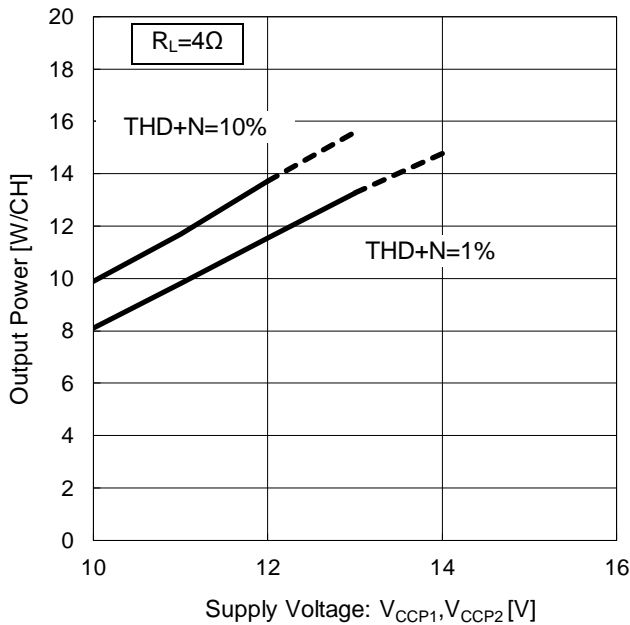


Figure 14. Output Power vs Supply Voltage

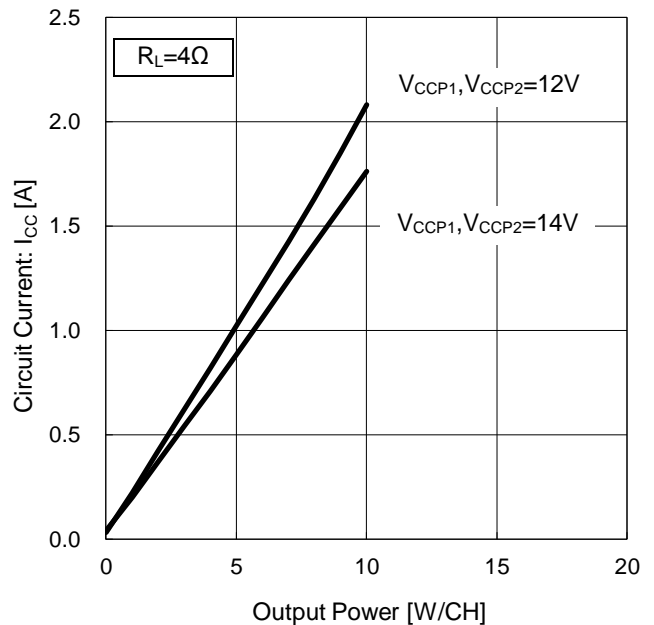


Figure 15. Circuit Current vs Output Power

注意 1: 点線は最高接合部温度を超えることを意味します。別途、ヒートシンク等の放熱対策が必要です。
 注意 2: 放熱対策時でも 15W 以下でご使用ください。

(Note 12) 100mmx100mmx1.6mm FR4 4層ガラスエポキシ基板 銅箔厚 35μm/70μm/70μm/35μm アプリケーション評価用基板

特性データ (参考データ) - 続き

特に指定のない限り $T_a=25^\circ\text{C}$, V_{CCP1} , $V_{CCP2}=18\text{V}$, $V_{DVDD}=3.3\text{V}$, $V_{RSTX}=3.3\text{V}$, $V_{MUTEX}=3.3\text{V}$, $f=1\text{kHz}$, $f_s=48\text{kHz}$, $R_L=8\Omega$,
 DSP: Through, ドライバ部ゲイン(G_{DRV})=26dB,
 4層評価基板 (Note 12)にて測定

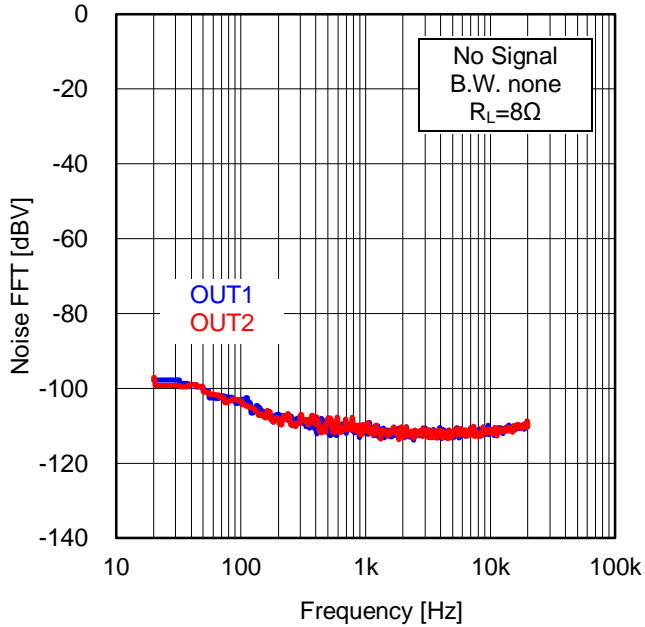


Figure 16. Noise FFT vs Frequency

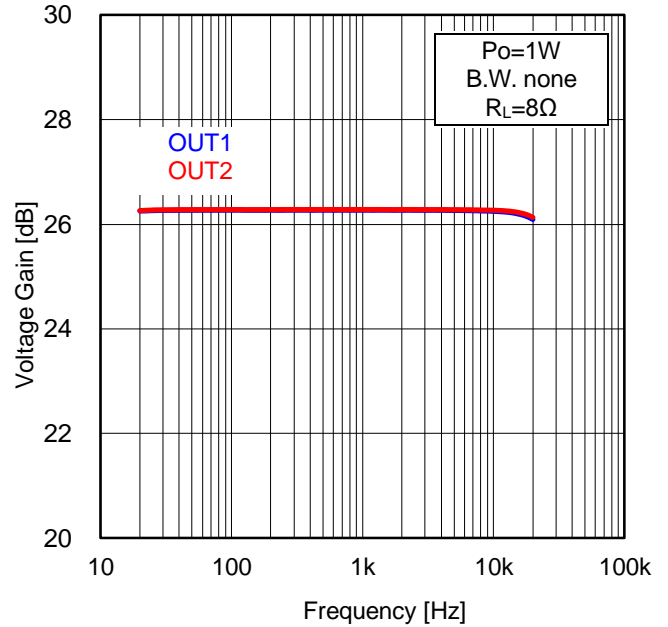


Figure 17. Voltage Gain vs Frequency

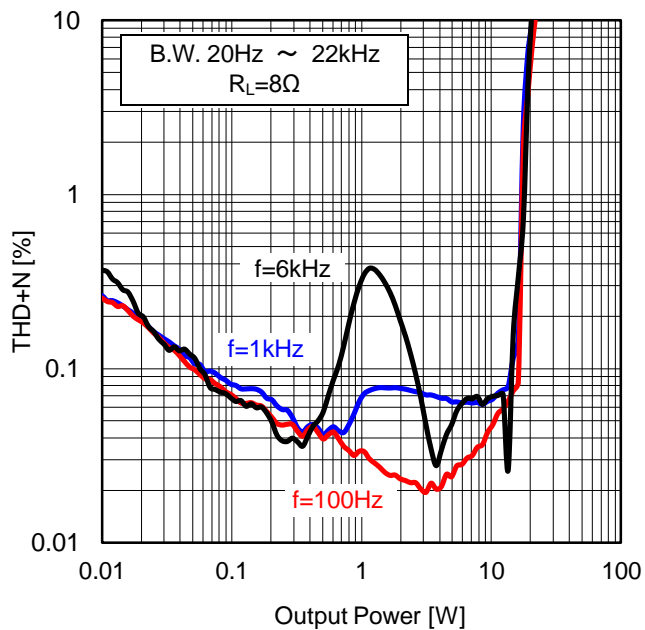


Figure 18. THD+N vs Output Power

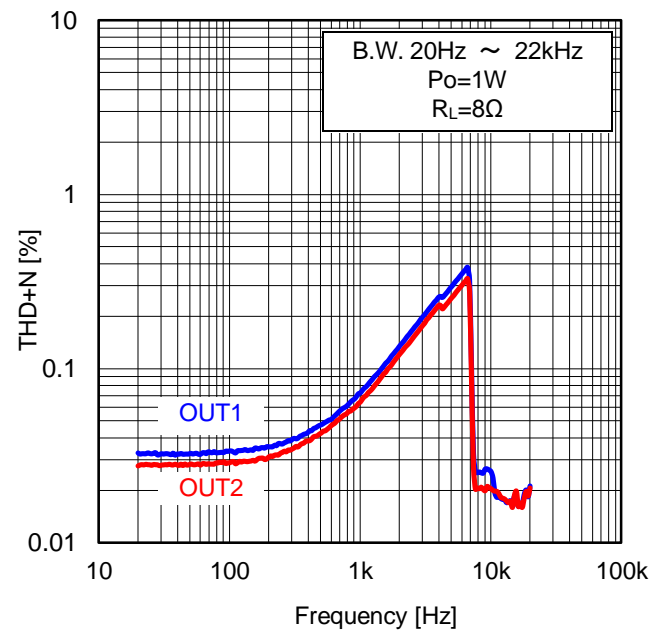


Figure 19. THD+N vs Frequency

(Note 12) 100mmx100mmx1.6mm FR4 4層ガラスエポキシ基板 銅箔厚 35μm/70μm/70μm/35μm アプリケーション評価用基板

特性データ (参考データ) - 続き

特に指定のない限り $T_a=25^\circ\text{C}$, V_{CCP1} , $V_{CCP2}=18\text{V}$, $V_{DVDD}=3.3\text{V}$, $V_{RSTX}=3.3\text{V}$, $V_{MUTEX}=3.3\text{V}$, $f=1\text{kHz}$, $f_s=48\text{kHz}$, $R_L=8\Omega$,
 DSP: Through, ドライバ部ゲイン(G_{DRV})=26dB,
 4層評価基板 (Note 12)にて測定

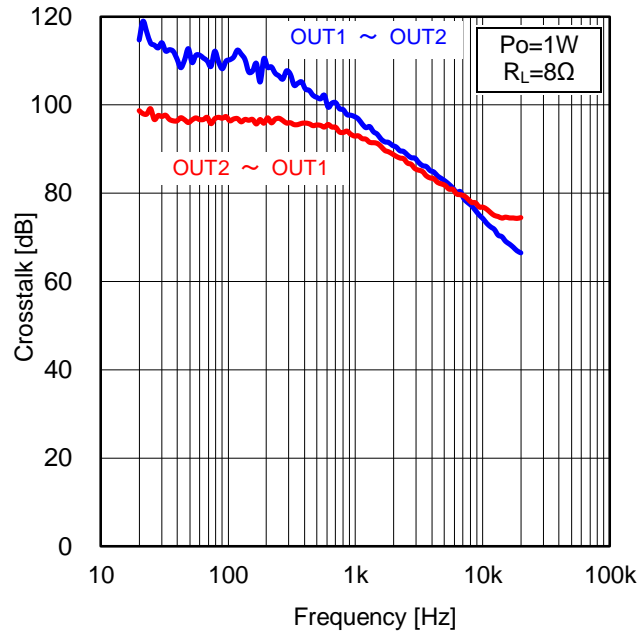


Figure 20. Crosstalk vs Frequency

(Note 12) 100mm×100mm×1.6mm FR4 4層ガラスエポキシ基板 銅箔厚 35μm/70μm/70μm/35μm アプリケーション評価用基板

特性データ (参考データ) - 続き

特に指定のない限り $T_a=25^\circ\text{C}$, V_{CCP1} , $V_{CCP2}=18\text{V}$, $V_{DVDD}=3.3\text{V}$, $V_{RSTX}=3.3\text{V}$, $V_{MUTEX}=3.3\text{V}$, $f=1\text{kHz}$, $f_s=48\text{kHz}$, $R_L=6\Omega$,
 DSP: Through, ドライバ部ゲイン(G_{DRV})=26dB,
 4層評価基板 (Note 12)にて測定

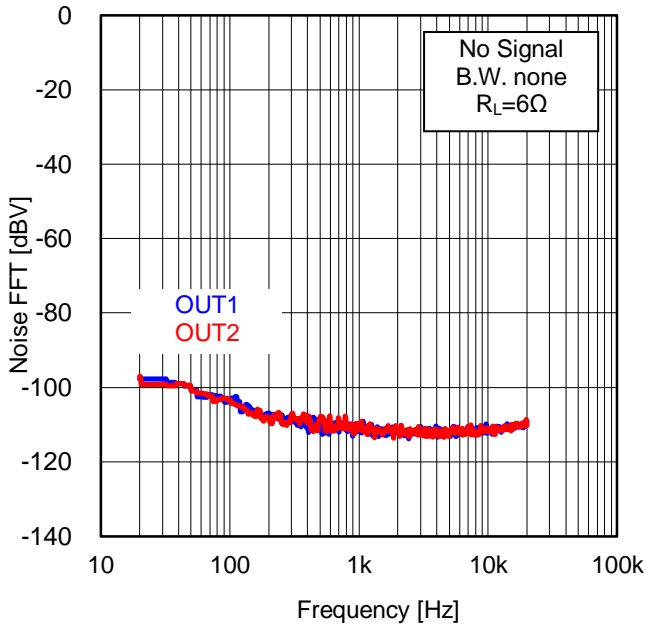


Figure 21. Noise FFT vs Frequency

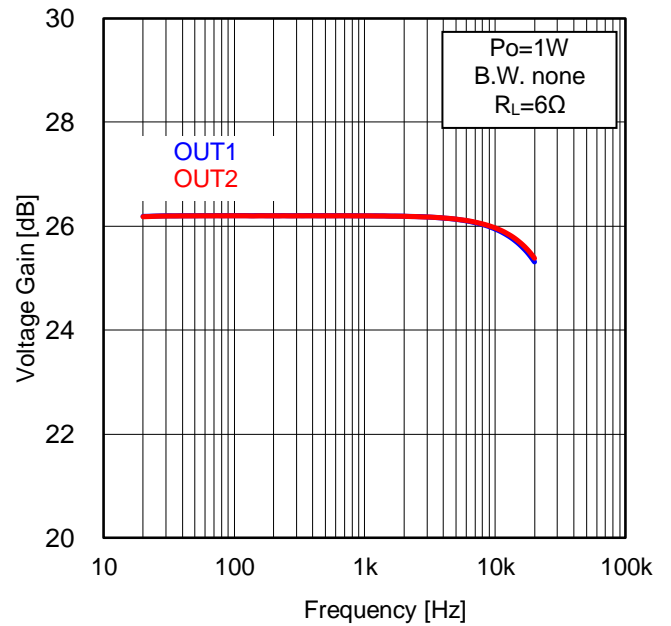


Figure 22. Voltage Gain vs Frequency

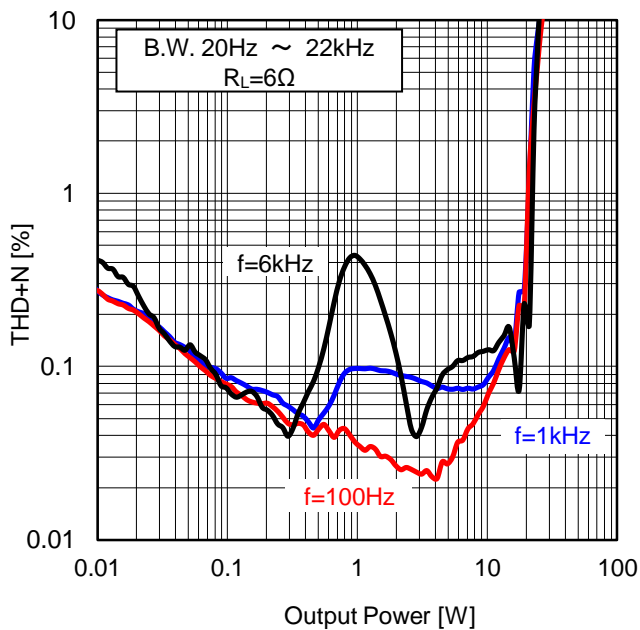


Figure 23. THD+N vs Output Power

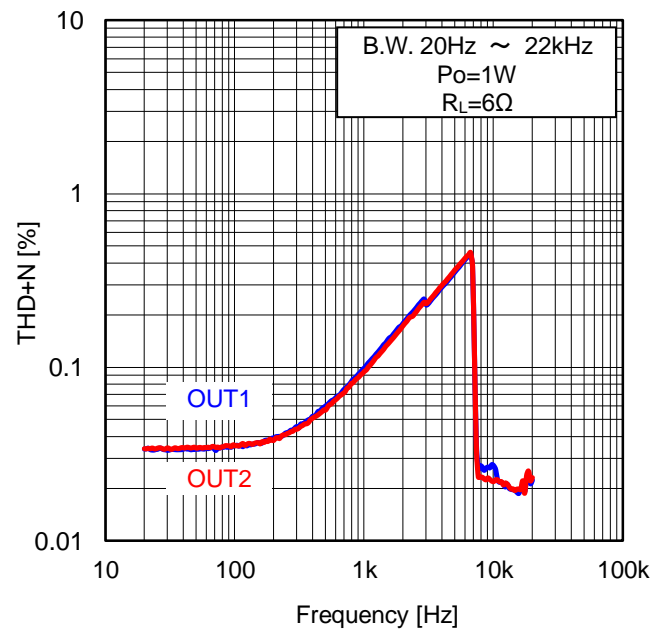


Figure 24. THD+N vs Frequency

(Note 12) 100mmx100mmx1.6mm FR4 4層ガラスエポキシ基板 銅箔厚 35μm/70μm/70μm/35μm アプリケーション評価用基板

特性データ (参考データ) - 続き

特に指定のない限り $T_a=25^{\circ}\text{C}$, V_{CCP1} , $V_{CCP2}=18\text{V}$, $V_{DVDD}=3.3\text{V}$, $V_{RSTX}=3.3\text{V}$, $V_{MUTEX}=3.3\text{V}$, $f=1\text{kHz}$, $f_s=48\text{kHz}$, $R_L=6\Omega$,
 DSP: Through, ドライバ部ゲイン(G_{DRV})=26dB,
 4層評価基板 (Note 12)にて測定

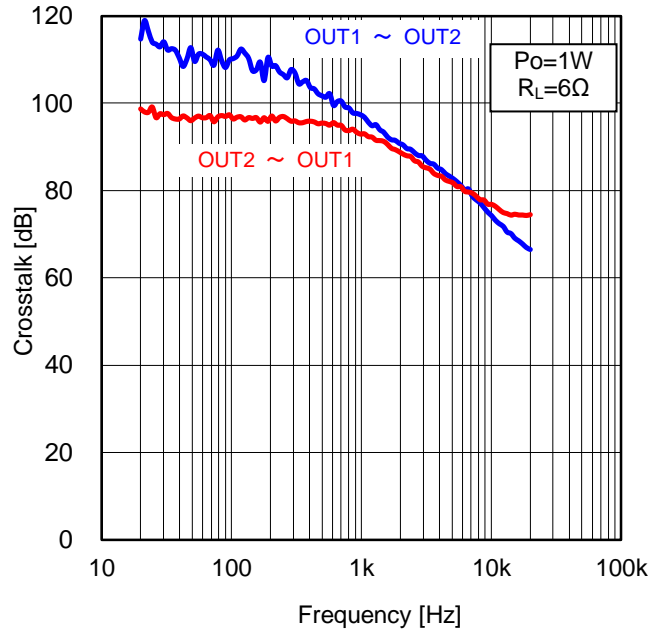


Figure 25. Crosstalk vs Frequency

(Note 12) 100mmx100mmx1.6mm FR4 4層ガラスエポキシ基板 銅箔厚 35μm/70μm/70μm/35μm アプリケーション評価用基板

特性データ (参考データ) - 続き

特に指定のない限り $T_a=25^{\circ}\text{C}$, V_{CCP1} , $V_{CCP2}=18\text{V}$, $V_{DVDD}=3.3\text{V}$, $V_{RSTX}=3.3\text{V}$, $V_{MUTEX}=3.3\text{V}$, $f=1\text{kHz}$, $f_s=48\text{kHz}$, $R_L=4\Omega$,
 DSP: Through, ドライバ部ゲイン(G_{DRV})=26dB,
 4層評価基板 (Note 12)にて測定

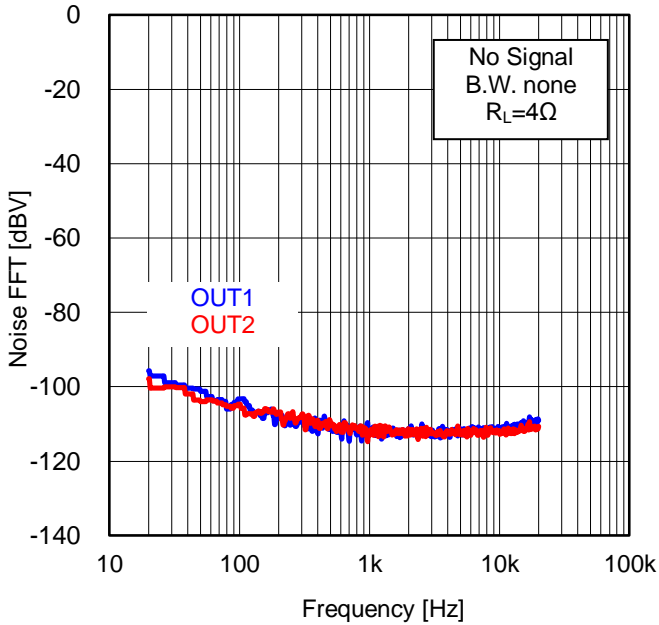


Figure 26. Noise FFT vs Frequency

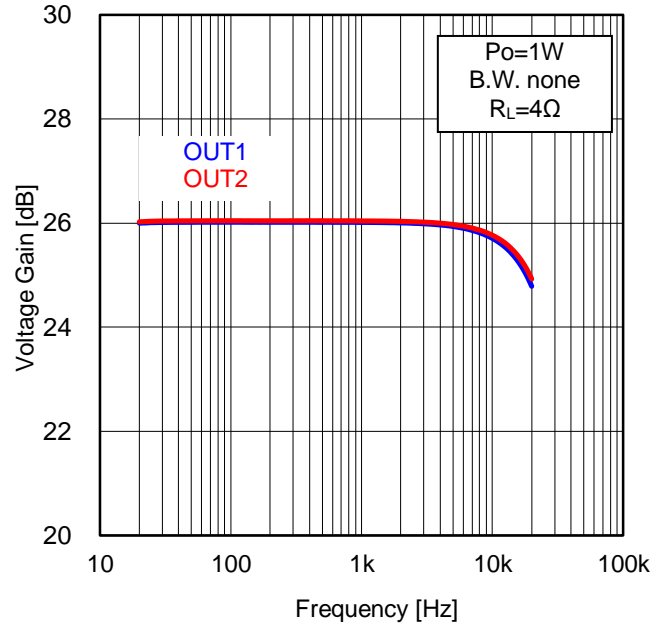


Figure 27. Voltage Gain vs Frequency

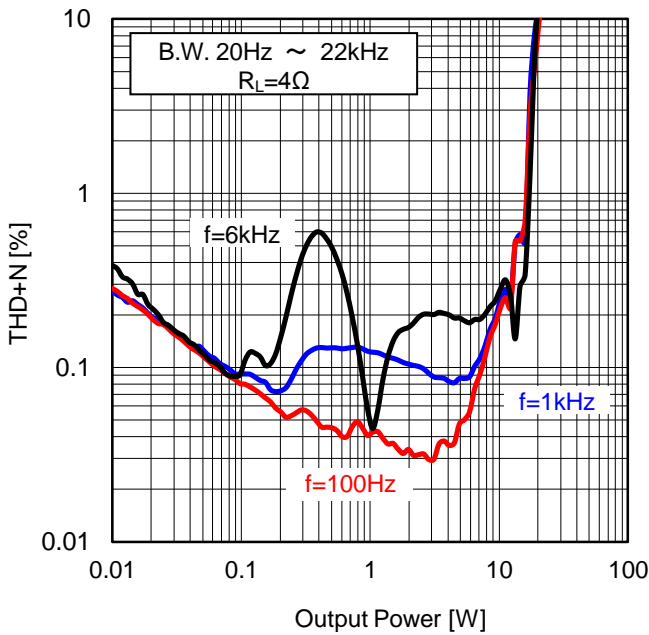


Figure 28. THD+N vs Output Power

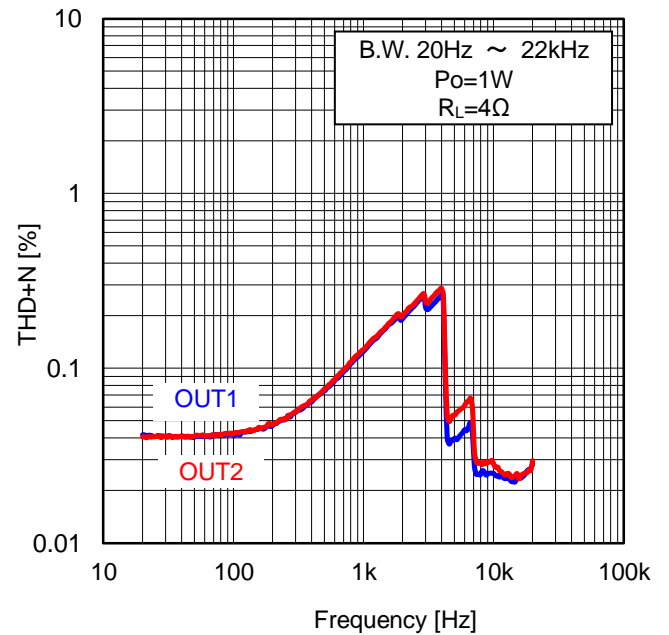


Figure 29. THD+N vs Frequency

(Note 12) 100mmx100mmx1.6mm FR4 4層ガラスエポキシ基板 銅箔厚 35μm/70μm/70μm/35μm アプリケーション評価用基板

特性データ (参考データ) - 続き

特に指定のない限り $T_a=25^\circ\text{C}$, V_{CCP1} , $V_{CCP2}=18\text{V}$, $V_{DVDD}=3.3\text{V}$, $V_{RSTX}=3.3\text{V}$, $V_{MUTEX}=3.3\text{V}$, $f=1\text{kHz}$, $f_s=48\text{kHz}$, $R_L=4\Omega$,
 DSP: Through, ドライバ部ゲイン(G_{DRV})=26dB,
 4層評価基板 (Note 12)にて測定

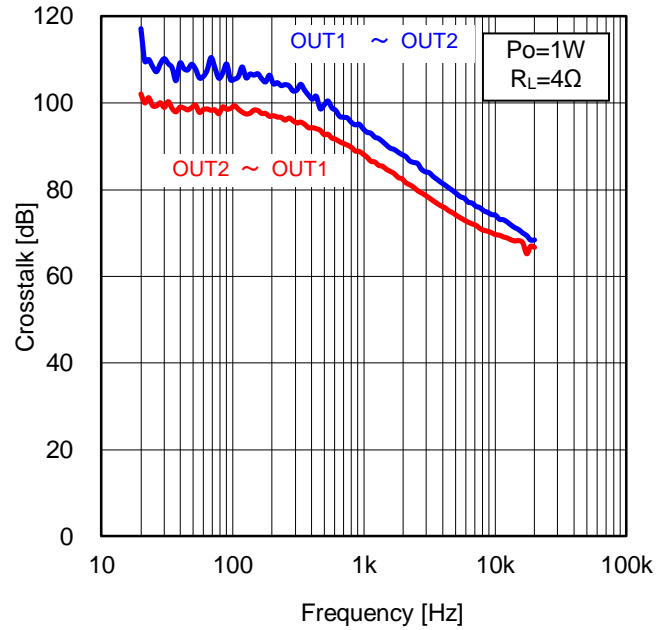


Figure 30. Crosstalk vs Frequency

(Note 12) 100mm×100mm×1.6mm FR4 4層ガラスエポキシ基板 銅箔厚 35μm/70μm/70μm/35μm アプリケーション評価用基板

機能説明

1 DSP 部機能概要

No.	機能	仕様
1	プリスケラ	<ul style="list-style-type: none"> ・ Lch/Rch 同時制御 ・ +48dB~-79dB (0.5dB step)、-infinity dB
2	チャンネルミキサ	<ul style="list-style-type: none"> ・ 音声 DSP に入力されるデジタル信号の左チャンネルと右チャンネルの音のミキシング設定を行います。 ・ L, (L+R)/2, L-R, R, MUTE を選択可能
3	12 Band BQ	<ul style="list-style-type: none"> ・ 12 Band バイクアッド(BQ)タイプのフィルタを内蔵 ・ b0, b1, b2, a1, a2 の5つの係数を直接設定 ・ Lch/Rch 同時制御、独立制御選択可能 ・ ピーキング、ローシェルフ、ハイシェルフ、ローパス、ハイパス、オールパス、ノッチフィルタを設定可能 ・ ソフト遷移機能を内蔵しています。
4	ファイン マスタボリューム	<ul style="list-style-type: none"> ・ Lch/Rch 同時制御、独立制御選択可能 ・ +24dB~-103dB (0.125dB step)、-infinity dB ・ ソフト遷移機能、ソフトミュート機能
5	3 Band DRC	<ul style="list-style-type: none"> ・ 3バンドの DRC があります。 ・ 圧縮レベルの傾きを設定可能です
6	ポストスケラ	<ul style="list-style-type: none"> ・ Lch/Rch 同時制御 ・ +48dB~-79dB (0.5dB step)、-infinity dB
7	ファインポストスケラ	<ul style="list-style-type: none"> ・ Lch/Rch 独立制御 ・ +0.7dB~-0.8dB (0.1dB step)
8	DC カット HPF	<ul style="list-style-type: none"> ・ 1次 HPF ・ カットオフ周波数 fc: 1Hz
9	ハードクリッパ	<ul style="list-style-type: none"> ・ Lch/Rch 同時制御 ・ クリップレベルは 0dB~-22.5dB(-0.1dB step)の範囲で設定可能です。

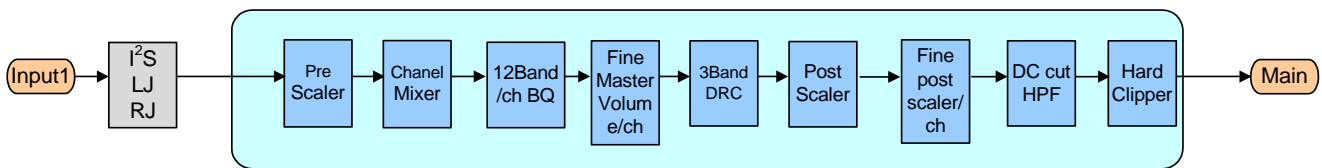


Figure 31. DSP 部ブロック図

DSP の各種機能を設定するレジスタ設定に関する表記について、Value は hex で表記します。また、Value の青背景は初期値を表します。

2 RSTX 端子^(Note 13) ^(Note 14)、MUTEX 端子の設定

RSTX (29pin)	MUTEX (30pin)	DSP 部	スピーカ出力 (OUT1P, OUT1N, OUT2P, OUT2N)
Low	Low	リセット ON	High-Z_low ^(Note 15) (低消費電力)
High	Low	通常動作 (ミュート ON)	High-Z_low ^(Note 15) (ミュート ON) ^(Note 16)
High	High	通常動作 (ミュート OFF)	通常動作 (ミュート OFF)
Low	High	使用禁止	

(Note 13) RSTX を Low にすると内部レジスタは初期化されます。

(Note 14) V_{DD} が 3V 以下になった場合、RSTX 端子を一度 Low(10ms(Min))にしてから再び High にしてください。

そのとき、DSP はパラメータを再設定する必要があります。

(Note 15) 出力トランジスタがすべて OFF かつ出力端子が 10kΩ (Typ) でプルダウンされている状態を指します。

(Note 16) MUTEX 端子を Low にしてから PWM 停止時間経過後に High-Z_low となります。

PWM 停止時間については次ページの PWM サンプリング周波数を参照してください。

機能説明 — 続き

3 PWM サンプリング周波数

スピーカ出力の PWM 周波数、ソフトミュート時間、ソフトスタート時間、PWM 停止時間はデジタルオーディオ信号のサンプリング周波数(fs)に依存しています。これらの時間はアドレス 0x15[1:0]を送信することで変えることができます。

Default=0x3

サンプリング周波数 (fs)	PWM 出力サンプリング周波数	0x15[1:0] 設定値(Value)	ソフトミュート時間	ソフトスタート時間	PWM 停止時間
48kHz	384kHz	0x0	10.7ms	10.7ms	86ms
		0x1	21.4ms	10.7ms	106ms
		0x2	42.7ms	10.7ms	125ms
		0x3	85.4ms	10.7ms	162ms
44.1kHz	352.8kHz	0x0	11.7ms	11.7ms	93ms
		0x1	23.3ms	11.7ms	113ms
		0x2	46.5ms	11.7ms	135ms
		0x3	92.9ms	11.7ms	177ms
32 kHz	256kHz	0x0	16.1ms	16.1ms	116ms
		0x1	32.1ms	16.1ms	148ms
		0x2	64.1ms	16.1ms	178ms
		0x3	128.1ms	16.1ms	241ms

4 ドライバ部ゲイン(G_{DRV})の設定

出力 FET ドライバ部のゲインを変更することが可能です。

スピーカ負荷抵抗値によって最大出力値が変わりますので、ご使用されるスピーカに応じて設定してください。

ドライバ部ゲインを切り替えるときは MUTEX 端子を Low(>PWM 停止時間)にした後に変更してください。

MUTEX 端子が High の状態でドライバ部ゲインの設定を変更すると POP ノイズが発生する可能性があります。

Default=0x03

Select Address	Value	ドライバ部ゲイン G _{DRV} (BTL)
0xF3[7:0]	0x03	26dB(Typ)
0xF3[7:0]	0x0B	32dB(Typ)

0xF3 アドレスは 0x03, 0x0B 以外の設定を禁止します。

0xF3 アドレスは、0xF8=0x01 を設定することで、設定値が確定します。0xF3 アドレスの設定を変更した場合は、0xF8=0x01 も必ず設定してください。なお、0xF8=0x01 設定後は 10ms 以上の Wait 時間が必要です。

5 モノラル出力時の設定

後述の応用回路例 3 に示すモノラル出力で使用する場合は、スタートアップ時(P.62 の”20 電源投入時の起動手順”を参照してください。)に、0xF2 レジスタの設定を行ってください。

0xF2=0x0A を設定することで、OUT2 側のスピーカへの直流電圧印加保護機能を無効にすることができ、応用回路例 3 の使用が可能となります。

Default=0x02

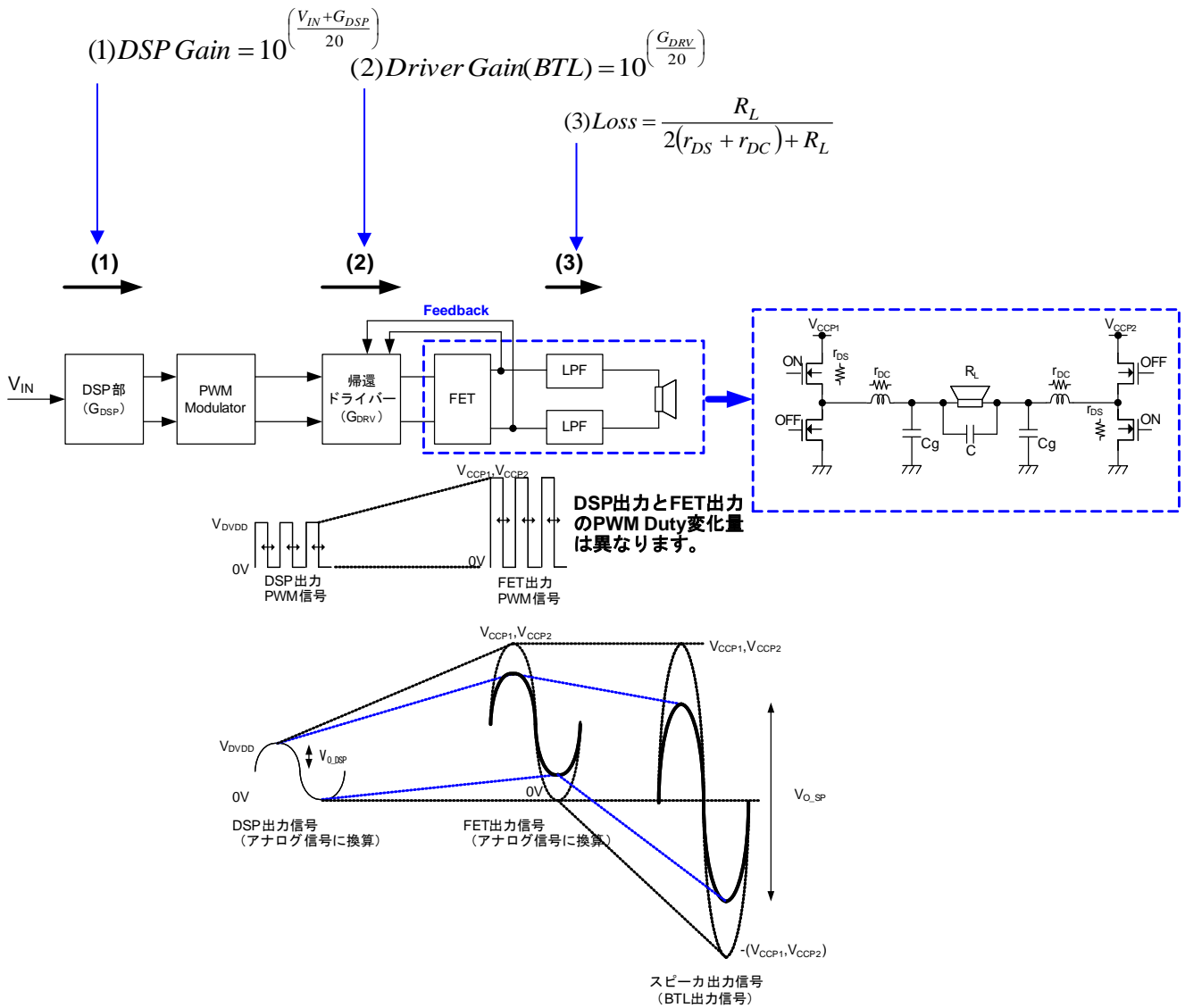
Select Address	Value	PWM 信号出力
0xF2[7:0]	0x02	ステレオ
0xF2[7:0]	0x0A	モノラル

0xF2 アドレスは 0x02, 0x0A 以外の設定を禁止します。

0xF2 アドレスは、0xF8=0x01 を設定することで、設定値が確定します。0xF2 アドレスの設定を変更した場合は、0xF8=0x01 も必ず設定してください。なお、0xF8=0x01 設定後は 10ms 以上の Wait 時間が必要です。

機能説明 — 続き

6 レベルダイアグラム



$$V_{O_DSP} = 10^{\left(\frac{V_{IN} + G_{DSP}}{20}\right)} \quad [\text{Vrms}]$$

$$V_{O_SP} = V_{O_DSP} \times 10^{\left(\frac{G_{DRV}}{20}\right)} \times \frac{R_L}{2(r_{DS} + r_{DC}) + R_L} \quad [\text{Vrms}]$$

$$P_{O(THD=1\%)} = \frac{\left[10^{\left(\frac{V_{IN} + G_{DSP}}{20}\right)} \times 10^{\left(\frac{G_{DRV}}{20}\right)} \times \frac{R_L}{2(r_{DS} + r_{DC}) + R_L} \right]^2}{R_L} \quad [\text{W}]$$

$$P_{O(THD=10\%)} = P_{O(THD=1\%)} \times 1.25 \quad [\text{W}]$$

- V_{IN} : I²S 入力レベル [dBFS]
- G_{DSP} : DSP ゲイン [dB]
- G_{DRV} : ドライバ部ゲイン [dB]
- V_{CCP1}, V_{CCP2} : パワー部電源電圧 [V]
- V_{DVDD} : DSP 部電源電圧 [V]
- R_L : スピーカ負荷抵抗値 [Ω]
- r_{DS} : 出力 FET オン抵抗値 [Ω]
(Typ=0.23Ω)
- r_{DC} : コイルの直流抵抗値 [Ω]

機能説明 — 続き

7 2線バス制御信号仕様

7.1 バス・ライン及び I/O ステージの電氣的仕様及びタイミング

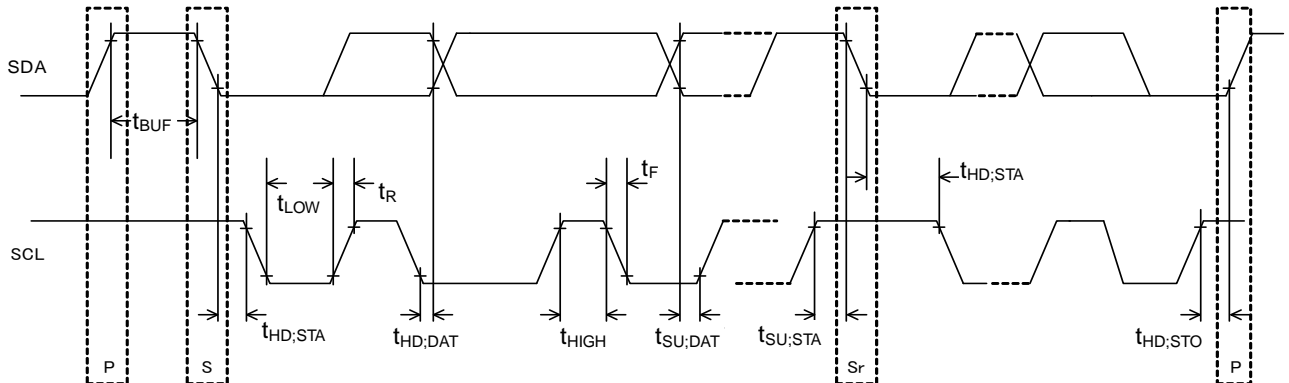


Figure 32

SDA 及び SCL バス・ラインの特性 (Note 18) (特に指定のない限り Ta=25°C, V_{DVDD}=3.3V)

パラメータ	記号	高速モード		単位
		Min	Max	
1 SCL クロック周波数	f _{SCL}	0	400	kHz
2 「停止」条件と「開始」条件の間のバス・フリー・タイム	t _{BUF}	1.3	-	µs
3 ホールド・タイム(再送)「開始」条件。この期間の後、最初のクロック・パルスが生成されます。	t _{HD:STA}	0.6	-	µs
4 SCL クロックの Low 状態期間	t _{LOW}	1.3	-	µs
5 SCL クロックの High 状態期間	t _{HIGH}	0.6	-	µs
6 再送「開始」条件のセットアップ時間	t _{SU:STA}	0.6	-	µs
7 データ・ホールド・タイム	t _{HD:DAT}	0 (Note 17)	-	µs
8 データ・セットアップ時間	t _{SU:DAT}	250	-	ns
9 SDA 及び SCL 信号の立ち上がり時間	t _R	20+0.1Cb	300	ns
10 SDA 及び SCL 信号の立ち下がり時間	t _F	20+0.1Cb	300	ns
11 「停止」条件のセットアップ時間	t _{SU:STO}	0.6	-	µs
12 各バス・ラインの容量性負荷	Cb	-	400	pF

注意: 上記の数値はすべて V_{IHmin} 及び V_{ILmax} レベルに対応した値です。

(Note 17) SoC 等の送信装置は SCL の立ち下がり時の不定領域に対応するために、SDA 信号に対して最低 300ns のホールド時間(SCL 信号の V_{IHmin} と比較して)を提供する必要があります。

(Note 18) SCL 及び SDA 端子は、5V トレラントに対応しておりません。絶対最大定格の入力電圧 1 を参照ください。

7.2 コマンド・インタフェース

ホスト CPU とのコマンド・インタフェースに 2 線バス制御を用います。一部のレジスタを除き、書き込みだけでなく読み出しが可能です。スレーブアドレスの他に 1 バイトのセレクトアドレスを指定して書き込みや読み出しを行います。2 線バス スレーブモードのフォーマットを以下に示します。

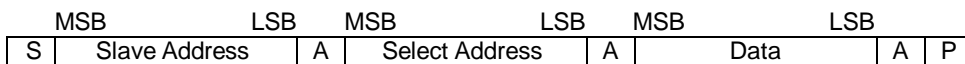


Figure 33

- S: スタート・コンディション
- Slave Address: ADDR 端子で設定されるスレーブアドレス(7bit)の後にリード・モード(High)かライト・モード(Low)の bit を付けて、計 8 ビットのデータを送る。(MSB ファースト)
- A: アクノリッジ 送受信されているデータにはバイトごとにアクノリッジ・ビットが付け加わる。データの送受信が正しく行われているときは、Low が送受信されます。High の場合は、アクノリッジがなかったこととなります。
- Select Address: 1 バイトのセレクトアドレスを用います。(MSB ファースト)
- Data: データ・バイト、送受信するデータ(MSB ファースト)
- P: ストップ・コンディション

7.2 コマンド・インタフェース - 続き

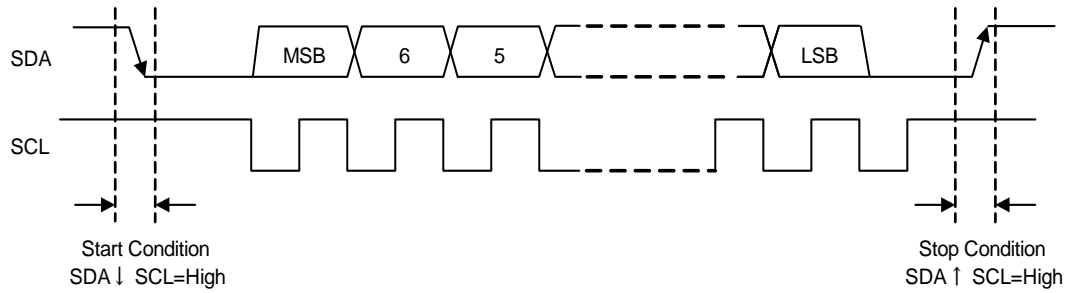


Figure 34

7.3 スレーブアドレス

- ・ ADDR 端子が Low のとき

MSB							LSB
A6	A5	A4	A3	A2	A1	A0	R/W
1	0	0	0	0	0	0	1/0

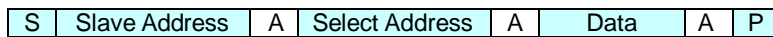
- ・ ADDR 端子が High のとき

MSB							LSB
A6	A5	A4	A3	A2	A1	A0	R/W
1	0	0	0	0	0	1	1/0

Figure 35

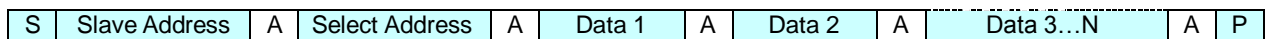
7.4 データの書き込み

- ・ 基本的なフォーマット



: マスタからスレーブ : スレーブからマスタ

- ・ オートインクリメントフォーマット

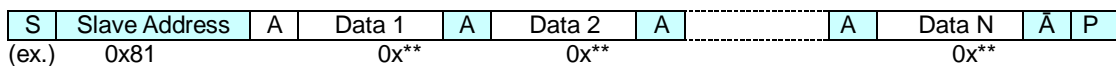
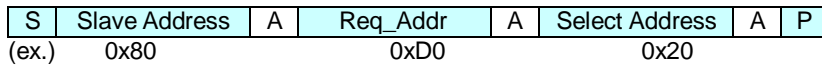


: マスタからスレーブ : スレーブからマスタ

Figure 36

7.5 データ読み出し

読み出し時は、まず 0xD0 アドレスのレジスタに読み出し対象アドレス(例では 0x20)を書き込みます。次のストリームでは、スレーブアドレスの後に、データが読み出されます。受信を終了するときは、アクリッジを返さないでください。



: マスタからスレーブ : スレーブからマスタ A: アクリッジあり Ā: アクリッジなし

Figure 37

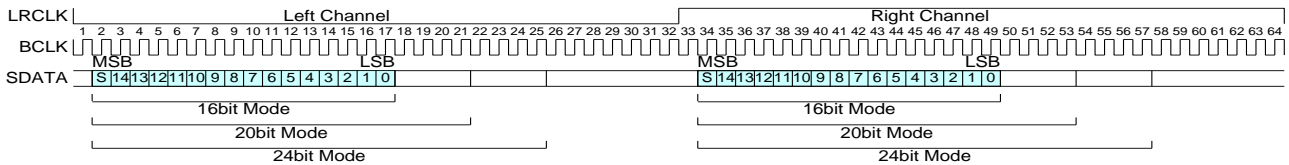
機能説明 — 続き

8 デジタルオーディオ信号のフォーマット

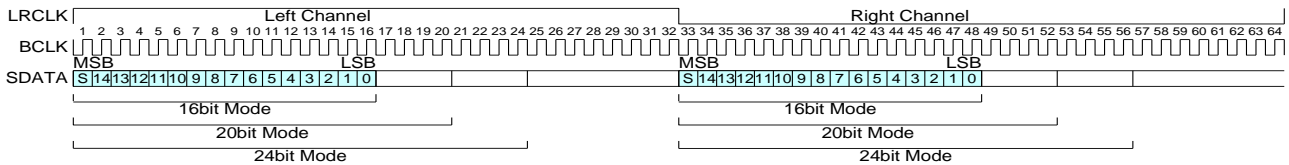
- ・ LRCLK: L/R クロック入力信号です。
サンプリング周波数(fs)と同一周波数のクロック(fs)で、32kHz/44.1kHz/48kHz に対応しています。
この区間に1サンプル分の左チャンネルと右チャンネルのデータを入力します。
- ・ BCLK: ビットクロック入力信号です。
サンプリング周波数(fs)の64倍の周波数(64fs)もしくは48倍の周波数(48fs)もしくは32倍の周波数(32fs)で、データの1ビットごとのラッチに使われます。ただし、32fsを選択したときは、データ長が16bit固定になります。
- ・ SDATA: データ入力信号です。
振幅データです。入力デジタルオーディオ信号の分解能によって、データ長が異なります。
16bit/20bit/24bit に対応しています。
入力フォーマットは、I²S方式、左詰め方式、右詰め方式があります。
下図に各転送方式のタイミングチャートを示します。
- ・ SDATAO: DSP 処理後のオーディオデータ
出力は、入力された LRCLK、BCLK に同期します。
出力フォーマットは I²S 方式のみに対応しています。

BCLK クロック 64fs

I²S 64fs Format



Left-Justified 64fs Format



Right-Justified 64fs Format

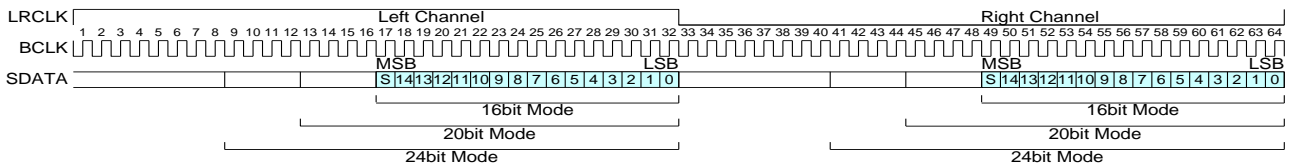
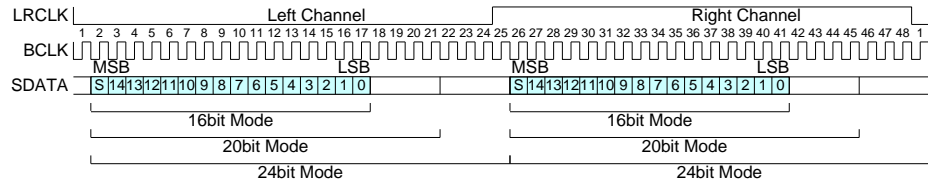


Figure 38

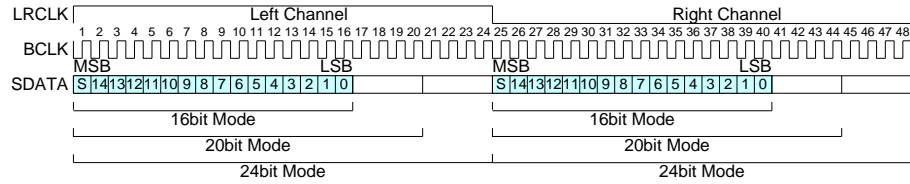
8 デジタルオーディオ信号のフォーマット — 続き

BCLK クロック 48fs

I²S 48fs Format



Left-Justified 48fs Format



Right-Justified 48fs Format

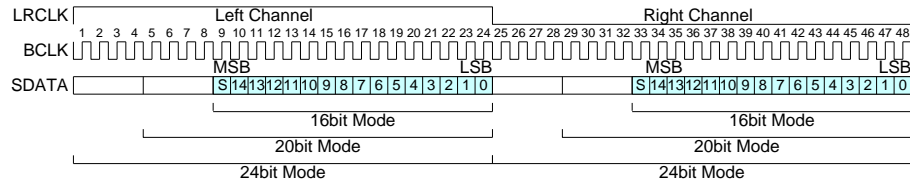
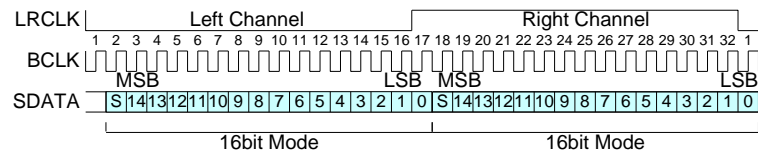


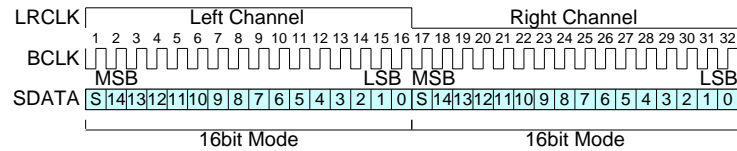
Figure 39

BCLK クロック 32fs

I²S 32fs Format



Left-Justified 32fs Format



Right-Justified 32fs Format

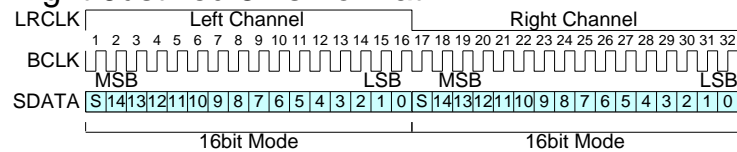


Figure 40

機能説明 — 続き

9 デジタルオーディオ信号のフォーマット設定

デジタルオーディオ信号のフォーマット設定は入力されるデジタルオーディオ信号に合わせて BCLK クロックの fs、データ長、データフォーマットの種類をコマンドにより選択してください。
SDATAO 端子から出力されるデータ長は入力データ長と別に設定可能です。
出力フォーマットは I²S 方式のみに対応しています。

BCLK クロック

Default=0x0

Select Address	Value	動作説明
0x03[5:4]	0x0	64fs
	0x1	48fs
	0x2	32fs
	0x3	使用禁止

データフォーマット

Default=0x0

Select Address	Value	動作説明
0x03[3:2]	0x0	I ² S format
	0x1	Left-justified format
	0x2	Right-justified format
	0x3	使用禁止

入力データ長

Default=0x2

Select Address	Value	動作説明
0x03[1:0]	0x0	16 bit
	0x1	20 bit
	0x2	24 bit
	0x3	使用禁止

SDATAO 端子 出力データ長

Default=0x2

Select Address	Value	動作説明
0x78[1:0]	0x0	16 bit
	0x1	20 bit
	0x2	24 bit
	0x3	使用禁止

機能説明 — 続き

10 オーディオインターフェース信号仕様

BCLK, LRCLK, SDATA の電氣的仕様及びタイミング

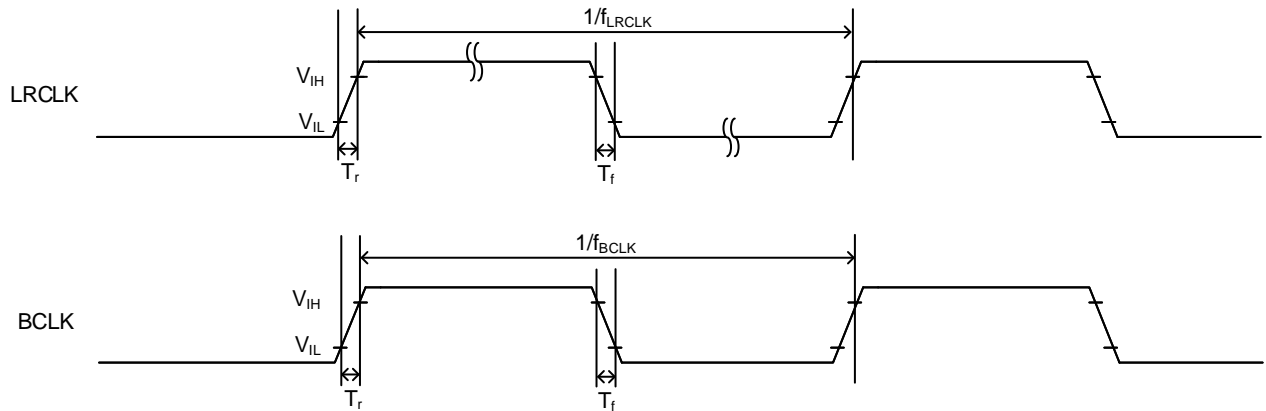
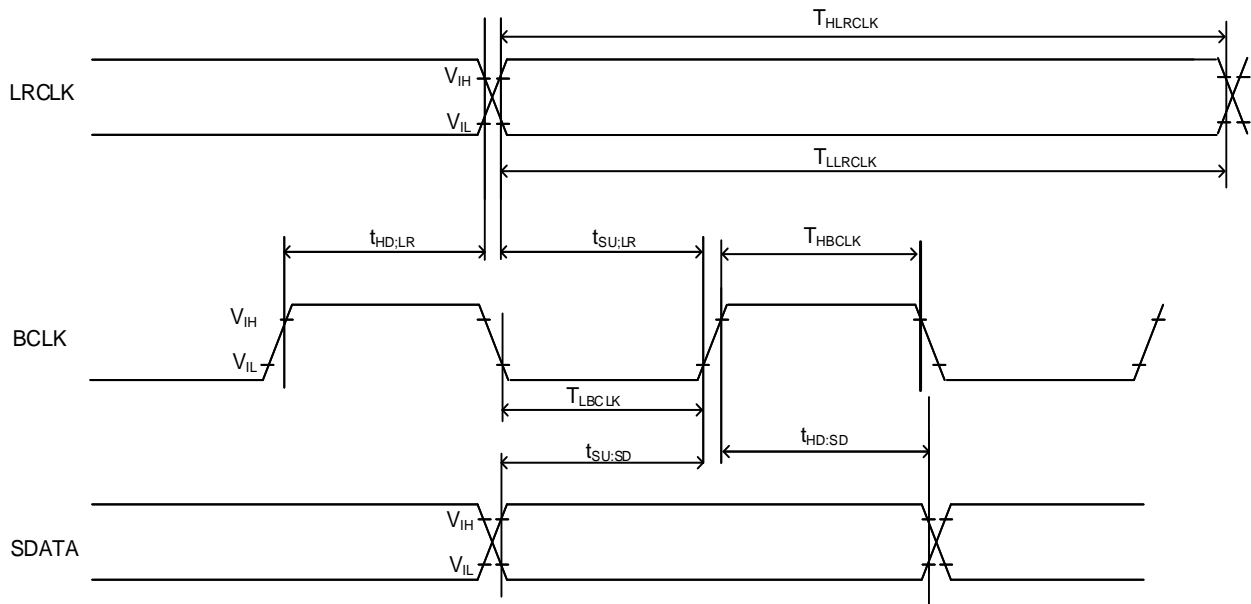


Figure 41. クロックタイミング



LRCLK DUTY = $f_{LRCLK} \times (T_{HLRCLK} \text{ or } T_{LLRCLK})$
 BCLK DUTY = $f_{BCLK} \times (T_{HBCLK} \text{ or } T_{LBCLK})$

Figure 42. オーディオインターフェースタイミング

No.	パラメータ	記号	規格値		単位
			Min	Max	
1	LRCLK 入力周波数	f_{LRCLK}	32 -10%	48 +10%	kHz
2	BCLK 入力周波数	f_{BCLK}	2.048 -10%	3.072 +10%	MHz
3	LRCLK のセットアップ時間 ^(Note 19)	$t_{SU:LR}$	20	-	ns
4	LRCLK のホールド時間 ^(Note 19)	$t_{HD:LR}$	20	-	ns
5	SDATA のセットアップ時間	$t_{SU:SD}$	20	-	ns
6	SDATA のホールド時間	$t_{HD:SD}$	20	-	ns
7	LRCLK の DUTY 比	d_{LRCLK}	40	60	%
8	BCLK の DUTY 比	d_{BCLK}	40	60	%
9	LRCLK, BCLK の立ち上がり、立ち下がり時間	T_r, T_f	-	12	ns

(Note 19) この規定は LRCLK と BCLK の立ち上がりエッジが揃うことを防ぐための規定です。

機能説明 — 続き

11 電源立ち上げシーケンス

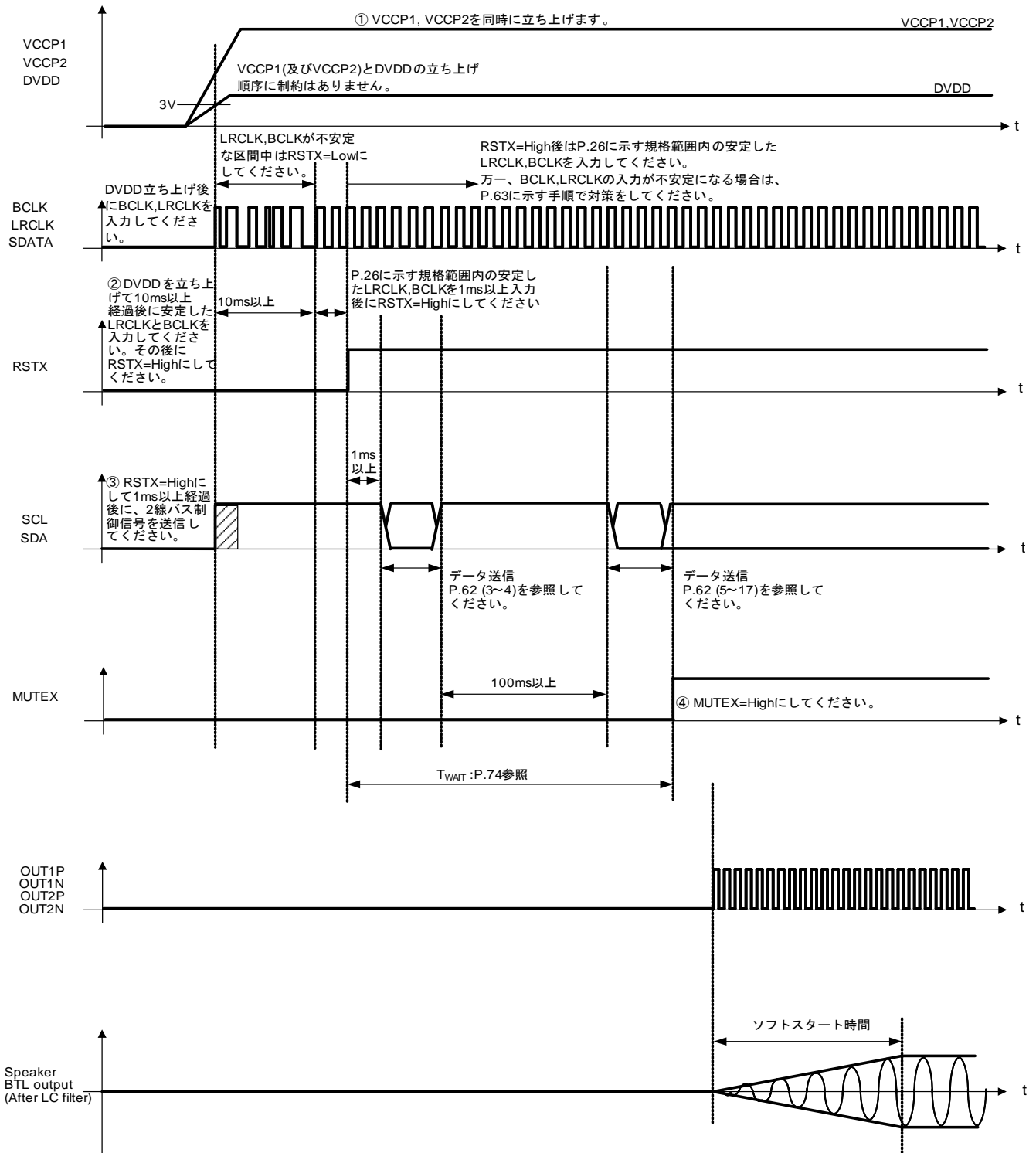


Figure 43. 電源立ち上げシーケンス

注意 1: P.62 の"20 電源投入時の起動手順"を必ず参照してください。
 注意 2: DVDD 立ち上げ時は必ず RSTX 端子に Low を入力してください。

機能説明 — 続き

12 電源立ち下げシーケンス

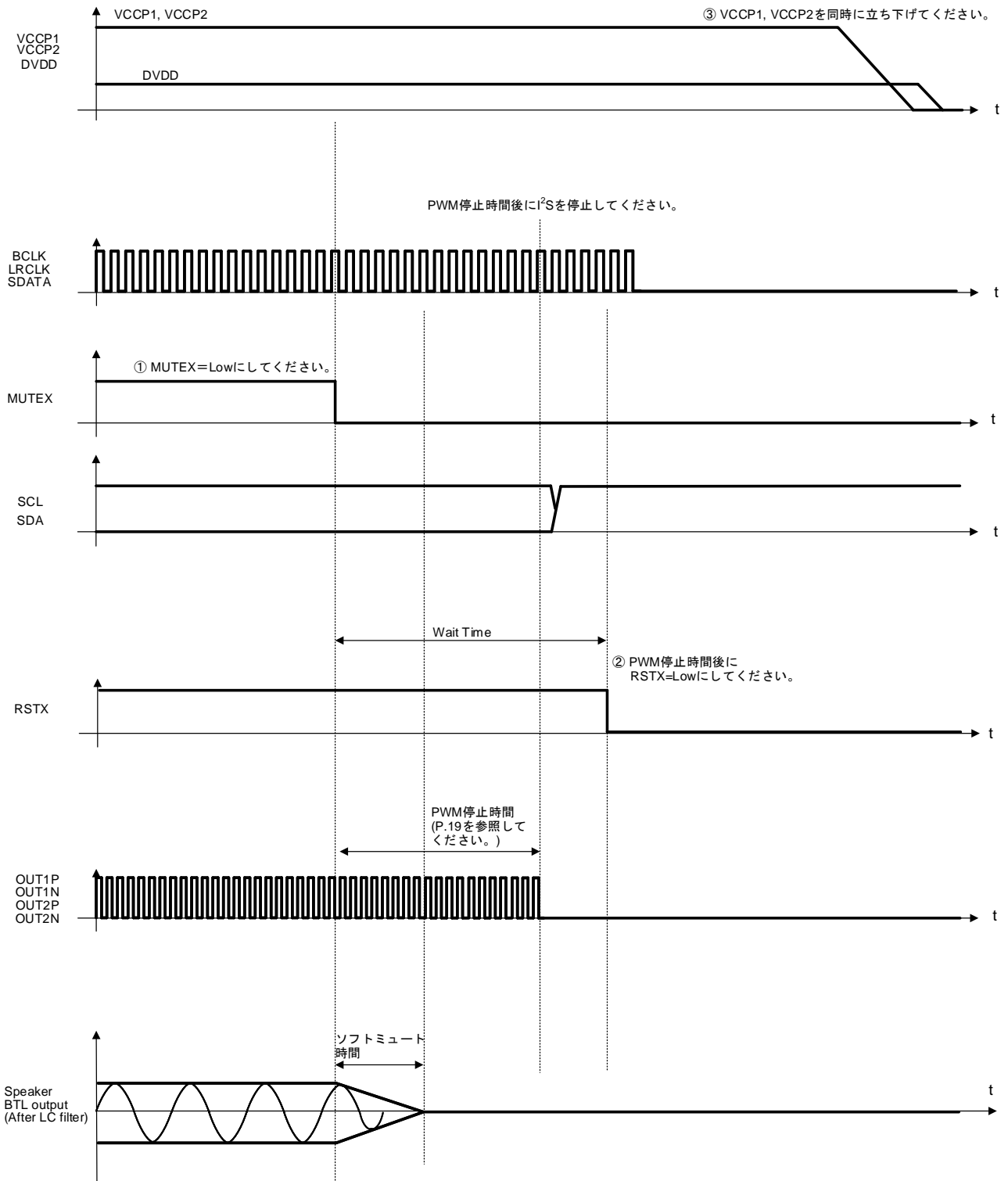


Figure 44. 電源立ち下げシーケンス

注意: 電源を立ち下げる場合、RSTX を High→Low とする前に MUTEX を High→Low とし、Wait Time>PWM 停止時間を確保してください。

機能説明 — 続き

13 保護機能

ERRORX 端子(Pin 13)について

出力ショート保護機能、スピーカへの直流電圧印加保護機能、過熱保護機能の動作時には ERRORX 端子を Low レベルとして異常を知らせます。これは本製品の異常状態を示す機能です。

減電圧保護機能及びクロック停止保護機能で異常検出する際は、ERRORX 端子は Low になりません。

保護機能	検出・解除条件		スピーカ PWM 出力端子	ERRORX 出力端子 (Note 20)
出力ショート保護	検出条件	検出電流=10A(Typ)/5A(Min, Tj=85°C) /3.9A(Min, Tj=150°C)	High-Z_low (ラッチ) ^(Note 21)	Low (ラッチ)
スピーカへの直流電圧印加保護	検出条件	PWM 出力 Duty 比が ⁴ 42ms(Typ, fs=48kHz 時) 以上 0%または 100%	High-Z_low (ラッチ) ^(Note 21)	Low (ラッチ)
過熱保護	検出条件	チップ温度が 150°C(Min)以上	High-Z_low	Low
	解除条件	チップ温度が 120°C(Min)以下	Normal 通常動作	
減電圧保護	検出条件	電源電圧が 7.0V(Typ)/6.0V(Min)/8.0V(Max)以下	High-Z_low	High
	解除条件	電源電圧が 7.5V(Typ)/6.5V(Min)/8.5V(Max)以上	Normal 通常動作	
クロック停止保護	検出条件	BCLK が一定時間以上停止 LRCLK が一定時間以上停止 BCLK が一定周波数以下 BCLK が一定周波数以上 のいずれかの条件を満たした場合に検出 設定値は P.58~P.61 を参照してください	High-Z_low	High
	解除条件	LRCLK が一定時間以上停止していない かつ BCLK が一定周波数以内の状態を最大 60ms 以上継続 設定値は P.58~P.61 を参照してください	Normal 通常動作	

(Note 20) ERRORX 出力端子は、Nch オープンドレイン出力です。ERRORX 出力端子は外付け抵抗でプルアップされている状態とします。

(Note 21) ラッチ状態になると、異常状態が解除されても自動復帰しません。

復帰させるには、MUTEX 端子を一旦 Low (> PWM 停止時間)にした後、再度 High に戻します。

13 保護機能 — 続き

13.1 出力ショート保護(天絡保護)

本 LSI は、異常状態により PWM 信号出力端子が電源へショート(天絡)した場合に PWM 信号出力をミュートする出力ショート保護回路を備えています。

検出条件…MUTEX=High において、PWM 信号出力端子を流れる電流が $0.3\mu\text{s(Typ)}$ の間 10A(Typ) 以上となった場合、保護回路が動作します。保護回路が動作すると、PWM 信号出力端子は瞬時に High-Z_low 状態となり、LSI はラッチ停止します。

解除方法…MUTEX 端子を一旦 Low(>PWM 停止時間 [P.19 参照])にした後、再度 High に戻します

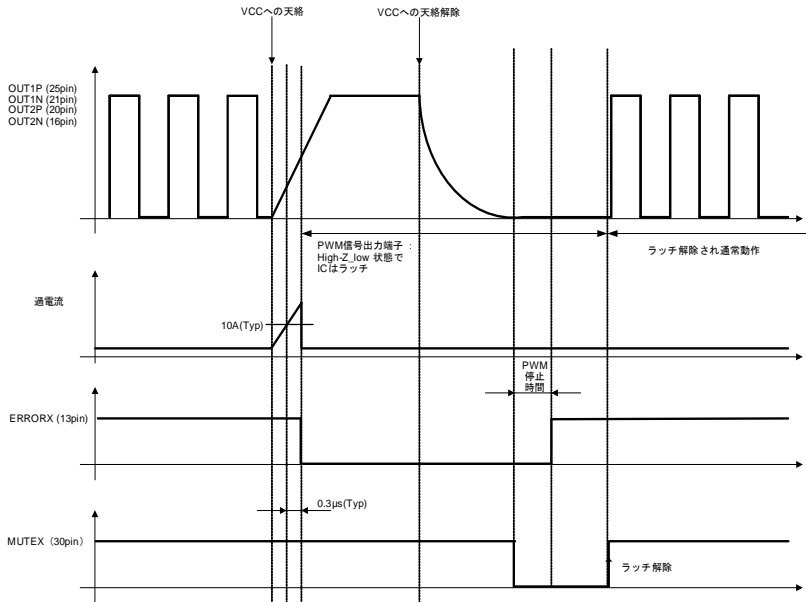


Figure 45. 出力ショート保護(天絡保護)シーケンス

13.2 出力ショート保護(地絡保護)

本 LSI は、異常状態により PWM 信号出力端子が GND へショート(地絡)した場合に PWM 信号出力をミュートする出力ショート保護回路を備えています。

検出条件…MUTEX=High において、PWM 信号出力端子を流れる電流が $0.4\mu\text{s(Typ)}$ の間 10A(Typ) 以上となった場合、保護回路が動作します。保護回路が動作すると、PWM 信号出力端子は瞬時に High-Z_low 状態となり、LSI はラッチ停止します。

解除方法…MUTEX 端子を一旦 Low(>PWM 停止時間 [P.19 参照])にした後、再度 High に戻します。

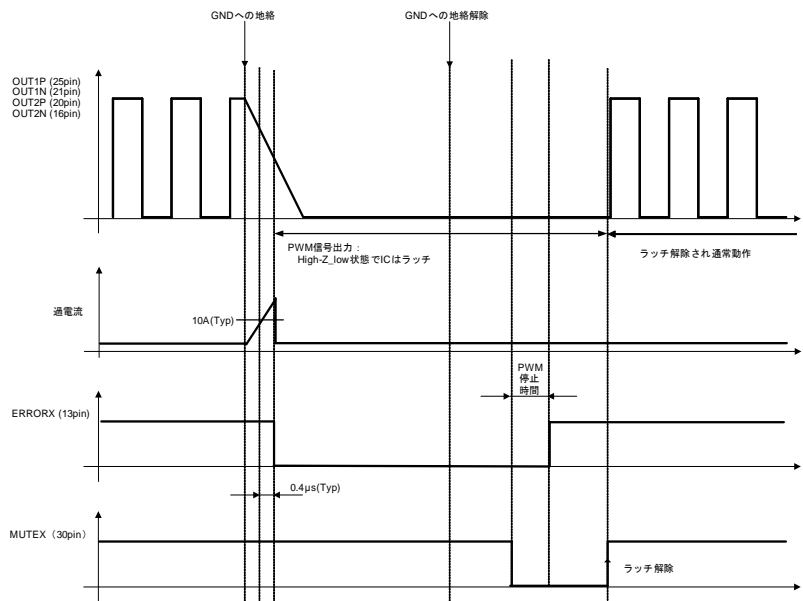


Figure 46. 出力ショート保護(地絡保護)シーケンス

13 保護機能 — 続き

13.3 スピーカへの直流電圧印加保護

本 LSI は、異常状態によりスピーカへの直流電圧が印加された場合に PWM 信号出力端子をミュートし、スピーカ破壊を防止する直流電圧印加保護回路を備えています。

検出条件…MUTEX=High において、42ms($f_s=48\text{kHz}$)以上の間、PWM 信号出力が Duty 比=0%もしくは 100%で固定されると保護回路が動作します。保護回路が動作すると、PWM 信号出力端子は瞬時に High-Z_low 状態となり、LSI はラッチ停止します。

解除方法…MUTEX 端子を一旦 Low(>PWM 停止時間 [P.19 参照])にした後、再度 High に戻します。

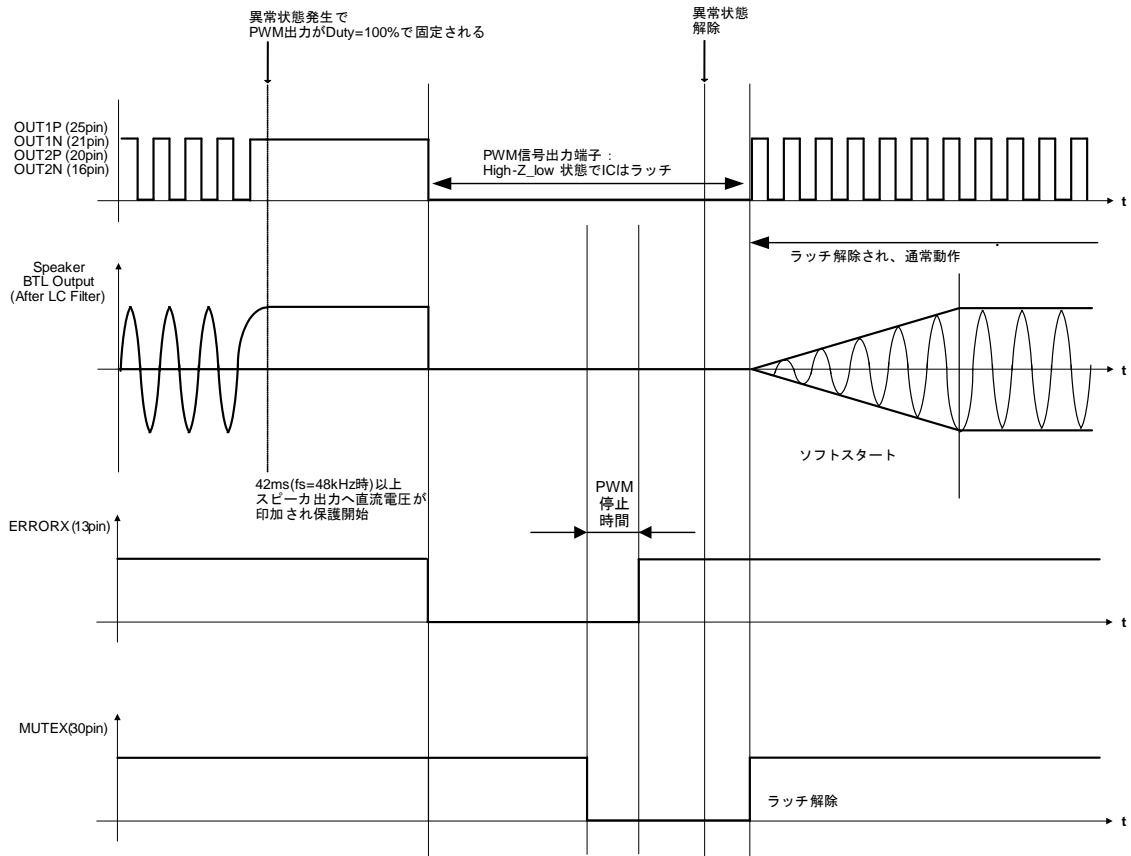


Figure 47. スピーカへの直流電圧印加保護シーケンス

13 保護機能 — 続き

13.4 過熱保護

本 LSI は、チップ温度が $T_j=150^{\circ}\text{C}$ (Min)を超えた異常状態下での熱暴走を防ぐ過熱保護回路を備えています。

検出条件…MUTEX=High において、チップ温度が 150°C (Min)以上で保護回路が動作します。
保護回路が動作すると、PWM信号出力端子は瞬時にHigh-Z_low状態となります。

解除条件…MUTEX=High において、チップ温度が 120°C (Min)以下で解除されます。
解除されると、PWM 信号出力端子は信号出力状態に戻ります。(自動復帰)

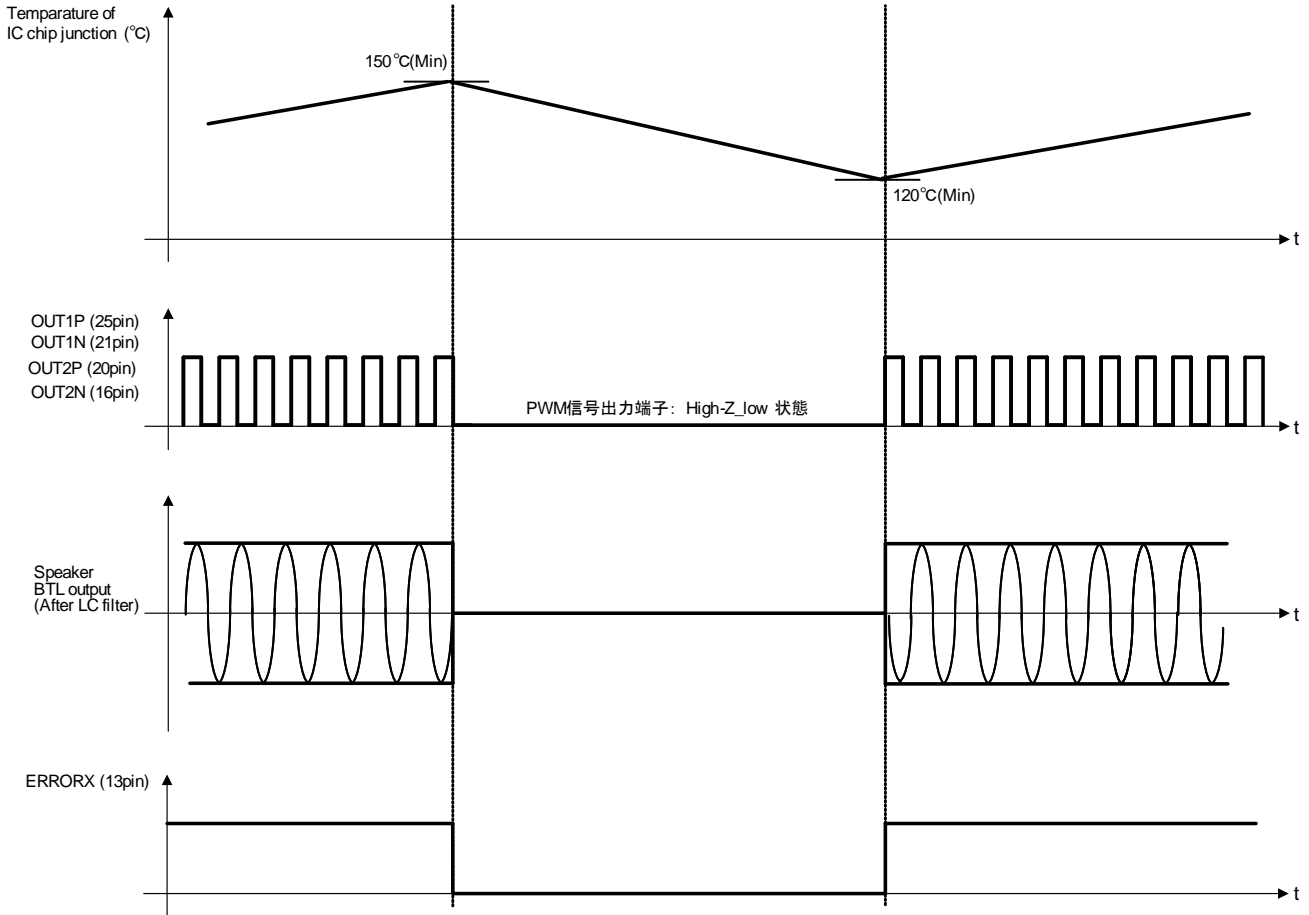


Figure 48. 過熱保護シーケンス

13 保護機能 — 続き

13.5 減電圧保護

本LSIは、電源電圧が異常に低下した場合にPWM信号出力をミュートする減電圧保護回路を備えています。

検出条件…MUTEX=Highにおいて、電源電圧が7.0V(Typ)以下になると保護回路が動作します。
 保護回路が動作すると、PWM信号出力端子は瞬時にHigh-Z_low状態となります。

解除条件…MUTEX=Highにおいて、電源電圧が7.5V(Typ)以上に戻ると解除されます。
 解除されると、PWM信号出力端子は信号出力状態に戻ります。(自動復帰)

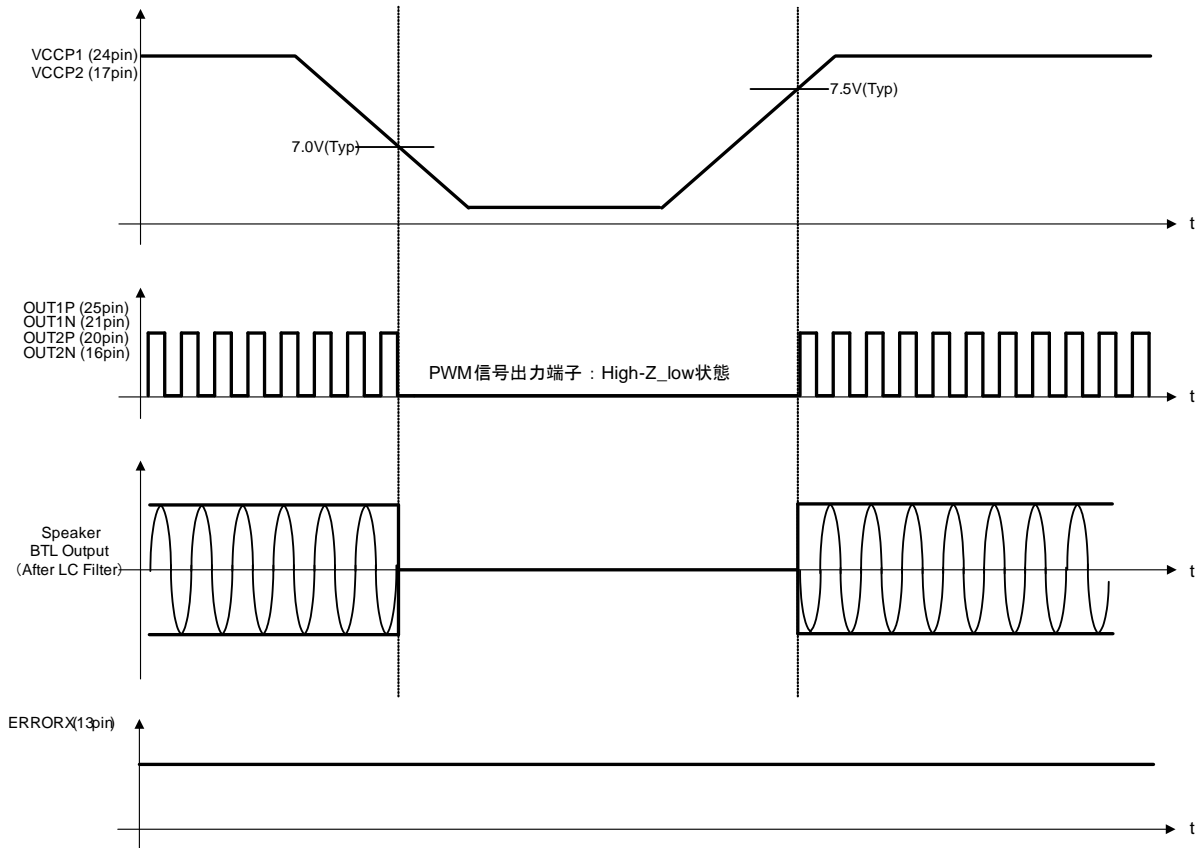


Figure 49. 減電圧保護シーケンス

13 保護機能 — 続き

13.6 クロック停止保護

本LSIは、デジタルオーディオ信号のBCLK, LRCLKの入力周波数が一定時間以上停止、一定周波数以下または一定周波数以上となった場合にPWM信号出力をミュートするクロック保護回路を備えています。

検出条件…BCLKの入力周波数が一定時間以上停止、一定周波数以下または一定周波数以上

または、LRCLKの入力周波数が一定時間以上停止すると保護回路が動作します。

保護回路が動作すると、PWM信号出力端子は瞬時にHigh-Z_low状態となります。

解除条件…BCLK、LRCLKが60ms(Max)以上継続して正常に入力されると解除されます。

解除されてから60ms(Max)後に、PWM信号出力端子はソフトスタートを経て、信号出力状態に戻ります。
(自動復帰)

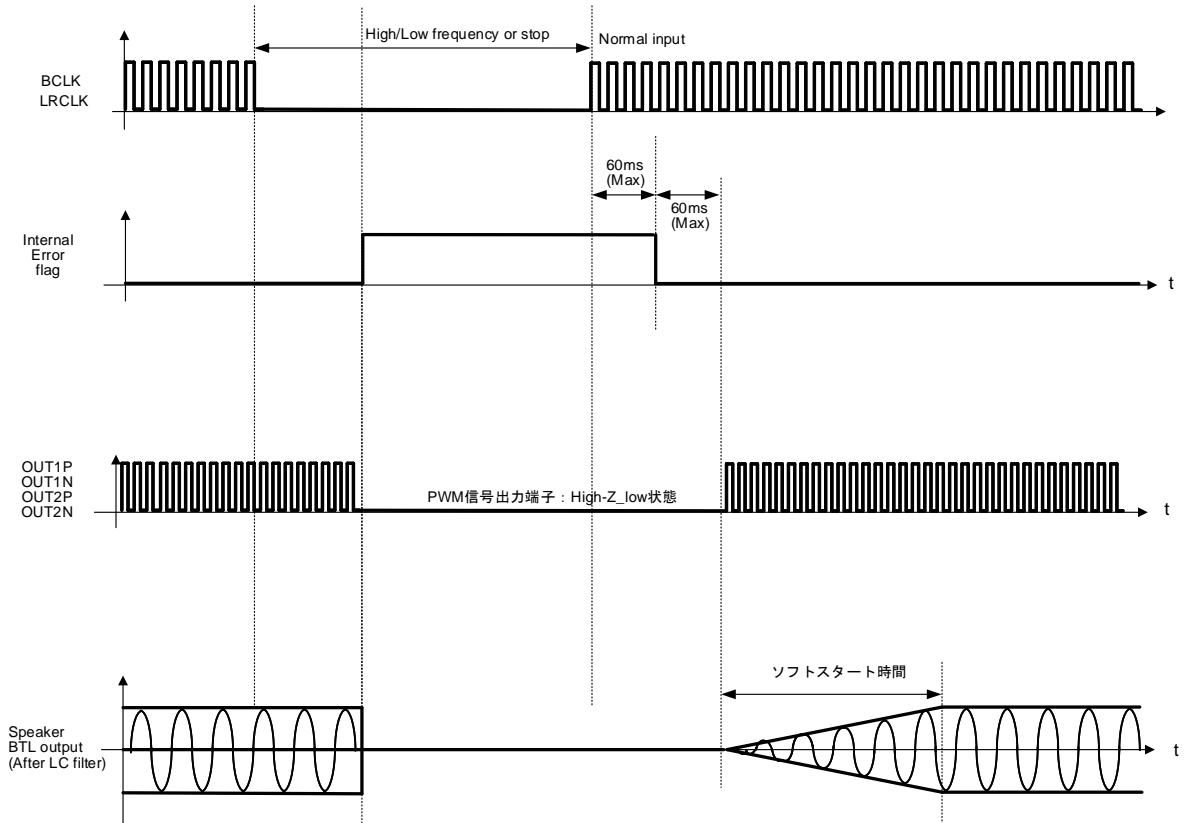


Figure 50. クロック停止保護シーケンス

機能説明 — 続き

14 デジタルサウンド処理(DSP)

BM28723AMUV のデジタルサウンド処理(DSP)部は、TV、ミニ/マイクロコンポに最適な専用ハードウェアで構成されています。BM28723AMUV では、この専用 DSP を用いて次の処理を行います。

Pre-scaler, Chanel mixer, 12 Band BQ, Fine Master Volume, 3 Band DRC, Fine Post-scaler, DC cut HPF, Hard Clipper

DSP 部の概要とシグナルフロー

データ幅:	32 bit (DATA RAM)
マシンサイクル:	20.3ns (1024fs, fs=48kHz)
乗算器:	32x24 → 56 bit
加算器:	56+56 → 56 bit
データ RAM:	512x32 bit
係数 RAM:	512x24 bit
サンプリング周波数:	fs=32kHz, 44.1kHz, 48kHz

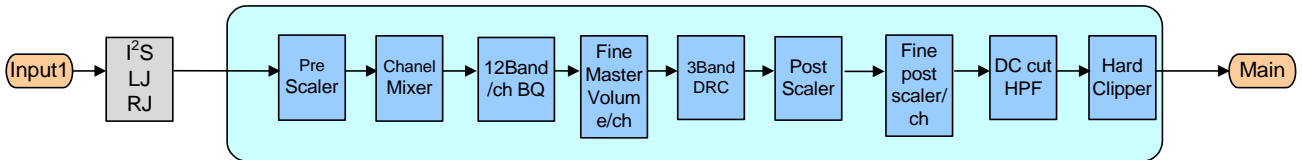
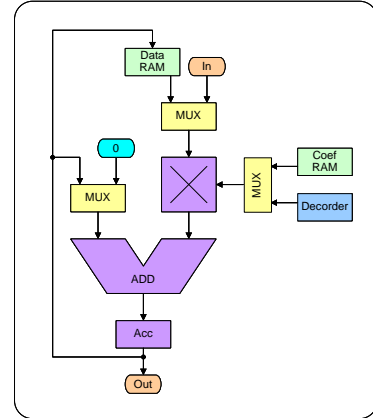


Figure 51

DSP には、16bit から 24bit のデジタル信号が入力されますが、MSB 側にオーバーフローマージンとして+8bit(+48dB)拡張します。

この範囲を超える処理を行った場合、DSP 内でクリップ処理を行います。

なお、デジタルフィルタとして一般によく使われている 2 次 IIR 型(BQ)フィルタの場合、内部の乗算器や加算器の出力がオーバーフローマージンを多く消費しますので、注意が必要です。

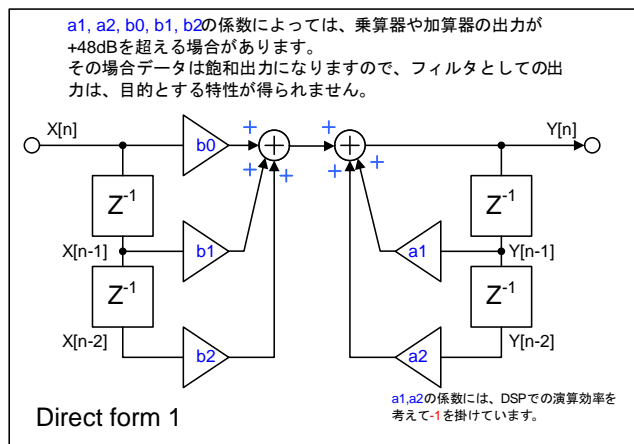


Figure 52

14 デジタルサウンド処理(DSP) – 続き

オーディオデータと係数データの取り扱いは各ブロックで次のようになります。

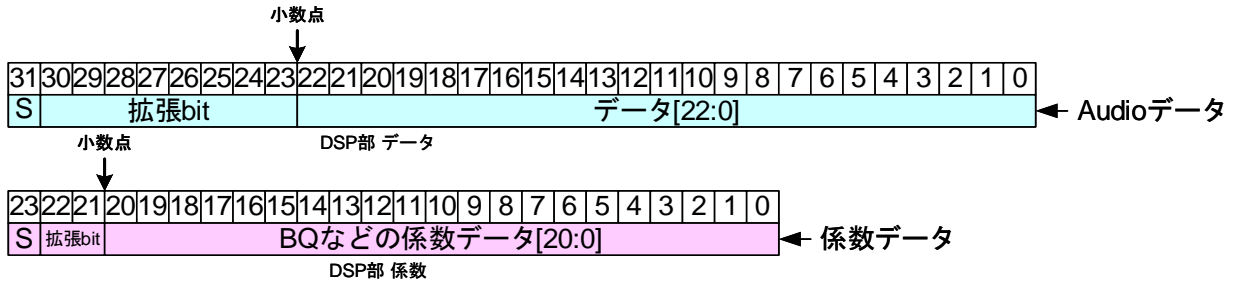


Figure 53

14.1 バイパス

DSP の各機能をコマンドによりバイパスします。各機能の設定値を残したままバイパスすることができますので、サウンド効果の ON/OFF の確認が簡単に行えます。

バイパスは、12Band BQ, 3Band DRC, ハードクリッパを除く DSP 全体の中から選択することが可能です。

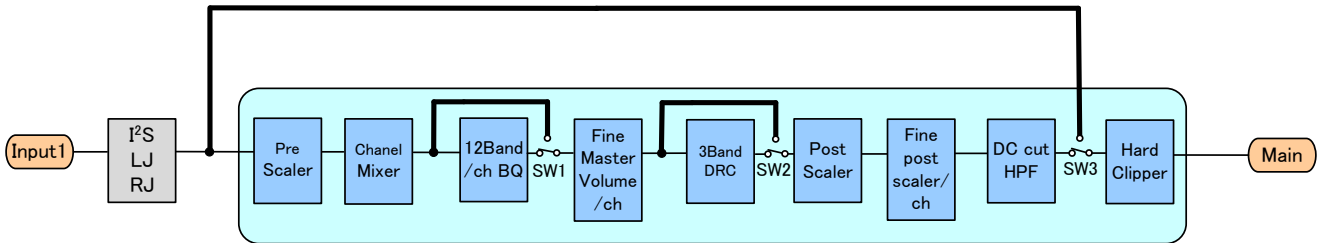


Figure 54

Default=0x0

Select Address	bit	動作説明
0x02[2:0]	2	12Band BQ のバイパス(SW1) 0: 通常、1: バイパス
	1	3Band DRC のバイパス(SW2) 0: 通常、1: バイパス
	0	DSP のバイパス(SW3) 0: 通常、1: バイパス (ハードクリッパを除く)

14 デジタルサウンド処理(DSP) - 続き

14.2 プリスケーラ

DSP に入力されるデジタル信号は、レベルがフルスケール入力の場合があり、サラウンドやイコライザ処理を行うとオーバーフローするため、プリスケーラで入力ゲインを調整します。

調整範囲は、+48dB から-79dB まで 0.5dB ステップで設定できます。(Lch/Rch 同時制御)

プリスケーラには、ソフト遷移機能はありません。

Default=0x60

Select Address	動作説明																				
0x16[7:0]	<table border="1"> <thead> <tr> <th>Value</th> <th>ゲイン</th> </tr> </thead> <tbody> <tr> <td>0x00</td> <td>+48dB</td> </tr> <tr> <td>0x01</td> <td>+47.5dB</td> </tr> <tr> <td>⋮</td> <td>⋮</td> </tr> <tr> <td>0x60</td> <td>0dB</td> </tr> <tr> <td>0x61</td> <td>-0.5dB</td> </tr> <tr> <td>0x62</td> <td>-1dB</td> </tr> <tr> <td>⋮</td> <td>⋮</td> </tr> <tr> <td>0xFE</td> <td>-79dB</td> </tr> <tr> <td>0xFF</td> <td>-∞</td> </tr> </tbody> </table>	Value	ゲイン	0x00	+48dB	0x01	+47.5dB	⋮	⋮	0x60	0dB	0x61	-0.5dB	0x62	-1dB	⋮	⋮	0xFE	-79dB	0xFF	-∞
Value	ゲイン																				
0x00	+48dB																				
0x01	+47.5dB																				
⋮	⋮																				
0x60	0dB																				
0x61	-0.5dB																				
0x62	-1dB																				
⋮	⋮																				
0xFE	-79dB																				
0xFF	-∞																				

14.3 位相反転機能付きチャンネル設定 Channel Mixer 1

DSP に入力されたデジタル信号の左チャンネルと右チャンネルの音のミキシング設定を行います。

ここでステレオ信号のモノラル化を行います。また各チャンネルの位相反転、ミュートが設定できます。

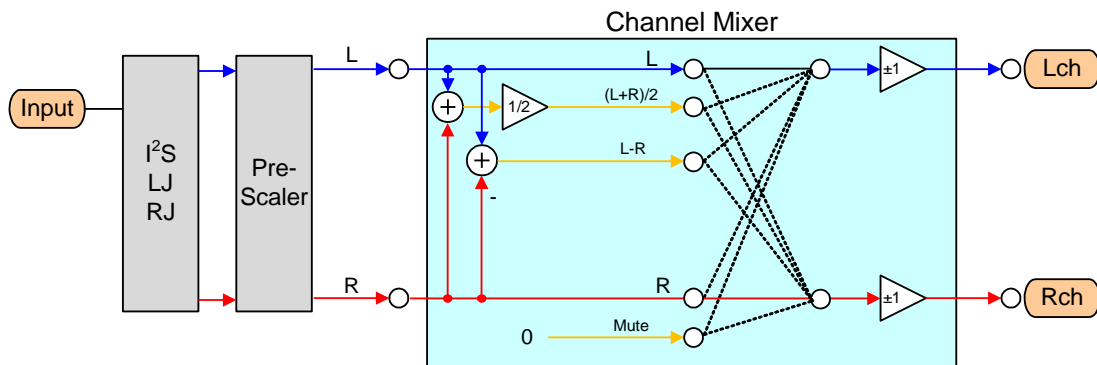


Figure 55

14.3 位相反転機能付きチャネル設定 Channel Mixer 1 - 続き

DSP の Input; Lch に入力されたデータを反転する。

Default=0x0

Select Address	Value	動作説明
0x17[7]	0x0	反転させない
	0x1	反転させる

DSP の Input; Lch に入力されたデータをミックスする。

Default=0x1

Select Address	Value	動作説明
0x17[6:4]	0x0	ミュート
	0x1	Lch のデータを入力
	0x2	Rch のデータを入力
	0x3	(Lch+Rch)/2 のデータを入力
	0x4	Lch-Rch のデータを入力

DSP の Input; Rch に入力されたデータを反転する。

Default=0x0

Select Address	Value	動作説明
0x17[3]	0x0	反転させない
	0x1	反転させる

DSP の Input; Rch に入力されたデータをミックスする。

Default=0x2

Select Address	Value	動作説明
0x17[2:0]	0x0	ミュート
	0x1	Lch のデータを入力
	0x2	Rch のデータを入力
	0x3	(Lch+Rch)/2 のデータを入力
	0x4	Lch-Rch のデータを入力

14 デジタルサウンド処理(DSP) - 続き

14.4 バイクアッドフィルタ

本 LSI では 12 Band BQ, 3 Band DRC ブロックのクロスオーバーフィルタ及びソフト遷移用のバイクアッドフィルタ(以下、BQ)を内蔵しています。

形状はピーキングフィルタ、ローシェルフフィルタ、ハイシェルフフィルタ、ローパスフィルタ、ハイパスフィルタ、オールパスフィルタ、ノッチフィルタが使用できます。

設定は、デジタルフィルタの係数(b0, b1, b2, a1, a2)をコマンドにより係数 RAM に転送します。12 Band BQ は、ソフト遷移機能付きとなっております。なおパラメータ設定の詳細なシーケンスは 後述の BQ 設定方法(P.53)を参照してください。

BQ を L/R 独立にするかどうか

Default=0x0

Select Address	Value	動作説明
0x60[4]	0x0	L/R 共通
	0x1	L/R 独立

0x60[4]設定時の注意点

0x60[4]の設定を変更した場合は必ずすべての BQ を再設定してください。

再設定を行う BQ は BQ1~12, DRC1, DRC2, DRC3(DRC 一つにつき 2 Band 使用)の 18 個の BQ になります。

BQ ソフト遷移先選択

Default=0x00

Select Address	動作説明			
0x51[4:0]	Value	遷移先	Value	遷移先
	0x00	12BAND(1)	0x0A	12BAND(11)
	0x01	12BAND(2)	0x0B	12BAND(12)
	0x02	12BAND(3)		
	0x03	12BAND(4)		
	0x04	12BAND(5)		
	0x05	12BAND(6)		
	0x06	12BAND(7)		
	0x07	12BAND(8)		
	0x08	12BAND(9)		
	0x09	12BAND(10)		

ソフト遷移選択

Default=0x0

Select Address	Value	動作説明
0x53[6]	0x0	ソフト遷移を使用する
	0x1	ソフト遷移を使用しない

14.4 バイクアッドフィルタ — 続き

ソフト遷移するチャンネル選択

Default=0x0

Select Address	Value	動作説明
0x53[5:4]	0x0	Lch と Rch
	0x1	Lch
	0x2	Rch
	0x3	使用禁止

ソフト遷移時間選択

Default=0x3

Select Address	Value	動作説明
0x53[3:2]	0x0	2.7ms
	0x1	5.3ms
	0x2	10.7ms
	0x3	21.3ms

遷移フィルタウエイト時間設定

Default=0x0

Select Address	Value	動作説明
0x53[1:0]	0x0	2.7ms
	0x1	5.3ms
	0x2	10.7ms
	0x3	21.3ms

ソフト遷移スタート設定

Default=0x0

Select Address	Value	動作説明
0x58[0]	0x0	ソフト遷移動作を停止します
	0x1	ソフト遷移スタート(遷移完了後自動で 0x0 となります)

このレジスタは読み出しできません。

ソフト遷移ステータス読み出し (読み出しのみ)

Select Address	動作説明
0x59[0]	ソフト遷移中は 0x1 が読み出されます。 通常は 0x0 が読み出されます。

14 デジタルサウンド処理(DSP) - 続き

14.5 ボリューム設定

ボリュームは、+24dB から-103dB まで、0.125dB ステップで選択できます。-infinity dB の設定も可能です。0x10[7]コマンドにより LR 独立、LR 共通設定の選択が可能です。

ボリュームを切り替えたときは、ソフト遷移を行います。ソフト遷移時間は、コマンドにより選択可能です。

A dB → B dB への遷移の場合、次の計算式に従います。C は、0x15[7:6]コマンドにより選択したソフト遷移時間です。

$$\text{遷移時間} = \left| \left(10^{\left(\frac{A}{20}\right)} - 10^{\left(\frac{B}{20}\right)} \right) \times C \right| \text{ [ms]}$$

ソフト遷移時間設定

Default=0x0

Select Address	Value	動作説明
0x15[7:6]	0x0	21.3ms
	0x1	42.7ms
	0x2	85.3ms
	0x3	使用禁止

Lch/共通ボリューム設定

Default=0xFF

Select Address	動作説明																				
0x11[7:0]	<table border="1"> <thead> <tr> <th>Value</th> <th>ゲイン</th> </tr> </thead> <tbody> <tr> <td>0x00</td> <td>+24dB</td> </tr> <tr> <td>0x01</td> <td>+23.5dB</td> </tr> <tr> <td>⋮</td> <td>⋮</td> </tr> <tr> <td>0x30</td> <td>0dB</td> </tr> <tr> <td>0x31</td> <td>-0.5dB</td> </tr> <tr> <td>0x32</td> <td>-1dB</td> </tr> <tr> <td>⋮</td> <td>⋮</td> </tr> <tr> <td>0xFE</td> <td>-103dB</td> </tr> <tr> <td>0xFF</td> <td>-∞</td> </tr> </tbody> </table>	Value	ゲイン	0x00	+24dB	0x01	+23.5dB	⋮	⋮	0x30	0dB	0x31	-0.5dB	0x32	-1dB	⋮	⋮	0xFE	-103dB	0xFF	-∞
	Value	ゲイン																			
	0x00	+24dB																			
	0x01	+23.5dB																			
	⋮	⋮																			
	0x30	0dB																			
	0x31	-0.5dB																			
	0x32	-1dB																			
	⋮	⋮																			
	0xFE	-103dB																			
	0xFF	-∞																			

ボリュームのファイン設定については、以下のコマンドを送ることにより有効となります。

こちらのコマンドを利用することにより、0.125dB ステップでのボリューム設定が可能となります。

L/R 共通設定時は 0x11[7:0]の設定が有効となります。

L/R 独立設定時は 0x11[7:0]は Lch のボリューム設定になります。

Lch/共通ボリュームファイン設定

0x10[1:0]=0x0 の状態で、0x11[7:0]のみ変更することで 0.5dB ステップでの使用が可能です。

Default=0x0

Select Address	Value	動作説明
0x10[1:0]	0x0	0dB
	0x1	-0.125dB
	0x2	-0.25dB
	0x3	-0.375dB

14.5 ボリューム設定 — 続き

0x10[7]コマンドにより Lch/Rch 独立ボリューム設定、共通ボリューム設定の選択が可能です。

Lch/Rch 独立ボリューム設定の場合 Lch のボリューム設定は 0x10[1:0], 0x11 の値になり、Rch のボリューム設定は 0x10[5:4], 0x12 の値となります。

Lch/Rch 独立ボリューム設定

Default=0x0

Select Address	Value	動作説明
0x10[7]	0x0	Lch/Rch 共通ボリューム設定
	0x1	Lch/Rch 独立ボリューム設定

ボリューム設定 (Rch ボリューム設定、独立ボリューム設定時のみ有効)

Default=0xFF

Select Address	動作説明																				
0x12[7:0]	<table border="1"> <thead> <tr> <th>Value</th> <th>ゲイン</th> </tr> </thead> <tbody> <tr><td>0x00</td><td>+24dB</td></tr> <tr><td>0x01</td><td>+23.5dB</td></tr> <tr><td>⋮</td><td>⋮</td></tr> <tr><td>0x30</td><td>0dB</td></tr> <tr><td>0x31</td><td>-0.5dB</td></tr> <tr><td>0x32</td><td>-1dB</td></tr> <tr><td>⋮</td><td>⋮</td></tr> <tr><td>0xFE</td><td>-103dB</td></tr> <tr><td>0xFF</td><td>-∞</td></tr> </tbody> </table>	Value	ゲイン	0x00	+24dB	0x01	+23.5dB	⋮	⋮	0x30	0dB	0x31	-0.5dB	0x32	-1dB	⋮	⋮	0xFE	-103dB	0xFF	-∞
	Value	ゲイン																			
	0x00	+24dB																			
	0x01	+23.5dB																			
	⋮	⋮																			
	0x30	0dB																			
	0x31	-0.5dB																			
	0x32	-1dB																			
	⋮	⋮																			
	0xFE	-103dB																			
	0xFF	-∞																			

ボリュームのファイン設定については、以下のコマンドを送ることにより有効となります。

こちらのコマンドを利用することにより、0.125dB ステップでのボリューム設定が可能となります。

ファイン設定 (Rch ファイン設定、独立ボリューム設定時のみ有効)

0x10[5:4]=0x0 の状態で、0x12[7:0]のみ変更することで 0.5dB ステップでの使用が可能です。

Default=0x0

Select Address	Value	動作説明
0x10[5:4]	0x0	0dB
	0x1	-0.125dB
	0x2	-0.25dB
	0x3	-0.375dB

0x10[1:0], 0x11[7:0]両方を設定することで0.125dBステップでの使用が可能です。

0x10[1:0]=0x0の場合は0x11[7:0]の設定値となります。

0x10[1:0]=0x1の場合は0x11[7:0]の設定値-0.125dBとなります。

0x10[1:0]=0x2の場合は0x11[7:0]の設定値-0.25dBとなります。

0x10[1:0]=0x3の場合は0x11[7:0]の設定値-0.375dBとなります。

いずれの場合も0x11の転送によって確定されますので、あらかじめ0x10を設定後0x11の設定を行うことで直接次の目的の設定値にソフト遷移を開始することができます。

Lch/Rch独立設定の場合はRchに対しては、0x10[5:4]が0x10[1:0]に、0x12が0x11と同じ働きをします。

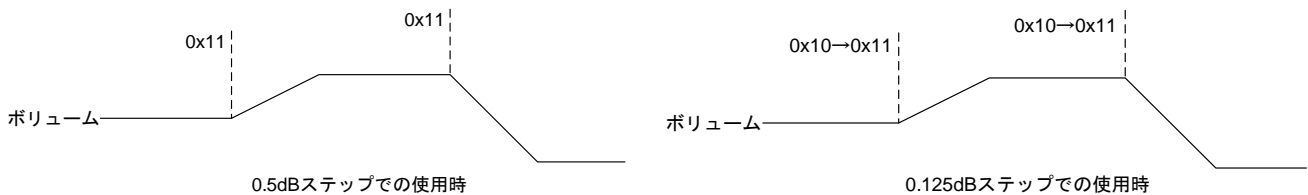


Figure 56

14 デジタルサウンド処理(DSP) - 続き

14.6 3 Band DRC

スピーカ保護や大きなオーディオ信号のクリップ出力を防止する目的でDRCを使用します。
 DRC1, 2, 3の3つのBandそれぞれに対してクリップなしの出力が可能です。
 DRC1, 2, 3はそれぞれ2つのスレッシュホールドレベルと、1つの傾きを設定することが可能です。

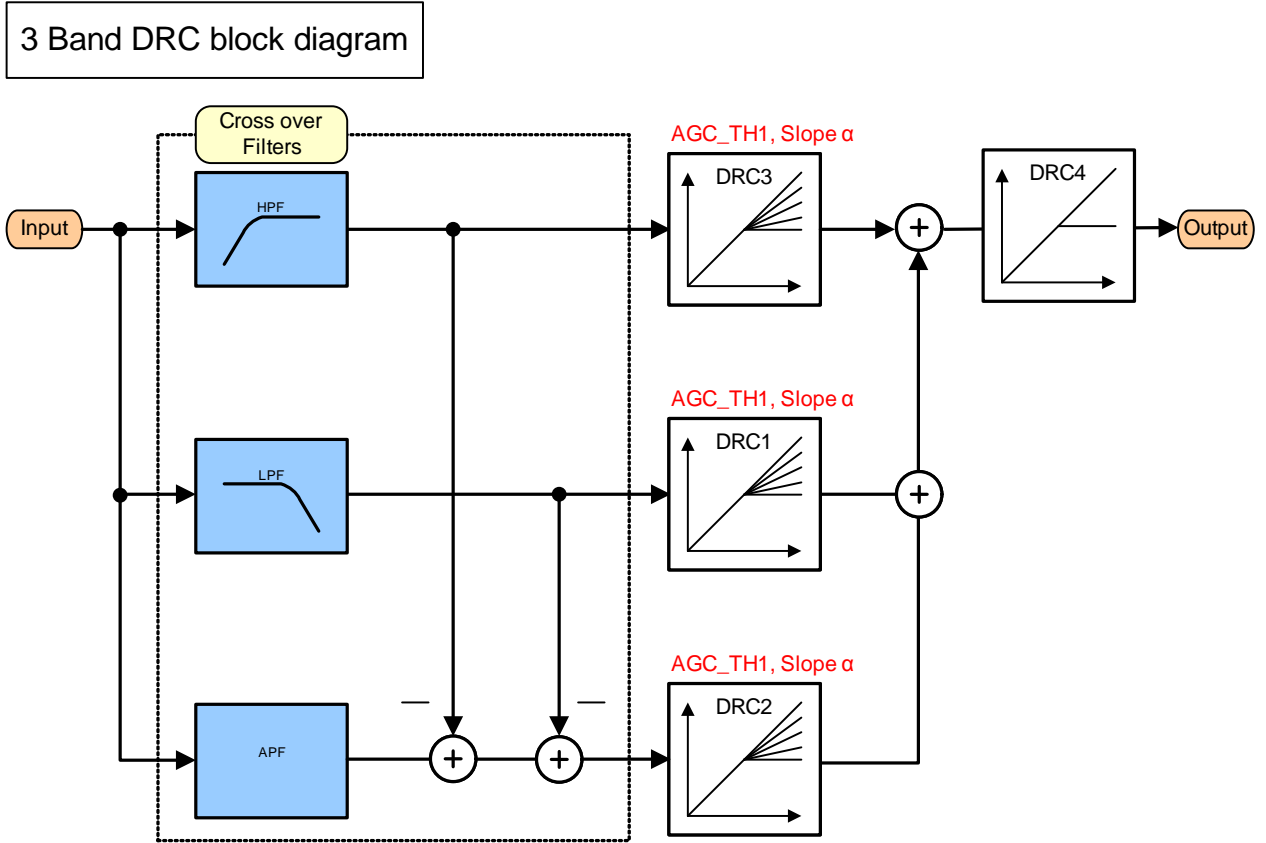
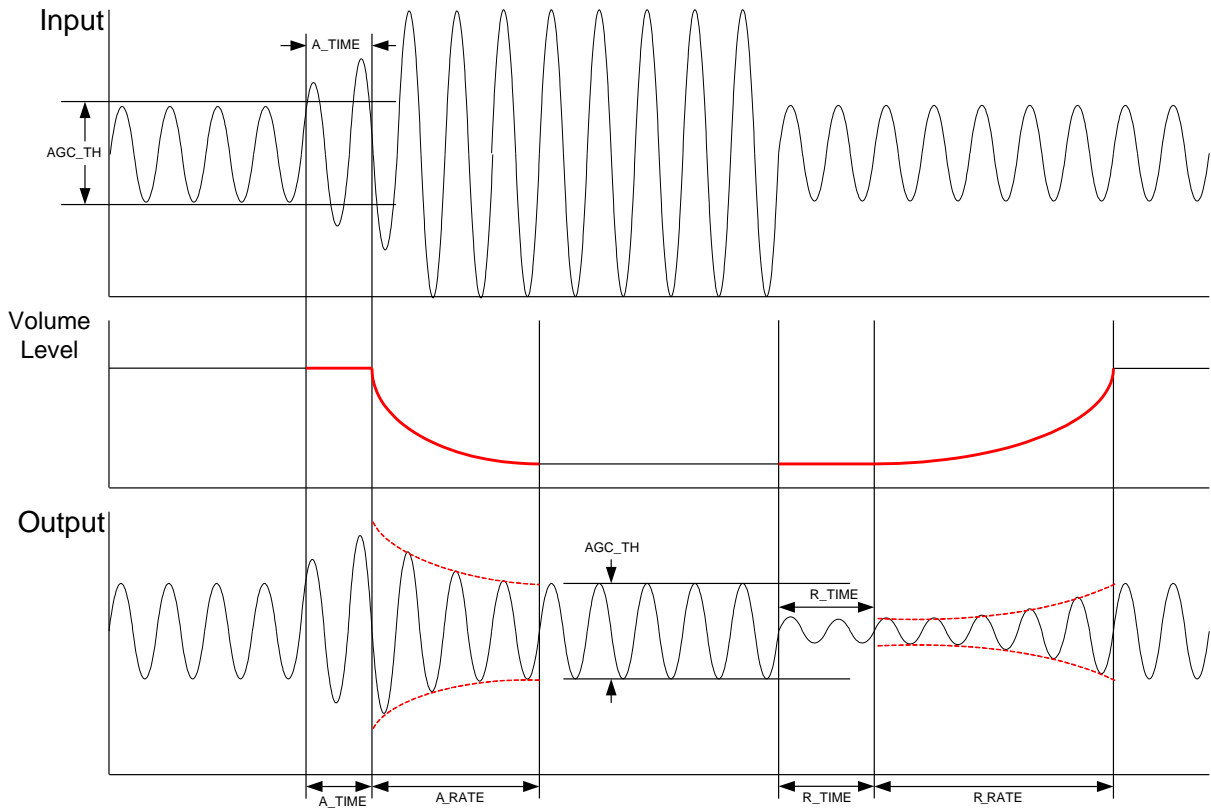


Figure 57

14.6 3 Band DRC — 続き

DRC 遷移図



A_TIME はゲインを下げ始めるまでの検出時間、A_RATE はゲインを下げる傾きを表します。
 R_TIME はゲインを戻し始めるまでの検出時間、R_RATE はゲインを戻す傾きを表します。

Figure 58

DRC1, DRC2, DRC3 は下図のように AGC_TH1 と AGC_TH2 の 2 種類のスレッシュホールドを設定することができ、出力が AGC_TH1~AGC_TH2 までの間は傾きを付けることが可能です。さらに入力が大きくなり AGC_TH2 を超えるとそれ以降は出力ゲインの傾きがなくなります。傾きの設定を α とすると、 α は AGC_TH1, AGC_TH2 の値と AGC_TH2 に到達する DRC ブロックへの入力ゲインから求めることができます。

AGC_TH1~AGC_TH2 の間の動作を DRC1_{slope}, DRC2_{slope}, DRC3_{slope}, AGC_TH2 以降は DRC1_{comp}, DRC2_{comp}, DRC3_{comp}, とすると、それぞれ独立に ON/OFF, A_TIME, A_RATE, R_TIME, R_RATE を設定することが可能です。例えば、DRC1_{slope} を OFF とし DRC1_{comp} を ON とすると DRC1 は傾きがなくなり、AGC_TH2 のスレッシュホールドのみが有効となります。DRC4 は傾きを付けることができません。AGC_TH2 のみの設定となります。

DRC 入出力ゲイン特性

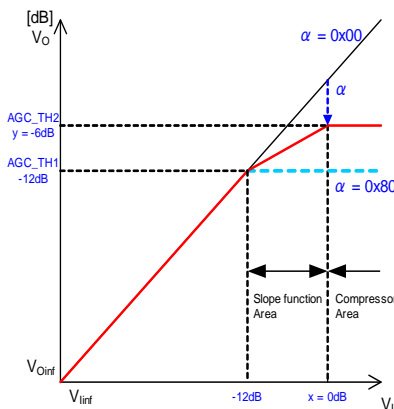


Figure 59

傾き α を求める式を下記に記します。

α は、計算で求めた値を2の補数の8bit Hexデータに変換します。

$$\alpha = \frac{10^{\frac{y}{20}} - 10^{\frac{x}{20}}}{\frac{TH}{10} - 10^{\frac{x}{20}}} \times 128$$

THはAGC_TH1、xは入力レベル、yは出力レベルです。

例) AGC_TH1 = -12dB, x = 0dB, y = -6dBのときの α を求めます。

$$\alpha = \frac{10^{\frac{-6}{20}} - 10^{\frac{0}{20}}}{10^{\frac{-12}{20}} - 10^{\frac{0}{20}}} \times 128$$

$$\alpha = 85.266 \rightarrow 0x55$$

求めた0x55を0x29,0x31や0x39コマンドに設定します。

14.6 3 Band DRC — 続き

Volume Curve

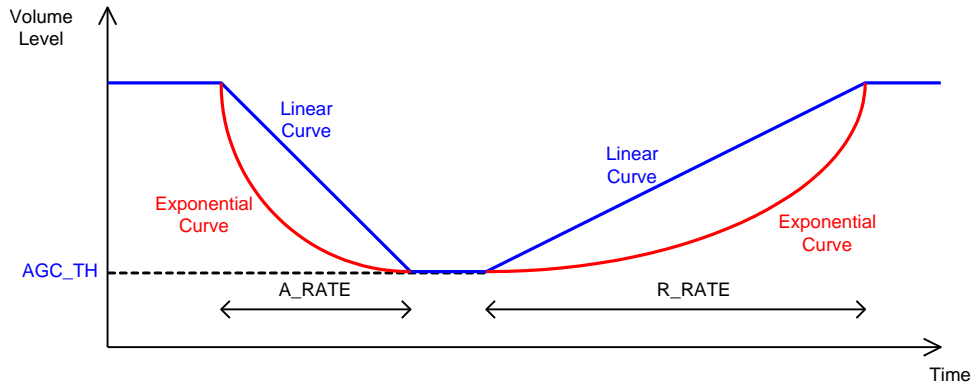


Figure 60

DRC1_{slope} の ON/OFF

OFF するとスルー出力となります。

Default=0x1

Select Address	Value	動作説明
0x20[7]	0x0	OFF
	0x1	ON

DRC1_{comp} の ON/OFF

OFF するとスルー出力となります。

Default=0x1

Select Address	Value	動作説明
0x20[6]	0x0	OFF
	0x1	ON

DRC2_{slope} の ON/OFF

OFF するとスルー出力となります。

Default=0x1

Select Address	Value	動作説明
0x20[5]	0x0	OFF
	0x1	ON

DRC2_{comp} の ON/OFF

OFF するとスルー出力となります。

Default=0x1

Select Address	Value	動作説明
0x20[4]	0x0	OFF
	0x1	ON

DRC3_{slope} の ON/OFF

OFF するとスルー出力となります。

Default=0x1

Select Address	Value	動作説明
0x20[3]	0x0	OFF
	0x1	ON

14.6 3 Band DRC — 続き

DRC3_{comp} の ON/OFF

OFF するとスルー出力となります。

Default=0x1

Select Address	Value	動作説明
0x20[2]	0x0	OFF
	0x1	ON

DRC4 の ON/OFF

OFF するとスルー出力となります。

Default=0x0

Select Address	Value	動作説明
0x3F[4]	0x0	OFF
	0x1	ON

アタック時(A_RATE)のボリュームカーブを選択

Default=0x1

Select Address	Value	動作説明
0x21[7]	0x0	Linear curve
	0x1	Exponential curve

リリース時(R_RATE)のボリュームカーブを選択

Default=0x1

Select Address	Value	動作説明
0x21[6]	0x0	Linear curve
	0x1	Exponential curve

初期設定では DRC のクロスオーバーフィルタは 1 Band の設定となっています。

3 Band DRC の帯域を分けるクロスオーバーフィルタ (HPF, LPF, APF) の設定につきましては、14.4 バイクアッドフィルタを参照してください。

14.6 3 Band DRC — 続き

DRC1_{slope}, DRC2_{slope}, DRC3_{slope} の傾き(α)設定
それぞれ独立の設定を行うことが可能です。

Default=0x80

Select Address	動作説明
DRC1 _{slope} 0x29[7:0] DRC2 _{slope} 0x31[7:0] DRC3 _{slope} 0x39[7:0]	<p>傾きαを求める式を下記に記します。 αは、計算で求めた値を2の補数の8bit Hexデータに変換します。</p> $\alpha = \frac{10^{\frac{y}{20}} - 10^{\frac{x}{20}}}{10^{\frac{TH}{20}} - 10^{\frac{x}{20}}} \times 128$ <p>THはAGC_TH1、xは入力レベル、yは出力レベルです。</p> <p>例) AGC_TH1 = -12dB, x = 0dB y = -6dBのときのαを求めます。</p> $\alpha = \frac{10^{\frac{-6}{20}} - 10^{\frac{0}{20}}}{10^{\frac{-12}{20}} - 10^{\frac{0}{20}}} \times 128$ <p>α = 85.266 → 0x55 求めた0x55を0x29,0x31や0x39コマンドに設定します。</p>

DRC1_{slope}, DRC2_{slope}, DRC3_{slope} の AGC_TH1 設定
AGC_TH2 の設定値以下に設定してください。
それぞれ独立の設定を行うことが可能です。

Default=0x40

Select Address	動作説明																
DRC1 _{slope} 0x28[6:0] DRC2 _{slope} 0x30[6:0] DRC3 _{slope} 0x38[6:0]	<table border="1"> <thead> <tr> <th>Value</th> <th>スレッシュホールド</th> </tr> </thead> <tbody> <tr> <td>0x00</td> <td>-32dB</td> </tr> <tr> <td>⋮</td> <td>⋮</td> </tr> <tr> <td>0x3F</td> <td>-0.5dB</td> </tr> <tr> <td>0x40</td> <td>0dB</td> </tr> <tr> <td>0x41</td> <td>+0.5dB</td> </tr> <tr> <td>⋮</td> <td>⋮</td> </tr> <tr> <td>0x58</td> <td>+12dB</td> </tr> </tbody> </table>	Value	スレッシュホールド	0x00	-32dB	⋮	⋮	0x3F	-0.5dB	0x40	0dB	0x41	+0.5dB	⋮	⋮	0x58	+12dB
Value	スレッシュホールド																
0x00	-32dB																
⋮	⋮																
0x3F	-0.5dB																
0x40	0dB																
0x41	+0.5dB																
⋮	⋮																
0x58	+12dB																

DRC1_{comp}, DRC2_{comp}, DRC3_{comp}, DRC4 の AGC_TH2 設定
それぞれ独立の設定を行うことが可能です。

Default=0x40

Select Address	動作説明																
DRC1 _{comp} 0x2C[6:0] DRC2 _{comp} 0x34[6:0] DRC3 _{comp} 0x3C[6:0] DRC4 0x40[6:0]	<table border="1"> <thead> <tr> <th>Value</th> <th>スレッシュホールド</th> </tr> </thead> <tbody> <tr> <td>0x00</td> <td>-32dB</td> </tr> <tr> <td>⋮</td> <td>⋮</td> </tr> <tr> <td>0x3F</td> <td>-0.5dB</td> </tr> <tr> <td>0x40</td> <td>0dB</td> </tr> <tr> <td>0x41</td> <td>+0.5dB</td> </tr> <tr> <td>⋮</td> <td>⋮</td> </tr> <tr> <td>0x58</td> <td>+12dB</td> </tr> </tbody> </table>	Value	スレッシュホールド	0x00	-32dB	⋮	⋮	0x3F	-0.5dB	0x40	0dB	0x41	+0.5dB	⋮	⋮	0x58	+12dB
Value	スレッシュホールド																
0x00	-32dB																
⋮	⋮																
0x3F	-0.5dB																
0x40	0dB																
0x41	+0.5dB																
⋮	⋮																
0x58	+12dB																

14.6 3 Band DRC — 続き

DRC1_{slope}, DRC2_{slope}, DRC3_{slope}, DRC1_{comp}, DRC2_{comp}, DRC3_{comp}, DRC4 の A_RATE 設定
 (アタック時、圧縮カーブの遷移時間)
 それぞれ独立の設定を行うことが可能です。

Default=0x3

Select Address		動作説明																							
DRC1 _{slope}	0x2A[6:4]	<table border="1"> <thead> <tr> <th>Value</th> <th>A_RATE</th> <th>Value</th> <th>A_RATE</th> </tr> </thead> <tbody> <tr> <td>0x0</td> <td>1ms</td> <td>0x4</td> <td>5ms</td> </tr> <tr> <td>0x1</td> <td>2ms</td> <td>0x5</td> <td>10ms</td> </tr> <tr> <td>0x2</td> <td>3ms</td> <td>0x6</td> <td>20ms</td> </tr> <tr> <td>0x3</td> <td>4ms</td> <td>0x7</td> <td>40ms</td> </tr> </tbody> </table>				Value	A_RATE	Value	A_RATE	0x0	1ms	0x4	5ms	0x1	2ms	0x5	10ms	0x2	3ms	0x6	20ms	0x3	4ms	0x7	40ms
Value	A_RATE					Value	A_RATE																		
0x0	1ms					0x4	5ms																		
0x1	2ms					0x5	10ms																		
0x2	3ms					0x6	20ms																		
0x3	4ms					0x7	40ms																		
DRC2 _{slope}	0x32[6:4]																								
DRC3 _{slope}	0x3A[6:4]																								
DRC1 _{comp}	0x2E[6:4]																								
DRC2 _{comp}	0x36[6:4]																								
DRC3 _{comp}	0x3D[6:4]																								
DRC4	0x41[6:4]																								

DRC1_{slope}, DRC2_{slope}, DRC3_{slope}, DRC1_{comp}, DRC2_{comp}, DRC3_{comp}, DRC4 の R_RATE 設定
 (リリース時、伸長カーブの遷移時間)
 それぞれ独立の設定を行うことが可能です。

Default=0xB

Select Address		動作説明																																							
DRC1 _{slope}	0x2A[3:0]	<table border="1"> <thead> <tr> <th>Value</th> <th>R_RATE時間</th> <th>Value</th> <th>R_RATE時間</th> </tr> </thead> <tbody> <tr> <td>0x0</td> <td>0.125s</td> <td>0x8</td> <td>2s</td> </tr> <tr> <td>0x1</td> <td>0.1825s</td> <td>0x9</td> <td>2.5s</td> </tr> <tr> <td>0x2</td> <td>0.25s</td> <td>0xA</td> <td>3s</td> </tr> <tr> <td>0x3</td> <td>0.5s</td> <td>0xB</td> <td>4s</td> </tr> <tr> <td>0x4</td> <td>0.75s</td> <td>0xC</td> <td>5s</td> </tr> <tr> <td>0x5</td> <td>1s</td> <td>0xD</td> <td>6s</td> </tr> <tr> <td>0x6</td> <td>1.25s</td> <td>0xE</td> <td>7s</td> </tr> <tr> <td>0x7</td> <td>1.5s</td> <td>0xF</td> <td>8s</td> </tr> </tbody> </table>				Value	R_RATE時間	Value	R_RATE時間	0x0	0.125s	0x8	2s	0x1	0.1825s	0x9	2.5s	0x2	0.25s	0xA	3s	0x3	0.5s	0xB	4s	0x4	0.75s	0xC	5s	0x5	1s	0xD	6s	0x6	1.25s	0xE	7s	0x7	1.5s	0xF	8s
Value	R_RATE時間					Value	R_RATE時間																																		
0x0	0.125s					0x8	2s																																		
0x1	0.1825s					0x9	2.5s																																		
0x2	0.25s					0xA	3s																																		
0x3	0.5s					0xB	4s																																		
0x4	0.75s					0xC	5s																																		
0x5	1s					0xD	6s																																		
0x6	1.25s	0xE	7s																																						
0x7	1.5s	0xF	8s																																						
DRC2 _{slope}	0x32[3:0]																																								
DRC3 _{slope}	0x3A[3:0]																																								
DRC1 _{comp}	0x2E[3:0]																																								
DRC2 _{comp}	0x36[3:0]																																								
DRC3 _{comp}	0x3D[3:0]																																								
DRC4	0x41[3:0]																																								

DRC1_{slope}, DRC2_{slope}, DRC3_{slope}, DRC1_{comp}, DRC2_{comp}, DRC3_{comp}, DRC4 の A_TIME 設定
 (アタック動作への移行を検出する時間設定)
 それぞれ独立の設定を行うことが可能です。

Default=0x1

Select Address		動作説明																																							
DRC1 _{slope}	0x2B[7:4]	<table border="1"> <thead> <tr> <th>Value</th> <th>A_TIME</th> <th>Value</th> <th>A_TIME</th> </tr> </thead> <tbody> <tr> <td>0x0</td> <td>0ms</td> <td>0x8</td> <td>6ms</td> </tr> <tr> <td>0x1</td> <td>0.5ms</td> <td>0x9</td> <td>7ms</td> </tr> <tr> <td>0x2</td> <td>1ms</td> <td>0xA</td> <td>8ms</td> </tr> <tr> <td>0x3</td> <td>1.5ms</td> <td>0xB</td> <td>9ms</td> </tr> <tr> <td>0x4</td> <td>2ms</td> <td>0xC</td> <td>10ms</td> </tr> <tr> <td>0x5</td> <td>3ms</td> <td>0xD</td> <td>20ms</td> </tr> <tr> <td>0x6</td> <td>4ms</td> <td>0xE</td> <td>30ms</td> </tr> <tr> <td>0x7</td> <td>5ms</td> <td>0xF</td> <td>40ms</td> </tr> </tbody> </table>				Value	A_TIME	Value	A_TIME	0x0	0ms	0x8	6ms	0x1	0.5ms	0x9	7ms	0x2	1ms	0xA	8ms	0x3	1.5ms	0xB	9ms	0x4	2ms	0xC	10ms	0x5	3ms	0xD	20ms	0x6	4ms	0xE	30ms	0x7	5ms	0xF	40ms
Value	A_TIME					Value	A_TIME																																		
0x0	0ms					0x8	6ms																																		
0x1	0.5ms					0x9	7ms																																		
0x2	1ms					0xA	8ms																																		
0x3	1.5ms					0xB	9ms																																		
0x4	2ms					0xC	10ms																																		
0x5	3ms					0xD	20ms																																		
0x6	4ms	0xE	30ms																																						
0x7	5ms	0xF	40ms																																						
DRC2 _{slope}	0x33[7:4]																																								
DRC3 _{slope}	0x3B[7:4]																																								
DRC1 _{comp}	0x2F[7:4]																																								
DRC2 _{comp}	0x37[7:4]																																								
DRC3 _{comp}	0x3E[7:4]																																								
DRC4	0x42[7:4]																																								

14.6 3 Band DRC — 続き

DRC1_{slope}, DRC2_{slope}, DRC3_{slope}, DRC1_{comp}, DRC2_{comp}, DRC3_{comp}, DRC4 の R_TIME 設定
 (リリース動作への移行を検出する時間設定)
 それぞれ独立の設定を行うことが可能です。

Default=0x3

Select Address		動作説明			
DRC1 _{slope}	0x2B[2:0]	Value	R_TIME	Value	R_TIME
DRC2 _{slope}	0x33[2:0]	0x0	5ms	0x4	100ms
DRC3 _{slope}	0x3B[2:0]	0x1	10ms	0x5	200ms
DRC1 _{comp}	0x2F[2:0]	0x2	25ms	0x6	300ms
DRC2 _{comp}	0x37[2:0]	0x3	50ms	0x7	400ms
DRC3 _{comp}	0x3E[2:0]				
DRC4	0x42[2:0]				

14.7 ポストスケーラ

DSP 処理後のデータのレベル調整に使用します。
 調整範囲は、+48dB から-79dB まで 0.5dB ステップで設定できます。(Lch/Rch 同時制御)
 ポストスケーラには、ソフト遷移機能はありません。

Default=0x60

Select Address	動作説明	
0x13[7:0]	Value	ゲイン
	0x00	+48dB
	0x01	+47.5dB
	⋮	⋮
	0x60	0dB
	0x61	-0.5dB
	0x62	-1dB
	⋮	⋮
	0xFE	-79dB
	0xFF	-∞

14.8 ファインポストスケーラ

ポストスケーラの後段に付く回路で、-0.8dB から+0.7dB まで 0.1dB ステップで設定できます。(Lch/Rch 独立制御)
 ファインポストスケーラには、ソフト遷移機能はありません。

Default=0x8

Select Address	動作説明			
Lch 0x14[7:4] Rch 0x14[3:0]	Value	ゲイン	Value	ゲイン
	0x0	-0.8dB	0x8	0dB
	0x1	-0.7dB	0x9	+0.1dB
	0x2	-0.6dB	0xA	+0.2dB
	0x3	-0.5dB	0xB	+0.3dB
	0x4	-0.4dB	0xC	+0.4dB
	0x5	-0.3dB	0xD	+0.5dB
	0x6	-0.2dB	0xE	+0.6dB
	0x7	-0.1dB	0xF	+0.7dB

14 デジタルサウンド処理(DSP) – 続き

14.9 ハードクリッパー

テレビやオーディオ機器の定格出力(実用最大出力)を測定する際には、歪率(THD+N)が10%のところを測定します。クリッパー機能を用いることで、任意の出力振幅でクリップさせることができるので、例えば15W出力のアンプを用いて、10Wや5Wの定格出力を得ることができます。

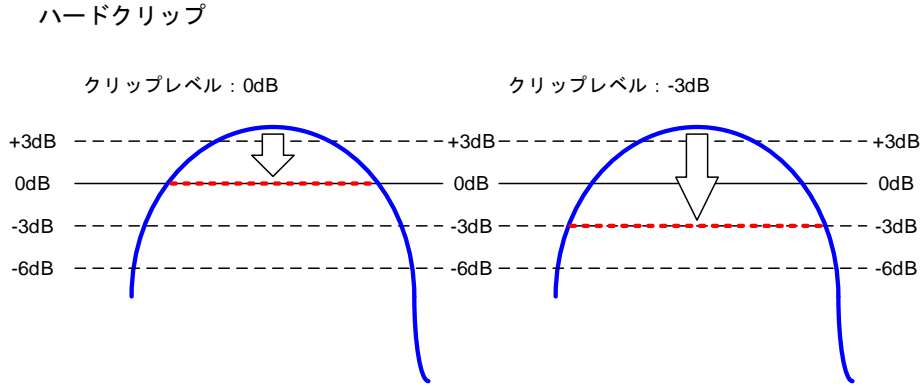


Figure 61

クリッパー設定

Default=0x1

Select Address	Value	動作説明
0x1A[0]	0x0	クリッパー機能を使用しない
	0x1	クリッパー機能を使用する

クリップレベル選択

Default=0xE1

Select Address	動作説明												
0x1B[7:0]	<table border="1"> <thead> <tr> <th>Value</th> <th>ゲイン</th> </tr> </thead> <tbody> <tr> <td>0x00</td> <td>-22.5dB</td> </tr> <tr> <td>0x01</td> <td>-22.4dB</td> </tr> <tr> <td>⋮</td> <td>⋮</td> </tr> <tr> <td>0xE0</td> <td>-0.1dB</td> </tr> <tr> <td>0xE1</td> <td>0dB</td> </tr> </tbody> </table>	Value	ゲイン	0x00	-22.5dB	0x01	-22.4dB	⋮	⋮	0xE0	-0.1dB	0xE1	0dB
	Value	ゲイン											
	0x00	-22.5dB											
	0x01	-22.4dB											
	⋮	⋮											
	0xE0	-0.1dB											
0xE1	0dB												

14 デジタルサウンド処理(DSP) — 続き

14.10 DC カット用 1 次 HPF

音声 DSP から出力されるデジタル信号の DC オフセット成分をこの HPF によりカットします。HPF のカットオフ周波数 f_c は 1Hz、次数は 1 次のフィルタを用いています。

Default=0x1

Select Address	Value	動作説明
0x18[0]	0x0	DC カット HPF を使用しない
	0x1	DC カット HPF を使用する

14.11 RAM クリア

DSP のデータ RAM、係数 RAM のクリアを行います。すべての RAM がクリアされるまで 40 μ s 以上必要です。クリア状態を 40 μ s 以上保ってから通常に切り替えてください。

DSP データ RAM のクリア

Default=0x1

Select Address	Value	動作説明
0x01[7]	0x0	通常
	0x1	クリア

係数 RAM のクリア

Default=0x1

Select Address	Value	動作説明
0x01[6]	0x0	通常
	0x1	クリア

14 デジタルサウンド処理(DSP) — 続き

14.12 Audio Output Level Meter

PWM プロセッサへ入力される PCM データのある時間内のピークレベルをモニタすることができます。ピーク値は、絶対値の 16 ビットデータとして 2 線コマンド・インタフェースを使って読み出すことが可能です。ピーク値を保持する間隔は、50ms から 300ms までの間で 6 段階(50ms ステップ)より選択可能です。結果は、L チャンネル、R チャンネル、モノラルチャンネル $\{(Lch+Rch)/2\}$ から選択できます。

Audio Output Level Meter ブロック構成図

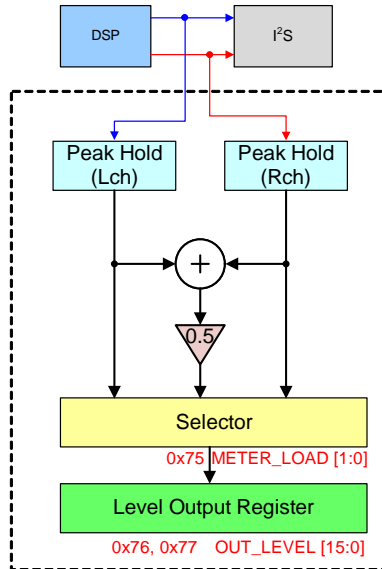


Figure 62

Audio Output Level Meter のピークレベルホールド時間設定
Default=0x0

Select Address	動作説明	
0x74[2:0]	Value	ホールド時間
	0x0	50ms
	0x1	100ms
	0x2	150ms
	0x3	200ms
	0x4	250ms
	0x5	300ms

Audio Level Meter の読み出し対象の信号を指定

設定値を書き込むと、読み出し専用レジスタに値が取り込まれます。このレジスタ値を更新するには、再度設定値を書き込む必要があります。

書き込みのみ

Select Address	Value	動作説明
0x75[1:0]	0x0	L チャンネルのピークレベル
	0x1	R チャンネルのピークレベル
	0x2	モノラルチャンネル $\{(Lch+Rch)/2\}$ のピークレベル

Audio Output Level の読み出し

0x74 コマンドで指定された期間内の最大値を、0x76 コマンド(上位 8 ビット)と、0x77(下位 8 ビット)コマンドにより 2 線インタフェースを使って読み出します。

例) 0xFFFF が読み出された場合、1.0(0dBFS)を表します。
0x8000 が読み出された場合、0.5(-6dBFS)を表します。

機能説明 — 続き

15 BQ の設定、読み出し方法

BQ の設定方法、読み出し方法の詳細なシーケンスを使用方法に分けて説明します。

15.1 BQ 係数直接設定

BQ は下図のような構成のフィルタとなっております。この BQ の各係数 b_0, b_1, b_2, a_1, a_2 は直接書き込むこともできます。各係数は S2.21 のフォーマットとなっており、 $-4 \leq x < +4$ までの範囲で設定できます。

また、係数アドレスは Table 1 のようになっています。

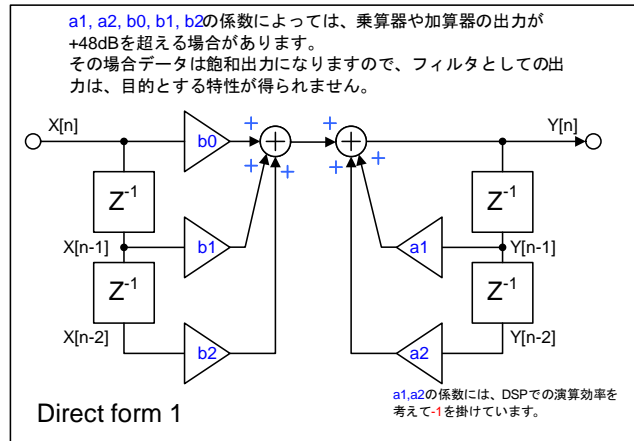


Figure 63

15.2 書き込みシーケンス(番号の順番に設定します)

1. アドレス設定(0x61) (Table 1 を参照)
2. 係数 24bit 中[23:16]bit を設定(0x62[7:0])
3. 係数 24bit 中[15:8]bit を設定(0x63[7:0])
4. 係数 24bit 中[7:0]bit を設定(0x64[7:0])
5. 係数書き込み実行(0x65[0]=0x1)

注意 1: 係数書き込み実行後は自動クリアとなります。0x65[0]=0x0 を送信する必要はありません。

注意 2: 係数書き込みには約 100 μ s かかります。係数書き込み実行後 100 μ s はアドレス設定と係数 24bit の設定を変更しないでください。

例: 12 BandBQ1 b_0 に 0x3DEDE7 を書き込む場合(LR 共通)

1. 0x61=0x00 (書き込み係数指定 12 Band BQ1 b_0)
2. 0x62=0x3D ([23:16]指定)
3. 0x63=0xED ([15:8]指定)
4. 0x64=0xE7 ([7:0]指定)
5. 0x65=0x01 (係数転送)
6. 100 μ s 以上 WAIT

15.3 読み出しシーケンス(番号の順番に設定します)

1. アドレス設定(0x61) (Table 1 を参照)
2. 読み出しレジスタアドレスの設定(0xD0) P.22 “7.5 データ読み出し” を参照してください。
3. 係数 24bit 中[23:16]bit を読み出し(0x66[7:0])
4. 係数 24bit 中[15:8]bit を読み出し(0x67[7:0])
5. 係数 24bit 中[7:0]bit を読み出し(0x68[7:0])

15.4 係数直接設定してソフト遷移する場合

1. ソフト遷移用 BQ に 5 つの係数を書き込んでください。アドレスは 0x50~0x54 です。Table 1 を参照してください。
0x60[4]で LR 独立にしているときは 0x53[5:4]=0x0 の場合 LR 同時にソフト遷移し、設定されるため、LR 両方に係数を書き込んでください。(Table 1 を参照)
0x53[5:4]=0x1 の場合係数の書き込みは Lch のみとなります。ソフト遷移後に Lch の対象となった BQ にのみ値が設定されます。
0x53[5:4]=0x2 の場合係数の書き込みは Rch のみとなります。ソフト遷移後に Rch の対象となった BQ にのみ値が設定されます。
2. 0x51[4:0]でソフト遷移する BQ を選んでください。(14.4 バイクアッドフィルタを参照)
3. 0x58[0]=0x1: ソフト遷移スタート(ソフト遷移完了後は自動的に 0x0 にクリアされます)
4. ソフト遷移完了まで待機するか、コマンド 0x59[0]を読み出し、0x0 にクリアされるまで待機します。

15 BQ の設定、読み出し方法 — 続き

Table 1. 指定係数

0x61[6:0] 設定値	指定係数	0x61[6:0] 設定値	指定係数	0x61[6:0] 設定値	指定係数
0x00	12BandBQ1 b0	0x23	12BandBQ8 b0	0x46	DRC2_1 b0
0x01	12BandBQ1 b1	0x24	12BandBQ8 b1	0x47	DRC2_1 b1
0x02	12BandBQ1 b2	0x25	12BandBQ8 b2	0x48	DRC2_1 b2
0x03	12BandBQ1 a1	0x26	12BandBQ8 a1	0x49	DRC2_1 a1
0x04	12BandBQ1 a2	0x27	12BandBQ8 a2	0x4A	DRC2_1 a2
0x05	12BandBQ2 b0	0x28	12BandBQ9 b0	0x4B	DRC2_2 b0
0x06	12BandBQ2 b1	0x29	12BandBQ9 b1	0x4C	DRC2_2 b1
0x07	12BandBQ2 b2	0x2A	12BandBQ9 b2	0x4D	DRC2_2 b2
0x08	12BandBQ2 a1	0x2B	12BandBQ9 a1	0x4E	DRC2_2 a1
0x09	12BandBQ2 a2	0x2C	12BandBQ9 a2	0x4F	DRC2_2 a2
0x0A	12BandBQ3 b0	0x2D	12BandBQ10 b0	0x50	Smooth BQ b0
0x0B	12BandBQ3 b1	0x2E	12BandBQ10 b1	0x51	Smooth BQ b1
0x0C	12BandBQ3 b2	0x2F	12BandBQ10 b2	0x52	Smooth BQ b2
0x0D	12BandBQ3 a1	0x30	12BandBQ10 a1	0x53	Smooth BQ a1
0x0E	12BandBQ3 a2	0x31	12BandBQ10 a2	0x54	Smooth BQ a2
0x0F	12BandBQ4 b0	0x32	12BandBQ11 b0	0x55	DRC3_1 b0
0x10	12BandBQ4 b1	0x33	12BandBQ11 b1	0x56	DRC3_1 b1
0x11	12BandBQ4 b2	0x34	12BandBQ11 b2	0x57	DRC3_1 b2
0x12	12BandBQ4 a1	0x35	12BandBQ11 a1	0x58	DRC3_1 a1
0x13	12BandBQ4 a2	0x36	12BandBQ11 a2	0x59	DRC3_1 a2
0x14	12BandBQ5 b0	0x37	12BandBQ12 b0	0x5A	DRC3_2 b0
0x15	12BandBQ5 b1	0x38	12BandBQ12 b1	0x5B	DRC3_2 b1
0x16	12BandBQ5 b2	0x39	12BandBQ12 b2	0x5C	DRC3_2 b2
0x17	12BandBQ5 a1	0x3A	12BandBQ12 a1	0x5D	DRC3_2 a1
0x18	12BandBQ5 a2	0x3B	12BandBQ12 a2	0x5E	DRC3_2 a2
0x19	12BandBQ6 b0	0x3C	DRC1_1 b0		
0x1A	12BandBQ6 b1	0x3D	DRC1_1 b1		
0x1B	12BandBQ6 b2	0x3E	DRC1_1 b2		
0x1C	12BandBQ6 a1	0x3F	DRC1_1 a1		
0x1D	12BandBQ6 a2	0x40	DRC1_1 a2		
0x1E	12BandBQ7 b0	0x41	DRC1_2 b0		
0x1F	12BandBQ7 b1	0x42	DRC1_2 b1		
0x20	12BandBQ7 b2	0x43	DRC1_2 b2		
0x21	12BandBQ7 a1	0x44	DRC1_2 a1		
0x22	12BandBQ7 a2	0x45	DRC1_2 a2		

注意: LR 独立のときは 0x61[7]が 0x0 で Lch、0x61[7]が 0x1 で Rch を表します。LR 共通のときは 0x61[7]は反映されません。

機能説明 — 続き

16 端子によるミュート

BM28723AMUV は、MUTEX 端子を Low にすることにより出力をミュートすることが可能です。

ミュート時の遷移時間設定は以下のようになります。

ソフトミュート遷移時間設定

ミュート状態に入る場合の遷移時間を選択します。

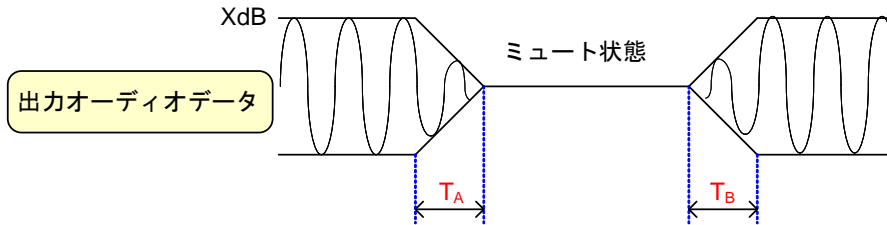
ミュート解除時のソフト遷移時間は、10.7ms 固定です。

Default =0x3

Select Address	Value	動作説明
0x15[1:0]	0x0	10.7ms (fs=48kHz)
	0x1	21.4ms (fs=48kHz)
	0x2	42.7ms (fs=48kHz)
	0x3	85.4ms (fs=48kHz)

0x15[1:0]ミュート時間設定

ミュート端子によるミュート時のみ動作します。



0x15[1:0]設定

Value	T_A	T_B
0x0	10.7ms	10.7ms
0x1	21.4ms	10.7ms
0x2	42.7ms	10.7ms
0x3	85.4ms	10.7ms

Figure 64

16 端子によるミュート - 続き

ソフトスタートディレイ時間設定

ミュート解除を検出してから実際にソフトスタート動作を始めるまでの時間を設定します。

Default=0x0

Select Address	Value	動作説明
0x15[5:4]	0x0	0ms
	0x1	100ms
	0x2	200ms
	0x3	300ms

0x15 [5:4] ソフトスタートディレイの動作

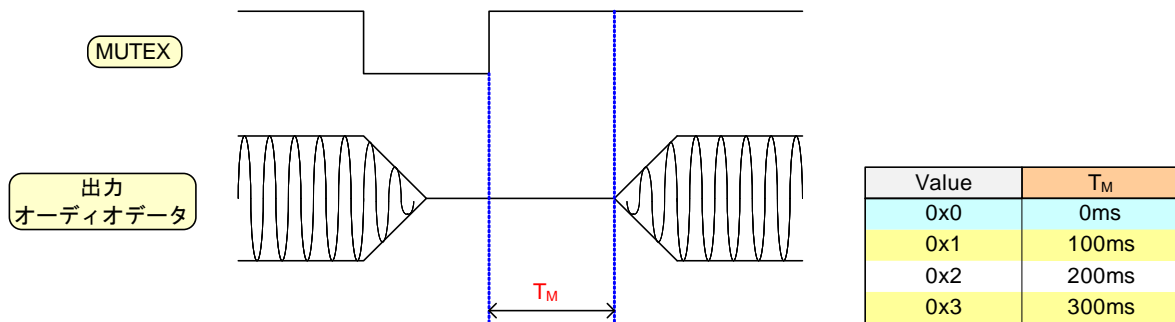


Figure 65

機能説明 — 続き

17 小信号検出機能

無信号または小信号時を検出する機能があります。オーディオセットの待機時消費電力を削減する目的で使用します。LチャンネルとRチャンネルが両方とも設定検知レベル以下の信号が続くと、小信号検出フラグがHighになります。検出結果は、コマンド0x72[0]より読み出しが可能です。

小信号をモニタする場所は、DSPブロックの入力になります。

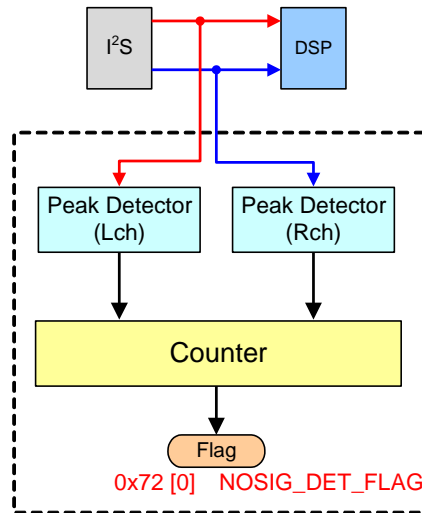


Figure 66. 小信号検出ブロック構成図

検知レベル設定

Default=0x00

Select Address	動作説明					
0x70[4:0]	Value	レベル	Value	レベル	Value	レベル
	0x00	-103dB	0x08	-77dB	0x10	-69dB
	0x01	-93dB	0x09	-76dB	0x11	-68dB
	0x02	-91dB	0x0A	-75dB	0x12	-67dB
	0x03	-87dB	0x0B	-74dB	0x13	-66dB
	0x04	-84dB	0x0C	-73dB	0x14	-65dB
	0x05	-80dB	0x0D	-72dB	0x15	-64dB
	0x06	-79dB	0x0E	-71dB	0x16	-62dB
	0x07	-78dB	0x0F	-70dB	0x17	-60dB

検知時間設定

Default=0x0

Select Address	Value	動作説明
0x71[1:0]	0x0	42.7ms
	0x1	85.4ms
	0x2	170.7ms
	0x3	341.4ms

注意: サンプリング周波数 fs=48kHz 時の値です。fs=44.1kHz 時は設定値の約 1.09 倍となります。

検出フラグ読み出し (読み出しのみ)

Select Address	Value	動作説明
0x72[0]	0x0	未検出
	0x1	検出

機能説明 — 続き

18 クロック停止検出及び高速、低速検出及び同期外れ検出機能

18.1 クロック停止検出機能

BM28723AMUV では入力される複数のクロックを利用して音声処理に必要なクロックを生成しています。外部から供給されるクロックが停止した場合、音声処理用のクロックも停止(または必要な周波数に達しない)する場合があります、これらを回避するための検出回路が必要になります。内部クロックを用いて BCLK と LRCLK の状態を検出しています。有効にしたフラグが検出された場合、出力がミュート(瞬時ミュート)されます。

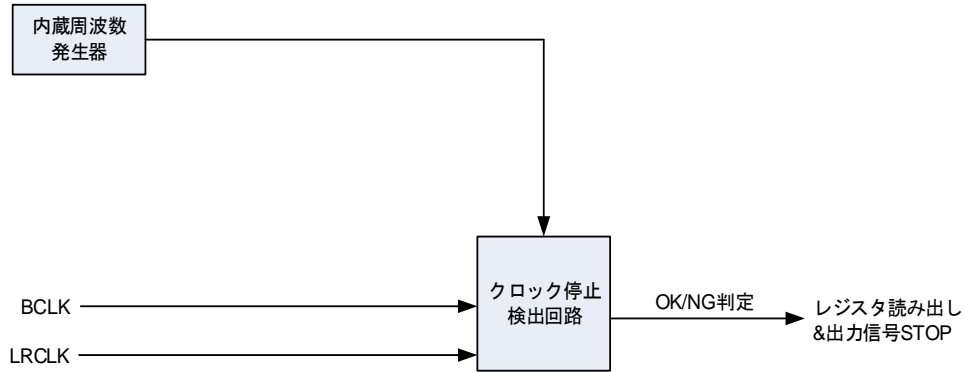


Figure 67

各クロックの停止検出条件は、コマンドにより設定された時間分クロックが停止した場合に検出されます。検出結果はレジスタからの読み出しが可能です。なお、一度停止と判定した結果は、クロックの状態が正常に戻ってもクリアコマンドを送信するまでクリアされません。

LRCLK 停止検出時間設定

Default=0x2

Select Address	Value	動作説明
LRCLK 0x07[2:0]	0x0	10µs~20µs
	0x1	20µs~40µs
	0x2	50µs~100µs
	0x3	100µs~200µs
	0x4	200µs~400µs
	0x5	300µs~600µs
	0x6	400µs~800µs
	0x7	500µs~1000µs

注意: 検出時間は上記の範囲内のバラツキがあります。

BCLK 停止検出時間設定

Default=0x0

Select Address	Value	動作説明
BCLK 0x08[6:4]	0x0	10µs~20µs
	0x1	20µs~40µs
	0x2	50µs~100µs
	0x3	100µs~200µs
	0x4	200µs~400µs
	0x5	300µs~600µs
	0x6	400µs~800µs
	0x7	500µs~1000µs

注意: 検出時間は上記の範囲内のバラツキがあります。

18.1 クロック停止検出機能 — 続き

フラグ読み出しレジスタ (読み出しのみ)

Select Address	Value	動作説明
0x09[5]	0x0	通常
	0x1	LRCLK 停止フラグ検出
0x09[4]	0x0	通常
	0x1	BCLK 停止フラグ検出

停止フラグのクリア (書き込みのみ)

Select Address	動作説明
0x09[1]	0x1 を書き込むと LRCLK 停止フラグがクリアされる。
0x09[0]	0x1 を書き込むと BCLK 停止フラグがクリアされる。

注意: クロックエラー自動復帰機能(P.62)を使用する場合、上記フラグは自動でクリアされます。

LRCLK 停止フラグの有効、無効選択

Default=0x1

Select Address	Value	動作説明
0x07[3]	0x0	有効
	0x1	無効

BCLK 停止フラグの有効、無効選択

Default=0x0

Select Address	Value	動作説明
0x08[7]	0x0	有効
	0x1	無効

18.2 同期外れ検出機能

同期外れ検出機能は、LRCLK の立ち上りエッジ間を内部クロック(49.152MHz)でカウントし、一定値以上ずれると同期外れエラーとして検出し、PLL のロックが正常に行われているかを判定します。

入力サンプリング周波数	32kHz、44.1kHz、48kHz
カウント数(0 からカウント開始)	1023

検出結果はレジスタからの読み出しが可能です。なお、一度同期外れと判定した結果は、クロックの状態が正常に戻ってもクリアコマンドを送信するまでクリアされません。また、コマンドにより検出成立回数の設定も可能であり、設定回数以上エラーを検出するとフラグ(0x06[1])が 0x1 となります。

同期外れフラグ読み出しレジスタ (読み出しのみ)

Select Address	Value	動作説明
0x06[1]	0x0	通常
	0x1	同期外れフラグ検出

同期外れフラグのクリア (書き込みのみ)

Select Address	動作説明
0x06[0]	0x1 を書き込むと同期外れフラグがクリアされる。

注意: クロックエラー自動復帰機能(P.62)を使用する場合、上記フラグは自動でクリアされます。

同期外れ成立回数設定

Default=0x2

Select Address	動作説明
0x06[6:4]	0x1 以上を設定 (0x1~0x7 を設定) 設定した回数以上の同期外れを検出すると 0x07[1]が 0x1 となります。

18 クロック停止検出及び高速、低速検出及び同期外れ検出機能 — 続き

18.3 BCLK 高速、低速検出機能

BCLK 高速、低速検出機能は、BCLK の立ち上りエッジ間を内部クロック(12MHz~25MHz)でカウントし、一定値以上ずれると BCLK が早いまたは遅いといったような速度異常が発生していると判定します。

BCLK 速度検出を使用する場合、入力サンプリングレートについてコマンド設定を反映させることでより正確に速度異常検出を行うことができます。有効にする場合は必ず入力されるサンプリングレートを 0x0C[1:0]コマンドにより設定してください。高速、低速検出フラグはそれぞれ有効、無効が設定でき、有効としたフラグが成立すると出力がミュート(即時ミュート)されます。

0x0C[1:0]コマンドによる周波数設定の有効、無効

Default=0x0

Select Address	Value	動作説明
0x0A[3]	0x0	有効
	0x1	無効

入力サンプリングレート設定

Default=0x0

Select Address	Value	動作説明
0x0C[1:0]	0x0	48kHz
	0x1	44.1kHz
	0x2	32kHz

低速、高速状態検出条件設定

Default=0x0

Select Address	Value	動作説明
0x0A[2]	0x0	±10%

検出結果はレジスタからの読み出しが可能です。なお、一度速度異常と判定した結果は、クロックの状態が正常に戻ってもクリアコマンドを送信するまでクリアされません。また、コマンドにより検出成立回数の設定も可能であり、設定回数以上エラーを検出するとフラグ(0x0A[1], 0x0B[1])が 0x1 となります。

BCLK 高速フラグ読み出しレジスタ (読み出しのみ)

Select Address	Value	動作説明
0x0A[1]	0x0	通常
	0x1	高速検出フラグ

BCLK 低速フラグ読み出しレジスタ (読み出しのみ)

Select Address	Value	動作説明
0x0B[1]	0x0	通常
	0x1	低速検出フラグ

高速検出フラグのクリア (書き込みのみ)

Select Address	動作説明
0x0A[0]	0x1 を書き込むと高速検出フラグがクリアされる。

注意: クロックエラー自動復帰機能(P.62)を使用する場合、上記フラグは自動でクリアされます。

18.3 BCLK 高速、低速検出機能 — 続き

低速検出フラグのクリア (書き込みのみ)

Select Address	動作説明
0x0B[0]	0x1 を書き込むと低速検出フラグがクリアされる。

注意: クロックエラー自動復帰機能(P.62)を使用する場合、上記フラグは自動でクリアされます。

高速フラグ成立回数設定

Default=0x2

Select Address	動作説明
0x0A[6:4]	0x1 以上を設定 (0x1~0x7 を設定) 設定した回数以上の BCLK 高速状態を検出すると 0x0A[1]が 0x1 となります。

低速フラグ成立回数設定

Default=0x2

Select Address	動作説明
0x0B[6:4]	0x1 以上を設定 (0x1~0x7 を設定) 設定した回数以上の BCLK 低速状態を検出すると 0x0B[1]が 0x1 となります。

高速検出フラグの有効、無効選択

Default=0x0

Select Address	Value	動作説明
0x0A[7]	0x0	有効
	0x1	無効

低速検出フラグの有効、無効選択

Default=0x0

Select Address	Value	動作説明
0x0B[7]	0x0	有効
	0x1	無効

高速検出、低速検出される BCLK の周波数範囲は以下になります。

設定 1	設定 2	低速検出 最低周波数(MHz)	高速検出 最高周波数(MHz)
64fs BCLK(0x03[5:4]=0x0)	48kHz(0x0C[1:0]=0x0)	1.28	7.13
	44.1kHz(0x0C[1:0]=0x1)	1.21	6.55
	32kHz(0x0C[1:0]=0x2)	0.88	4.76
48fs BCLK(0x03[5:4]=0x1)	48kHz(0x0C[1:0]=0x0)	0.96	5.35
	44.1kHz(0x0C[1:0]=0x1)	0.91	4.92
	32kHz(0x0C[1:0]=0x2)	0.66	3.57
32fs BCLK(0x03[5:4]=0x2)	48kHz(0x0C[1:0]=0x0)	0.64	3.56
	44.1kHz(0x0C[1:0]=0x1)	0.60	3.28
	32kHz(0x0C[1:0]=0x2)	0.44	2.38

機能説明 — 続き

- 19 クロックエラー自動復帰機能
 クロック停止検出フラグ及び BCLK 高速、低速検出フラグ成立時は PWM 信号出力をミュート状態(瞬時ミュート)にします。その場合、クロックエラー自動復帰機能を有効にしておくと、正常なクロック入力に戻ったときに自動的にミュート状態が解除されます。
 クロックエラー自動復帰機能を無効にしていた場合、ミュート ON、フラグクリアコマンド送信、内部 RAM データクリア、ミュート解除という一連の動作を外部マイコンより制御する必要があります。
 起動直後は無効となっていますので、ミュート解除前に 0x0D[6]=0x1 を設定し、有効にすることを推奨します。

クロック停止保護自動復帰の有効、無効選択
 Default=0x0

Select Address	Value	動作説明
0x0D[6]	0x0	無効
	0x1	有効

各エラーフラグは以下のアドレスより読み出し可能です。対象アドレスから 0x1 が読み出された場合はエラーフラグが立っています。また、一度フラグが立つとエラー状態が解除されても対象のアドレスに 0x0 を書き込むまでフラグはクリアされません。

エラーフラグ読み出しレジスタ

Select Address	動作説明
0x0E[6]	同期エラーフラグ
0x0E[4]	LRCLK 停止フラグ
0x0E[3]	BCLK 停止フラグ
0x0E[2]	BCLK 高速検出フラグ
0x0E[1]	BCLK 低速検出フラグ

- 20 電源投入時の起動手順
 電源投入時は以下の手順で起動してください。
 ここで 0x**=0x** はレジスタへのデータ書き込みを表します。(例: 0x10=0x00 であればセレクトアドレス 0x10 にデータ 0x00 を書き込み)

1. 電源(VCCP1, VCCP2, DVDD)投入
 BCLK, LRCLK を入力してください。
 10ms 以上 Wait
 規格内の安定した BCLK, LRCLK を入力してください。
 1ms 以上 Wait
2. リセット解除(RSTX=High)
 1ms 以上 Wait
3. 0x0C=0x00 : サンプリングレート設定
 (48kHz: 0x00, 44.1kHz: 0x01, 32kHz: 0x02 を設定してください。)
4. 0xE9=0x10 : クロックの初期設定
 100ms 以上 Wait
5. 0x01=0x00 : RAM クリア OFF
6. 0x0D=0x40 : クロック停止保護の自動復帰を有効
7. 0x0E=0x00 : エラーフラグクリア
8. 0x92=0x1D : PWM 設定 1
9. 0x93=0x1B : PWM 設定 2
10. 0x94=0x0F : PWM 設定 3
11. 0x95=0x11 : PWM 設定 4
12. 0x90=0x40 : PWM 設定 5
13. 0xF4=0x14 : 保護機能初期設定
14. 0xF3=0x03 : ドライバ部ゲイン設定(0x03: 26dB, 0x0B: 32dB)
15. 0xF2=0x02 : ステレオ設定(0x02: ステレオ、0x0A: モノラル)
16. 0xF8=0x01 : 0xF4, 0xF3, 0xF2 設定の確定
 10ms 以上 Wait
17. ボリューム、BQ、DRC、プリスケラなどの DSP 機能の設定を行ってください。
18. MUTEX=High : ミュート解除
 (8~12 と 17 については順不同です。)

機能説明 — 続き

21 入力クロック不安定時の操作手順

BCLK, LRCLK, SDATA の I²S 信号の入力が不安定になる可能性がある区間では MUTEX=Low に設定し、出力をミュートしてください。

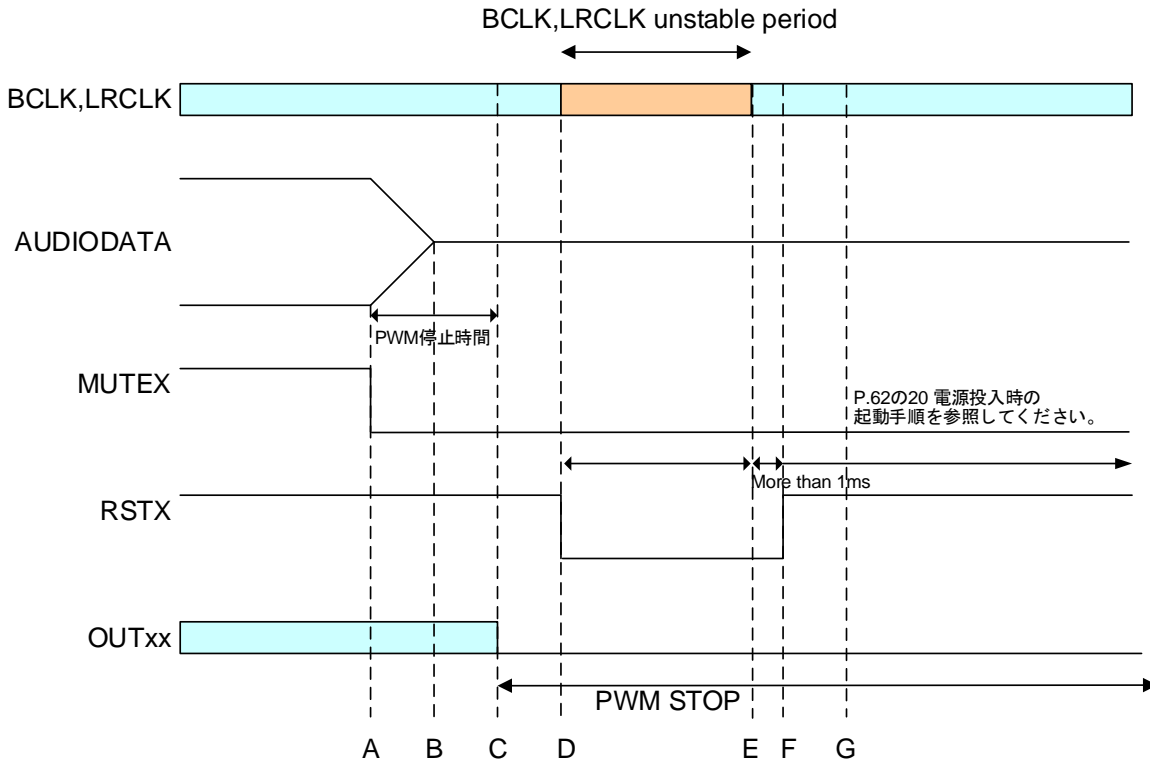


Figure 68. 入力クロック不安定時の操作手順

注意: クロックエラー検出時はクロックエラー解除条件に従います。

機能説明 — 続き

22 I²S Data 出力選択

SDATAO 端子 (pin12)から I²S フォーマットのデジタルオーディオデータを出力可能です。出力データは入力の LRCLK, BCLK と同期して出力されます。
 出力するデータは以下のコマンドにより選択可能です。
 選択されたデータのポイントを以下のブロック図に示します。
 いずれの Point の出力でもクリップ処理は行われます。

SDATAO output select

Default=0x0

Select Address	Value	動作説明
0x78[6:4]	0x0	DSP output (Point1)
	0x1	DSP input (Point2)
	0x2	Pre-Scaler output (Point3)
	0x3	Mixer output (Point4)
	0x4	12Band BQ output (Point5)
	0x5	Fine master volume output (Point6)
	0x6	使用禁止
	0x7	Fine Post Scaler output (Point7)

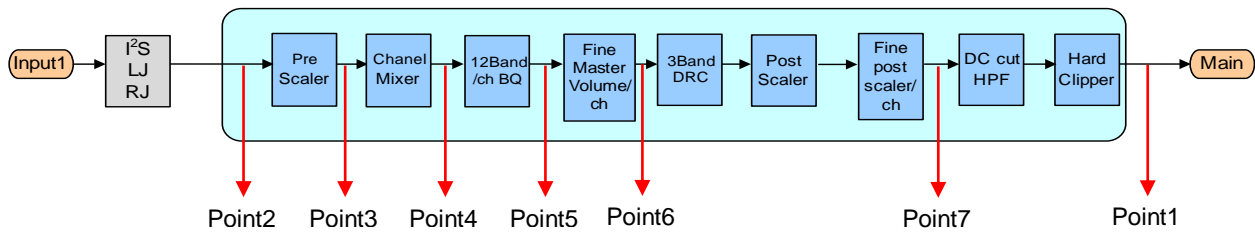


Figure 69

レジスタマップ

Address	Initial Value	Recommended value	Description	Function
0x01	0xE0	0x00 ^(Note 22)	RAM clear	RAM clear setting
0x02	0x00	0x00	Bypass	Select bypass blocks
0x03	0x02	0x02	Digital audio input 1	I ² S input format setting
0x06	0x20	0x20	Synchronous error 2	Synchronous error setting
0x07	0x8A	0x8A	LRCLK, BCLK stop detection 1	LRCLK stop detection setting
0x08	0x00	0x00	LRCLK, BCLK stop detection 2	BCLK stop detection setting
0x09	Read/Write Only	-	LRCLK, BCLK stop detection 3	Read/Clear stop detection
0x0A	0x20	0x20	BCLK Measurement of velocity 1	BCLK fast detection setting
0x0B	0x20	0x20	BCLK Measurement of velocity 2	BCLK slow detection setting
0x0C	0x00	0x00 (48kHz sampling) ^(Note 22)	Sampling frequency setting	Sampling frequency setting
0x0D	0x00	0x40 ^(Note 22)	Auto return 1	Auto return setting
0x0E	Read Only	0x00 ^(Note 22)	Auto return 2	Auto return monitor
0x10	0x00	0x00	Volume, Balance, Postscaler 1	Fine volume setting/ Independent volume setting
0x11	0xFF	0xFF	Volume, Balance, Postscaler 2	Lch/dependent Volume setting (0dB: 0x30)
0x12	0xFF	0xFF	Volume, Balance, Postscaler 3	Rch volume setting (0dB: 0x30)
0x13	0x60	0x60	Volume, Balance, Postscaler 4	Postscaler setting (0dB: 0x60)
0x14	0x88	0x88	Volume, Balance, Postscaler 5	L/R fine postscaler setting
0x15	0x03	0x00	Mute function	Mute transition time setting
0x16	0x60	0x60	Pre-Scaler	Pre-Scaler setting (0dB: 0x60)
0x17	0x12	0x12	Channel mixer	Channel mixer setting
0x18	0x01	0x01	DC Cut HPF	DC cut HPF setting
0x1A	0x01	0x01	Hard Clipper 1	Hard Clipper setting
0x1B	0xE1	0xE1	Hard Clipper 2	Hard Clip level setting
0x20	0xFC	0xFC	DRC common 1	DRC select setting
0x21	0xC0	0xC0	DRC common 2	Transition form setting
0x28	0x40	0x40	AGC_TH1 setting of DRC1	Threshold setting
0x29	0x80	0x80	Slope(α) setting of DRC1	Slope setting
0x2A	0x3B	0x3B	RATE setting of DRC1	A_RATE and R_RATE setting
0x2B	0x13	0x13	TIME setting of DRC1	A_TIME and R_TIME setting
0x2C	0x40	0x40	AGC_TH2 setting of DRC1	Threshold setting
0x2E	0x3B	0x3B	RATE setting of DRC1	A_RATE and R_RATE setting
0x2F	0x13	0x13	TIME setting of DRC1	A_TIME and R_TIME setting

(Note 22) スタートアップ時に必ず設定してください。P.62 “電源投入時の起動手順”を参照してください。

レジスタマップ - 続き

Address	Initial Value	Recommended value	Description	Function
0x30	0x40	0x40	AGC_TH1 setting of DRC2	Threshold setting
0x31	0x80	0x80	Slope(α) setting of DRC2	Slope setting
0x32	0x3B	0x3B	RATE setting of DRC2	A_RATE and R_RATE setting
0x33	0x13	0x13	TIME setting of DRC2	A_TIME and R_TIME setting
0x34	0x40	0x40	AGC_TH2 setting of DRC2	Threshold setting
0x36	0x3B	0x3B	RATE setting of DRC2	A_RATE and R_RATE setting
0x37	0x13	0x13	TIME setting of DRC2	A_TIME and R_TIME setting
0x38	0x40	0x40	AGC_TH1 setting of DRC3	Threshold setting
0x39	0x80	0x80	Slope(α) setting of DRC3	Slope setting
0x3A	0x3B	0x3B	RATE setting of DRC3	A_RATE and R_RATE setting
0x3B	0x13	0x13	TIME setting of DRC3	A_TIME and R_TIME setting
0x3C	0x40	0x40	AGC_TH2 setting of DRC3	Threshold setting
0x3D	0x3B	0x3B	RATE setting of DRC3	A_RATE and R_RATE setting
0x3E	0x13	0x13	TIME setting of DRC3	A_TIME and R_TIME setting
0x3F	0x00	0x00	DRC4 ON	On/Off setting
0x40	0x40	0x40	AGC_TH2 setting of DRC4	Threshold setting
0x41	0x3B	0x3B	RATE setting of DRC4	A_RATE and R_RATE setting
0x42	0x13	0x13	TIME setting of DRC4	A_TIME and R_TIME setting
0x51	0x00	0x00	Bi-quad type filter1	Select of BQ soft transition Band
0x53	0x0C	0x0C	Bi-quad type filter2	Setting of transition time and wait time
0x58	Write Only	-	Bi-quad type filter3	Soft transition start, 0x0: Stop 0x1: Start
0x59	Read Only	-	Bi-quad type filter4	Soft transition flag
0x60	0x00	0x00	The coefficient is written directly. 1	Select of BQ independence or synchronous setting
0x61	0x00	0x00	The coefficient is written directly. 2	Coefficient address bit7~bit0
0x62	0x00	0x00	The coefficient is written directly. 3	Coefficient data bit23~bit16
0x63	0x00	0x00	The coefficient is written directly. 4	Coefficient data bit15~bit8
0x64	0x00	0x00	The coefficient is written directly. 5	Coefficient data bit7~bit0
0x65	Write Only	-	The coefficient is written directly. 6	The writing of coefficients is performed
0x66	Read Only	-	The coefficient is written directly. 7	Coefficient reading bit23~bit16
0x67	Read Only	-	The coefficient is written directly. 8	Coefficient reading bit15~bit8
0x68	Read Only	-	The coefficient is written directly. 9	Coefficient reading bit7~bit0
0x70	0x00	0x00	Small signal detection1	Small signal detection level setting
0x71	0x00	0x00	Small signal detection2	Small signal detection time setting
0x72	Read Only	-	Small signal detection3	Small signal detection flag read-back
0x74	0x00	0x00	Level meter1	Setting of the peak level hold time interval
0x75	Write Only	-	Level meter2	0x0: Lch, 0x1: Rch, 0x2: (Lch+Rch)/2
0x76	Read Only	-	Level meter3	Level reading (16bit high position 8bit)
0x77	Read Only	-	Level meter4	Level reading (16bit subordinate position 8bit)
0x78	0x02	0x02	SDATAO	SDATAO select

レジスタマップ – 続き

Address	Initial Value	Recommended value	Description	Function
0x90	0x00	0x40 ^(Note 22)	PWM setting 5	PWM initialization
0x92	0x00	0x1D ^(Note 22)	PWM setting 1	PWM delay
0x93	0x01	0x1B ^(Note 22)	PWM setting 2	PWM delay
0x94	0x04	0x0F ^(Note 22)	PWM setting 3	PWM delay
0x95	0x05	0x11 ^(Note 22)	PWM setting 4	PWM delay
0xE9	0x01	0x10 (normal) ^(Note 22)	DSP clock setting	DSP clock initialization
0xF2	0x02	0x02 (Stereo) ^(Note 22)	Stereo/Mono	DC voltage protection setting for Stereo / Mono
0xF3	0x03	0x03 (26dB) ^(Note 22)	Driver Gain	Driver Gain setting (26dB or 32dB)
0xF4	0x04	0x14 ^(Note 22)	Protection initialization	Protection initialization
0xF8	0x00	0x01 ^(Note 22)	The decision of 0xF2, 0xF3 and 0xF4	Decided by sending 0x01

(Note 22) スタートアップ時に必ず設定してください。P.62 "20 電源投入時の起動手順"を参照してください。

応用回路例 1(ステレオ BTL 出力, $R_L=8\Omega$, $V_{CCP1}, V_{CCP2}\leq 22V$)

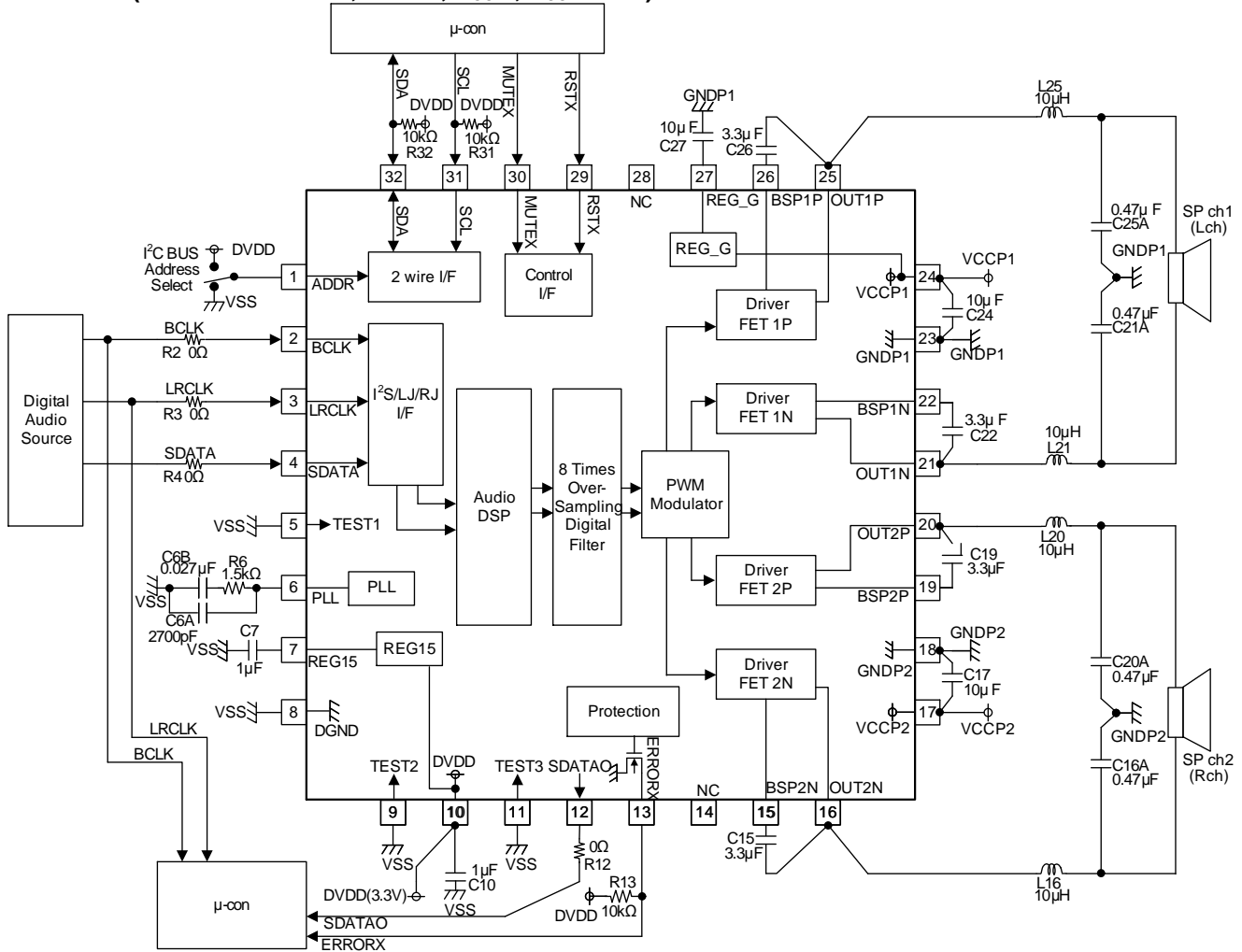


Figure 70

Parts	Qty	Parts No.	Description
Inductor	4	L16, L20, L21, L25	10μH / 3.8A / (±20%)
Resistor	1	R6	1.5kΩ / 1/16W / F(±1%)
	2	R31, R32	10kΩ / 1/16W / J(±5%)
	4	R2, R3, R4, R12	0Ω / 1/10W / J(±5%)
	1	R13	10kΩ / 1/16W / J(±5%)
Capacitor	1	C6A	2700pF / 6.3V / B(±10%)
	1	C6B	0.027μF / 6.3V / B(±10%)
	4	C16A, C20A, C21A, C25A	0.47μF / 50V / B(±10%)
	2	C17, C24	10μF / 35V / B(±10%)
	4	C15, C19, C22, C26	3.3μF / 16V / B(±10%)
	2	C7, C10	1.0μF / 10V / B(±10%)
	1	C27	10μF / 16V / B(±10%)

- 注意 1:** 使用するスピーカのインピーダンス特性が高域で急激に上昇すると、出力 LC フィルタで決まる共振周波数付近において LSI が安定に動作しない恐れがあります。したがって、使用するスピーカのインピーダンス特性を十分に考慮して、必要に応じてダンピング回路を追加するなどの対策を施してください。
- 注意 2:** 本 LSI はショート保護機能を搭載しており、LC フィルタより後段にて天絡・地絡が発生した場合には、過電流によりショート保護機能が働きますが、コイルの逆起電力により絶対最大定格を超えるようなオーバー・アンダーシュートが発生し破壊に至ることがありますので、十分ご注意ください。また、磁気飽和直流重畳許容電流値が小さいコイルを使用すると、スピーカ出力(LC フィルタ後)の天絡・地絡時にコイルが磁気飽和現象を起こすために LSI に瞬時に大電流が流れ、LSI 破壊を引き起こす可能性がありますので、ご注意ください。
- 注意 3:** 基板、電源カップリングコンデンサなどにより出力 PWM のオーバーシュート量は異なります。絶対最大定格を超えることのないよう必ずご確認のうえご使用ください。絶対最大定格を超えてしまう場合は必ずスナバ回路を挿入してください。
- 注意 4:** $V_{CCP1}, V_{CCP2} > 22V$ で使用する場合はスナバ回路を挿入かつ LCR 共振の影響を少なくするために LC Filter 定数を変更してください。
- 注意 5:** この回路定数は弊社評価基板での値であり、実機基板では定数の調整が必要な場合があります。十分な評価を実施してください。

応用回路例 2(ステレオ BTL 出力, $R_L=8\Omega$, $22V < V_{CCP1}$, $V_{CCP2} \leq 24V$)

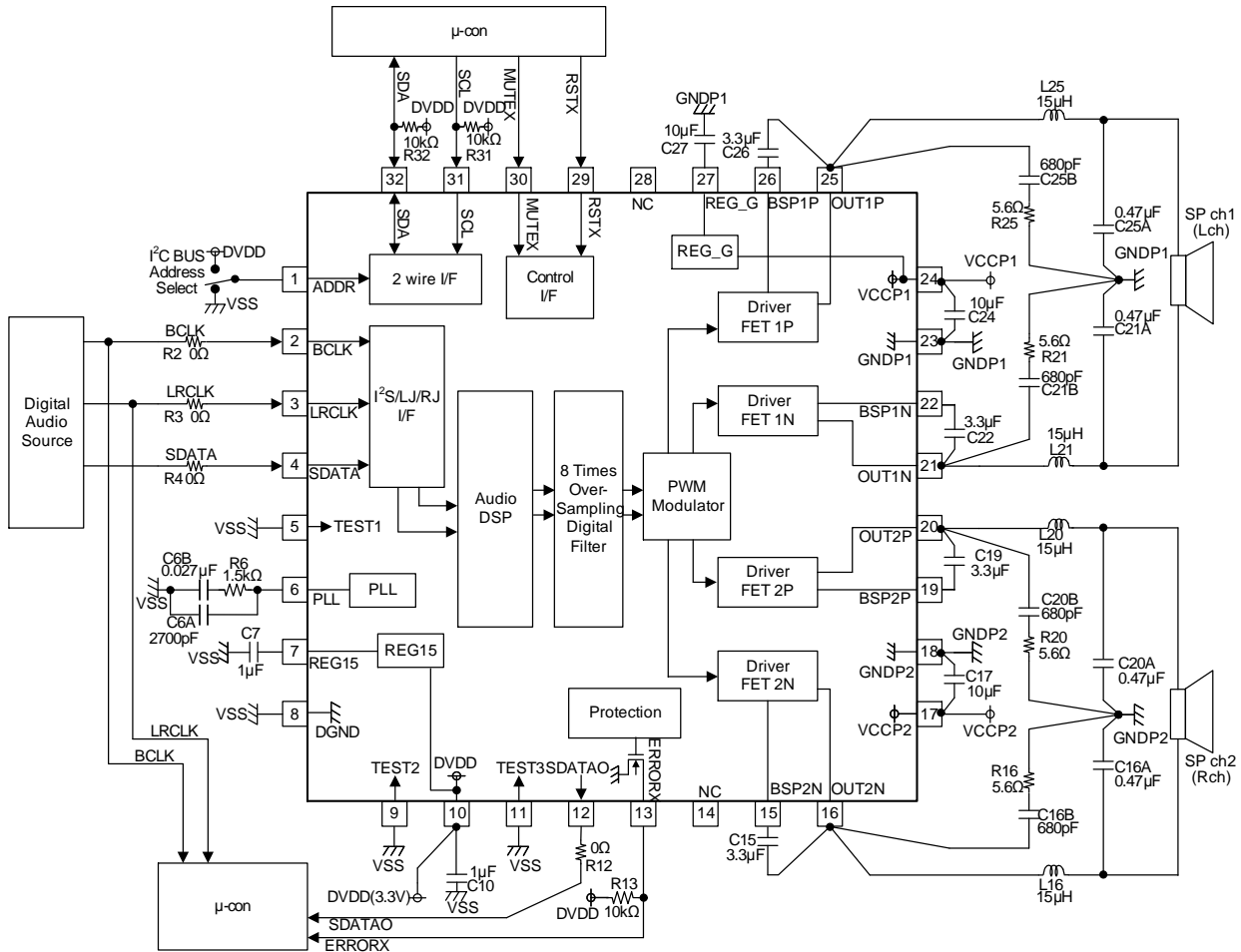


Figure 71

Parts	Qty	Parts No.	Description
Inductor	4	L16, L20, L21, L25	15μH / 2.9A / (±20%)
Resistor	1	R6	1.5kΩ / 1/16W / F(±1%)
	2	R31, R32	10kΩ / 1/16W / J(±5%)
	4	R2, R3, R4, R12	0Ω / 1/10W / J(±5%)
	4	R16, R20, R21, R25	5.6Ω / 1/4W / J(±5%)
	1	R13	10kΩ / 1/16W / J(±5%)
Capacitor	1	C6A	2700pF / 6.3V / B(±10%)
	1	C6B	0.027μF / 6.3V / B(±10%)
	4	C16B, C20B, C21B, C25B	680pF / 50V / CH(±5%)
	4	C16A, C20A, C21A, C25A	0.47μF / 50V / B(±10%)
	2	C17, C24	10μF / 35V / B(±10%)
	4	C15, C19, C22, C26	3.3μF / 16V / B(±10%)
	2	C7, C10	1.0μF / 10V / B(±10%)
	1	C27	10μF / 16V / B(±10%)

- 注意 1:** 使用するスピーカのインピーダンス特性が高域で急激に上昇すると、出力 LC フィルタで決まる共振周波数付近において LSI が安定に動作しない恐れがあります。したがって、使用するスピーカのインピーダンス特性を十分に考慮して、必要に応じてダンピング回路を追加するなどの対策を施してください。
- 注意 2:** 本 LSI はショート保護機能を搭載しており、LC フィルタより後段にて天絡・地絡が発生した場合には、過電流によりショート保護機能が働きますが、コイルの逆起電力により絶対最大定格を超えるようなオーバー・アンダーシュートが発生し破壊に至ることがありますので、十分ご注意ください。また、磁気飽和直流重畳許容電流値が小さいコイルを使用すると、スピーカ出力(LC フィルタ後の)天絡・地絡時にコイルが磁気飽和現象を起こすために LSI に瞬時に大電流が流れ、LSI 破壊を引き起こす可能性がありますので、ご注意ください。
- 注意 3:** 基板、電源カップリングコンデンサなどにより出力 PWM のオーバーシュート量は異なります。絶対最大定格を超えることのないよう必ずご確認のうえご使用ください。絶対最大定格を超えてしまう場合は必ずスナバ回路を挿入してください。
- 注意 4:** V_{CCP1} , $V_{CCP2} > 22V$ で使用する場合は本ページに示すとおりスナバ回路を挿入かつ LCR 共振の影響を少なくするために LC Filter 定数を変更してください。
- 注意 5:** この回路定数は弊社評価基板での値であり、実機基板では定数の調整が必要な場合があります。十分な評価を実施してください。

応用回路例 3(モノラル BTL 出力^(Note 23), $R_L=4\Omega$, V_{CCP1} , $V_{CCP2}\leq 14V$)

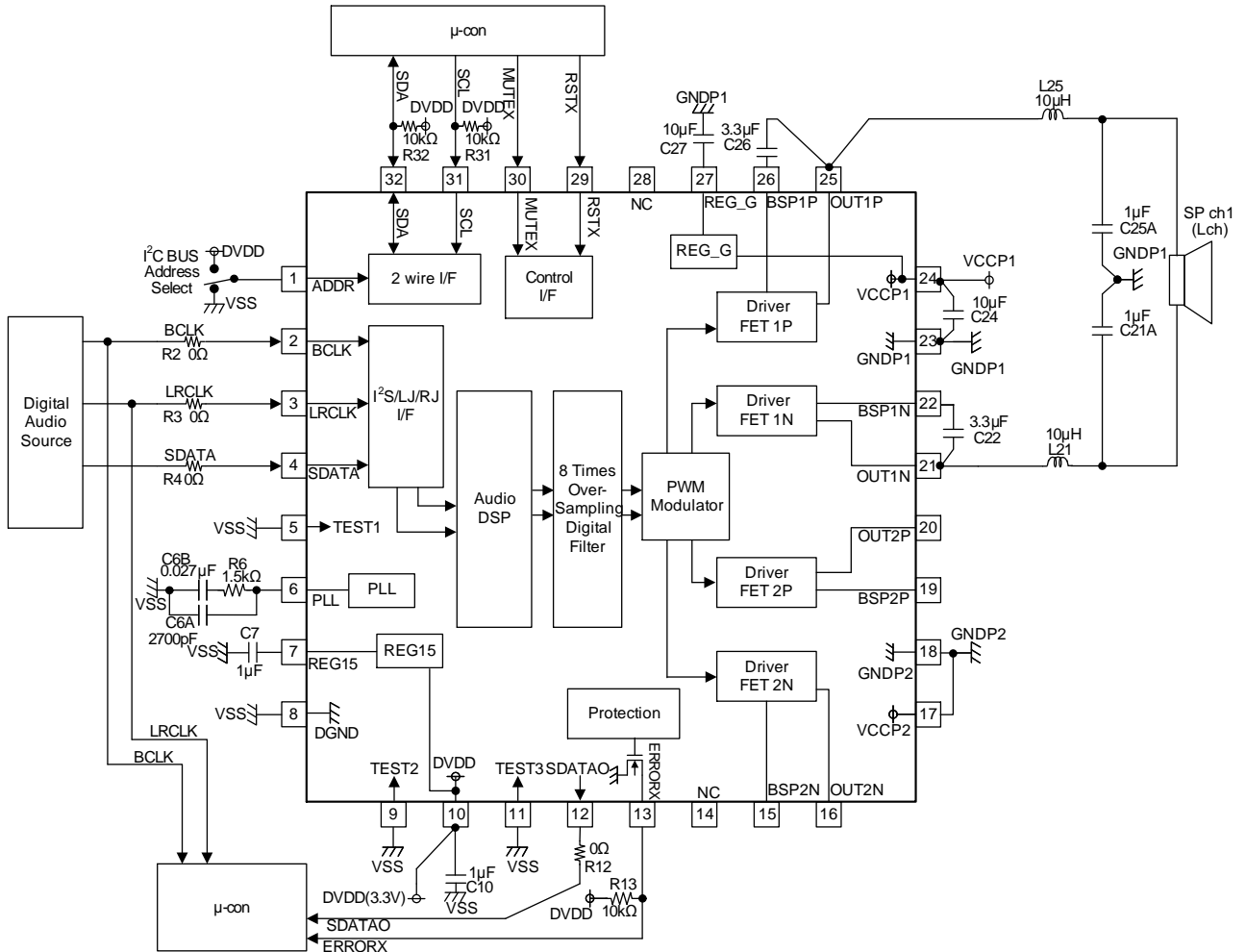


Figure 72

Parts	Qty	Parts No.	Description
Inductor	2	L21, L25	10μH / 3.8A / (±20%)
Resistor	1	R6	1.5kΩ / 1/16W / F(±1%)
	2	R31, R32	10kΩ / 1/16W / J(±5%)
	4	R2, R3, R4, R12	0Ω / 1/10W / J(±5%)
	1	R13	10kΩ / 1/16W / J(±5%)
Capacitor	1	C6A	2700pF / 6.3V / B(±10%)
	1	C6B	0.027μF / 6.3V / B(±10%)
	2	C21A, C25A	1.0μF / 50V / B(±10%)
	1	C24	10μF / 35V / B(±10%)
	2	C22, C26	3.3μF / 16V / B(±10%)
	2	C7, C10	1.0μF / 10V / B(±10%)
	1	C27	10μF / 16V / B(±10%)

- 注意 1:** 使用するスピーカのインピーダンス特性が高域で急激に上昇すると、出力 LC フィルタで決まる共振周波数付近において LSI が安定に動作しない恐れがあります。したがって、使用するスピーカのインピーダンス特性を十分に考慮して、必要に応じてダンピング回路を追加するなどの対策を施してください。
- 注意 2:** 本 LSI はショート保護機能を搭載しており、LC フィルタより後段にて天絡・地絡が発生した場合には、過電流によりショート保護機能が働きますが、コイルの逆起電力により絶対最大定格を超えるようなオーバー・アンダーシュートが発生し破壊に至ることがありますので、十分ご注意ください。また、磁気飽和直流重畳許容電流値が小さいコイルを使用すると、スピーカ出力(LC フィルタ後)の天絡・地絡時にコイルが磁気飽和現象を起こすために LSI に瞬時に大電流が流れ、LSI 破壊を引き起こす可能性があります。
- 注意 3:** 基板、電源カップリングコンデンサなどにより出力 PWM のオーバーシュート量は異なります。絶対最大定格を超えることのないよう必ずご確認のうえご使用ください。絶対最大定格を超えてしまう場合は必ずスナバ回路を挿入してください。
- 注意 4:** この回路定数は弊社評価基板での値であり、実機基板では定数の調整が必要な場合があります。十分な評価を実施してください。

(Note 23) スタートアップ時(MUTEX=Low の状態)に 0xF2=0x0A 及び 0xF8=0x01 のレジスタ設定が必要です。
(“モノラル出力時の設定”を参照ください。)

アプリケーション部品選定方法

1 出力 LC フィルタ回路について

負荷(スピーカ)に供給される可聴帯域以外の高周波成分を排除するために出力フィルタが必要です。この LSI の出力 PWM 信号には 384kHz($f_s=48\text{kHz}$)のサンプリング周波数が使用されているため、この信号を十分に排除する必要があります。外付け回路の推奨は以下のとおりです。コイルL及びコンデンサ C_g は、-12dB/octの減衰特性を持つフィルタを構成しています。

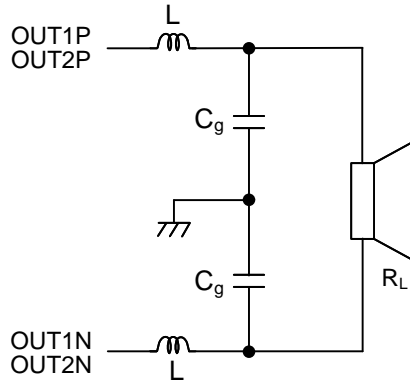


Figure 73. 出力 LC フィルタ回路図

以下に代表的な負荷インピーダンス時の出力 LC フィルタ定数例を示します。

R_L	L	C_g	Note
4Ω	10μH	1μF	$V_{CCP1}, V_{CCP2} \leq 14V$
6Ω	10μH	0.68μF	$V_{CCP1}, V_{CCP2} \leq 22V$
	15μH	0.47μF	$V_{CCP1}, V_{CCP2} > 22V$
8Ω	10μH	0.47μF	$V_{CCP1}, V_{CCP2} \leq 22V$
	15μH	0.47μF	$V_{CCP1}, V_{CCP2} > 22V$

使用するコイルは低直流抵抗で直流重畳許容電流値に十分マージンがある部品を選んでください。

また、不要輻射防止のため閉磁路タイプを推奨致します。

コイルの直流抵抗成分は、電力損失を発生させます。

直流重畳許容電流値が小さいコイルを使用すると、スピーカ出力(LC フィルタ後)の天絡・地絡時にコイルが磁気飽和現象を起こすために LSI に瞬時に大電流が流れ、LSI 破壊を引き起こす可能性があります。

特に、 $V_{CCP1}, V_{CCP2} > 22V$ で使用する場合は、直流重畳許容電流値 7.2A 以上のコイルを推奨致します。

また、LC 共振による影響を低減するために、上記例のように LC フィルタの f_{CL} (LC 共振周波数)を下げて使用することを推奨します。

使用するコンデンサは等価直列抵抗が小さく、高周波域でインピーダンス特性が悪化しない部品を選んでください。

また、十分耐圧に余裕があるものを選んでください。

2 LC フィルタ回路の定数算出計算式

BM28723AMUV の出力 LC フィルタ回路は Figure 74 に示すとおりです。

LC フィルタ回路の L、 C_g 定数の算出に際して、

Figure 74 の LC フィルタ回路は、Figure 75 のように置き換えて考えます。

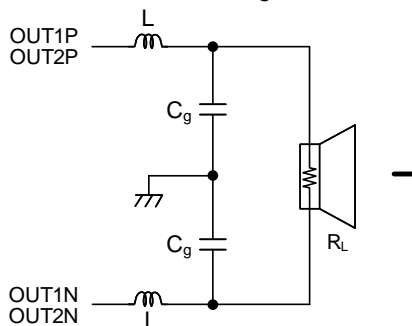


Figure 74. 出力 LC フィルタ回路図 1

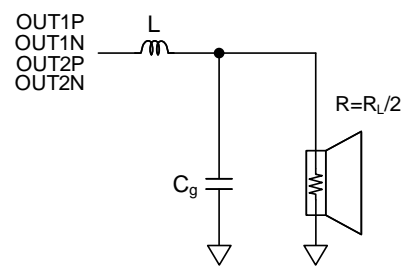


Figure 75. 出力 LC フィルタ回路図 2

2 LC フィルタ回路の定数算出計算式 — 続き

Figure 75 の LC フィルタ回路の伝達関数 $H(s)$ は、以下のようになります。

$$H(s) = \frac{\frac{1}{LC_g}}{s^2 + \frac{1}{C_g R} s + \frac{1}{LC_g}} = \frac{\omega^2}{s^2 + \frac{\omega}{Q} s + \omega^2}$$

ここで、 ω 及び Q は以下のようになります。

$$\omega^2 = \frac{1}{LC_g} \quad \omega = 2\pi f_{CL} \quad f_{CL} = \frac{1}{2\pi\sqrt{LC_g}}$$

$$Q = R\sqrt{\frac{C_g}{L}} = \frac{1}{2}R_L\sqrt{\frac{C_g}{L}}$$

したがって、 L 及び C_g は以下のようになります。

$$L = \frac{1}{\omega^2 C_g} = \frac{R_L}{4\pi f_{CL} Q} \quad C_g = \frac{Q}{\omega R} = \frac{Q}{\pi f_{CL} R_L}$$

これより R_L 、 L を既知として、 f_{CL} を設定し、 C_g を決めます。

3 コイルのインダクタンス値の設定

使用するコイルのインダクタンス値の選定基準は、低コスト化・小型化・薄型化などの他に、以下の背反事象を考慮してください。

1. インダクタンス値を小さくした場合

- ・無信号時回路電流が増大します。また、低出力時の効率が悪くなります。
- ・コイルサイズを同一とした場合、コイルの直流抵抗値は小さく抑えられます。そのため、最大出力は上がります。また、コイルの直流重畳許容電流値、温度上昇許容電流値は高くなります。

2. インダクタンス値を大きくした場合

- ・無信号時回路電流は低く抑えられます。低出力時の効率が良くなります。
- ・コイルサイズを同一とした場合、コイルの直流抵抗値は大きくなります。そのため、最大出力は下がります。また、コイルの直流重畳許容電流値、温度上昇許容電流値は低くなるので、出力を大きくする場合は注意が必要です。

アプリケーション部品選定方法 - 続き

4 スナバ定数の設定

出力 PWM のオーバーシュートが定格を超える場合や、 $V_{CCP1}, V_{CCP2} > 22V$ で使用する場合、出力 PWM のオーバーシュートが EMI に影響を与えている場合、オーディオ特性を改善したい場合には、下記に示すスナバ回路を挿入してください。

1. OUT 端子において、PWM 出力波形(立ち上り時)のリングング共振周波数 f_1 を、FET プローブを使用して測定してください。(Figure 76)
その際に、プローブは端子直をモニタし、グランドリードは極力短くしてください。
2. スナバ回路定数 $R_{snb}=0\Omega$ として(コンデンサのみで接地)、リングングの共振周波数 f_2 を測定します。このとき、共振周波数 f_1 の半分の周波数($2f_2=f_1$)になるまでコンデンサ C の値を調整します。ここで得られた C の値は、リングングを生成している寄生容量 C_p の 3 倍になります($C=3C_p$)。
3. 次式にて、寄生インダクタンス L_p を求めます。

$$L_p = \frac{1}{(2\pi f_1)^2 C_p}$$

4. 寄生容量 C_p と寄生インダクタンス L_p から、共振の特性インピーダンス Z を次式で求めます。

$$Z = \sqrt{\frac{L_p}{C_p}}$$

5. スナバ回路定数 R_{snb} は、特性インピーダンス Z と同じ値に設定します。スナバ回路定数 C_{snb} は、寄生容量 C_p の 4~10 倍の値に設定します($C_{snb}=4C_p \sim 10C_p$)。 C_{snb} の値を大きくするとスイッチング電流が増加するため、特性とのトレードオフで決めてください。

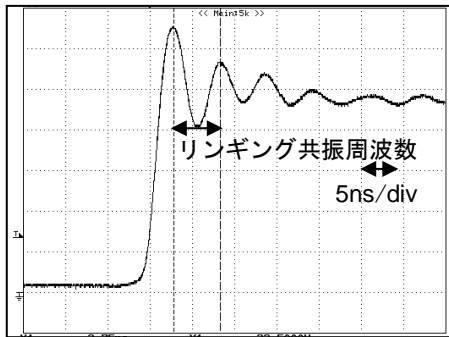


Figure 76. PWM 出力波形 (リングング共振周波数の測定)

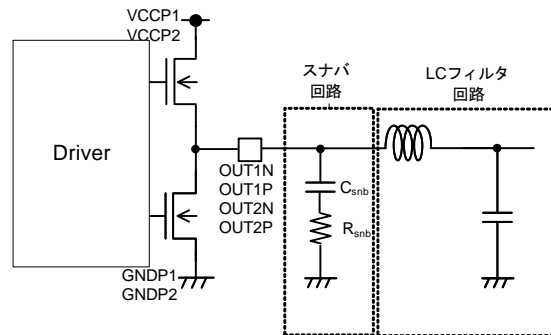


Figure 77. スナバ回路

$22V < V_{CCP1}, V_{CCP2} \leq 24V, R_L=8\Omega, P_o=10W+10W$ 時でのローム 4 層評価ボード^(Note 12)での推奨値は下記のとおりです。

C_{snb}	R_{snb}
680pF 50V CH(±5%)	5.6Ω 1/4W J(±5%)

$V_{CCP1}, V_{CCP2} \leq 22V, R_L=8\Omega, P_o=10W+10W$ 時でのローム 4 層評価ボード^(Note 12)での推奨値は下記のとおりです。

C_{snb}	R_{snb}
470pF 50V CH(±5%)	0Ω or 5.6Ω 1/8W J(±5%)

(Note 12) 100mm×100mm×1.6mm FR4 4層ガラスエポキシ基板 銅箔厚 35μm/70μm/70μm/35μm アプリケーション評価用基板

アプリケーション部品選定方法 - 続き

5 アプリケーション部品による動作条件

項目	Parts No.	規格値			単位	条件
		Min	Typ	Max		
電源カップリングコンデンサ	C17, C24	1 ^(Note 24)	10	-	μF	B 特性 セラミックコンデンサ推奨
REG_G コンデンサ	C27	1 ^(Note 24)	10	13.5 ^(Note 26)	μF	B 特性、16V 耐圧 セラミックコンデンサ推奨
REG15 コンデンサ	C7	0.4 ^(Note 24)	1.0	1.35 ^(Note 26)	μF	B 特性、10V 耐圧 セラミックコンデンサ推奨
BSP コンデンサ	C15, C19, C22, C26	2.0 ^(Note 24) (Note 25)	3.3	4.5 ^(Note 26)	μF	B 特性、16V 耐圧 セラミックコンデンサ推奨
		2.0 ^(Note 24) (Note 25)	4.7	6.3 ^(Note 26) (Note 27)	μF	B 特性、16V 耐圧 セラミックコンデンサ推奨

(Note 24) コンデンサの容量は温度特性、DC バイアス特性などを考慮して最小値を下回らないように設定してください。

(Note 25) スピーカ出力動作範囲(20Hz~20kHz, sin 波, THD+N≤10%)を保証するために必要な最小値です。

(Note 26) 容量バラツキ±10%、静電容量変化率±22%を考慮した値です。本定格以内のコンデンサをご使用ください。

(Note 27) 電源立ち上げ時の RSTX→MUTEX Wait 時間(T_{WAIT}: P.27 参照)に影響します。本定格以内のコンデンサをご使用ください。

使用上の注意

1. 電源の逆接続について

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れるなどの対策を施してください。

2. 電源ラインについて

基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。その際、デジタル系電源とアナログ系電源は、それらが同電位であっても、デジタル系電源パターンとアナログ系電源パターンは分離し、配線パターンの共通インピーダンスによるアナログ電源へのデジタル・ノイズの回り込みを抑制してください。グラウンドラインについても、同様のパターン設計を考慮してください。

また、LSI のすべての電源端子について電源-グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量低下が起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

3. グラウンド電位について

L 負荷駆動端子については、L 負荷の逆起電圧の影響でグラウンド以下に振れることが考えられます。L 負荷駆動端子が逆起電圧によって負電位になる場合を除き、グラウンド端子はいかなる動作状態においても最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子、L 負荷駆動端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。使用条件、環境及び L 負荷個々の特性によっては誤動作などの不具合が発生する可能性があります。LSI の動作などに問題のないことを十分ご確認ください。

4. グラウンド配線パターンについて

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

5. 推奨動作条件について

この範囲であればほぼ期待通りの特性を得ることができる範囲です。電気特性については各項目の条件下において保証されるものです。

6. ラッシュカレントについて

LSI 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

7. セット基板での検査について

セット基板での検査時に、インピーダンスの低い端子にコンデンサを接続する場合は、LSI にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

使用上の注意 — 続き

8. 端子間ショートと誤装着について

プリント基板に取り付ける際、LSI の向きや位置ずれに十分注意してください。誤って取り付けられた場合、LSI が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

9. 未使用の入力端子の処理について

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

10. 各入力端子について

本 LSI は、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、グラウンド > (端子 A) の時、トランジスタ (NPN) ではグラウンド > (端子 B) の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ (NPN) では、グラウンド > (端子 B) の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

LSI の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子にグラウンド (P 基板) より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子がグラウンドにショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

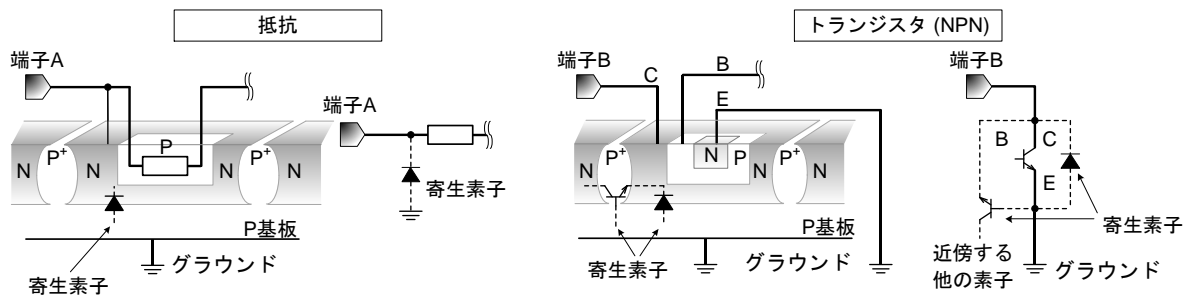


Figure 78. LSI 構造例

11. セラミックコンデンサの特性変動について

外付けコンデンサに、セラミックコンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮のうえ定数を決定してください。

12. 温度保護回路について

LSI を熱破壊から防ぐための温度保護回路を内蔵しております。最高接合部温度内でご使用いただきますが、万が一最高接合部温度を超えた状態が継続すると、温度保護回路が動作し出力パワー素子が OFF します。その後チップ温度 T_j が低下すると回路は自動で復帰します。なお、温度保護回路は絶対最大定格を超えた状態での動作となりますので、温度保護回路を使用したセット設計などは、絶対に避けてください。

13. 過電流保護回路について

出力には電流能力に応じた過電流保護回路が内部に内蔵されているため、負荷ショート時には LSI 破壊を防止しますが、この保護回路は突発的な事故による破壊防止に有効なもので、連続的な保護回路動作、過渡時でのご使用に対応するものではありません。

発注形名情報



BM28723AMUV-E2 の包装形態は防湿仕様です。

標印図

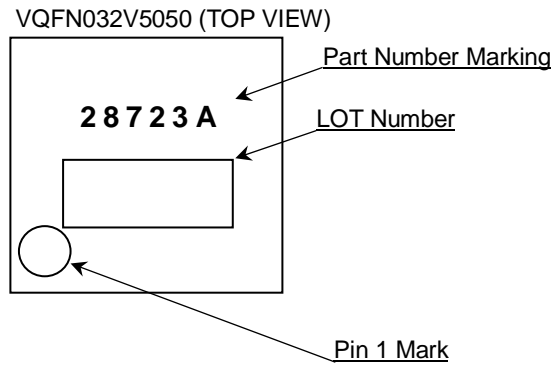
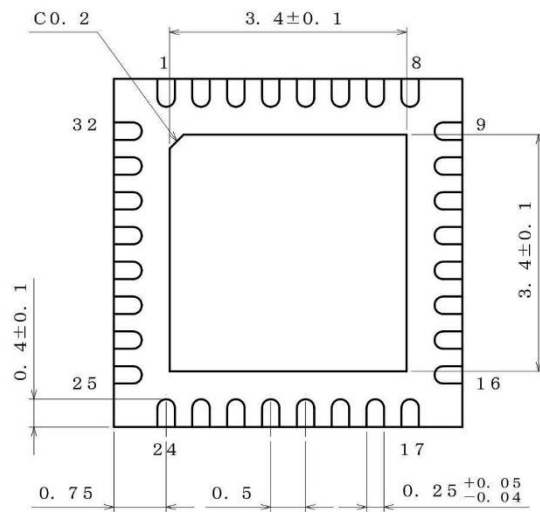
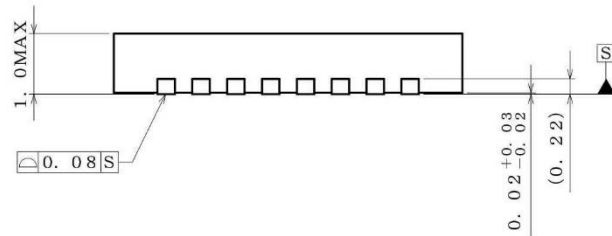
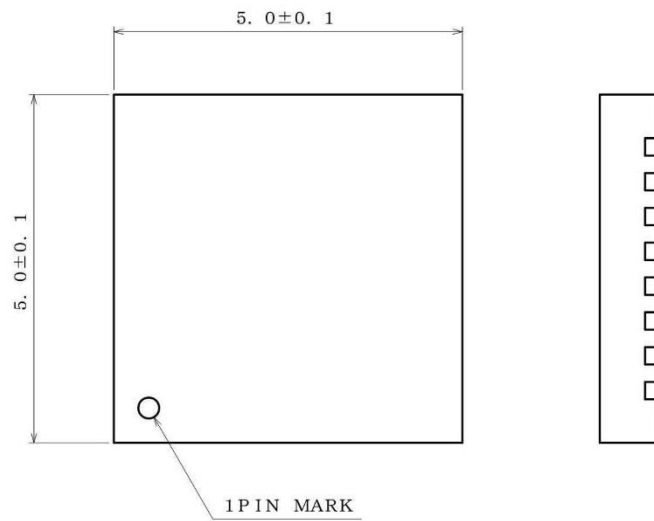


Figure 79

外形寸法図と包装・フォーミング仕様

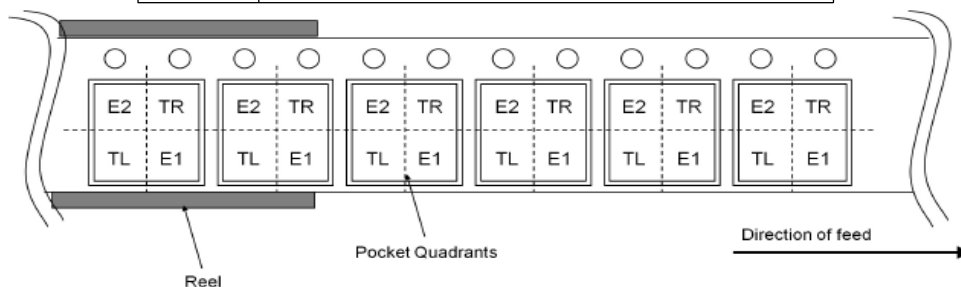
Package Name	VQFN032V5050
--------------	--------------



(UNIT : mm)
 PKG : VQFN032V5050
 Drawing No. EX461-5001-2

<包装仕様>

包装形態	エンボステーピング
包装数量	2500pcs
包装方向	E2 (リールを左手に持ち、右手でテープを引き出したときに 製品の1番ピンが左上にくる方向)



改訂履歴

日付	版	変更内容
2018.08.31	001	新規作成

ご注意

ローム製品取扱い上の注意事項

1. 本製品は一般的な電子機器（AV 機器、OA 機器、通信機器、家電製品、アミューズメント機器等）への使用を意図して設計・製造されております。したがって、極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器^(Note 1)、輸送機器、交通機器、航空宇宙機器、原子力制御装置、燃料制御、カーアクセサリを含む車載機器、各種安全装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

2. 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、かかる誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
3. 本製品は、一般的な電子機器に標準的な用途で使用されることを意図して設計・製造されており、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合。
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用。
 - ⑦はんだ付けの後に洗浄を行わない場合（無洗浄タイプのフラックスを使用された場合も、残渣の洗浄は確実にを行うことをお勧め致します）、又ははんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合。
 - ⑧本製品が結露するような場所でのご使用。
4. 本製品は耐放射線設計はなされておられません。
5. 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
6. パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
7. 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
8. 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
9. 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

1. ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
2. はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。(人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等)

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
 - ①潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ②推奨温度、湿度以外での保管
 - ③直射日光や結露する場所での保管
 - ④強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き(梱包箱に表示されている天面方向)で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルに2次元バーコードが印字されていますが、2次元バーコードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は外国為替及び外国貿易法に定める規制貨物等に該当するおそれがありますので輸出する場合には、ロームにお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等(ソフトウェア含む)との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。