

アナログ・サウンド・プロセッサシリーズ

2次ポストフィルタ／High-Voltage 機能内蔵 カーオーディオ用サウンドプロセッサ

BD37068FV-M

概要

ステレオ 6ch の入力セクタを内蔵し、信号レベルを調整して ADC へ出力します。DAC から出力された信号の帯域外ノイズを低減するための 2 次ポストフィルタとボリュームをそれぞれ 6ch 内蔵し、最大出力 5.2V_{RMS} まで増幅可能です。さらには、TDMA ノイズ低減機能を持たせており、セット設計の容易化に貢献します。

特長

- AEC-Q100(Grade3)対応
- シングルエンド入力可能な差動入力セクタ内蔵
- ゲイン切替時のポップノイズを軽減するアドバンスト・スイッチ回路内蔵
- DAC の帯域外ノイズを低減する 2 次ポストフィルタを内蔵（外付け部品無し）
- バッファ受け高 CMRR グランド・アイソレーションアンプを内蔵
- TDMA ノイズ低減回路内蔵
- 5.2V_{RMS} 出力が可能な High-Voltage 機能内蔵
- パッケージに SSOP-B40 を使用。音声入力端子、音声出力端子をそれぞれまとめて配置し、信号の流れを一方に揃えていることが基板パターンのレイアウトを容易にし、基板面積の削減に貢献
- I²C-bus コントローラは、3.3V/5V に対応

用途

- カーオーディオに最適。ミニコンポ、マイクロコンポなど

基本アプリケーション回路

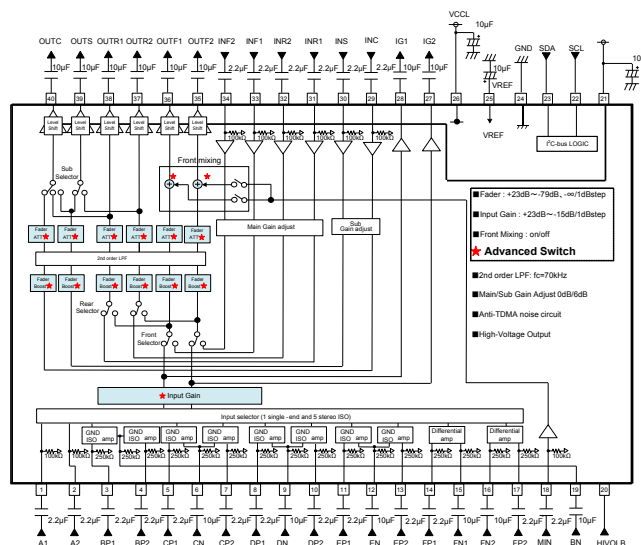


Figure 1. 基本アプリケーション回路

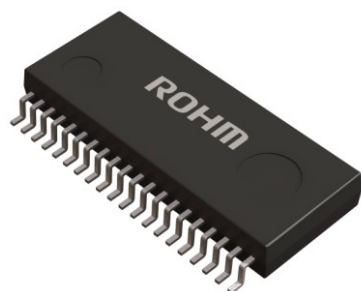
重要特性

- | | |
|----------------|-----------------------------|
| ■ 全高調波歪率： | 0.003%(Typ) |
| ■ 最大入力電圧： | 2.2V _{RMS} (Typ) |
| ■ 同相除去比： | 55dB(Min) |
| ■ 最大出力電圧： | 5.2V _{RMS} (Typ) |
| ■ 出力雑音電圧： | 23µV _{RMS} (Typ) |
| ■ 残留雑音電圧： | 10.5µV _{RMS} (Typ) |
| ■ リップルリジェクション： | -70dB (Typ) |
| ■ 動作温度範囲： | -40 °C ~ +85 °C |

※High-Voltage モードにおける特性値を現しています。

パッケージ

SSOP-B40

W(Typ) x D(Typ) x H(Max)
13.60mm x 7.80mm x 2.00mm

SSOP-B40

目次

概要	1
特長	1
用途	1
重要特性	1
パッケージ	1
W(Typ) x D(Typ) x H(Max)	1
基本アプリケーション回路	1
目次	2
端子配置図	3
端子説明	3
ブロック図	4
絶対最大定格 (Ta=25°C)	4
推奨動作範囲	4
電気的特性	5
特性データ (参考データ)	7
I ² C-bus 制御信号仕様	9
1. バス・ラインおよび I/O ステージの電気的仕様およびタイミング	9
2. I ² C-bus フォーマット	10
3. I ² C-bus インタフェース・プロトコル	10
4. スレーブアドレス	10
5. セレクトアドレスとデータ	11
6. 電源オン時の初期状態について	17
7. 電源立ち上げ・立ち下げ時のシーケンスについて	17
OUT 端子(27,28,35~40pin)DC-Bias 電圧の電源電圧特性について	19
アドバンスト・スイッチについて	20
応用回路例	26
配線上の注意	26
熱損失について	27
入出力等価回路図	28
アプリケーション情報	30
1. 絶対最大定格電圧	30
2. 信号入力について	30
3. 出力負荷特性について	30
4. 電源 OFF 時の HIVOLB 端子 (20pin) について	31
5. 音声入力端子について	31
6. 入力ゲインセクタ、フェダーのゲイン切替えについて	31
7. VCCH 端子との端子間ショートについて	31
使用上の注意	32
1. 電源の逆接続について	32
2. 電源ラインについて	32
3. グ라운드電位について	32
4. グ라운드配線パターンについて	32
5. 熱設計について	32
6. 推奨動作条件について	32
7. ラッシュカレントについて	32
8. 強電磁界中の動作について	32
9. セット基板での検査について	33
10. 端子間ショートと誤装着について	33
11. 各入力端子について	33
発注形名情報	34
外形寸法図と包装・フォーミング仕様	34
標印図	34
改訂履歴	35

端子配置図

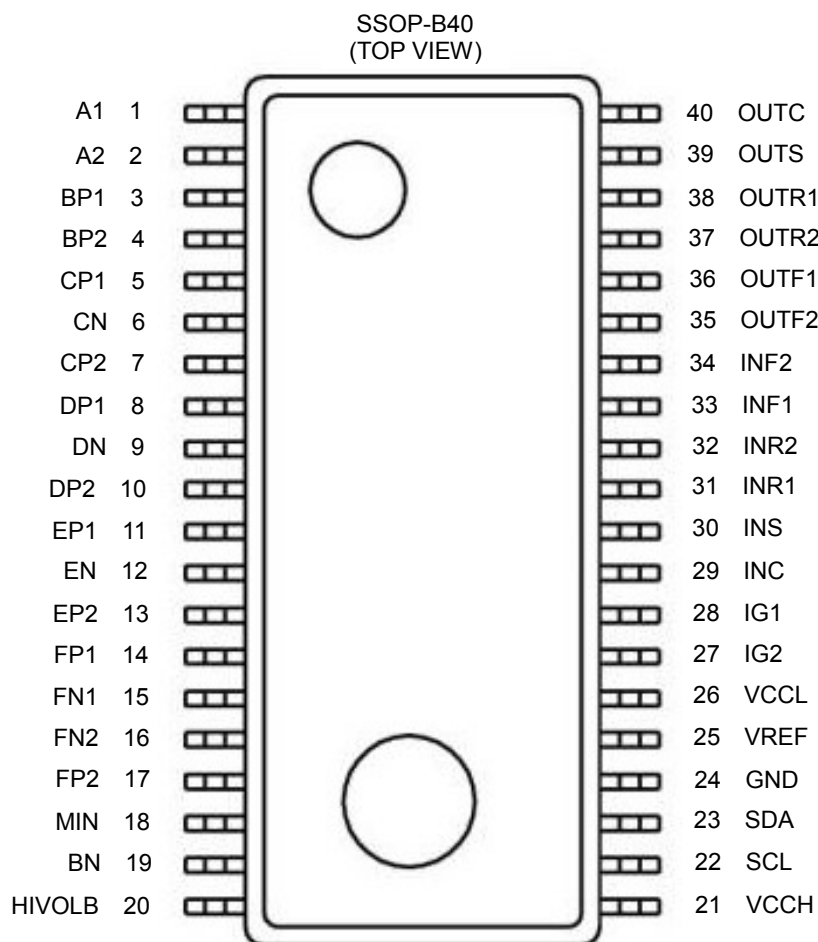


Figure 2. 端子配置図

端子説明

端子番号	端子名	端子説明	端子番号	端子名	端子説明
1	A1	A input terminal of 1ch	21	VCCH	VCCH terminal for power supply
2	A2	A input terminal of 2ch	22	SCL	I ² C Communication clock terminal
3	BP1	B positive input terminal of 1ch	23	SDA	I ² C Communication data terminal
4	BP2	B positive input terminal of 2ch	24	GND	GND terminal
5	CP1	C positive input terminal of 1ch	25	VREF	BIAS terminal
6	CN	C negative input terminal	26	VCCL	VCCL terminal for power supply
7	CP2	C positive input terminal of 2ch	27	IG2	Input gain output terminal of 2ch
8	DP1	D positive input terminal of 1ch	28	IG1	Input gain output terminal of 1ch
9	DN	D negative input terminal	29	INC	Center input terminal
10	DP2	D positive input terminal of 2ch	30	INS	Subwoofer input terminal
11	EP1	E positive input terminal of 1ch	31	INR1	Rear input terminal of 1ch
12	EN	E negative input terminal	32	INR2	Rear input terminal of 2ch
13	EP2	E positive input terminal of 2ch	33	INF1	Front input terminal of 1ch
14	FP1	F positive input terminal of 1ch	34	INF2	Front input terminal of 2ch
15	FN1	F negative input terminal of 1ch	35	OUTF2	Front output terminal of 2ch
16	FN2	F negative input terminal of 2ch	36	OUTF1	Front output terminal of 1ch
17	FP2	F positive input terminal of 2ch	37	OUTR2	Rear output terminal of 2ch
18	MIN	Mixing input terminal	38	OUTR1	Rear output terminal of 1ch
19	BN	B negative input terminal	39	OUTS	Subwoofer output terminal
20	HIVOLB	Output Gain control terminal	40	OUTC	Center output terminal

ブロック図

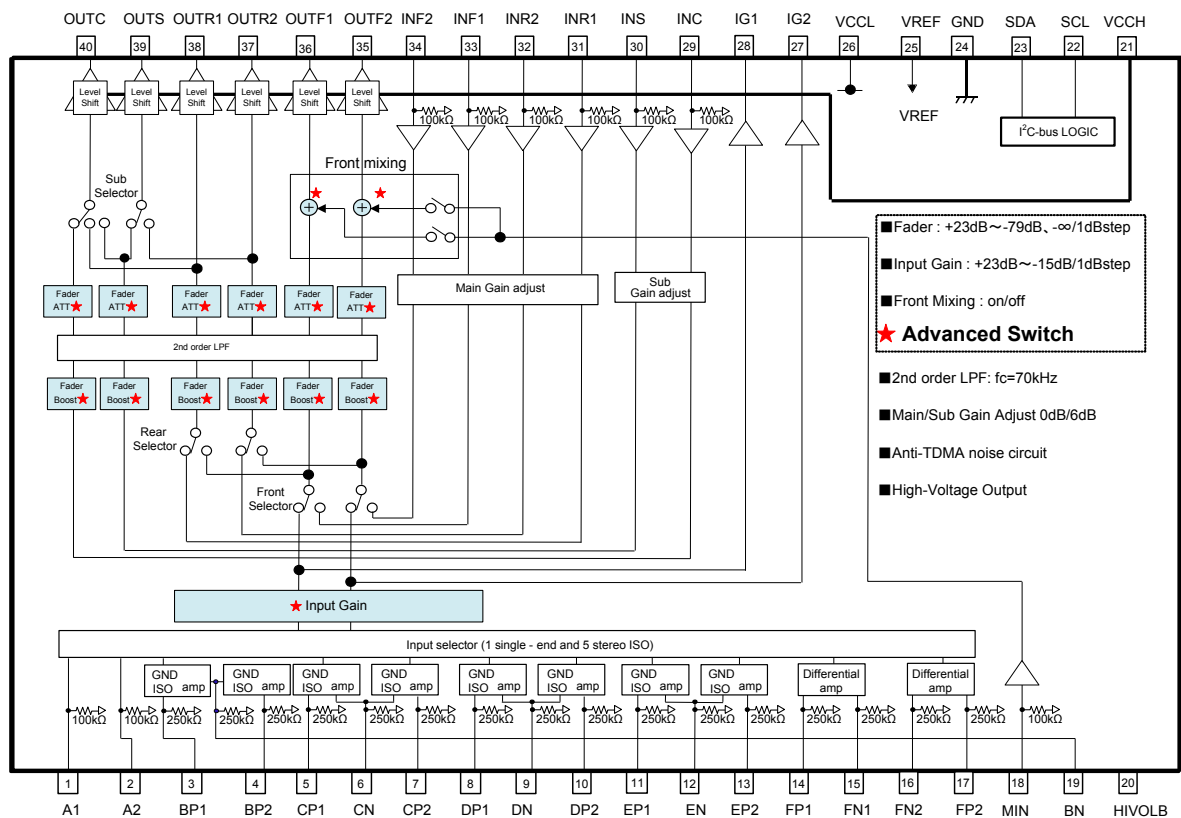


Figure 3. ブロック図

絶対最大定格 (Ta=25℃)

項目	記号	定格	単位
電源電圧	VCCL	10	V
	VCCH	18	V
入力電圧	V _{IN}	VCCL+0.3~GND-0.3 SCL、SDAのみ 7~GND-0.3	V
許容損失	P _d	1.12※1	W
保存温度範囲	T _{STG}	-55~+150	℃

※1 Ta=25℃ 以上は 9mW/℃ で軽減
ローム標準基板装着時 熱抵抗 θ_{ja} = 111.1(℃ /W)。
ローム標準基板 サイズ : 70×70×1.6(mm³)
材 質 : FR4 ガラス-エポキシ基板(銅箔面積 3%以下)

推奨動作範囲

項目	記号	MIN	TYP	MAX	単位
電源電圧	VCCL	7.0	8.5	9.5	V
	VCCH	VCCL	17.0	17.8	V
温度	Topr	-40	-	+85	℃

電氣的特性

(特に指定のない限り Ta=25°C, VCCL=8.5V, VCCH=17.0V, f=1kHz, $V_{IN}=1V_{RMS}$, $R_G=600\Omega$, $R_L=10k\Omega$,
A input, Input gain 0dB, Gain Adjust +6dB, High-Voltage ON, LPF ON, Fader 0dB, Input point=A1/A2, Monitor
point=IG1/IG2)

BLOCK	Item	Symbol	Limit			Unit	Condition
			Min	Typ	Max		
全体	無信号時回路電流(VCCL)	I_{Q_VCCL}	—	30	43	mA	No signal
	無信号時回路電流(VCCH)	I_{Q_VCCH}	-	7	10	mA	No signal
INPUT SELECTOR	入力インピーダンス(A)	R_{IN_S}	70	100	130	k Ω	
	入力インピーダンス(B, C, D, E, F)	R_{IN_D}	175	250	325	k Ω	
	電圧利得	G_V	-1.5	0	+1.5	dB	$G_V=20\log(V_{OUT}/V_{IN})$
	チャンネルバランス	CB	-1.5	0	+1.5	dB	$CB = G_{V1}-G_{V2}$
	全高調波歪率	THD+N	—	0.003	0.05	%	$V_{OUT}=1V_{RMS}$ BW=400-30kHz
	出力雑音電圧*	V_{NO1}	—	3.1	8.0	μV_{RMS}	$R_G = 0\Omega$ BW = IHF-A
	最大入力電圧	V_{IM}	2.0	2.2	—	V_{RMS}	V_{IM} at THD+N(V_{OUT})=1% BW=400-30kHz
	チャンネル間クロストーク*	CTC	—	-100	-90	dB	$R_G = 0\Omega$ $CTC=20\log(V_{OUT}/V_{OUT'})$ BW = IHF-A
	セレクタ間クロストーク*	CTS	—	-100	-90	dB	$R_G = 0\Omega$ $CTS=20\log(V_{OUT}/V_{OUT'})$ BW = IHF-A
	同相除去比(B, C, D, E, F) *	CMRR	55	65	—	dB	XP1 and XN input XP2 and XN input $CMRR=20\log(V_{IN}/V_{OUT})$ BW = IHF-A, [X=B,C,D,E,F]
INPUT GAIN	最小入力ゲイン	$G_{IN\ MIN}$	-17	-15	-13	dB	Input gain -15dB $G_{IN}=20\log(V_{OUT}/V_{IN})$
	最大入力ゲイン	$G_{IN\ MAX}$	21	23	25	dB	Input gain 23dB $V_{IN}=100mV_{RMS}$ $G_{IN}=20\log(V_{OUT}/V_{IN})$
	ゲイン設定誤差	$G_{IN\ ERR}$	-2	0	+2	dB	GAIN=-15~+23dB
	出力インピーダンス	R_{OUT}	-	—	50	Ω	$V_{IN}=100mV_{RMS}$
	最大出力電圧	V_{OM}	2.0	2.2	—	V_{RMS}	THD+N=1% BW=400-30kHz

*印の測定は、Panasonic VP-9690A (平均値検波、実効値表示) のフィルタを用いています。

(特に指定のない限り Ta=25°C, VCCL=8.5V, VCCH=17.0V, f=1kHz, $V_{IN}=0.9V_{RMS}$, $R_G=600\Omega$, $R_L=10k\Omega$,
A input, Input gain 0dB, Gain Adjust +6dB, High-Voltage ON, LPF ON, Fader 0dB,
Input point=INF1/INF2/INR1/INR2/INC/INS, Monitor point=OUTF1/OUTF2/OUTR1/OUTR2/OUTC/OUTS)

BLOCK	Item	Symbol	Limit			Unit	Condition
			Min	Typ	Max		
OUTPUT	出力インピーダンス	R_{OUT}	-	—	50	Ω	$V_{IN}=100mV_{RMS}$
	最大出力電圧	V_{OM}	5.1	5.2	—	V_{RMS}	$V_{IN}=1V_{RMS}$ THD+N=1% BW=400-30kHz
	最大出力ゲイン	G_{Hout}	6.3	8.3	10.3	dB	$G_{Hout}=20\log(V_{OUT}/V_{IN})$

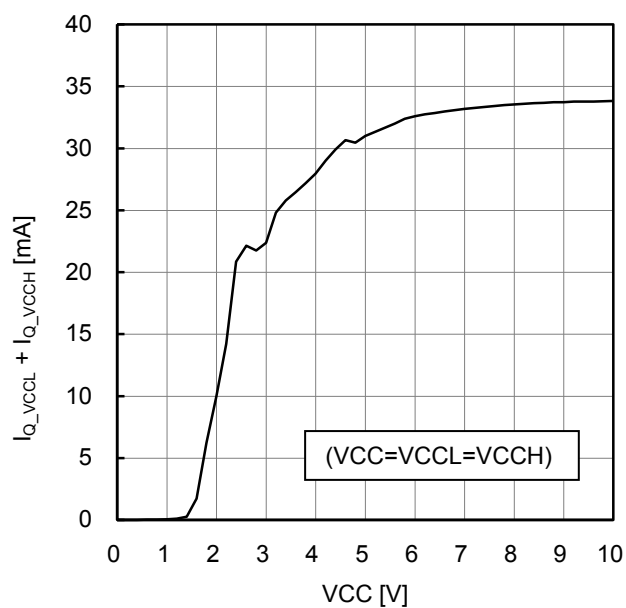
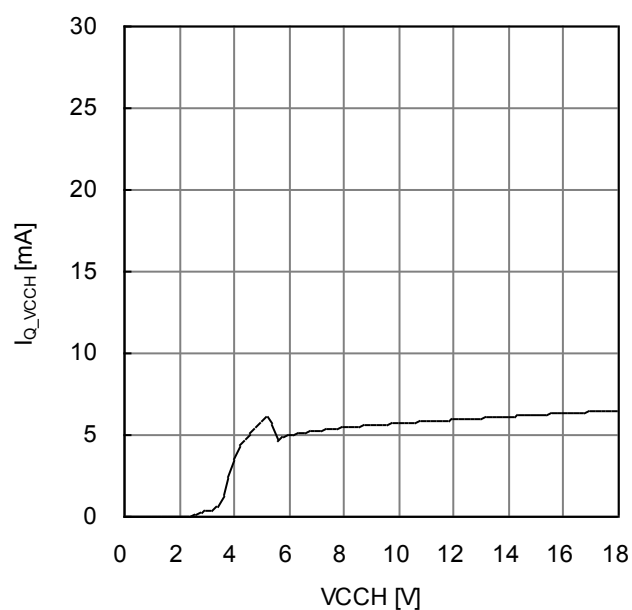
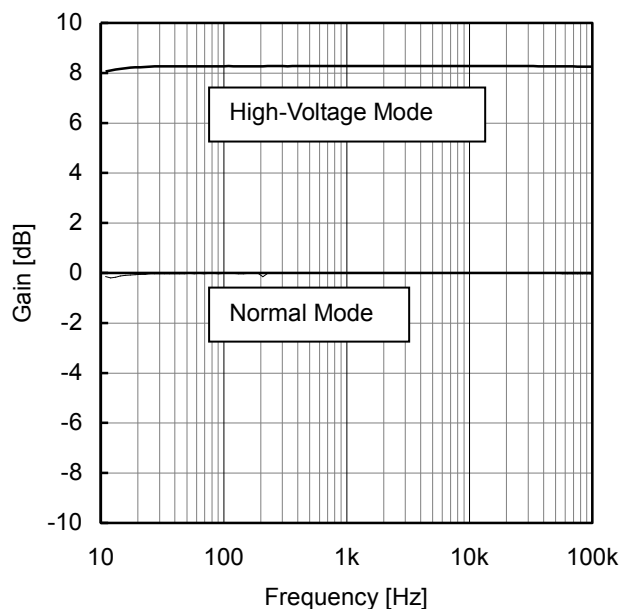
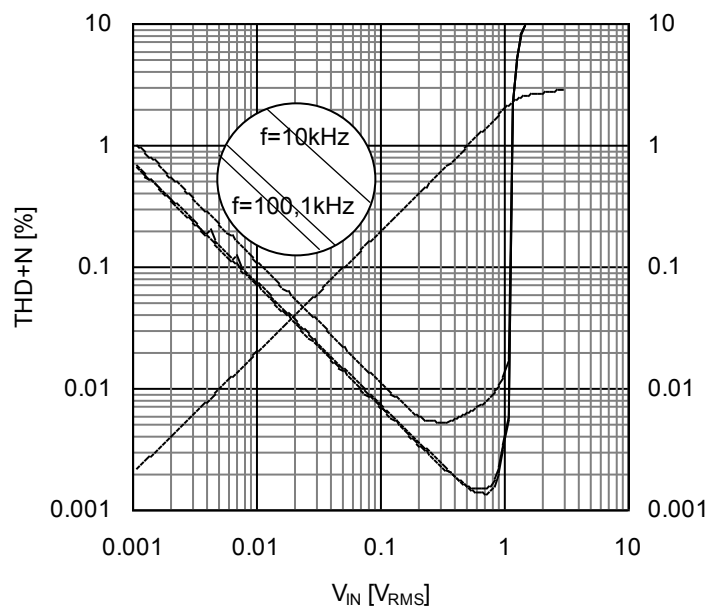
(特に指定のない限り Ta=25°C, VCCL=8.5V, VCCH=17.0V, f=1kHz, $V_{IN}=0.9V_{RMS}$, $R_G=600\Omega$, $R_L=10k\Omega$,
A input, Input gain 0dB, Gain Adjust +6dB, High-Voltage ON, LPF ON, Fader 0dB,
Input point=INF1/INF2/INR1/INR2/INC/INS, Monitor point=OUTF1/OUTF2/OUTR1/OUTR2/OUTC/OUTS)

BLOCK	Item	Symbol	Limit			Unit	Condition
			Min	Typ	Max		
FADER	最大ブーストゲイン	$G_{F\text{ BST}}$	21	23	25	dB	Gain=23dB $V_{IN}=100mV_{RMS}$ $G_F=20\log(V_{OUT}/V_{IN})-G_{Hout}$ Gain Adjust=0dB
	チャンネルバランス	CB	-1.5	0	+1.5	dB	$CB = G_{V1}-G_{V2}$
	全高調波歪率	THD+N	—	0.003	0.05	%	BW=400-30kHz
	出力雑音電圧*	V_{NO1}	—	23	40	μV_{RMS}	$R_G = 0\Omega$ BW = IHF-A
	残留雑音電圧*	V_{NOR}	—	10.5	20	μV_{RMS}	Fader = $-\infty$ dB $R_G = 0\Omega$ BW = IHF-A
	最大入力電圧	V_{IM}	2.0	2.1	—	V_{RMS}	V_{IM} at THD+N(V_{OUT})=1% BW=400-30kHz Gain Adjust = 0dB
	チャンネル間クロストーク*	CTC	—	-100	-90	dB	$R_G = 0\Omega$ $CTC=20\log(V_{OUT}/V_{OUT'})$ BW = IHF-A
	最大減衰量*	$G_{F\text{ MIN}}$	—	-100	-90	dB	Fader = $-\infty$ dB $G_F=20\log(V_{OUT}/V_{IN})$ BW = IHF-A
	ゲイン設定誤差	$G_{F\text{ ERR}}$	-2	0	+2	dB	Gain=+1~-+23dB
	減衰量設定誤差 1	$G_{F\text{ ERR1}}$	-2	0	+2	dB	Attenuation=0~-15dB
	減衰量設定誤差 2	$G_{F\text{ ERR2}}$	-3	0	+3	dB	Attenuation=-16~-47dB
	減衰量設定誤差 3	$G_{F\text{ ERR3}}$	-4	0	+4	dB	Attenuation=-48~-79dB
	リップルリジェクション	$PSRR_{VCCL}$	—	-70	-40	dB	f=1kHz $V_{RR}=100mV_{RMS}$ $PSRR_{VCCL}=20\log(V_{OUT}/VCCL)$
		$PSRR_{VCCH}$	—	-70	-40	dB	f=1kHz $V_{RR}=100mV_{RMS}$ $PSRR_{VCCH}=20\log(V_{OUT}/VCCH)$
MIXING	入力インピーダンス	R_{IN_M}	70	100	130	k Ω	
	最大入力電圧	V_{IM_M}	2.0	2.2	-	V_{RMS}	V_{IM} at THD+N(V_{OUT})=1% BW=400-30kHz MIN input
	最大減衰量*	$G_{MX\text{ MIN}}$	-	-100	-85	dB	Front mixing OFF $G_{MX}=20\log(V_{OUT}/V_{IN})$ BW=IHF-A MIN input
	ミキシングゲイン	G_{MX}	-2	0	+2	dB	Front mixing ON $G_{MX}=20\log(V_{OUT}/V_{IN})-G_{Hout}$
GAIN ADJUST	入力インピーダンス	R_{IN_M}	70	100	130	k Ω	
	ブーストゲイン	$G_{F\text{ BST}}$	4	6	8	dB	Gain=6dB $V_{IN}=100mV_{RMS}$ $G_F=20\log(V_{OUT}/V_{IN})-G_{Hout}$
	チャンネルバランス	CB	-1.5	0	+1.5	dB	$CB = G_{V1}-G_{V2}$

※入出力信号端子間の位相関係は同位相です。

*印の測定は、Panasonic VP-9690A（平均値検波、実効値表示）のフィルタを用いています。

特性データ (参考データ)

Figure 4. $I_{Q_VCCCL} + I_{Q_VCCH}$ vs VCCFigure 5. I_{Q_VCCH} vs VCCH
(High-Voltage ON)Figure 6. Gain vs Frequency
(Normal / High-Voltage mode)Figure 7. THD+N, V_O vs V_{IN}
(Gain Adjust=+6dB)

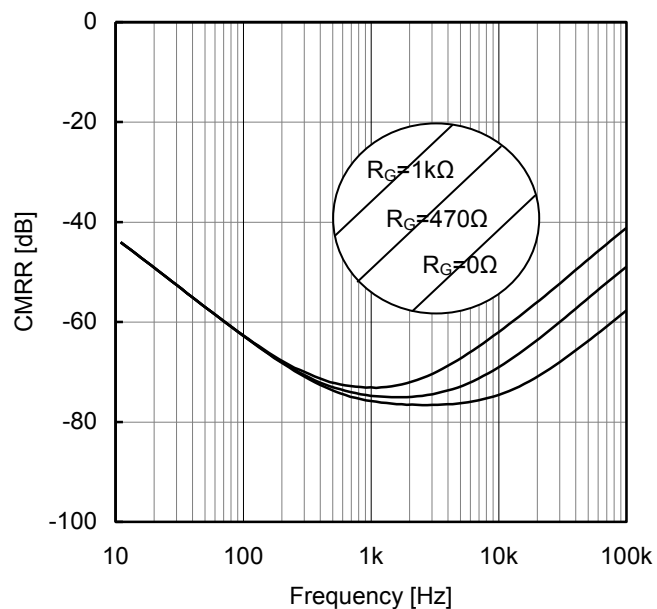


Figure 8. CMRR vs Frequency

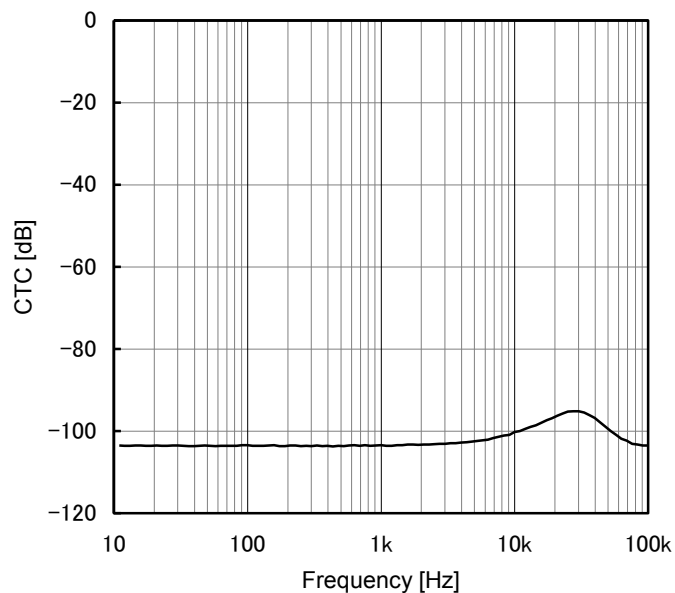


Figure 9. CTC vs Frequency

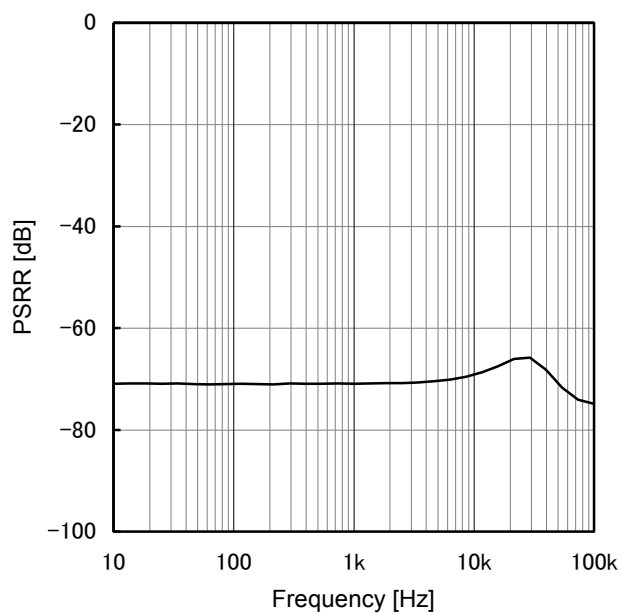


Figure 10. PSRR vs Frequency

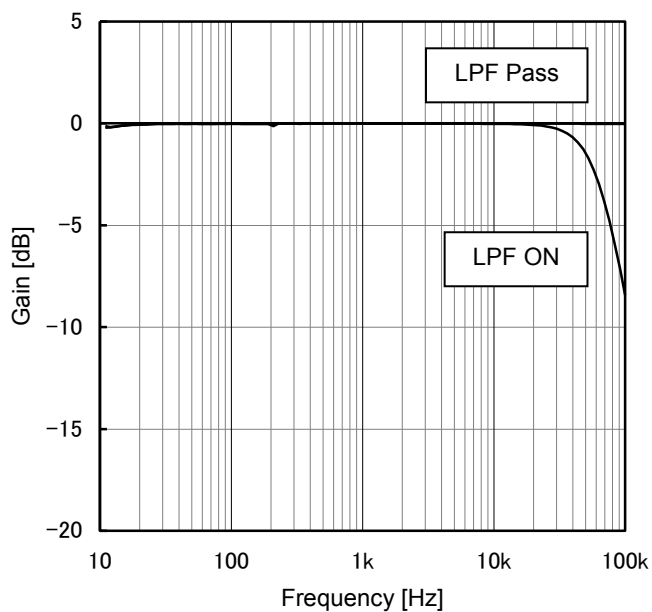


Figure 11. Gain vs Frequency (LPF ON/Pass)

I²C-bus 制御信号仕様

1. バス・ラインおよび I/O ステージの電氣的仕様およびタイミング

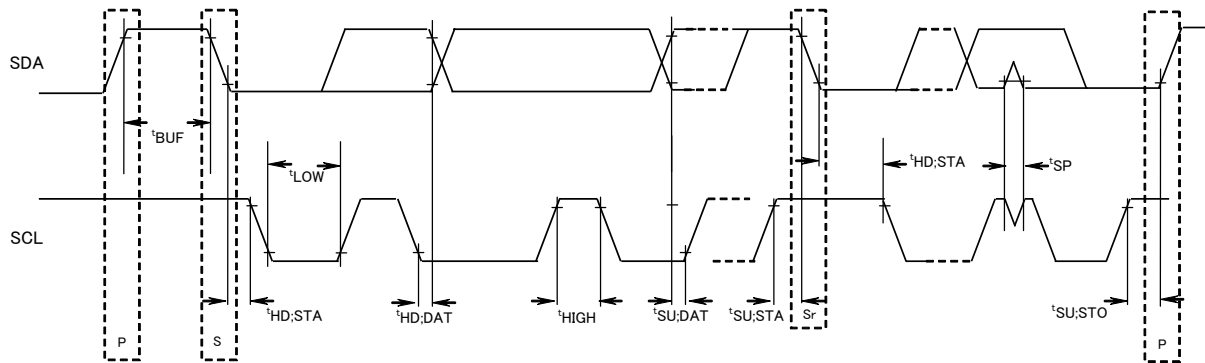


Figure 12. I²C-bus 上のタイミング定義

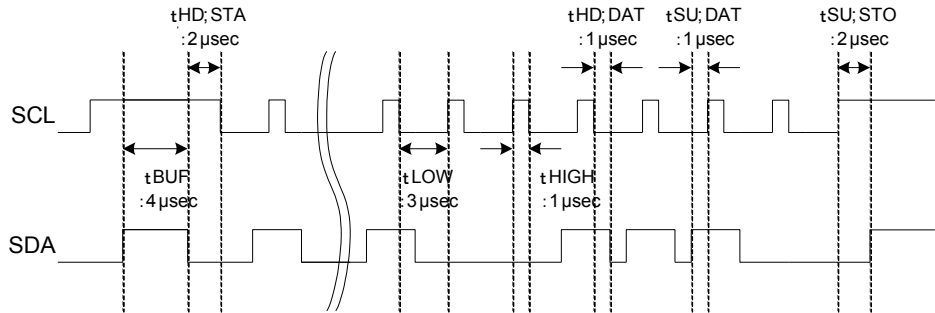
Table 1. I²C-bus の SDA および SCL バス・ラインの特性

Parameter		Symbol	高速モード I ² C-bus		Unit
			Min	Max	
1	SCL クロック周波数	fSCL	0	400	kHz
2	「停止」条件と「開始」条件の間のバス・フリー・タイム	tBUF	1.3	—	μsec
3	ホールド・タイム(再送)「開始」条件。この期間の後、最初のクロック・パルスが生成されます。	tHD;STA	0.6	—	μsec
4	SCL クロックの LOW 状態ホールド・タイム	tLOW	1.3	—	μsec
5	SCL クロックの HIGH 状態ホールド・タイム	tHIGH	0.6	—	μsec
6	再送「開始」条件のセットアップ時間	tSU;STA	0.6	—	μsec
7	データ・ホールド・タイム	tHD;DAT	0*	—	μsec
8	データ・セットアップ時間	tSU;DAT	100	—	nsec
9	「停止」条件のセットアップ時間	tSU;STO	0.6	—	μsec

上記の数値はすべて VIH min および VIL max レベルに対応した値です。(表 2 参照)

Table 2. I²C-bus の SDA および SCL I/O ステージの特性

Parameter		Symbol	高速モード I ² C-bus		Unit
			Min	Max	
10	LOW レベル入力電圧： 入力レベルが一定の場合	VIL	-0.5	+1	V
11	HIGH レベル入力電圧： 入力レベルが一定の場合	VIH	2.3	-	V
12	入力フィルタによって抑制されるスパイクのパルス幅	tSP	0	50	nsec
13	LOW レベル出力電圧(オープン・ドレインまたはオープン・コレクタ) ： シンク電流 3mA 時	VOL1	0	0.4	V
14	入力電圧 0.4V~0.9VDDmax 時の各 I/O ピンの入力電流	li	-10	+10	μA



クロック 周波数 : 250kHz

Figure 13. I²C データ送信におけるコマンドタイミング例

2. I²C-bus フォーマット

MSB	LSB	MSB	LSB	MSB	LSB		
S	Slave Address	A	Select Address	A	Data	A	P
1bit	8bit	1bit	8bit	1bit	8bit	1bit	1bit

S = Start condition (Recognition of start bit)

Slave Address = Recognition of slave address. The former 7 bits can be selected arbitrary.
The last bit must be "L" for writing.

A = Acknowledge bit (Recognition of acknowledgement)

Select Address = Address for each function

Data = Data of each function

P = Stop condition (Recognition of stop bit)

3. I²C-bus インタフェース・プロトコル

1) 基本形

S	Slave Address	A	Select Address	A	Data	A	P
MSB	LSB	MSB	LSB	MSB	LSB		

2) オートインクリメント (Select Address が、Data 数だけインクリメント (+1) します。)

S	Slave Address	A	Select Address	A	Data 1	A	Data 2	A	...	Data N	A	P
MSB	LSB	MSB	LSB	MSB	LSB	MSB	LSB	MSB	LSB	MSB	LSB	

(例) ① Data 1 は Select Address で指定したアドレスのデータとして設定します。

② Data 2 は Select Address +1 で指定したアドレスのデータとして設定します。

③ Data N は Select Address + (N-1) で指定したアドレスのデータとして設定します。

3) 送信できない構成 (この場合は、Select Address 1 のみ設定されます。)

S	Slave Address	A	Select Address 1	A	Data	A	Select Address 2	A	Data	A	P
MSB	LSB	MSB	LSB	MSB	LSB	MSB	LSB	MSB	LSB	MSB	LSB

(注意) Data の次に Select Address 2 としてデータを送信した場合、
Select Address 2 として認識せず、データとして認識します。

4. スレーブアドレス

MSB							LSB
A6	A5	A4	A3	A2	A1	A0	R/W
1	0	0	0	0	0	0	0

80(hex)

5. セレクトアドレスとデータ

Items	Select Address (hex)	MSB	Data						LSB
		D7	D6	D5	D4	D3	D2	D1	D0
Initial Setup 1	01	Advanced switch ON/OFF	0	Advanced switch time of Input Gain/Fader		0	0	0	0
Initial Setup 2	02	0	0	Sub Selector		0	0	Rear Selector	Front Selector
Input Selector	05	0	0	0	0	Input Selector			
Input Gain	06	0	0	Input Gain					
Fader 1ch Front	28	Fader Gain / Attenuation							
Fader 2ch Front	29	Fader Gain / Attenuation							
Fader 1ch Rear	2A	Fader Gain / Attenuation							
Fader 2ch Rear	2B	Fader Gain / Attenuation							
Fader Center	2C	Fader Gain / Attenuation							
Fader Subwoofer	2D	Fader Gain / Attenuation							
LPF setup Mixing	30	Front Mixing ON/OFF	LPF fc	0	0	0	0	Sub Gain Adjust	Main Gain Adjust
System Reset	FE	1	0	0	0	0	0	0	1

 アドバンスト・スイッチ対応

※未使用 bit（上表の Select Address 01-FE(hex)で"0"表記のもの）は、"0"に設定してください。

データフォーマットの注意事項

1. 網掛け部の機能切替え時において、アドバンスト・スイッチ動作を行います。
2. 連続データ転送時は、オートインクリメント機能によりセレクトアドレス（hex）が下記のように巡回します。

→01→02→05→06→28→29→2A→2B→2C→2D→30

3. アドバンスト・スイッチなしの入力セクタは切替えポップ音対策をしておりません。従いまして、これらの設定変更時はセット側にて音声ミュートをかけるなどの対策をおこなってください。
4. 入力セクタ切替え時等に本 IC を-∞設定にする際には、アドバンスト・スイッチ切替え時間を考慮して送信を行ってください。

Select Address 01 (hex)

Mode	Advanced switch time of Input Gain/Fader							LSB
	D7	D6	D5	D4	D3	D2	D1	D0
4.7 msec	Advanced switch ON/OFF	0	0	0	0	0	0	0
7.1 msec			0	1				
11.2 msec			1	0				
14.4 msec			1	1				

Mode	Advanced switch ON/OFF							LSB
	D7	D6	D5	D4	D3	D2	D1	D0
OFF	0	0	Advanced switch time of Input Gain/Fader		0	0	0	0
ON	1							

Select Address 02 (hex)

Mode	Front Selector							LSB
	D7	D6	D5	D4	D3	D2	D1	D0
FRONT	0	0	Sub Selector		0	0	Rear Selector	0
INSIDE THROUGH								1

Mode	Rear Selector							LSB
	D7	D6	D5	D4	D3	D2	D1	D0
REAR	0	0	Sub Selector		0	0	0	Front Selector
FRONT COPY							1	


Mode ^{※1}	Sub Selector							LSB
	D7	D6	D5	D4	D3	D2	D1	D0
OUTC(INS) OUTS(INS)	0	0	0	0	0	0	Rear Selector	Front Selector
OUTC(INR1) OUTS(INR2)			0	1				
OUTC(INC) OUTS(INS)			1	0				
禁止			1	1				

※1.出力端子（出力信号）という表記となります。

 : Initial condition

Select Address 05(hex)

Mode	MSB		Input Selector				LSB	
	D7	D6	D5	D4	D3	D2	D1	D0
A	0	0	0	0	0	0	0	0
B single					0	0	0	1
C single					0	0	1	0
D single					0	0	1	1
E single					0	1	0	0
F single					0	1	0	1
C diff					0	1	1	0
D diff					0	1	1	1
E diff					1	0	0	0
F full-diff					1	0	0	1
B diff					1	0	1	0
禁止					1	0	1	1
					:	:	:	:
					1	1	1	1

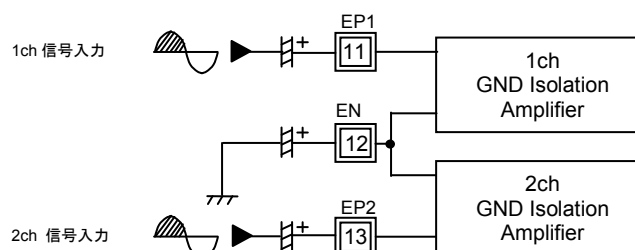
 : Initial condition

入力セクタの各モードセレクト時のアクティブ端子一覧

Mode	Lch+入力端子	Lch-入力端子	Rch+入力端子	Rch-入力端子
A	1pin(A1)	-	2pin(A2)	-
B single	3pin(BP1)	-	4pin(BP2)	-
C single	5pin(CP1)	-	7pin(CP2)	-
D single	8pin(DP1)	-	10pin(DP2)	-
E single	11pin(EP1)	-	13pin(EP2)	-
F single	14pin(FP1)	-	17pin(FP2)	-
B diff	3pin(BP1)	19pin(BN)	4pin(BP2)	19pin(BN)
C diff	5pin(CP1)	6pin(CN)	7pin(CP2)	6pin(CN)
D diff	8pin(DP1)	9pin(DN)	10pin(DP2)	9pin(DN)
E diff	11pin(EP1)	12pin(EN)	13pin(EP2)	12pin(EN)
F full-diff	14pin(FP1)	15pin(FN1)	17pin(FP2)	16pin(FN2)

〔グラウンドアイソレーションアンプについて〕

GND Isolation Amplifier : B diff~E diff

グラウンドアイソレーションアンプの形式で
使用する場合に選択して下さい。

Full Differential Amplifier : F full-diff

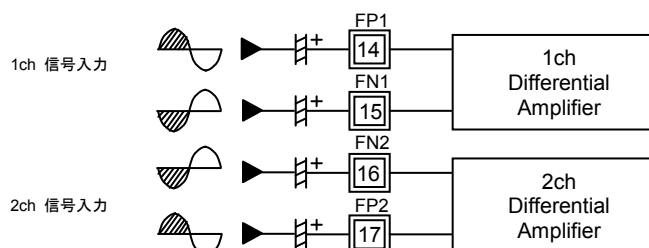
差動アンプの形式で
使用する場合に選択して下さい。

Figure 14. グラウンドアイソレーションアンプについて


Select Address 06 (hex)

Mode	MSB		Input Gain					LSB		
	D7	D6	D5	D4	D3	D2	D1	D0		
禁止	0	0	0	0	0	0	0	0		
			:	:	:	:	:	:		
			0	0	1	0	0	0		
+23dB			0	0	1	0	0	1		
+22dB			0	0	1	0	1	0		
+21dB			0	0	1	0	1	1		
+20dB			0	0	1	1	0	0		
+19dB			0	0	1	1	0	1		
+18dB			0	0	1	1	1	0		
+17dB			0	0	1	1	1	1		
+16dB			0	1	0	0	0	0		
+15dB			0	1	0	0	0	1		
+14dB			0	1	0	0	1	0		
+13dB			0	1	0	0	1	1		
+12dB			0	1	0	1	0	0		
+11dB			0	1	0	1	0	1		
+10dB			0	1	0	1	1	0		
+9dB			0	1	0	1	1	1		
+8dB			0	1	1	0	0	0		
+7dB			0	1	1	0	0	1		
+6dB			0	1	1	0	1	0		
+5dB			0	1	1	0	1	1		
+4dB			0	1	1	1	0	0		
+3dB			0	1	1	1	0	1		
+2dB			0	1	1	1	1	0		
+1dB			0	1	1	1	1	1		
0dB			1	0	0	0	0	0		
-1dB			1	0	0	0	0	1		
-2dB			1	0	0	0	1	0		
-3dB			1	0	0	0	1	1		
-4dB			1	0	0	1	0	0		
-5dB			1	0	0	1	0	1		
-6dB			1	0	0	1	1	0		
-7dB			1	0	0	1	1	1		
-8dB			1	0	1	0	0	0		
-9dB			1	0	1	0	0	1		
-10dB			1	0	1	0	1	0		
-11dB			1	0	1	0	1	1		
-12dB			1	0	1	1	0	0		
-13dB			1	0	1	1	0	1		
-14dB			1	0	1	1	1	0		
-15dB			1	0	1	1	1	1		
禁止					1	1	0	0	0	0
			:	:	:	:	:	:	:	
			1	1	1	1	1	1	1	

 : Initial condition

Select Address 28, 29, 2A, 2B, 2C, 2D (hex)

Gain & ATT	MSB		Fader Gain / Attenuation					LSB
	D7	D6	D5	D4	D3	D2	D1	D0
禁止	0	0	0	0	0	0	0	0
	0	0	0	0	0	0	0	1
	:	:	:	:	:	:	:	:
	0	1	1	0	1	0	0	0
+23dB	0	1	1	0	1	0	0	1
+22dB	0	1	1	0	1	0	1	0
+21dB	0	1	1	0	1	0	1	1
:	:	:	:	:	:	:	:	:
:	:	:	:	:	:	:	:	:
:	:	:	:	:	:	:	:	:
+10dB	0	1	1	1	0	1	1	0
+9dB	0	1	1	1	0	1	1	1
+8dB	0	1	1	1	1	0	0	0
+7dB	0	1	1	1	1	0	0	1
+6dB	0	1	1	1	1	0	1	0
+5dB	0	1	1	1	1	0	1	1
+4dB	0	1	1	1	1	1	0	0
+3dB	0	1	1	1	1	1	0	1
+2dB	0	1	1	1	1	1	1	0
+1dB	0	1	1	1	1	1	1	1
0dB	1	0	0	0	0	0	0	0
-1dB	1	0	0	0	0	0	0	1
-2dB	1	0	0	0	0	0	1	0
-3dB	1	0	0	0	0	0	1	1
:	:	:	:	:	:	:	:	:
:	:	:	:	:	:	:	:	:
-78dB	1	1	0	0	1	1	1	0
-79dB	1	1	0	0	1	1	1	1
禁止	1	1	0	1	0	0	0	0
	:	:	:	:	:	:	:	:
	1	1	1	1	1	1	1	0
-∞dB	1	1	1	1	1	1	1	1

 : Initial condition

Select Address 30(hex)

Mode	MSB		Main Gain Adjust					LSB	
	D7	D6	D5	D4	D3	D2	D1	D0	
0dB	Front Mixing	LPF fc	0	0	0	0	Sub Gain Adjust	0	
+6dB								1	

Mode	MSB		Sub Gain Adjust					LSB	
	D7	D6	D5	D4	D3	D2	D1	D0	
0dB	Front Mixing	LPF fc	0	0	0	0	0	Main Gain Adjust	
+6dB							1		

Mode	MSB		LPF fc					LSB	
	D7	D6	D5	D4	D3	D2	D1	D0	
70kHz	Front Mixing	0	0	0	0	0	Sub Gain Adjust	Main Gain Adjust	
PASS		1							

Mode	MSB		Front Mixing ON/OFF					LSB	
	D7	D6	D5	D4	D3	D2	D1	D0	
OFF	0	LPF fc	0	0	0	0	Sub Gain Adjust	Main Gain Adjust	
ON	1								

 : Initial condition

6. 電源オン時の初期状態について

電源オン時において IC 内部で初期化を行う回路を内蔵しております。しかし、セット設計におかれましては、電源オン時に必ず初期データを全てのアドレスに送信し、またこの初期データを送信するまでの間は外部ミュートをかけることを推奨いたします。

Item	Symbol	Limit			Unit	Condition
		Min	Typ	Max		
VCCL 立上げ時間	t_{RISE}	33	—	—	μsec	VCCL 0→5V の立上げ時の時間
パワーオンリセット解除時の VCCL 電圧	V_{POR}	—	4.1	—	V	

7. 電源立ち上げ・立ち下げ時のシーケンスについて

HIVOLB 端子の設定により、出力ゲインを変える事が可能です。HIVOLB 端子への印加電圧によって、出力 DC バイアスのレベルが異なります。

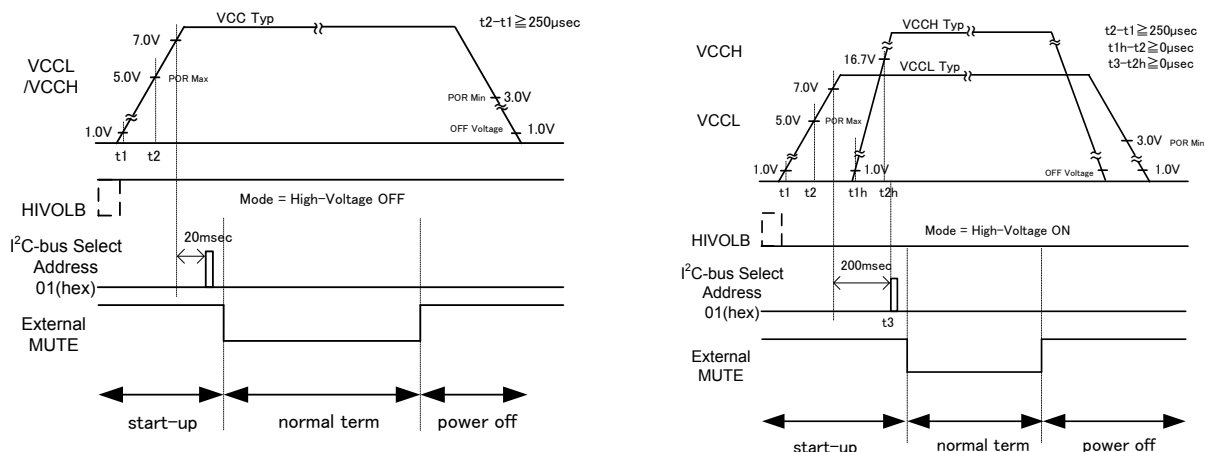
HIVOLB 端子電圧	High-Voltage
GND ~ 1.0V	ON
2.3V ~ VCCL	OFF

HIVOLB 端子電圧は定義された条件内に設定して下さい。HIVOLB 端子をオープンとした場合は、IC 内部のプルアップ電圧 5V が端子電圧となります。この場合、上記仕様より「High-Voltage OFF」となります。

HIVOLB 端子の設定に対する出力 DC バイアスと設定ゲインの関係は以下の表に従います。

VCCH 印加電圧	8.5 V	17 V
HIVOLB 端子電圧	Open (5 V) (High-Voltage OFF)	0 V (High-Voltage ON)
出力 DC バイアス	4.15 V	8.35 V
出力ゲイン	0 dB	8.3 dB

定常状態にて、HIVOLB 端子の操作を行うと、上記の DC バイアスの電位差に相当する DC 変動が発生しますのでご注意ください。これらの DC 変動を抑えるために、予め設定したい出力ゲインに合わせて HIVOLB 端子の状態を設定し、電源をオンしてください。以下に電源立ち上げ・立ち下げシーケンスを示します。



ノーマルモード (High-Voltage OFF)動作

High-Voltage モード動作

Figure 15. 各モードでの電源立ち上げ・立ち下げシーケンス

上図の中で、 I^2C -bus のセレクトアドレス 01(hex)のデータを送信することで、IC をアクティブ状態に設定することが出来ます。そのため、必ず送信する必要があります。また、External MUTE は IC 外部でミュートをかけることを推奨する期間です。また、High-Voltage 設定においてポップ音を低減するためには、VCCL を先に起動してください。

HIVOLB 端子には、スパイク除去対策が施されていますが、50nsec を超える入力には反応する事がありますのでご注意ください。

フェダーボリューム減衰量(詳細版)

(dB)	D7	D6	D5	D4	D3	D2	D1	D0	(dB)	D7	D6	D5	D4	D3	D2	D1	D0
+23	0	1	1	0	1	0	0	1	-29	1	0	0	1	1	1	0	1
+22	0	1	1	0	1	0	1	0	-30	1	0	0	1	1	1	1	0
+21	0	1	1	0	1	0	1	1	-31	1	0	0	1	1	1	1	1
+20	0	1	1	0	1	1	0	0	-32	1	0	1	0	0	0	0	0
+19	0	1	1	0	1	1	0	1	-33	1	0	1	0	0	0	0	1
+18	0	1	1	0	1	1	1	0	-34	1	0	1	0	0	0	1	0
+17	0	1	1	0	1	1	1	1	-35	1	0	1	0	0	0	1	1
+16	0	1	1	1	0	0	0	0	-36	1	0	1	0	0	1	0	0
+15	0	1	1	1	0	0	0	1	-37	1	0	1	0	0	1	0	1
+14	0	1	1	1	0	0	1	0	-38	1	0	1	0	0	1	1	0
+13	0	1	1	1	0	0	1	1	-39	1	0	1	0	0	1	1	1
+12	0	1	1	1	0	1	0	0	-40	1	0	1	0	1	0	0	0
+11	0	1	1	1	0	1	0	1	-41	1	0	1	0	1	0	0	1
+10	0	1	1	1	0	1	1	0	-42	1	0	1	0	1	0	1	0
+9	0	1	1	1	0	1	1	1	-43	1	0	1	0	1	0	1	1
+8	0	1	1	1	1	0	0	0	-44	1	0	1	0	1	1	0	0
+7	0	1	1	1	1	0	0	1	-45	1	0	1	0	1	1	0	1
+6	0	1	1	1	1	0	1	0	-46	1	0	1	0	1	1	1	0
+5	0	1	1	1	1	0	1	1	-47	1	0	1	0	1	1	1	1
+4	0	1	1	1	1	1	0	0	-48	1	0	1	1	0	0	0	0
+3	0	1	1	1	1	1	0	1	-49	1	0	1	1	0	0	0	1
+2	0	1	1	1	1	1	1	0	-50	1	0	1	1	0	0	1	0
+1	0	1	1	1	1	1	1	1	-51	1	0	1	1	0	0	1	1
0	1	0	0	0	0	0	0	0	-52	1	0	1	1	0	1	0	0
-1	1	0	0	0	0	0	0	1	-53	1	0	1	1	0	1	0	1
-2	1	0	0	0	0	0	1	0	-54	1	0	1	1	0	1	1	0
-3	1	0	0	0	0	0	1	1	-55	1	0	1	1	0	1	1	1
-4	1	0	0	0	0	1	0	0	-56	1	0	1	1	1	0	0	0
-5	1	0	0	0	0	1	0	1	-57	1	0	1	1	1	0	0	1
-6	1	0	0	0	0	1	1	0	-58	1	0	1	1	1	0	1	0
-7	1	0	0	0	0	1	1	1	-59	1	0	1	1	1	0	1	1
-8	1	0	0	0	1	0	0	0	-60	1	0	1	1	1	1	0	0
-9	1	0	0	0	1	0	0	1	-61	1	0	1	1	1	1	0	1
-10	1	0	0	0	1	0	1	0	-62	1	0	1	1	1	1	1	0
-11	1	0	0	0	1	0	1	1	-63	1	0	1	1	1	1	1	1
-12	1	0	0	0	1	1	0	0	-64	1	1	0	0	0	0	0	0
-13	1	0	0	0	1	1	0	1	-65	1	1	0	0	0	0	0	1
-14	1	0	0	0	1	1	1	0	-66	1	1	0	0	0	0	1	0
-15	1	0	0	0	1	1	1	1	-67	1	1	0	0	0	0	1	1
-16	1	0	0	1	0	0	0	0	-68	1	1	0	0	0	1	0	0
-17	1	0	0	1	0	0	0	1	-69	1	1	0	0	0	1	0	1
-18	1	0	0	1	0	0	1	0	-70	1	1	0	0	0	1	1	0
-19	1	0	0	1	0	0	1	1	-71	1	1	0	0	0	1	1	1
-20	1	0	0	1	0	1	0	0	-72	1	1	0	0	1	0	0	0
-21	1	0	0	1	0	1	0	1	-73	1	1	0	0	1	0	0	1
-22	1	0	0	1	0	1	1	0	-74	1	1	0	0	1	0	1	0
-23	1	0	0	1	0	1	1	1	-75	1	1	0	0	1	0	1	1
-24	1	0	0	1	1	0	0	0	-76	1	1	0	0	1	1	0	0
-25	1	0	0	1	1	0	0	1	-77	1	1	0	0	1	1	0	1
-26	1	0	0	1	1	0	1	0	-78	1	1	0	0	1	1	1	0
-27	1	0	0	1	1	0	1	1	-79	1	1	0	0	1	1	1	1
-28	1	0	0	1	1	1	0	0	-∞	1	1	1	1	1	1	1	1

 : Initial condition

OUT 端子(27,28,35~40pin)DC-Bias 電圧の電源電圧特性について

OUT 端子(27,28,35~40pin)の DC-Bias 電圧は、動作電源電圧範囲内でほぼ一定になります。

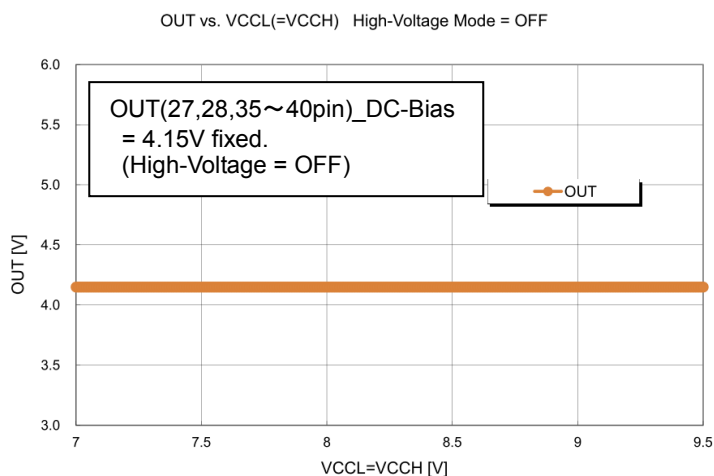


Figure 16. 電源電圧を変動させた場合の出力バイアス電圧特性 (High-Voltage OFF)

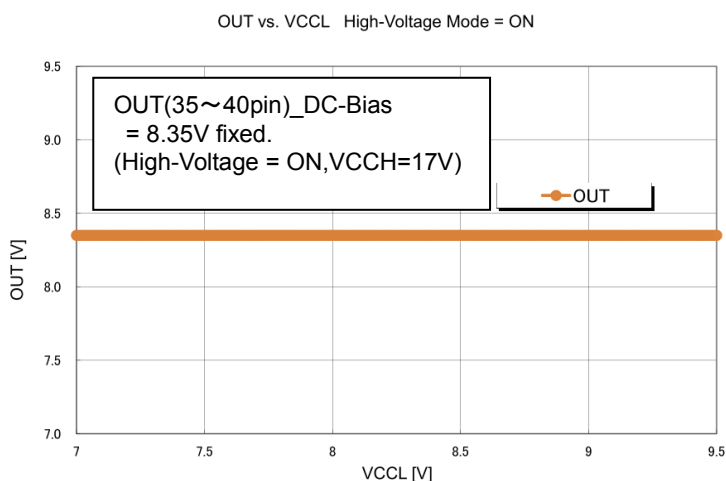


Figure 17. 電源電圧(VCCL)を変動させた場合の出力バイアス電圧特性 (High-Voltage ON)

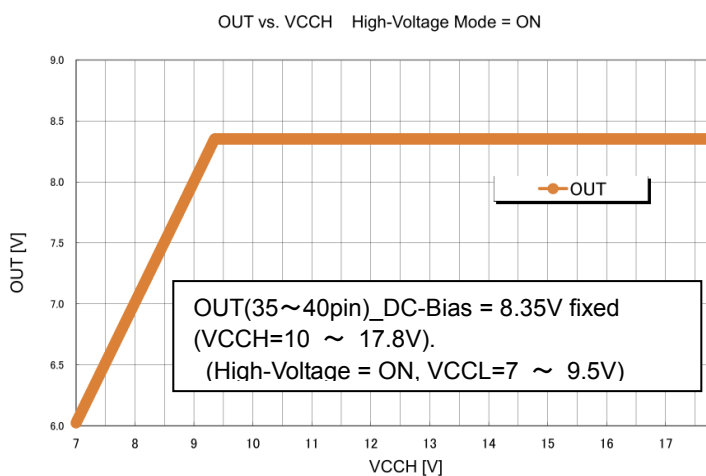


Figure 18. 電源電圧(VCCH)を変動させた場合の出力バイアス電圧特性 (High-Voltage ON)

アドバンスト・スイッチについて

【1】アドバンスト・スイッチの概要

1-1. アドバンスト・スイッチの効果

ロームオリジナルの切替えポップ音防止技術です。ボリュームなどのゲイン切替を瞬時に行うと音楽信号が不連続となり、不快なポップノイズが発生することがあります。アドバンスト・スイッチは、音楽信号が不連続とならないように信号波形を補完する技術で、ポップ音を大幅に低減させることができます。

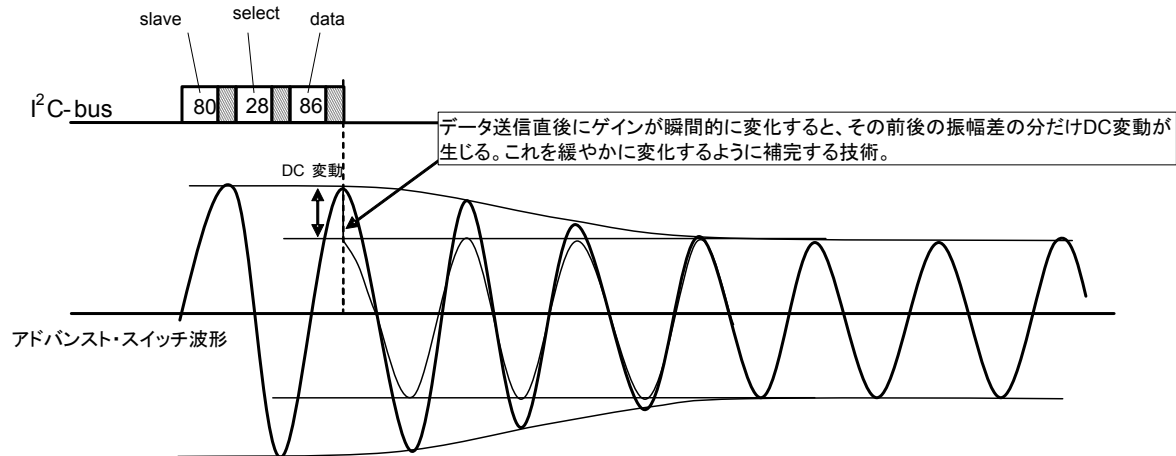


Figure 19. アドバンスト・スイッチ波形の説明

アドバンスト・スイッチは、マイコンから送信されたデータを受信した後に切替を開始します。ある一定の時間をかけて波形が上記の図のように切替えます。IC 内部では、マイコンから送信されたデータを内部処理し、切替えポップ音が発生しないように最適な動作を行います。

しかしながら、送信タイミングによっては意図した切替え波形とならない場合も想定されます。以下に、データ送信タイミングと実際の切替え時間との関係例をあげるので、よくご確認の上で設計をしてください。

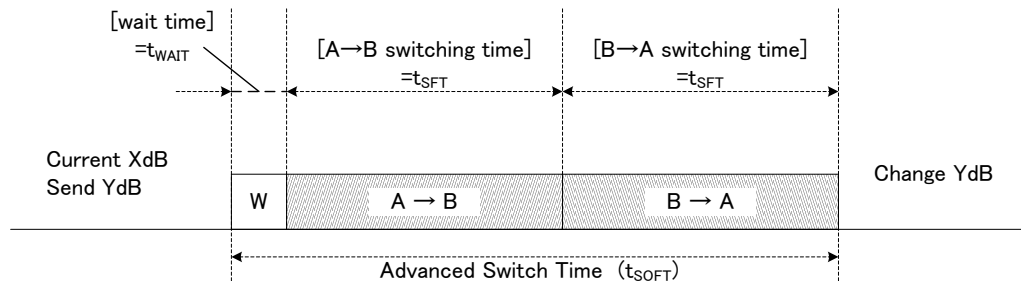
1-2. 送信方法の種類について

- ・アドバンスト・スイッチ対応項目以外のデータ設定
(P.11 セレクトアドレスとデータ データフォーマットの網掛けのないもの)
特に送信上の規定はありません。
- ・アドバンスト・スイッチ対応項目のデータ設定
(P.11 セレクトアドレスとデータ データフォーマットの網掛けのあるもの)
データ送信上の規定はありませんが、切替え順序は次の【2】に従います。

【2】アドバンスト・スイッチ対応項目のデータ送信について

2-1. アドバンスト・スイッチ切替え時間について

ボリュームの切替えには「切替え猶予期間(t_{WAIT})」、「A→B 切替え時間(t_{SFT})」、「B→A 切替え時間(t_{SFT})」があり、1回の切替えあたり、約 25msec の時間を必要とします。 $(t_{SOFT} = t_{WAIT} + 2 * t_{SFT}, t_{WAIT} = 2.3msec, t_{SFT} = 11.2msec)$



ここで、A は IC 内部の設定が通常状態、B は一時的な状態を意味します。アドバンスト・スイッチ動作は、「A (通常状態) → B (一時的な状態)」 「B (一時的な状態) → A (通常状態)」で一回のサイクルとなります。よって、一時的な状態 B で終わることはありません。

具体例としては、ボリュームの初期値から設定値に遷移する際に A が初期値、B が設定値となり、一連の動作を行います。この時、A (初期値) → B (設定値) → A (設定値) と遷移します。

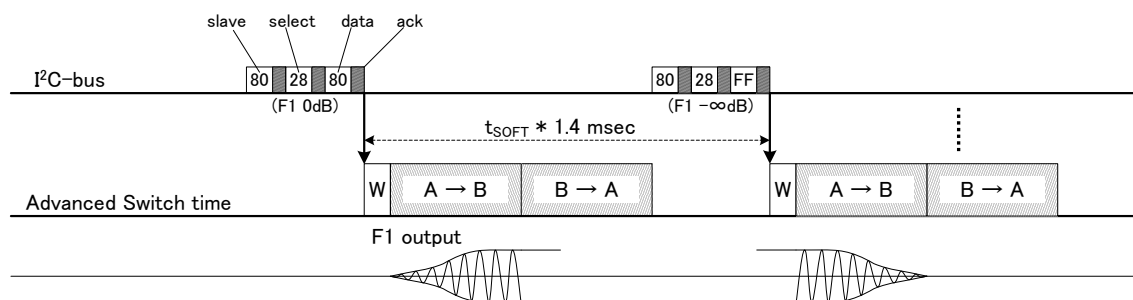
2-2. 同一ブロックのデータ送信タイミングと切替え動作について

■ 送信例 1

十分間隔を空けてデータを送信した場合の例。

(十分な間隔: t_{SOFT} にばらつきマージン 1.4 を乗じた時間)

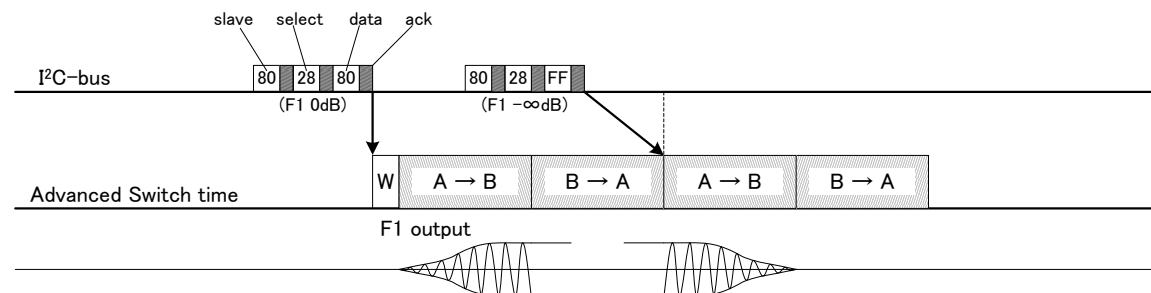
説明図の定義 : F1=Fader 1ch Front, F2=Fader 2ch Front, R1=Fader 1ch Rear, R2=Fader 2ch Rear
C=Fader Center, S=Fader Subwoofer, MIX=Front Mixing



■ 送信例 2

送信間隔が十分でない場合(上記間隔より短い場合)の例。

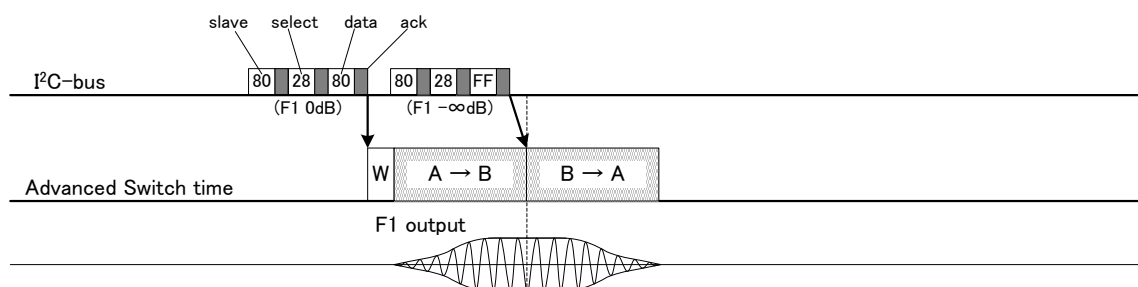
最初の切替え動作中にデータを送信した場合は、それが終了した後に連続して 2 番目に送信したデータに切替わります。そのとき、2 番目の切替えには切替え猶予期間(t_{WAIT})は入りません。



■ 送信例 3

送信間隔を更に短くした場合の切替え動作の例。

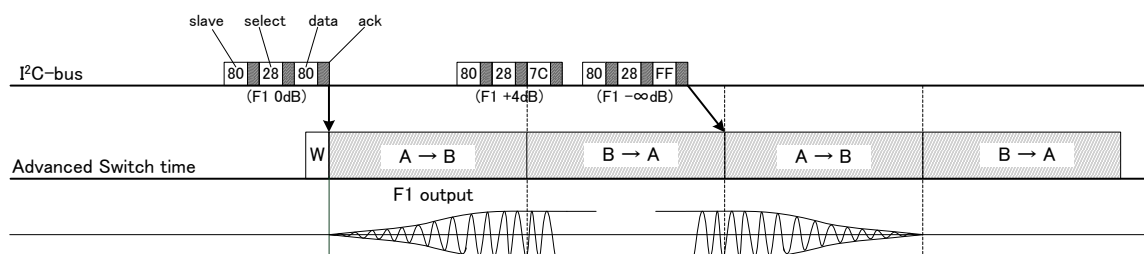
最初の切替え動作中にデータを送信した場合で、かつ、そのタイミングが A→B 動作中である場合、すぐ後の B→A で 2 番目に送信したデータに切替わります。



■ 送信例 4

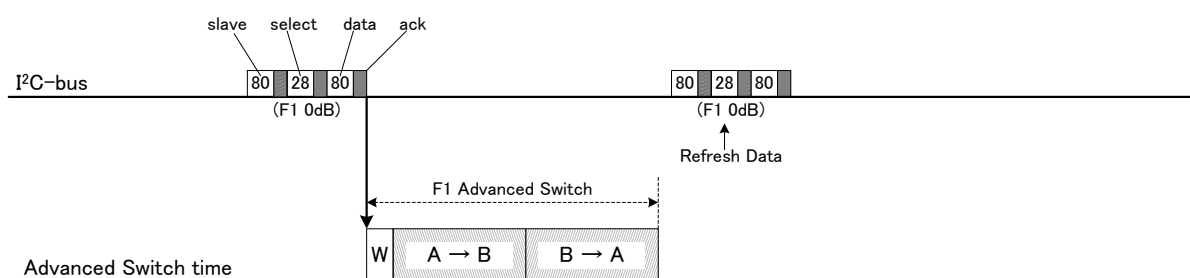
次に、送信間隔を更に短く連続送信した場合の切替え動作の例を示します。

IC 内部にはデータ保持バッファをもっており、常時送信データを保持データとしてバッファしています。しかし、最新データのみを保持するため、この例では 2 番目に送信した +4dB のデータは無効となります。



■ 送信例 5

送信データはまず保持バッファに格納され、次にゲインを設定している設定データへ書き込まれます。ただしリフレッシュデータのように送信データと設定データに相違がない場合にはアドバンスト・スイッチ動作を開始しません。

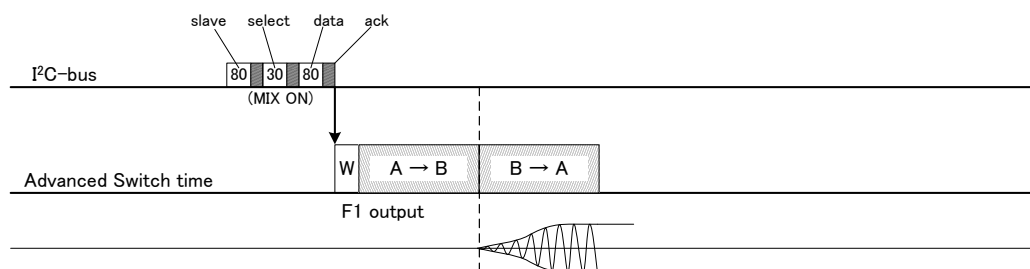


2-3. ミキシング（Front mixing ON/OFF）の切替え動作について

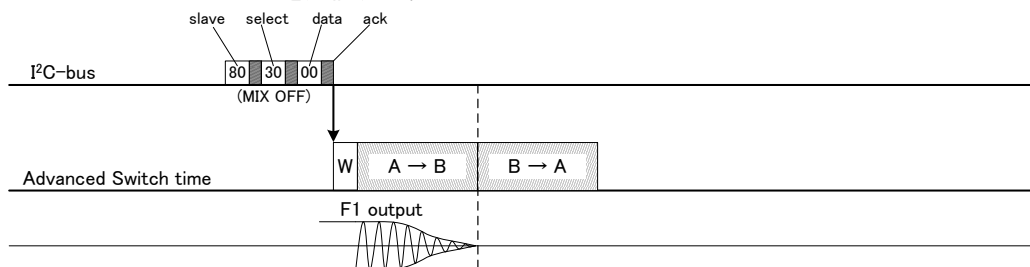
ミキシングの切替え動作は、Front mixing OFF から ON と、ON から OFF で次のようなタイミングになります。

■ 送信例 1

ミキシング OFF の状態から ON を送信する場合



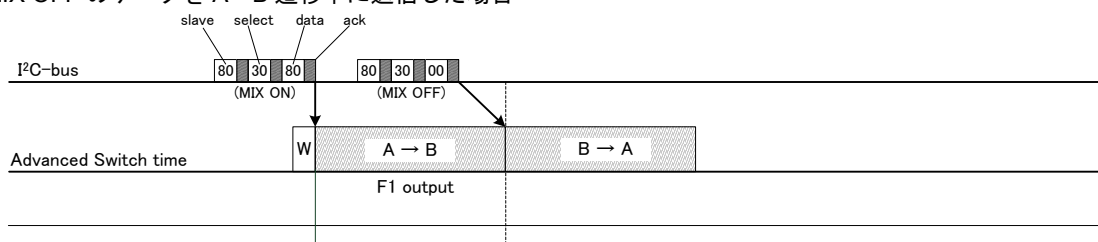
ミキシング ON の状態から OFF を送信する場合



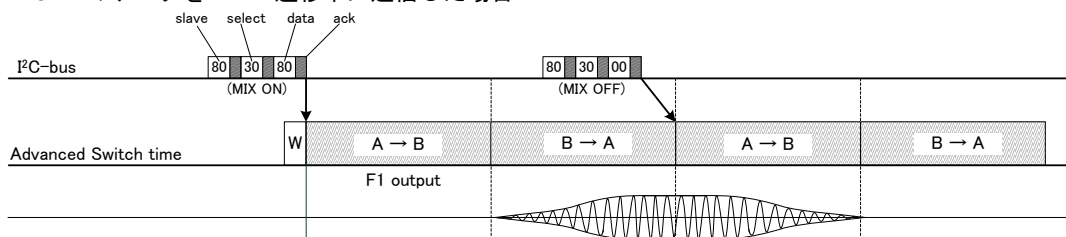
■ 送信例 2

ミキシング ON 状態からミキシング OFF を短い間隔で送信した場合のタイミングは次のようになります。

MIX OFF のデータを A→B 遷移中に送信した場合



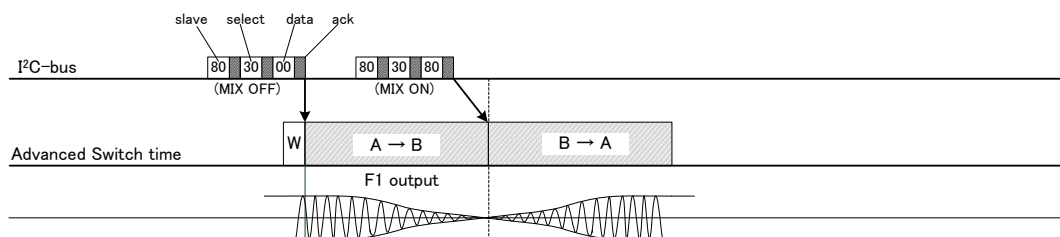
MIX OFF のデータを B→A 遷移中に送信した場合



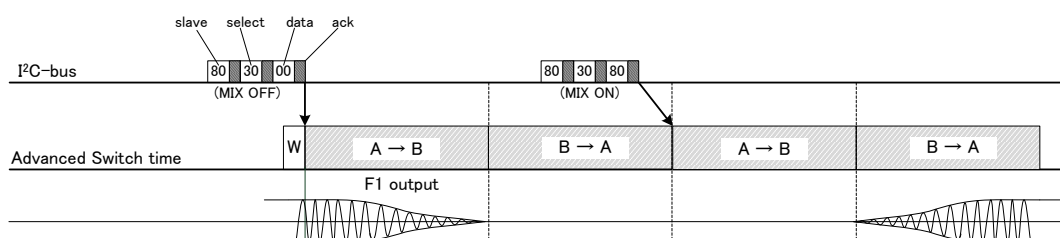
■ 送信例 3

ミキシング OFF 状態からミキシング ON を短い間隔で送信した場合のタイミングは次のようになります。

MIX ON のデータを A→B 遷移中に送信した場合

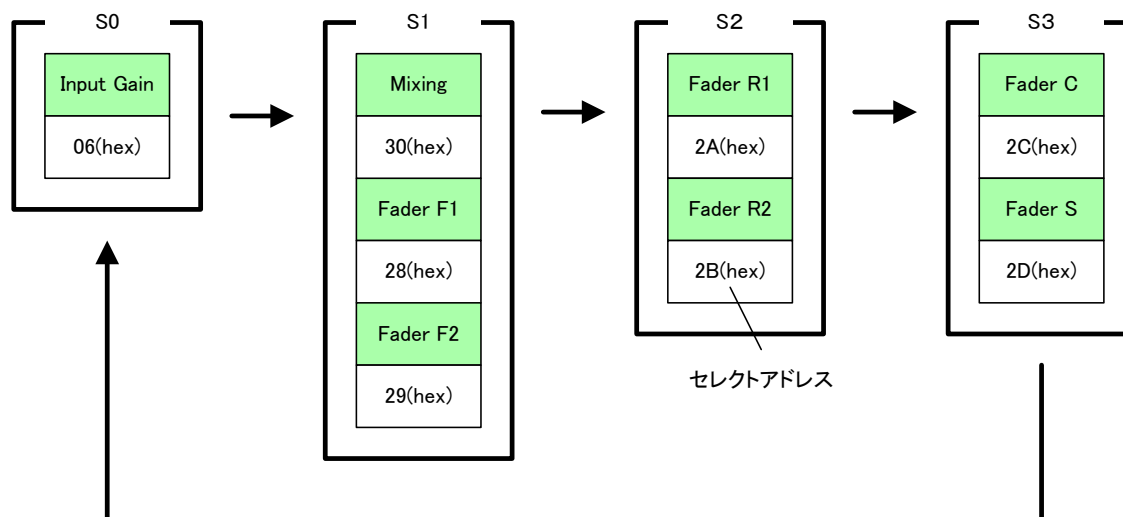


MIX ON のデータを B→A 遷移中に送信した場合



2-4. 複数ブロックのデータ送信タイミングと切替え動作について

複数ブロックにデータを送信した場合、IC 内部で BS（ブロックステート）単位での処理が実行されます。BS によってアドバンスト・スイッチの動作開始順序が予め決められています。



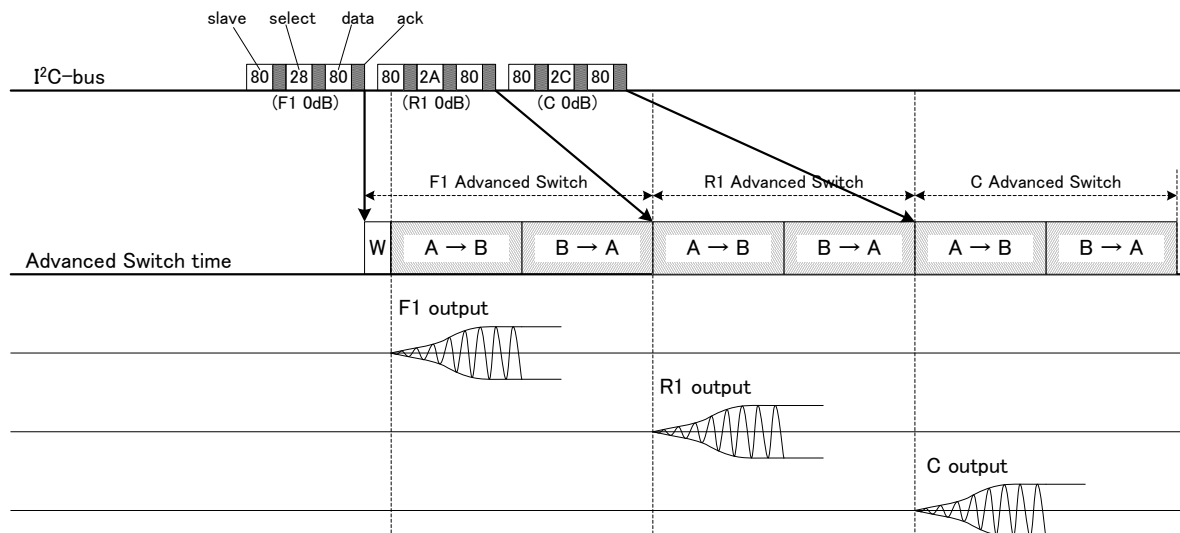
アドバンスト・スイッチ開始の順序

※同一 BS 内にあるブロックは同タイミングで切替えを開始する事が可能です。

■ 送信例 1

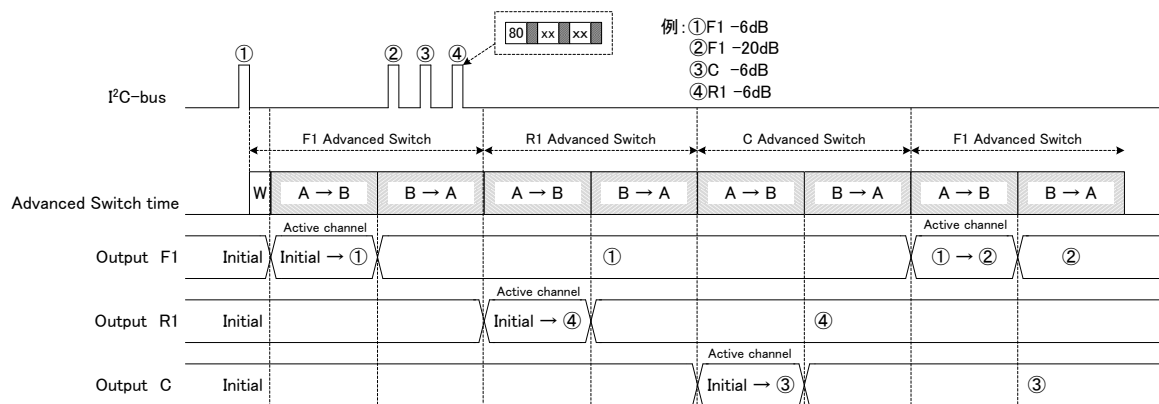
複数ブロックへの送信に関しても、前節で説明した通り、I²C-bus データ送信タイミングの制約はありませんが、切替え開始のタイミングは前項の図(アドバンスト・スイッチ開始の順序)の順番に従います。したがって、実際の切替え順番はデータ送信順序によらず前項の図(アドバンスト・スイッチ開始の順序)の順番となります。

なお、各ブロックデータを別々に送信しても、オートインクリメントモードでデータを一括送信しても同様です。



■ 送信例 2

送信順序と実際の切替え順序が異なる場合、また、アドバンスト・スイッチ動作が終了していないタイミングで同一 BS 以外のデータを送信した場合、現在の切替え終了後に次の BS の切替えを行います。



応用回路例

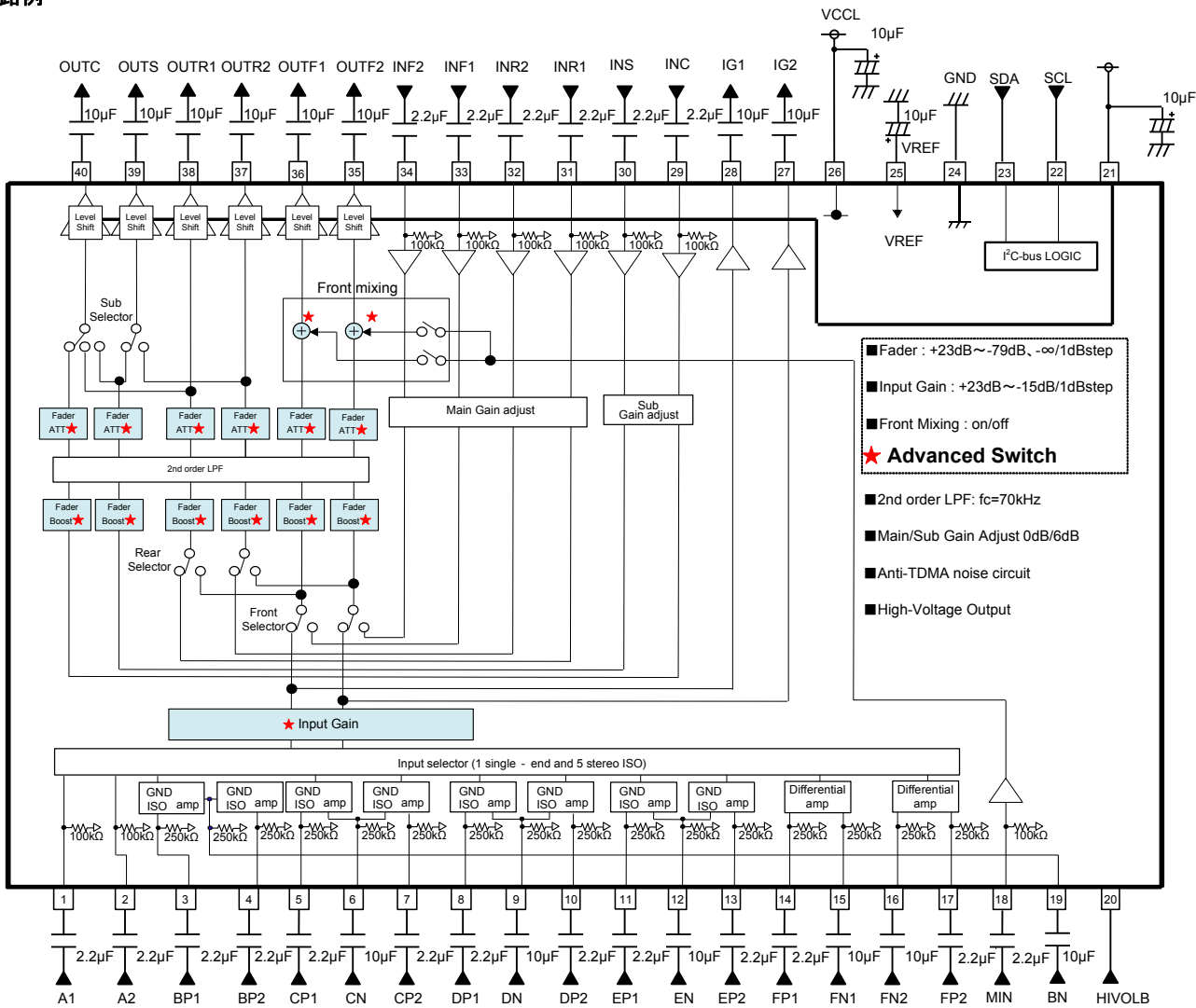


Figure 20. 応用回路例

配線上の注意

①電源のデカップリングコンデンサは、GND に対して、出来るだけ最短距離で接続してください。

②GND ラインは一点接続してください。

③Digital の配線パターンはアナログ部の配線パターンから離して、クロストークのないようにしてください。

④I²C-bus 部の SCL, SDA ラインはなるべく平行に引かず、隣接する時はシールドするようにしてください。

⑤アナログ入力信号ラインはなるべく平行に引かないでください。隣接する時はシールドするようにしてください。

熱損失について

IC の熱設計について

IC の特性は、使用される温度に大きく関係し、最大許容接合部温度を超えると、素子が劣化したり破壊したりすることがあります。瞬時破壊及び長時間動作の信頼性といった 2 つの立場から、IC の熱に対する配慮は十分に行う必要があります。

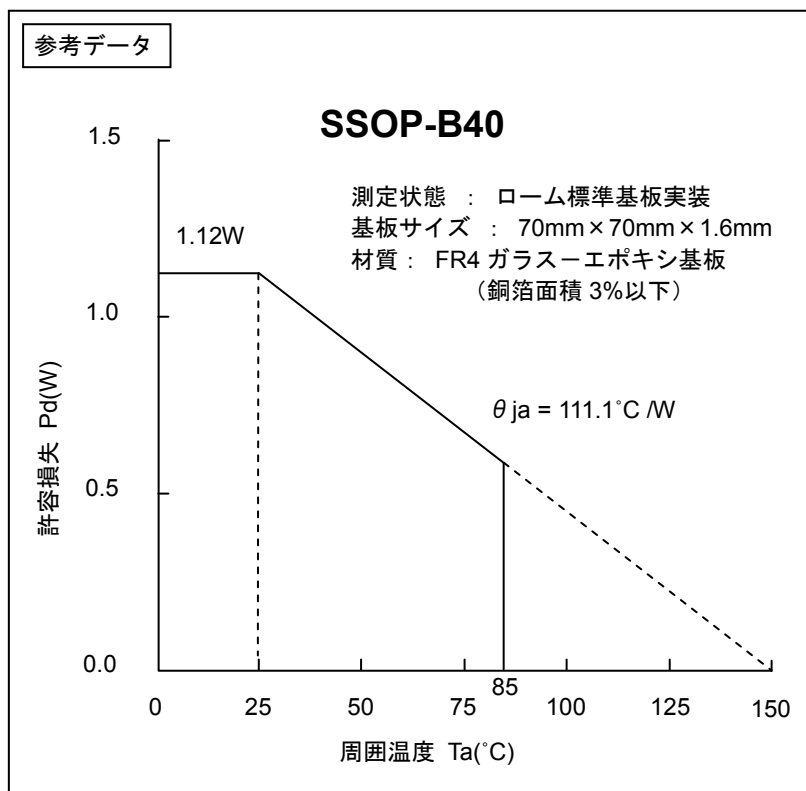


Figure 21. 熱軽減曲線

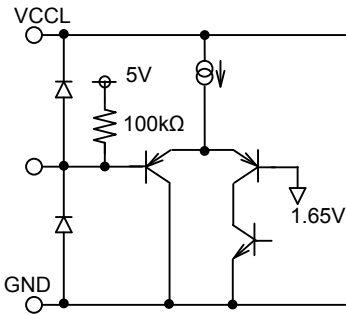
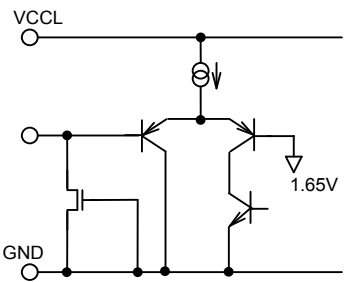
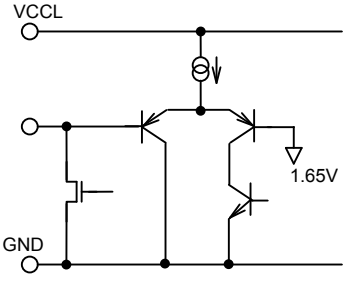
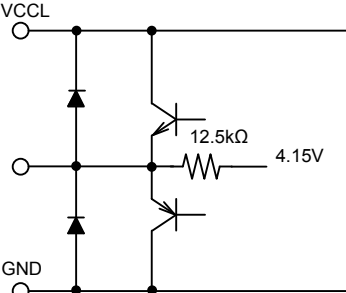
この値は実測値であり保証値ではありません。

許容損失の値は実装する基板によって変化しますのでご注意ください。

入出力等価回路図

端子 No	端子名	端子電圧	等価回路	端子説明
1 2 29 30 31 32 33 34 18	A1 A2 INC INS INR1 INR2 INF1 INF2 MIN	4.15V		音声入力端子。入力インピーダンスは100kΩ(typ)です。
3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 19	BP1 BP2 CP1 CN CP2 DP1 DN DP2 EP1 EN EP2 FP1 FN1 FN2 FP2 BN	4.15V		シングル/差動切換可能な入力端子。 入力インピーダンスは250kΩ(typ)です。
27 28	IG2 IG1	4.15V		入力ゲイン出力端子
35 36 37 38 39 40	OUTF2 OUTF1 OUTR2 OUTR1 OUTS OUTC	8.35/4.15V		フェーダー出力端子 High-Voltage OFF : 4.15V High-Voltage ON : 8.35V

端子説明、入出力等価回路図中の数値は設計値であり、その保証をするものではありません。

端子 No	端子名	端子電圧	等価回路	端子説明
20	HIVOLB	5V		<p>出力ゲイン制御端子</p> <p>0V 印加 : High-Voltage ON 端子オープン : High-Voltage OFF</p>
21 26	VCCH VCCL	17/8.5V 8.5V		電源端子
22	SCL	—		<p>I²C-bus 通信のクロック入力端子</p> <p>※隣接する VCCH とショートした場合、IC の破壊につながる可能性がありますのでご注意ください。</p>
23	SDA	—		I ² C-bus 通信のデータ入力端子
24	GND	0V		グラウンド端子
25	VREF	4.15V		<p>BIAS 端子</p> <p>アナログ信号系の基準バイアス電圧です。 外付けコンデンサ用の簡易プリチャージ、 ディスチャージ回路内蔵。</p>

端子説明、入出力等価回路図中の数値は設計値であり、その保証をするものではありません。

アプリケーション情報

1. 絶対最大定格電圧

絶対最大定格電圧を越えて VCCL/VCCH に電圧を印加した場合は回路電流が急増し、デバイスの特性劣化や破壊に至る場合があります。特にセットのサージ試験などで VCCL 端子(26pin)にサージ印加が予想される場合、動作電圧+サージパルス成分を含めても絶対最大定格電圧を大きく超えて(VCCL 端子に 14V 程度)電圧が印加されることがないようにご注意ください。また VCCH 端子(21pin)は 18V 以上の印加がないようにご注意ください。

2. 信号入力について

入力カップリングコンデンサの定数設定について

信号入力端子において、入力カップリングコンデンサ C [F] の定数設定は、IC 内部の入力インピーダンス R_{IN} [Ω] を十分に考慮して決定してください。RC の 1 次 HPF 特性を構成することになります。

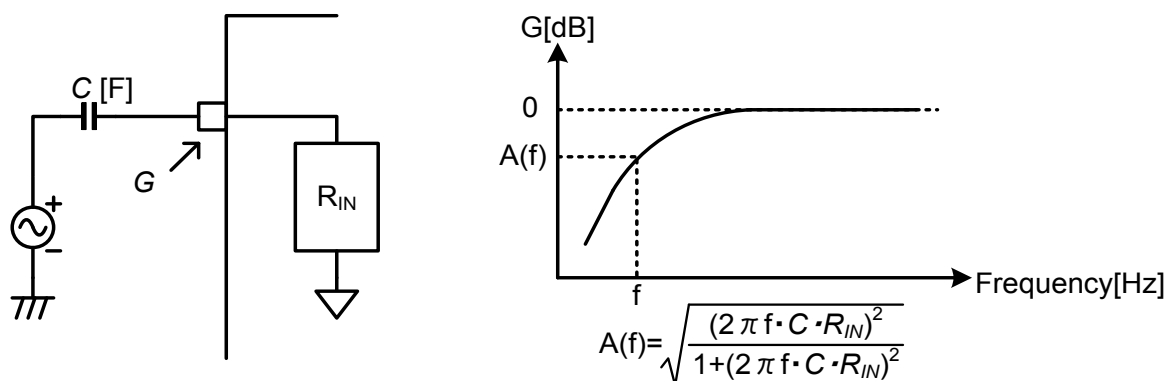


Figure 22. 入力等価回路

3. 出力負荷特性について

出力の負荷特性は、下図の通りです（参考図）。負荷は 10 kΩ(TYP)以上でご利用下さい。

対象となる出力端子

端子 No.	端子名	端子 No.	端子名	端子 No.	端子名	端子 No.	端子名
28	IG1	36	OUTF1	38	OUTR1	40	OUTC
27	IG2	35	OUTF2	37	OUTR2	39	OUTS

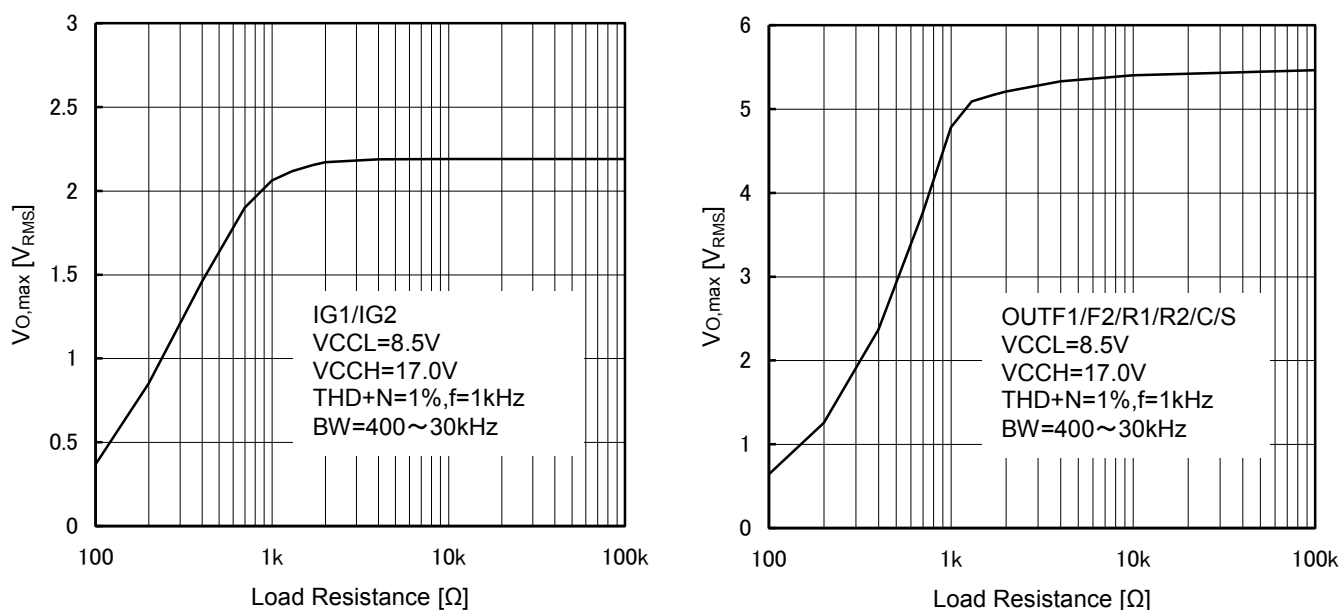


Figure 23. 出力負荷特性 VCCL=8.5V, VCCH=17.0V（参考図）

アプリケーション情報 - 続き-

4. 電源 OFF 時の HIVOLB 端子 (20pin) について
電源が OFF 状態で HIVOLB 端子 (20pin) に電圧を印加しないでください。
外部から電圧印加する可能性がある場合は、2.2k Ω 程度の電流制限抵抗を (HIVOLB 端子に直列に) 挿入する事を推奨いたします。
5. 音声入力端子について
音声入力端子は端子をオープンにした時には端子の内部インピーダンスが 100k Ω 又は 250k Ω になりますので、外部からの飛び込みノイズが問題になることがあります。使わない音声入力端子がある場合は、カップリングコンデンサを用いて GND に接地するか、マイコンの設定でセレクトが切り替わらないように設計してください。
6. 入力ゲインセレクト、フェダーのゲイン切替えについて
入力ゲインセレクトやフェダーのブースト時、特に 20dB を超える高いゲインに切替える場合は、切替えポップ音が大きくなる場合があります。この場合は、ゲインを一度に大きく切替えずに、1dB ステップごとに切替えることをお勧めします。また、アドバンスト・スイッチ時間を長くすることによってもポップ音が軽減できる場合があります。
7. VCCH 端子との端子間ショートについて
VCCH 端子(21pin)は、最大 5.2V_{RMS} という大出力振幅を実現するために、高電圧(17.8V_{MAX})の印加が想定される端子です。そのため、端子間(隣接の SCL(22pin)や、それ以外も含めて)に異物が入るなどしてショートした場合、回路電流が急増し、デバイスの特性劣化や破壊につながる可能性があります。

使用上の注意

1. 電源の逆接続について
電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れるなどの対策を施してください。
2. 電源ラインについて
基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。その際、デジタル系電源とアナログ系電源は、それらが同電位であっても、デジタル系電源パターンとアナログ系電源パターンは分離し、配線パターンの共通インピーダンスによるアナログ電源へのデジタル・ノイズの回り込みを抑止してください。グラウンドラインについても、同様のパターン設計を考慮してください。
また、LSI のすべての電源端子について電源ーグラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量低下が起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。
3. グラウンド電位について
グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。
4. グラウンド配線パターンについて
小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。
5. 熱設計について
万一、最高接合部温度を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。本仕様書の絶対最大定格に記載しています最高接合部温度を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用するなどの対策をして、最高接合部温度を超えないようにしてください。
6. 推奨動作条件について
この範囲であればほぼ期待通りの特性を得ることができる範囲です。電気特性については各項目の条件下において保証されるものです。
7. ラッシュカレントについて
IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。
8. 強電磁界中の動作について
強電磁界中でのご使用では、まれに誤動作する可能性がありますのでご注意ください。

使用上の注意 — 続き

9. セット基板での検査について

セット基板での検査時に、インピーダンスの低いピンにコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

10. 端子間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けた場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

11. 各入力端子について

本 IC はモノリシック IC であり、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、 $GND > (\text{端子 A})$ の時、トランジスタ (NPN) では $GND > (\text{端子 B})$ の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ (NPN) では、 $GND > (\text{端子 B})$ の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に GND (P 基板) より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子が GND にショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

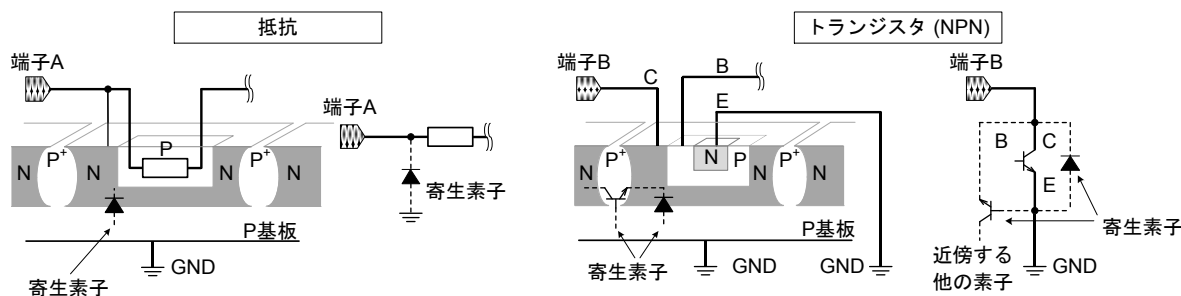


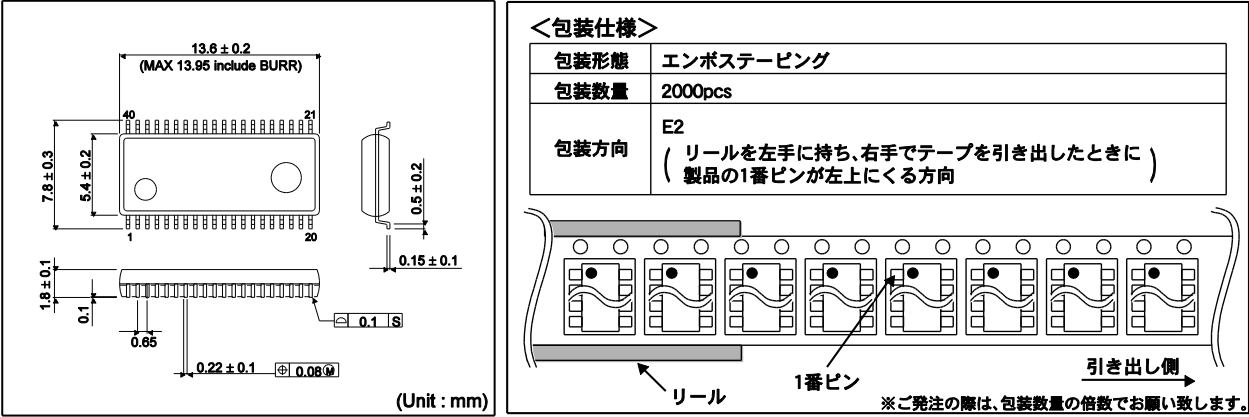
Figure 24. モノリシック IC 構造例

発注形名情報

B D 3 7 0 6 8 F V										-	M E 2	
Part Number										パッケージ FV: SSOP-B40		製品ランク M: 車載ランク製品 包装、フォーミング仕様 E2: リール状エンボステッピング (SSOP-B40)

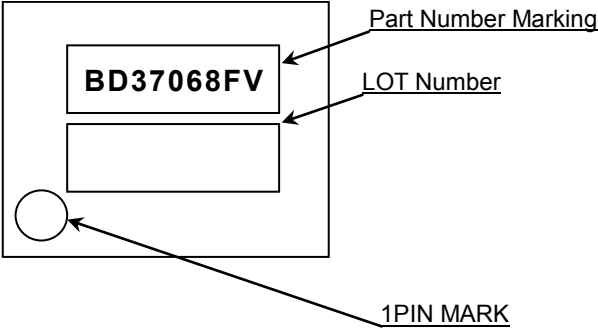
外形寸法図と包装・フォーミング仕様

SSOP-B40



標印図

SSOP-B40(TOP VIEW)



改訂履歴

Date	Revision	Changes
2014.3.13	001	New Release
2016.11.14	002	<ul style="list-style-type: none">・アドバンスト・スイッチに関する追記・電源シーケンス規定追記・体裁変更

ご注意

ローム製品取扱い上の注意事項

- 極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器^(Note 1)、航空宇宙機器、原子力制御装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

- 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
- 本製品は、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用
 - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用された場合も、残渣の洗浄は確実にを行うことをお勧め致します)、又ははんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合
 - ⑧結露するような場所でのご使用
- 本製品は耐放射線設計はなされておられません。
- 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
- パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
- 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
- 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
- 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

- ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
- はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。
その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。（人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等）

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
 - ① 潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ② 推奨温度、湿度以外での保管
 - ③ 直射日光や結露する場所での保管
 - ④ 強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱いください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルに2次元バーコードが印字されていますが、2次元バーコードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は、外国為替及び外国貿易法に定めるリスト規制貨物等に該当するおそれがありますので、輸出する場合には、ロームへお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等（ソフトウェア含む）との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。