

24bit Audio CODEC シリーズ

タッチパネルインタフェース内蔵 モノラル Audio CODEC

BU26154MUV

概要

BU26154 は、デジタルステルカメラや電子辞書に最適な Cap-Less ヘッドフォンアンプ、スピーカアンプ、タッチパネルインタフェースを内蔵したローパワー・コンパクト・CODEC です。ノイズに sensitive な CODEC 部の特性を安定させるために、レギュレータを搭載しております。スピーカアンプは、AB 級動作と D 級動作の切り替え動作が可能です。そのため、FM ラジオなど干渉の影響がある場合に AB 級動作にすることにより、干渉を防止することが可能です。デジタル信号処理としては、特定周波数帯域のノイズカット用途としてのハイパスフィルタ、ノッチフィルタや 5 バンドのイコライザや擬似低音機能、ノイズゲートなどを搭載しており、柔軟な音質効果処理を可能としております。

特長

- 多彩な音響処理機能
 - ◇ 擬似低音機能
 - ◇ 静音時のホワイトノイズ抑制
 - ◇ ファストリリース ALC
 - ◇ 5band Equalizer/NotchFilter
- レギュレータ内蔵により高 PSRR を実現
- AB 級、D 級、切り替え可能スピーカアンプを内蔵
- タッチパネルインタフェース

用途

- 電子辞書
- デジタルステルカメラ
- デジタル一眼レフカメラ
- デジタルミラーレスカメラ
- デジタルビデオカメラ、他

ブロック図

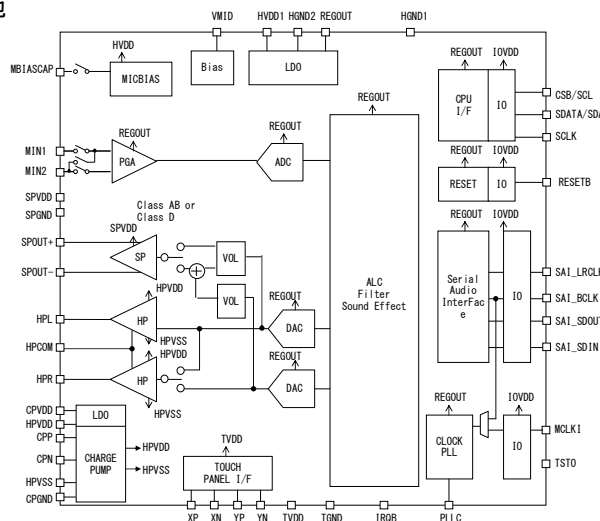


Figure 1. Block Diagram

重要特性

■ HVDD 電源電圧:	2.7V~3.6V
■ SPVDD 電源電圧:	2.7V~5.5V
■ CPDD 電源電圧:	2.7V~3.6V
■ TVDD 電源電圧:	2.7V~3.6V
■ MIC-ADC SNR:	92dB (Typ)
■ DAC-SP SNR:	95dB (Typ)
■ DAC-HP SNR:	93dB (Typ)

パッケージ

VQFN040V6060

 W (Typ) x D (Typ) x H (Max)
6.00mm x 6.00mm x 1.00mm


端子配置図

Top view

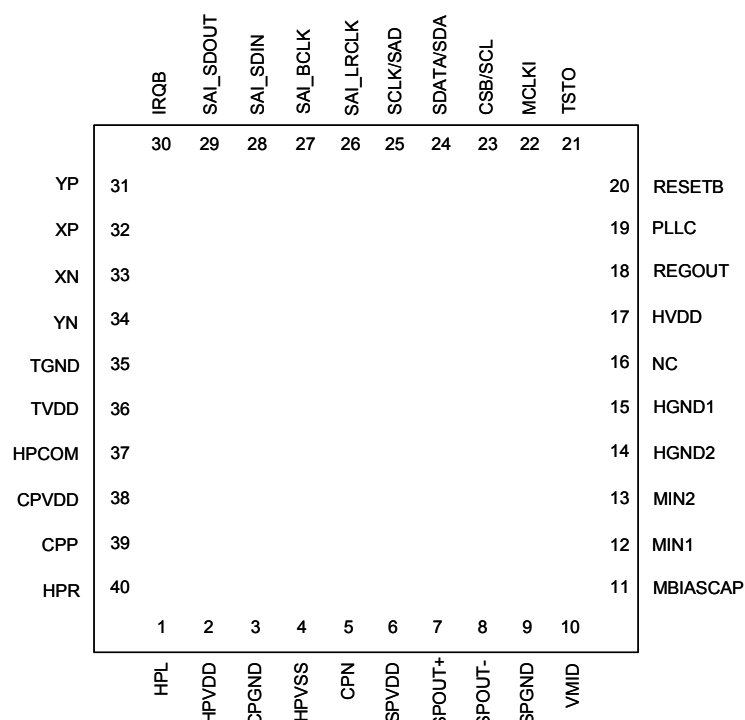


Figure 2. 端子配置図

端子説明

No	Name	I/O	Power	Function	Reset (Note1)	No use (Note3)
17	HVDD	P	-	高電圧電源 1 HVDD と HGND1 との間にコンデンサを接続してください。	-	-
6	SPVDD	P	-	スピーカ用 VDD SPVDD と SPGND との間にコンデンサを接続してください。	-	-
38	CPVDD	P	-	チャージポンプ用電源 1 CPVDD と CPGND との間にコンデンサを接続してください。	-	-
16	N.C	-	-	ノーコネクト端子。	-	-
36	TVDD	P	-	タッチパネル用電圧電源 TVDD と TGND との間にコンデンサを接続してください。	-	-
15	HGND1	P	-	高電圧 GND1 HGND2,SPGND,CPGND,TGND と同電圧にて使用してください。	-	-
14	HGND2	P	-	高電圧 GND2 HGND1,SPGND,CPGND,TGND と同電圧にて使用してください。	-	-
9	SPGND	P	-	高電圧 SPGND HGND1,HGND2,CPGND,TGND と同電圧にて使用してください。	-	-
3	CPGND	P	-	チャージポンプ回路用 GND HGND1,HGND2,SPGND,TGND と同電圧にて使用してください。	-	-
35	TGND	P	-	タッチパネルインタフェース用 GND HGND1,HGND2,CPGND,SPGND と同電圧にて使用してください。	-	-
18	REGOUT	O	HVDD	レギュレータ電圧出力端子 REGOUT と HGND1 との間にコンデンサを接続してください。コンデンサは極力チップ近傍に配置してください。	HGND2	-

2	HPVDD	O	CPVDD	ヘッドフォン駆動用プラス側電圧出力端子。HPVDDとCPGNDとの間にコンデンサを接続してください。コンデンサは極力チップ近傍に配置してください。	CPGND	(Note 2)
4	HPVSS	O	CPVDD	ヘッドフォン駆動用マイナス側電圧出力端子。HPVSSとCPGNDとの間にコンデンサを接続してください。コンデンサは極力チップ近傍に配置してください。	CPGND	(Note 2)
22	MCLKI	I	HVDD	マスタクロック入力端子	(input)	HGND1
21	TSTO	O	HVDD	テスト用出力端子です。オープンにして使用してください。	HGND1	Open
20	RESETB	I	HVDD	リセット入力端子 "L" level: リセット "H" level: リセット解除	(input)	-
24	SDATA /SDA	IO	HVDD	3 線シリアル:DATA 入出力端子 交流特性の説明においては、SDATA と記載します。 2 線シリアル:DATA 入出力端子 ^(Note 1) 交流特性の説明においては、SDA と記載します。	(input)	-
25	SCLK /SAD	I	HVDD	3 線シリアル:同期クロック入力端子 交流特性の説明においては、SCLK と記載します。 2 線シリアル:スレーブアドレス選択端子となります。 以後の説明においては、SAD と記載します。 端子の状態により以下 2 種類から選択できます。 SAD 端子 = HGND1 のとき "0011010" SAD 端子 = HVDD のとき "0011011"	(input)	HGND1
23	CSB /SCL	I	HVDD	3 線シリアル・インタフェース時:チップセレクト信号入力 端子交流特性の説明においては、CSB と記載します。 2 線シリアル・インタフェース時:同期クロック入力端子 ^(Note 1) 交流特性の説明においては、SCL と記載します。	(input)	-
26	SAI_LRCLK	IO	HVDD	SAI 用 LR クロック入出力端子	(input)	HGND1
27	SAI_BCLK	IO	HVDD	SAI 用ビットクロック入出力端子	(input)	HGND1
28	SAI_SDIN	I	HVDD	SAI 用シリアルデータ入力端子(受信用)	(input)	HGND1
29	SAI_SDO	O	HVDD	SAI 用シリアルデータ出力端子(送信用)	HGND1	Open
30	IRQB	O	HVDD	割り込み出力端子。割り込みが発生した場合、"L" を出力します。	HGND1	Open
10	VMID	O	REGOUT	アナログ基準電位用容量接続端子 VMID と HGND2 との間にコンデンサを接続してください。	HGND2	-
11	MBIASCAP	O	HVDD	マイクバイアス電圧出力端子 1。 HGND2 との間にコンデンサを接続してください。 コンデンサは極力チップ近傍に配置してください。	HVDD	Open
12	MIN1	I	REGOUT	アナログ・マイク入力端子 1 シングルエンド入力、またはディファレンシャル入力の反転入力に設定できます。ディファレンシャル入力時にはマイクの+端子と接続してください。	Hi-Z	Open
13	MIN2	I	REGOUT	アナログ・マイク入力端子 2 シングルエンド入力、またはディファレンシャル入力の非反転入力に設定できます。ディファレンシャル入力時にはマイクの-端子と接続してください。	Hi-Z	Open
8	SPOUT-	O	SPVDD	スピーカ - 出力端子	SPGND	Open
7	SPOUT+	O	SPVDD	スピーカ + 出力端子	SPGND	Open
1	HPL	O	HPVDD	ヘッドフォン出力 Lch 端子	CPGND	Open
40	HPR	O	HPVDD	ヘッドフォン出力 Rch 端子	CPGND	Open
39	CPP	O	CPVDD	チャージポンプ フライイングキャパシタ、プラス側出力端子	Hi-Z	Open
5	CPN	O	CPVDD	チャージポンプ フライイングキャパシタ、マイナス側出力端子	Hi-Z	Open
19	PLL	O	HVDD	PLL フィルタ接続端子。MCLKI 端子入力のクロックを使用する場合は、オープンにしてください。SAI_BCLK 端子入力のクロックを使用する場合は、コンデンサと抵抗を外部に接続する必要があります。	HGND2	Open
31	YP	O	TVDD	タッチパネルインタフェース用 YP 端子	Hi-Z	Open
32	XP	O	TVDD	タッチパネルインタフェース用 XP 端子	Hi-Z	Open
33	XN	O	TVDD	タッチパネルインタフェース用 XN 端子	Hi-Z	Open
34	YN	O	TVDD	タッチパネルインタフェース用 YN 端子	Hi-Z	Open

37	HPCOM	I	-	ヘッドフォンアンプコモン端子	(input)	-
----	-------	---	---	----------------	---------	---

(Note 1) 2線シリアル時には外部にプルアップ抵抗を挿入してご使用ください。2線シリアル時にはノイズの影響を受けやすいため、ノイズの多い環境でご使用される場合には十分なノイズ対策(HVDD 電源ラインの強化、HGND1 の強化、及び SCL 出力側へのダンピング抵抗挿入など)を実施してください。

(Note 2) パワーダウン時、HPVDD と HPVSS は、ショートされます。

基本アプリケーション回路図 3Wire Interface, 差動 MIC 動作の場合

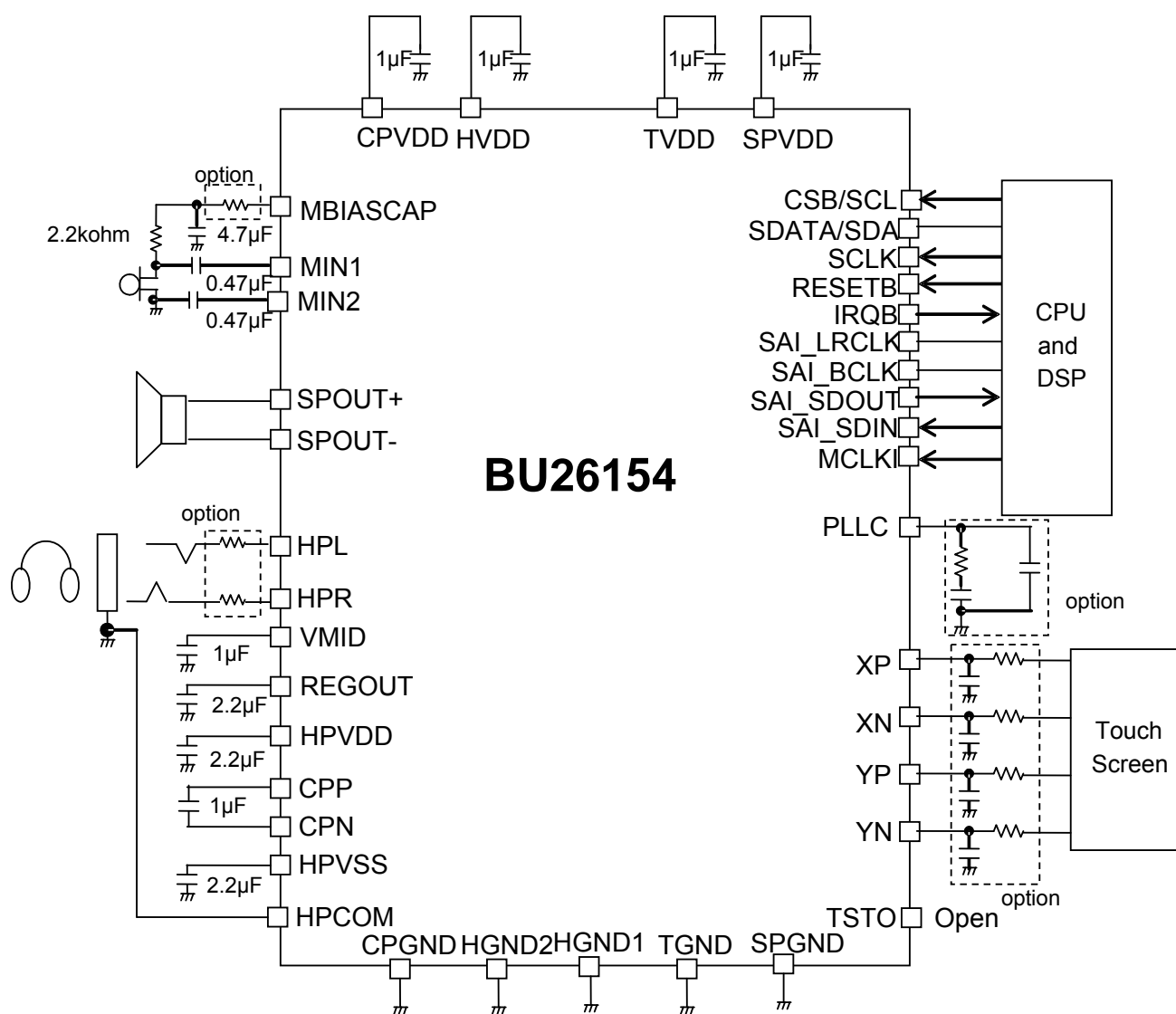


Figure 3. BU26154 基本アプリケーション回路図

絶対最大定格 (Ta = 25°C)

(HGND1=HGND2=SPGND=CPGND=TGND=0V)

Parameter	Symbol	Condition	Rating	Unit
HVDD 電源電圧	HVDD	-	-0.3~4.5	V
SPVDD 電源電圧	SPVDD	-	-0.3~7.0	V
CPVDD 電源電圧	CPVDD	-	-0.3~4.5	V
入力電圧	VIN	MCLKI, SAI_LRCLK, SAI_BCLK, SAI_SDIN, SDATA/SDA, SCLK, CSB/SCL pins	-0.3~HVDD+0.3	V
		MIN1, MIN2 pins	-0.3~REGOUT+0.3	V
保存温度	T _{stg}	-	-55~+150	°C
許容損失	Pd	Ta=25°C (Note 1)	0.80	W
		Ta=25°C (Note 2)	3.01	W
出力電流1	IOSP	SPOUT+, SPOUT- pins	-560~+560	mA
出力電流2	IOHP	HPL, HPR pins	-100~+100	mA
出力電流3	IOCP	HPVSS,HPVDD,CP,CN pin	-500~+500	mA
出力電流4	IOREGO	REGOUT pin	-30 ~0	mA
出力電流5	IOO	Except SPOUT+,SPOUT-, HPL,HPR, REGOUT,HPVDD,HPVSS pins	-8 ~+8	mA

注)出力端子と他の出力端子または電源端子または GND 端子を短絡しないでください。

(出力端子には、入出力端子が出力モードの場合を含みます)。

(Note 1) 74.2mm×74.2mm×1.6mm FR4 1 層ガラスエポキシ基盤(表面銅箔 0%)実装時

Ta=25°C以上は 8.0mW/°Cで減じる。基盤にサーマルビアあり。

(Note 2) 74.2mm×74.2mm×1.6mm FR4、4 層ガラスエポキシ基盤(2,3 層銅箔 100%)実装時

Ta=25°C以上は 30.12mW/°Cで減じる。基盤にサーマルビアあり。

注意：印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施して頂けるようご検討をお願いします。

推奨動作範囲

(HGND1=HGND2=SPGND=CPGND=TGND=0V)

Parameter	Symbol	Condition	Rating	Unit
HVDD 電源電圧	HVDD	HVDD=CPVDD=TVDD	2.7~3.6	V
SPVDD 電源電圧	SPVDD	-	2.7~5.5	V
CPVDD電源電圧	CPVDD	HVDD=CPVDD=TVDD	2.7~3.6	V
TVDD電源電圧	TVDD	HVDD=CPVDD=TVDD	2.7~3.6	V
動作温度	Top	-	-20~+85	°C

(Note 1) 耐放射線設計はしてありません。

電気的特性

直流特性

(HGND1= HGND2=SPGND=CPGND=TGND=0V, HVDD=3.3V, SPVDD=3.3V, CPVDD=3.3V, TVDD=3.3V, Ta=25°C)

Parameter	Symbol	Condition	Min.	Typ.	Max.	Unit	Related Pin
“H”入力電圧 1	VIH1	HGND1=0V	HVDD×0.8	-	HVDD+0.3	V	All Digital Input
“L”入力電圧 1	VIL1	HGND1=0V	-0.3	-	HVDD×0.2	V	All Digital Input
“H”入力電圧 2	VIH2	HGND1=0V	HVDD-0.4	-	HVDD+0.3	V	All Digital Input
“L”入力電圧 2	VIL2	HGND1=0V	-0.3	-	0.4	V	All Digital Input
“H”出力電圧	VOH	IOH=-1mA	HVDD×0.85	-	-	V	Except SDA
“L”出力電圧 1	VOL1	IOL=1mA	-	-	HVDD×0.15	V	Except SDA
“L”出力電圧 2	VOL2	IOL=3mA	-	-	0.4	V	SDA
“H”入力リーク電流	IIH	VIH= HVDD	-	-	10	μA	All Digital Input
“L”入力リーク電流	IIL	VIL=HGND1	-10	-	-	μA	All Digital Input
“Z”出力リーク電流	IOZH	VOH=HVDD	-	-	10	μA	SDA
“Z”出力リーク電流	IOZL	VOL=HGND1	-10	-	-	μA	SDA
動作電流 1	IDDO1	Playback(fs48kHz) no Load, Hp-amp use Sin1kHz-Full Scale output	-	10	13	mA	-
動作電流 2	IDDO2	Playback(fs48kHz) no Load, D-class,Sp-amp use Sin1kHz-Full Scale output	-	10.5	13.7	mA	-
動作電流 3	IDDO3	Playback(fs48kHz) no Load, AB-class,Sp-amp use Sin1kHz-Full Scale output	-	12	15.6	mA	-
動作電流 4	IDDO4	Record(fs48kHz) Sin1kHz-Full Scale input	-	9.5	12.4	mA	-
動作電流 5	IDDO5	Touch Panel Interface Operate	-	0.6	1	mA	-
動作電流 6 ^(Note 3)	IDDO6	Touch Panel Interface Interrupt Wait Ta = -40 ~ 55°C	-	220	320	uA	-
スタンバイ電流	IDDS	25°C	-	0.5	5	μA	-

(Note 1) スタンバイ電流はすべての電源電流の合計です。

(Note 2) スタンバイ電流測定条件は RESETB="L"でパワーダウンした状態です。

(Note 3) タッチパネルインタフェース割り込み待機時の電流です。動作設定条件は、タッチパネルインタフェース項を参照してください。

交流特性

クロック

PLL 未使用時

(HGND1= HGND2=SPGND=CPGND=TGND=0V, HVDD=3.3V, SPVDD=3.3V, CPVDD=3.3V, TVDD=3.3V, Ta=25°C)

Parameter	Symbol	Min	Max.	Unit
MCLKI 周波数	fC	4.096	49.152	MHz
MCLKI 周期	tC	1/fC	1/fC	ns
MCLKI “H” 期間	tCH	tC*0.4	-	ns
MCLKI “L” 期間	tCL	tC*0.4	-	ns

PLL 使用時

(HGND1= HGND2=SPGND=CPGND=TGND=0V, HVDD=3.3V, SPVDD=3.3V, CPVDD=3.3V, TVDD=3.3V, Ta=25°C)

Parameter	Symbol	Min	Max.	Unit
MCLKI 周波数	fC	6.75	54	MHz
MCLKI 周期	tC	1/fC	1/fC	ns
MCLKI “H” 期間	tCH	tC*0.4	-	ns
MCLKI “L” 期間	tCL	tC*0.4	-	ns

PLL 使用時は、MCLKI 端子の他に SAI_BCLK 端子からクロックを入力することが可能です。BCLK 端子入力周波数に関しては、SAI スレーブ項を参照してください。

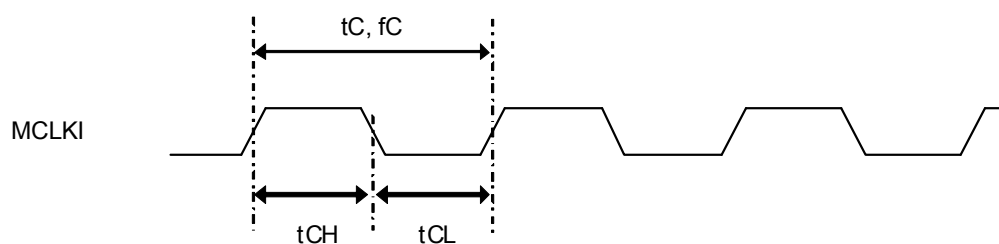


Figure 4

リセット

(HGND1= HGND2=SPGND=CPGND=TGND=0V, HVDD=3.3V, SPVDD=3.3V, CPVDD=3.3V, TVDD=3.3V, Ta=25°C)

Parameter	Symbol	Min	Max.	Unit
RESETB パルス幅	tW_RST	5	-	μs

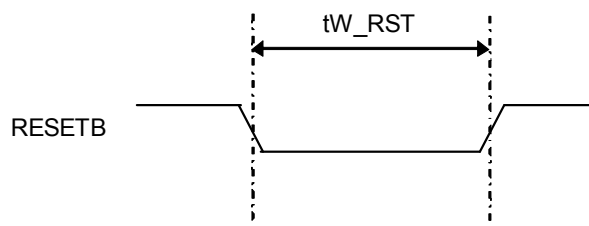


Figure 5

RESETB="L"の期間、内蔵レギュレータがパワーダウンし REGOUT 出力電圧が HGND1 レベルに移行します。内蔵レギュレータを安定して使用するために、REGOUT 端子に接続されるコンデンサの電荷が十分に抜けるのに必要な時間 (1ms 以上)のリセット入力時間として設定することを推奨いたします。

2 線シリアル・インタフェース

(HGND1= HGND2=SPGND=CPGND=TGND=0V, HVDD=3.3V, SPVDD=3.3V, CPVDD=3.3V, TVDD=3.3V, Ta=25°C, CL=30pF)

Parameter	Symbol	Standard Mode		Fast Mode		Unit
		Min	Max	Min	Max	
SCL 周波数	f_{SCL}	-	100	-	400	kHz
SCLL “L” 期間	t_{LOW}	4.7	-	1.3	-	μs
SCL “H” 期間	t_{HIGH}	4.0	-	0.6	-	μs
ホールド時間(反復)「Start」条件	$t_{HD:STA}$	4.0	-	0.6	-	μs
反復「Start」条件のセットアップ時間	$t_{SU:STA}$	4.0	-	0.6	-	μs
データホールド時間	$t_{HD:DAT}$	0	3.45	0	0.9	μs
データセットアップ時間	$t_{SU:DAT}$	250	-	100	-	ns
「Stop」条件のセットアップ時間	$t_{SU:STO}$	4.0	-	0.6	-	μs

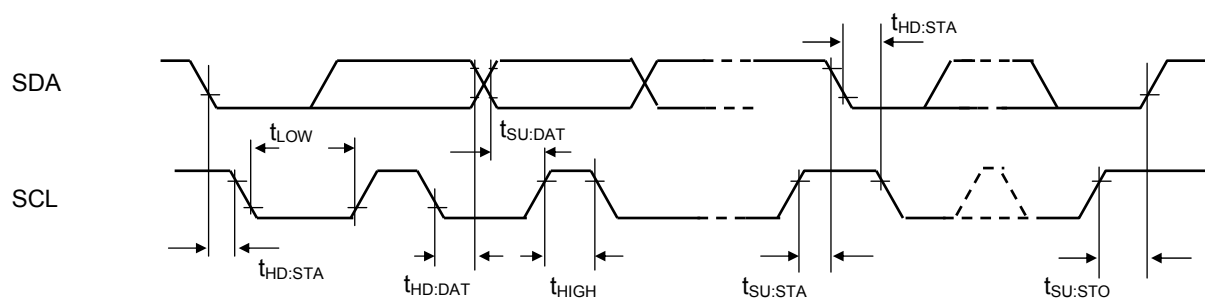


Figure 6

3 線シリアル・インタフェース

(HGND1= HGND2=SPGND=CPGND=TGND=0V, HVDD=3.3V, SPVDD=3.3V, CPVDD=3.3V, TVDD=3.3V, Ta=25°C, CL=30pF)

Parameter	Symbol	Min	Max	Unit
SCLK↓→CSB↓セットアップ時間	tSLCL	100	-	ns
CSB↓→SCLK↓セットアップ時間	tCLSL	100	-	ns
CSB↓→SCLK↑セットアップ時間	tCLSH	100	-	ns
SCLK↑→CSB↓セットアップ時間	tSHCL	100	-	ns
SCLK “H” パルス幅	tSH	50	-	ns
SCLK “L” パルス幅	tSL	50	-	ns
SDATA セットアップ時間	tIDS	30	-	ns
SDATA ホールド時間	tIDH	30	-	ns
SCLK→CSB↑ホールド時間 2	tCHS2	100	-	ns
CSB “H” パルス幅	tCH	100	-	ns
SCLK→SDATA 確定までの時間	tODV	-	40	ns
SDATA Hi-Z 移行時間	tCHDTS	-	40	ns

データ転送開始時(CSB “H”→“L”時)の SCLK 端子の論理に応じて、Low start と High start の 2 種類の timing で使用可能です。INDEX の LSB の論理によって、リード/ライトの動作が切り替わります。

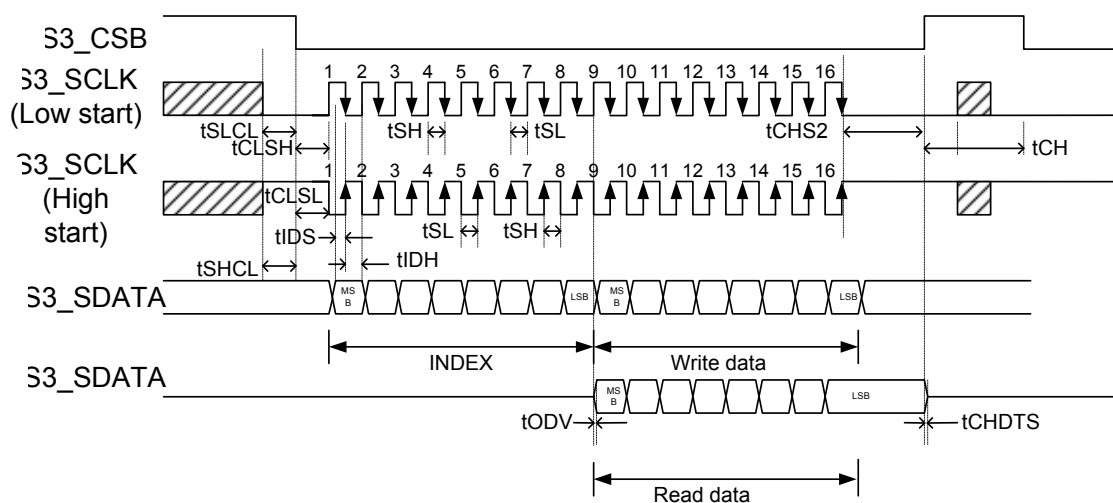


Figure 7

SAI(スレーブ)

(HGND1= HGND2=SPGND=CPGND=TGND=0V, HVDD=3.3V, SPVDD=3.3V, CPVDD=3.3V, TVDD=3.3V, Ta=25°C, CL=30pF)

Parameter	Symbol	Min	Max	Unit
SAI_BCLK 周期	tC_BCLK	32fs	128fs	Hz
SAI_BCLK “H”期間	tHW_BCLK	73	-	ns
SAI_BCLK “L”期間	tLW_BCLK	73	-	ns
SAI_LRCLK ホールド時間	tH_LRCLK	20	-	ns
SAI_LRCLK セットアップ時間	tSU_LRCLK	20	-	ns
SAI_SDOUT 遅延時間	tD_SDO (Note 1)	-	80	ns
SAI_SDIN セットアップ時間	tSU_SDI	20	-	ns
SAI_SDIN ホールド時間	tH_SDI	20	-	ns

(Note 1) tD_SDO は SAI_BCLK と SAI_LRCLK の変化の遅い方を基準とした時間となります。

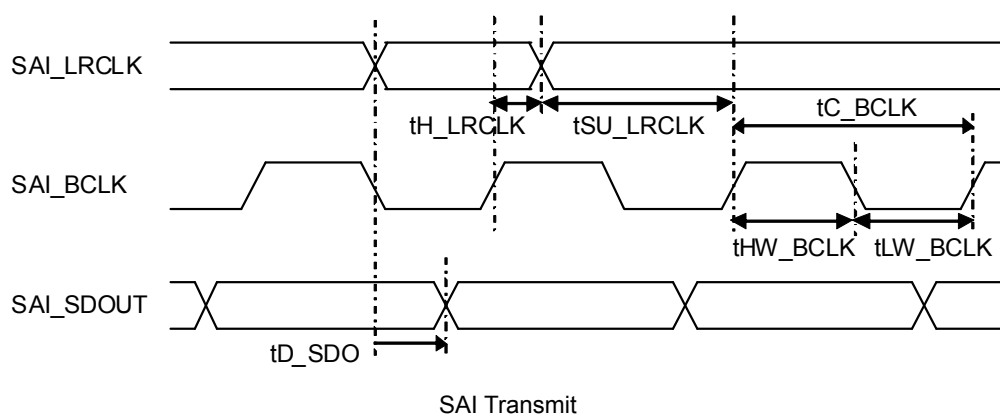


Figure 8

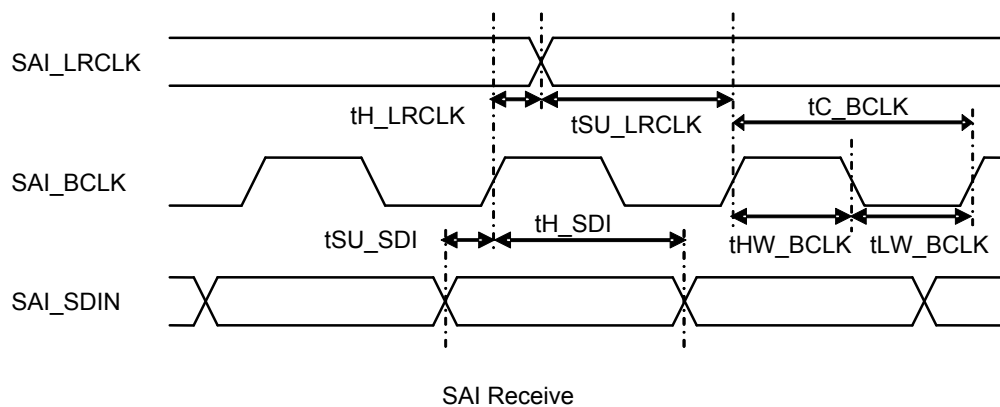
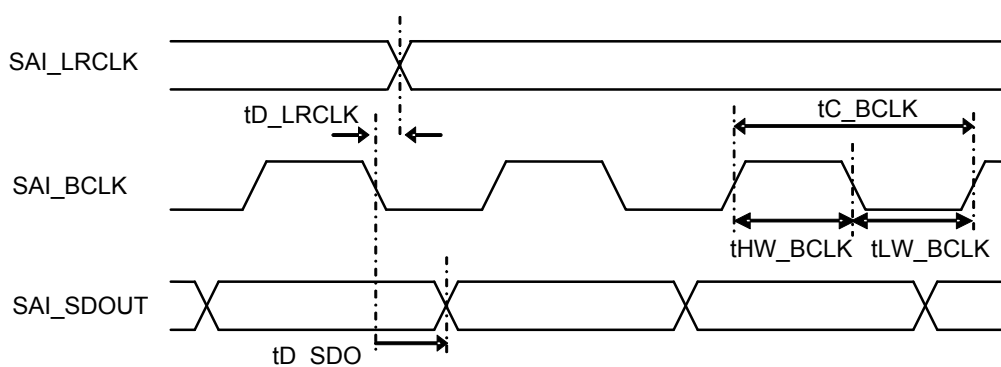


Figure 9

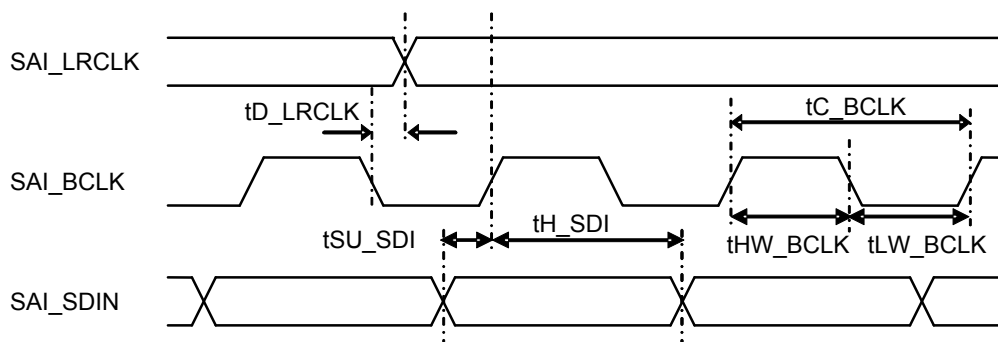
SAI(マスタ)

(HGND1= HGND2=SPGND=CPGND=TGND=0V, HVDD=3.3V, SPVDD=3.3V, CPVDD=3.3V, TVDD=3.3V, Ta=25°C, CL=30pF)

Parameter	Symbol	Min	Max	Unit
SAI_BCLK 周期	tC_BCLK	32fs	64fs	Hz
SAI_BCLK “H”期間	tHW_BCLK	146	-	ns
SAI_BCLK “L”期間	tLW_BCLK	146	-	ns
SAI_LRCLK 遅延時間	tD_LRCLK	-	20	ns
SAI_SDOUT 遅延時間	tD_SDO	-	20	ns
SAI_SDIN セットアップ時間	tSU_SDI	50	-	ns
SAI_SDIN ホールド時間	tH_SDI	0	-	ns



SAI Transmit
Figure 10



SAI Receive
Figure 11

電源投入シーケンス

すべての電源の投入/遮断は同時に行うことを推奨します。各電源投入/遮断のばらつきは 50ms 以内にしてください。また、一部の電源のみ ON 或いは OFF という状態は避けて、必ずすべての電源供給或いはすべての電源遮断の状態を保持してください。

全電源投入完了までは、RESETB 端子は“L”入力をしてください。電源投入後リセット時間(t_{W_PURST})経過後、リセット解除し、レギュレータ起動待ち時間(t_{W_REGU})経過後より、LSI の制御が可能となります。HVDD、CPVDD、TVDD に関しては、必ず、電源投入は HVDD が先、電源遮断は HVDD が後になるようにしてください。SPVDD に関しては上記のような他の電源間の制限は特にありません。

Parameter	Symbol	Min	Typ	Max	Unit
電源投入遅延時間	t_{VDD_ON}	0	-	50	ms
電源遮断遅延時間	t_{VDD_OFF}	0	-	50	ms
電源投入後リセット時間	t_{W_PURST}	1	-	-	μ s
リセット解除後 レギュレータ起動待ち時間	t_{W_REGU}	1	-	-	ms

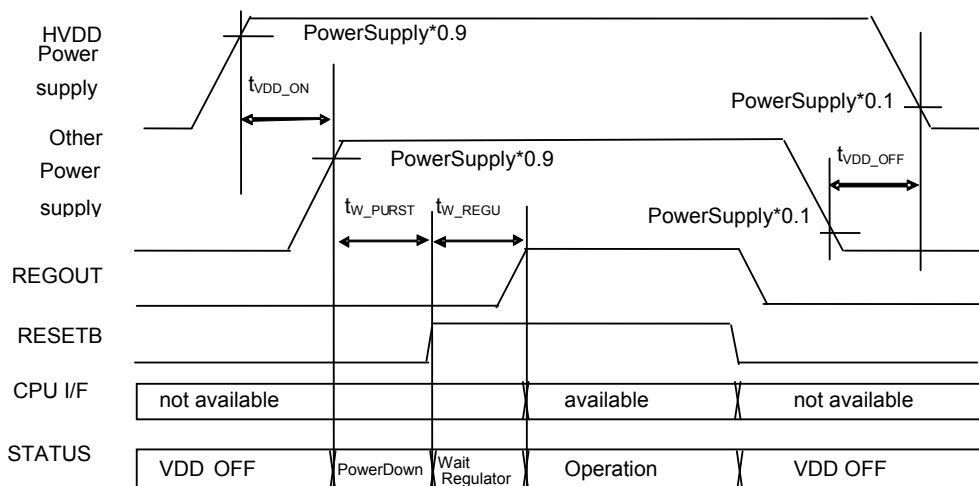


Figure 12

アナログ特性

(HGND1= HGND2=SPGND=CPGND=TGND=0V, HVDD=3.3V, SPVDD=3.3V, CPVDD=3.3V, TVDD=3.3V, Ta=25°C)

Parameter	Symbol	Condition	Min	Typ	Max	Unit
Regulator Output						
REGOUT Output Level	VREGOUT	-	1.7	1.8	1.9	V
Mic Input (MIC Gain=18dB / Digital Volume=0.0dB / ALC=OFF)						
Full Scale Input Signal Level	VMINFS1	MIN1,MIN2	-	-	0.124	Vp-p
Input Resistance	RMIN1	MIN1,MIN2	20	30	40	kΩ
Mic Input (MIC Gain=9.0dB / Digital Volume=0.0dB / ALC=OFF)						
Full Scale Input Signal Level	VMINFS2	MIN1,MIN2	-	-	0.454	Vp-p
Input Resistance	RMIN2	MIN1,MIN2	20	30	40	kΩ
Analog Reference Level(VMID-pin)						
Analog Reference Voltage	VREF	-	0.9x REGOUT/2	1.0x REGOUT/2	1.1x REGOUT/2	V
Microphone Bias(MBIASCAP -pin)						
Output Voltage where, VMIC<HVDD*0.85	VMIC	IMIC = -1mA, MICBCON=0	1.50x REGOUT/2	1.67x REGOUT/2	1.84x REGOUT/2	V
		IMIC = -1mA, MICBCON=1	2.00x REGOUT/2	2.22x REGOUT/2	2.45x REGOUT/2	V
		IMIC = -1mA, MICBCON=2	2.50x REGOUT/2	2.78x REGOUT/2	3.06x REGOUT/2	V
		IMIC = -1mA, MICBCON=3	3.00x REGOUT/2	3.33x REGOUT/2	3.67x REGOUT/2	V
Output Current	IMIC	-	-	-	2	mA

(HGND1=HGND2=SPGND=CPGND=TGND=0V, HVDD=3.3V, SPVDD=3.3V, CPVDD=3.3V, TVDD=3.3V, Ta=25°C)

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
Analog Inputs to ADC out (MIC Gain=18dB / Digital Volume=0.0dB / ALC=OFF)						
S/(N+D)	SND1	-1dBFS/ A-weighted	-	78	-	dB
S/N	SNR1	A-weighted	-	89	-	dB
Power Supply Rejection Ratio	PSRR1	HVDD on 100mVp-p, 1kHz noise, no signal input	-	90	-	dB
Analog Inputs to ADC out (MIC Gain=9.0dB / Digital Volume=0.0dB / ALC=OFF)						
S/(N+D)	SND2	-1dBFS/ A-weighted	-	80	-	dB
S/N	SNR2	A-weighted	-	92	-	dB
Power Supply Rejection Ratio	PSRR2	HVDD on 100mVp-p, 1kHz noise, no signal input	-	90	-	dB
DAC to Headphone OUT(HPR/HPL, with 16Ω/50pF load)						
Total Harmonic Distortion	THD+N3	1kHz,input -12dBFS	-	75	-	dB
Signal to Noise Ratio	SNR3	A-weighted	-	93	-	dB
Power Supply Rejection Ratio	PSRR3	HVDD on 100mVp-p,1kHz noise, no signal input	-	90	-	dB
		CPVDD on 100mVp-p,1kHz noise, no signal input	-	90	-	dB
Output Offset Voltage	VOF	No signal input	-	±1	-	mV
Charge Pump Oscillator Frequency	CPOSC	-	-	500	-	kHz
HPVDD Port Output Voltage	HPVDO	-	-	1.8	-	V
HPVSS Port Output Voltage	HPVSO	-	-	-1.8	-	V
DAC to Speaker OUT D-class Mode (SPOUT+/-, with 8Ω/50pF load)						
Output Power	Po4	THD=10%, SPVOL=6dB	-	700	-	mW
Total Harmonic Distortion	THD+N4	Po=310mW	-	66	-	dB
Signal to Noise Ratio	SNR4	A-weighted, THD+N=1%	-	95	-	dB
Power Supply Rejection Ratio	PSRR4	HVDD on 100mVp-p,1kHz noise	-	90	-	dB
		SPVDD on 100mVp-p,1kHz noise	-	60	-	dB
PWM frequency	PWMF	-	-	370	-	kHz
Efficiency	EFF	-	-	90	-	%
DAC to Speaker OUT AB-class Mode (SPOUT+/-, with 8Ω/50pF load)						
Output Power	Po5	THD=10%, SPVOL=6dB	-	700	-	mW
Total Harmonic Distortion	THD+N5	Po=310mW	-	62	-	dB
Signal to Noise Ratio	SNR5	A-weighted, THD+N=1%	-	95	-	dB
Power Supply Rejection Ratio	PSRR5	HVDD on 100mVp-p,1kHz noise	-	90	-	dB
		SPVDD on 100mVp-p,1kHz noise	-	60	-	dB
Microphone Bias(MBIASCAP-pin) *1						
Output Noise Voltage	VMICN6	22Hz to 22kHz, MICBCON=1	-	5	-	μV
Power Supply Rejection Ratio	PSRR6	HVDD on 100mVp-p,1kHz noise Load=1mA MICBCON=1	-	70	-	dB

(HGND1=HGND2=SPGND=CPGND=TGND=0V, HVDD=3.3V, SPVDD=3.3V, CPVDD=3.3V, TVDD=3.3V, Ta=25°C)

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
Touch Panel Interface						
ADC Resolution	N	-	-	-	12	Bit
Differential Non-Linearity Error	DNL	-	-3	-	3	LSB
Integral Non-Linearity Error	INL	-	-4	-	4	LSB
Offset Error	OFTERR	-	-	1	-	LSB
Gain Error	GAERR	-	-	0.5	-	LSB
Touch Panel Driver Switch	SWONR	-	-	5	-	Ω
Interrupt Pull-up Resistance	IRQR1	RSEL=0	40	50	70	kΩ
	IRQR2	RSEL=1	70	90	120	kΩ
ADC Conversion Timing	Tw_ADC1		-	-	35	μs
	Tw_ADC2		-	-	43	μs

機能説明

クロック制御

本 LSI 内部のオーディオ信号パスを形成する主要モジュールは、サンプリング周波数の 256 倍(以後 256fs)の Audio 用内部クロック(以後、内部クロック)で動作します。内部クロックの生成方法は、256fs/ 512fs/ 1024fs のクロックを MCLKI 端子より入力し分周して生成するか、PLL を使用するかのいずれかを選択できます。

PLL を使用する場合、PLL に入力した任意の周波数クロックから PLL で生成されるクロックを使用します。PLL への入力クロックは MCLKI 端子もしくは、SAI_BCLK 端子いずれかの入力を、レジスタ設定により選択することができます。以上の選択は Clock Input/Output Control レジスタによって行います。PLL はサンプリング周波数の 256fs を生成します。

Audio Clock を設定するレジスタ: Sampling Rate Setting Register, FPLLM, FPLLNL, FPLLNH, FPLLD, FPLLFL, FPLLFH, FPLLFDL, FPLLFDH, Clock Input/Output Control register, Clock Input Select Register

・PLL 設定手順

PLL 動作条件を設定(変更)する場合の手順を以下に示します。

1. PLL が動作している場合は、PLLOE ビットに"0"をライトし、出力を停止させる。
2. PLLDN ビットに"0"をライトし、PLL を停止させる。
3. FPLLM, FPLLNL, FPLLNH, FPLLD, FPLLFL, FPLLFH, FPLLFDL, FPLLFDH を設定する。
4. PLLSEL ビットで使用する入力端子を選択します。
5. PLLDN ビットに"1"をライトする。
6. PLL が発振安定するまでの時間を待つ。待ち時間は下表を参照。
7. PLLOE ビットに"1"をライトする。
8. 録音/再生スタート。

PLL Stabilizing Time

PLL 安定時間
10msec

- 関連レジスタ

Sampling Rate Setting Register

PLLNL, PLLNH Register

PLLM, PLLMH Register

PLLDIV Register

Clock Enable Register

Clock Input/Output Control Register

PLL を使用する場合

本 LSI は幅広い入力クロック周波数に対応した PLL を内蔵しているため、Audio 専用の外付けクロックを使用することなく本 LSI のみで Audio クロックを生成することができます。本 LSI が対応しているモードは次のとおりです。

任意のクロック周波数を本 LSI の MCLKI 端子もしくは、BCLKI 端子に入力し、本 LSI から Audio 用クロックを出力して動作をさせる場合

■case 1: PLLISEL(0x0e/0x0f)=0x1, MST(0x64/0x65)="0"

MCLKI 端子から入力されたクロックから BU26154 に内蔵した PLL によって内部 Audio 用クロックを生成し、CPU 側で SAI_LRCLK, SAI_BCLK などの信号を生成する場合

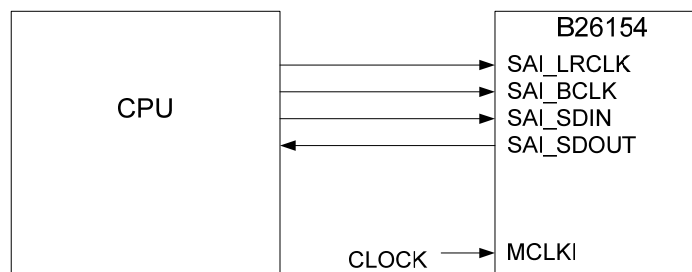


Figure 13

■case2: PLLISEL(0x0e/0x0f)=0x1, MST(0x64/0x65)="1"

任意の MCLKI 端子から入力されたクロックから BU26154 に内蔵した PLL によって内部 Audio 用クロックを生成し、SAI_LRCLK, SAI_BCLK のクロックを本 LSI から供給する場合

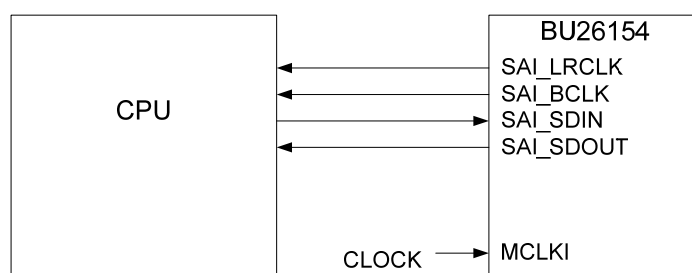


Figure 14

■case3: PLLISEL(0x0e/0x0f)=0x2, MST(0x64/0x65)="1"

SAI_BCLK 端子から入力されたクロックから BU26154 に内蔵した PLL によって内部 Audio 用クロックを生成する場合。この場合は、CPU 側で SAI_LRCLK, SAI_BCLK などの信号を生成します。

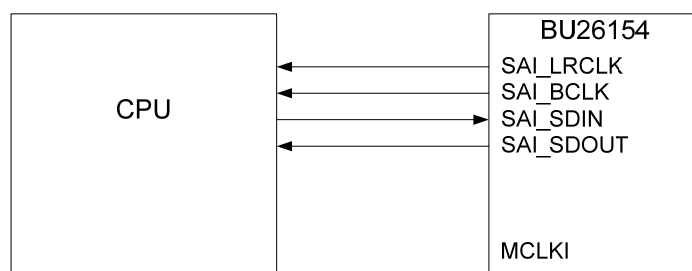


Figure 15

PLL を使用しない場合

PLL を使用しないで本 LSI を使用する場合、CPU 側で Audio クロックを生成し、CPU 側と本 LSI を同一クロックで動作させることで同期させます。

■case 5: MST(0x64/0x65)="0"

CPU でオーディオクロック(256fs,512fs,1024fs)を生成し、本 LSI の MCLKI に入力して同期させ、CPU 側で SAI_LRCLK, SAI_BCLK 信号を生成する場合

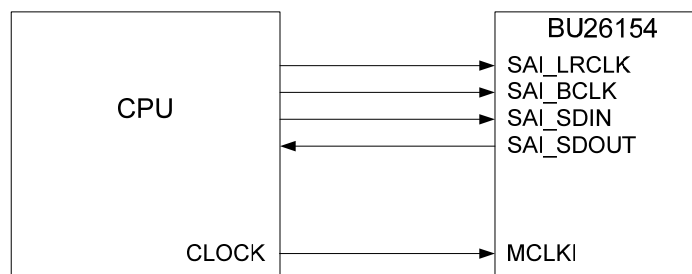


Figure 16

■case6: MST(0x64/0x65)="1"

CPU でオーディオクロック(256fs,512fs,1024fs)を生成し、本 LSI の MCLKI に入力して同期させ、SAI_LRCLK, SAI_BCLK 信号を本 LSI から供給する場合

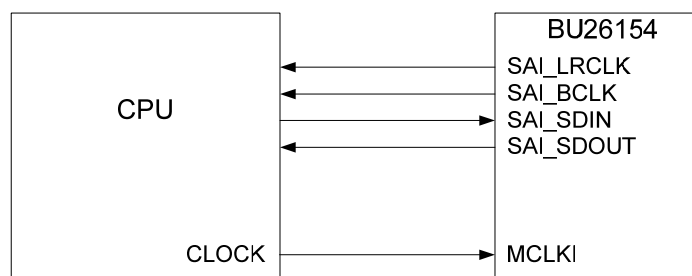


Figure 17

同一のサンプリング周波数を使用する場合においても、入力するクロック周波数により LSI 内部クロックの設定条件が変わります。

MCLKI 入力周波数を変更する場合は、PLLOE を一旦"0"としてから入力周波数を切り替え、再度 PLLOE="1"としてください。

SAI (シリアルオーディオインターフェース)

レジスタ設定の組み合わせにより、様々なシリアルデータフォーマットをサポートします。

WSLI="0", DLYI="0", FMTI="0"

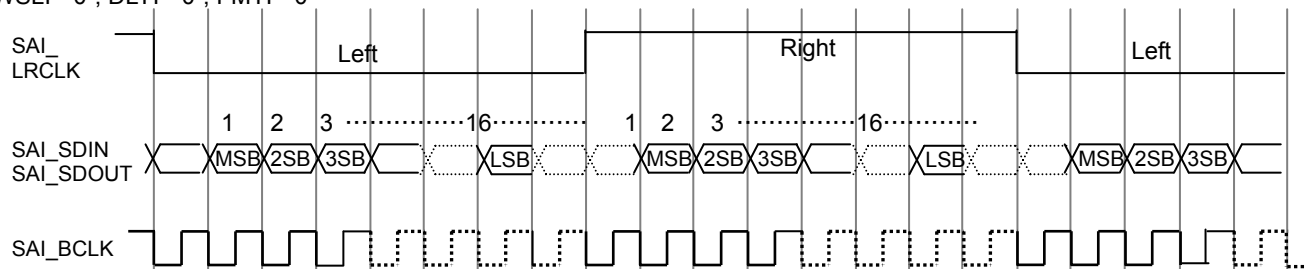


Figure 18

WSLI="1", DLYI="0", FMTI="0"

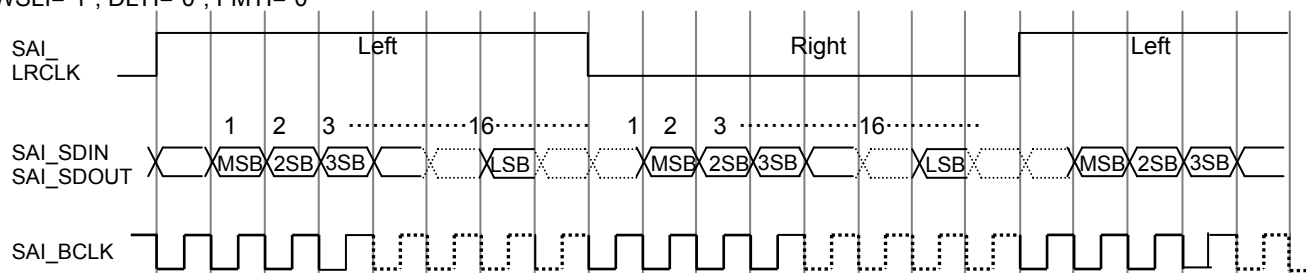


Figure 19

WSLI="0", DLYI="1", FMTI="0"

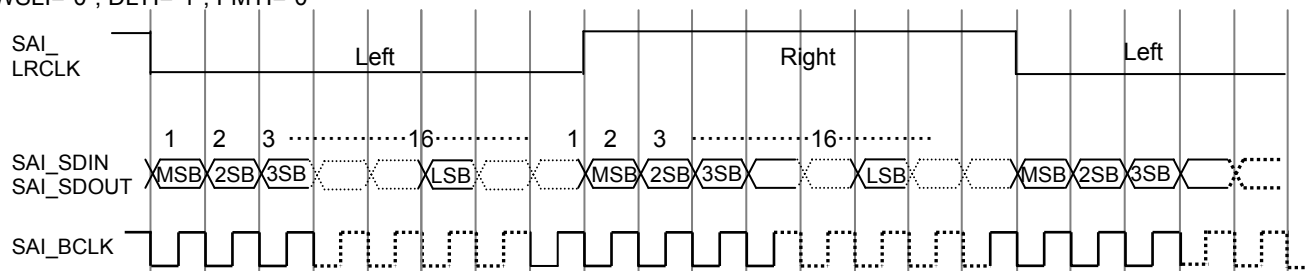


Figure 20

WSLI="1", DLYI="1", FMTI="0"

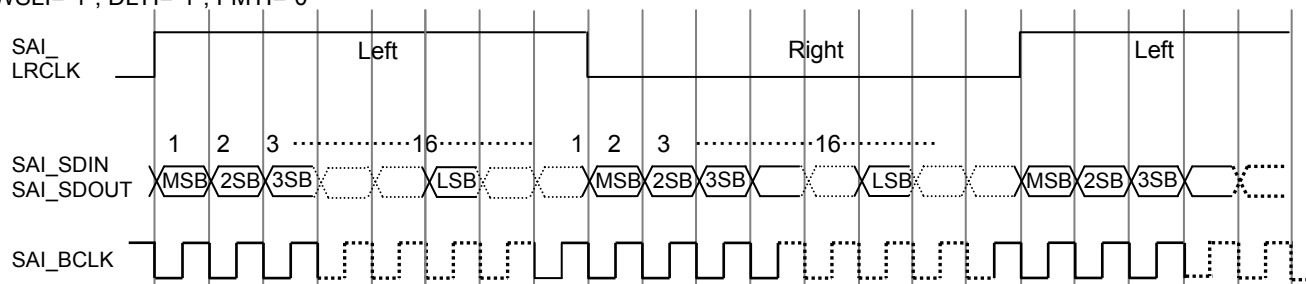


Figure 21

DLYI="0", FMTI="1"

フレーム同期転送モードでは Left チャンネルデータの直ぐ後に Right チャンネルデータが続きます。

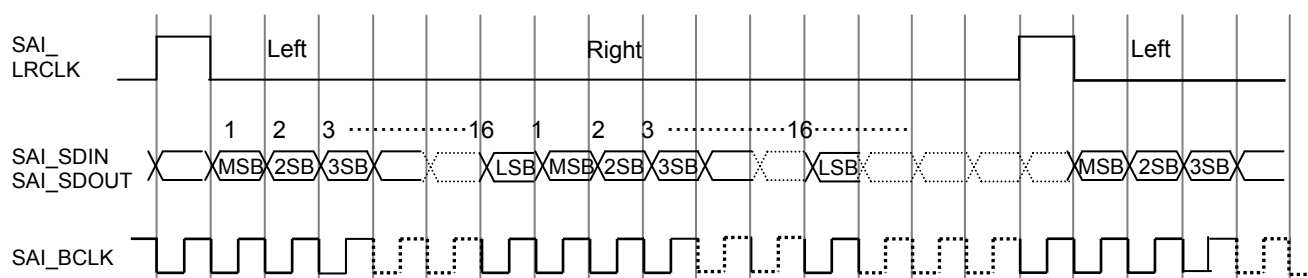


Figure 22

DLYI="1", FMTI="1"

フレーム同期転送モードでは Left チャンネルデータの直ぐ後に Right チャンネルデータが続きます。

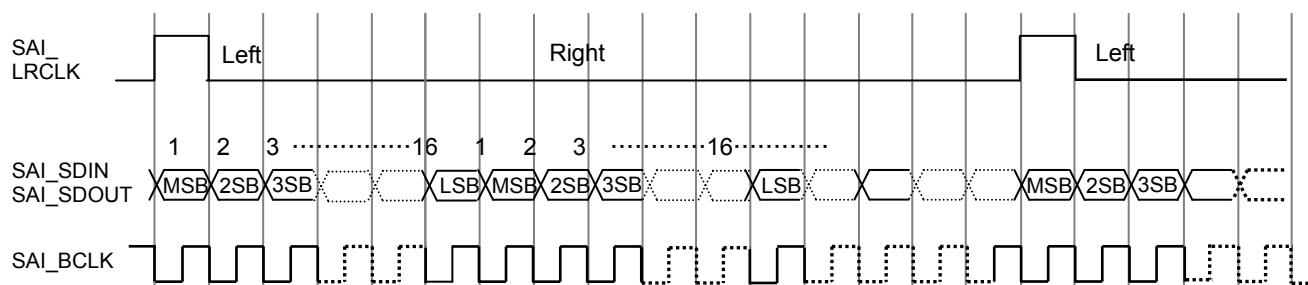


Figure 23

- 関連レジスタ

SAI Transmitter Control Register

SAI Receiver Control Register

2 線シリアル・インタフェース

本 LSI は 2 線シリアル・インタフェースを有し、スレーブデバイスとして動作します。スレーブアドレスは"0011010"です。

- Format

通信は以下のプロトコルで行ってください。

Write (MSB first)

Start Condition(SCL が"H"の時に SDA を"H"から"L"にする)

Slave Address (0011010)+W(0) (8bit)

Write Address (8bit)

Write Data (8bit)

...

Stop Condition(SCL が"H"の時に SDA を"L"から"H"にする)

Read (MSB first)

Start Condition

Slave Address (0011010)+W(0) (8bit)

Read Address (8bit)

(Stop Condition) Start Condition

Slave Address (0011010)+R(1) (8bit)

Read Data (8bit)

以下に通信の波形を示します。

以黄色の網掛け箇所はスレーブデバイス(BU26154)がバスをドライブしている箇所を表します。

波形の中の記号の意味を以下に示します。

Unit	Description
W/R	0: Write 1: Read
A	0: ACK(Acknowledge) 1: NAK(Not Acknowledge)
A[7-0]	Address (8bit)
D[7-0]	Data(8bit)

Write

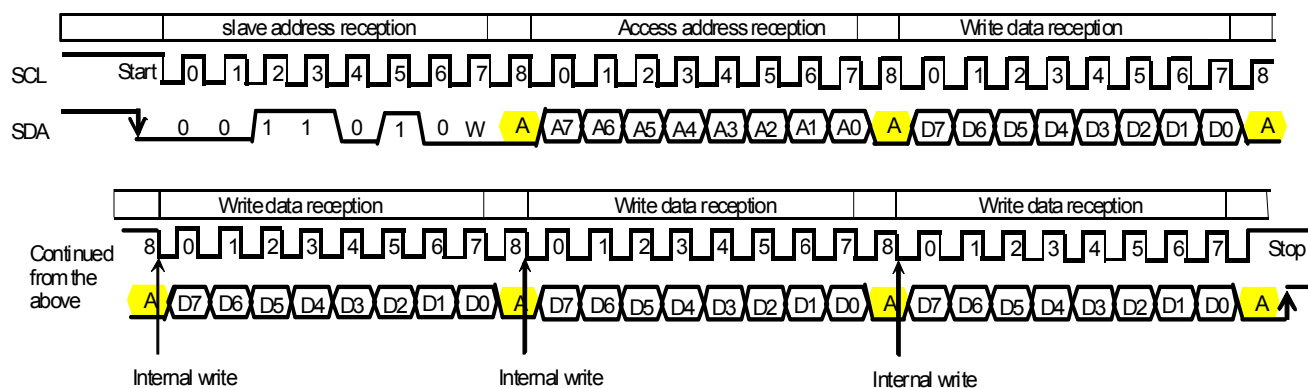


Figure 24

内部ライト(上図:Internal Write)直後に Stop または Start 条件が入らない場合は連続ライトとなり、レジスタアドレスを+2した内部レジスタに対し、次に受信した8ビットのデータをライトします。

Read

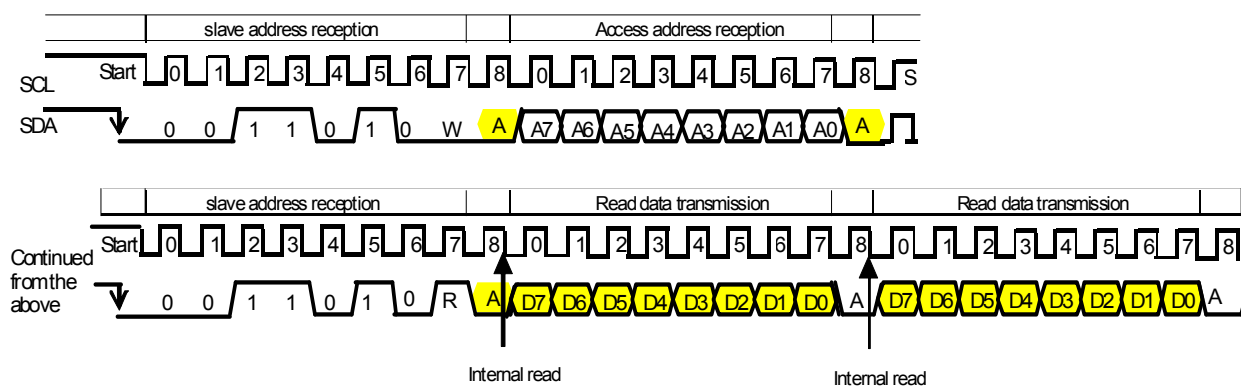


Figure 25

本 LSI からの 8 ビットデータ送信完了に対しマスタが ACK を返した場合は連続リードとなり、レジスタアドレスを+2 した内部レジスタから、8 ビットデータをリードします。

録音再生制御に関する状態遷移

録音再生制御に関する状態遷移図を下記に示します。

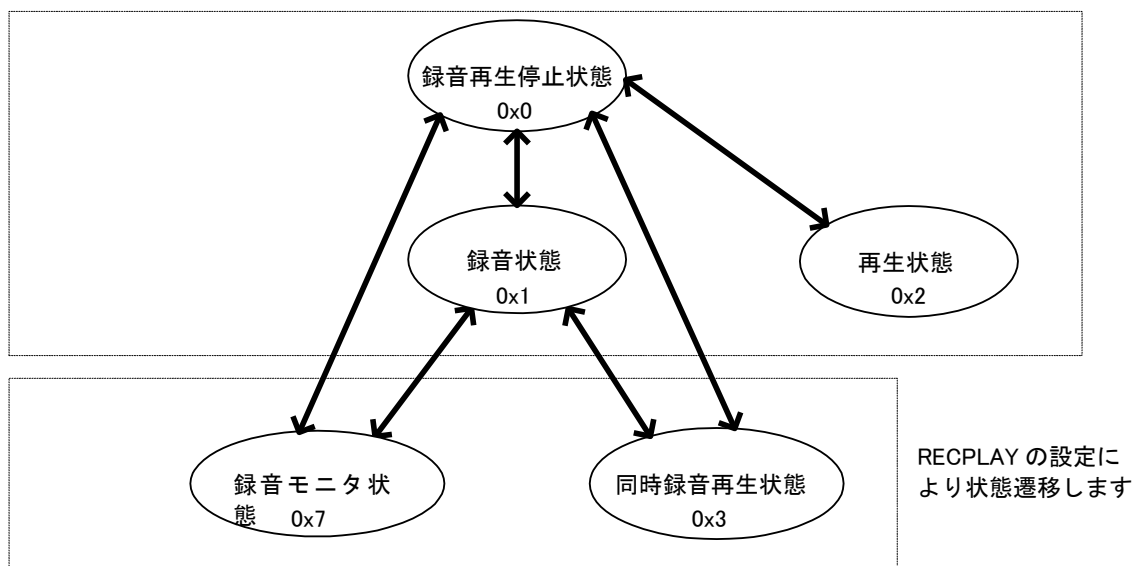


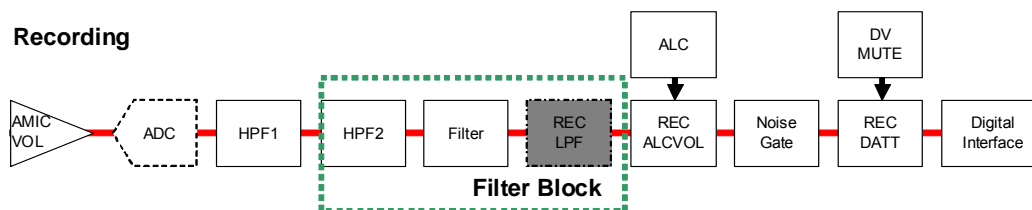
Figure 26

- (1) 録音再生停止状態 (RECPLAY=0x0)
録音、再生のいずれも停止している状態です。
- (2) 録音状態 (RECPLAY =0x1)
マイクの音を録音することができます。
ALCを使用することができます。
- (3) 再生状態 (RECPLAY =0x2)
SAI 経路の音を再生することができます。
ALCを使用することができます。
- (4) 録音モニタ状態 (RECPLAY =0x7)
録音しているマイクの音をモニタすることができます。
ALCは、録音経路のみ効果がかかります。
- (5) 同時録音再生状態 (RECPLAY =0x3)
マイクの音を録音しながら、SAI 経路の音を再生することができます。
ALCは、録音経路のみ効果がかかります。

シグナルフロー

録音時(アナログ・マイク)シグナルフロー Case1 もしくは、Case2 が、使用できます。

Case1:



Case2:

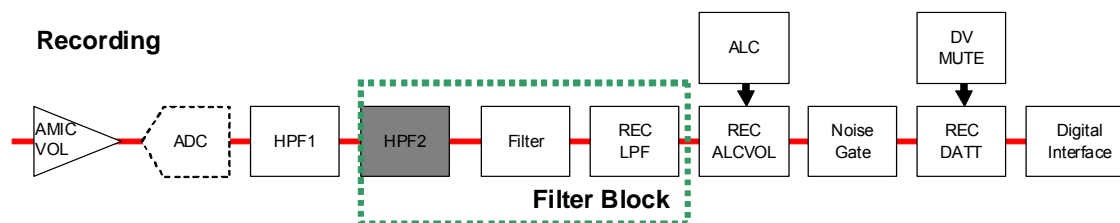


Figure 27

Name	Function	Related Register	Setting
AMICVOL	Analog MIC 用 Volume です。	Mic input volume control	Volume setting 9dB ~ +35.25dB
HPF1	DC 成分カットするための HPF です。	DSP Filter Function Enable	HPF の Enable/Disable
HPF2	録音用の HPF です。	DSP Filter Function Enable	HPF の Enable/Disable order setting
Filter	各音響モードの処理をします。	High Pass Filter2 Cut-off Control	カットオフ周波数設定
		Sound Effect Mode	音響モード設定
		DSP Filter Function Enable	各フィルタの Enable/Disable
		EQ Band N Gain Setting	各フィルタの Gain 設定
RECLPF	録音用のプログラマブル LPF です。	Programable EQ Band N Coefficient-a0/1	各フィルタ、音響処理の特性 設定
		Rec Programable LPF Setting	録音用 LPF の Enable/Disable 録音用 LPF の次数設定
REC ALCVOL	ALC 使用時: ALC が制御する Volume として機能します。ALC 未使用時: Boost Volume として機能します。	Rec Programable LPF Cutoff Coef	録音用 LPF の特性設定
ALC	オートレベルコントローラです。録音データに対して ALC 処理をします。	アプリケーションノートをご参照ください	
Noise Gate	フロアノイズを抑圧するための目的に使用します。		
RECDATT	録音経路の Digital Attenuator です。設定変更時 Fader を使用可能です。	Record Digital Attenuator Control	Volume setting -71.5dB ~ 0dB (0.5dBstep)
		Digital Volume Control Function Enable	フェーダ ON/OFF 設定 (DVMUTE とも連動します)
		Mixer & Volume Control	フェード時間設定 (DVMUTE とも連動します)
DVMUTE	録音経路(RECDATT)を強制的に Mute 状態にします。RECDATT の値を変更する必要はありません。	Digital Volume Control Function Enable	MUTE ON / OFF setting

*Filter Block は Sound Effect Mode レジスタを参照してください。再生経路に Filter Block を接続した場合、録音経路では何も処理を行いません。

再生時のシグナル・フロー

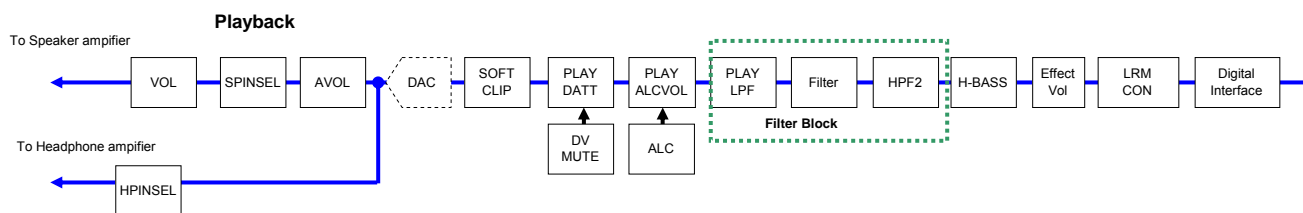


Figure 28

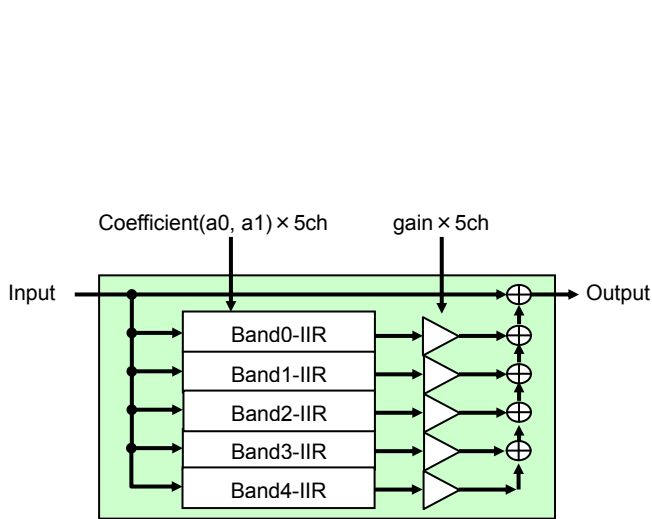
Name	Function	Related Register	Setting
LRMCON	SAI から入力された Lch/Rch データの Mixer です。	Mixer & Volume Control	Mixer setting
Effect Vol	音響処理を行う前のデジタル Volume です。	Playback Effect Volume	Volume setting -71.5dB~0dB (0.5dBstep)
P ² BASS+	擬似低音処理を行うブロックです。	P ² Bass+ Enable P ² Bass+ Parameter*	擬似低音処理の設定
Filter	各音響モードの処理をします。	Sound Effect Mode	音響モード設定
		DSP Filter Function Enable	各フィルタの Enable/Disable
		EQ Band N Gain Setting	各フィルタの Gain 設定
		Programable EQ Band N Coefficient-a0/1	各フィルタ、音響処理の特性設定
PLAYLPF	再生用のプログラマブル LPF です。	Play Programable LPF Setting	再生用の LPF の Enable/Disable 再生用の LPF の次数設定
		Play Programable LPF Cutoff Coef	再生用の LPF の特性設定
PLAY ALCVOL	ALC 使用時: ALC が制御する Volume として機能します。ALC 未使用時: Boost Volume として機能します。	ALC 機能に関しては、アプリケーションノートをご参照ください	
ALC	オートレベルコントローラです。再生データに対して ALC の処理をします。		
PLAYDATT	再生経路の Digital Attenuator です。Volume 設定変更時の noise 軽減のために Fader を使用することができます。	Playback Digital Attenuator Control	Volume setting -71.5dB~0dB (0.5dBstep)
		Digital Volume Control Function Enable	Fader ON/OFF 設定 (DVMUTE とも連動します)
		Mixer & Volume Control	Fade 時間設定 (DVMUTE とも連動します)
DVMUTE	再生経路(PLAYDATT)を強制的に Mute 状態にします。PLAYDATT の値を変更する必要はありません。	Digital Volume Control Function Enable	MUTE ON / OFF 設定
SPVOL	Speaker amp の Analog Boost Volume 設定です。	Speaker Amplifier Input Control	Volume setting 0dB/6dB/12dB/18dB
AVOL	Analog Volume 設定です。Volume 設定変更時の Pop-noise 軽減のために Fader を使用することができます。	Analog volume control	Volume setting -28dB~+18dB *BTL 時
		Amplifier Volume Fader Control	Fader ON/OFF 設定 (AVMUTE とも連動します)
		Amplifier Volume Control Function Enable	Fade 時間設定 (AVMUTE とも連動します)
AVMUTE	再生経路(SPVOL)を強制的に Mute 状態にします。SPVOL の値を変更する必要はありません。	Amplifier Volume Control Function Enable	MUTE ON/OFF setting
SPINSEL	スピーカアンプへの入力経路を選択します。	Speaker Amplifier Input Control	スピーカアンプ再生経路の選択
HPINSEL	ヘッドフォンアンプへの入力経路を選択します。	Headphone Amplifier Input Control	ヘッドフォンアンプ再生経路の選択

*Filter Block は Sound Effect Mode レジスタを参照してください。録音経路に Filter Block を接続した場合、再生経路では何も処理を行いません。

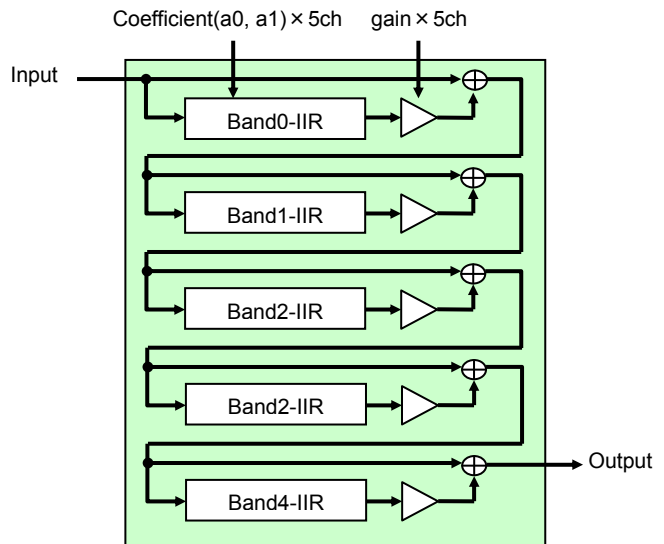
Filter (5band-Programmable IIR Filter)

2 次の IIR 型 Band Pass Filter で構成された 5 バンドのイコライザです。録音・再生経路とも、MUTE, -71.5dB ~ +12.0dB(0.5dB step)の Volume 制御ができます。レジスタ設定により、並列(EQ)・直列(Notch)接続を選択することが可能です。

下記に、並列接続時、及び直列接続時のブロック図を示します。



Parallel connection
Figure 29



Serial connection
Figure 30

本イコライザはフィルタ係数がプログラマブルです。中心周波数とバンド幅より Programable Equalizer Band0~4 Coefficient-a0 Control レジスタ、Programable Equalizer Band0~4 Coefficient-a1 CONTROL レジスタに設定する値を決定します。設定は下式に従います。

$$a0 = (1 - \tan \pi f_b / f_s) / (1 + \tan \pi f_b / f_s)$$

$$a1 = -2 \cos 2 \pi f_0 / f_s / (1 + \tan \pi f_b / f_s)$$

f0: バンドの中心周波数[Hz]

fb: -3dB バンド幅[Hz]

fs: サンプリング周波数[Hz]

実際のレジスタ設定値には、上式の結果に 2^{14} を掛け、小数点以下を四捨五入した整数値を用います。

・フィルタ機能の ON/OFF

DSP Filter Function Enable レジスタの設定により、各フィルタ機能を ON/OFF できます。

使用するフィルタ、及びイコライザについては、基本的には RECPPLAY=0x0 の状態にて ON/OFF の設定を行ってください。録音/再生動作中(RECPPLAY≠0x0)に ON/OFF を切り替えた場合には、ポップノイズが発生する可能性があります。

ALC Auto Level Control

アプリケーションノート"AutoLevelControlApplicationNote"をご参照ください。

擬似低音(倍音)機能 P² Bass+

詳細は、アプリケーションノートを参照してください。

Soft Clip リミッタ

ソフトクリップは、ALC 機能が追従できないパルス状の信号により消費される電流を抑制することができる機能です。SoftClip Threshold レジスタで設定した振幅を超える入力に対して SoftClip Gain レジスタで設定したゲインを適用するリミッタ機能を備えています。

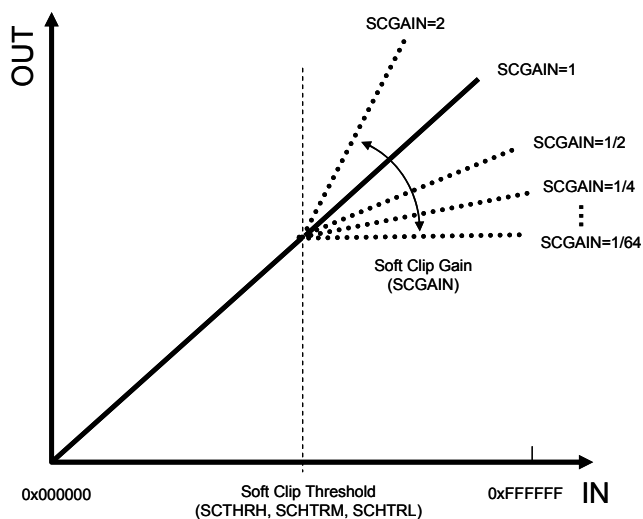


Figure 31

低消費電力動作

LSIに入力されたPCMデータが連続して"0"が検出された場合、自動的に出力アンプをディセーブルにし、内部クロックを停止させることで低消費電力モード動作を行います。"0"以外のデータが入力された場合、自動的に元の動作に復帰します。本機能は、LCH、RCH、共に"0"が検出された場合に有効ですので、LCHのみ使用する場合は、RCH側に"0"データを入力、RCHのみ使用する場合は、LCH側に"0"データを外部から入力してください。本機能は、スピーカアンプの再生時に関するのみ有効です。ヘッドフォンアンプ再生時、及び録音時は、ディセーブルに設定してください。なお、本機能のイネーブル及び"0"カウント値の設定は、Zero Detection Setting Registerにて行います。

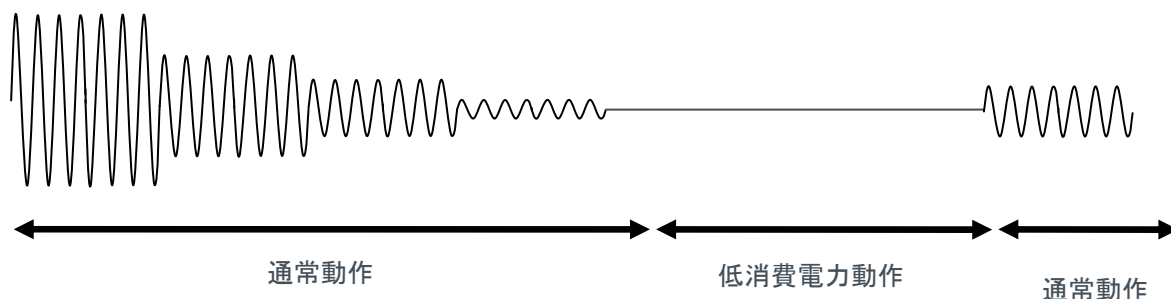


Figure 32

SP/HP 再生時の切り替え

Speaker Amplifier と Headphone Amplifier の動作切り替え時に、フィルタ係数などの再設定処理を行わないために COEFSEL ビットを用意しています。COEFSEL ビットが"0"の場合は、A 面レジスタを COEFSEL ビットが"1"の場合は、B 面レジスタが使用されます。対象となるレジスタは、以下の通りです。設定アドレスにご注意ください。

A 面レジスタ		B 面レジスタ		Register
MAP	INDEX(R)	MAP	INDEX(R)	-
2	0x24/0x26/0x28	2	0x2a/0x2c/0x2e	P ² Bass+ Parameter0/1/2
0	0x46	2	0x46	Play HPF2 Setting
0	0x4c/0x4e	2	0x4c/0x4e	Play Programable HPF2L/H Coef
0	0x5c	2	0x5c	Sound Effect Mode
0	0x66	2	0x66	DSP Filter Function Enable
0	0x70	2	0x70	Playback Effect Volume Control
0	0x3e	2	0x73	Playback Digital Attenuator Control
0	0x74 to 0x7c	2	0x74 to 0x7c	EQ Band0/1/2/3/4 Gain Setting
0	0x80 to 0xa6	2	0x7e to 0xa4	Programable Equalizer Band0/1/2/3/4 Coefficient-a0/a1 L/H

アナログブロック

アナログ基準電圧(VMID)生成回路 Analog Reference Voltage(VMID) Generation Circuit

VMID はアナログ回路の基準電圧として使用されるため、録音/再生のいずれの場合にもパワーアップさせる必要があります。パワーアップ時には、VMID 端子に外付けするコンデンサをチャージするため、コンデンサの容量に比例した待ち時間が必要です。チャージが不十分な状態で録音/再生を開始した場合、ノイズが発生してしまう可能性があります。

起動・停止シーケンスの推奨は以下に示します。VMIDCON bit の機能は、Analog Reference Power Management レジスタを参照ください。

VMID Power UP/DOWN Sequence (External capacitor 1uF)

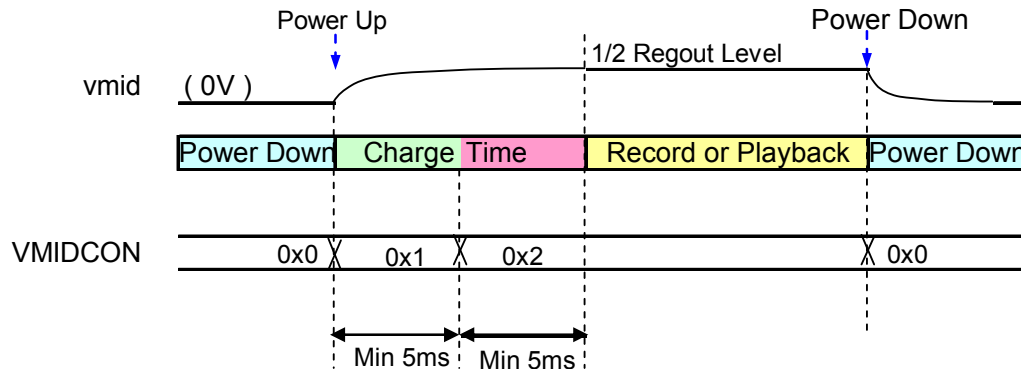


Figure 33

再生経路

下記の 5 経路で音声を出力することができます。出力の選択は、Speaker Amplifier Output Control レジスタ、及び Analog Reference Power Management レジスタにより実施します。

Digital Input (SAI) → DAC → D-class Speaker Amplifier

Digital Input (SAI) → DAC → AB-class Speaker Amplifier

Digital Input (SAI) → DAC → Headphone Amplifier

Analog Microphone Input (MIN pin) → ADC → DAC → Headphone Amplifier

<ご注意>

スピーカアンプがオン状態の場合、スピーカ動作に伴う電源ノイズの影響により音質が劣化してしまう可能性があります。このため、スピーカアンプがオン状態の時の録音経路の音質スペック(SNR など)は保証されません。

スピーカアンプ

BU26154 のスピーカアンプは、D-class 動作、もしくは、AB-class 動作のいずれかから動作モードを選択できます。FM ラジオなどとの干渉の影響がある場合は、AB-class 動作にすることにより、干渉を防止することができます。

スピーカアンプのイネーブル/ディセーブル設定、及び AB-class/D-class 動作の切り替えは、Speaker Amplifier Power Management Register にて行います。

ヘッドフォンアンプ

BU26154 のヘッドフォンアンプは、グランド基準で動作を行うため、外部に取り付ける AC カップリング用コンデンサを削除することができます。また、POP ノイズが気になる場合は、外部に下図のオプション抵抗を接続することで POP ノイズを削減できます。

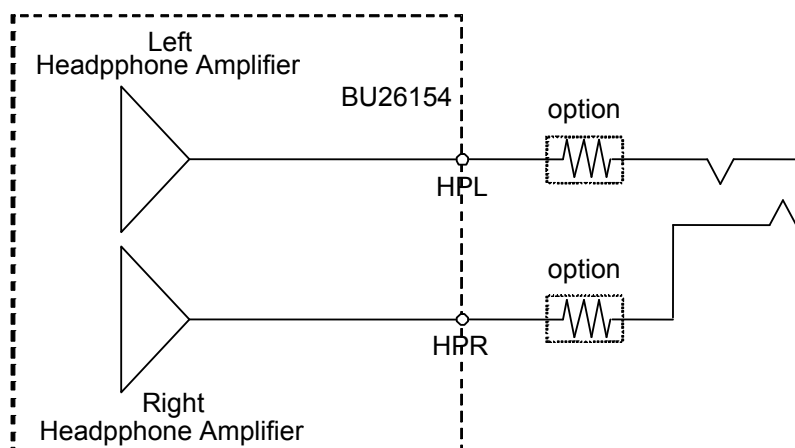


Figure 34

なお、ヘッドフォンアンプを動作させる場合は、ヘッドフォンアンプ用の LDO を動作させる必要があります。ヘッドフォンアンプ用 LDO、ヘッドフォンアンプの起動は、Analog Reference Power Management Register にて行います。ヘッドフォンアンプの起動は、ヘッドフォンアンプ用 LDO を起動後、1ms 待った後、起動してください。停止時は、ヘッドフォンアンプの停止後、HPVDD を停止してください。

HPVDD Power UP/DOWN Sequence

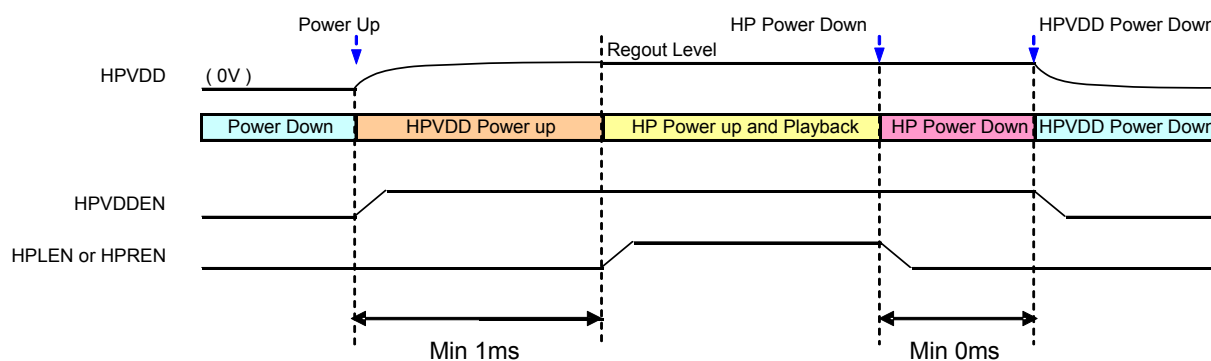


Figure 35

HPCOM 端子に関して

HPCOM 端子は、ヘッドフォンアンプのシグナルグランド端子です。

マイクアンプ

マイク入力は、シングルエンド、ディファレンシャルの2つのモードに対応することが可能です。シングルエンド入力を使用する場合は、Mic Interface Control レジスタの MINDIF ビットに"0"をライトします。ディファレンシャル入力にする場合は、"1"をライトします。

シングルエンド入力の場合は、MINP 端子もしくは、MINN 端子から入力することが可能です。入力端子の設定は、MIC Select Control Register にて行ってください。

マイクバイアス

マイクバイアスを使用する場合の推奨回路図を記載します。MBIASCAP 端子には、外部にコンデンサ(最小 2.2uF)を必ず接続してください。その際に、下図のオプション抵抗を接続することでノイズ特性を改善することが可能です(オプション抵抗は最大 50Ω です)。

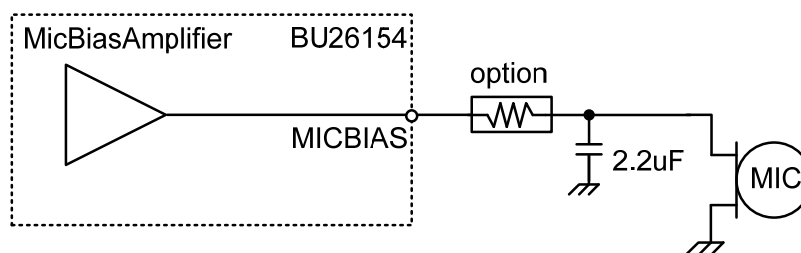


Figure 36

また、外部のコンデンサの容量に応じて、マイクバイアスが安定するまでを待機する必要があります。MICBIAS の待ち時間は、Mic Input Charging Time レジスタの MICTIME ビットの値を設定してください。

タッチスクリーンコントローラ

本 LSI には逐次比較型 12 ビット AD コンバータを内蔵しており、4 線式タッチスクリーンコントローラとして使用可能です。

X 軸、Y 軸の位置検出、筆圧検出、ペン割り込み検出の機能があります。

Codec とは独立しており、タイミングを気にすることなく制御可能です。ただし、ハードリセット(RESETB 端子から入力されるリセット信号)は共通化しております。

クロック制御

タッチスクリーンコントローラに使用するクロックをイネーブルにする場合は、Clock Enable Register の TCLKEN ビットを"1"に設定します。タッチスクリーンコントローラ機能は、内蔵のオシレータを使用し動作を行います。そのため、タッチスクリーンコントローラのみを使用する場合は、クロック制御項にて記載しているクロック制御を行う必要はありません。

位置検出

本 LSI はタッチスクリーンの位置検出が可能です。位置検出には、X 軸測定・Y 軸測定の 2 回測定が必要となります。

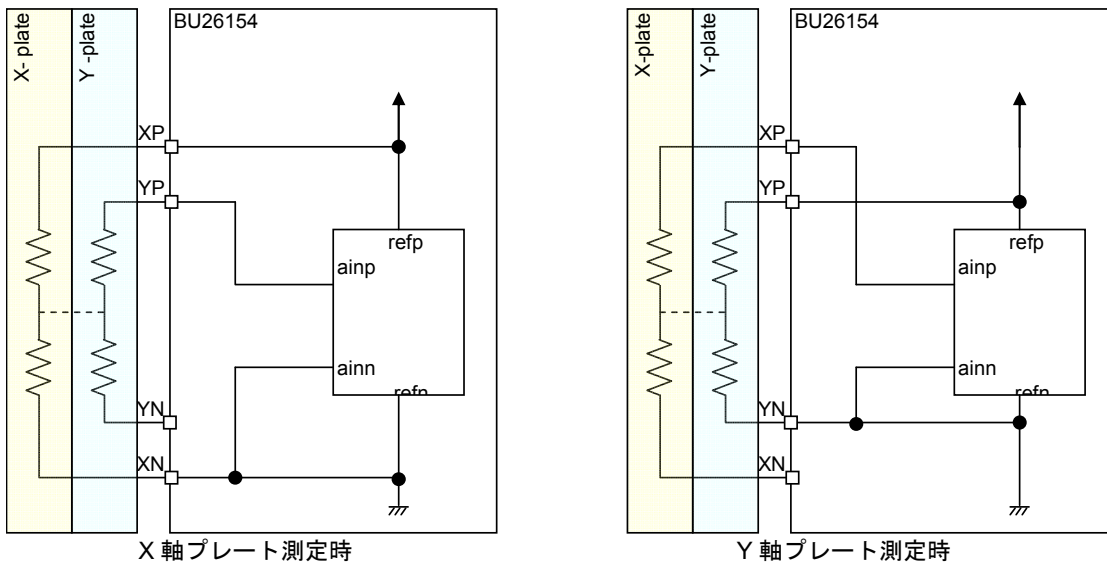


Figure 37

筆圧検出

筆圧検出は X 軸プレートと Y 軸プレート間の接触抵抗値を測定することで行います。

位置検出による現在の位置情報と、筆圧測定モードでの測定結果から、2 通りの方法で算出できます。

X 軸・Y 軸の位置が算出済みの場合

$$\text{筆圧抵抗} = \text{X 軸プレート抵抗値} * (\text{X 軸位置} / 4096) * [(4096/Z1)-1] - \text{Y 軸プレート抵抗値} * [1-(\text{Y 軸位置}/4096)]$$

X 軸の位置が算出済みの場合

$$\text{筆圧抵抗} = \text{X 軸プレート抵抗値} * (\text{X 軸位置} / 4096) * [(Z2/Z1)-1]$$

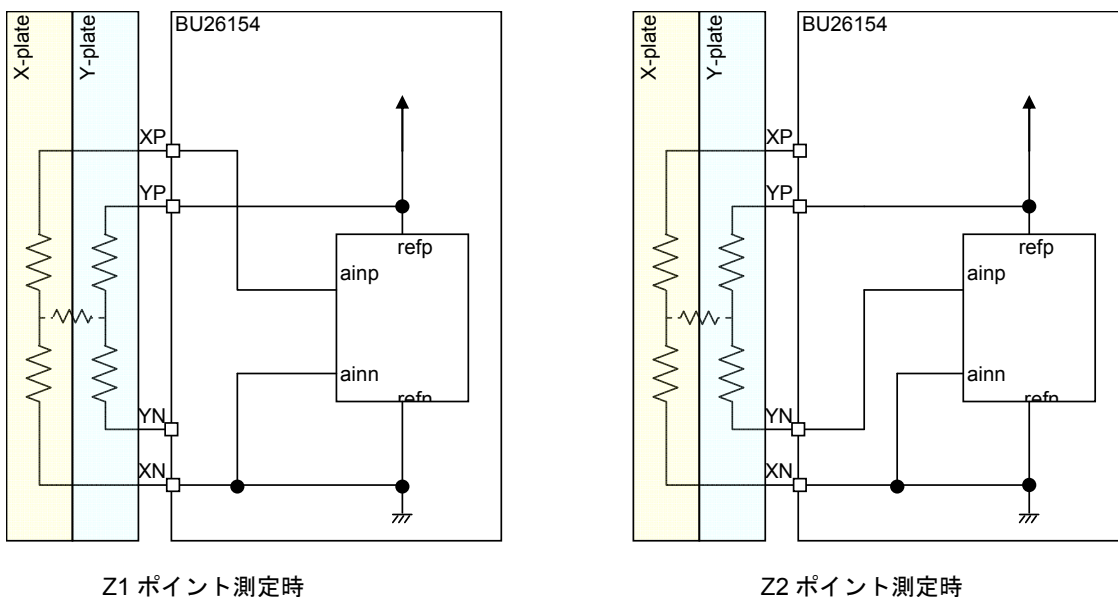


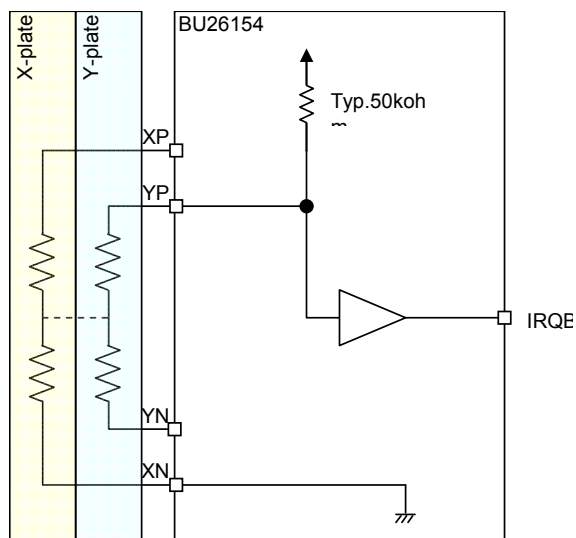
Figure 38

ペン割り込み検出

割り込み検出は、X 軸プレートと Y 軸プレートが接触した際に、IRQB 端子から知らせる機能です。

割り込み検出の有効・無効設定はレジスタ説明をご参照ください。

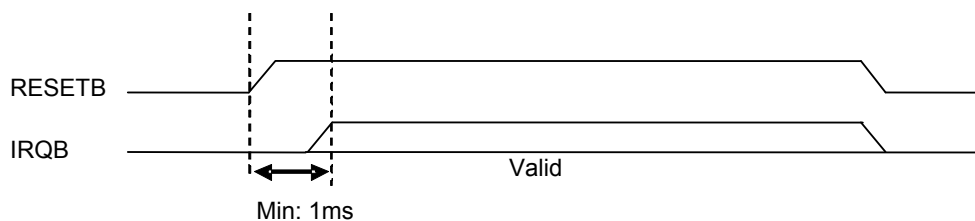
内部プルアップ(typ 50k Ω)により、X 軸・Y 軸プレートが接触していない場合、IRQB 端子から H レベルを出力します。X 軸・Y 軸プレートが接触した場合、タッチプレートの抵抗値(数百 Ω)に引っ張られ、IRQB 端子は L レベルを出力します。以下に割り込み検出回路の概要図を示します。



割り込み検出回路

Figure 39

IRQB 端子は、RESETB が“L”期間(RESET 状態)の場合、“L”を出力します。この期間は、MASK 処理を行ってください。



割り込みタイミング

Figure 40

タッチパネルインタフェース割り込み待機時に関して

タッチパネルインタフェースの割り込み待機時、不必要な回路の動作を停止させることにより、低消費電力化を行うことができます。

タッチパネルインタフェース割り込み待機設定

```
0x2d = 0x00, // サーマル検出回路ディセーブル
0x1d = 0x02, // MAPCON=2
0x05 = 0x22, // HP用レベルシフタOFF
0x13 = 0x00, // オーディオ用基準電流回路OFF
0x1d = 0x00, // MAPCON=0
0x0d = 0x80, // タッチパネルインタフェース発振回路イネーブル
0x1d = 0x01, // MAPCON=1
0x61 = 0x38, // タッチパネルインタフェース割り込み回路イネーブル
0x1d = 0x00, // MAPCON=0
0x0d = 0x00, // タッチパネルインタフェース発振回路ディセーブル
```

この状態で割り込みを待ちます。割り込み発生後は、発振回路をイネーブルに設定し、タッチパネルインタフェースをご使用ください。

また、オーディオ機能をする場合は、上記設定でディセーブルにした回路をイネーブルに設定し、ご使用ください。

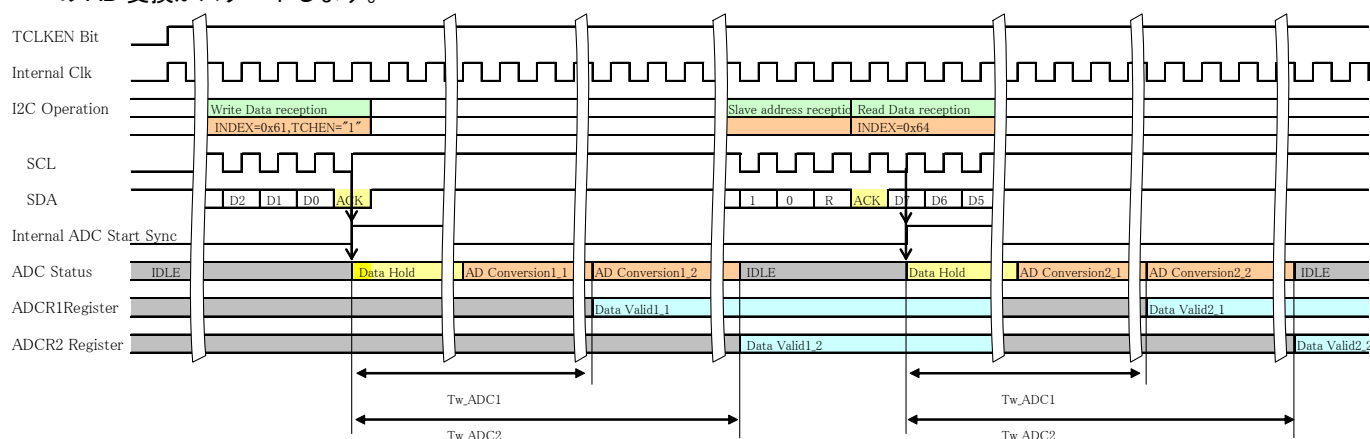
オーディオ機能を使用する場合の再設定

```
0x2d = 0x01, // サーマル検出回路イネーブル
0x1d = 0x02, // MAPCON=2
0x05 = 0x26, // HP 用レベルシフタ ON
0x13 = 0x01, // オーディオ用基準電流回路 ON
0x1d = 0x00, // MAPCON=0
```

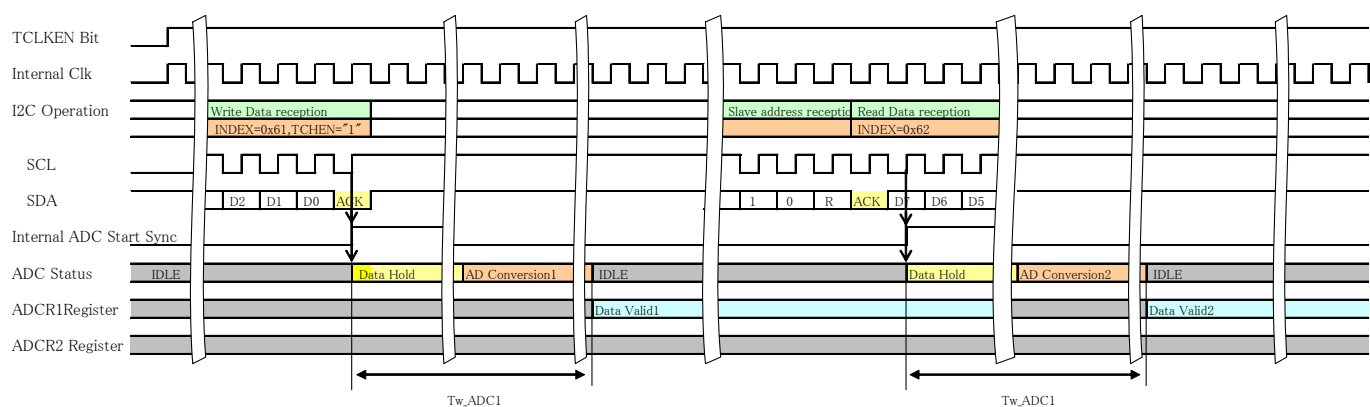
動作モード

Normal 動作モード

Touch ADC Control レジスタの TCHA2 ビットを"1"に設定することにより、Normal モード動作になります。Normal 動作モード時は、12 ビットモード時は、ADCR2 レジスタ、8Bit モード時は、ADCR1 レジスタの値をリードすることにより、次の AD 変換がスタートします。

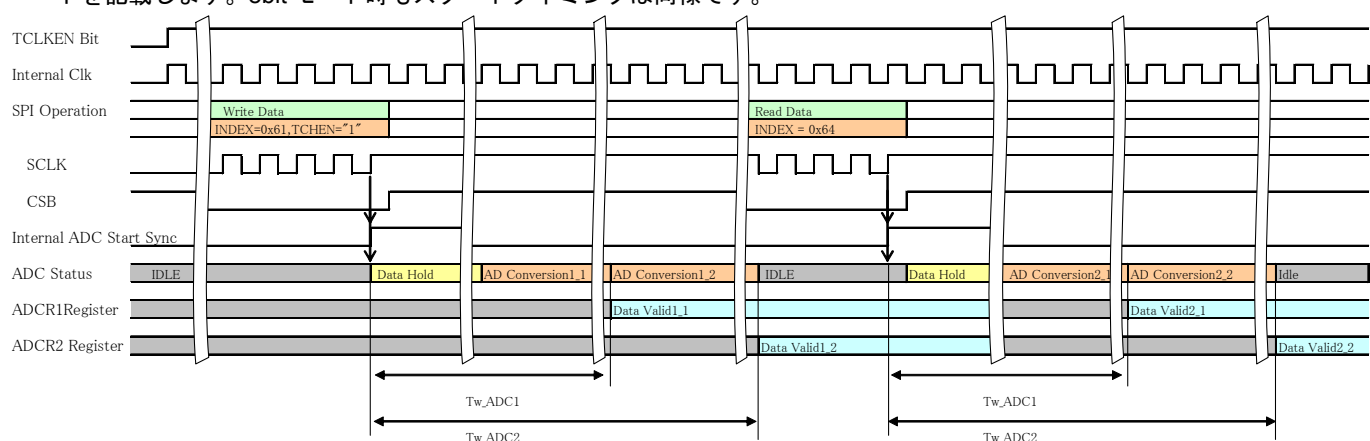


12Bit Normal Mode I2C Timing



8Bit Normal Mode I2C Timing

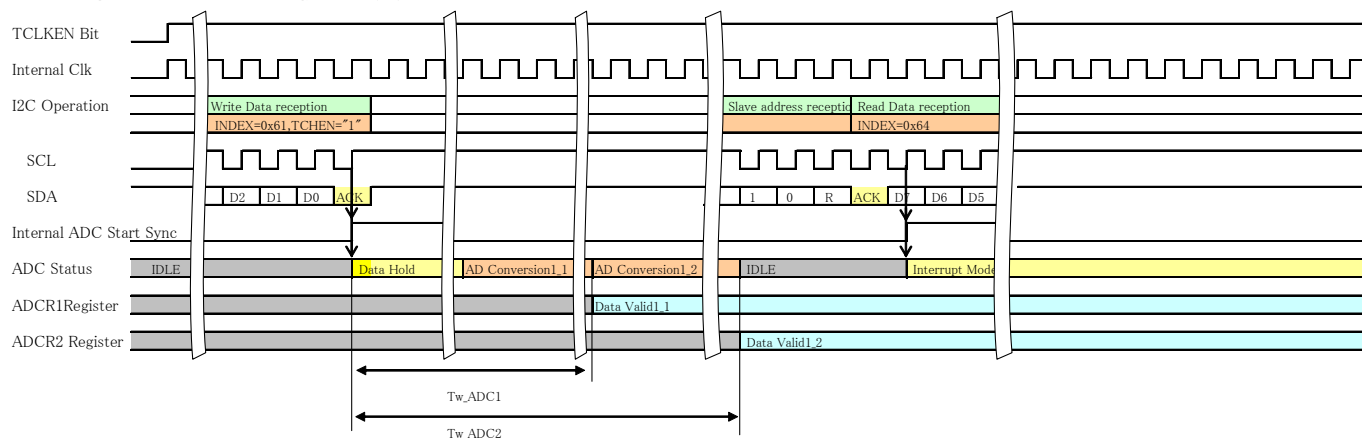
SPI 使用時は、CSB の立ち上がりエッジにて ADC がスタート動作を行います。以下に 12bit モード時のタイミングチャートを記載します。8bit モード時もスタートタイミングは同様です。



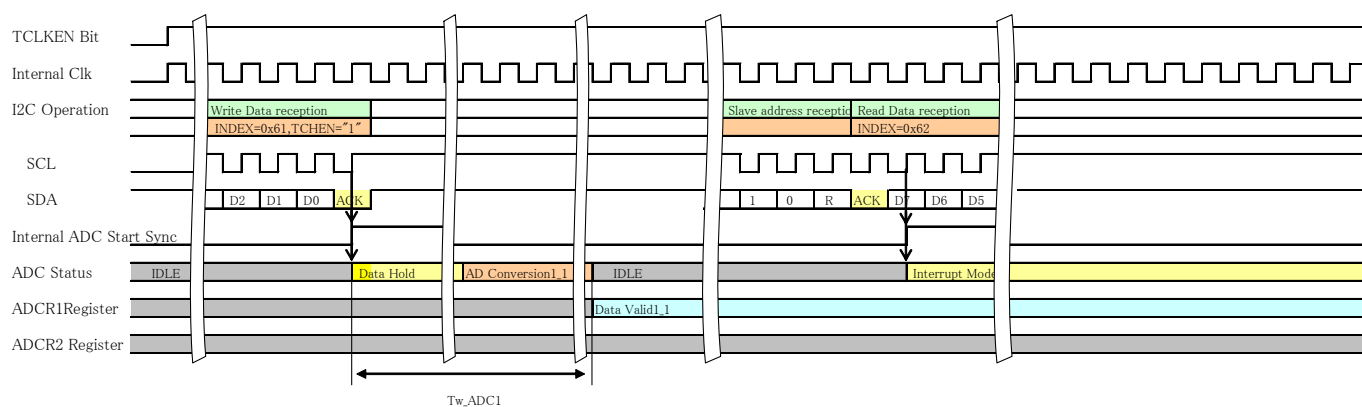
8Bit Normal Mode SPI Timing

Auto 動作モード

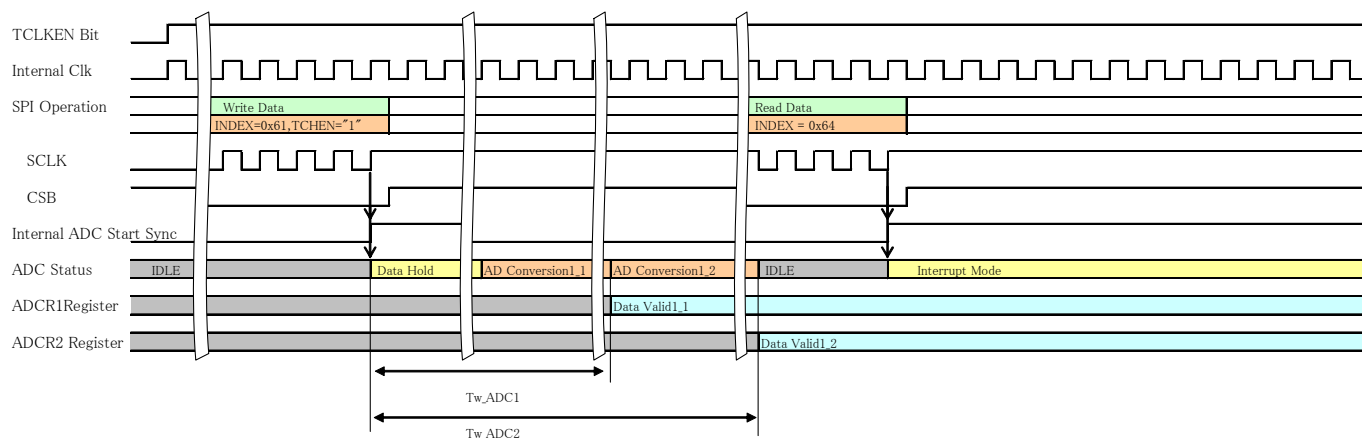
Touch ADC Control レジスタの TCHA2 ビットを"0"に設定することにより、Auto モード動作になります。Auto 動作モード時は、12 ビットモード時は、ADCR2 レジスタ、8Bit モード時は、ADCR1 レジスタの値をリードすることにより、自動的に割り込みモードに移移します。



12Bit Auto Mode I2C Timing



8Bit Auto Mode I2C Timing



12Bit Auto Mode SPI Timing

レジスタ機能説明

レジスタマップ

注:“-”は予約ビットです。リードすると“0”が読み出されます。ライト時には必ず“0”にしてください。“1”をライトすると動作は保証できません。また、以下のマップに記された INDEX(アドレス)以外へのライトは行わないでください。ライトした場合の動作は保証できません。

表中にて(*)で示されているビットは、レジスタ書き込み値を動作状態への反映させる際にクロックが不要なビットです。

以下のレジスタは Register Map Control レジスタ(0x1c/0x1d)の MAPCON=0x0 のときにアクセス可能です。

INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00	Register Name	Note
R	W										
0x00	0x01	-	-	-	-	SR				Sampling Rate Setting	
		-	-	-	-	0	0	0	0		
0x0c	0x0d	TCLKEN	-	-	-	-	PLLOE	PLLEN	MCLKEN	Clock Enable	
		0	-	-	-	-	0	0	0		
0x0e	0x0f	-	-	-	PLLISEL		CLKSEL			Clock Input/Output Control	
		-	-	-	0	0	0	0	0		
0x10	0x11	-	-	-	-	-	-	-	SOFTTRST	Software Reset	
		-	-	-	-	-	-	-	0		
0x12	0x13	-	-	-	-	-	RECPLAY			Record/Playback Running Control	
		-	-	-	-	-	0	0	0		
0x14	0x15	-	-	MCTIME						Mic Input Charging Time	
		-	-	0	0	0	0	0	0		
0x1c	0x1d	-	-	-	-	-	-	MAPCON		Register MAP Control	
		-	-	-	-	-	-	0	0		
0x20	0x21	HPREN	HPLEN	-	-	HPVDDEN	MICBEN	VMIDCON		Analog Reference Power Management	
		0	0	-	-	0	0	0	0		
0x22	0x23	-	-	PGAATT	-	PGAEN	-	ADCEN	-	Analog Input Power Management	
		-	-	0	-	0	-	0	-		
0x24	0x25	-	-	-	-	-	DACREN	DACLEN	-	DAC Power Management	
		-	-	-	-	-	0	0	-		
0x26	0x27	SPMDSEL	-	-	AVREN	COEFSSEL	-	SPEN	AVLEN	Speaker Amplifier Power Management	
		0	-	-	0	0	1	0	0		
0x2c	0x2d	-	-	-	-	-	-	-	TSDEN	Thermal Shutdown Control	
		-	-	-	-	-	-	-	1		
0x2e	0x2f	-	-	-	-	-	-	ZCEN	-	Zero Cross Comparator Power Management	note1
		-	-	-	-	-	-	0	-		
0x30	0x31	-	-	-	-	-	-	MICBCON		MICBIAS Voltage Control	
		-	-	-	-	-	-	0	0		
0x3a	0x3b	-	-	-	AVVOL					Analog Volume Control	
		-	-	-	0	1	0	1	0		
0x3e	0x3f	PDATT								Playback Digital Attenuator Control	
		1	1	1	1	1	1	1	1		
0x46	0x47	-	-	HPF2CSEL	PLHPF2CUT		PLHPF2OD	PLHPF2EN		Play HPF2 Setting	
		-	-	0	0	0	0	0			
0x48	0x49	-	-	-	-	-	-	AVMUTE	AVFADE	Amplifier Volume Control Function Enable	
		-	-	-	-	-	-	0	0		
0x4a	0x4b	-	-	-	-	-	AVFCON			Amplifier Volume Fader Control	
		-	-	-	-	-	0	0	0		
0x4c	0x4d	PHPF2C0L								Play Programable HPF2 CoefL	
		0	0	0	0	0	0	0	0		
0x4e	0x4f	-	-	PHPF2C0H						Play Programable HPF2 CoefH	
		0	0	0	0	0	0	0	0		
0x58	0x59	-	-	OSRSEL		-	-	-	-	DAC Clock Setting	
		-	-	0	0	-	-	-	-		
0x5a	0x5b	MINVOL			-	-	-	MINDIF	-	Mic Interface Control	
		1	0	0	-	-	-	0	-		
0x5c	0x5d	SEMODE[7]	-	-	-	-	SEMODE[2:0]			Sound Effect Mode	
		0	-	-	-	-	0	0	0		
0x60	0x61	PCMFO24		FMT0	MSBO	ISSCKO	AFOO	DLYO	WSLO	SAI Transmitter Control	
		1	1	0	0	0	0	0	0		
0x62	0x63	PCMF124		FMT1	MSBI	ISSCKI	AFOI	DLYI	WSLI	SAI Receiver Control	
		1	1	0	0	0	0	0	0		
0x64	0x65	-	-	-	BSWP	-	-	-	MST	SAI Mode select	
		-	-	-	0	-	-	-	0		
0x66	0x67	HPF2OD	EQ4EN	EQ3EN	EQ2EN	EQ1EN	EQ0EN	HPF2EN	HPF1EN	DSP Filter Function Enable	
		0	0	0	0	0	0	0	1		
0x68	0x69	-	-	-	DVMUTE	DVFADE	-	RALCEN	PALCEN	Digital Volume Control Function Enable	
		-	-	-	0	0	-	0	0		
0x6a	0x6b	DVFCN			RMCON		LMCON			Mixer & Volume Control	
		0	0	0	0	0	0	0	0		
0x6c	0x6d	RDVOL								Record Digital Attenuator Control	
		1	1	1	1	1	1	1	1		
0x70	0x71	Effect VOL								Playback Effect Volume Control	
		1	1	1	1	1	1	1	1		
0x72	0x73	-	RALCVOL							Record ALC Volume Control	note1
		-	0	1	0	0	0	0	0		
0x74	0x75	EQGAIN0								EQ Band0 Gain Setting	
		1	1	1	0	0	1	1	1		

INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00	Register Name	Note
R	W										
0x76	0x77	EQGAIN1								EQ Band1 Gain Setting	
		1	1	1	0	0	1	1	1		
0x78	0x79	EQGAIN2								EQ Band2 Gain Setting	
		1	1	1	0	0	1	1	1		
0x7a	0x7b	EQGAIN3								EQ Band3 Gain Setting	
		1	1	1	0	0	1	1	1		
0x7c	0x7d	EQGAIN4								EQ Band4 Gain Setting	
		1	1	1	0	0	1	1	1		
0x7e	0x7f	HPF2CUT								High Pass Filter2 Cut-off Control	
		–	–	–	–	–	0	0	0		
0x80	0x81	EQ0A0L								Programable Equalizer Band0 Coefficient-a0 (L)	
		0	0	0	0	0	0	0	0		
0x82	0x83	EQ0A0H								Programable Equalizer Band0 Coefficient-a0 (H)	
		0	0	0	0	0	0	0	0		
0x84	0x85	EQ0A1L								Programable Equalizer Band0 Coefficient-a1 (L)	
		0	0	0	0	0	0	0	0		
0x86	0x87	EQ0A1H								Programable Equalizer Band0 Coefficient-a1 (H)	
		0	0	0	0	0	0	0	0		
0x88	0x89	EQ1A0L								Programable Equalizer Band1 Coefficient-a0 (L)	
		0	0	0	0	0	0	0	0		
0x8a	0x8b	EQ1A0H								Programable Equalizer Band1 Coefficient-a0 (H)	
		0	0	0	0	0	0	0	0		
0x8c	0x8d	EQ1A1L								Programable Equalizer Band1 Coefficient-a1 (L)	
		0	0	0	0	0	0	0	0		
0x8e	0x8f	EQ1A1H								Programable Equalizer Band1 Coefficient-a1 (H)	
		0	0	0	0	0	0	0	0		
0x90	0x91	EQ2A0L								Programable Equalizer Band2 Coefficient-a0 (L)	
		0	0	0	0	0	0	0	0		
0x92	0x93	EQ2A0H								Programable Equalizer Band2 Coefficient-a0 (H)	
		0	0	0	0	0	0	0	0		
0x94	0x95	EQ2A1L								Programable Equalizer Band2 Coefficient-a1 (L)	
		0	0	0	0	0	0	0	0		
0x96	0x97	EQ2A1H								Programable Equalizer Band2 Coefficient-a1 (H)	
		0	0	0	0	0	0	0	0		
0x98	0x99	EQ3A0L								Programable Equalizer Band3 Coefficient-a0 (L)	
		0	0	0	0	0	0	0	0		
0x9a	0x9b	EQ3A0H								Programable Equalizer Band3 Coefficient-a0 (H)	
		0	0	0	0	0	0	0	0		
0x9c	0x9d	EQ3A1L								Programable Equalizer Band3 Coefficient-a1 (L)	
		0	0	0	0	0	0	0	0		
0x9e	0x9f	EQ3A1H								Programable Equalizer Band3 Coefficient-a1 (H)	
		0	0	0	0	0	0	0	0		
0xa0	0xa1	EQ4A0L								Programable Equalizer Band4 Coefficient-a0 (L)	
		0	0	0	0	0	0	0	0		
0xa2	0xa3	EQ4A0H								Programable Equalizer Band4 Coefficient-a0 (H)	
		0	0	0	0	0	0	0	0		
0xa4	0xa5	EQ4A1L								Programable Equalizer Band4 Coefficient-a1 (L)	
		0	0	0	0	0	0	0	0		
0xa6	0xa7	EQ4A1H								Programable Equalizer Band4 Coefficient-a1 (H)	
		0	0	0	0	0	0	0	0		
0xb2	0xb3	RALCATK								Record ALC Attack Time Control	note1
		–	–	–	–	0	0	1	0		
0xb4	0xb5	RALCDCY								Record ALC Decay Time Control	note1
		–	–	–	–	0	0	1	1		
0xb8	0xb9	RALCLVL								Record ALC Target Level Control	note1
		–	–	–	1	0	1	1	1		
0xba	0xbb	RALCMINGAIN								Record ALC Min Gain Control	note1
		–	–	–	–	–	0	0	0		
0xbc	0xbd	RSATEN	RSATMINGAIN							Record ALC Satulation Detect Control	
		0	0	1	0	0	0	1	0		
0xbe	0xbf	RALCZCTM								Record ALC Zero Cross Time Out Control	note1
		–	–	–	–	–	–	0	0		
0xc0	0xc1	PALCATK								Playback ALC Attack Time Control	note1
		–	–	–	–	0	1	0	0		
0xc2	0xc3	PALCDCY								Playback ALC Decay Time Control	note1
		–	–	–	–	0	1	0	1		

INDEX		b07	b06	b05	b04	b03	b02	b01	b00	Register Name	Note
R	W	(Initial)									
0xc4	0xc5	–	–	–	PALCLVL					Playback ALC Target Level Control	note1
		–	–	–	1	1	0	1	1		
0xc6	0xc7	–	–	–	–	–	PALCMINGAIN			Playback ALC Min Gain Control	note1
		–	–	–	–	–	0	0	0		
0xc8	0xc9	–	PALCVOL							Playback ALC Volume Control	note1
		–	0	1	0	0	0	0	0		
0xca	0xcb	–	–	–	–	–	–	PALCZCTM		Playback ALC ZeroCross TimeOut	note1
		–	–	–	–	–	–	0	0		
0xcc	0xcd	RALCFRTH				RALCFREN	–	RALCFRSP		ALC Fast Release Setting	note1
		0	0	0	1	0	–	0	1		
0xce	0xcf	PALCFRTH				PALCFREN	–	PALCFRSP		Playback Limiter Fast Release Setting	note1
		0	0	0	1	0	–	0	1		
0xdc	0xdd	ZDTIME				–	–	–	ZDEN	Zero Detection Setting	
		0	0	0	0	–	–	–	0		
0xe8	0xe9	–	–	–	–	–	–	MIN2EN	MIN1EN	MIC select Control	
		–	–	–	–	–	–	0	1		

以下のレジスタは Register Map Control レジスタ (0x1c/0x1d) の MAPCON=0x1 のときにアクセス可能です。

INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00	Register Name	Note
0x02	0x03	-	-	-	-	-	FPLL M			FPLL M setting	
		-	-	-	-	-	0	0	0		
0x04	0x05	FPLL N L								FPLL N Setting(L)	
		0	0	0	0	0	0	0	0		
0x06	0x07	-	-	-	-	-	-	-	FPLL N H	FPLL N Setting(H)	
		-	-	-	-	-	-	-	0		
0x08	0x09	-	-	-	FPLL D					FPLL D Setting	
		-	-	-	0	0	0	0	0		
0x0a	0x0b	FPLL F L								FPLL F Setting(L)	
		0	0	0	0	0	0	0	0		
0x0c	0x0d	FPLL F H								FPLL F Setting(H)	
		0	0	0	0	0	0	0	0		
0x0e	0x0f	FPLL F D L								FPLL F_D Setting(L)	
		0	0	0	0	0	0	0	0		
0x10	0x11	FPLL F D H								FPLL F_D Setting(H)	
		0	0	0	0	0	0	0	0		
0x12	0x13	-	-	-	-	FPLL V				FPLL V setting	
		-	-	-	-	0	0	0	0		
0x1c	0x1d	-	-	-	-	-	MAPCON			RegisterMAP Control	
		-	-	-	-	-	0	0	0		
0x20	0x21	-	-	-	-	-	-	-	SCEN	Soft Clip Enable	
		-	-	-	-	-	-	-	0		
0x22	0x23	-	SCTHRH							Soft Clip Threshold H	
		-	0	0	0	0	0	0	0		
0x24	0x25	SCTHRM								Soft Clip Threshold M	
		0	0	0	0	0	0	0	0		
0x26	0x27	SCTHRL								Soft Clip Threshold L	
		0	0	0	0	0	0	0	0		
0x28	0x29	-	-	-	-	-	SCGAIN			Soft Clip Gain	
		-	-	-	-	-	0	0	1		
0x60	0x61	TCHSEN	TCHA2	TCHA1	TCHA0	-	TCHRSEL	TCHMODE	-	Touch ADC Control	
		0	1	1	1	1	0	0	-		
0x62	0x63	ADCR1								Touch ADC result1	
		0	0	0	0	0	0	0	0		
0x64	0x65	ADCR2				-	-	-	-	Touch ADC result2	
		0	0	0	0	-	-	-	-		
0x82	0x83	-	-	HPRIN2EN	HPRIN1EN	-	-	-	HPLIN1EN	Headphone input Select Control	
		-	-	0	0	-	-	-	0		
0x84	0x85	-	-	-	-	SPIN2EN	SPIN1EN	SPVOL		SPAMP input Control	
		-	-	-	-	0	0	0	0		
0xa0	0xa1	-	-	-	-	-	-	PLPFOD	PLPFEN	Play Programable LPF Setting	
		-	-	-	-	-	-	0	0		
0xa2	0xa3	PLPFCOL								Play Programable LPF Coef (L)	
		0	0	0	0	0	0	0	0		
0xa4	0xa5	PLPFCOH								Play Programable LPF Coef (H)	
		0	0	0	0	0	0	0	0		
0xa6	0xa7	-	-	-	-	-	-	RLPFOD	RLPFEN	Rec Programable LPF Setting	
		-	-	-	-	-	-	0	0		
0xa8	0xa9	RLPFCOL								Rec Programable LPF Coef (L)	
		0	0	0	0	0	0	0	0		
0xaa	0xab	RLPFCOH								Rec Programable LPF Coef (H)	
		0	0	0	0	0	0	0	0		
0xda	0xdb	-	-	-	-	-	-	-	NGEN	Noise Gate Setting	note1
		-	-	-	-	-	-	-	0		
0xde	0xdf	NGMINGAIN								Noise Gate Minimum Gain	note1
		1	1	0	1	0	0	1	1		
0xe0	0xe1	-	-	NGTH						Noise Gate Threshold	note1
		-	-	0	1	0	0	1	0		
0xe2	0xe3	-	-	-	-	-	NGTHHYS			Noise Gate Threshold Hysteresis	note1
		-	-	-	-	-	0	1	0		
0xe4	0xe5	-	NGSLOPE							Noise Gate Slope	note1
		-	0	0	1	0	1	0	0		
0xe6	0xe7	-	-	-	-	-	NGGAINSTEP			Noise Gate Gain Step	note1
		-	-	-	-	-	1	0	0		
0xe8	0xe9	-	NGENVAVE				-	NGZTIM		Noise Gate Time Setting	note1
		-	0	0	1	-	0	0	0		

INDEX		b07	b06	b05	b04	b03	b02	b01	b00	Register Name	Note
R	W	(Initial)									
0xea	0xeb	NGFDOUT				NGFDIN				Noise Gate Fade Control	note1
		0	0	0	1	0	1	0	1		
0xec	0xed	NGENVMONL[7:0]								Noise Gate	note1
		0	0	0	0	0	0	0	0	Envelope Monitor Lch(L)	
0xee	0xef	NGENVMONL[15:8]								Noise Gate	note1
		0	0	0	0	0	0	0	0	Envelope Monitor Lch(H)	
0xf0	0xf1	NGENVMONR[7:0]								Noise Gate	note1
		0	0	0	0	0	0	0	0	Envelope Monitor Rch(L)	
0xf2	0xf3	NGENVMONR[15:8]								Noise Gate	note1
		0	0	0	0	0	0	0	0	Envelope Monitor Rch(H)	
0xf4	0xf5	NGGAINMON								Noise Gate	note1
		0	0	0	0	0	0	0	0	Gain Monitor	

以下のレジスタは Register Map Control レジスタ (0x1c/0x1d) の MAPCON=0x2 のときにアクセス可能です。

INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00	Register Name	Note
R	W										
0x00	0x01	-	-	-	-	-	-	-	EXMODE	PLL External Components Setting Register	
		-	-	-	-	-	-	-	1		
0x04	0x05	-	-	-	-	-	HPLSEN	-	-	Audio Analog Control2	
		-	-	1	-	-	1	1	-		
0x12	0x13	-	-	-	-	-	-	-	AREF11EN	Audio Analog Contr11	
		-	-	-	-	-	-	-	1		
0x1c	0x1d	-	-	-	-	-	-	-	MAPCON	RegisterMAP Control	
		-	-	-	-	-	-	0	0		
0x24	0x25	P2BLPF1A				P2BHPF1A				P2 Bass+ Parameter0A	
		0	0	0	0	0	0	0	0		
0x26	0x27	-	P2BGAINBSA				P2BLPF2A				P2 Bass+ Parameter1A
		-	0	0	0	0	0	0	0		
0x28	0x29	P2BGAINEVA				P2BGAINODA				P2 Bass+ Parameter2A	
		0	0	0	0	0	0	0	0		
0x2a	0x2b	P2BLPF1B				P2BHPF1B				P2 Bass+ Parameter0B	
		0	0	0	0	0	0	0	0		
0x2c	0x2d	-	P2BGAINBSB				P2BLPF2B				P2 Bass+ Parameter1B
		-	0	0	0	0	0	0	0		
0x2e	0x2f	P2BGAINEBV				P2BGAINODB				P2 Bass+ Parameter2B	
		0	0	0	0	0	0	0	0		
0x04	0x05	-	-	-	-	-	HPLSEN	-	-	Audio Analog Control2	
		-	-	1	-	-	1	1	-		
0x12	0x13	-	-	-	-	-	-	-	AREF11EN	Audio Analog Contr11	
		-	-	-	-	-	-	-	1		
0x1c	0x1d	-	-	-	-	-	-	-	MAPCON	RegisterMAP Control	
		-	-	-	-	-	-	0	0		
0x46	0x47	-	-	HPF2CSELB	PLHPF2CUTB			PLHPF20DB	PLHPF2ENB	Play HPF2B	
		-	-	0	0	0	0	0	0		
0x4c	0x4d	PHPF2C0LB								Play Programmable HPF2 CoefL B	
		0	0	0	0	0	0	0	0		
0x4e	0x4f	-	-	PHPF2C0HB						Play Programmable HPF2 CoefH B	
		0	0	0	0	0	0	0	0		
0x5c	0x5d	SEMODEB[7]	-	-	-	-	SEMODEB[2:0]			Sound Effect Mode B	
		0	-	-	-	-	0	0	0		
0x66	0x67	HPF20DB	EQ4ENB	EQ3ENB	EQ2ENB	EQ1ENB	EQ0ENB	HPF1ENB	HPF1ENB	Filter Func Enable B	
		0	0	0	0	0	0	0	1		
0x70	0x71	Effect VOLB								Playback Effect Volume Control B	
		1	1	1	1	1	1	1	1		
0x72	0x73	PDATTB								Playback Digital Attenuator Control B	
		1	1	1	1	1	1	1	1		
0x74	0x75	EQGAIN0B								EQ gain Band0 B	
		1	1	1	0	0	1	1	1		
0x76	0x77	EQGAIN1B								EQ gain Band1 B	
		1	1	1	0	0	1	1	1		
0x78	0x79	EQGAIN2B								EQ gain Band2 B	
		1	1	1	0	0	1	1	1		
0x7a	0x7b	EQGAIN3B								EQ gain Band3 B	
		1	1	1	0	0	1	1	1		
0x7c	0x7d	EQGAIN4B								EQ gain Band4 B	
		1	1	1	0	0	1	1	1		
0x7e	0x7f	EQ0A0LB								EQ Band0 Coef0L B	
		0	0	0	0	0	0	0	0		
0x80	0x81	EQ0A0HB								EQ Band0 Coef0H B	
		0	0	0	0	0	0	0	0		
0x82	0x83	EQ0A1LB								EQ Band0 Coef1L B	
		0	0	0	0	0	0	0	0		
0x84	0x85	EQ0A1HB								EQ Band0 Coef1H B	
		0	0	0	0	0	0	0	0		
0x86	0x87	EQ1A0LB								EQ Band1 Coef0L B	
		0	0	0	0	0	0	0	0		
0x88	0x89	EQ1A0HB								EQ Band1 Coef0H B	
		0	0	0	0	0	0	0	0		
0x8a	0x8b	EQ1A1LB								EQ Band1 Coef1L B	
		0	0	0	0	0	0	0	0		
0x8c	0x8d	EQ1A1HB								EQ Band1 Coef1H B	
		0	0	0	0	0	0	0	0		
0x8e	0x8f	EQ2A0LB								EQ Band2 Coef0L B	
		0	0	0	0	0	0	0	0		
0x90	0x91	EQ2A0HB								EQ Band2 Coef0H B	
		0	0	0	0	0	0	0	0		
0x92	0x93	EQ2A1LB								EQ Band2 Coef1L B	
		0	0	0	0	0	0	0	0		
0x94	0x95	EQ2A1HB								EQ Band2 Coef1H B	
		0	0	0	0	0	0	0	0		
0x96	0x97	EQ3A0LB								EQ Band3 Coef0L B	
		0	0	0	0	0	0	0	0		

INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00	Register Name	Note
R	W										
0x98	0x99	EQ3A0HB								EQ Band3	
		0	0	0	0	0	0	0	0	Coef0H B	
0x9a	0x9b	EQ3A1LB								EQ Band3	
		0	0	0	0	0	0	0	0	Coef1L B	
0x9c	0x9d	EQ3A1HB								EQ Band3	
		0	0	0	0	0	0	0	0	Coef1H B	
0x9e	0x9f	EQ4A0LB								EQ Band4	
		0	0	0	0	0	0	0	0	Coef0L B	
0xa0	0xa1	EQ4A0HB								EQ Band4	
		0	0	0	0	0	0	0	0	Coef0H B	
0xa2	0xa3	EQ4A1LB								EQ Band4	
		0	0	0	0	0	0	0	0	Coef1L B	
0xa4	0xa5	EQ4A1HB								EQ Band4	
		0	0	0	0	0	0	0	0	Coef1H B	

レジスタ詳細説明

注：“-”は予約ビット。リードすると“0”が読み出されます。ライトは必ず“0”を書き込んでください。“1”をライトした場合の動作は保証されません。また、各レジスタ説明に記載の無い値・組合せのライトも行わないでください。ライトした場合の動作は保証されません。

レジスタビットマップ構成表中にて(*)で示されているビットは、レジスタ書き込み値を動作状態への反映させる際にクロックが不要なビットです。

Sampling Rate Setting Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x00	0x01	-	-	-	-	SR			
			-	-	-	-	0	0	0	0

本レジスタは録音/再生のサンプリング・レートを設定します。本レジスタ値の変更は、録音/再生停止時 RECPLAY=0x0)に行ってください。

SR [3:0]

設定	説明
0x0	8 kHz
0x1	11.025 kHz
0x2	12 kHz
0x3	16 kHz
0x4	22.05 kHz
0x5	24 kHz
0x6	32 kHz
0x7	44.1 kHz
0x8	48 kHz

Clock Enable Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x0c	0x0d	TCLKEN	-	-	-	-	PLLOE	PLLEN	MCLKEN
			0	-	-	-	-	0	0	0

本レジスタは、クロックの動作を制御するためのレジスタです。

MCLKEN

本ビットは、MCLKI 端子の入力の許可/停止を設定します。停止時には、MCLKI 端子の入力論理が無効となり LSI 内部にはクロックが伝達されなくなります。

設定	説明
0	MCLKI 端子入力停止 端子の入力初段でクロックが止まります
1	MCLKI 端子入力許可

PLLEN

本ビットは、PLL の動作/停止を設定します。

設定	説明
0	PLL 停止
1	PLL 動作

PLL Setting レジスタを設定した後、PLLEN bit を“1”に設定してください。

PLLOE

本ビットは、PLL 出力の許可/禁止を設定します。PLL 起動後、安定するのを待って、“1”に設定してください。また、PLL を使用しない場合にも本ビットに“1”を設定しなければ、内部ロジック回路にクロックが供給されません。

設定	説明
0	PLL 出力禁止
1	PLL 出力許可

TCLKEN

本ビットは、タッチパネルインタフェース回路用クロックを設定します。

TCLKEN	説明
0	タッチパネルインタフェース用クロックがディセーブルになります。
1	タッチパネルインタフェース用クロックがイネーブルになります。

Clock Input/Output Control Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x0e	0x0f	-	-	-	PLLISEL		CLKSEL		
			-	-	-	0	0	0	0	0

本レジスタは、LSI 内部で使用するクロックの選択のためのレジスタです。

PLL 使用の有無、及び MCLKI 入力クロックまたは PLL 出力クロックを何分周して内部クロックを生成するかを設定します。

CLKSEL [2:0]

内部で使用するクロックを選択します。

設定	説明
0x0	PLL を使用し、PLL から 256fs クロックを出力させて使用する。 本 LSI 内部では PLL 出力がそのまま使用される。
0x2	PLL を使用し、PLL から 512fs クロックを出力させて使用する。 本 LSI 内部では PLL 出力を 1/2 分周したクロックが使用される。
0x3	PLL を使用し、PLL から 1024fs クロックを出力させて使用する。 本 LSI 内部では PLL 出力を 1/4 分周したクロックが使用される。
0x4	PLL を使用せず、MCLKI 端子より 256fs クロックを入力して使用する。 本 LSI 内部では MCLKI 端子入力がそのまま使用される。
0x6	PLL を使用せず、MCLKI 端子より 512fs クロックを入力して使用する。 本 LSI 内部では MCLKI 端子入力を 1/2 分周したクロックが使用される。
0x7	PLL を使用せず、MCLKI 端子より 1024fs クロックを入力して使用する。 本 LSI 内部では MCLKI 端子入力を 1/4 分周したクロックが使用される。

PLLISEL [1:0]

本ビットは PLL に入力するクロックを選択します。PLL を使用しない場合には、0x0 で使用してください。

設定	説明
0x0	設定禁止
0x1	MCLKI 端子入力を使用
0x2	BCLK 端子入力を使用

Software Reset Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x10	0x11	-	-	-	-	-	-	-	SOFTTRST
			-	-	-	-	-	-	-	0

本レジスタは LSI をリセットするためのレジスタです。SOFTTRST に"1"をライトすることにより、制御インタフェース及び本レジスタ以外の全回路がリセットされます。リセット解除のためには、SOFTTRST に"0"をライトしてください。

Record/Playback Running Control Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x12	0x13	-	-	-	-	-	RECPLAY		
			-	-	-	-	-	0	0	0

本レジスタは、LSI の録音/再生動作の開始/停止を制御します。

REPLAY [2:0]

本ビットは、LSIの録音/再生動作の開始/停止を制御します。録音と再生を同時に実行可能です。録音データを再生経路からモニタすることも可能です。また、録音/再生状態間の遷移については、「録音再生制御に関する状態遷移」項を参照ください。その他の状態間の遷移は禁止です。必ず、一度、録音/再生動作を停止(REPLAY=0x0)させたうえで次の動作に移るようにしてください。

設定	説明
0x0	録音/再生 停止状態
0x1	録音状態 マイク入力が入 AD 変換され、SAI 送信されます。
0x2	再生状態 SAI 受信データが DA 変換され、再生経路より出力されます。
0x3	同時録音再生状態 マイク入力が入 AD 変換され、SAI に送信され SDOOUT より出力されます。 同時に SDIN に入力される SAI 受信データが DA 変換され、再生経路より出力されます。
0x7	録音モニタ状態 マイク入力が入 AD 変換され、SAI に送信され SDOOUT より出力されます。 同時に同じデータが DA 変換され、再生経路より出力されます。

Mic Input Charging Time Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x14	0x15	-	-	MCTIME					
			-	-	0	0	0	0	0	0

本レジスタは、マイク入力の容量チャージ時間のためのウェイト時間を設定します。REPLAY が 0x0 から変化した後、このレジスタにて設定された期間、録音される音声は無音として処理されます。本設定には内部回路の初期化に必要な時間を含むため、設定時間は最短で 40/fs となります。なお、再生を開始する際のウェイト時間は本レジスタの設定値とは関係なく常に 40/fs となります。

MCTIME [5:0]

録音を開始したときのマイク入力の容量チャージ時間のためのウェイト時間を設定します。ウェイト時間は、40/fs 及び、128/fs から 8064 /fs までの 128/fs 単位で設定可能です。時間は下表に示す通り、サンプリング^{*} 周波数(fs)に比例します。

設定	fs 換算	時間(fs=48kHz)
0x00	40/fs	0.8ms
0x01	128/fs	2.7ms
0x02	256/fs	5.3ms
0x03	384/fs	8.0ms
0x04 - 0x3D	(128/fs / step)	:
0x3E	7936/fs	165.3ms
0x3F	8064/fs	168.0ms

備考)マイク入力カップリング・コンデンサのチャージ時間の設定について

Mic Input Charging Time レジスタにより待ち時間を任意に設定できます。チャージ時間はコンデンサの容量値に依存しますので、外付けのコンデンサ容量に応じて下表に示す待ち時間を設定することを推奨いたします。

チャージ待ち時間

コンデンサ容量	チャージ待ち時間(6τ)	MCTIME 設定値(fs=48kHz)
0.1μF	16ms	0x09
0.22μF	36ms	0x14

* 待ち時間はコンデンサの容量に比例します。

Register MAP Control Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
ALL	0x1c	0x1d	-	-	-	-	-	-	MAPCON	
			-	-	-	-	-	-	0	0

MAPCON

レジスタマップの表裏面を切替えます。切り替わる対象のレジスタに関してはレジスタマップを参照してください。

設定	説明
0x0	レジスタ MAP0 へアクセス可能
0x1	レジスタ MAP1 へアクセス可能
0x2	レジスタ MAP2 へアクセス可能
0x3	設定禁止

Analog Reference Power Management Register

Analog Reference Power Management Register										
MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x20	0x21	HPREN	HPLEN	-	-	HPVDDEN	MICBEN	VMIDCON	
			0	0	-	-	0	0	0	0

本レジスタはヘッドフォンアンプ、チャージポンプ用 LDO、アナログ基準電圧生成回路のパワーアップ/ダウンを制御します。

VMIDCON [1:0]

VMID 生成回路のパワーアップ/パワーダウンを制御します。高速起動モードでパワーアップさせることによりパワーアップ時間の短縮が図れます。パワーアップ後は定常モードへ設定変更してください。

設定	説明
0x0	VMID 生成回路 パワーダウン
0x1	VMID 生成回路 パワーアップ(高速起動モード)
0x2	VMID 生成回路 パワーアップ(定常モード)

MICBEN

MICBIAS 生成回路のパワーアップ/ダウンを制御します。

設定	説明
0	MICBIAS 生成回路 パワーダウン
1	MICBIAS 生成回路 パワーアップ

HPVDDEN

チャージポンプ用の LDO を制御します。

設定	説明
0	チャージポンプ用 LDO をディセーブルにします。
1	チャージポンプ用 LDO をイネーブルにします。

HPLEN

HPAMP の制御を行います。ヘッドフォンアンプを使用する場合は、HPLEN/HPREN 共に"1"に設定してください。

設定	説明
0	HPL を出力しません
1	HPL を出力します

HPREN

HPAMP の制御を行います。ヘッドフォンアンプを使用する場合は、HPLEN/HPREN 共に"1"に設定してください。

設定	説明
0	HPR を出力しません
1	HPR を出力します

Analog Input Power Management Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x22	0x23	-	-	PGAATT	-	PGAEN	-	ADCEN	-
			-	-	0	-	0	-	0	-

本レジスタは入力系アナログ回路のパワーアップ/ダウンを制御します。

ADCEN

ADC のパワーアップ/ダウンを制御します。

設定	説明
0	ADC パワーダウン
1	ADC パワーアップ

PGAEN

マイクアンプのパワーアップ/ダウンを制御します。

設定	説明
0	マイクアンプ パワーダウン
1	マイクアンプ パワーアップ

PGAATT

マイクアンプのゲインを制御します。

設定	説明
0	通常動作(0dB)
1	現状のゲイン設定に対して、-9dB されます。

DAC Power Management Register

MAPCON	INDEX		b07	b06	b05	b04	b03	b02	b01	b00
	R	W	(Initial)							
0x0	0x24	0x25	-	-	-	-	-	DACREN	DACLEN	-
			-	-	-	-	-	0	0	-

本レジスタは DAC のパワーアップ/ダウンを制御します。

DACLEN

DAC レフトのパワーアップ/ダウンを制御します。

設定	説明
0	DAC レフトパワーダウン
1	DAC レフトパワーアップ

DACREN

DAC ライトのパワーアップ/ダウンを制御します。

設定	説明
0	DAC ライトパワーダウン
1	DAC ライトパワーアップ

Speaker Amplifier Power Management Register

MAPCON	INDEX		b07	b06	b05	b04	b03	b02	b01	b00
	R	W	(Initial)							
0x0	0x26	0x27	SPMDSEL	-	-	AVREN	COEFSEL	-	SPEN	AVLEN
			0	-	-	0	0	1	0	0

本レジスタはスピーカアンプとアナログボリュームのパワーアップ/ダウンを制御します。ビット 2 には、“1”をライトしてください。

AVLEN

Lch アナログボリュームのパワーアップ/ダウンを制御します。

AVLEN	説明
0x0	Lch アナログボリュームをパワーダウン
0x1	Lch アナログボリュームをパワーアップ

SPEN

スピーカアンプのパワーアップ/ダウンを制御します。

SPEN	説明
0x0	スピーカアンプをパワーダウン
0x1	スピーカアンプをパワーアップ

COEFSEL

BU26154 では、再生時のフィルタ設定、ボリューム設定レジスタを A 面、B 面用意しています。本ビットが"0"の場合は、A 面のレジスタ値、"1"の場合は、B 面のレジスタ値を使用します。

COEFSEL	説明
0x0	A 面のレジスタを使用します。
0x1	B 面のレジスタを使用します。

AVREN

Rch アナログボリュームのパワーアップ/ダウンを制御します。

AVREN	説明
0x0	Rch アナログボリュームをパワーダウン
0x1	Rch アナログボリュームをパワーアップ

SPMDSEL

スピーカアンプの D 級、AB 級を切り替えます。切り替え時は、SPEN=0 にして設定してください。

SPMDSEL	説明
0x0	スピーカアンプは、AB 級動作をします。
0x1	スピーカアンプは、D 級動作をします。

Thermal Shutdown Control Register

MAPCON	INDEX		b07 (initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x00	0x2c	0x2d	-	-	-	-	-	-	-	TSDEN
			-	-	-	-	-	-	-	1

TSDEN

サーマルシャットダウン機能を制御します。

設定	説明
0x0	サーマルシャットダウンをディセーブルにします。
0x1	サーマルシャットダウンをイネーブルにします。

Zero Cross Comparator Power Management Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x2e	0x2f	-	-	-	-	-	-	ZCEN	-
			-	-	-	-	-	-	0	-

本レジスタはデジタルボリュームのゼロクロス機能の ON/OFF を設定します。

ZCEN

本機能が有効時にはデジタルボリューム RDATT、EFFECT VOLUME の設定変更でゼロクロス検出動作が適用されます。

設定	説明
0	ゼロクロス検出動作無効。 RDATT、EFFECT VOLUME に対するゲイン設定は、変更後にただちに反映される。
1	ゼロクロス検出動作有効。 RDATT、EFFECT VOLUME に対するゲイン設定は、ゼロクロス検出後に反映される。

MICBIAS Voltage Control Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x30	0x31	-	-	-	-	-	-	MICBCON	
			-	-	-	-	-	-	0	0

本レジスタはマイクバイアスの出力電圧値を設定します。

MICBCON [1:0]

MICBIAS 電圧値を設定します。電圧値は必ず $HVDD \times 0.85$ 未満に設定してください。

設定	出力電圧	REGOUT =1.8V のとき
0x0	REGOUT / 2 x 1.67 V	1.50V
0x1	REGOUT / 2 x 2.22 V	2.00V
0x2	REGOUT / 2 x 2.78 V	2.50V
0x3	REGOUT / 2 x 3.33 V	3.00V

Analog Volume Control Register

MAPCON										
MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x3a	0x3b	-	-	-	AVVOL				
			-	-	-	0	1	0	1	0

本レジスタは、Lch,Rchのアナログボリューム のGainを設定します。AMP Volume Control Function Enable レジスタのフェーダ機能が使用可能です。

AVOL [5:0]

AVOL[5:0]	Gain[dB]	AVOL[5:0]	Gain[dB]
0x3F~0x1a	-	0x09	-2.0
0x19	+18.0	0x08	-4.0
0x18	+17.0	0x07	-6.0
0x17	+16.0	0x06	-8.0
0x16	+15.0	0x05	-12.0
0x15	+14.0	0x04	-16.0
0x14	+13.0	0x03	-20.0
0x13	+12.0	0x02	-24.0
0x12	+11.0	0x01	-28.0
0x11	+10.0	0x00	MUTE
0x0f	+8.0		
0x0e	+7.0		
0x0d	+6.0		
0x0c	+4.0		
0x0b	+2.0		
0x0a	0.0		

Playback Digital Attenuator Control Register

MAPCON										
MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x3e	0x3f	PDATT							
			1	1	1	1	1	1	1	1

Playback Digital Attenuator Control Register B

MAPCON										
MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x2	0x72	0x73	PDATTB							
			1	1	1	1	1	1	1	1

PDATT [7:0]/ PDATTB [7:0]

再生経路最終段のデジタル・VolumeGain を設定します。PDATT のレジスタ値は、COEFSEL=0 の場合に有効です。COEFSEL=1 の場合は、PDATTB レジスタの値が有効になります。

PDATT/ PDATTB	Gain (dB)	PDATT [7:0]	Gain (dB)	PDATT [7:0]	Gain (dB)	PDATT [7:0]	Gain (dB)
0x00~ 0x6E	設定禁止	0x93	-54.0	0xB8	-35.5	0xDD	-17.0
0x6F	MUTE	0x94	-53.5	0xB9	-35.0	0xDE	-16.5
0x70	-71.5	0x95	-53.0	0xBA	-34.5	0xDF	-16.0
0x71	-71.0	0x96	-52.5	0xBB	-34.0	0xE0	-15.5
0x72	-70.5	0x97	-52.0	0xBC	-33.5	0xE1	-15.0
0x73	-70.0	0x98	-51.5	0xBD	-33.0	0xE2	-14.5
0x74	-69.5	0x99	-51.0	0xBE	-32.5	0xE3	-14.0
0x75	-69.0	0x9A	-50.5	0xBF	-32.0	0xE4	-13.5
0x76	-68.5	0x9B	-50.0	0xC0	-31.5	0xE5	-13.0
0x77	-68.0	0x9C	-49.5	0xC1	-31.0	0xE6	-12.5
0x78	-67.5	0x9D	-49.0	0xC2	-30.5	0xE7	-12.0
0x79	-67.0	0x9E	-48.5	0xC3	-30.0	0xE8	-11.5
0x7A	-66.5	0x9F	-48.0	0xC4	-29.5	0xE9	-11.0
0x7B	-66.0	0xA0	-47.5	0xC5	-29.0	0xEA	-10.5
0x7C	-65.5	0xA1	-47.0	0xC6	-28.5	0xEB	-10.0
0x7D	-65.0	0xA2	-46.5	0xC7	-28.0	0xEC	-9.5
0x7E	-64.5	0xA3	-46.0	0xC8	-27.5	0xED	-9.0
0x7F	-64.0	0xA4	-45.5	0xC9	-27.0	0xEE	-8.5
0x80	-63.5	0xA5	-45.0	0xCA	-26.5	0xEF	-8.0
0x81	-63.0	0xA6	-44.5	0xCB	-26.0	0xF0	-7.5
0x82	-62.5	0xA7	-44.0	0xCC	-25.5	0xF1	-7.0
0x83	-62.0	0xA8	-43.5	0xCD	-25.0	0xF2	-6.5
0x84	-61.5	0xA9	-43.0	0xCE	-24.5	0xF3	-6.0
0x85	-61.0	0xAA	-42.5	0xCF	-24.0	0xF4	-5.5
0x86	-60.5	0xAB	-42.0	0xD0	-23.5	0xF5	-5.0
0x87	-60.0	0xAC	-41.5	0xD1	-23.0	0xF6	-4.5
0x88	-59.5	0xAD	-41.0	0xD2	-22.5	0xF7	-4.0
0x89	-59.0	0xAE	-40.5	0xD3	-22.0	0xF8	-3.5
0x8A	-58.5	0xAF	-40.0	0xD4	-21.5	0xF9	-3.0
0x8B	-58.0	0xB0	-39.5	0xD5	-21.0	0xFA	-2.5
0x8C	-57.5	0xB1	-39.0	0xD6	-20.5	0xFB	-2.0
0x8D	-57.0	0xB2	-38.5	0xD7	-20.0	0xFC	-1.5
0x8E	-56.5	0xB3	-38.0	0xD8	-19.5	0xFD	-1.0
0x8F	-56.0	0xB4	-37.5	0xD9	-19.0	0xFE	-0.5
0x90	-55.5	0xB5	-37.0	0xDA	-18.5	0xFF	0.0 (設定禁止)
0x91	-55.0	0xB6	-36.5	0xDB	-18.0		
0x92	-54.5	0xB7	-36.0	0xDC	-17.5		

*0xFF は設定禁止です。DAC 出力波形が歪む場合があります。

Play HPF2 Setting Register

PLHPF2 Setting Register										
MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x46	0x47	-	-	HPF2CSEL	PLHPF2CUT			PLHPF2OD	PLHPF2EN
			-	-	0	0	0	0	0	0

Play HPF2 Setting Register B

本レジスタは、再生用 HPF の設定レジスタです。PLHPF2EN , PLHPF2OD , PLHPF2CUT , HPF2CEL のレジスタ値は、COEFSEL=0 の場合に有効です。COEFSEL=1 の場合は、PLHPF2ENB , PLHPF2ODB , PLHPF2CUTB , HPF2CELB レジスタの値が有効になります。

PLHPF2EN/ PLHPF2ENB

本ビットは、再生用 HPF のイネーブルビットです。

PLHPF2EN/ PLHPF2ENB	説明
0	再生用 2 次ハイパスフィルタディセーブル
1	再生用 2 次ハイパスフィルタイネーブル

PLHPF2OD/ PLHPF2ODB

本ビットは、再生用 HPF の次数を設定します。

PLHPF2OD/ PLHPF2ODB	説明
0	再生用ハイパスフィルタの次数を 2 次を設定します。
1	再生用ハイパスフィルタの次数を 1 次を設定します。

PLHPF2CUT/ PLHPF2CUTB

本ビットは、再生用 HPF のカットオフ周波数を設定します。 本ビットの設定は、HPF2CEL が"0"の場合に有効になります。

PLHPF2CUT/ PLHPF2CUTB	Fs=8,16,32kHz	Fs=11.025,22.05, 44.1kHz	Fs=12,24,48kHz
0x00	80Hz	110 Hz	120 Hz
0x01	100 Hz	138 Hz	150 Hz
0x02	130 Hz	179 Hz	195 Hz
0x03	160 Hz	221 Hz	240 Hz
0x04	200 Hz	276 Hz	300 Hz
0x05	260 Hz	358 Hz	390 Hz
0x06	320 Hz	441 Hz	480 Hz
0x07	400 Hz	551 Hz	600 Hz

HPF2CEL/ HPF2CELB

本ビットは、再生時の HPF をプログラマブルにするか、パラメトリックにするか設定を行います。

HPF2CEL/ HPF2CELB	説明
0	パラメトリックとして使用します。PLHPF2CUT で設定した値が有効になります。
1	プログラマブルとして使用します。PHPF2COEFL/H で設定した値が有効になります。

Amplifier Volume Control Function Enable Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x48	0x49	-	-	-	-	-	-	AVMUTE	AVFADE
			-	-	-	-	-	-	0	0

本レジスタはアナログボリュームのフェード機能を制御します。

AVFADE

アナログボリュームのフェード機能の ON/OFF を設定します。

AVFADE	説明
0	フェード機能 OFF AVOL のレジスタ設定値がそのまま実際の Volume 値として使用されます。したがって、値を変更すると、即時、アナログボリュームの設定が更新されます。
1	フェード機能 ON AVOL のレジスタ設定値が更新された際、更新後のレジスタ設定値に向かって AVFCON レジスタ設定のステップ時間で±1 ステップずつアナログボリュームの利得が変化していきます。

AVMUTE

アナログボリュームを強制的にミュートに設定します。再生時、アナログボリュームに対して有効となります。本ビットによるミュート移行に対しても、AVFADE によりフェード制御を行うことができます。

AVMUTE	説明
0	アナログボリュームは AVOL のレジスタ設定値が有効。
1	再生時: アナログボリュームが MUTE に設定されます。 本ビットの設定によって AVOL のレジスタ値が書き換わることはありませんので、解除することにより、AVOL での設定 Volume に戻ります。

Amplifier Volume Fader Control Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x4a	0x4b	-	-	-	-	-	AVFCON		
			-	-	-	-	-	0	0	0

本レジスタは、スピーカアンプ・Volume のフェード機能を制御します。

AVFCON [2:0]

スピーカアンプ・Volume・フェーダ機能の Volume 変化ステップ時間を設定します。この設定周期で Volume は 1 ステップずつ変化します。時間は下表に示す通り、サンプリング 周波数(fs)に比例します。

AVFCON[2:0]	fs 換算	時間(fs=48kHz)
0x0	1/fs	20.8μs
0x1	4/fs	83.3μs
0x2	16/fs	333μs
0x3	64/fs	1.33ms
0x4	256/fs	5.33ms
0x5	1024/fs	21.3ms
0x6	4096/fs	85.3ms
0x7	16384/fs	341.ms

Play Programable HPF2 CoefL Register

Play Programable HPF2 CoefH Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x4c	0x4d	PHPF2C0L							
			0	0	0	0	0	0	0	0
0x0	0x4e	0x4f	-	-	PHPF2C0H					
			0	0	0	0	0	0	0	0

Play Programable HPF2 CoefL Register B

Play Programable HPF2 CoefH Register B

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x2	0x4c	0x4d	PHPF2C0LB							
			0	0	0	0	0	0	0	0
0x2	0x4e	0x4f	-	-	PHPF2C0HB					
			0	0	0	0	0	0	0	0

再生用のプログラマブル・ハイパスフィルタのカットオフ周波数の設定レジスタです。本レジスタの値は、HPF2CSEL ビットが"1"の場合の時、有効になります。PHPF2C0L, PHPF2C0H のレジスタ値は、COEFSEL=0 の場合に有効です。COEFSEL=1 の場合は、PHPF2C0LB, PHPF2C0HB レジスタの値が有効になります。

PHPF2C0L [7:0]/ PHPF2C0LB [7:0]

PHPF2C0H [7:0]/ PHPF2C0HB [7:0]

再生用プログラマブル・ハイパスフィルタのカットオフ周波数を設定します。設定値はサンプリングレートによって変化します。同じカットオフ周波数の場合でも、設定値は異なります。また、PHPF2C0H の上位 2 ビットは、レジスタとしては、存在しますが、無効なビットです。"0"をライトしてください。

*PHPF2C0L / PHPF2C0H の設定値の詳細につきましては、計算ツール別途提供いたします。

DAC Clock Setting Register

DVS Clock Output Registers										
MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x58	0x59	-	-	OSRSEL		-	-	-	-
			-	-	0	0	-	-	-	-

本レジスタは、本 LSI 内部の DAC で使用する動作クロックの選択のためのレジスタです。

OSRSEL [1:0]

このレジスタは、サンプリング* 周波数及び Clock Input/Output Control レジスタにより設定すべき値が異なります。
下記表を参照に設定ください。

設定	説明
0x0	8k,11.025k,12kHz
0x1	16k,22.05k,24kHz
0x2	32k,44.1k,48kHz
0x3	設定禁止

Mic Interface Control Register

I/O Interface Control Register										
MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x5a	0x5b	MINVOL			-	-	-	MINDIF	-
			1	0	0	-	-	-	0	-

本レジスタは、マイク入力のインタフェースを制御します。

MINDIF

MIC の動作モードを設定します。

設定	説明
0	シングルエンドモード
1	ディファレンシャルモード

MINVOL

本ビットは、アナログ MIC のボリュームを設定します。

MINVOL	Gain
0x00	6dB
0x01	9dB
0x02	12dB
0x03	15dB
0x04	18dB
0x05	21dB
0x06	24dB
0x07	27dB

Sound Effect Mode Register

SEMOD[7:0] Register										
MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x5c	0x5d	SEMODE[7]	-	-	-	-	SEMODE[2:0]		
			0	-	-	-	-	0	0	0

Sound Effect Mode Register B

Sound Effect Mode Register 2										
MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x2	0x5c	0x5d	SEMODEB[7]	-	-	-	-	SEMODEB[2:0]		
			0	-	-	-	-	0	0	0

SEMODE のレジスタ値は、COEFSEL=0 の場合に有効です。COEFSEL=1 の場合は、SEMODEB レジスタの値が有効になります。

SEMODE [7]/SEMODEB [7]

Filter Block を入れる経路を選択します。Filter Block については「機能説明」の「シグナルフロー」の項を参照してください。

SEMODE[7]/ SEMODEB [7]	説明
0	Filter Block を REC 経路に入れる
1	Filter Block を PLAY 経路に入れる

SEMODE [2:0]/ SEMODEB [2:0]

Filter の EQ/Notch の振り分けを設定します。

SEMODE[2:0]/ SEMODEB[2:0]	説明
0x0	Notch5 バンド / EQ0 バンド
0x1	Notch4 バンド / EQ1 バンド
0x2	Notch3 バンド / EQ2 バンド
0x3	Notch2 バンド / EQ3 バンド
0x4	Notch1 バンド / EQ4 バンド
0x5	Notch0 バンド / EQ5 バンド

仮に、“0x01”を設定した場合、Band0 ~ Band3 が Notch フィルタ、Band4 が EQ になります。

SAI Transmitter Control Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
	0x0	0x60								
			1	1	0	0	0	0	0	0

本レジスタは、SAI 送信フォーマット設定を制御するレジスタです。Record/Playback Running Control レジスタの RECPLAY bit が録音停止状態(0x0)にて本レジスタを変更してください。また、SAI 受信側(SAI Receiver Control レジスタ)と同じ設定で使用するようにしてください。

WSLO

本ビットは、本 LSI の送信時の LRCLK 極性を指定します。フレーム同期転送モード時(FMT0 が“1”の時)には、必ず、“1”に設定してください。

設定	説明
0	LRCLK が“L”レベルのとき L チャンネル、“H”のとき R チャンネルを送信
1	LRCLK が“H”レベルのとき L チャンネル、“L”のとき R チャンネルを送信

DLYO

本ビットは、送信データの 1 クロック遅延有/無を指定します。

設定	説明
0	シリアルデータ遅延有
1	シリアルデータ遅延無

AFOO

本ビットは、送信データの前詰/後詰を指定します。スレーブモードの場合、本ビットは無視され、前詰固定になります。フレーム同期転送モード時(FMT0 が“1”の時)には、必ず、“0”に設定してください。

設定	説明
0	前詰
1	後詰

ISSCKO

本ビットは、BCLK 端子の 32fs/64fs を指定します。

設定	説明
0	32fs
1	64fs

MSBO

本ビットは、送信データの MSB ファースト/LSB ファーストを指定します。

設定	説明
0	MSB ファースト
1	LSB ファースト

FMTO

本ビットは、送信のモードを指定します。

設定	説明
0	LRCLK 転送モード
1	フレーム同期転送モード

PCMFO24

本ビットは、SAI 送信の PCM フォーマットを選択します。

設定	説明
0x2	16bit PCM
0x3	24bit PCM
上記以外	設定禁止

SAI Receiver Control Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x62	0x63	PCMF124		FMTI	MSBI	ISSCKI	AFOI	DLYI	WSLI
			1	1	0	0	0	0	0	0

本レジスタは、SAI 受信フォーマット設定を制御するレジスタです。Record/Playback Running Control レジスタの RECPLAY bit が録音停止状態(0x0)にて本レジスタを変更してください。また、SAI 送信側(SAI Transmitter Control レジスタ)と同じ設定で使用するようにしてください。

WSLI

本ビットは、本 LSI の受信時の LRCLK 極性を指定します。フレーム同期転送モード時(FMTI が"1"の時)には、必ず、"1"に設定してください。

設定	説明
0	LRCLK が"L"レベルのとき L チャンネル、"H"のとき R チャンネルを受信
1	LRCLK が"H" レベルのとき L チャンネル、"L"のとき R チャンネルを受信

DLYI

本ビットは、受信データの 1 クロック遅延有/無を指定します。

設定	説明
0	シリアルデータ遅延有
1	シリアルデータ遅延無

AFOI

本ビットは、受信データの前詰/後詰を指定します。フレーム同期転送モード時(FMTI が"1"の時)には、必ず、"0"に設定してください。スレーブモードの場合、本ビットは無視され、前詰固定になります。

設定	説明
0	前詰
1	後詰

ISSCKI

本ビットは、BCLK 端子の 32fs/64fs を指定します。

設定	説明
0	32fs
1	64fs

MSBI

本ビットは、受信データの MSB ファースト/LSB ファーストを指定します。

設定	説明
0	MSB ファースト
1	LSB ファースト

FMTI

本ビットは、受信のモードを指定します。

設定	説明
0	LRCLK 転送モード
1	フレーム同期転送モード

PCMFI24

本ビットは、SAI 受信の PCM フォーマットを選択します。

設定	説明
0x2	16bit PCM
0x3	24bit PCM
上記以外	設定禁止

SAI Mode select Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x64	0x65	-	-	-	BSWP	-	-	-	MST
			-	-	-	0	-	-	-	0

本レジスタは、SAI の動作モードを設定するレジスタです。Record/Playback Running Control レジスタの RECPLAY bit が録音停止状態(0x0)にて本レジスタを変更してください。

MST

本ビットは、SAI をマスタモードまたはスレーブモードで使用するかを指定します。

設定	説明
0	スレーブモード
1	マスタモード

BSWP

本ビットは、PCM フォーマットを 16bitPCM に設定時、I2S の送受信データの並びのバイトスワップ有無を設定します。バイトスワップありに設定すると I2S Receiver Control/I2S Transmitter Control レジスタの設定によらず、I2S データがバイトスワップされます。

設定	説明
0	バイトスワップなし (16bit データの並び:15bit-8bit,7bit-0bit) (24bit データの並び:23bit-16bit,15bit-8bit,7bit-0bit)
1	バイトスワップあり (16bit データの並び:7bit-0bit,15bit-8bit) (24bit データの並び:7bit-0bit,15bit-8bit 23bit-16bit)

DSP Filter Function Enable Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x66	0x67	HPF2OD	EQ4EN	EQ3EN	EQ2EN	EQ1EN	EQ0EN	HPF2EN	HPF1EN
			0	0	0	0	0	0	0	1

DSP Filter Function Enable Register B

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x2	0x66	0x67	HPF2ODB	EQ4ENB	EQ3ENB	EQ2ENB	EQ1ENB	EQ0ENB	HPF2ENB	HPF1ENB
			0	0	0	0	0	0	0	1

本レジスタはデジタル信号処理のフィルタ機能の ON/OFF を設定します。

HPF1/2EN, EQ0/1/2/3/4EN, HPF2OD のレジスタ値は、COEFSEL=0 の場合に有効です。COEFSEL=1 の場合は、HPF1/2ENB, EQ0/1/2/3/4ENB, HPF2ODB レジスタの値が有効になります。

HPF1EN/ HPF1ENB

DC 除去用の 1 次ハイパスフィルタの ON/OFF を設定します。本フィルタ機能は、録音経路に対してのみ有効です。

録音動作中(RECPLAY=0x1,0x3,及び 0x7)には変更しないでください。変更した場合にはノイズが発生する場合があります。

再生動作中(RECPLAY=0x2)には、本 bit の論理は動作に影響を与えません。

HPF1EN/ HPF1ENB	説明
0	DC カット用の 1 次ハイパスフィルタ OFF
1	DC カット用の 1 次ハイパスフィルタ ON

HPF2EN/ HPF2ENB

ノイズ除去用の 2 次ハイパスフィルタの ON/OFF を設定します。録音/再生動作中(RECPLAY≠0x0)には変更しないでください。変更した場合にはノイズが発生する場合があります。

Rec Programable LPF Setting レジスタの RLPFEN ビットで制御する LPF と排他的に機能が切り替わります。

RLPFEN=0 時のみ、HPF2EN ビットが有効となります。

HPF2EN/ HPF2ENB	説明
0	ノイズ除去用の 2 次ハイパスフィルタ OFF
1	ノイズ除去用の 2 次ハイパスフィルタ ON

EQ0EN/EQ0ENB

イコライザ バンド 0 の ON/OFF を設定します。録音/再生動作中(RECPLAY≠0x0)に変更する場合は、フェード・イン機能を ON(0x68/0x69: DVFADE=1)にし 0dB ゲインまで移行させた後に行うようにしてください。

EQ0EN/ EQ0ENB	説明
0	イコライザ バンド 0 OFF
1	イコライザ バンド 0 ON

EQ1EN/EQ1ENB

イコライザ バンド 1 の ON/OFF を設定します。録音/再生動作中(RECPLAY≠0x0)に変更する場合は、フェード・イン機能を ON(0x68/0x69: DVFADE=1)にし 0dB ゲインまで移行させた後に行うようにしてください。

EQ1EN/ EQ1ENB	説明
0	イコライザ バンド 1 OFF
1	イコライザ バンド 1 ON

EQ2EN/EQ2ENB

イコライザ バンド 2 の ON/OFF を設定します。録音/再生動作中(RECPLAY≠0x0)に変更する場合は、フェード・イン機能を ON(0x68/0x69: DVFADE=1)にし 0dB ゲインまで移行させた後に行うようにしてください。

EQ2EN/ EQ2ENB	説明
0	イコライザ バンド 2 OFF
1	イコライザ バンド 2 ON

EQ3EN/EQ3ENB

イコライザ バンド 3 の ON/OFF を設定します。録音/再生動作中(RECPLAY≠0x0)の変更が可能です。フェード・イン機能を ON(0x68/0x69: DVFADE=1)にし 0dB ゲインまで移行させた後に行うようにしてください。

EQ3EN/ EQ3ENB	説明
0	イコライザ バンド 3 OFF
1	イコライザ バンド 3 ON

EQ4EN/EQ4ENB

イコライザ バンド 4 の ON/OFF を設定します。録音/再生動作中(RECPLAY≠0x0)に変更する場合は、フェード・イン機能を ON(0x68/0x69: DVFADE=1)にし 0dB ゲインまで移行させた後に行うようにしてください。

EQ4EN/ EQ4ENB	説明
0	イコライザ バンド 4 OFF
1	イコライザ バンド 4 ON

HPF2OD/HPFODB

ノイズ除去用の2次ハイパスフィルタ(HPF2ENbit)の次数を設定します。録音/再生動作中(RECPLAY≠0x0)には変更しないでください。変更した場合にはノイズが発生する場合があります。

HPF2OD/ HPF2ODB	説明
0	2 次フィルタ
1	1 次フィルタ

Digital Volume Control Function Enable Register

MAPCON	INDEX		b07	b06	b05	b04	b03	b02	b01	b00
	R	W	(Initial)							
0x0	0x68	0x69	-	-	-	DVMUTE	DVFADE	-	RALCEN	PALCEN
			-	-	-	0	0	-	0	0

本レジスタはデジタル・Volume 制御機能の ON/OFF を設定します。

PALCEN

再生 ALC の ON/OFF を設定します。

録音・録音モニタ・録再同時動作(RECPLAY=0x1,0x3,0x7)の時はライト禁止です。正常な動作が保証されません。

PALCEN	説明
0	再生 ALC OFF
1	再生 ALCON

RALCEN

録音 ALC の ON/OFF を設定します。

再生動作(RECPLAY=0x2)の時はライト禁止です。正常な動作が保証されません。

RALCEN	説明
0	録音 ALC OFF
1	録音 ALC ON

DVFADE

デジタル・Volume・フェード機能の ON/OFF を設定します。フェード機能は、録音用/再生用デジタル・Volume、及び、イコライザ・ゲインに対して有効となります。

DVFADE	説明
0	フェード機能 OFF RDATT、PDATT、EQGAIN0~4 のレジスタ設定値がそのまま実際の Volume 値として使用されます。したがって、値を変更すると、即時、反映されます。
1	フェード機能 ON RDATT、PDATT、EQGAIN0~4 のレジスタ設定値に向かって DVFCN レジスタ設定のステップ時間で±1 ステップずつ変化していきます。

DVMUTE

デジタル・Volume を強制的にミュートに設定します。録音時は録音用デジタル・Volume、再生時は再生用デジタル・Volume に対して有効となります。本ビットによる Volume 変更(MUTE ON/OFF 時)に対しても、DVFADE によるフェード機能を有効にすることができます。

DVMUTE	説明
0	RDATT、PDATT のレジスタ設定値が有効
1	デジタル・Volume が MUTE に設定されます 本ビットの設定によって RDATT、PDATT のレジスタ値が書き換わることはありませんので、解除することにより、RDATT、PDATT の設定 Volume に戻ります。

Mixer & Volume Control Register

MAPCON										
MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x6a	0x6b	DVFCN				RMCON		LMCON	
			0	0	0	0	0	0	0	0

本レジスタは、SAI 受信時の L/R ミキサ処理、及び、デジタル Volume のフェード機能を制御します。

LMCON [1:0]

本ビットは、SAI 受信データについて、どのチャンネルを DAC(Lch)に入力するかを設定します。

設定	説明
0x0	L を使用
0x1	R を使用
0x2	(L+R)を使用
0x3	(L+R)/2 を使用

RMCON [1:0]

本ビットは、SAI 受信データについて、どのチャンネルを DAC(Rch)に入力するかを設定します。

設定	説明
0x0	R を使用
0x1	L を使用
0x2	(L+R)を使用
0x3	(L+R)/2 を使用

DVFCN [3:0]

デジタル・Volume・フェード機能の Volume 変化ステップ時間を設定します。この設定周期で Volume は 1 ステップ(0.5dB)ずつ変化します。時間は下表に示す通り、サンプリング周波数(fs)に比例します。

設定	fs 換算	時間(fs=48kHz)
0x0	1/fs	20.8μs
0x1	2/fs	41.7μs
0x2	4/fs	83.3μs
0x3	8/fs	167μs
0x4	16/fs	333μs
0x5	32/fs	667μs
0x6	64/fs	1.33ms
0x7	128/fs	2.67ms
0x8	256/fs	5.33ms
0x9	512/fs	10.7ms
0xA	1024/fs	21.3ms
0xB	2048/fs	42.7ms
0xC	4096/fs	85.3ms
0xD	8192/fs	171ms
0xE	16384/fs	341ms

Record Digital Attenuator Control Register

Receive Register Address/Control Registers										
MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x6c	0x6d	RDVOL							
			1	1	1	1	1	1	1	1

本レジスタは録音経路のデジタル VolumeGain を設定します。

MUTE 及び、-71.5dB から 0.0dB まで 0.5dB ステップで設定可能です。

RDATT [7:0]

設定	Gain(dB)	設定	Gain(dB)	設定	Gain(dB)	設定	Gain(dB)
0x00~0x6E	設定禁止	0x93	-54.0	0xB8	-35.5	0xDD	-17.0
0x6F	MUTE	0x94	-53.5	0xB9	-35.0	0xDE	-16.5
0x70	-71.5	0x95	-53.0	0xBA	-34.5	0xDF	-16.0
0x71	-71.0	0x96	-52.5	0xBB	-34.0	0xE0	-15.5
0x72	-70.5	0x97	-52.0	0xBC	-33.5	0xE1	-15.0
0x73	-70.0	0x98	-51.5	0xBD	-33.0	0xE2	-14.5
0x74	-69.5	0x99	-51.0	0xBE	-32.5	0xE3	-14.0
0x75	-69.0	0x9A	-50.5	0xBF	-32.0	0xE4	-13.5
0x76	-68.5	0x9B	-50.0	0xC0	-31.5	0xE5	-13.0
0x77	-68.0	0x9C	-49.5	0xC1	-31.0	0xE6	-12.5
0x78	-67.5	0x9D	-49.0	0xC2	-30.5	0xE7	-12.0
0x79	-67.0	0x9E	-48.5	0xC3	-30.0	0xE8	-11.5
0x7A	-66.5	0x9F	-48.0	0xC4	-29.5	0xE9	-11.0
0x7B	-66.0	0xA0	-47.5	0xC5	-29.0	0xEA	-10.5
0x7C	-65.5	0xA1	-47.0	0xC6	-28.5	0xEB	-10.0
0x7D	-65.0	0xA2	-46.5	0xC7	-28.0	0xEC	-9.5
0x7E	-64.5	0xA3	-46.0	0xC8	-27.5	0xED	-9.0
0x7F	-64.0	0xA4	-45.5	0xC9	-27.0	0xEE	-8.5
0x80	-63.5	0xA5	-45.0	0xCA	-26.5	0xEF	-8.0
0x81	-63.0	0xA6	-44.5	0xCB	-26.0	0xF0	-7.5
0x82	-62.5	0xA7	-44.0	0xCC	-25.5	0xF1	-7.0
0x83	-62.0	0xA8	-43.5	0xCD	-25.0	0xF2	-6.5
0x84	-61.5	0xA9	-43.0	0xCE	-24.5	0xF3	-6.0
0x85	-61.0	0xAA	-42.5	0xCF	-24.0	0xF4	-5.5
0x86	-60.5	0xAB	-42.0	0xD0	-23.5	0xF5	-5.0
0x87	-60.0	0xAC	-41.5	0xD1	-23.0	0xF6	-4.5
0x88	-59.5	0xAD	-41.0	0xD2	-22.5	0xF7	-4.0
0x89	-59.0	0xAE	-40.5	0xD3	-22.0	0xF8	-3.5
0x8A	-58.5	0xAF	-40.0	0xD4	-21.5	0xF9	-3.0
0x8B	-58.0	0xB0	-39.5	0xD5	-21.0	0xFA	-2.5
0x8C	-57.5	0xB1	-39.0	0xD6	-20.5	0xFB	-2.0
0x8D	-57.0	0xB2	-38.5	0xD7	-20.0	0xFC	-1.5
0x8E	-56.5	0xB3	-38.0	0xD8	-19.5	0xFD	-1.0
0x8F	-56.0	0xB4	-37.5	0xD9	-19.0	0xFE	-0.5
0x90	-55.5	0xB5	-37.0	0xDA	-18.5	0xFF	0.0
0x91	-55.0	0xB6	-36.5	0xDB	-18.0		
0x92	-54.5	0xB7	-36.0	0xDC	-17.5		

Playback Effect Volume Control Register

Playback Effect Volume Control Register										
MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x70	0x71	Effect VOL							
			1	1	1	1	1	1	1	1

Playback Effect Volume Control Register B

Playback Effect Volume Control Register B										
MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x2	0x70	0x71	Effect VOLB							
			1	1	1	1	1	1	1	1

本レジスタは再生経路のデジタル VolumeGain を設定します。Effect Vol のレジスタ値は、COEFSEL=0 の場合に有効です。COEFSEL=1 の場合は、Effect Vol B レジスタの値が有効になります。
MUTE 及び、-71.5dB から 0.0dB まで 0.5dB ステップで設定可能です。

Effect Vol [7:0]/ Effect Vol B [7:0]

デジタル・VolumeGain を設定します。

Effect Vol/ Effect Vol B	Gain(dB)	設定	Gain(dB)	設定	Gain(dB)	設定	Gain(dB)
0x00~ 0x6E	設定禁止	0x93	-54.0	0xB8	-35.5	0xDD	-17.0
0x6F	MUTE	0x94	-53.5	0xB9	-35.0	0xDE	-16.5
0x70	-71.5	0x95	-53.0	0xBA	-34.5	0xDF	-16.0
0x71	-71.0	0x96	-52.5	0xBB	-34.0	0xE0	-15.5
0x72	-70.5	0x97	-52.0	0xBC	-33.5	0xE1	-15.0
0x73	-70.0	0x98	-51.5	0xBD	-33.0	0xE2	-14.5
0x74	-69.5	0x99	-51.0	0xBE	-32.5	0xE3	-14.0
0x75	-69.0	0x9A	-50.5	0xBF	-32.0	0xE4	-13.5
0x76	-68.5	0x9B	-50.0	0xC0	-31.5	0xE5	-13.0
0x77	-68.0	0x9C	-49.5	0xC1	-31.0	0xE6	-12.5
0x78	-67.5	0x9D	-49.0	0xC2	-30.5	0xE7	-12.0
0x79	-67.0	0x9E	-48.5	0xC3	-30.0	0xE8	-11.5
0x7A	-66.5	0x9F	-48.0	0xC4	-29.5	0xE9	-11.0
0x7B	-66.0	0xA0	-47.5	0xC5	-29.0	0xEA	-10.5
0x7C	-65.5	0xA1	-47.0	0xC6	-28.5	0xEB	-10.0
0x7D	-65.0	0xA2	-46.5	0xC7	-28.0	0xEC	-9.5
0x7E	-64.5	0xA3	-46.0	0xC8	-27.5	0xED	-9.0
0x7F	-64.0	0xA4	-45.5	0xC9	-27.0	0xEE	-8.5
0x80	-63.5	0xA5	-45.0	0xCA	-26.5	0xEF	-8.0
0x81	-63.0	0xA6	-44.5	0xCB	-26.0	0xF0	-7.5
0x82	-62.5	0xA7	-44.0	0xCC	-25.5	0xF1	-7.0
0x83	-62.0	0xA8	-43.5	0xCD	-25.0	0xF2	-6.5
0x84	-61.5	0xA9	-43.0	0xCE	-24.5	0xF3	-6.0
0x85	-61.0	0xAA	-42.5	0xCF	-24.0	0xF4	-5.5
0x86	-60.5	0xAB	-42.0	0xD0	-23.5	0xF5	-5.0
0x87	-60.0	0xAC	-41.5	0xD1	-23.0	0xF6	-4.5
0x88	-59.5	0xAD	-41.0	0xD2	-22.5	0xF7	-4.0
0x89	-59.0	0xAE	-40.5	0xD3	-22.0	0xF8	-3.5
0x8A	-58.5	0xAF	-40.0	0xD4	-21.5	0xF9	-3.0
0x8B	-58.0	0xB0	-39.5	0xD5	-21.0	0xFA	-2.5
0x8C	-57.5	0xB1	-39.0	0xD6	-20.5	0xFB	-2.0
0x8D	-57.0	0xB2	-38.5	0xD7	-20.0	0xFC	-1.5
0x8E	-56.5	0xB3	-38.0	0xD8	-19.5	0xFD	-1.0
0x8F	-56.0	0xB4	-37.5	0xD9	-19.0	0xFE	-0.5
0x90	-55.5	0xB5	-37.0	0xDA	-18.5	0xFF	0.0
0x91	-55.0	0xB6	-36.5	0xDB	-18.0		
0x92	-54.5	0xB7	-36.0	0xDC	-17.5		

EQ Band0 Gain Setting Register
 EQ Band1 Gain Setting Register
 EQ Band2 Gain Setting Register
 EQ Band3 Gain Setting Register
 EQ Band4 Gain Setting Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x74	0x75	EQGAIN0							
			1	1	1	0	0	1	1	1
0x0	0x76	0x77	EQGAIN1							
			1	1	1	0	0	1	1	1
0x0	0x78	0x79	EQGAIN2							
			1	1	1	0	0	1	1	1
0x0	0x7a	0x7b	EQGAIN3							
			1	1	1	0	0	1	1	1
0x0	0x7c	0x7d	EQGAIN4							
			1	1	1	0	0	1	1	1

EQ Band0 Gain Setting Register B
 EQ Band1 Gain Setting Register B
 EQ Band2 Gain Setting Register B
 EQ Band3 Gain Setting Register B
 EQ Band4 Gain Setting Register B

EQ Band4 Gain Setting Register B										
MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x2	0x74	0x75	EQGAIN0B							
			1	1	1	0	0	1	1	1
0x2	0x76	0x77	EQGAIN1B							
			1	1	1	0	0	1	1	1
0x2	0x78	0x79	EQGAIN2B							
			1	1	1	0	0	1	1	1
0x2	0x7a	0x7b	EQGAIN3B							
			1	1	1	0	0	1	1	1
0x2	0x7c	0x7d	EQGAIN4B							
			1	1	1	0	0	1	1	1

本レジスタは、イコライザの各バンドのゲインを設定します。EQGAIN0~4 のレジスタ値は、COEFSEL=0 の場合に有効です。COEFSEL=1 の場合は、EQGAIN0B~EQGAIN4B レジスタの値が有効になります。

MUTE 及び、-71.5dB から 12.0dB まで 0.5dB ステップで設定可能です。MUTE 設定では、ノッチフィルタとして動作します。

EQGAIN/ EQGAINB 0~4[7:0]	Gain (0dB)	EQGAIN/ EQGAINB 0~4[7:0]	Gain (0dB)	EQGAIN/ EQGAINB 0~4[7:0]	Gain (dB)	EQGAIN/ EQGAINB 0~4[7:0]	Gain (dB)
0x00~0x57	MUTE	0x82	-50.5	0xAD	-29.0	0xD8	-7.5
0x58	-71.5	0x83	-50.0	0xAE	-28.5	0xD9	-7.0
0x59	-71.0	0x84	-49.5	0xAF	-28.0	0xDA	-6.5
0x5A	-70.5	0x85	-49.0	0xB0	-27.5	0xDB	-6.0
0x5B	-70.0	0x86	-48.5	0xB1	-27.0	0xDC	-5.5
0x5C	-69.5	0x87	-48.0	0xB2	-26.5	0xDD	-5.0
0x5D	-69.0	0x88	-47.5	0xB3	-26.0	0xDE	-4.5
0x5E	-68.5	0x89	-47.0	0xB4	-25.5	0xDF	-4.0
0x5F	-68.0	0x8A	-46.5	0xB5	-25.0	0xE0	-3.5
0x60	-67.5	0x8B	-46.0	0xB6	-24.5	0xE1	-3.0
0x61	-67.0	0x8C	-45.5	0xB7	-24.0	0xE2	-2.5
0x62	-66.5	0x8D	-45.0	0xB8	-23.5	0xE3	-2.0
0x63	-66.0	0x8E	-44.5	0xB9	-23.0	0xE4	-1.5
0x64	-65.5	0x8F	-44.0	0xBA	-22.5	0xE5	-1.0
0x65	-65.0	0x90	-43.5	0xBB	-22.0	0xE6	-0.5
0x66	-64.5	0x91	-43.0	0xBC	-21.5	0xE7	0.0
0x67	-64.0	0x92	-42.5	0xBD	-21.0	0xE8	0.5
0x68	-63.5	0x93	-42.0	0xBE	-20.5	0xE9	1.0
0x69	-63.0	0x94	-41.5	0xBF	-20.0	0xEA	1.5
0x6A	-62.5	0x95	-41.0	0xC0	-19.5	0xEB	2.0

0x6B	-62.0	0x96	-40.5	0xC1	-19.0	0xEC	2.5
0x6C	-61.5	0x97	-40.0	0xC2	-18.5	0xED	3.0
0x6D	-61.0	0x98	-39.5	0xC3	-18.0	0xEE	3.5
0x6E	-60.5	0x99	-39.0	0xC4	-17.5	0xEF	4.0
0x6F	-60.0	0x9A	-38.5	0xC5	-17.0	0xF0	4.5
0x70	-59.5	0x9B	-38.0	0xC6	-16.5	0xF1	5.0
0x71	-59.0	0x9C	-37.5	0xC7	-16.0	0xF2	5.5
0x72	-58.5	0x9D	-37.0	0xC8	-15.5	0xF3	6.0
0x73	-58.0	0x9E	-36.5	0xC9	-15.0	0xF4	6.5
0x74	-57.5	0x9F	-36.0	0xCA	-14.5	0xF5	7.0
0x75	-57.0	0xA0	-35.5	0xCB	-14.0	0xF6	7.5
0x76	-56.5	0xA1	-35.0	0xCC	-13.5	0xF7	8.0
0x77	-56.0	0xA2	-34.5	0xCD	-13.0	0xF8	8.5
0x78	-55.5	0xA3	-34.0	0xCE	-12.5	0xF9	9.0
0x79	-55.0	0xA4	-33.5	0xCF	-12.0	0xFA	9.5
0x7A	-54.5	0xA5	-33.0	0xD0	-11.5	0xFB	10.0
0x7B	-54.0	0xA6	-32.5	0xD1	-11.0	0xFC	10.5
0x7C	-53.5	0xA7	-32.0	0xD2	-10.5	0xFD	11.0
0x7D	-53.0	0xA8	-31.5	0xD3	-10.0	0xFE	11.5
0x7E	-52.5	0xA9	-31.0	0xD4	-9.5	0xFF	12.0
0x7F	-52.0	0xAA	-30.5	0xD5	-9.0		
0x80	-51.5	0xAB	-30.0	0xD6	-8.5		
0x81	-51.0	0xAC	-29.5	0xD7	-8.0		

High Pass Filter2 Cut-off Control Register

MAPCON										
MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x7e	0x7f	-	-	-	-	-	HPF2CUT		
			-	-	-	-	-	0	0	0

本レジスタは、録音用のノイズ除去用ハイパスフィルタのカットオフ周波数を設定します。当該フィルタ処理中 (HPF2EN="1"かつ、RELPLAY=0x1,0x3 または 0x7)は本レジスタの設定を変更しないでください。

HPF2CUT[2:0]

本ビットは、録音用のノイズ除去用ハイパスフィルタのカットオフ周波数を設定します。下表の数値は、2 次フィルタ選択時 (HPF2OD="0")には 3dB 減衰する周波数を、1 次フィルタ選択時(HPF2OD="1")には 1.5dB 減衰する周波数を、それぞれ表しています。

HPF2CUT [2:0]	Cut-off Frequency(Hz)		
	fs=8kHz, 16kHz, 32kHz	fs=11.025kHz, 22.05kHz, 44.1kHz	fs=12kHz, 24kHz, 48kHz
0x0	80	110	120
0x1	100	138	150
0x2	130	179	195
0x3	160	221	240
0x4	200	276	300
0x5	260	358	390
0x6	320	441	480
0x7	400	551	600

Programmable Equalizer Band0 Coefficient-a0 (L) Register
 Programmable Equalizer Band0 Coefficient-a0 (H) Register
 Programmable Equalizer Band0 Coefficient-a1 (L) Register
 Programmable Equalizer Band0 Coefficient-a1 (H) Register
 Programmable Equalizer Band1 Coefficient-a0 (L) Register
 Programmable Equalizer Band1 Coefficient-a0 (H) Register
 Programmable Equalizer Band1 Coefficient-a1 (L) Register
 Programmable Equalizer Band1 Coefficient-a1 (H) Register
 Programmable Equalizer Band2 Coefficient-a0 (L) Register
 Programmable Equalizer Band2 Coefficient-a0 (H) Register
 Programmable Equalizer Band2 Coefficient-a1 (L) Register
 Programmable Equalizer Band2 Coefficient-a1 (H) Register
 Programmable Equalizer Band3 Coefficient-a0 (L) Register
 Programmable Equalizer Band3 Coefficient-a0 (H) Register
 Programmable Equalizer Band3 Coefficient-a1 (L) Register
 Programmable Equalizer Band3 Coefficient-a1 (H) Register
 Programmable Equalizer Band4 Coefficient-a0 (L) Register
 Programmable Equalizer Band4 Coefficient-a0 (H) Register
 Programmable Equalizer Band4 Coefficient-a1 (L) Register
 Programmable Equalizer Band4 Coefficient-a1 (H) Register

Register 2 (Index 2) and 7 (Index 7) Register										
MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x80	0x81	EQ0A0L							
			0	0	0	0	0	0	0	0
0x0	0x82	0x83	EQ0A0H							
			0	0	0	0	0	0	0	0
0x0	0x84	0x85	EQ0A1L							
			0	0	0	0	0	0	0	0
0x0	0x86	0x87	EQ0A1H							
			0	0	0	0	0	0	0	0
0x0	0x88	0x89	EQ1A0L							
			0	0	0	0	0	0	0	0
0x0	0x8a	0x8b	EQ1A0H							
			0	0	0	0	0	0	0	0
0x0	0x8c	0x8d	EQ1A1L							
			0	0	0	0	0	0	0	0
0x0	0x8e	0x8f	EQ1A1H							
			0	0	0	0	0	0	0	0
0x0	0x90	0x91	EQ2A0L							
			0	0	0	0	0	0	0	0
0x0	0x92	0x93	EQ2A0H							
			0	0	0	0	0	0	0	0
0x0	0x94	0x95	EQ2A1L							
			0	0	0	0	0	0	0	0
0x0	0x96	0x97	EQ2A1H							
			0	0	0	0	0	0	0	0
0x0	0x98	0x99	EQ3A0L							
			0	0	0	0	0	0	0	0
0x0	0x9a	0x9b	EQ3A0H							
			0	0	0	0	0	0	0	0
0x0	0x9c	0x9d	EQ3A1L							
			0	0	0	0	0	0	0	0
0x0	0x9e	0x9f	EQ3A1H							
			0	0	0	0	0	0	0	0
0x0	0xa0	0xa1	EQ4A0L							
			0	0	0	0	0	0	0	0
0x0	0xa2	0xa3	EQ4A0H							
			0	0	0	0	0	0	0	0
0x0	0xa4	0xa5	EQ4A1L							
			0	0	0	0	0	0	0	0
0x0	0xa6	0xa7	EQ4A1H							
			0	0	0	0	0	0	0	0

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x2	0x7e	0x7f	EQ0A0LB							
			0	0	0	0	0	0	0	0
0x2	0x80	0x81	EQ0A0HB							
			0	0	0	0	0	0	0	0
0x2	0x82	0x83	EQ0A1LB							
			0	0	0	0	0	0	0	0
0x2	0x84	0x85	EQ0A1HB							
			0	0	0	0	0	0	0	0
0x2	0x86	0x87	EQ1A0LB							
			0	0	0	0	0	0	0	0
0x2	0x88	0x89	EQ1A0HB							
			0	0	0	0	0	0	0	0
0x2	0x8a	0x8b	EQ1A1LB							
			0	0	0	0	0	0	0	0
0x2	0x8c	0x8d	EQ1A1HB							
			0	0	0	0	0	0	0	0
0x2	0x8e	0x8f	EQ2A0LB							
			0	0	0	0	0	0	0	0
0x2	0x90	0x91	EQ2A0HB							
			0	0	0	0	0	0	0	0
0x2	0x92	0x93	EQ2A1LB							
			0	0	0	0	0	0	0	0
0x2	0x94	0x95	EQ2A1HB							
			0	0	0	0	0	0	0	0
0x2	0x96	0x97	EQ3A0LB							
			0	0	0	0	0	0	0	0
0x2	0x98	0x99	EQ3A0HB							
			0	0	0	0	0	0	0	0
0x2	0x9a	0x9b	EQ3A1LB							
			0	0	0	0	0	0	0	0
0x2	0x9c	0x9d	EQ3A1HB							
			0	0	0	0	0	0	0	0
0x2	0x9e	0x9f	EQ4A0LB							
			0	0	0	0	0	0	0	0
0x2	0xa0	0xa1	EQ4A0HB							
			0	0	0	0	0	0	0	0
0x2	0xa2	0xa3	EQ4A1LB							
			0	0	0	0	0	0	0	0
0x2	0xa4	0xa5	EQ4A1HB							
			0	0	0	0	0	0	0	0

本レジスタは、5 バンド プログラマブル・イコライザの各バンドの係数 a0、a1 を設定するためのレジスタです。1 個の係数値が 2 バイトのデータで構成されます。本レジスタの変更により、フィルタの中心周波数とバンド幅を任意に設定することができます。設定対象フィルタ処理中は本レジスタの設定を変更しないでください。

EQ0A0L ~ EQ4A1H のレジスタ値は、COEFSEL=0 の場合に有効です。COEFSEL=1 の場合は、EQ0A0LB ~ EQ4A1HB レジスタの値が有効になります。

設定値に関する詳細は「機能説明」の「フィルタ機能」の項を参照してください。

Zero Detection Setting Register

2010 Detection Coding Register										
MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0xdc	0xdd	ZDTIME				-	-	-	ZDEN
			0	0	0	0	-	-	-	0

本レジスタは、低消費電力モード動作のためのゼロ検出機能を制御するレジスタです。本機能をイネーブルにすることにより、連続して"0"データが入力された場合、一部の内部クロックが停止すると共に、スピーカアンプがディセーブルになります。そのため、低消費電力動作になります。"0"以外のデータが入力された場合、停止したブロックが再び動作を行います。

なお、ゼロ検出機能は、スピーカアンプ再生時のみ有効です。その他のモードの場合は、ZDEN ビットを"0"に設定し、使用してください。

ZDEN

ゼロ検出機能のイネーブル、ディセーブルを制御します。

ZDEN	説明
0x0	ゼロ検出機能がディセーブルになります。
0x1	ゼロ検出機能がイネーブルになります。

ZEROTIM

"0"検出期間の設定を行います。LCH、RCH、共に、以下の設定値以上、連続して"0"が続いた場合、低消費電力モードになります。

ZEROTIM	説明
0x00	256/fs
0x01	512/fs
0x02	1024/fs
0x03	2048/fs
0x04	4096/fs
0x05	8192/fs
0x06	16384/fs
0x07	32768/fs
0x08	65536/fs
0x09	131072/fs
0x0a	262144/fs
0x0b ~ 0x0f	設定禁止

MIC select Control Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0xe8	0xe9	-	-	-	-	-	-	MIN2EN	MIN1EN
			-	-	-	-	-	-	0	1

本レジスタは、マイク入力の入力を選択します。

MIN1EN

アナログ MIC で MIN1 端子を使用します。

設定	説明
0	MIN1 端子を使用しません。
1	MIN1 端子を使用します。

MIN2EN

アナログ MIC で MIN2 端子を使用します。ディファレンシャルモード時は、"0"に設定してください。

設定	説明
0	MIN2 端子を使用しません。
1	MIN2 端子を使用します。

FPLL M setting Register
 FPLL N Setting (L) Register
 FPLL N Setting (H) Register
 FPLL D Setting Register
 FPLL F Setting (L) Register
 FPLL F Setting (H) Register
 FPLL F_D Setting (L) Register
 FPLL F_D Setting (H) Register
 FPLL V setting Register

0x13 Looking Register										
MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x1	0x02	0x03	-	-	-	-	-	FPLLM		
			-	-	-	-	-	0	0	0
0x1	0x04	0x05	FPLNL							
			0	0	0	0	0	0	0	0
0x1	0x06	0x07	-	-	-	-	-	-	-	FPLLNH
			-	-	-	-	-	-	-	
0x1	0x08	0x09	-	-	-	FPLLD				
			-	-	-	0	0	0	0	0
0x1	0x0a	0x0b	FPLLFL							
			0	0	0	0	0	0	0	0
0x1	0x0c	0x0d	FPLLFH							
			0	0	0	0	0	0	0	0
0x1	0x0e	0x0f	FPLFLDL							
			0	0	0	0	0	0	0	0
0x1	0x10	0x11	FPLFLDH							
			0	0	0	0	0	0	0	0
0x1	0x12	0x13	-	-	-	-	FPLLV			
			-	-	-	-	0	0	0	0

本レジスタは、PLL の出力周波数を設定するためのレジスタです。

レジスタ値の算出には、別途クロック設定計算ツールを用意しておりますのでそちらをご使用ください。

レジスタ設定値と出力周波数の関係は下式の通りです。

$$\text{PLL output frequency (Hz)} = \text{PLL input frequency} / \text{FPLLM} \times (\text{FPLLN} + \text{FPLLD}/16 + \text{FPLLF}/\text{FPLLF_D}/16) \times 2 / \text{FPLLV}$$

Soft Clip Enable Register
 Soft Clip Threshold H Register
 Soft Clip Threshold M Register
 Soft Clip Threshold L Register
 Soft Clip Gain Register

Soft Clip Gain Register										
MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x1	0x20	0x21	-	-	-	-	-	-	-	SCEN 0
			-	-	-	-	-	-	-	
0x1	0x22	0x23	-	SCTHRH						
			-	0	0	0	0	0	0	0
0x1	0x24	0x25	SCTHRM							
			0	0	0	0	0	0	0	0
0x1	0x26	0x27	SCTHRL							
			0	0	0	0	0	0	0	0
0x1	0x28	0x29	-	-	-	-	-	SCGAIN		
			-	-	-	-	-	0	0	1

本レジスタは、ソフトクリップ機能の制御を行います。

SCEN

ソフトクリップイネーブルを設定します。

設定	説明
0	ディセーブル
1	イネーブル

SCTHRH

SCTHRM

SCTHRL

ソフトクリップ・スレッシュホールドを設定します。

本ビット以上の PCM 信号が入力された場合、SCGAIN の値に従い、クリップ動作を行います。

スレッシュホールドの値は、23bit(SCTHRM[6:0], SCTHRM[7:0], SCTHRL[7:0])の絶対値で入力します。

動作中に本ビットの値を変更しないでください。

SCGAIN

ソフトクリップ時の倍率を指定します。なお、動作中に本ビットの値を変更しないでください。

設定	説明
0x0	2 倍
0x1	1 倍(default)
0x2	1/2 倍
0x3	1/4 倍
0x4	1/8 倍
0x5	1/16 倍
0x6	1/32 倍
0x7	1/64 倍

Touch ADC Control Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
1	0x60	0x61	TCHEN	TCHA2	TCHA1	TCHA0	-	TCHRSEL	TCHMODE	-
			0	1	1	1	1	0	0	-

本レジスタは、タッチパネルインタフェースを制御するレジスタです。ビット 3 には、“1”をライトしてください。

TCHEN

タッチパネルインタフェースのイネーブル、ディセーブルを制御します。TCHA2 ビットが“0”の場合(オートモードがイネーブルの場合)、タッチパネル・インタフェースの AD 変換データのリード後、本ビットは、“0”にクリアされます。

TCHEN	説明
0x0	タッチパネルインタフェースがディセーブルになります。
0x1	タッチパネルインタフェースがイネーブルになります。

TCHA2

タッチパネルインタフェースの変換モードを制御します。本ビットが“1”の場合、タッチパネル・インタフェースの AD 変換データのリード後、自動的に割り込みモードに遷移します。オートモードがディセーブルの場合、AD 変換結果をリードすることによって、次の変換がスタートします。

TCHA2	説明
0x0	オートモードがイネーブルになります。
0x1	オートモードがディセーブルになります。

TCHA1、TCHA0

タッチパネルインタフェースの変換モードを制御します。

TCHEN	TCHA2	TCHA1、TCHA0	説明
TCHEN=1	*	0x0	X 軸測定モードになります。
	*	0x1	Y 軸測定モードになります。
	*	0x2	Z1 軸測定モードになります。
	*	0x3	Z2 軸測定モードになります。
TCHEN=0	0x0	0x3	割り込みモードになります。

TCHRSEL

タッチパネルインタフェースのに使用します割り込みプルアップ抵抗を選択します。

TCHRSEL	説明
0x0	割り込みプルアップ抵抗が 50kΩ になります。
0x1	割り込みプルアップ抵抗が 90kΩ になります。

TCHMODE

タッチパネルインタフェースの動作モードを設定します。

TCHMODE	説明
0x0	12Bit モードになります。
0x1	8Bit モードになります。

Touch ADC result1 Register

Touch ADC result2 Register

MAPCON										
MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x1	0x62	0x63	ADCR1							
			0	0	0	0	0	0	0	0
0x1	0x64	0x65	ADCR2				-	-	-	-
			0	0	0	0	-	-	-	-

本レジスタは、タッチパネルインタフェース ADC の変換結果レジスタです。12Bit モード時は、ADCR1(\$62h)→ADCR2(\$64h)の順でレジスタ値をリードしてください。

TOUTCHAD1

タッチパネルインタフェース ADC の変換結果が格納されるレジスタです。8 ビットモード時は、本レジスタの値をリードしてください。12 ビットモード時は、上位 8 ビットが格納されます。

TOUTCHAD2

タッチパネルインタフェース ADC の変換結果が格納されるレジスタです。8 ビットモード時は、"0"が格納されます。12 ビットモード時は、下位 4 ビットが格納されます。

Headphone Amplifier Input Control Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x1	0x82	0x83	-	-	HPRIN2EN	HPRIN1EN	-	-	-	HPLIN1EN
			-	-	0	0	-	-	-	0

本レジスタはヘッドフォンアンプの入力経路を選択します。HPRIN1EN ビットと HPRIN2EN ビットは、共に"1"に設定しないでください。"1"にする場合は、いずれかのビットのみ"1"に設定してください。

HPLIN1EN

Lch ヘッドフォンアンプの入力経路を選択します。

HPLIN1EN	説明
0x0	Lch-DAC の出力を Lch ヘッドフォンアンプに接続しません。
0x1	Lch-DAC の出力を Lch ヘッドフォンアンプに接続します。

HPRIN1EN

Rch ヘッドフォンアンプの入力経路を選択します。

HPRIN1EN	説明
0x0	Lch-DAC の出力を Rch ヘッドフォンアンプに接続しません。
0x1	Lch-DAC の出力を Rch ヘッドフォンアンプに接続します。

HPRIN2EN

Rch ヘッドフォンアンプの入力経路を選択します。

HPRIN2EN	説明
0x0	Rch-DAC の出力を Rch ヘッドフォンアンプに接続しません。
0x1	Rch-DAC の出力を Rch ヘッドフォンアンプに接続します。

Speaker Amplifier Input Control Register

Speaker Amplifier Input Control Register										
MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x1	0x84	0x85	-	-	-	-	SPIN2EN	SPIN1EN	SPVOL	
			-	-	-	-	0	0	0	0

本レジスタはスピーカアンプの入力経路、ボリュームを選択します。

SPVOL

スピーカアンプのボリューム値を制御します。

SPVOL	説明
0x0	0dB
0x1	6dB
0x2	12dB
0x3	18dB

SPIN1EN

スピーカアンプの入力経路を選択します。

SPIN1EN	説明
0x0	Lch ボリュームの出力をスピーカアンプに接続しません。
0x1	Lch ボリュームの出力をスピーカアンプに接続します。

SPIN2EN

スピーカアンプの入力経路を選択します。

SPIN2EN	説明
0x0	Rch ボリュームの出力をスピーカアンプに接続しません。
0x1	Rch ボリュームの出力をスピーカアンプに接続します。

Play Programmable LPF Setting Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x1	0xa0	0xa1	-	-	-	-	-	-	PLPFOD	PLPFEN
			-	-	-	-	-	-	0	0

ローパス・フィルタのイネーブル・次数を設定します。

Enable にして且つ SEMODE[7]=1 のときに再生経路で有効となります。

PLPFEN

ローパス・フィルタの ON/OFF を設定します。

PLPFEN	説明
0	PLAYLPF の Disable
1	PLAYLPF の Enable

PLPFOD

ローパス・フィルタの次数を設定します。

PLPFOD	説明
0	2 次ローパス・フィルタに設定
1	1 次ローパス・フィルタに設定

Play Programmable LPF Coef (L) Register

Play Programmable LPF Coef (H) Register

MAPCON										
MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x1	0xa2	0xa3	PLPFC0L							
			0	0	0	0	0	0	0	0
0x1	0xa4	0xa5	PLPFC0H							
			0	0	0	0	0	0	0	0

PLPFC0L [7:0] / PLPFC0H [7:0]

ローパス・フィルタの係数を設定します。

同じカットオフ周波数の場合でも、サンプリングレートによって設定値は異なります。

*PLPFC0L / PLPFC0H の設定値の詳細につきましては、計算ツール別途提供いたします。

Rec Programmable LPF Setting Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x1	0xa6	0xa7	-	-	-	-	-	-	RLPFOD	RLPFEN
			-	-	-	-	-	-	0	0

本レジスタは、ローパス・フィルタのイネーブル、次数を設定します。DSP Filter Function Enable レジスタの HPF2EN ビットで制御される HPF2 と排他的に制御されます。Enable にして且つ SEMODE[7]=0 のときに、録音経路で有効となります。

RLPFEN

ローパス・フィルタの ON/OFF を設定します。

RLPFEN	説明
0	RECLPF の Disable(HPF2 が使用可能)
1	RECLPF の Enable(HPF2 が使用不可:HPF2EN ビットは無効となります)

RLPFOD

ローパス・フィルタの次数を設定します。

RLPFOD	説明
0	2 次ローパス・フィルタに設定
1	1 次ローパス・フィルタに設定

Rec Programmable LPF Coef (L) Register

Rec Programmable LPF Coef (H) Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x1	0xa8	0xa9	RLPFC0L							
			0	0	0	0	0	0	0	0
0x1	0xaa	0xab	RLPFC0H							
			0	0	0	0	0	0	0	0

本レジスタは、ローパス・フィルタの係数を設定します。同じカットオフ周波数の場合でも、サンプリングレートによって設定値は異なります。*RLPFC0L / RLPFC0H の設定値の詳細につきましては、計算ツールを別途提供いたします。

Audio Analog Control2 Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x02	0x04	0x05	-	-	-	-	-	HPLSEN	-	-
			-	-	1	-	-	1	1	-

HPLSEN

ヘッドフォン用のレベルシフタの制御をします。

設定	説明
0x0	ヘッドフォン用のレベルシフタをディセーブルにします。
0x1	ヘッドフォン用のレベルシフタをイネーブルにします。

MAPCON	INDEX		b07 (initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x02	0x12	0x13	-	-	-	-	-	-	-	AREFI1EN
			-	-	-	-	-	-	-	1

Audio Analog Control1 Register

AREFI1EN

オーディオ用アナログ回路のリファレンス電流を制御します。

設定	説明
0x0	オーディオ用アナログ回路のリファレンス電流をディセーブルにします。
0x1	オーディオ用アナログ回路のリファレンス電流をイネーブルにします。

RegisterMAP Control Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x2	0x1c	0x1d	-	-	-	-	-	-	MAPCON	
			-	-	-	-	-	-	0	0

MAPCON

レジスタマップの表裏面を切替えます。切り替わる対象のレジスタに関してはレジスタマップを参照してください。

設定	説明
0x0	レジスタ MAP0 へアクセス可能
0x1	レジスタ MAP1 へアクセス可能
0x2	レジスタ MAP2 へアクセス可能
0x3	設定禁止

PLL External Components Setting Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
2	0x00	0x01	-	-	-	-	-	-	-	EXMODE
			-	-	-	-	-	-	-	1

本レジスタは、PLL の外部フィルタの有無を設定するレジスタです。

EXMODE

PLL の外部フィルタの有無を選択します。PLL を BCLK クロックをソースにして使用する場合は、必ず”1”に設定してください。

EXMODE	説明
0x00	外部フィルタを使用しません。
0x01	外部フィルタを使用します。

特性データ(参考データ)

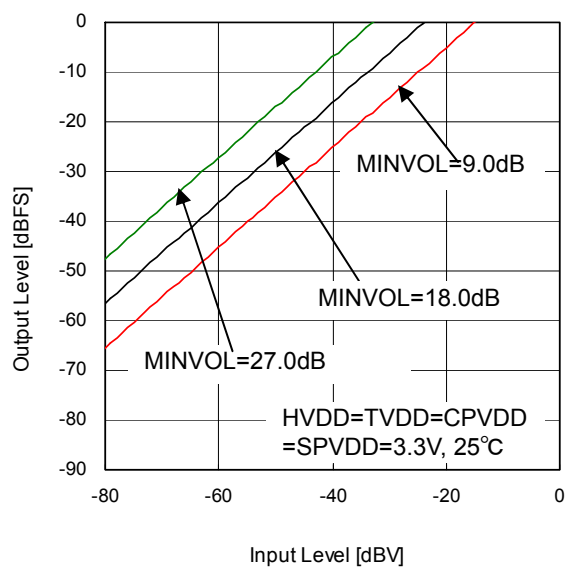


Figure 41. MIC Input Level [dBV] vs Output Level [dBFS]
Analog Mic Input tot ADC out, PDATT=0

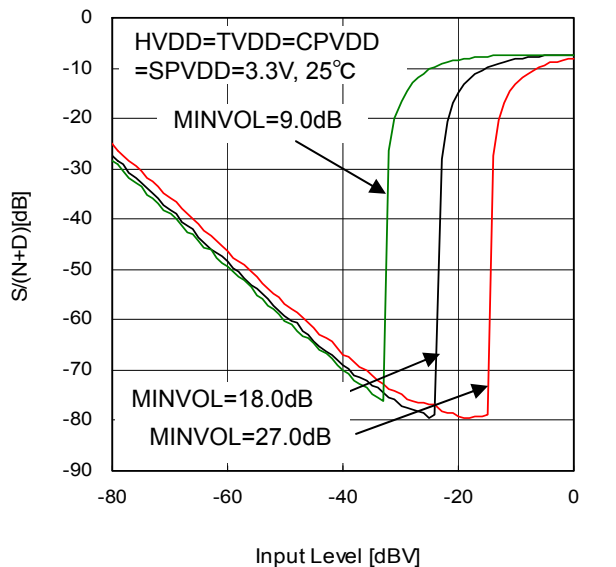


Figure 42. MIC Input Level [dBV] vs S/(N+D) [dBFS]
Analog Mic Input tot ADC out, PDATT=0

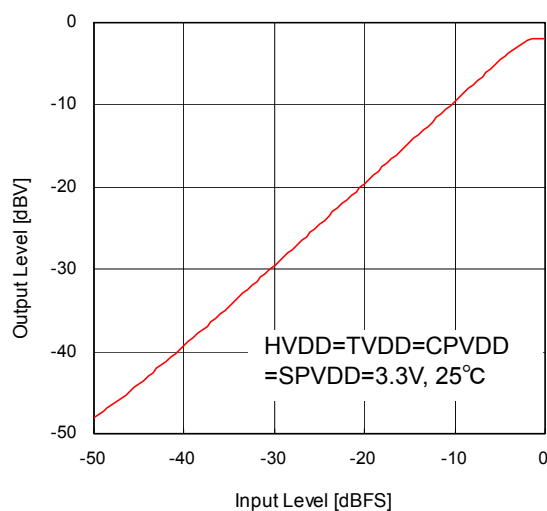


Figure 43. DAC input Level [dBFS] vs HPAMP Output Level [dB]

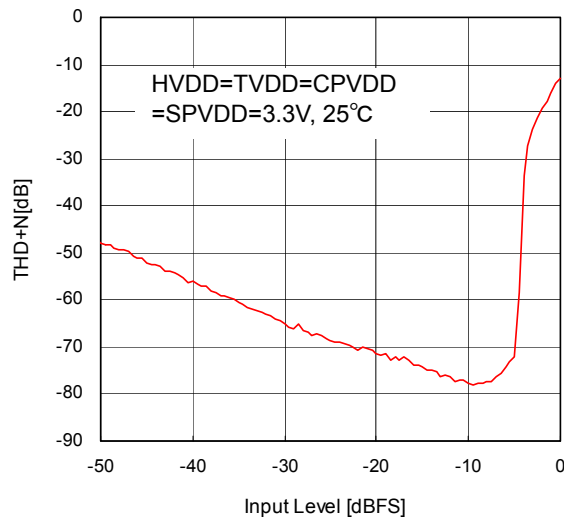


Figure 44. DAC input Level [dBFS] vs HPAMP THD+N [dB]

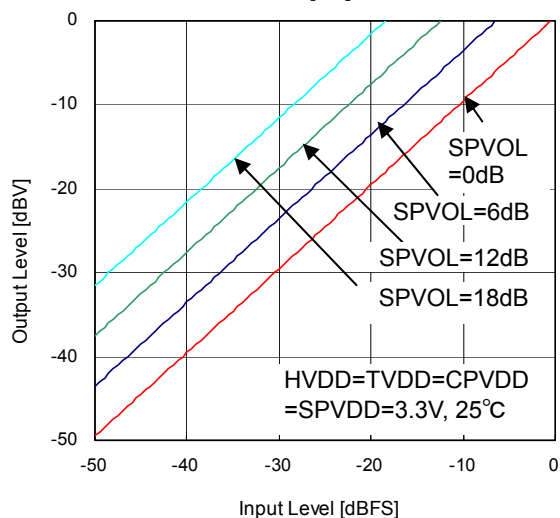


Figure 45. DAC input Level [dBFS] vs SPAMP-Class Output Level [dB]

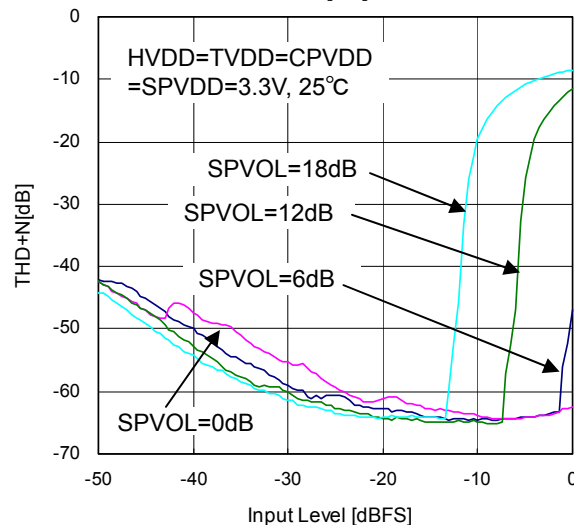


Figure 46. DAC input Level [dBFS] vs SPAMP-Class THD+N [dB]

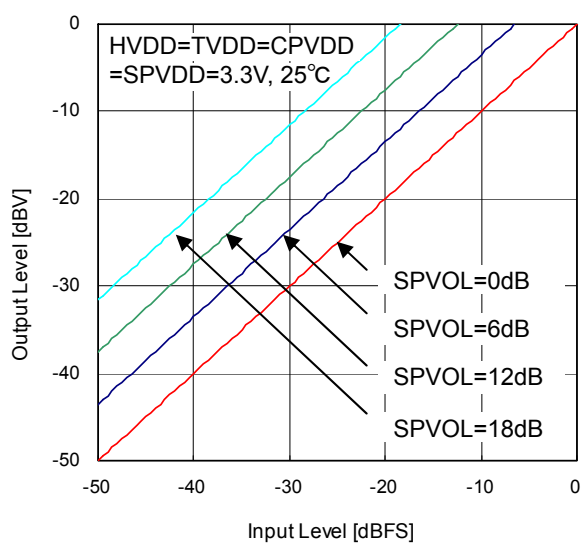


Figure 47. DAC input Level [dBFS] vs SPAMP-AB Class Output Level [dB]

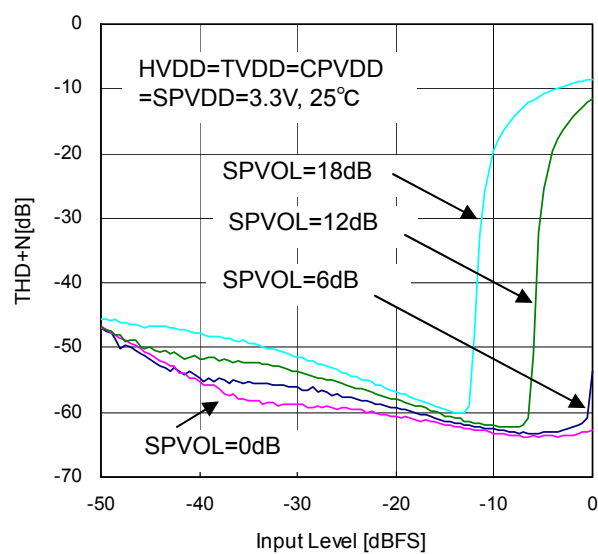


Figure 48. DAC input Level [dBFS] vs SPAMP-AB Class THD+N [dB]

熱損失について

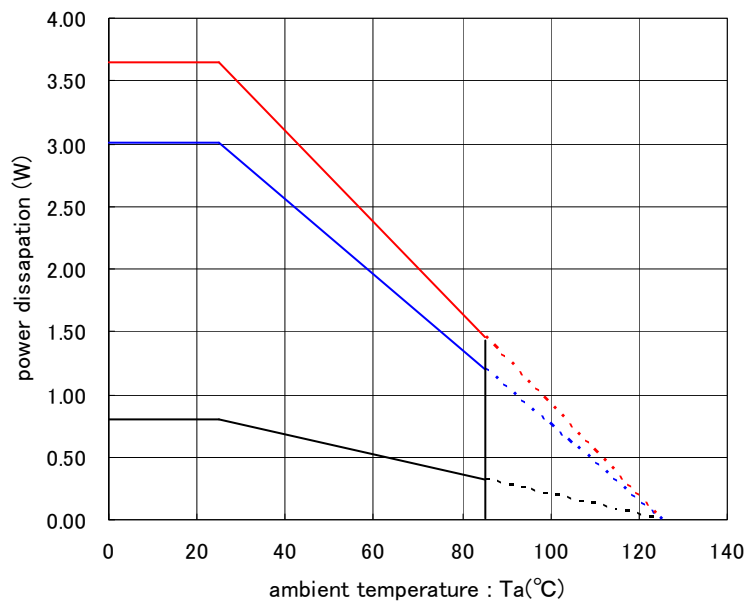


Figure 49. VQFN040V6060 Package

測定器: TH-156 (桑野電機)

測定状態: ローム基板実装

基板サイズ: 74.2mm × 74.2mm × 1.6mm (基板にサーマルビアあり)

材質: FR4

- ・ 基板とパッケージ裏面露出放熱板部分をハンダにて接続

PCB (1): 1 層基板 (裏面銅箔サイズ: 23.69mm²), $\theta_{ja} = 125.0^{\circ}\text{C/W}$

PCB (2): 4 層基板 (表面裏面銅箔サイズ: 23.69mm², 2nd and 3rd layer

裏面銅箔サイズ: 5505mm²), $\theta_{ja} = 33.2^{\circ}\text{C/W}$

PCB (3): 4 層基板 (裏面銅箔サイズ: 5505mm²), $\theta_{ja} = 27.4^{\circ}\text{C/W}$

実際の使用状態での許容損失(Pd)を考え、十分マージンを持った熱設計を行ってください。本製品はパッケージの裏側にフレームを露出させておりますが、この部分には放熱処理を施し放熱効率を上げて使用することを想定しております。基板表面だけでなく基板裏面にも放熱パターンをできるだけ広くとってご使用ください。

D 級スピーカアンプは、従来のアナログ・スピーカアンプに比べ効率が非常に高く、発熱も少ないですが最大出力で連続動作させた場合、電力損失(Pdiss)が許容損失(Pd)を超える場合があります。平均出力電力(Poav)の電力損失(Pdiss)が許容損失(Pd)を超えないように熱設計に際しては十分ご検討ください。

(Tjmax : 最高接合部温度=125°C、Ta : 使用周囲温度[°C]、 θ_{ja} : パッケージ熱抵抗[°C/W]、Poav : 平均出力電力[W]、 η : 効率)

$$\text{許容損失 } P_d \text{ (W)} = (T_{j\max} - T_a) / \theta_{ja}$$

$$\text{電力損失 } P_{\text{diss}} \text{ (W)} = P_{\text{oav}} * (1 / \eta - 1)$$

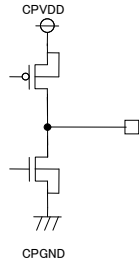
入出力等価回路図

Terminal No.	Terminal Name	Terminal I/O	Terminal Power	Equivalent Circuit
1 40	HPL HPR	O	HPVDD	
2	HPVDD	O	CPVDD	
4	HPVSS	O	CPVDD	
5	CPN	O	CPVDD	
6	SPVDD	-	SPVDD	
7 8	SDOUT+ SPOUT-	O	SPVDD	

Terminal No.	Terminal Name	Terminal I/O	Terminal Power	Equivalent Circuit
9	SPGND	-	-	<p>SPVDD</p>
10	VMID	O	REGOUT	
11	MICBIAS CAP	O	HVDD	
12 13	MIN1 MIN2	I	REGOUT	
14	HGND2	-	-	
15	HGND1	-	-	
16	N.C	-	-	

Terminal No.	Terminal Name	Terminal I/O	Terminal Power	Equivalent Circuit
17	HVDD	-	HVDD	
18	REGOUT	-	HVDD	
19	PLLC	O	REGOUT	
20	RESETB	I	HVDD	
21 30	TSTO IRQB	O	HVDD	
22 23 25 28	MCLKI CSB/SCL SCLK/SAD SAI_SDIN	I	HVDD	

Terminal No.	Terminal Name	Terminal I/O	Terminal Power	Equivalent Circuit
24 26 27	SDATA/SDA SAI_LRCLK SAI_BCLK	IO	HVDD	
31 32 33 34	YP XP XN YN	O	TVDD	
35	TGND	-	-	
36	TVDD	-	TVDD	
37	HPCOM	-	-	
38	CPVDD	-	CPVDD	

Terminal No.	Terminal Name	Terminal I/O	Terminal Power	Equivalent Circuit
39	CPP	-	CPVDD	

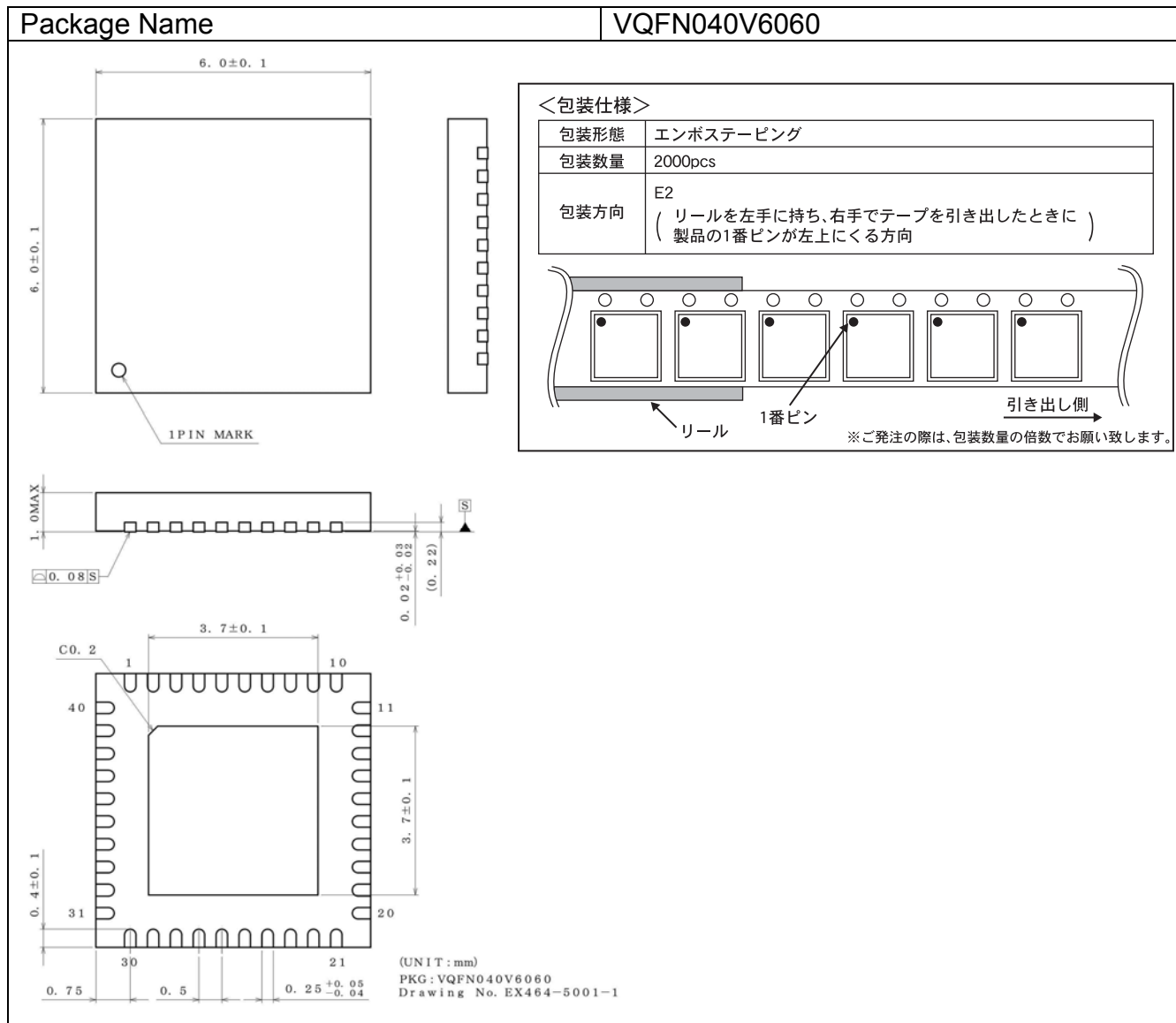
使用上の注意

- 1) 絶対最大定格について
印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、IC が破壊することがあります。絶対最大定格を超える電圧及び温度を印加しないでください。絶対最大定格を超えるようなことが考えられる場合には、ヒューズなどの物理的な安全対策を実施して頂き、IC に絶対最大定格を超える条件が印加されないようご検討ください。
- 2) GND 電位について
GND 端子の電圧はいかなる動作状態においても、基板 GND と同電位としてください。
- 3) 端子間ショートと誤実装について
IC を基板に実装する時には IC の方向 (特に誤回転) や位置ずれに十分注意してください。誤って実装し通電した場合、IC を破壊するおそれがあります。また、IC の端子間や端子と電源間、端子と GND 間に異物が入るなどしてショートした場合についても破壊することがあります。
- 4) 強電磁界内での動作について
強電磁界内での使用は、誤動作をする可能性がありますのでご注意ください。
- 5) 熱設計について
本 IC のスピーカアンプ機能をご使用の際は、実使用状態での許容損失を考慮して、十分なマージンを持った熱設計を行ってください。放熱が不十分な状態で入力信号を過大にすると、所望の出力電力を確保できないだけでなくサーマルシャットダウン (熱遮断回路) が動作することがあります。
- 6) サーマルシャットダウンについて
本 IC はサーマルシャットダウン回路を内蔵しています。サーマルシャットダウンが動作するとスピーカ出力端子・ライン出力端子は、オープン状態 (ハイインピーダンス) で停止します。サーマルシャットダウンは、あくまでチップ温度 T_{jmax} が $+170^{\circ}\text{C}$ を越えた異常状態下での熱暴走時に IC の出力動作を停止します。IC を保護することを目的とした回路であり、セットの保護及び保証を目的とはしておりません。
- 7) 出力端子のショート保護について
本 IC には出力端子を保護する目的としたショート保護機能があります。ショート保護機能が動作すると出力端子はオープン状態 (ハイインピーダンス) でラッチ停止します。ラッチ停止するとショート状態が解除されても通常動作へ自動復帰しません。復帰させるには電源もしくはシャットダウン信号を一旦オフし再度オンさせ再起動してください。
- 8) 動作範囲について
動作電源電圧範囲及び動作温度範囲は基本動作を行う範囲です。電気的特性及び定格出力をすべての電源電圧範囲もしくは温度範囲において保証するものではありません。
- 9) 電気的特性について
全高調波歪率、出力パワーなどの各オーディオ特性項目はデバイスの標準的な性能を示しており、基板レイアウト/使用部品/電源部に大きく依存します。規格標準値はローム指定の基板にデバイス及び各部品を直接実装した時の値です。
- 10) 電源について
D 級スピーカアンプ使用時は電源ラインには大きなピーク電流が流れます。電源デカップリングコンデンサの容量値、配置によりオーディオ特性に影響を与えます。電源デカップリングコンデンサは十分に ESR (等価直列抵抗) の低い容量 ($1\mu\text{F}$ 以上) を IC 端子の直近に配置してください。
また、基板パターンの設計においては、電源/GND ラインの配線は、低インピーダンスになるようにしてください。その際、デジタル系電源とアナログ系電源は、それらが同電位であっても、デジタル系電源パターンとアナログ系電源パターンは分離し、配線パターンの共通インピーダンスによるアナログ電源へのデジタル・ノイズの回り込みを抑止してください。GND ラインについても、同様のパターン設計を考慮してください。また、LSI のすべての電源端子について電源-GND 端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量抜けが起こることなど使用するコンデンサの諸特性に問題ないことを十分にご確認のうえ、定数を決定してください。
- 11) 外付けコンデンサについて
外付けコンデンサに、セラミック・コンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮のうえ定数を決定してください。
- 12) この文書の扱いについて
この文書の日本語版が、正式な仕様書です。この文書の翻訳版は、正式な仕様書を読むための参考としてください。なお、相違が生じた場合は、正式な仕様書を優先してください。

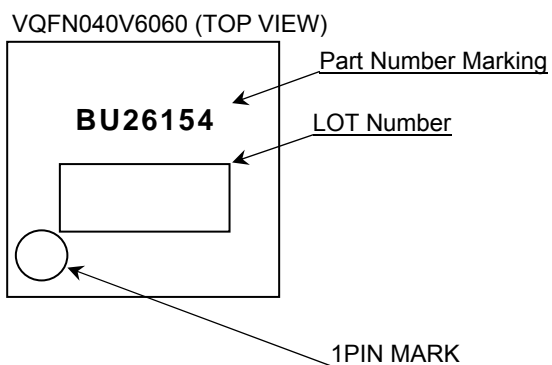
発注形名情報

B U 2 6 1 5 4 M U V										-		E 2	
品名				パッケージ MUV:VQFP040V6060						包装、フォーミング仕様 E2: リール状エンボステーパーピング			

外形寸法図と包装・フォーミング仕様



標印図



改訂履歴

日付	Revision	変更内容
2014.06.23	001	Rev.001 新規登録
2015.10.26	002	P1. パッケージ高さ"H" max 修正 P5. 基本アプリケーション回路図例修正 P14. VMIC 基準電源変更 (SPVDD=> HVDD) P39, P49,P50,P51,P52,P74 レジスタ一覧、レジスタ説明変更 ・レジスタ一覧(MCLKOE,ADCREN)削除、 ・Analog Input Power Management, Speaker Amplifier Power Management レジスタ MAPCON 設定追加 ・ZCEN 説明 PDATT => EFFECT VOLUME へ変更 ・Playback Digital Attenuator Control Register /B "FFh"レジスタ設定禁止追加 ・Audio Analog Control2 Register HPLSEN ビット位置変更

ご注意

ローム製品取扱い上の注意事項

1. 本製品は一般的な電子機器（AV 機器、OA 機器、通信機器、家電製品、アミューズメント機器等）への使用を意図して設計・製造されております。したがって、極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器^(Note 1)、輸送機器、交通機器、航空宇宙機器、原子力制御装置、燃料制御、カーアクセサリを含む車載機器、各種安全装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

2. 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、かかる誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
3. 本製品は、一般的な電子機器に標準的な用途で使用されることを意図して設計・製造されており、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂ 等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合。
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用。
 - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用された場合も、残渣の洗浄は確実に行うことをお勧め致します)、又ははんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合。
 - ⑧本製品が結露するような場所でのご使用。
4. 本製品は耐放射線設計はなされておられません。
5. 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
6. パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
7. 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
8. 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
9. 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

1. ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
2. はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。
その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。（人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等）

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
 - ①潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ②推奨温度、湿度以外での保管
 - ③直射日光や結露する場所での保管
 - ④強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルに QR コードが印字されていますが、QR コードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は外国為替及び外国貿易法に定める規制貨物等に該当するおそれがありますので輸出する場合には、ロームにお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等（ソフトウェア含む）との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。