

24bit Audio CODEC シリーズ

# 3W+3W AB/D 級スピーカアンプ内蔵 ステレオ Audio CODEC

## BU26156RFS

### 概要

BU26156RFS は多彩な音響処理機能を内蔵したローパワーステレオ Audio CODEC です。入力には 2Vrms 振幅まで入力可能なステレオ・ラインとモノラル・マイク入力を備え、出力は AB 級/D 級切り替え可能な 2.5W クラスのステレオ・スピーカアンプとステレオ・ヘッドフォン出力を搭載しています。ノイズに敏感な CODEC 部へは内蔵レギュレータから電源を供給することにより、電源回路の特性によらず一定の Audio 性能を実現することが可能です。

### 特長

- 24bit ステレオ ADC, DAC
- 2Vrms 入力可能, ALC 内蔵ステレオ・ライン入力
- ALC 内蔵モノラル・マイク入力
- AB/D 級切替え 3W(5V 時)ステレオ・スピーカアンプ
- AM Avoidance 機能
- ステレオ・ヘッドフォンアンプ
- 多彩な音響処理機能
- レギュレータ内蔵により高 PSRR を実現

### 用途

- ラジカセ
- PC スピーカ

### 基本ブロック図

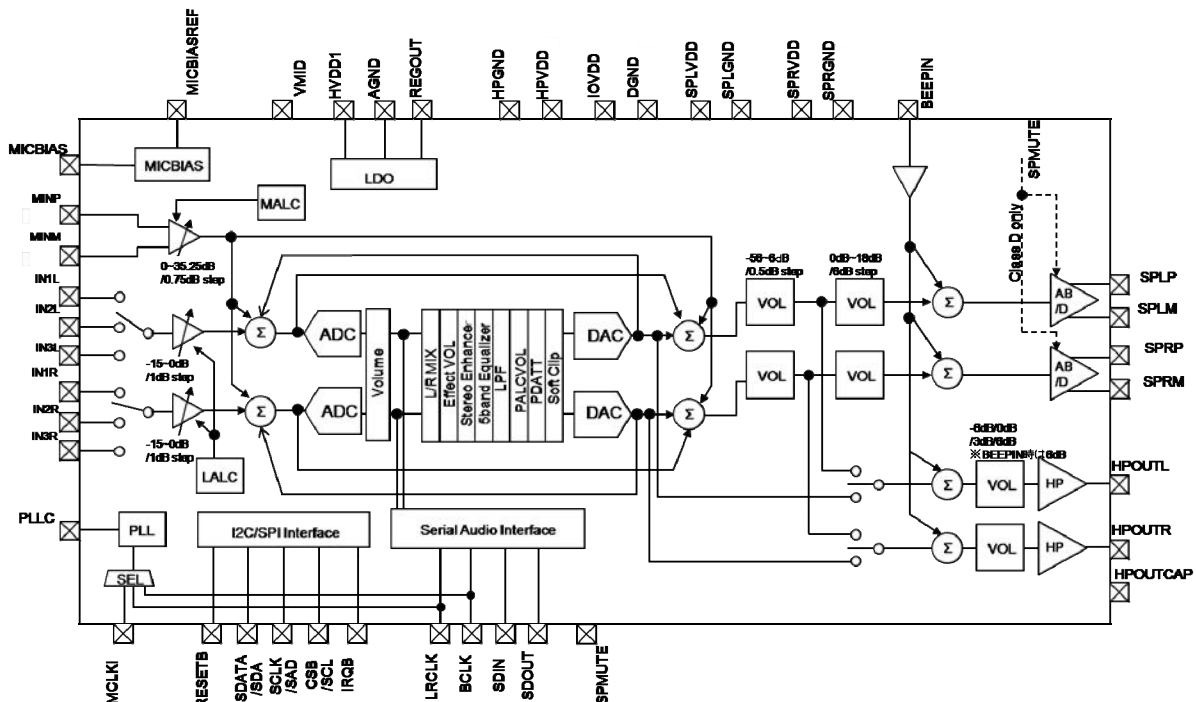


Figure 2.

### 重要特性

- 電源電圧
  - SPLVDD, SPRVDD : 2.7V ~ 5.5V
  - HVDD1 : 2.7V ~ 3.6V
  - HPVDD : 2.7V ~ 3.6V
  - IOVDD : 1.65V ~ 5.5V
- Mic-ADC SNR : 87[dB](Typ.)
- Line-ADC SNR : 93[dB](Typ.)
- DAC-SP SNR : 86[dB](Typ.)
- DAC-HPOUT SNR : 95[dB](Typ.)
- 動作温度範囲 : -20°C ~ +85°C

### パッケージ

HTSSOP-A44R

W(Typ.) x D(Typ.) x H(Max.)  
18.50mm x 9.50mm x 1.00mm



Figure 1.HTSSOP-A44R

端子配置図 HTSSOP-A44R

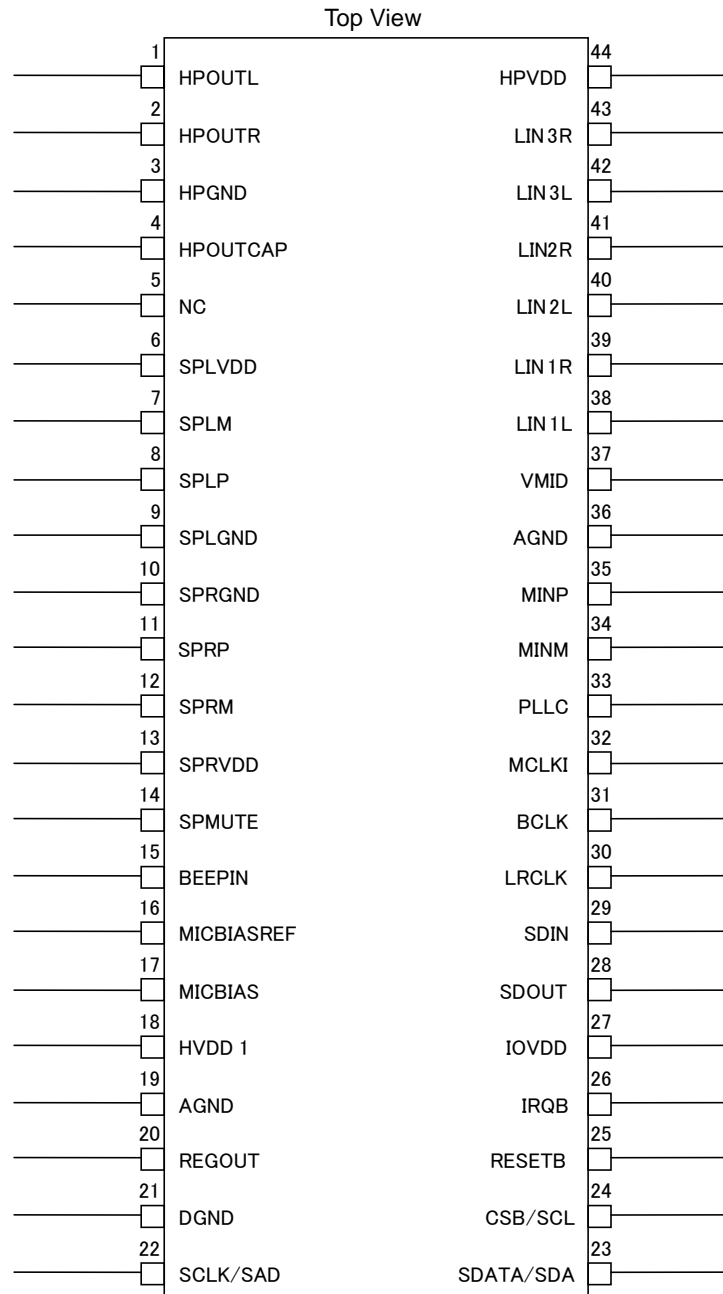


Figure 3.

端子説明

No	Name	I/O	Power	Function	Reset	No use
25	RESETB	I	IOVDD	リセット入力端子 “L” level : リセット . “H” level : リセット解除	(input)	-
23	SDATA /SDA	IO	IOVDD	3線シリアル : DATA 入出力端子 交流特性の説明においては、SDATA と記載します。 2線シリアル : DATA 入出力端子 <sup>(Note 1)</sup> 交流特性の説明においては、SDA と記載します。	(input)	-
22	SCLK /SAD	I	IOVDD	3線シリアル : 同期クロック入力端子 交流特性の説明においては、SCLK と記載します。 2線シリアル : スレーブアドレス選択端子となります。 以後の説明においては、SAD と記載します。 端子の状態により以下2種類から選択できます。 SAD 端子=HGND のとき “0011010”	(input)	DGND

				SAD 端子=IOVDD のとき "0011011"		
24	CSB /SCL	I	IOVDD	3線シリアル: チップセレクト信号入力端子 交流特性の説明においては、CSBと記載します。 2線シリアル: 同期クロック入力端子 <sup>(Note 1)</sup> 交流特性の説明においては、SCLと記載します。	(input)	-
30	LRCLK	IO	IOVDD	SAI用LRクロック入出力端子	(input)	DGND
31	BCLK	IO	IOVDD	SAI用ビットクロック入出力端子	(input)	DGND
29	SDIN	I	IOVDD	SAI用シリアルデータ入力端子(受信用)	(input)	DGND
28	SDOUT	O	IOVDD	SAI用シリアルデータ出力端子(送信用)	DGND	Open
32	MCLKI	I	IOVDD	マスタクロック入力端子	(input)	DGND
26	IRQB	O	IOVDD	割り込み信号出力端子	IOVDD	Open
38	LIN1L	I	REGOUT	ライン・アナログL入力端子1	(input)	Open, or coupling capacitor connected to AGND near by BU26156
39	LIN1R	I	REGOUT	ライン・アナログR入力端子1	(input)	
40	LIN2L	I	REGOUT	ライン・アナログL入力端子2	(input)	
41	LIN2R	I	REGOUT	ライン・アナログR入力端子2	(input)	
42	LIN3L	I	REGOUT	ライン・アナログL入力端子3	(input)	
43	LIN3R	I	REGOUT	ライン・アナログR入力端子3	(input)	
35	MINP	I	REGOUT	アナログ・マイク+入力端子	(input)	
34	MINM	I	REGOUT	アナログ・マイク-入力端子	(input)	
15	BEEPIN	I	REGOUT	ライン入力端子 本端子への入力信号は、ヘッドフォン出力端子またはスピーカ出力端子へ出力可能です。	(input)	
16	MICBIASREF	O	HVDD1	マイクバイアス外付けフィルタ端子 MICBIASREFとAGNDとの間にコンデンサを接続してください。	AGND	
17	MICBIAS	O	HVDD1	マイクバイアス電圧出力端子 MICBIASとAGNDとの間にコンデンサを接続してください。	AGND	Open
37	VMID	O	REGOUT	アナログ基準電位用容量接続端子 VMIDとAGNDとの間にコンデンサを接続してください。	AGND	-
20	REGOUT	O	HPVDD	レギュレータ電圧出力端子 REGOUTとAGNDとの間にコンデンサを接続してください。 コンデンサは極力チップ近傍に配置してください。	AGND	-
8	SPLP	O	SPLVDD	スピーカL+出力端子	SPLGND	Open
7	SPLM	O	SPLVDD	スピーカL-出力端子	SPLGND	Open
11	SPRP	O	SPRVDD	スピーカR+出力端子	SPRGND	Open
12	SPRM	O	SPRVDD	スピーカR-出力端子	SPRGND	Open
14	SPMUTE	I	IOVDD	テスト用端子です。 Open、もしくは"L" levelに固定してください。	DGND	Open
1	HPOUTL	O	HPVDD	ヘッドフォンL出力端子	HPGND	Open
2	HPOUTR	O	HPVDD	ヘッドフォンR出力端子	HPGND	Open
4	HPOUTCAP	O	HPVDD	ヘッドフォンバイアスキャパシタ接続端子	AGND	Open
33	PLLCC	O	REGOUT	PLLCCにループバックフィルタを接続することで、本LSIに入力するクロック周波数の幅を広げることができます。	AGND	Open
27	IOVDD	P	-	IO電源 IOVDDとDGNDとの間にコンデンサを接続してください。	-	-
6	SPLVDD	P	-	スピーカL電源。SPRVDDと同電源に接続してください。SPLVDDとSPLGNDとの間にコンデンサを接続してください。	-	-
9	SPLGND	P	-	スピーカLch GND	-	-
13	SPRVDD	P	-	スピーカR電源。SPLVDDと同電源に接続してください。SPRVDDとSPRGNDとの間にコンデンサを接続してください。	-	-
10	SPRGND	P	-	スピーカRch GND	-	-
18	HVDD1	P	-	LDO電源 HVDD1とAGNDの間にコンデンサを接続してください。	-	-

19.36	AGND		-	アナログ GND	-	-
21	DGND	P	-	Digital GND		
44	HPVDD	P	-	ヘッドフォン電源。HPVDD と HPGND との間にコンデンサを接続してください	-	-
3	HPGND	P	-	ヘッドフォン GND	-	-
5	NC			NC 端子 オープンにしてください。		Open

(Note 1) 2線シリアル時には外部にプルアップ抵抗を挿入してご使用ください。2線シリアル時にはノイズの影響を受けやすいため、ノイズの多い環境でご使用される場合には十分なノイズ対策(IOVDD 電源ラインの強化、DGND の強化、及び SCL 出力側へのダンピング抵抗挿入など)を実施してください。

**注意：**印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施して頂けるようご検討をお願いします。

応用回路例

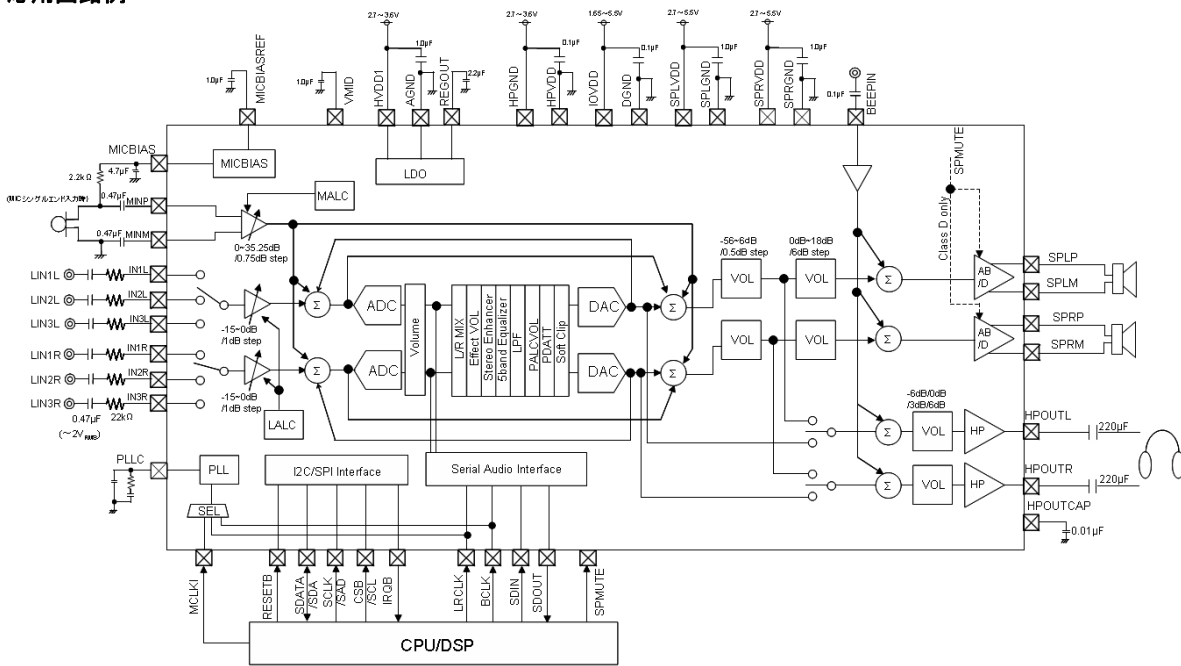


Figure 4. 応用回路例 1(内蔵 SPK アンプ使用)

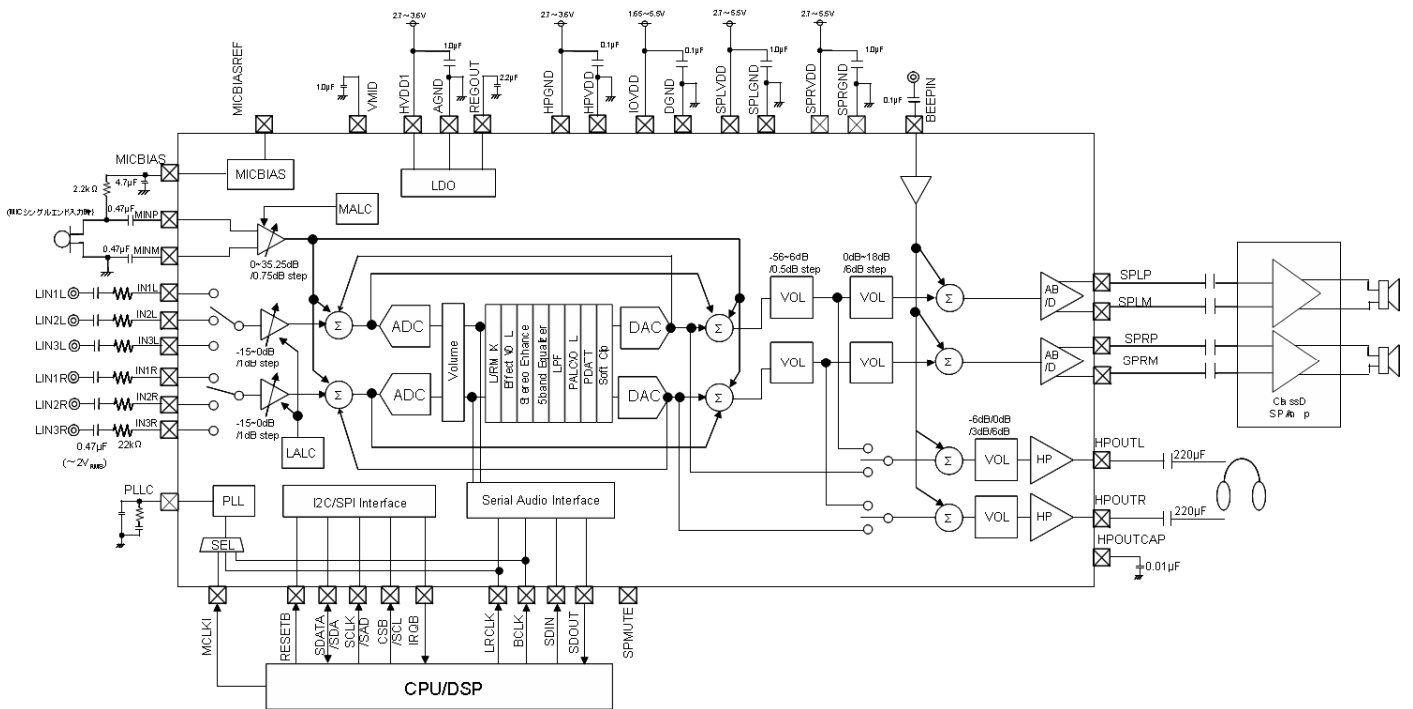


Figure 5. 応用回路例 2(SPK アンプ外付け)

## 絶対最大定格

Parameter	Symbol	Condition	Rating	Unit
SPLVDD, SPRVDD 電源電圧	SPLVDD SPRVDD	-	-0.3~7.0	V
HPVDD 電源電圧	HPVDD	-	-0.3~4.5	V
HVDD1 電源電圧	HVDD1	-	-0.3~4.5	V
IOVDD 電源電圧	IOVDD	-	-0.3~7.0	V
入力電圧	V <sub>IN</sub>	MCLKI, LRCLK, BCLK, SDIN, SDATA/SDA, SCLK/SAD, CSB/SCL, SPMUTE	-0.3~IOVDD+0.3	V
		LIN1L, LIN1R, LIN2L, LIN2R, LIN3L, LIN3R MINL, MINR, BEEPIN	-0.3~ REGOUT+0.3	V
保存温度	Tstg	-	-55~+150	°C
パッケージ熱損失	$\theta_{jc}$	HTSSOP-A44R	$\frac{2}{(T_{jmax}=+125^{\circ}C)}$	°C/W
出力電流1	IOSP	SPLM, SPLP, SPRM, SPRP	-1.0 ~ +1.0	A
出力電流2	IOHP	HPOUTL, HPOUTR	-100 ~ +100	mA
出力電流3	IOREGO	REGOUT	-30 ~ 0	mA
出力電流4	IOO	All digital pins	-8~+8	mA

注)出力端子と他の出力端子または電源端子またはGND端子を短絡しないでください。  
(出力端子には、入出力端子が出力モードの場合を含みます。)

## 推奨動作範囲

Parameter	Symbol	Condition	Rating	Unit
SPLVDD, SPRVDD 電源電圧	SPLVDD SPRVDD	SPLVDD=SPRVDD	2.7~5.5	V
HPVDD 電源電圧	HPVDD	-	2.7~3.6	V
HVDD1 電源電圧	HVDD1	-	2.7~3.6	V
IOVDD 電源電圧	IOVDD	-	1.65~5.5	V
動作温度	Top	-	-20~+85	°C

\*耐放射線設計はしてありません。

## 電氣的特性

## 直流特性

(ALL GND terminals=0V, HVDD1=3.3V, IOVDD=3.3V, SPLVDD=SPRVDD=3.3V, HPVDD=3.3V, Ta=25°C)

Parameter	Symbol	Condition	Min.	Typ.	Max.	Unit	Related Pin
“H”入力電圧 1	VIH1	DGND=0V	IOVDD×0.8	-	IOVDD+0.3	V	RESETB, SDATA/SDA, SCLK/SAD, CSB/SCL, SPMUTE and MCLK pins.
“H”入力電圧 2	VIH2	DGND=0V	IOVDD×0.7	-	IOVDD+0.3	V	LRCLK, BCLK and SDIN pins
“L”入力電圧	VIL	DGND=0V	-0.3	-	IOVDD×0.2	V	All Digital Input
“H”出力電圧	VOH	IOH=-1mA	IOVDD×0.85	-	-	V	Except SDA
“L”出力電圧1	VOL1	IOL=1mA	-	-	IOVDD×0.15	V	Except SDA
“L”出力電圧 2	VOL2	IOL=3mA, IOVDD ≥2V 時 IOVDD <2V 時	- -	- -	0.4 IOVDD×0.2	V	SDA
“H”入カリーク電 流 1	I <sub>IH1</sub>	VIH= IOVDD	-	-	10	μA	Except SPMUTE
“L”入カリーク電 流	I <sub>IL</sub>	VIL=DGND	-10	-	-	μA	All Digital Input
“Z”出カリーク電 流	IOZH	VOH=IOVDD	-	-	10	μA	SDA
“Z”出カリーク電 流	IOZL	VOL=DGND	-10	-	-	μA	SDA
スタンバイ電流							
HVDD1	IDDSH1	RESETB=“L”	-	0.1	10	μA	
SPLVDD+SPRV DD	IDDSSP		-	0.1	10	μA	
HPVDD	IDDSHP		-	0.1	10	μA	
IOVDD	IDDSIO		-	0.1	10	μA	
動作電流 1, DAC→mixvol→HP Output ( fs48kHz, No Load, No signal input, Sound effect off )							
HVDD1	IDDO1H1	HeadPhone Output, No Load, No signal input, Sound effect off	-	6.2	8.2	mA	
SPLVDD+SPRV DD	IDDO1SP		-	0.02	0.1	mA	
HPVDD	IDDO1HP		-	1.0	1.3	mA	
IOVDD	IDDO1IO		-	0.03	0.1	mA	
動作電流 2, DAC→mixvol→Class-D Speaker Output ( fs48kHz, No Load, No signal input, Sound effect off )							
HVDD1	IDDO2H1	Class-D Speaker Output, No Load, No signal input, Sound effect off	-	6.2	8.2	mA	
SPLVDD+SPRV DD	IDDO2SP		-	3.3	7.4	mA	SPVDD=3.3V
SPLVDD+SPRV DD	IDDO2SP_5		-	5.0	-	mA	SPVDD=5V
HPVDD	IDDO2HP		-	0.03	0.1	mA	
IOVDD	IDDO2IO		-	0.03	0.1	mA	
動作電流 3, DAC→mixvol→Class-AB Speaker Output ( fs48kHz, No Load, No signal input, Sound effect off )							
HVDD1	IDDO3H1	Class-AB Speaker Output, No Load, No signal input, Sound effect off	-	6.2	8.2	mA	
SPLVDD+SPRV DD	IDDO3SP		-	5.0	9.6	mA	SPVDD=3.3V
SPLVDD+SPRV DD	IDDO3SP_5		-	6.0	-	mA	SPVDD=5V
HPVDD	IDDO3HP		-	0.03	0.1	mA	
IOVDD	IDDO3IO		-	0.03	0.1	mA	
動作電流 4, MicIn→linemix→ADC ( fs48kHz, Sin1kHz-Full Scale input, Micbias Enable, Mic ALC off, Sound Effect off )							
HVDD1	IDDO4H1	fs48kHz, No signal	-	12.3	16.9	mA	

SPLVDD+SPRV DD	IDDO4SP	input,, Micbias Enable, Mic ALC off, Sound Effect off	-	0.02	0.1	mA	
HPVDD	IDDO4HP		-	0.03	0.1	mA	
IOVDD	IDDO4IO		-	0.03	0.1	mA	
動作電流 5, LineIn→linemix→ADC ( fs48kHz, Sin1kHz-Full Scale input, LineALC off, Sound Effect off )							
HVDD1	IDDO5H1	fs48kHz, No signal input, Line ALC off, Sound Effect off	-	11.2	13.8	mA	
SPLVDD+SPRV DD	IDDO5SP		-	0.02	0.1	mA	
HPVDD	IDDO5HP		-	0.03	0.1	mA	
IOVDD	IDDO5IO		-	0.03	0.1	mA	

## アナログ特性

(All GND terminal=0V, IOVDD=3.3V, HVDD1=3.3V, SPLVDD=SPRVDD=5.0V, HPVDD=3.3V, Ta=25°C)

Parameter	Symbol	Condition	Min	Typ	Max	Unit
<b>Regulator Output</b>						
REGOUT Output Level	VREGOUT	-	1.7	1.8	1.9	V
<b>BEEP Input</b>						
Full Scale Input Signal Level	VBINFS	-	-	-	1	Vpp
<b>Line Input</b> ( R <sub>LIN</sub> =22 kΩ / Line Gain=-9dB / Digital Volume=0.0dB / Line ALC=OFF )						
Full Scale Input Signal Level	VLINFS	LIN1L, LIN2L, LIN3L, LIN1R, LIN2R, LIN3R	-	-	2.0	Vrms
<b>Mic Input</b> (MIC Gain=20.25dB / Digital Volume=0.0dB / Mic ALC=OFF)						
Full Scale Input Signal Level	VMINFS1	MINP,MINM	-	-	0.124	Vp-p
Input Resistance	RMIN1	MINP,MINM	20	30	40	kΩ
<b>Mic Input</b> (MIC Gain=9.0dB / Digital Volume=0.0dB / Mic ALC=OFF)						
Full Scale Input Signal Level	VMINFS2	MINP,MINM	-	-	0.454	Vp-p
Input Resistance	RMIN2	MINP,MINM	20	30	40	kΩ
<b>Analog Reference Level</b> (VMID-pin)						
Analog Reference Voltage	VREF	-	0.9x REGOUT/2	1.0x REGOUT/2	1.1x REGOUT/2	V
<b>Microphone Bias</b> (MICBIAS-pin)						
Output Voltage (VMIC<HVDD1*0.85)	VMIC	IMIC = -2mA, MICBCON=0	1.51x REGOUT/2	1.67x REGOUT/2	1.83x REGOUT/2	V
		IMIC = -2mA, MICBCON=1	2.00x REGOUT/2	2.22x REGOUT/2	2.44x REGOUT/2	V
		IMIC = -2mA, MICBCON=2	2.51x REGOUT/2	2.78x REGOUT/2	3.05x REGOUT/2	V
		IMIC = -2mA, MICBCON=3	3.00x REGOUT/2	3.33x REGOUT/2	3.66x REGOUT/2	V
Output Current	IMIC	-	-	-	2	mA

(HGND1=0V, IOVDD=3.3V, HVDD1=3.3V, SPLVDD=SPRVDD=5.0V, HPVDD=3.3V, Ta=25°C, 1kHz signal, fs=48kHz)

Parameter	Symbol	Condition	Min	Typ	Max	Unit
<b>Analog Line Input to ADC out</b> (R <sub>LIN</sub> =22kΩ / Line Gain=0dB / LineMix Gain = 0dB / Digital Volume=0.0dB / Line ALC=OFF)						
S/(N+D)	SND1	-1dBFS/ A-weighted	-	81	-	dB
S/N	SNR1	A-weighted	-	93	-	dB
Power Supply Rejection Ratio	PSRR1	HVDD1 on 100mVp-p, 1kHz ripple, no signal input	-	90	-	dB
<b>Analog Mic Inputs to ADC out</b> (MIC Gain=20.25dB / Line Mix Gain = 0dB / Digital Volume=0.0dB / Mic ALC=OFF)						
S/(N+D)	SND2	-1dBFS/ A-weighted	-	79	-	dB



S/N	SNR2	A-weighted	-	81	-	dB
Power Supply Rejection Ratio	PSRR2	HVDD1 on 100mVp-p, 1kHz ripple, no signal input	-	89	-	dB
<b>Analog Mic Inputs to ADC out (MIC Gain=9.0dB / Digital Volume=0.0dB / Mic ALC=OFF)</b>						
S/(N+D)	SND3	-1dBFS/ A-weighted	-	80	-	dB
S/N	SNR3	A-weighted	-	87	-	dB
Power Supply Rejection Ratio	PSRR3	HVDD1 on 100mVp-p, 1kHz ripple, no signal input	-	90	-	dB
<b>DAC to Headphone OUT (HPOUTL/HPOUTR, with 220<math>\mu</math>Fcuppling 16<math>\Omega</math> load)</b>						
Output Power	Po4	THD+N=1%, RL=16 $\Omega$	-	60	-	mW
Total Harmonic Distortion	THD4	-6dBFS input / A-weighted	-	79	-	dB
Signal to Noise Ratio	SNR4	A-weighted	-	90	-	dB
Power Supply Rejection Ratio	PSRR4	HPVDD on 100mVp-p,1kHz ripple, no signal input	-	60	-	dB
		HVDD1 on 100mVp-p,1kHz ripple	-	80	-	dB
<b>DAC to Class-AB Speaker OUT (SPLP/SPLM, SPRP/SPRM, with 8<math>\Omega</math> / 50pF load )</b>						
Output Power	Po5-1	SPMIXG=12dB, RL=8 $\Omega$ , THD=1%	-	1.4	-	W
	Po5-2	SPMIXG=12dB, RL=8 $\Omega$ , THD=10%	-	1.7	-	W
	Po5-3	SPMIXG=12dB, RL=4 $\Omega$ , THD=1%	1.5	2.5	-	W
	Po5-4	SPMIXG=12dB, RL=4 $\Omega$ , THD=10%	2	3	-	W
Total Harmonic Distortion	THD5	Po=1W, RL=8 $\Omega$ / A-weighted	-	62	-	dB
Signal to Noise Ratio	SNR5	A-weighted	-	91	-	dB
Power Supply Rejection Ratio	PSRR5	SPLVDD/SPRVDD on 100mVp-p,1kHz ripple	-	60	-	dB
		HVDD1 on 100mVp-p,1kHz ripple	-	80	-	dB
<b>DAC to Class-D Speaker OUT (SPLVDD=SPRVDD=5V,SPLP/SPLM, SPRP/SPRM, with 8<math>\Omega</math> / 50pF load )</b>						
Output Power	Po6-1	SPMIXG=12dB, RL=8 $\Omega$ , THD=1%	-	1.4	-	W
	Po6-2	SPMIXG=12dB, RL=8 $\Omega$ , THD=10%	-	1.7	-	W
	Po6-3	SPMIXG=12dB, RL=4 $\Omega$ , THD=1%	1.5	2.5	-	W
	Po6-4	SPMIXG=12dB, RL=4 $\Omega$ , THD=10%	2	3	-	W
Total Harmonic Distortion	THD6	Po=1W, RL=8 $\Omega$ / A-weighted	-	62	-	dB
Signal to Noise Ratio	SNR6	A-weighted	-	89	-	dB
Power Supply Rejection Ratio	PSRR6	SPLVDD/SPRVDD on 100mVp-p,1kHz ripple	-	72	-	dB
		HVDD1 on 100mVp-p,1kHz ripple	-	80	-	dB
<b>Class D oscillator frequency (AM Avoidance)</b>						
Oscillator frequency	AM0	AMA[1:0]=0b00	360	400	440	kHz
	AM1	AMA[1:0]=0b01	450	500	550	kHz
	AM2	AMA[1:0]=0b10	540	600	660	kHz
	AM3	AMA[1:0]=0b11	630	700	770	kHz
<b>Microphone Bias (MICBIAS-pin)</b>						
Output Noise Voltage	VMICN7	22Hz to 22kHz, VMIC =1.67 x REGOUT/2	-	5	-	$\mu$ V

Power Supply Rejection Ratio	PSRR7	HVDD1 on 100mVp-p, 1kHz ripple Load=1mA	-	80	-	dB
------------------------------	-------	---	---	----	---	----

交流特性

クロック  
PLL 未使用時

(DGND=0V, IOVDD=3.3V, SPLVDD=SPRVDD=5.0V, HVDD1=3.3V, Ta=25°C)

Parameter	Symbol	Min	Max.	Unit
MCLKI 周波数	fC	2.048M	49.152M	Hz
MCLKI 周期	tC	1/fC	1/fC	s
MCLKI “H” 期間	tCH	tC*0.4	-	s
MCLKI “L” 期間	tCL	tC*0.4	-	s

PLL 使用時 (外付け Loop back filter 未使用)

(DGND=0V, IOVDD=3.3V, SPLVDD=SPRVDD=5.0V, HVDD1=3.3V, Ta=25°C)

Parameter	Symbol	Min	Max.	Unit
MCLKI 周波数	fC	2M	54M	Hz
MCLKI 周期	tC	1/fC	1/fC	s
MCLKI “H” 期間	tCH	tC*0.4	-	s
MCLKI “L” 期間	tCL	tC*0.4	-	s

PLL 使用時 (外付け Loop back filter 使用)

(DGND=0V, IOVDD=3.3V, SPLVDD=SPRVDD=5.0V, HVDD1=3.3V, Ta=25°C)

Parameter	Symbol	Min	Max.	Unit
MCLKI 周波数	fC	32k	2M	Hz
MCLKI 周期	tC	1/fC	1/fC	s
MCLKI “H” 期間	tCH	tC*0.4	-	s
MCLKI “L” 期間	tCL	tC*0.4	-	s

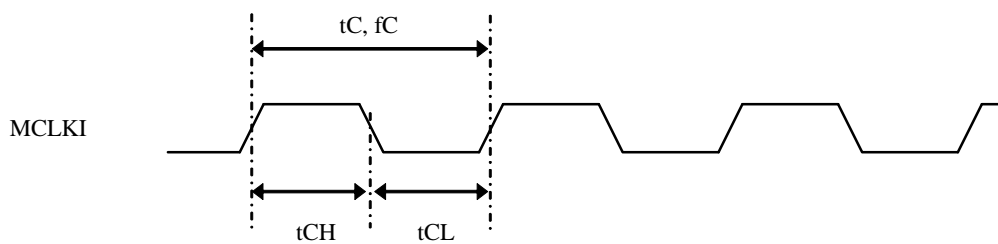


Figure 6.

リセット

(DGND=0V, IOVDD=3.3V, SPLVDD=SPRVDD=5.0V, HVDD1=3.3V, Ta=25°C)

Parameter	Symbol	Min	Max.	Unit
RESETB パルス幅	tW_RST	5	-	μs

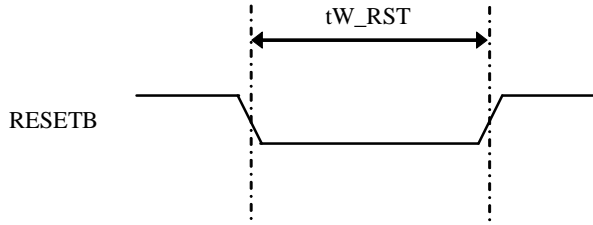


Figure 7.

RESETB="L"の期間、内蔵レギュレータがパワーダウンし REGOUT 出力電圧が HGND1 レベルに移行します。内蔵レギュレータを安定して使用するために、REGOUT 端子に接続されるコンデンサの電荷が十分に抜けるのに必要な時間(1mS 以上)のリセット入力時間として設定することを推奨いたします。

2 線シリアル・インタフェース

(DGND=0V, IOVDD=3.3V, SPLVDD=SPRVDD=5.0V, HVDD1=3.3V, Ta=25°C, CL=30pF)

Parameter	Symbol	Standard Mode		Fast Mode		Unit
		Min	Max.	Min	Max.	
SCL 周波数	f <sub>SCL</sub>	-	100	-	400	kHz
SCL "L" 期間	t <sub>LOW</sub>	4.7	-	1.3	-	μs
SCL "H" 期間	t <sub>HIGH</sub>	4.0	-	0.6	-	μs
ホールド時間(反復)「Start」条件	t <sub>HD:STA</sub>	4.0	-	0.6	-	μs
反復「Start」条件のセットアップ時間	t <sub>SU:STA</sub>	4.0	-	0.6	-	μs
データホールド時間	t <sub>HD:DAT</sub>	0	3.45	0	0.9	μs
データセットアップ時間	t <sub>SU:DAT</sub>	250	-	100	-	ns
「Stop」条件のセットアップ時間	t <sub>SU:STO</sub>	4.0	-	0.6	-	μs

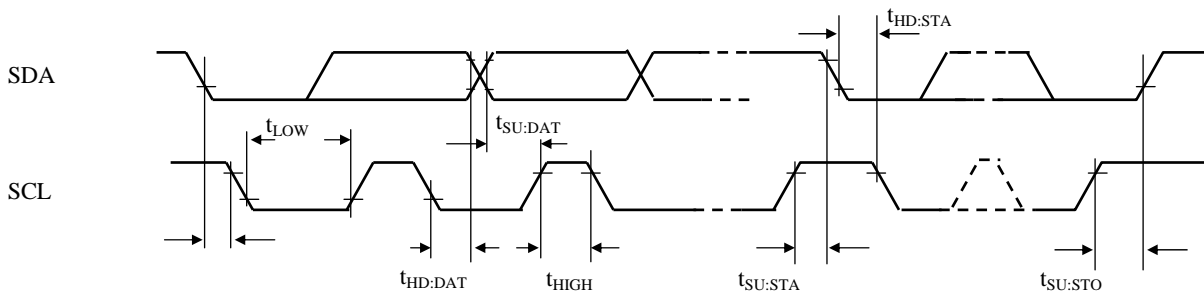


Figure 8.

3 線シリアル・インタフェース

(DGND=0V, IOVDD=3.3V, SPLVDD=SPRVDD=5.0V, HVDD1=3.3V, Ta=25°C, CL=30pF)

Parameter	Symbol	Min	Max.	Unit
SCLK↓-> CSB↓セットアップ時間	tSLCL	100	-	ns
CSB↓-> SCLK↓セットアップ時間	tCLSL	100	-	ns
CSB↓-> SCLK↑セットアップ時間	tCLSH	100	-	ns
SCLK↑-> CSB↓セットアップ時間	tSHCL	100	-	ns
SCLK“H”パルス幅	tSH	50	-	ns
SCLK“L”パルス幅	tSL	50	-	ns
SDATA セットアップ時間	tIDS	30	-	ns
SDATA ホールド時間	tIDH	30	-	ns
SCLK->CSB↑ホールド時間 2	tCHS2	100	-	ns
CSB“H”パルス幅	tCH	100	-	ns
SCLK->SDATA 確定までの時間	tODV	-	40	ns
SDATA Hi-Z 移行時間	tCHDTS	-	40	ns

データ転送開始時(CSB “H”→“L”時)の SCLK 端子の論理に応じて、Low start と High start の 2 種類の timing で使用可能です。INDEX の LSB の論理によって、リード/ライトの動作が切り替わります。

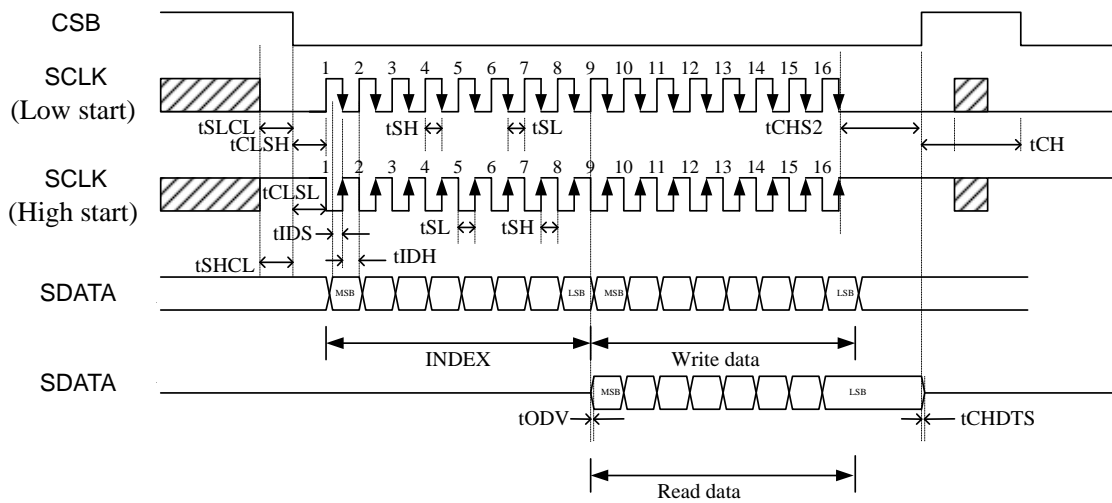


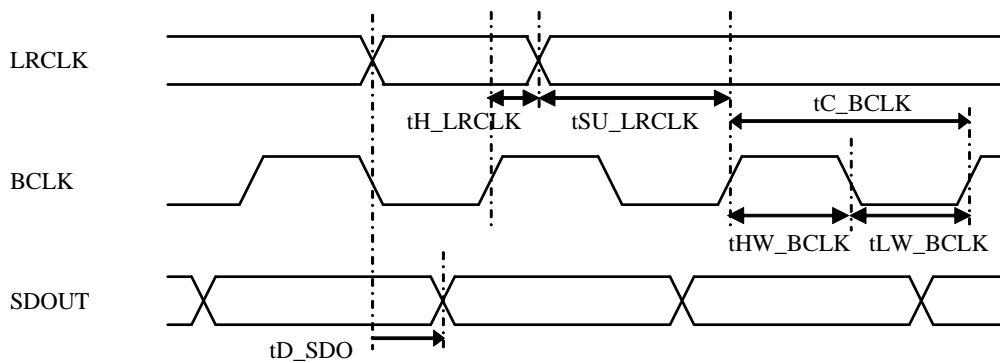
Figure 9.

SAI(スレーブ)

(DGND=0V, IOVDD=3.3V, SPLVDD=SPRVDD=5.0V, HVDD1=3.3V, Ta=25°C, CL=30pF)

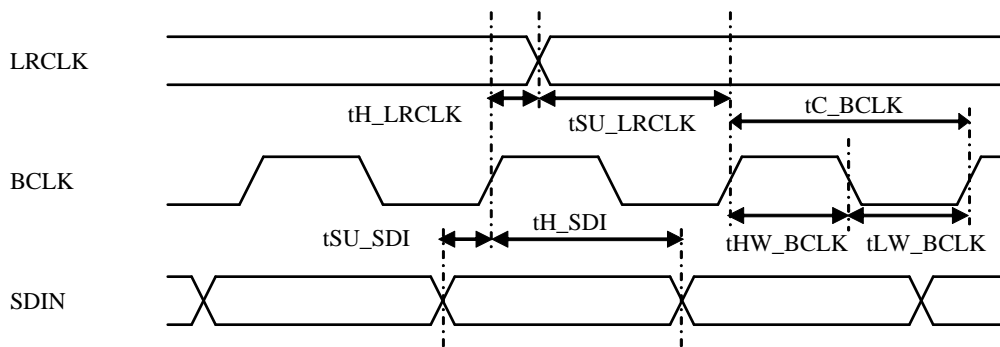
Parameter	Symbol	Min	Max.	Unit
BCLK 周期	tC_BCLK	32fs	128fs	Hz
BCLK "H"期間	tHW_BCLK	73	-	ns
BCLK "L"期間	tLW_BCLK	73	-	ns
LRCLK ホールド時間	tH_LRCLK	20	-	ns
LRCLK セットアップ時間	tSU_LRCLK	20	-	ns
SDOUT 遅延時間	tD_SDO <sup>(Note 1)</sup>	-	80	ns
SDIN セットアップ時間	tSU_SDI	20	-	ns
SDIN ホールド時間	tH_SDI	20	-	ns

(Note1) tD\_SDO は SAI\_BCLK と SAI\_LRCLK の変化の遅い方を基準とした時間となります。



SAI Transmit

Figure 10.



SAI Receive

Figure 11.

電源投入シーケンス

すべての電源の投入/遮断は同時に行うことを推奨します。各電源投入/遮断のばらつきは 50ms 以内にしてください。また、一部の電源のみ ON 或いは OFF という状態は避けて、必ずすべての電源供給或いはすべての電源遮断の状態を保持してください。全電源投入完了までは、RESETB 端子は“L”入力をしてください。電源投入後リセット時間( $t_{w\_PURST}$ )+リセット解除後レギュレータ起動待ち時間( $t_{w\_REGU}$ )が経過後、LSI の制御が可能となります。

Parameter	Symbol	Min	Typ	Max	Unit
電源投入遅延時間	$t_{VDD\_ON}$	0	-	50	ms
電源遮断遅延時間	$t_{VDD\_OFF}$	0	-	50	ms
電源投入後リセット時間	$t_{w\_PURST}$	1	-	-	$\mu$ s
リセット解除後レギュレータ起動待ち時間	$t_{w\_REGU}$	1	-	-	ms

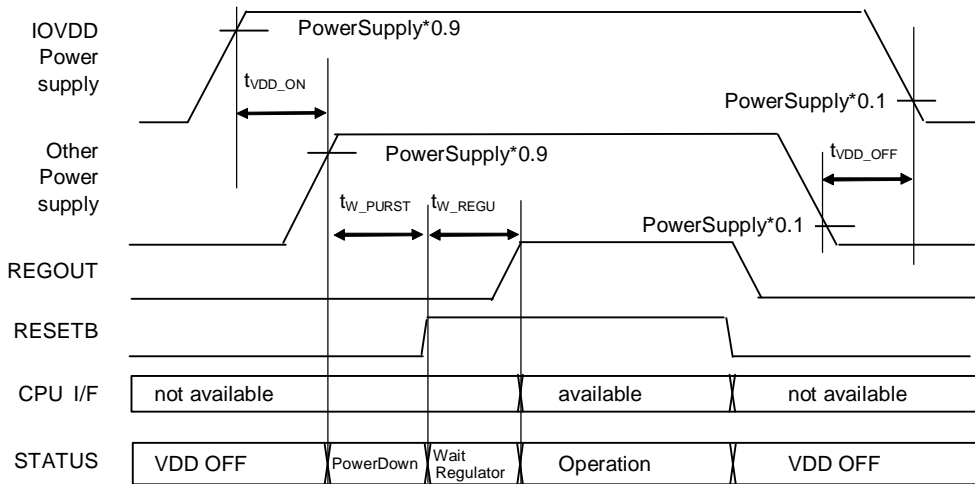


Figure 12.

## 機能説明

## クロック制御

本 LSI 内部のオーディオ信号パスを形成する主要モジュールは、サンプリング周波数の 256 倍(以後 256fs)の Audio 用クロック(以後、内部クロック)で動作します。内部クロックの生成方法は、256fs/ 512fs/ 1024fs のクロックを MCLKI 端子より入力し分周して生成するか、PLL を使用するかのいずれかを選択できます。

PLL を使用する場合は、外付けループフィルタ未使用時は 2MHz~54MHz、使用時は 32kHz~2MHz のクロックを MCLKI, BCLK または LRCLK 端子より入力しレジスタ設定により選択します。この選択は Clock Input/Output Control レジスタによって行います。PLL はサンプリング周波数が 32kHz~48kHz の 256fs を生成します。サンプリング周波数が 16kHz~24kHz の場合には 512fs 相当となり PLL の出力を 1/2 分周して使用し、サンプリング周波数が 8kHz~12kHz の場合には 1024fs 相当となり PLL の出力 1/4 分周して使用します。その設定は CLKSEL ビットの設定により行います。

Audio Clock を設定するレジスタ : Sampling Rate Setting Register, FPLL, FPLLNL, FPLLNH, FPLLD, FPLLFL, FPLLFH, FPLLFDL, FPLLFDH, Clock Input/Output Control register, Clock Input Select Register

## ・PLL 設定手順

PLL 動作条件を設定(変更)する場合の手順を以下に示します。

1. PLL が動作している場合は、PLLOE ビットに“0”をライトし、出力を停止させる。
2. PLEN ビットに“0”をライトし、PLL を停止させる。
3. FPLL, FPLLNL, FPLLNH, FPLLD, FPLLFL, FPLLFH, FPLLFDL, FPLLFDH を設定する。
4. PLEN ビットに“1”をライトする。
5. PLL が発振安定するまでの時間を待つ。待ち時間は下表を参照。
6. PLLOE ビットに“1”をライトする。
7. CODEC(ADC/DAC)の動作 (RECPLAY) を設定し出力開始。

## PLL Stabilizing Time

PLL 安定時間
10msec

## - 関連レジスタ

Sampling Rate Setting Register  
 PLLNL, PLLNH Register  
 PLLML, PLLMH Register  
 PLLDIV Register  
 Clock Enable Register  
 Clock Input/Output Control Register

## PLL を使用する場合

本 LSI は幅広い入力クロック周波数に対応した PLL を内蔵しているため、Audio 専用の外付けクロックを使用することなく本 LSI のみで Audio クロックを生成することができます。本 LSI が対応しているモードは次のとおりです。

## ■case 1 : PLLISEL=0 or 2, MST=0, MCLKOE=0

SAI 入力から BU26156RFS に内蔵した PLL によって内部 Audio 用クロックを生成する場合

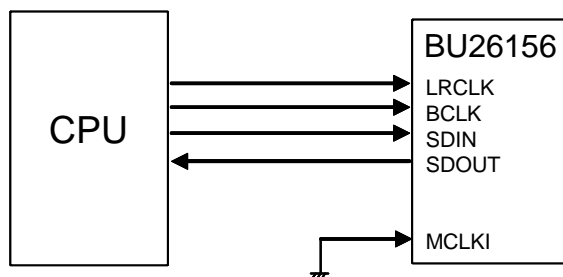


Figure 13.



PLL を使用しない場合

PLL を使用しないで本 LSI を使用する場合、CPU 側で Audio クロックを生成し、CPU 側と本 LSI を同一クロックで動作させることで同期させます。

■case 2: MST=0, MCLKOE=0

CPU でオーディオクロック(256fs,512fs,1024fs)を生成し、本 LSI の MCLKI に入力して同期させ、CPU 側で LRCLK, BCLK 信号を生成する場合

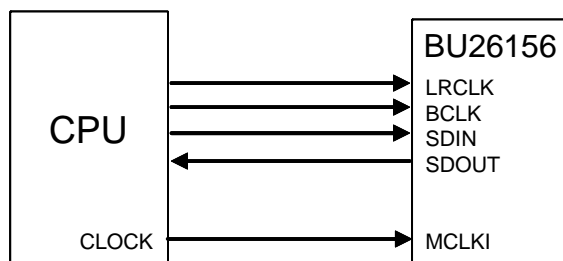


Figure 14.

SAI (シリアルオーディオインタフェース)

レジスタ設定の組み合わせにより、様々なシリアルデータフォーマットをサポートします。

WSLI="0", DLYI="0", FMTI="0"

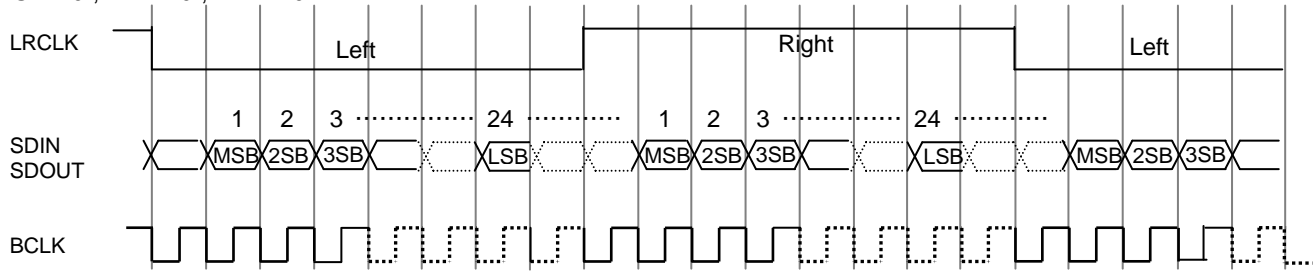


Figure 15.

WSLI="1", DLYI="0", FMTI="0"

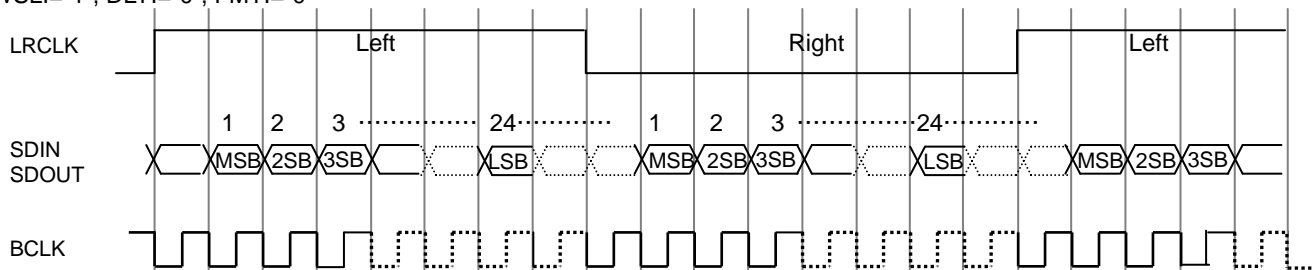


Figure 16.

WSLI="0", DLYI="1", FMTI="0"

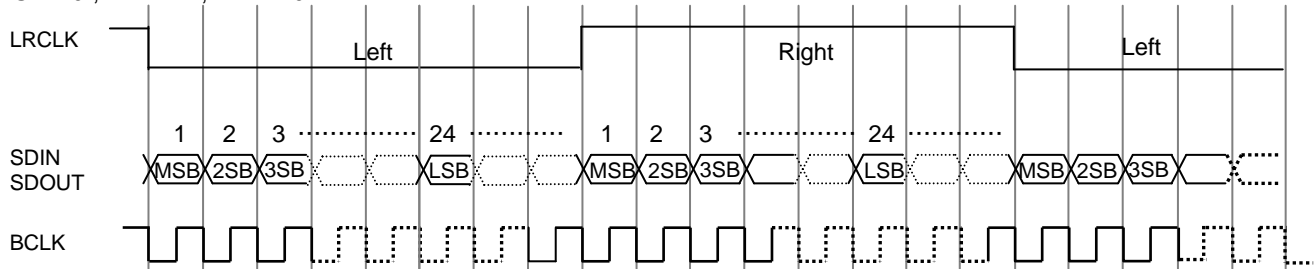


Figure 17.

WSLI="1", DLYI="1", FMTI="0"

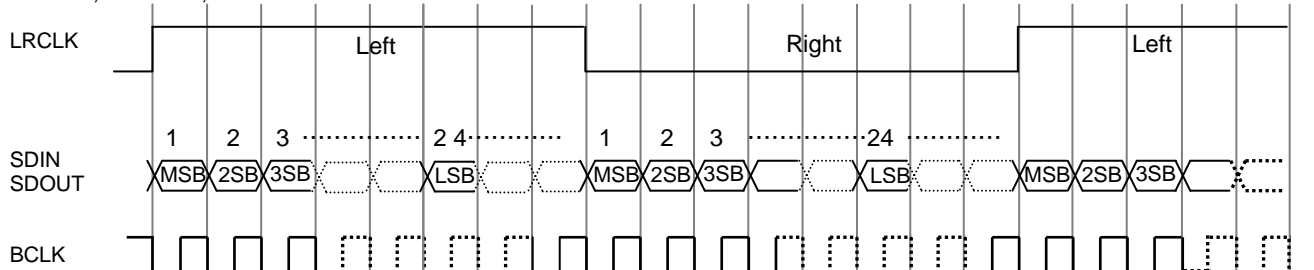


Figure 18.

DLYI="0", FMTI="1"

フレーム同期転送モードでは Left チャンネルデータの直ぐ後に Right チャンネルデータが続きます。

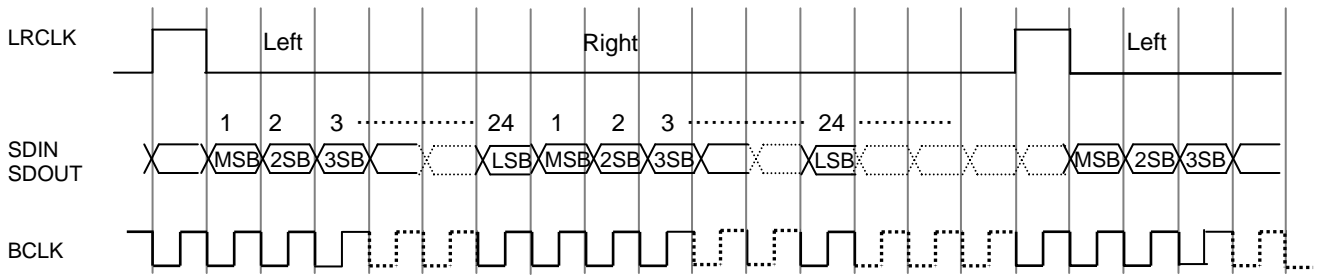


Figure 19.

DLYI="1", FMTI="1"

フレーム同期転送モードでは Left チャンネルデータの直ぐ後に Right チャンネルデータが続きます。

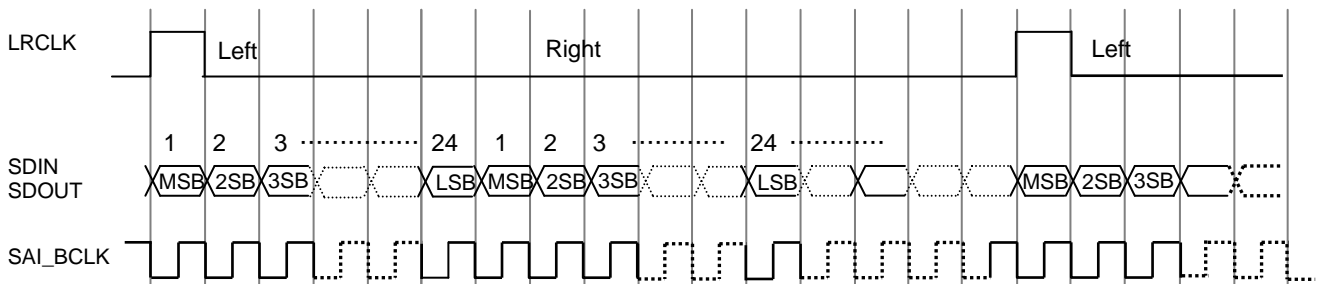


Figure 20.

- 関連レジスタ

- SAI Transmitter Control Register
- SAI Receiver Control Register

2 線シリアル・インタフェース

本 LSI は 2 線シリアル・インタフェースを有し、スレーブデバイスとして動作します。スレーブアドレスは“001101X”です。

最下位ビットは、SAD 端子の設定に依存します。

SAD pin	Slave address
L	0x1A
H	0x1B

- Format

通信は以下のプロトコルで行ってください。

Write (MSB first)

Start Condition( SCL が“H”の時に SDA を“H”から“L”にする )

Slave Address (0011010)+W(0) (8bit)

Write Address (8bit)

Write Data (8bit)

...

Stop Condition( SCL が“H”の時に SDA を“L”から“H”にする Set SDA level from “L” to “H” during SCL=“H”)

Read (MSB first)

Start Condition

Slave Address (0011010)+W(0) (8bit)

Read Address (8bit)

(Stop Condition) Start Condition

Slave Address (0011010)+R(1) (8bit)

Read Data (8bit)

以下に通信の波形を示します。

以黄色の網掛け箇所はスレーブデバイス(BU26156RFS)がバスをドライブしている箇所を表します。

波形の中の記号の意味を以下に示します。

Unit	Description
W/R	0: Write 1: Read
A	0: ACK(Acknowledge) 1: NAK(Not Acknowledge)
A[7-0]	Address (8bit)
D[7-0]	Data(8bit)

Write

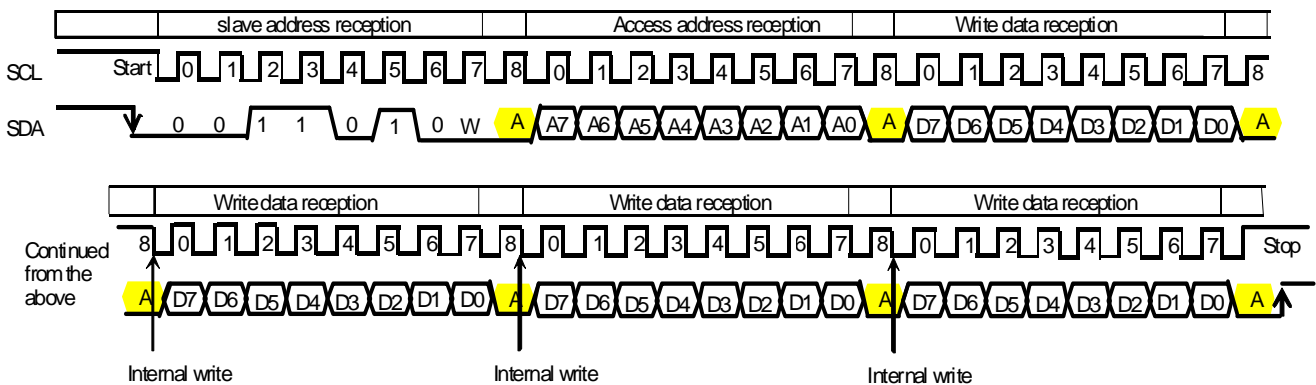


Figure 21.

内部ライト(上図 : Internal Write)直後に Stop または Start 条件が入らない場合は連続ライトとなり、レジスタアドレスを+2した内部レジスタに対し、次に受信した8ビットのデータをライトします。

Read

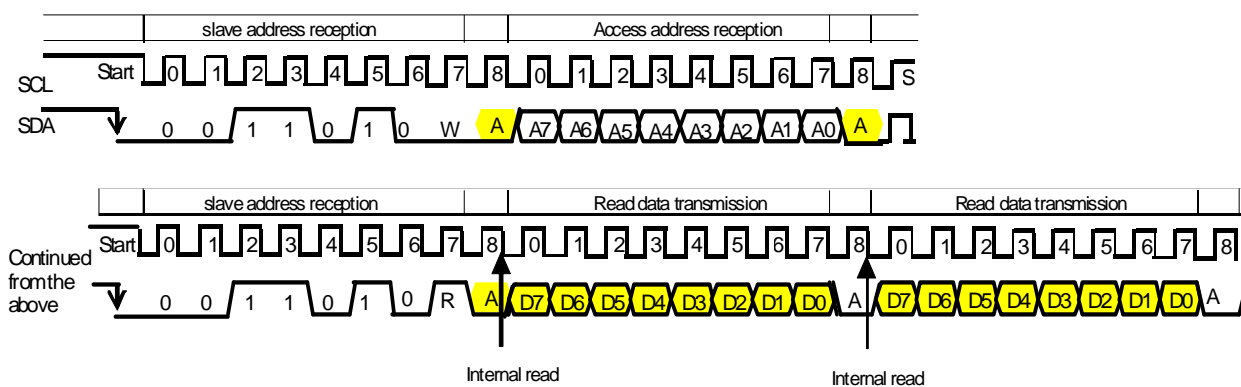


Figure 22.

本 LSI からの 8 ビットデータ送信完了に対しマスタが ACK を返した場合は連続リードとなり、レジスタアドレスを+2 した内部レジスタから、8 ビットデータをリードします。

アナログ ブロックの GAIN について

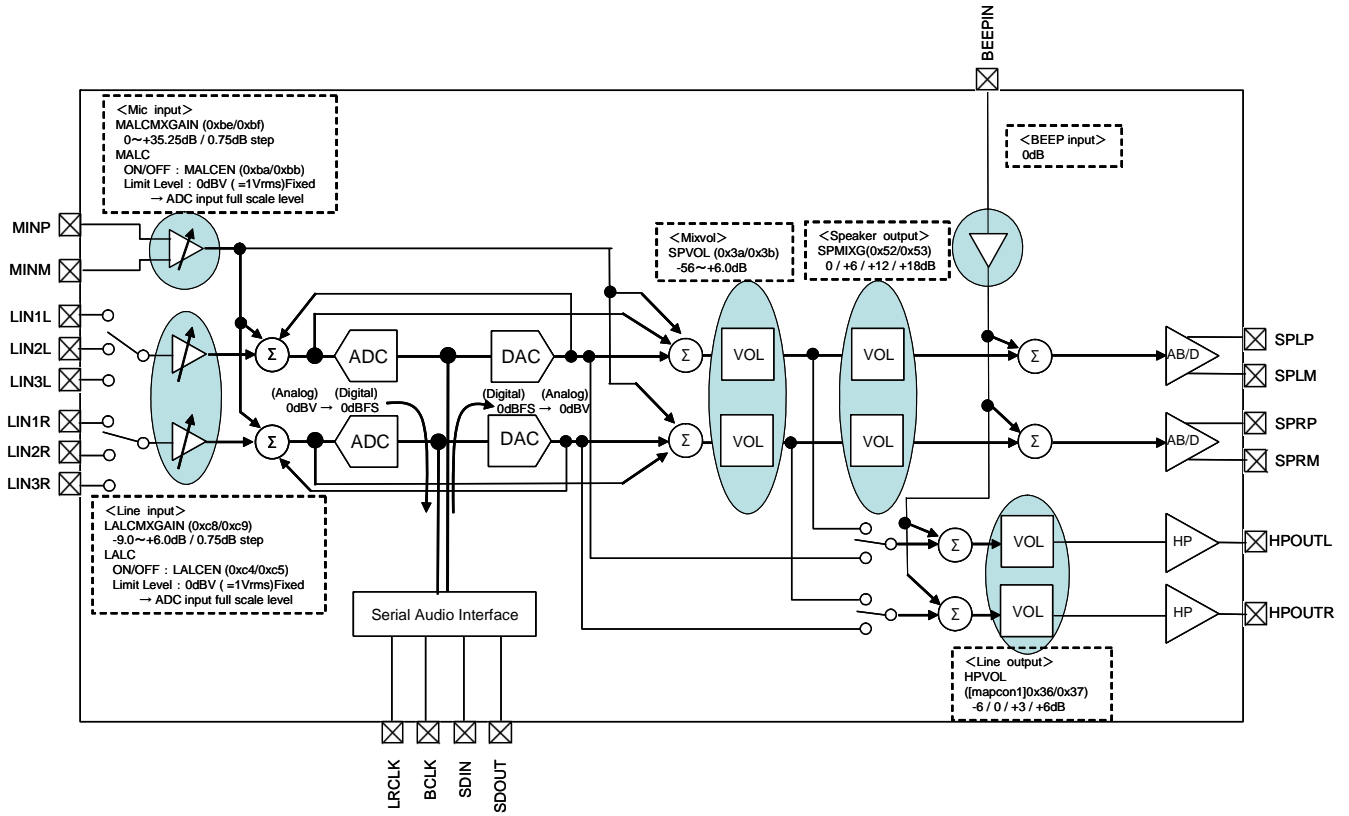


Figure 23.

## CODEC(ADC / DAC)のSAI 入出力制御に関する状態遷移

CODEC(ADC / DAC) のSAI 入出力制御に関する状態遷移図を下記に示します。

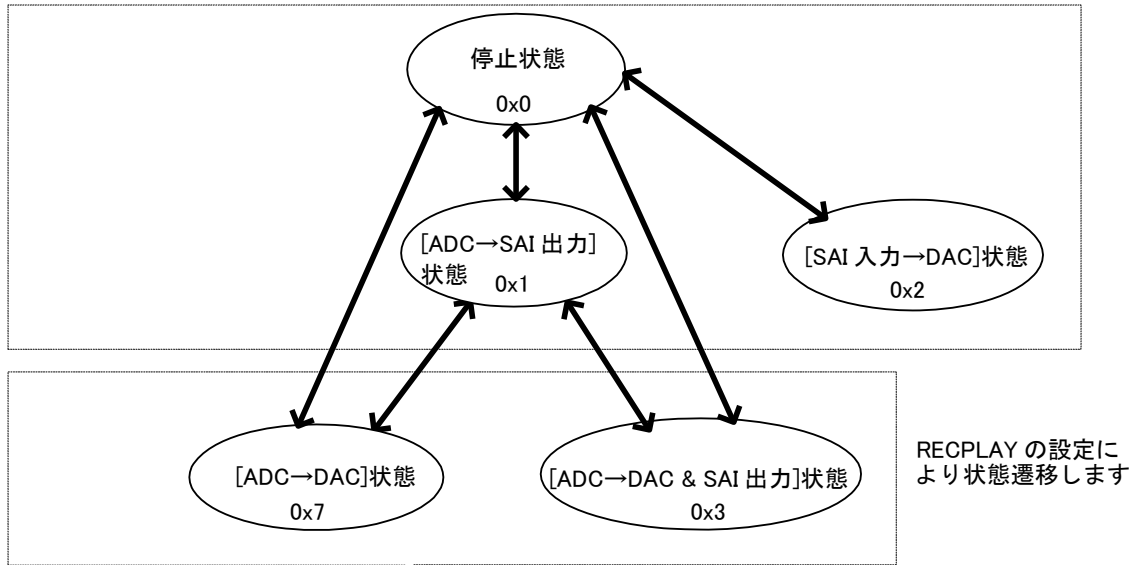


Figure 24.

- (1) 停止 [ADC 及び DAC の SAI 入出力動作 STOP] 状態 (RECPLAY=0x0)  
ADC/DAC 経路、SAI 入出力のいずれも停止している状態です。
- (2) [ADC→SAI 出力] 状態 (RECPLAY =0x1)  
アナログ入力経路 (マイク/ライン入力) の信号を AD 変換し、SAI より I2S 出力することができます。
- (3) [SAI 入力→DAC] 状態 (RECPLAY =0x2)  
SAI より I2S デジタル信号入力し、これを DA 変換してスピーカ・ヘッドフォンアンプの経路へ出力します。
- (4) [ADC→DAC] 状態 (RECPLAY =0x7)  
アナログ入力経路 (マイク/ライン入力) の信号を AD 変換し、この変換データをそのまま DAC へ入力、DA 変換によりスピーカ・ヘッドフォンアンプの経路へ出力します。
- (5) [ADC→DAC & SAI 出力] 状態 (RECPLAY =0x3)  
アナログ入力経路 (マイク/ライン入力) の信号を AD 変換し SAI より I2S 出力。同時に I2S デジタル信号入力し、これを DA 変換してスピーカ・ヘッドフォンアンプの経路へ出力することができます。  
LINDACENbit を有効として、SDIN→SDOUT の系を使う場合はこの状態に設定します。

注：経路(4)、(5)使用時は内蔵 DAC 出力を LINMIX アンプへ入力しない設定でご使用ください。(LINDACEN レジスタを“0”に設定する)

シグナルフロー

ADC 経路使用時 デジタル信号処理シグナルフロー

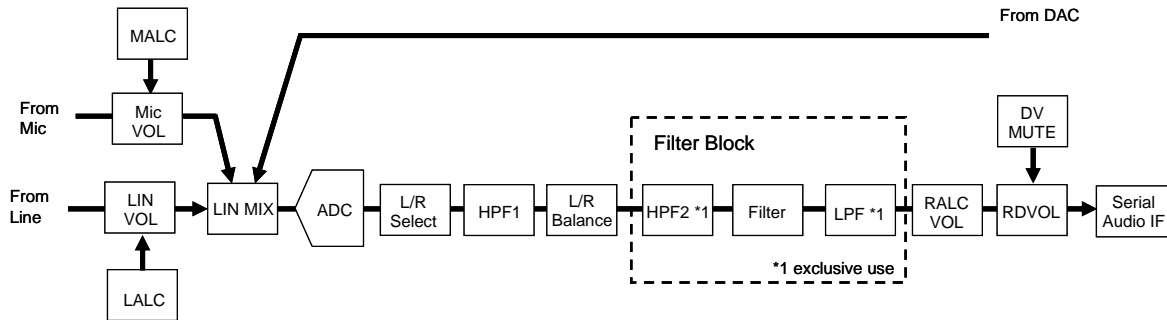


Figure 25.

Name	Function	Related Register	Setting
Mic ALC MICVOL	MIC 用 ALC と Volume です。	MIC ALC Control MIC ALC Max Gain Analog Input Power Management	0dB~ +35.25dB, 0.75dB step
LineIN ALC LINVOL	LINE 用 ALC と Volume です。	Line ALC Control Line ALC Max Gain Analog Input Power Management	-15~ +0dB, 1dB step
LIN MIX	MIC, LINE 入力、及び DAC 出力信号を合成するミキサです。	Line In Control Analog Path Control	MIC, LINE, DAC 出力からの選択、またはミキシング
ADC	24bit AD Converter	Analog Input Power Management	ADC の Enable/Disable
L/R Select	オーディオバスの Lch / Rch に、ADC の Lch or Rch 出力を選択し接続します。	[ I2SL / I2SR / MONOREC ] Record L/R Balance Volume Control	-6.0dB~6.0dB(0.1step)
HPF1	DC 成分カットするための HPF です。	DSP Filter Function Enable	HPF の Enable/Disable
L/R Balance	Lch/Rch のバランスを調節する Volume です。	[ RBVOLL / RBVOLR ] Record L/R Balance Volume Control	-6.0dB~6.0dB(0.1step)
HPF2	ADC 経路用の HPF です。	DSP Filter Function Enable High Pass Filter2 Cut-off Control	HPF の Enable/Disable フィルタ次数の選択 カットオフ周波数設定
Filter	各音響モードの処理をします。	Sound Effect Mode DSP Filter Function Enable EQ Band N Gain Setting Programmable EQ Band N Coefficient-a0/1	音響モード設定 各フィルタの Enable/Disable 各フィルタの Gain 設定 各フィルタ、音響処理の特性設定
LPF	ADC 経路用のプログラマブル LPF です。	Rec Programmable LPF Setting Rec Programmable LPF Cutoff Coef	録音用 LPF の Enable/Disable 録音用 LPF の次数設定 録音用 LPF の特性設定
RALCVOL	ADC 経路用の Digital Boost Volume です。	Recording Digital Boost Volume Register	-12.000d~+35.625dB(0.375Step)
RDVOL	ADC 経路用の Digital アッテネータとフェーダです。	Record Digital Attenuator Control Digital Volume Control Function Enable Mixer & Volume Control	-71.5dB~0dB (0.5dBstep) フェーダ ON/OFF 設定 フェード時間設定

\*Filter Block は ADC 経路か DAC 経路のどちらか一方にしか使用できません。  
 例えば、DAC 経路に Filter Block を接続した場合、ADC 経路では何も処理を行いません。  
 レジスタ設定の詳細は Sound Effect Mode レジスタ[SEMODE]の項を参照してください。



DAC 経路使用時 デジタル信号処理シグナル・フロー

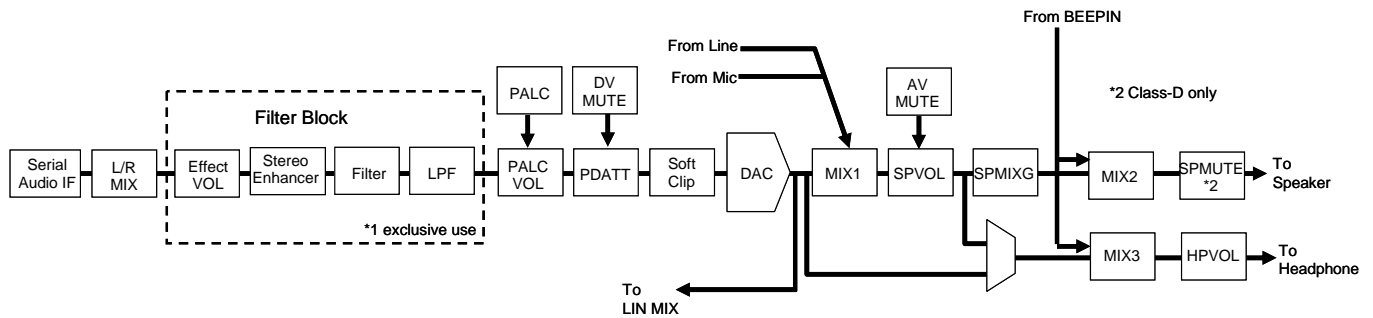


Figure 26.

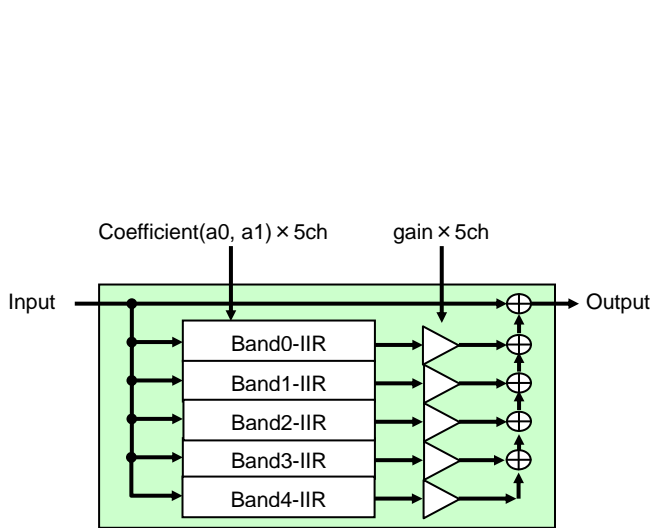
Name	Function	Related Register	Setting
L/R MIX	SAI から入力された Lch/Rch データの Mixer です。	Mixer & Volume Control	Mixer setting
Effect Vol	音響処理を行う前のデジタル Volume です。	Playback Effect Volume	-71.5dB~0dB (0.5dBstep)
Stereo Enhancer	ステレオ信号のステレオ感を増幅させます。	Stereo Gain	3D 強調の効果量
Filter	各音響モードの処理をします。	Sound Effect Mode DSP Filter Function Enable EQ Band N Gain Setting Programmable EQ Band N Coefficient-a0/1	音響モード設定 各フィルタの Enable/Disable 各フィルタの Gain 設定 各フィルタ、音響処理の特性設定
LPF	DAC 経路用のプログラマブル LPF です。	Play Programmable LPF Setting Play Programmable LPF Cutoff Coef	再生用の LPF の Enable/Disable 再生用の LPF の次数設定 再生用の LPF の特性設定
PALC PALCVOL	デジタル Playback ALC と Volume です。	Playback ALC Attack Time Control Playback ALC Decay Time Control Playback Target Level Control Playback ALC Min Gain Control Playback ALC Volume Control Playback ALC Zerocross Timeout Playback Limiter Fast Release Setting	ALC 動作設定
PDATT	DAC 経路の Digital Attenuator です。Volume 設定変更時の noise 軽減のために Fader を使用することができます。	Playback Digital Attenuator Control Digital Volume Control Function Enable Mixer & Volume Control	Volume setting -71.5dB~0.5dB (0.5dBstep) Fader ON/OFF 設定 Fade 時間設定
Soft Clip	出力の振幅を抑制するソフトクリップ・リミッタです。	Soft Clip Enable Soft Clip Threshold Soft Clip Gain	ソフトクリップ Enable/Disable 閾値、ゲインの設定
DAC	24bit DA Converter	DAC Power Management	DAC の Enable/Disable
MIX1	DA 出力とアナログ入力を合成するミキサです。	Speaker Amplifier Output Control 2	ミキシングゲインの選択 ミキシング経路の選択
SPVOL	DAC 経路の Analog Volume です。	Speaker Amplifier Volume Control Amplifier Volume Fader Control Amplifier Volume Control Function Enable	Volume setting -54~+6dB Fader ON/OFF 設定 Fade 時間設定
SPMIXG	スピーカ出力の Volume です。	Speaker Amplifier Output Control 1	ゲインの選択
MIX2	スピーカ出力音と BEEPIN 入力音のミキサです。	SPAMP input Control BEEPIN Amp Control	ミキシング経路の選択
MIX3	ヘッドフォン出力音と BEEPIN 入力音のミキサです。	Analog Path Control BEEPIN Amp Control	ミキシング経路の選択
HPVOL	ヘッドフォン出力の Volume です。	Headphone output Gain Setting	ゲインの選択

\*Filter Block は ADC 経路か DAC 経路のどちらか一方にしか使用できません。  
例えば、ADC 経路に Filter Block を接続した場合、DAC 経路では何も処理を行いません。  
レジスタ設定の詳細は Sound Effect Mode レジスタの項を参照してください。

Filter (5band-Programmable IIR Filter)

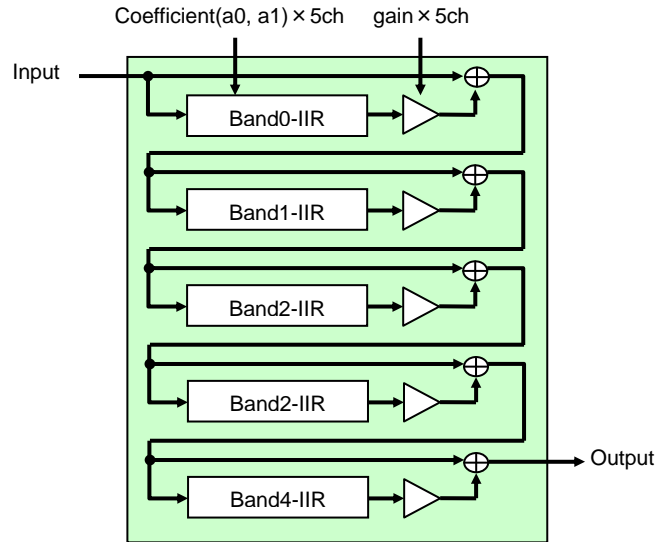
2 次の IIR 型 Band Pass Filter で構成された 5 バンドのイコライザです。ADC/DAC 経路とも、MUTE, -71.5dB ~ +12.0dB(0.5dB step)の Volume 制御ができます。レジスタ設定により、並列(EQ)・直列(Notch)接続を選択することが可能です。

下記に、並列接続時、及び直列接続時のブロック図を示します。



Parallel connection

Figure 27.



Serial connection

Figure 28.

本イコライザはフィルタ係数がプログラマブルです。中心周波数とバンド幅より Programmable Equalizer Band0~4 Coefficient-a0 Control レジスタ、Programmable Equalizer Band0~4 Coefficient-a1 CONTROL レジスタに設定する値を決定します。設定は下式に従います。

$$a0 = (1 - \tan\pi f_b / fs) / (1 + \tan\pi f_b / fs)$$

$$a1 = -2\cos 2\pi f_0 / fs / (1 + \tan\pi f_b / fs)$$

- f0 : バンドの中心周波数[Hz]
- fb : -3dB バンド幅[Hz]
- fs : サンプリング周波数[Hz]

実際のレジスタ設定値には、上式の結果に  $2^{14}$  を掛け、小数点以下を四捨五入した整数値を用います。

・フィルタ機能の ON/OFF

DSP Filter Function Enable レジスタの設定により、各フィルタ機能を ON/OFF できます。

使用するフィルタ、及びイコライザについては、基本的には RECPLAY=0x0 の状態にて ON/OFF の設定を行ってください。ADC/DAC 経路使用中(RECPLAY≠0x0)に ON/OFF を切り替えた場合には、ポップノイズが発生する可能性があります。

ステレオ感強調

アプリケーションノート“StereoEnhancerApplicationNote”をご参照ください。

## PALC (DAC 経路用 ALC)

## 機能概要

PALC は、-12.000dB から+35.625dB でゲイン調整をすることができる DAC 経路の ALC です。プラスゲインとして使用することで小さい音量をターゲットレベルまで増幅してダイナミックレンジを圧縮して聞き取りやすい音にすることができます。またマイナスゲインとして使用することでスピーカ破損を防ぐリミッタ機能として使用することができます。また、ファストリリース機能は、突発音が入力されたことを検出し、それにより発生する音量の沈み込みからゲインを急速に復帰させることで自然な音で再生することができる機能です。

## 動作概要

ALC の出力信号レベルが PALCLVL で設定したレベルより小さい時ゲインを大きくし、PALCLVL より大きい時はゲインを小さくします。このとき、ALC のゲインは PALCVOL を最大レベルとし、PALCMINGAIN を最小レベルとします。PALCATK は設定された時間単位で ALC のゲインを 1 ステップ小さくする時の時間で、PALCDCY は ALC のゲインを 1 ステップ大きくする時の時間です。これらの動作を図で表すと以下ようになります。

\*注意：ALC が無効な時、PALCVOL で設定したゲインで増幅された信号が出力されます。

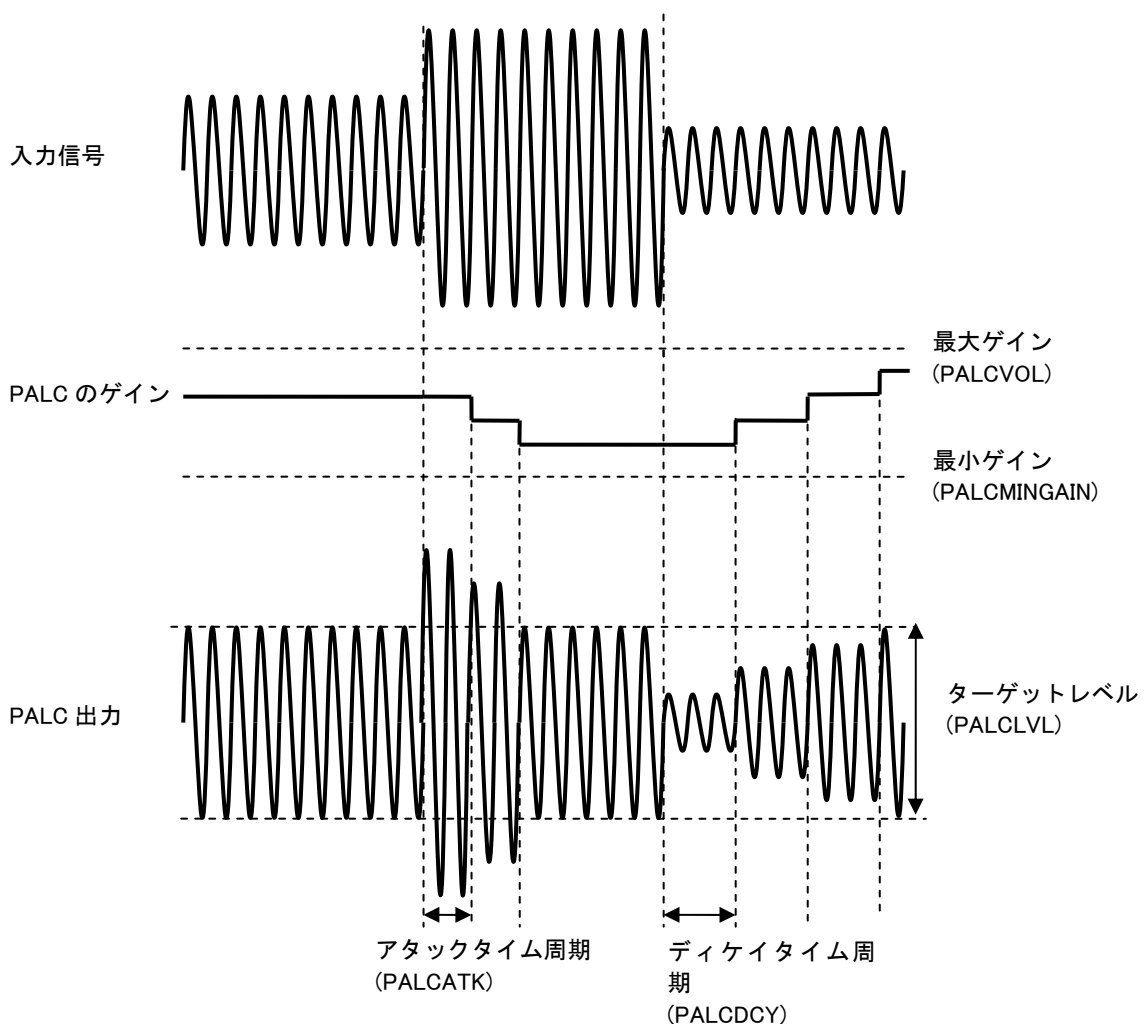


Figure 29.

また、ALCにはピークリミッタ機能が搭載されています。ピークリミッタ機能とは過大入力発生時に Attack Time を短くして波形のクリップを防止する機能です。判定の閾値はフルスケールの 87.5%(-1.16dBFS)固定であり、この閾値を超えた場合、通常の音量制御動作に優先して本機能が働きます。本機能が働いているときの Attack Time は最小ステップの 1/fs となります。また、ピークリミッタ機能は OFF にすることができません。

以上の ALC 動作をレベルダイヤで示すと下図の通りになります。

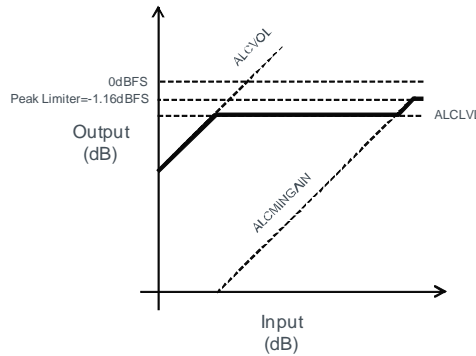


Figure 30. ALC のレベルダイヤ

Zero Cross

Zero Cross はオーディオ信号が波形中心を交差した時に ALC がゲインを変更する機能です。そして PALCZCTM により設定された時間が経過しても信号が波形中心を通過しなかった場合、強制的にゲインを変更します。(図右側)

ZCEN を無効にした場合も同様に、ゲインの変更は設定された時間になったら即座に行われます。この時、ゲイン変化に伴うノイズが聞こえる可能性がありますので注意してください。

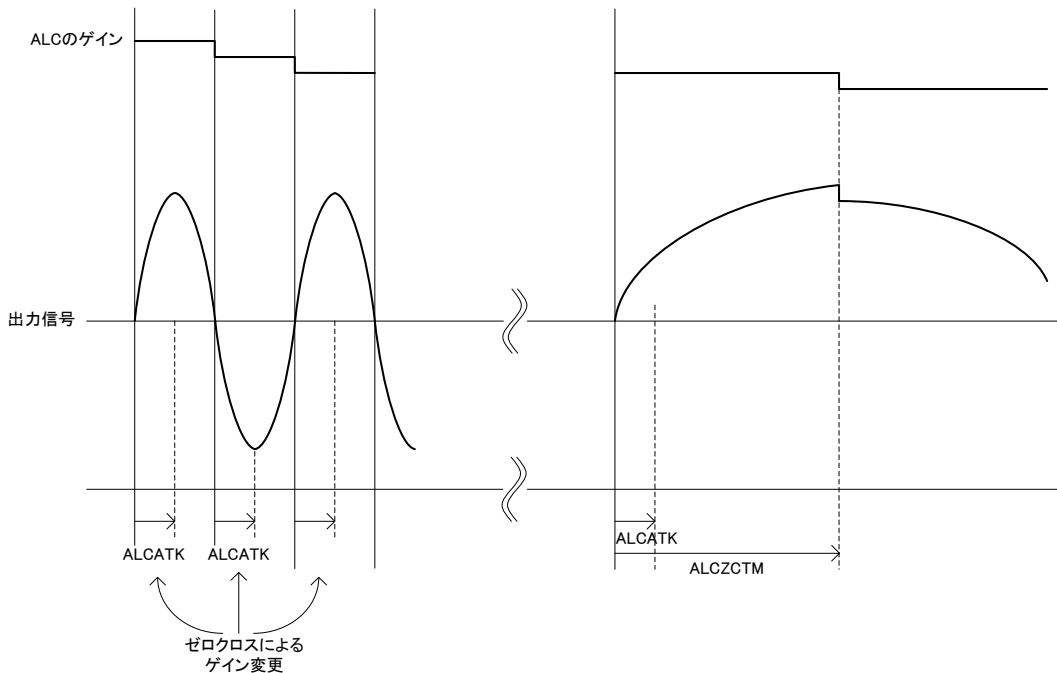


Figure 31.

Fast Release

ALC を用いた DAC 経路使用時にターゲットレベルを超えるような突発音が入力された場合、通常のディケイ動作では音量復帰されるまでの期間が長いために音量の沈み込みが起こります。ファストリリースは突発音を検出し、通常音量への復帰を早めることで自然な出力レベルを保つ機能です。

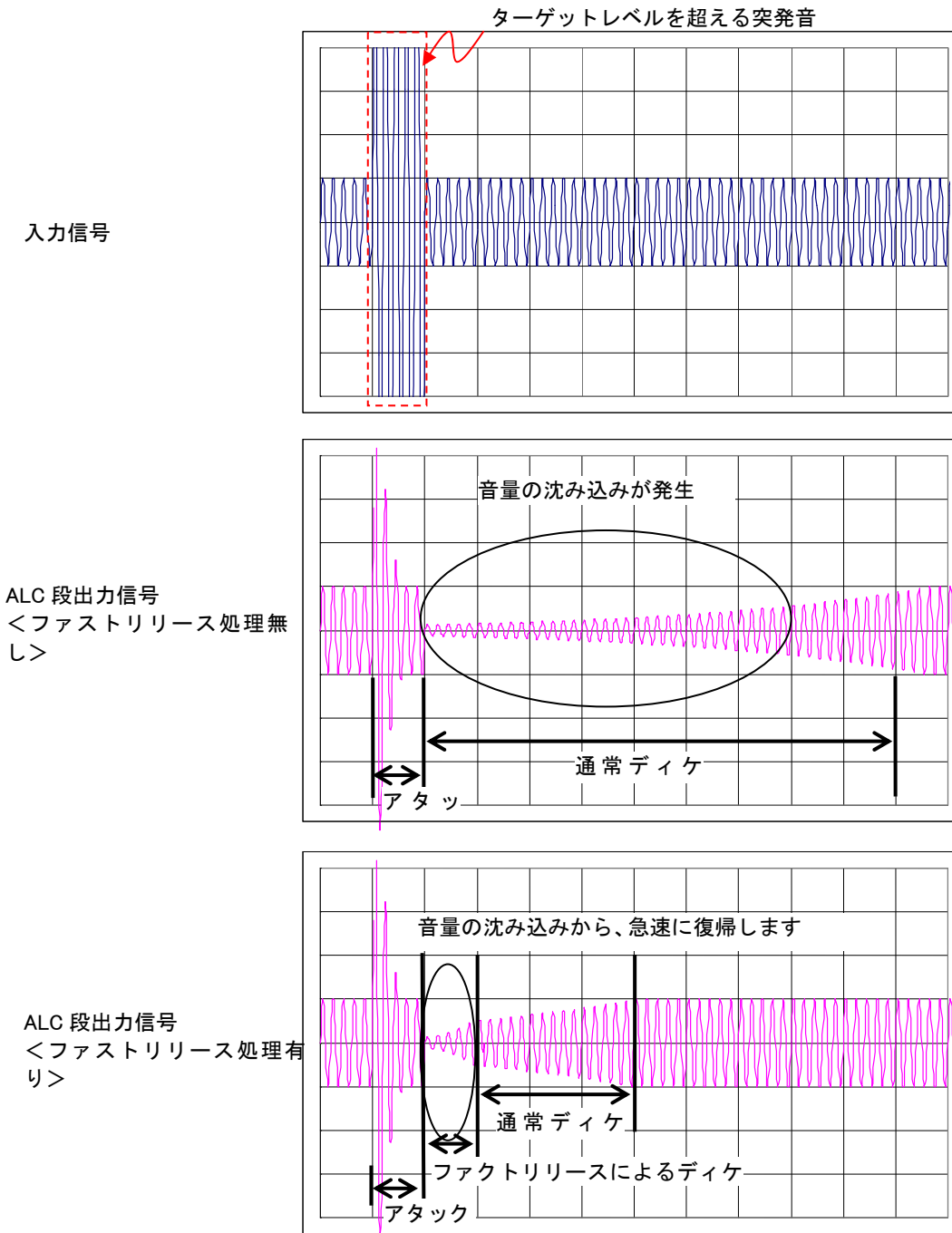


Figure 32. ALC の突発音応答 ファストリリース処理の有無比較

PALCFREN はファストリリース機能の ON/OFF を設定するレジスタです。ファストリリース機能が有効な場合、突発音によって ALC のゲインが PALCFRTH のレジスタで設定したレベル以上変化するとファストリリース機能が発動し、一定のレベルまで PALCFRSP に設定された Decay Time でゲインを戻します。

## MALC (マイク入力用 ALC) / LALC(ライン入力用 ALC)

## 機能概要

MALC は、0dB から+35.25dB にゲイン調整をすることができるマイク入力専用の ALC、LALC は、-15dB から 0dB にゲイン調整をすることができるライン入力専用の ALC です。

## 動作概要

MALC、LALC とともにターゲットレベルは ADC フルスケールに固定されており、ALC の出力信号がターゲットレベルより小さいときゲインを大きくし、ターゲットレベルより大きい時はゲインを小さくします。このときゲインの最大値は MALCMXGAIN / LALCMXGAIN、最小値は MALC は 0dB、LALC では-15dB とします。MALCATK / LALCATK によりゲインを 1 ステップ小さくする時間、MALCDCY / LALCDCY でゲインを 1 ステップ大きくする時間を設定します。これらの動作を図で示すと以下ようになります。

\*注意 : MALC / LALC を無効にした場合、MALCMXGAIN / LALCMXGAIN で設定したゲインで増幅された信号が出力されます。

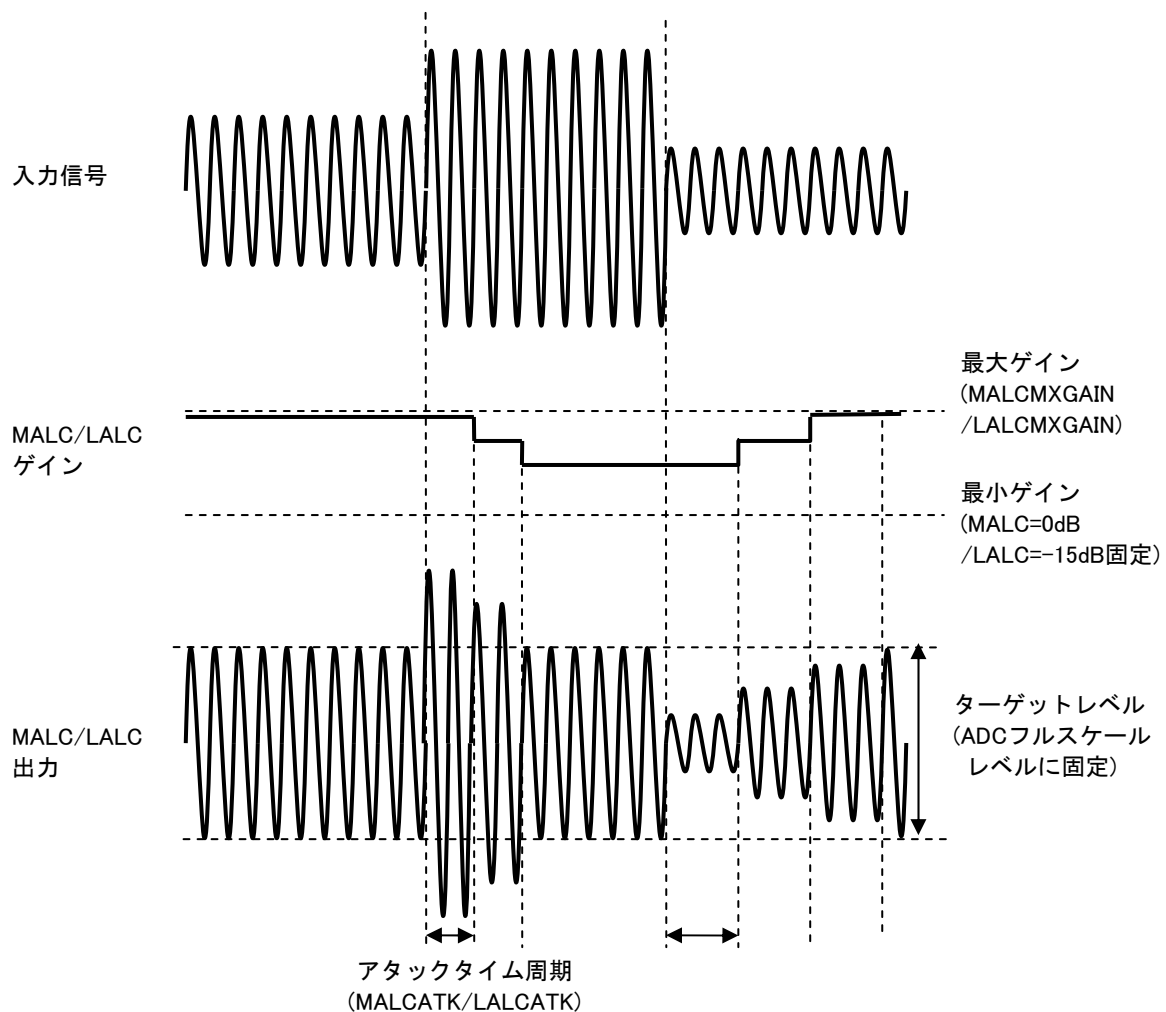


Figure 33.

## Zero Cross

MALC、LALC とともに Zero Cross 機能を搭載しておりオーディオ信号が波形中心を交差した時にゲインを変更します。Zero Cross が発生しない場合は一定時間(約 2.7ms, Fs=48kHz 時)が経過した後、強制的にゲインを変更します。

## クリップリダクション

クリップリダクションは過大入力発生時に Attack Time を短くして波形のクリップを防止する機能です。本機能を有効にすると、Attack 発生時の Attack Time をレジスタ設定(MALCATK/LALCATK)に関係なく 2 サンプル時間(2fs)に固定し Zero Cross を待たず即座にゲインを下げます。ピークリミッタ機能との差異は、判定の閾値が ADC フルスケールレベルであること、Attack Time が 2fs であることです。クリップリダクションはレジスタ設定により ON/OFF することが可能です。

## Soft Clip リミッタ

ソフトクリップは、ALC 機能が追従できないパルス状の信号により消費される電流を抑制することができる機能です。SoftClip Threshold レジスタで設定した振幅を超える入力に対して SoftClip Gain レジスタで設定したゲインを適用するリミッタ機能を備えています。

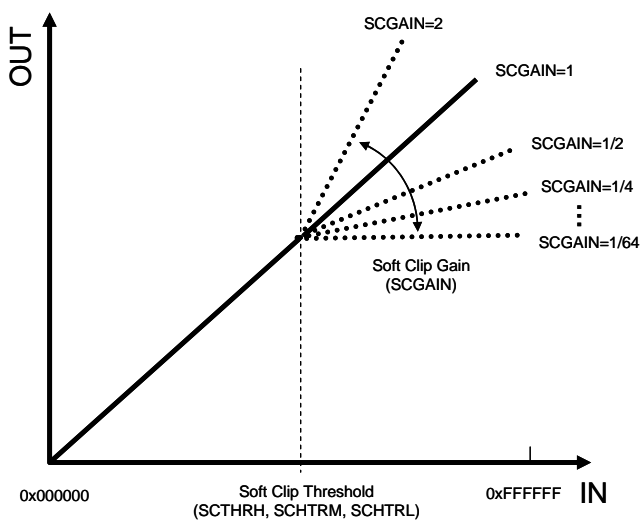


Figure 34.

アナログブロック

アナログ基準電圧(VMID)生成回路

VMID はアナログ回路の基準電圧として使用されるため、各アナログ入出力経路、ADC 経路もしくは DAC 経路使用時のいずれの場合にもパワーアップさせる必要があります。パワーアップ時には、VMID 端子に外付けするコンデンサをチャージするため、コンデンサの容量に比例した待ち時間が必要です。チャージが不十分な状態で、各経路の信号入出力を開始した場合、ノイズが発生する可能性があります。

起動・停止シーケンスの推奨は以下に示します。VMIDCON bit の機能は、Analog Reference Power Management レジスタを参照ください。

VMID Power UP/DOWN Sequence (External capacitor 1uF)

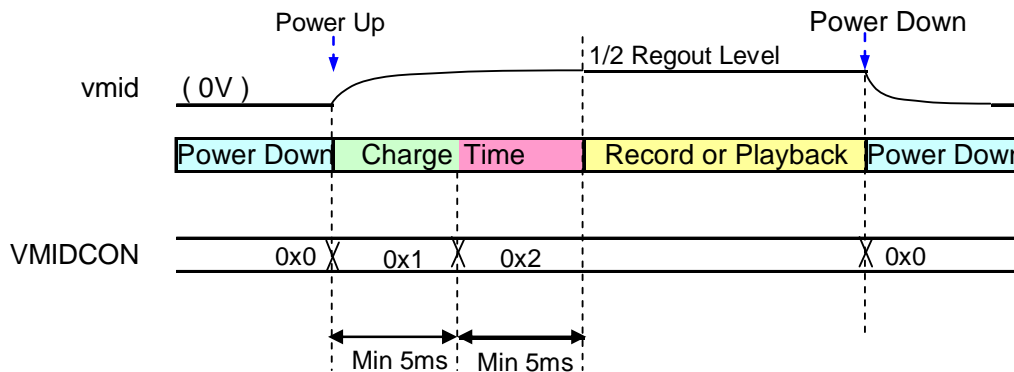


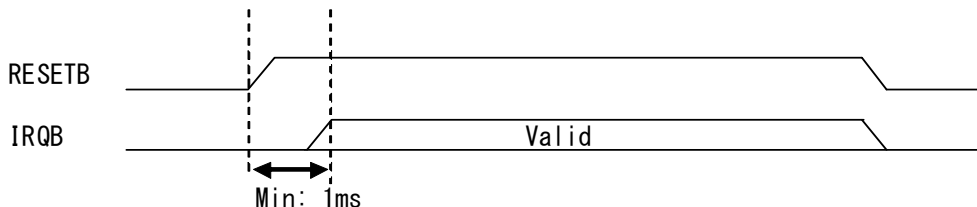
Figure 35.

割り込み出力機能

本 LSI の保護機能が動作した際、IRQB 端子の出力により保護機能の動作状況をモニタすることができます。モニタする保護機能は、サーマルシャットダウン、スピーカ出力端子のショート保護機能 Lch と Rch があり、それぞれモニタの ON/OFF の設定が可能です。(初期設定ではすべて OFF) また、IRQB 端子の H/L 極性も選択できます。

また、割り込み状態を検出すると、割り込み状況を保持しつづけます。クリアするには、ステータスレジスタに“1”をライトしてクリアするか、レジスタリセットする必要があります。

IRQB 端子は、RESETB が“L”期間(RESET 状態)の場合、“L”を出力します。この期間は、MASK 処理を行ってください。



割り込みタイミング

Figure 36.



## レジスタ機能説明

## レジスタマップ

注：“-”は予約ビットです。リードすると“0”が読み出されます。ライト時には必ず“0”にしてください。“1”をライトすると動作は保証できません。また、以下のマップに記された INDEX(アドレス)以外へのライトは行わないでください。ライトした場合の動作は保証できません。

表中にて(\*)で示されているビットは、レジスタ書き込み値を動作状態への反映させる際にクロックが不要なビットです。

## 本 IC 起動後のレジスタ初期設定について

レジスタアクセス開始後、起動時に以下の手順にて、レジスタアクセスを行ってください。

アドレス (HEX)	Read/Write	Write データ (HEX)	説明
1c	Write	01	MAPCON 1
39	Write	00	ADC 特性調整用
3b	Write	01	ADC / Mic 特性調整用
3d	Write	02	ADC 特性調整用
1c	Write	00	MAPCON 0

以下のレジスタは Register Map Control レジスタ (0x1c/0x1d) の MAPCON=0x0 のときにアクセス可能です。

INDEX		b07	b06	b05	b04	b03	b02	b01	b00	Register Name	Note
R	W	(Initial)									
0x00	0x01	-	-	-	-	SR				Sampling Rate Setting	
		-	-	-	-	0	0	0	0		
0x06	0x07	-	STEGAIN							Stereo Gain	
		-	0	1	0	0	0	0	0		
0x08	0x09	IRQPOLE	-	-	-	-	SHLIREN	SHRIREN	THRIREN	IRQ control	
		0	-	-	-	-	0	0	0		
0x0a	0x0b	-	-	-	-	-	SHLSTS	SHRSTS	THRSTS	IRQ Status	
		-	-	-	-	-	0	0	0		
0x0c	0x0d	-	-	-	-	MCLKOE	PLLOE	PLLEN	MCLKEN	Clock Enable	
		-	-	-	-	0	0	0	0		
0x0e	0x0f	-	-	-	PLLISEL		CLKSEL			Clock Input/Output Control	
		-	-	-	0	0	0	0	0		
0x10	0x11	-	-	-	-	-	-	-	SOFLTRST	Software Reset	
		-	-	-	-	-	-	-	0		
0x12	0x13	-	-	-	-	-	REPLAY			Record/Playback Running Control	
		-	-	-	-	-	0	0	0		
0x14	0x15	-	-	MCTIME						Mic Input Charging Time	
		-	-	0	0	0	0	0	0		
0x1c	0x1d	-	-	-	-	-	-	-	MAPCON	RegisterMAP Control	
		-	-	-	-	-	-	-	0		
0x20	0x21	LOREN	LOLEN	LOSEL	-	-	MICBEN	VMIDCON		Analog Reference Power Management	
		0	0	0	-	-	0	0	0		
0x22	0x23	-	-	-	-	PGAEN	ADCREN	ADCLEN	LIEN	Analog Input Power Management	
		-	-	-	-	0	0	0	0		
0x24	0x25	-	-	-	-	-	DACREN	DACLEN	-	DAC Power Management	
		-	-	-	-	-	0	0	-		
0x26	0x27	-	-	-	-	-	SPDEN	SPABEN	SPMVEN	Speaker Amplifier Power Management	
		-	-	-	-	-	0	0	0		
0x2a	0x2b	TEST2	-	BP2SPEN	MV2SPEN	TEST1	TEST0	AMA		AM avoidance Control / SPAMP input Control	
		0	-	0	1	1	1	1	1		
0x2e	0x2f	-	-	-	-	-	-	ZCEN	-	Zero Cross Comparator Power Management	
		-	-	-	-	-	-	0	-		
0x30	0x31	-	-	-	BPINCON		TEST3	MICBCON18S		BEEPIN Amp Control / MICBIAS Voltage Control	
		-	-	-	0	0	1	0	0		
0x32	0x33	-	-	MXGAIN	LINMXEN	MICMXEN	LIN3EN	LIN2EN	LIN1EN	Line-In Control	
		-	-	0	1	0	0	0	1		
0x3a	0x3b	-	-	SPVOL						Speaker Amplifier Volume Control	
		-	-	1	1	0	0	1	1		
0x3e	0x3f	PDATT								Playback Digital Attenuator Control	
		1	1	1	1	1	1	1	1		
0x48	0x49	-	-	-	-	-	-	AVMUTE	AVFADE	Amplifier Volume Control Function Enable	
		-	-	-	-	-	-	0	0		
0x4a	0x4b	-	-	-	-	-	-	AVFCON		Amplifier Volume Fader Control	
		-	-	-	-	-	-	0	0		
0x4c	0x4d	PCMFO24		FMT0	MSBO	ISSCKO	AFOO	DLYO	WSLO	SAI Transmitter Control	
		1	1	0	0	0	0	0	0		
0x4e	0x4f	PCMF124		FMTI	MSBI	ISSCKI	AFOI	DLYI	WSLI	SAI Receiver Control	
		1	1	0	0	0	0	0	0		
0x50	0x51	-	-	-	BSWP	-	-	-	MST	SAI Mode select	
		-	-	-	0	-	-	-	0		
0x52	0x53	-	-	-	-	-	-	SPMIXG		Speaker Amplifier output Control1	
		-	-	-	-	-	-	0	0		
0x54	0x55	-	-	-	-	LINOE	MICOE	DACOE	LOMIXG	Speaker Amplifier / Lineout Amplifier output Control2	
		-	-	-	-	0	0	0	0		
0x58	0x59	-	-	OSRSEL		-	-	-	-	DAC Clock Setting	
		-	-	0	0	-	-	-	-		
0x5a	0x5b	-	-	-	-	-	-	MINDIF	-	Mic Interface Control	
		-	-	-	-	-	-	1	-		
0x5c	0x5d	SEMODE	-	-	-	-	SEMODE			Sound Effect Mode	
		0	-	-	-	-	0	0	0		
0x5e	0x5f	-	-	-	-	-	-	I2SR	I2SL	Record Path select	
		-	-	-	-	-	-	0	0		
0x60	0x61	RDVOL								Record Digital Attenuator Control	
		1	1	1	1	1	1	1	1		
0x62	0x63	Effect VOL								Playback Effect Volume Control	
		1	1	1	1	1	1	1	1		

INDEX		b07	b06	b05	b04	b03	b02	b01	b00	Register Name	Note		
R	W	(Initial)											
0x66	0x67	HPF2OD	EQ4EN	EQ3EN	EQ2EN	EQ1EN	EQ0EN	HPF2EN	HPF1EN	DSP Filter Function Enable			
		0	0	0	0	0	0	0	1				
0x68	0x69	-	-	-	DVMUTE	DVFADE	-	-	PALGEN	Digital Volume Control Function Enable			
		-	-	-	0	0	-	-	0				
0x6a	0x6b	DVFCON			RMCON		LMCON			Mixer & Volume Control			
		0	0	0	0	0	0	0	0				
0x74	0x75	EQGAIN0									EQ Band0 Gain Setting		
		1	1	1	0	0	1	1	1				
0x76	0x77	EQGAIN1									EQ Band1 Gain Setting		
		1	1	1	0	0	1	1	1				
0x78	0x79	EQGAIN2									EQ Band2 Gain Setting		
		1	1	1	0	0	1	1	1				
0x7a	0x7b	EQGAIN3									EQ Band3 Gain Setting		
		1	1	1	0	0	1	1	1				
0x7c	0x7d	EQGAIN4									EQ Band4 Gain Setting		
		1	1	1	0	0	1	1	1				
0x7e	0x7f	-	-	-	-	-	HPF2CUT			High Pass Filter2 Cut-off Control			
		-	-	-	-	-	0	0	0				
0x80	0x81	EQQA0L									Programable Equalizer Band0 Coefficient-a0 (L)		
		0	0	0	0	0	0	0	0				
0x82	0x83	EQQA0H									Programable Equalizer Band0 Coefficient-a0 (H)		
		0	0	0	0	0	0	0	0				
0x84	0x85	EQQA1L									Programable Equalizer Band0 Coefficient-a1 (L)		
		0	0	0	0	0	0	0	0				
0x86	0x87	EQQA1H									Programable Equalizer Band0 Coefficient-a1 (H)		
		0	0	0	0	0	0	0	0				
0x88	0x89	EQ1A0L									Programable Equalizer Band1 Coefficient-a0 (L)		
		0	0	0	0	0	0	0	0				
0x8a	0x8b	EQ1A0H									Programable Equalizer Band1 Coefficient-a0 (H)		
		0	0	0	0	0	0	0	0				
0x8c	0x8d	EQ1A1L									Programable Equalizer Band1 Coefficient-a1 (L)		
		0	0	0	0	0	0	0	0				
0x8e	0x8f	EQ1A1H									Programable Equalizer Band1 Coefficient-a1 (H)		
		0	0	0	0	0	0	0	0				
0x90	0x91	EQ2A0L									Programable Equalizer Band2 Coefficient-a0 (L)		
		0	0	0	0	0	0	0	0				
0x92	0x93	EQ2A0H									Programable Equalizer Band2 Coefficient-a0 (H)		
		0	0	0	0	0	0	0	0				
0x94	0x95	EQ2A1L									Programable Equalizer Band2 Coefficient-a1 (L)		
		0	0	0	0	0	0	0	0				
0x96	0x97	EQ2A1H									Programable Equalizer Band2 Coefficient-a1 (H)		
		0	0	0	0	0	0	0	0				
0x98	0x99	EQ3A0L									Programable Equalizer Band3 Coefficient-a0 (L)		
		0	0	0	0	0	0	0	0				
0x9a	0x9b	EQ3A0H									Programable Equalizer Band3 Coefficient-a0 (H)		
		0	0	0	0	0	0	0	0				
0x9c	0x9d	EQ3A1L									Programable Equalizer Band3 Coefficient-a1 (L)		
		0	0	0	0	0	0	0	0				
0x9e	0x9f	EQ3A1H									Programable Equalizer Band3 Coefficient-a1 (H)		
		0	0	0	0	0	0	0	0				
0xa0	0xa1	EQ4A0L									Programable Equalizer Band4 Coefficient-a0 (L)		
		0	0	0	0	0	0	0	0				
0xa2	0xa3	EQ4A0H									Programable Equalizer Band4 Coefficient-a0 (H)		
		0	0	0	0	0	0	0	0				
0xa4	0xa5	EQ4A1L									Programable Equalizer Band4 Coefficient-a1 (L)		
		0	0	0	0	0	0	0	0				
0xa6	0xa7	EQ4A1H									Programable Equalizer Band4 Coefficient-a1 (H)		
		0	0	0	0	0	0	0	0				
0xac	0xad	-	RALCVOL									Record ALC Volume Control	
		-	0	1	0	0	0	0	0				
0xae	0xaf	-	-	-	-	-	-	-	RPPL	RecPlay Play Limiter Enable			
		-	-	-	-	-	-	-	0				
0xb0	0xb1	-	-	-	-	-	-	-	SCEN	Soft Clip Enable			
		-	-	-	-	-	-	-	0				
0xb2	0xb3	-	SCTHRH									Soft Clip Threshold H	
		-	0	0	0	0	0	0	0				

INDEX		b07	b06	b05	b04	b03	b02	b01	b00	Register Name	Note	
R	W	(Initial)										
0xb4	0xb5	SCTHRM								Soft Clip Threshold M		
		0	0	0	0	0	0	0	0			
0xb6	0xb7	SCTHRL								Soft Clip Threshold L		
		0	0	0	0	0	0	0	0			
0xb8	0xb9	-	-	-	-	-	SCGAIN				Soft Clip Gain	
		-	-	-	-	-	0	0	1			
0xba	0xbb	-	-	-	-	-	-	MCLEN	MALCEN	MIC ALC Control		
		-	-	-	-	-	-	1	1			
0xbc	0xbd	-	MALCDCY			-	MALCATK			MIC ALC Attack /Decay Time		
		-	1	0	0	-	1	0	0			
0xbe	0xbf	-	-	MALCMXGAIN						MIC ALC Max Gain		
		-	-	0	1	0	0	0	0			
0xc4	0xc5	-	-	-	-	-	-	LCLEN	LALCEN	LINE ALC Control		
		-	-	-	-	-	-	0	0			
0xc6	0xc7	-	LALCDCY			-	LALCATK			LINE ALC Attack /Decay Time		
		-	1	1	1	-	1	0	0			
0xc8	0xc9	-	-	-	-	LALCMXGAIN					LINE ALC Max Gain	
		-	-	-	-	1	1	1	1			
0xdc	0xdd	-	-	-	-	PALCATK					Playback ALC Attack Time Control	note 1
		-	-	-	-	0	1	0	0			
0xde	0xdf	-	-	-	-	PALCDCY					Playback ALC Decay Time Control	note 1
		-	-	-	-	0	1	0	1			
0xe0	0xe1	-	-	-	PALCLVL						Playback ALC Target Level Control	note 1
		-	-	-	1	1	0	1	1			
0xe2	0xe3	-	-	-	-	-	PALCMINGAIN				Playback ALC Min Gain Control	note 1
		-	-	-	-	-	0	0	0			
0xe4	0xe5	-	PALCVOL						Playback ALC Volume Control	note 1		
		-	0	1	0	0	0	0	0			
0xe6	0xe7	-	-	-	-	-	PALCZCTM				Playback ALC ZeroCross TimeOut	note 1
		-	-	-	-	-	-	0	0			
0xea	0xeb	PALCFRTH			PALCFREN		-	PALCFRSP			Playback Limiter Fast Release Setting	note 1
		0	0	0	1	0	-	0	1			
0xec	0xed	-	-	LOPWTIM						HPOUT Power Up Control		
		-	-	0	0	0	0	-	-			

以下のレジスタは Register Map Control レジスタ (0x1c/0x1d) の MAPCON=0x1 のときにアクセス可能です。

INDEX		b07	b06	b05	b04	b03	b02	b01	b00	Register Name	Note	
R	W	(Initial)										
0x02	0x03	-	-	-	-	-	FPLLM			FPLL M setting		
		-	-	-	-	-	0	0	0			
0x04	0x05	FPLLNL								FPLL N Setting(L)		
		0	0	0	0	0	0	0	0			
0x06	0x07	-	-	-	-	-	-	-	FPLLNH	FPLL N Setting(H)		
		-	-	-	-	-	-	-	0			
0x08	0x09	-	-	-	FPLLD					FPLL D Setting		
		-	-	-	0	0	0	0	0			
0x0a	0x0b	FPLLFL								FPLL F Setting(L)		
		0	0	0	0	0	0	0	0			
0x0c	0x0d	FPLLFH								FPLL F Setting(H)		
		0	0	0	0	0	0	0	0			
0x0e	0x0f	FPLLFDL								FPLL F.D Setting(L)		
		0	0	0	0	0	0	0	0			
0x10	0x11	FPLLFDH								FPLL F.D Setting(H)		
		0	0	0	0	0	0	0	0			
0x12	0x13	-	-	-	-	FPLLV					FPLL V setting	
		-	-	-	-	0	0	0	0			
0x16	0x17	-	-	-	CPMODE	-	-	-	-	PLL CPMODE Setting		
		-	-	-	0	-	-	-	-			
0x1c	0x1d	-	-	-	-	-	-	-	MAPCON	RegisterMAP Control		
		-	-	-	-	-	-	-	0			
0x36	0x37	-	-	-	-	-	-	-	HPVOL	HP output Gain Setting		
		-	-	-	-	-	-	-	0			
0x3e	0x3f	-	-	HALF	HPBPEN	LINDACEN	ADCSET			Analog Path Control		
		-	-	1	0	0	1	1	1			
0x74	0x75	-	RBLVOLL								Record L Balance Volume Control	
		-	1	0	0	0	0	0	0			
0x76	0x77	-	RBLVOLR								Record R Balance Volume Control	
		-	1	0	0	0	0	0	0			
0x86	0x87	-	-	-	-	-	-	STEEN	STEOD	Stereo Enhancer Control		
		-	-	-	-	-	-	0	0			
0x88	0x89	STE1CUT[7:0]								Stereo Enhancer LPF1 CoefL		
		0	0	0	0	0	0	0	0			
0x8a	0x8b	STE1CUT[15:8]								Stereo Enhancer LPF1 CoefH		
		0	0	0	0	0	0	0	0			
0x8c	0x8d	STE2CUT[7:0]								Stereo Enhancer LPF2 CoefL		
		0	0	0	0	0	0	0	0			
0x8e	0x8f	STE2CUT[15:8]								Stereo Enhancer LPF2 CoefH		
		0	0	0	0	0	0	0	0			
0xa0	0xa1	-	-	-	-	-	-	PLPFOD	PLPFEN	Play Programmable LPF Setting		
		-	-	-	-	-	-	0	0			
0xa2	0xa3	PLPFC0L								Play Programmable LPF Coef (L)		
		0	0	0	0	0	0	0	0			
0xa4	0xa5	PLPFC0H								Play Programmable LPF Coef (H)		
		0	0	0	0	0	0	0	0			
0xa6	0xa7	-	-	-	-	-	-	RLPFOD	RLPFEN	Rec Programmable LPF Setting		
		-	-	-	-	-	-	0	0			
0xa8	0xa9	RLPFC0L								Rec Programmable LPF Coef (L)		
		0	0	0	0	0	0	0	0			
0xaa	0xab	RLPFC0H								Rec Programmable LPF Coef (H)		
		0	0	0	0	0	0	0	0			

## レジスタ詳細説明

注：“-”は予約ビット。リードすると“0”が読み出されます。ライトは必ず“0”を書き込んでください。“1”をライトした場合の動作は保証されません。また、各レジスタ説明に記載の無い値・組合せのライトも行わないでください。ライトした場合の動作は保証されません。

レジスタビットマップ構成表中にて(\*)で示されているビットは、レジスタ書き込み値を動作状態への反映させる際にクロックが不要なビットです。

## Sampling Rate Setting Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x00	0x01	-	-	-	-	SR			
			-	-	-	-	0	0	0	0

本レジスタは ADC・DAC でのデジタルオーディオ信号のサンプリング・レートを設定します。本レジスタ値の変更は、ADC 及び DAC 経路停止時(RECPLAY=0x0)に行ってください。

## SR [3:0]

設定	説明
0x0	8 kHz
0x1	11.025 kHz
0x2	12 kHz
0x3	16 kHz
0x4	22.05 kHz
0x5	24 kHz
0x6	32 kHz
0x7	44.1 kHz
0x8	48 kHz

## Stereo Gain Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x06	0x07	-	STEGAIN						
			-	0	1	0	0	0	0	0

本レジスタはステレオ感強調の効果量を設定します。設定の詳細は“StereoEnhancerApplicationNote”をご参照ください。

## STEGAIN[3:0]

STEGAIN	Gain[倍]	STEGAIN	Gain[倍]	STEGAIN	Gain[倍]	STEGAIN	Gain[倍]
0x00	0.000	0x10	1.000	0x20	2.000	0x30	3.000
0x01	0.063	0x11	1.063	0x21	2.063	0x31	3.063
0x02	0.125	0x12	1.125	0x22	2.125	0x32	3.125
0x03	0.188	0x13	1.188	0x23	2.188	0x33	3.188
0x04	0.250	0x14	1.250	0x24	2.250	0x34	3.250
0x05	0.313	0x15	1.313	0x25	2.313	0x35	3.313
0x06	0.375	0x16	1.375	0x26	2.375	0x36	3.375
0x07	0.438	0x17	1.438	0x27	2.438	0x37	3.438
0x08	0.500	0x18	1.500	0x28	2.500	0x38	3.500
0x09	0.563	0x19	1.563	0x29	2.563	0x39	3.563
0x0A	0.625	0x1A	1.625	0x2A	2.625	0x3A	3.625
0x0B	0.688	0x1B	1.688	0x2B	2.688	0x3B	3.688
0x0C	0.750	0x1C	1.750	0x2C	2.750	0x3C	3.750
0x0D	0.813	0x1D	1.813	0x2D	2.813	0x3D	3.813
0x0E	0.875	0x1E	1.875	0x2E	2.875	0x3E	3.875
0x0F	0.938	0x1F	1.938	0x2F	2.938	0x3F	3.938

## IRQ control Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x08	0x09	IRQPOLE(*)	-	-	-	-	SHLIREN	SHRIREN	THRIREN
			0	-	-	-	-	0	0	0

本レジスタは、割り込みイネーブル、ディセーブルを制御します。

## THRIREN

サーマルエラー割り込みの制御を行います。

設定	説明
0	サーマルエラーが発生しても割り込みを発生しません。
1	サーマルエラーが発生した場合割り込みを発生します。

## SHRIREN

レフトスピーカショートエラーの割り込みを制御します。

設定	説明
0	レフトスピーカショートエラーが発生しても割り込みを発生しません。
1	レフトスピーカショートエラーが発生した場合割り込みを発生します。

## SHLIREN

ライトスピーカショートエラーの割り込みを制御します。

設定	説明
0	ライトスピーカショートエラーが発生しても割り込みを発生しません。
1	ライトスピーカショートエラーが発生した場合割り込みを発生します。

## IRQPOLE

割り込み端子(IRQB)の極性を指定します。

設定	説明
0	割り込みが発生した場合、IRQB 端子を L にします。
1	割り込みが発生した場合、IRQB 端子を H にします。

## IRQ Status Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x0a	0x0b	-	-	-	-	-	SHLSTS	SHRSTS	THRSTS
			-	-	-	-	-	0	0	0

本レジスタは、割り込み状況を確認することができます。“1”をライトすることでステータスをクリアできます。

## THRSTS

サーマルエラー割り込み状態を確認できます。

設定	説明
0	サーマルエラーは発生していない
1	サーマルエラーが発生した

## SHRSTS

レフトスピーカショートエラーの割り込み状態を確認できます。

設定	説明
0	レフトスピーカショートエラーは発生していない
1	レフトスピーカショートエラーが発生した

## SHLSTS

ライトスピーカショートエラーの割り込み状態を確認できます。

設定	説明
0	ライトスピーカショートエラーは発生していない
1	ライトスピーカショートエラーが発生した

## Clock Enable Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x0c	0x0d	-	-	-	-	MCLKOE(*)	PLLOE(*)	PLLEN(*)	MCLKEN(*)
			-	-	-	-	0	0	0	0

本レジスタは、クロックの動作を制御するためのレジスタです。

## MCLKEN

本ビットは、MCLKI 端子の入力の許可/停止を設定します。停止時には、MCLKI 端子の入力論理が無効となり LSI 内部にはクロックが伝達されなくなります。

設定	説明
0	MCLKI 端子入力停止 端子の入力初段でクロックが止まります
1	MCLKI 端子入力許可

## PLLEN

本ビットは、PLL の動作/停止を設定します。

設定	説明
0	PLL 停止
1	PLL 動作

PLL Setting レジスタを設定した後、PLLEN bit を“1”に設定してください。

## PLLOE

本ビットは、PLL 出力の許可/禁止を設定します。PLL 起動後、安定するのを待って、“1”に設定してください。また、PLL を使用しない場合にも本ビットに“1”を設定しなければ、内部ロジック回路にクロックが供給されません。

設定	説明
0	PLL 出力禁止
1	PLL 出力許可

## MCLKOE

本ビットは0でご使用ください

MCLKOE	説明
0	通常動作
1	設定禁止



## Clock Input/Output Control Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x0e	0x0f	-	-	-	PLLISEL(*)		CLKSEL(*)		
			-	-	-	0	0	0	0	0

本レジスタは、LSI 内部で使用するクロックの選択のためのレジスタです。

PLL 使用の有無、及び MCLKI 入力クロックまたは PLL 出力クロックを何分周して内部クロックを生成するかを設定します。

## CLKSEL[2:0]

内部で使用するクロックを選択します。

設定	説明
0x0	PLL を使用し、PLL から 256fs クロックを出力させて使用する。 本 LSI 内部では PLL 出力がそのまま使用される。
0x2	PLL を使用し、PLL から 512fs クロックを出力させて使用する。 本 LSI 内部では PLL 出力を 1/2 分周したクロックが使用される。
0x3	PLL を使用し、PLL から 1024fs クロックを出力させて使用する。 本 LSI 内部では PLL 出力を 1/4 分周したクロックが使用される。
0x4	PLL を使用せず、MCLKI 端子より 256fs クロックを入力して使用する。 本 LSI 内部では MCLKI 端子入力がそのまま使用される。
0x6	PLL を使用せず、MCLKI 端子より 512fs クロックを入力して使用する。 本 LSI 内部では MCLKI 端子入力を 1/2 分周したクロックが使用される。
0x7	PLL を使用せず、MCLKI 端子より 1024fs クロックを入力して使用する。 本 LSI 内部では MCLKI 端子入力を 1/4 分周したクロックが使用される。

## PLLISEL[1:0]

本ビットは PLL に入力するクロックを選択します。PLL を使用しない場合には、0x0 で使用してください。

設定	説明
0x0	LRCLK 端子入力を使用
0x1	MCLKI 端子入力を使用
0x2	BCLK 端子入力を使用

## Software Reset Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x10	0x11	-	-	-	-	-	-	-	SOFTRST(*)
			-	-	-	-	-	-	-	0

本レジスタは LSI をリセットするためのレジスタです。SOFTRST に“1”をライトすることにより、制御インタフェース及び本

レジスタ以外の全回路がリセットされます。リセット解除のためには、SOFTRST に“0”をライトしてください。

## Record/Playback Running Control Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x12	0x13	-	-	-	-	-	RECPPLAY		
			-	-	-	-	-	0	0	0

本レジスタは、LSI の ADC 及び DAC の SAI 入出力動作を制御します。

## RECPPLAY[2:0]

本ビットは、LSI の ADC 及び DAC の SAI 入出力動作を制御します。ADC 及び DAC を同時に実行可能です。ADC の出力データをそのまま DAC 経路にて出力することも可能です。また、ADC 及び DAC の SAI 入出力動作間の遷移については、「ADC 及び DAC の SAI 入出力動作制御に関する状態遷移」項を参照ください。その他の状態間の遷移は禁止です。必ず、一度、ADC 及び DAC の SAI 入出力動作を停止(RECPPLAY=0x0)させたうえで次の動作に移るようにしてください。

設定	説明
0x0	ADC 及び DAC の SAI 入出力動作 停止状態
0x1	ADC 動作 SAI 出力状態 アナログ入力（マイク／ライン）経路の信号が AD 変換され、SAI 送信されます。
0x2	DAC 動作 SAI 入力状態 SAI 受信データが DA 変換され、アナログ出力経路（スピーカ／ライン出力）より出力されます。
0x3	ADC 動作 SAI 出力状態 かつ DAC 動作 SAI 入力状態 アナログ入力（マイク／ライン）経路の信号が AD 変換され、SAI に送信され SDOOUT より出力されます。同時に SDIN に入力される SAI 受信データが DA 変換され、アナログ出力経路（スピーカ／ライン出力）より出力されます。
0x7	ADC 動作 SAI 出力状態 かつ DAC 動作状態 アナログ入力（マイク／ライン）経路の信号が AD 変換され、SAI に送信され SDOOUT より出力されます。同時に同じデータが DA 変換され、アナログ出力経路（スピーカ／ライン出力）より出力されます。

Mic Input Charging Time Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x14	0x15	-	-	MCTIME					
			-	-	0	0	0	0	0	0

本レジスタは、マイク入力の容量チャージ時間のためのウェイト時間を設定します。RECPLAY が 0x0 から変化した後、このレジスタにて設定された期間、録音される音声は無音として処理されます。本設定には内部回路の初期化に必要な時間を含むため、設定時間は最短で 40/fs となります。なお、再生を開始する際のウェイト時間は本レジスタの設定値とは関係なく常に 40/fs となります。

MCTIME[5:0]

録音を開始したときのマイク入力の容量チャージ時間のためのウェイト時間を設定します。ウェイト時間は、40/fs 及び、128/fs から 8064 /fs までの 128/fs 単位で設定可能です。時間は下表に示す通り、サンプリング周波数(fs)に比例します。

設定	fs 換算	時間(fs=48kHz)
0x00	40/fs	0.8ms
0x01	128/fs	2.7ms
0x02	256/fs	5.3ms
0x03	384/fs	8.0ms
0x04 - 0x3D	(128/fs / step)	:
0x3E	7936/fs	165.3ms
0x3F	8064/fs	168.0ms

備考)マイク入力カップリング・コンデンサのチャージ時間の設定について

Mic Input Charging Time レジスタにより待ち時間を任意に設定できます。チャージ時間はコンデンサの容量値に依存しますので、外付けのコンデンサ容量に応じて下表に示す待ち時間を設定することを推奨いたします。

チャージ待ち時間

コンデンサ容量	チャージ待ち時間(6τ)	MCTIME 設定値(fs=48kHz)
0.1μF	16ms	0x09
0.22μF	36ms	0x14

\* 待ち時間はコンデンサの容量に比例します。

RegisterMAP Control Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
ALL	0x1c	0x1d	-	-	-	-	-	-	-	MAPCON(*)
			-	-	-	-	-	-	-	0

MAPCON

レジスタマップの表裏面を切替えます。切り替わる対象のレジスタに関してはレジスタマップを参照してください。

設定	説明
0	レジスタ MAP0 へアクセス可能
1	レジスタ MAP1 へアクセス可能

## Analog Reference Power Management Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x20	0x21	LOREN	LOLEN	LOSEL	-	-	MICBEN	VMIDCON(*)	
			0	0	0	-	-	0	0	0

本レジスタはHP出力アンプとアナログ基準電圧生成回路のパワーアップ/ダウンを制御します。

## VMIDCON[1:0]

VMID生成回路のパワーアップ/パワーダウンを制御します。高速起動モードでパワーアップさせることによりパワーアップ時間の短縮が図れます。パワーアップ後は定常モードへ設定変更してください。設定タイミングは“アナログ基準電圧(VMID)生成回路”の項を参照ください。

設定	説明
0x0	VMID生成回路 パワーダウン
0x1	VMID生成回路 パワーアップ(高速起動モード)
0x2	VMID生成回路 パワーアップ(定常モード)

## MICBEN

MICBIAS生成回路のパワーアップ/ダウンを制御します。

設定	説明
0	MICBIAS生成回路 パワーダウン
1	MICBIAS生成回路 パワーアップ

## LOSEL

HP出力アンプへの入力経路を選択します。DAC出力、もしくはSPVOL出力を選択可能です。

設定	説明
0	DAC出力を直接HPOUTから出力します
1	DAC出力をSPVOLブロックを通してHPOUTから出力します

## LOLEN

HPOUTレフト出力を制御します。

設定	説明
0	HPOUTレフトを出力しません
1	HPOUTレフトを出力します

## LOREN

HPOUTライト出力を制御します。

設定	説明
0	HPOUTライトを出力しません
1	HPOUTライトを出力します

## Analog Input Power Management Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x22	0x23	-	-	-	-	PGAEN(*)	ADCREN	ADCLEN	LIEN
			-	-	-	-	0	0	0	0

本レジスタはアナログ入力部のパワーアップ/ダウンを制御します。

## LIEN

ライン入力アンプのパワーアップ/ダウンを制御します。

設定	説明
0	ライン入力アンプ パワーダウン
1	ライン入力アンプ パワーアップ

LIEN=0→1 に設定変更すると、LIN 各端子に接続されるカップリングコンデンサをチャージする処理が行われます。この期間はマスタクロックによりカウントされており、サンプリング周波数によって約 97mS から約 142mS の範囲の時間となります。この期間においては LIN1EN/LIN2EN/LIN3EN/LINMXEN/MICMXEN の状態に関わらず LINVOL アンプの出力経路は OFF されており、後段に対しては無音入力の状態となります。

注意：マイク入力使用時も本レジスタを 1 に設定してください。

## ADCLEN

ADC レフトブロックのパワーアップ/ダウンを制御します。

設定	説明
0	ADC レフト パワーダウン
1	ADC レフト パワーアップ

## ADCREN

ADC ライトブロックのパワーアップ/ダウンを制御します。

設定	説明
0	ADC ライト パワーダウン
1	ADC ライト パワーアップ

## PGAEN

マイク入力アンプのパワーアップ/ダウンを制御します。

設定	説明
0	マイク入力アンプ パワーダウン
1	マイク入力アンプ パワーアップ

## DAC Power Management Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x24	0x25	-	-	-	-	-	DACREN	DACLEN	-
			-	-	-	-	-	0	0	-

本レジスタは DAC ブロックのパワーアップ/ダウンを制御します。

## DACLEN

DAC レフトブロックのパワーアップ/ダウンを制御します。

設定	説明
0	DAC レフトパワーダウン
1	DAC レフトパワーアップ

## DACREN

DAC ライトブロックのパワーアップ/ダウンを制御します。

設定	説明
0	DAC ライトパワーダウン
1	DAC ライトパワーアップ

## Speaker Amplifier Power Management Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x26	0x27	-	-	-	-	-	SPDEN	SPABEN	SPMVEN
			-	-	-	-	-	0	0	0

本レジスタはスピーカアンプとボリウム用アンプのパワーアップ/ダウンを制御します。

## SPMVEN

MIXVOL ブロック (MIXER と SPVOL ボリウム) のパワーアップ/ダウンを制御します。

設定	説明
0	MIXVOL ブロックをパワーダウン
1	MIXVOL ブロックをパワーアップ

## SPABEN

AB 級スピーカアンプのパワーアップ/ダウンを制御します。

設定	説明
0	AB 級スピーカアンプをパワーダウン
1	AB 級スピーカアンプをパワーアップ

## SPDEN

D 級スピーカアンプのパワーアップ/ダウンを制御します。

設定	説明
0	D 級スピーカアンプをパワーダウン
1	D 級スピーカアンプをパワーアップ

\*SPABEN と SPDEN を同時に 1 にした場合は SPABEN が有効となります。

## AM avoidance Control / SPAMP input Control Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x2a	0x2b	TEST2	-	BP2SPEN	MV2SPEN	TEST1	TEST0	AMA	
			0	-	0	1	1	1	1	1

本レジスタは、スピーカアンプ入力経路設定、及び AM Avoidance 機能による D 級スピーカアンプの動作周波数設定、及び出荷テストのためのレジスタです。

## AMA

AM Avoidance 機能による、D 級スピーカアンプの動作周波数を選択します。

設定	説明
0x0	700kHz
0x1	600kHz
0x2	500kHz
0x3	400kHz

## TEST0

テスト用レジスタです。書き換え禁止です。

設定	説明
1	テスト用レジスタです。1 にてご使用ください。

## TEST1

テスト用レジスタです。書き換え禁止です。

設定	説明
1	テスト用レジスタです。1 にてご使用ください。

## MV2SPEN

ミキサボリューム出力をスピーカアンプへ入力するかを選択します。

設定	説明
0	ミキサボリューム出力を、スピーカアンプへ入力しない
1	ミキサボリューム出力を、スピーカアンプへ入力する

## BP2SPEN

BEEPIN アンプ出力をスピーカアンプへ入力するかを選択します。

設定	説明
0	BEEPIN アンプ出力を、スピーカアンプへ入力しない
1	BEEPIN アンプ出力を、スピーカアンプへ入力する

## TEST2

テスト用レジスタです。書き換え禁止です。

設定	説明
0	テスト用レジスタです。0 にてご使用ください。

Zero Cross Cmparator Power Management Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x2e	0x2f	-	-	-	-	-	-	ZCEN	-
			-	-	-	-	-	-	0	-

PALC コントローラによる PLAYVOL の設定更新に対するゼロクロス検出機能の有効/無効を制御します。

ZCEN

本機能が有効時には PALC のゲイン設定変更時にゼロクロス検出動作が適用されます。

設定	説明
0	ゼロクロス検出動作無効。 PLAYVOL に対するゲイン設定は、変更後にただちに反映される。
1	ゼロクロス検出動作有効。 PLAYVOL に対するゲイン設定は、ゼロクロス検出後に反映される。

BEEPIN Amp Control / MICBIAS Voltage Control Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x30	0x31	-	-	-	BPINCON	TEST3	MICBCON18S		
			-	-	-	0	0	1	0	0

本レジスタはマイクバイアスとして使用可能な MBIASCAP 端子の出力電圧値の設定と、BEEPIN アンプの起動制御、及び出荷テストのためのレジスタです。

MICBCON18S[1:0]

MICBIAS 電圧値を設定します。MICBIAS 電圧値は必ず HVDD1\*0.85 未満に設定してください。MBIASCAP 端子から出力される電圧は下表の通りです。

設定	説明(REGOUT=1.8V のときの出力電圧)
0x0	1.50V
0x1	2.00V
0x2	2.50V
0x3	3.00V

TEST3

テスト用レジスタです。書き換え禁止です。

設定	説明
1	テスト用レジスタです。1にてご使用ください。

BPINCON[1:0]

BEEPIN 入力アンプのパワーアップ/パワーダウンを制御します。高速起動モードでパワーアップさせることにより起動時間の短縮が図れます。高速起動モードにおいては、BEEPIN に入力される音声信号は正常に後段に伝達されません。パワーアップ後は定常モードへ設定変更してください。

設定	説明
0x0	BEEPIN アンプ パワーダウン
0x1	設定禁止
0x2	BEEPIN アンプ パワーアップ(定常モード)
0x3	BEEPIN アンプ パワーアップ(高速起動モード)



## Line-In Control Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x32	0x33	-	-	MXGAIN	LINMXEN	MICMXEN	LIN3EN	LIN2EN	LIN1EN
			-	-	0	1	0	0	0	1

本レジスタはライン入力アンプの入力経路とミキサ(LineMix 部)の動作を設定します。

## LIN1EN

設定	説明
0	ライン入力アンプ LIN1 経路を OFF
1	ライン入力アンプ LIN1 経路を ON

## LIN2EN

設定	説明
0	ライン入力アンプ LIN2 経路を OFF
1	ライン入力アンプ LIN2 経路を ON

## LIN3EN

設定	説明
0	ライン入力アンプ LIN3 経路を OFF
1	ライン入力アンプ LIN3 経路を ON

## MICMXEN

設定	説明
0	LineMix 部での MIC 経路をミキシング OFF
1	LineMix 部での MIC 経路をミキシング ON

## LINMXEN

設定	説明
0	LineMix 部での LIN 経路をミキシング OFF
1	LineMix 部での LIN 経路をミキシング ON

## MXGAIN

設定	説明
0	LineMix 部でのミキシング時ゲイン 0dB
1	LineMix 部でのミキシング時ゲイン-6dB

## Speaker Amplifier Volume Control Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x3a	0x3b	-	-	SPVOL					
			-	-	1	1	0	0	1	1

本レジスタは、Mixvol 部ボリュームのゲインを設定します。

## SPVOL[5:0]

設定	出力(dB)	MEMO	設定	出力(dB)	MEMO
0x3F	6.0	↓ 0.5dB step	0x1F	-14.0	
0x3E	5.5		0x1E	-15.0	
0x3D	5.0		0x1D	-16.0	
0x3C	4.5		0x1C	-17.0	
0x3B	4.0		0x1B	-18.0	
0x3A	3.5		0x1A	-19.0	
0x39	3.0		0x19	-20.0	
0x38	2.5		0x18	-21.0	
0x37	2.0		0x17	-22.0	
0x36	1.5		0x16	-23.0	
0x35	1.0		0x15	-24.0	
0x34	0.5		0x14	-25.0	
0x33	0.0		0x13	-26.0	
0x32	-0.5		0x12	-27.0	
0x31	-1.0		0x11	-28.0	
0x30	-1.5		0x10	-29.0	
0x2F	-2.0		0x0F	-30.0	
0x2E	-2.5		0x0E	-31.0	
0x2D	-3.0		0x0D	-32.0	↓ 2dB step
0x2C	-3.5		0x0C	-34.0	
0x2B	-4.0		0x0B	-36.0	
0x2A	-4.5		0x0A	-38.0	
0x29	-5.0		0x09	-40.0	
0x28	-5.5		0x08	-42.0	
0x27	-6.0		0x07	-44.0	
0x26	-7.0	↓ 1dB step	0x06	-46.0	
0x25	-8.0		0x05	-48.0	
0x24	-9.0		0x04	-50.0	
0x23	-10.0		0x03	-52.0	
0x22	-11.0		0x02	-54.0	
0x21	-12.0		0x01	-56.0	
0x20	-13.0		0x00	MUTE	

## Playback Digital Attenuator Control Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x3e	0x3f	PDATT							
			1	1	1	1	1	1	1	1

本レジスタは DAC 経路側のデジタル VolumeGain を設定します。  
MUTE 及び、-71.5dB から 0.5dB まで 0.5dB ステップで設定可能です。

## PDATT[7:0]

PLAYDATT : デジタル・VolumeGain を設定します。

設定	Gain(dB)	設定	Gain(dB)	設定	Gain(dB)	設定	Gain(dB)
0x00~ 0x6E	設定禁止	0x93	-54.0	0xB8	-35.5	0xDD	-17.0
0x6F	MUTE	0x94	-53.5	0xB9	-35.0	0xDE	-16.5
0x70	-71.5	0x95	-53.0	0xBA	-34.5	0xDF	-16.0
0x71	-71.0	0x96	-52.5	0xBB	-34.0	0xE0	-15.5
0x72	-70.5	0x97	-52.0	0xBC	-33.5	0xE1	-15.0
0x73	-70.0	0x98	-51.5	0xBD	-33.0	0xE2	-14.5
0x74	-69.5	0x99	-51.0	0xBE	-32.5	0xE3	-14.0
0x75	-69.0	0x9A	-50.5	0xBF	-32.0	0xE4	-13.5
0x76	-68.5	0x9B	-50.0	0xC0	-31.5	0xE5	-13.0
0x77	-68.0	0x9C	-49.5	0xC1	-31.0	0xE6	-12.5
0x78	-67.5	0x9D	-49.0	0xC2	-30.5	0xE7	-12.0
0x79	-67.0	0x9E	-48.5	0xC3	-30.0	0xE8	-11.5
0x7A	-66.5	0x9F	-48.0	0xC4	-29.5	0xE9	-11.0
0x7B	-66.0	0xA0	-47.5	0xC5	-29.0	0xEA	-10.5
0x7C	-65.5	0xA1	-47.0	0xC6	-28.5	0xEB	-10.0
0x7D	-65.0	0xA2	-46.5	0xC7	-28.0	0xEC	-9.5
0x7E	-64.5	0xA3	-46.0	0xC8	-27.5	0xED	-9.0
0x7F	-64.0	0xA4	-45.5	0xC9	-27.0	0xEE	-8.5
0x80	-63.5	0xA5	-45.0	0xCA	-26.5	0xEF	-8.0
0x81	-63.0	0xA6	-44.5	0xCB	-26.0	0xF0	-7.5
0x82	-62.5	0xA7	-44.0	0xCC	-25.5	0xF1	-7.0
0x83	-62.0	0xA8	-43.5	0xCD	-25.0	0xF2	-6.5
0x84	-61.5	0xA9	-43.0	0xCE	-24.5	0xF3	-6.0
0x85	-61.0	0xAA	-42.5	0xCF	-24.0	0xF4	-5.5
0x86	-60.5	0xAB	-42.0	0xD0	-23.5	0xF5	-5.0
0x87	-60.0	0xAC	-41.5	0xD1	-23.0	0xF6	-4.5
0x88	-59.5	0xAD	-41.0	0xD2	-22.5	0xF7	-4.0
0x89	-59.0	0xAE	-40.5	0xD3	-22.0	0xF8	-3.5
0x8A	-58.5	0xAF	-40.0	0xD4	-21.5	0xF9	-3.0
0x8B	-58.0	0xB0	-39.5	0xD5	-21.0	0xFA	-2.5
0x8C	-57.5	0xB1	-39.0	0xD6	-20.5	0xFB	-2.0
0x8D	-57.0	0xB2	-38.5	0xD7	-20.0	0xFC	-1.5
0x8E	-56.5	0xB3	-38.0	0xD8	-19.5	0xFD	-1.0
0x8F	-56.0	0xB4	-37.5	0xD9	-19.0	0xFE	-0.5
0x90	-55.5	0xB5	-37.0	0xDA	-18.5	0xFF	0.0 (設定禁止)
0x91	-55.0	0xB6	-36.5	0xDB	-18.0		
0x92	-54.5	0xB7	-36.0	0xDC	-17.5		

\* 0xFF は設定禁止です。DAC 出力波形が歪む場合があります。

Amplifier Volume Control Function Enable Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x48	0x49	-	-	-	-	-	-	AVMUTE	AVFADE
			-	-	-	-	-	-	0	0

本レジスタは MixVol 部 Volume のフェード機能を制御します。

AVFADE

MixVol 部 Volume・フェード機能の ON/OFF を設定します。

設定	説明
0	フェード機能 OFF SPVOL のレジスタ設定値がそのまま実際の Volume 値として使用されます。したがって、値を変更すると、即時、MixVol 部 Volume の設定が更新されます。
1	フェード機能 ON SPVOL のレジスタ設定値が更新された際、更新後のレジスタ設定値に向かって AVFCON レジスタ設定のステップ時間で±1 ステップずつスピーカアンプ・Volume の利得が変化していきます。

AVMUTE

MixVol 部 Volume に対して強制的にミュートに設定します。本ビットによるミュート移行に対しても、AVFADEによりフェード制御を行うことができます。また、SPVOL による MixVol 部 Volume 値は保持され、AVMUTE 解除時に設定 Volume に戻ります。

設定	説明
0	MixVol 部 Volume の MUTE 設定 OFF。MixVol 部 Volume は SPVOL のレジスタ設定値が有効となります。
1	MixVol 部 Volume が MUTE に設定されます。 本ビットの設定によって SPVOL のレジスタ値が書き換わることはありませんので、解除することにより、SPVOL での設定 Volume に戻ります。

\* 関連レジスタ

SPVOL : MixVol 部 Volume Control レジスタ (0x3a/0x3b)

AVFCON : MixVol 部 Volume Fader Control レジスタ (0x4a/0x4b)

Amplifier Volume Fader Control Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x4a	0x4b	-	-	-	-	-	AVFCON		
			-	-	-	-	-	0	0	0

本レジスタは、MixVol 部 Volume のフェード機能を制御します。

AVFCON[2:0]

MixVol 部 Volume・フェーダ機能の Volume 変化ステップ時間を設定します。この設定周期で Volume は 1 ステップずつ変化します。時間は下表に示す通り、サンプリング周波数(fs)に比例します。

設定	fs 換算	時間(fs=48kHz)
0x0	1/fs	20.8μs
0x1	4/fs	83.3μs
0x2	16/fs	333μs
0x3	64/fs	1.33ms
0x4	256/fs	5.33ms
0x5	1024/fs	21.3ms
0x6	4096/fs	85.3ms
0x7	16384/fs	341.ms

## SAI Transmitter Control Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x4c	0x4d	PCMFO24		FMTO	MSBO	ISSCKO	AFOO	DLYO	WSLO
			1	1	0	0	0	0	0	0

本レジスタは、SAI送信フォーマット設定を制御するレジスタです。Record/Playback Running Control レジスタのRECPLAYの設定がADC及びDACのSAI入出力動作停止状態(RECPLAY=0x0)にて本レジスタを変更してください。また、SAI受信側(SAI Receiver Control レジスタ)と同じ設定で使用するようにしてください。

## WSLO

本ビットは、本 LSI の SAI 送信時の LRCLK 極性を指定します。フレーム同期転送モード時(FMTO が“1”の時)には、必ず、“1”に設定してください。

設定	説明
0	LRCLK が“L”レベルのとき L チャンネル、“H”のとき R チャンネルを送信
1	LRCLK が“H”レベルのとき L チャンネル、“L”のとき R チャンネルを送信

## DLYO

本ビットは、SAI 送信データの 1 クロック遅延有/無を指定します。

設定	説明
0	シリアルデータ遅延有
1	シリアルデータ遅延無

## AFOO

本ビットは、SAI 送信データの前詰/後詰を指定します。スレーブモードの場合、本ビットは無視され、前詰固定になります。フレーム同期転送モード時(FMTO が“1”の時)には、必ず、“0”に設定してください。

設定	説明
0	前詰
1	後詰

## ISSCKO

本ビットは、BCLK 端子の 32fs/64fs を指定します。

設定	説明
0	32fs
1	64fs

## MSBO

本ビットは、SAI 送信データの MSB ファースト/LSB ファーストを指定します。

設定	説明
0	MSB ファースト
1	LSB ファースト

## FMTO

本ビットは、SAI 送信のモードを指定します。

設定	説明
0	LRCLK 転送モード
1	フレーム同期転送モード

## PCMFO24

本ビットは、SAI 送信の PCM フォーマットを選択します。

設定	説明
0x2	16bit PCM
0x3	24bit PCM
上記以外	設定禁止

## SAI Receiver Control Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x4e	0x4f	PCMF124		FMTI	MSBI	ISSCKI	AFOI	DLYI	WSLI
			1	1	0	0	0	0	0	0

本レジスタは、SAI 受信フォーマット設定を制御するレジスタです。Record/Playback Running Control レジスタの RECPLAY の設定 が ADC 及び DAC の SAI 入出力動作停止状態(RECPLAY=0x0)にて本レジスタを変更してください。また、SAI 送信側 (SAI Transmitter Control レジスタ)と同じ設定で使用するようにしてください。

## WSLI

本ビットは、本 LSI の SAI 受信時の LRCLK 極性を指定します。フレーム同期転送モード時(FMTI が“1”の時)には、必ず、“1”に設定してください。

設定	説明
0	LRCLK が“L”レベルのとき L チャンネル、“H”のとき R チャンネルを受信
1	LRCLK が“H” レベルのとき L チャンネル、“L”のとき R チャンネルを受信

## DLYI

本ビットは、SAI 受信データの 1 クロック遅延有/無を指定します。

設定	説明
0	シリアルデータ遅延有
1	シリアルデータ遅延無

## AFOI

本ビットは、SAI 受信データの前詰/後詰を指定します。フレーム同期転送モード時(FMTI が“1”の時)には、必ず、“0”に設定してください。

設定	説明
0	前詰
1	後詰

## ISSCKI

本ビットは、BCLK 端子の 32fs/64fs を指定します。

設定	説明
0	32fs
1	64fs

## MSBI

本ビットは、SAI 受信データの MSB ファースト/LSB ファーストを指定します。

設定	説明
0	MSB ファースト
1	LSB ファースト

## FMTI

本ビットは、SAI 受信のモードを指定します。

設定	説明
0	LRCLK 転送モード
1	フレーム同期転送モード

## PCMF124

本ビットは、SAI 受信の PCM フォーマットを選択します。

設定	説明
0x2	16bit PCM
0x3	24bit PCM
上記以外	設定禁止

## SAI Mode select Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x50	0x51	-	-	-	BSWP	-	-	-	MST(*)
			-	-	-	0	-	-	-	0

本レジスタは、SAIの動作モードを設定するレジスタです。Record/Playback Running Control レジスタの RECPLAY の設定が ADC 及び DAC の SAI 入出力動作停止状態(RECPLAY=0x0)にて本レジスタを変更してください。

## MST

本ビットは0でご使用ください

設定	説明
0	スレーブモード

## BSWP

本ビットは、PCM フォーマットを 16bitPCM に設定時、I2S の送受信データの並びのバイトスワップ有無を設定します。バイトスワップありに設定すると I2S Receiver Control/I2S Transmitter Control レジスタの設定によらず、I2S データがバイトスワップされます。

設定	説明
0	バイトスワップなし (16bit データの並び : 15bit-8bit,7bit-0bit) (24bit データの並び : 23bit-16bit,15bit-8bit,7bit-0bit)
1	バイトスワップあり (16bit データの並び : 7bit-0bit,15bit-8bit) (24bit データの並び : 7bit-0bit,15bit-8bit 23bit-16bit)

## Speaker Amplifier output Control1 Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x52	0x53	-	-	-	-	-	-	SPMIXG	
			-	-	-	-	-	-	0	0

本レジスタは、スピーカアンプのゲインを設定します。AB 級/D 級 Gain 設定は共用です。

## SPMIXG[1:0]

本ビットはスピーカアンプのゲインを設定します。

設定	説明
0	0dB
1	6dB
2	12dB
3	18dB

Speaker Amplifier / Headphone out Amplifier output Control2 Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x54	0x55	-	-	-	-	LINOE	MICOE	DACOE	LOMIXG
			-	-	-	-	0	0	0	0

本レジスタは、MixVol 部ミキサへの入力信号経路とミキシングゲインを設定するレジスタです。

LOMIXG

MixVol 部ミキサでの MIC と DAC 経路のミキシング時のゲインを設定します。LIN 経路は 1 倍ミキシング設定固定です。

設定	説明
0	1 倍加算されます。
1	1/2 倍加算されます。

DACOE

本ビットは、MixVol 部ミキサへの DAC 出力経路の制御を行います

設定	説明
0	DAC からの経路無効
1	DAC からの経路有効

MICOE

本ビットは、MixVol 部ミキサへの Mic 入力アンプ出力経路の制御を行います。

設定	説明
0	MIC 入力アンプからの経路無効
1	MIC 入力アンプからの経路有効

LINOE

本ビットは、MixVol 部ミキサへの Line 入力アンプ出力経路の制御を行います。

設定	説明
0	Line 入力アンプからの経路無効
1	Line 入力アンプからの経路有効

DAC Clock Setting Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x58	0x59	-	-	OSRSEL		-	-	-	-
			-	-	0	0	-	-	-	-

本レジスタは、本 LSI 内部の DAC で使用する動作クロックの選択のためのレジスタです。

OSRSEL[1:0]

このレジスタは、サンプリング周波数及び Clock Input/Output Control レジスタにより設定すべき値が異なります。下記表を参照に設定ください。

内部クロック生成条件		各サンプリング周波数の設定値		
PLL 有無	CLKSEL	8kHz 11.025kHz 12kHz	16kHz 22.05kHz 24kHz	32kHz 44.1kHz 48kHz
PLL 有 (PLL 出力)	0x0	設定禁止	設定禁止	0x00
	0x2	設定禁止	0x10	設定禁止
	0x3	0xe0	設定禁止	設定禁止
PLL 無 (MCLKI 入力)	0x4	設定禁止	0x10	0x00
	0x6	0xa0	0x10	0x00
	0x7	0xe0	0x10	0x00



## Mic Interface Control Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x5a	0x5b	-	-	-	-	-	-	MINDIF(*)	-
			-	-	-	-	-	-	1	-

本レジスタは、マイク入力のインタフェースを制御します。

## MINDIF

MIC の動作モードを設定します。

設定	説明
0	シングルエンドモード
1	ディファレンシャルモード

## Sound Effect Mode Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x5c	0x5d	SEMODE	-	-	-	-	SEMODE		
			0	-	-	-	-	0	0	0

本レジスタは、ADC/DAC デジタル信号処理シグナル・フローにおける Filter Block についての設定レジスタです。

## SEMODE[7]

Filter Block を入れる経路を選択します。Filter Block は ADC 経路か DAC 経路のどちらか一方にしか使用できません。

Filter Block については「機能説明」の「シグナルフロー」の項を参照してください。

SEMODE[7]	説明
0	Filter Block を REC 経路に入れる
1	Filter Block を PLAY 経路に入れる

## SEMODE[2:0]

Filter の EQ/Notch 機能において、バンド数の振り分けを設定します。

SEMODE[2:0]	説明
0x0	Notch5 バンド / EQ0 バンド
0x1	Notch4 バンド / EQ1 バンド
0x2	Notch3 バンド / EQ2 バンド
0x3	Notch2 バンド / EQ3 バンド
0x4	Notch1 バンド / EQ4 バンド
0x5	Notch0 バンド / EQ5 バンド

Record Path select Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x5e	0x5f	-	-	-	-	-	MONOREC	I2SR	I2SL
			-	-	-	-	-	0	0	0

ADC 経路時デジタル信号処理シグナルフローの“L/R MIX”ブロックの設定です。  
I2SL=1 かつ I2SR=1 の組み合わせは設定禁止です。

I2SL

オーディオバス Left チャンセルに、ADC 出力“Left チャンセル” or “Right チャンセル”のどちらを接続するか選択します。

設定	説明
0	オーディオバスの Left チャンセルに、アナログ入力 Left チャンセルからのデータを接続します
1	オーディオバスの Left チャンセルに、アナログマイク入力 Right チャンセルからのデータを接続します

I2SR

オーディオバス Right チャンセルに、ADC 出力“Left チャンセル” or “Right チャンセル”のどちらを接続するか選択します。

設定	説明
0	オーディオバスの Right チャンセルに、アナログマイク入力 Right チャンセルからのデータを接続します
1	オーディオバスの Right チャンセルに、アナログマイク入力 Left チャンセルからのデータを接続します

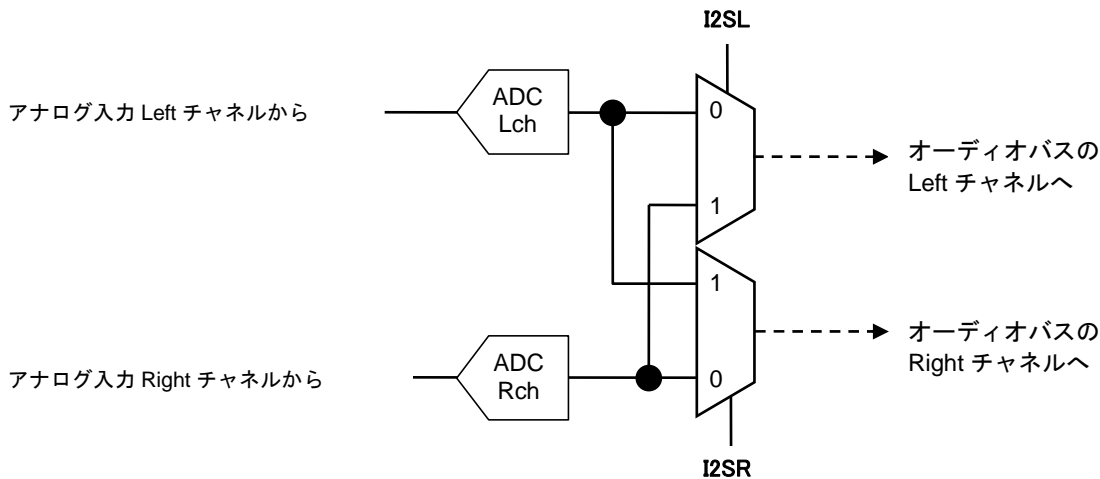


Figure 37.

MONOREC

ADC 出力をオーディオバスに接続する際に、ステレオで接続するか、モノラル化して接続するかを選択します。

設定	説明
0	オーディオバスに、ADC 出力データをステレオで接続します。 Lch 出力データ = Lch-ADC データ Rch 出力データ = Rch-ADC データ
1	オーディオバスに、ADC 出力データをモノラル化して接続します。 Lch 出力データ = (Lch-ADC データ + Rch-ADC データ) / 2 Rch 出力データ = (Lch-ADC データ + Rch-ADC データ) / 2

## Recording Digital Boost Volume Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0xac	0xad	-	RALCVOL						
			-	0	1	0	0	0	0	0

## Recording Digital Boost Volume レジスタ

本レジスタは録音用の Boost Volume Gain を設定します。  
-12.000dB から+35.625dB まで 0.375dB ステップで設定可能です。

## RALCVOL[6:0]

設定	Gain (dB)	設定	Gain (dB)	設定	Gain (dB)	設定	Gain (dB)
0x00	-12.000	0x20	0.000	0x40	12.000	0x60	24.000
0x01	-11.625	0x21	0.375	0x41	12.375	0x61	24.375
0x02	-11.250	0x22	0.750	0x42	12.750	0x62	24.750
0x03	-10.875	0x23	1.125	0x43	13.125	0x63	25.125
0x04	-10.500	0x24	1.500	0x44	13.500	0x64	25.500
0x05	-10.125	0x25	1.875	0x45	13.875	0x65	25.875
0x06	-9.750	0x26	2.250	0x46	14.250	0x66	26.250
0x07	-9.375	0x27	2.625	0x47	14.625	0x67	26.625
0x08	-9.000	0x28	3.000	0x48	15.000	0x68	27.000
0x09	-8.625	0x29	3.375	0x49	15.375	0x69	27.375
0x0A	-8.250	0x2A	3.750	0x4A	15.750	0x6A	27.750
0x0B	-7.875	0x2B	4.125	0x4B	16.125	0x6B	28.125
0x0C	-7.500	0x2C	4.500	0x4C	16.500	0x6C	28.500
0x0D	-7.125	0x2D	4.875	0x4D	16.875	0x6D	28.875
0x0E	-6.750	0x2E	5.250	0x4E	17.250	0x6E	29.250
0x0F	-6.375	0x2F	5.625	0x4F	17.625	0x6F	29.625
0x10	-6.000	0x30	6.000	0x50	18.000	0x70	30.000
0x11	-5.625	0x31	6.375	0x51	18.375	0x71	30.375
0x12	-5.250	0x32	6.750	0x52	18.750	0x72	30.750
0x13	-4.875	0x33	7.125	0x53	19.125	0x73	31.125
0x14	-4.500	0x34	7.500	0x54	19.500	0x74	31.500
0x15	-4.125	0x35	7.875	0x55	19.875	0x75	31.875
0x16	-3.750	0x36	8.250	0x56	20.250	0x76	32.250
0x17	-3.375	0x37	8.625	0x57	20.625	0x77	32.625
0x18	-3.000	0x38	9.000	0x58	21.000	0x78	33.000
0x19	-2.625	0x39	9.375	0x59	21.375	0x79	33.375
0x1A	-2.250	0x3A	9.750	0x5A	21.750	0x7A	33.750
0x1B	-1.875	0x3B	10.125	0x5B	22.125	0x7B	34.125
0x1C	-1.500	0x3C	10.500	0x5C	22.500	0x7C	34.500
0x1D	-1.125	0x3D	10.875	0x5D	22.875	0x7D	34.875
0x1E	-0.750	0x3E	11.250	0x5E	23.250	0x7E	35.250
0x1F	-0.375	0x3F	11.625	0x5F	23.625	0x7F	35.625

## Record Digital Attenuator Control Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x60	0x61	RDVOL							
			1	1	1	1	1	1	1	1

本レジスタは ADC 経路使用時デジタル信号処理シグナル・フローにおける RDVOL ブロック（デジタル VolumeGain）を設定します。MUTE 及び、-71.5dB から 0.0dB まで 0.5dB ステップで設定可能です。

## RDVOL[7:0]

設定	Gain(dB)	設定	Gain(dB)	設定	Gain(dB)	設定	Gain(dB)
0x00~ 0x6E	設定禁止	0x93	-54.0	0xB8	-35.5	0xDD	-17.0
0x6F	MUTE	0x94	-53.5	0xB9	-35.0	0xDE	-16.5
0x70	-71.5	0x95	-53.0	0xBA	-34.5	0xDF	-16.0
0x71	-71.0	0x96	-52.5	0xBB	-34.0	0xE0	-15.5
0x72	-70.5	0x97	-52.0	0xBC	-33.5	0xE1	-15.0
0x73	-70.0	0x98	-51.5	0xBD	-33.0	0xE2	-14.5
0x74	-69.5	0x99	-51.0	0xBE	-32.5	0xE3	-14.0
0x75	-69.0	0x9A	-50.5	0xBF	-32.0	0xE4	-13.5
0x76	-68.5	0x9B	-50.0	0xC0	-31.5	0xE5	-13.0
0x77	-68.0	0x9C	-49.5	0xC1	-31.0	0xE6	-12.5
0x78	-67.5	0x9D	-49.0	0xC2	-30.5	0xE7	-12.0
0x79	-67.0	0x9E	-48.5	0xC3	-30.0	0xE8	-11.5
0x7A	-66.5	0x9F	-48.0	0xC4	-29.5	0xE9	-11.0
0x7B	-66.0	0xA0	-47.5	0xC5	-29.0	0xEA	-10.5
0x7C	-65.5	0xA1	-47.0	0xC6	-28.5	0xEB	-10.0
0x7D	-65.0	0xA2	-46.5	0xC7	-28.0	0xEC	-9.5
0x7E	-64.5	0xA3	-46.0	0xC8	-27.5	0xED	-9.0
0x7F	-64.0	0xA4	-45.5	0xC9	-27.0	0xEE	-8.5
0x80	-63.5	0xA5	-45.0	0xCA	-26.5	0xEF	-8.0
0x81	-63.0	0xA6	-44.5	0xCB	-26.0	0xF0	-7.5
0x82	-62.5	0xA7	-44.0	0xCC	-25.5	0xF1	-7.0
0x83	-62.0	0xA8	-43.5	0xCD	-25.0	0xF2	-6.5
0x84	-61.5	0xA9	-43.0	0xCE	-24.5	0xF3	-6.0
0x85	-61.0	0xAA	-42.5	0xCF	-24.0	0xF4	-5.5
0x86	-60.5	0xAB	-42.0	0xD0	-23.5	0xF5	-5.0
0x87	-60.0	0xAC	-41.5	0xD1	-23.0	0xF6	-4.5
0x88	-59.5	0xAD	-41.0	0xD2	-22.5	0xF7	-4.0
0x89	-59.0	0xAE	-40.5	0xD3	-22.0	0xF8	-3.5
0x8A	-58.5	0xAF	-40.0	0xD4	-21.5	0xF9	-3.0
0x8B	-58.0	0xB0	-39.5	0xD5	-21.0	0xFA	-2.5
0x8C	-57.5	0xB1	-39.0	0xD6	-20.5	0xFB	-2.0
0x8D	-57.0	0xB2	-38.5	0xD7	-20.0	0xFC	-1.5
0x8E	-56.5	0xB3	-38.0	0xD8	-19.5	0xFD	-1.0
0x8F	-56.0	0xB4	-37.5	0xD9	-19.0	0xFE	-0.5
0x90	-55.5	0xB5	-37.0	0xDA	-18.5	0xFF	0.0
0x91	-55.0	0xB6	-36.5	0xDB	-18.0		
0x92	-54.5	0xB7	-36.0	0xDC	-17.5		

## Playback Effect Volume Control Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x62	0x63	Effect VOL							
			1	1	1	1	1	1	1	1

本レジスタは、DAC 経路使用時デジタル信号処理シグナル・フローでの Effect VOL(デジタル VolumeGain)を設定します。  
MUTE 及び、-71.5dB から 0.0dB まで 0.5dB ステップで設定可能です。

## Effect Vol[7:0]

デジタル・VolumeGain を設定します。

設定	Gain(dB)	設定	Gain(dB)	設定	Gain(dB)	設定	Gain(dB)
0x00~ 0x6E	設定禁止	0x93	-54.0	0xB8	-35.5	0xDD	-17.0
0x6F	MUTE	0x94	-53.5	0xB9	-35.0	0xDE	-16.5
0x70	-71.5	0x95	-53.0	0xBA	-34.5	0xDF	-16.0
0x71	-71.0	0x96	-52.5	0xBB	-34.0	0xE0	-15.5
0x72	-70.5	0x97	-52.0	0xBC	-33.5	0xE1	-15.0
0x73	-70.0	0x98	-51.5	0xBD	-33.0	0xE2	-14.5
0x74	-69.5	0x99	-51.0	0xBE	-32.5	0xE3	-14.0
0x75	-69.0	0x9A	-50.5	0xBF	-32.0	0xE4	-13.5
0x76	-68.5	0x9B	-50.0	0xC0	-31.5	0xE5	-13.0
0x77	-68.0	0x9C	-49.5	0xC1	-31.0	0xE6	-12.5
0x78	-67.5	0x9D	-49.0	0xC2	-30.5	0xE7	-12.0
0x79	-67.0	0x9E	-48.5	0xC3	-30.0	0xE8	-11.5
0x7A	-66.5	0x9F	-48.0	0xC4	-29.5	0xE9	-11.0
0x7B	-66.0	0xA0	-47.5	0xC5	-29.0	0xEA	-10.5
0x7C	-65.5	0xA1	-47.0	0xC6	-28.5	0xEB	-10.0
0x7D	-65.0	0xA2	-46.5	0xC7	-28.0	0xEC	-9.5
0x7E	-64.5	0xA3	-46.0	0xC8	-27.5	0xED	-9.0
0x7F	-64.0	0xA4	-45.5	0xC9	-27.0	0xEE	-8.5
0x80	-63.5	0xA5	-45.0	0xCA	-26.5	0xEF	-8.0
0x81	-63.0	0xA6	-44.5	0xCB	-26.0	0xF0	-7.5
0x82	-62.5	0xA7	-44.0	0xCC	-25.5	0xF1	-7.0
0x83	-62.0	0xA8	-43.5	0xCD	-25.0	0xF2	-6.5
0x84	-61.5	0xA9	-43.0	0xCE	-24.5	0xF3	-6.0
0x85	-61.0	0xAA	-42.5	0xCF	-24.0	0xF4	-5.5
0x86	-60.5	0xAB	-42.0	0xD0	-23.5	0xF5	-5.0
0x87	-60.0	0xAC	-41.5	0xD1	-23.0	0xF6	-4.5
0x88	-59.5	0xAD	-41.0	0xD2	-22.5	0xF7	-4.0
0x89	-59.0	0xAE	-40.5	0xD3	-22.0	0xF8	-3.5
0x8A	-58.5	0xAF	-40.0	0xD4	-21.5	0xF9	-3.0
0x8B	-58.0	0xB0	-39.5	0xD5	-21.0	0xFA	-2.5
0x8C	-57.5	0xB1	-39.0	0xD6	-20.5	0xFB	-2.0
0x8D	-57.0	0xB2	-38.5	0xD7	-20.0	0xFC	-1.5
0x8E	-56.5	0xB3	-38.0	0xD8	-19.5	0xFD	-1.0
0x8F	-56.0	0xB4	-37.5	0xD9	-19.0	0xFE	-0.5
0x90	-55.5	0xB5	-37.0	0xDA	-18.5	0xFF	0.0
0x91	-55.0	0xB6	-36.5	0xDB	-18.0		
0x92	-54.5	0xB7	-36.0	0xDC	-17.5		

## DSP Filter Function Enable Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x66	0x67	HPF20D	EQ4EN	EQ3EN	EQ2EN	EQ1EN	EQ0EN	HPF2EN	HPF1EN
			0	0	0	0	0	0	0	1

## HPF1EN

本レジスタ・Bit[0]は ADC 経路使用時デジタル信号処理シグナル・フローの“HPF1”のブロックの ON/OFF を設定します。HPF1 は DC 除去用の 1 次ハイパス・フィルタです。本フィルタ機能は、ADC 経路使用時に対してのみ有効です。ADC 経路使用中(RECPLAY=0x1,0x3,及び 0x7)には変更しないでください。変更した場合にはノイズが発生する場合があります。DAC 経路使用中(RECPLAY=0x2)には、本 bit の論理は動作に影響を与えません。

HPF1EN	説明
0	DC カット用の 1 次ハイパス・フィルタ OFF
1	DC カット用の 1 次ハイパス・フィルタ ON

## HPF2EN

本レジスタ・Bit[1]は ADC 経路使用時デジタル信号処理シグナル・フローの“HPF2”のブロックの ON/OFF を設定します。HPF2 はノイズ除去用の 2 次ハイパス・フィルタです。ADC 経路または DAC 経路使用中(RECPLAY≠0x0)には変更しないでください。変更した場合にはノイズが発生する場合があります。フィルタのカットオフ周波数設定は HPF2CUT(0x7e/7f)レジスタで設定します。

DAC 経路使用時デジタル信号処理シグナル・フロー“LPF”ブロックと排他的に機能が切り替わります。Rec Programmable LPF Setting レジスタの RLPFEN ビット(MAPCON1:0xa6/a7[0])の RLPFEN=0 時のみ、HPF2EN ビットが有効となります。

HPF2EN	説明
0	ノイズ除去用の 2 次ハイパス・フィルタ OFF
1	ノイズ除去用の 2 次ハイパス・フィルタ ON

本レジスタ・Bit[6:2]の EQ0EN~EQ4EN は ADC/DAC 経路使用時デジタル信号処理シグナル・フローの“Filter”ブロックの設定です。

## EQ0EN

イコライザ バンド 0 の ON/OFF を設定します。ADC 経路または DAC 経路使用中(RECPLAY≠0x0)に変更する場合は、フェード・イン機能を ON(0x68/0x69: DVFADE=1)にし 0dB ゲインまで移行させた後に行うようにしてください。

EQ0EN	説明
0	イコライザ バンド 0 OFF
1	イコライザ バンド 0 ON

## EQ1EN

イコライザ バンド 1 の ON/OFF を設定します。ADC 経路または DAC 経路使用中(RECPLAY≠0x0)に変更する場合は、フェード・イン機能を ON(0x68/0x69: DVFADE=1)にし 0dB ゲインまで移行させた後に行うようにしてください。

EQ1EN	説明
0	イコライザ バンド 1 OFF
1	イコライザ バンド 1 ON

## EQ2EN

イコライザ バンド 2 の ON/OFF を設定します。ADC 経路または DAC 経路使用中(RECPLAY≠0x0)に変更する場合は、フェード・イン機能を ON(0x68/0x69: DVFADE=1)にし 0dB ゲインまで移行させた後に行うようにしてください。

EQ2EN	説明
0	イコライザ バンド 2 OFF
1	イコライザ バンド 2 ON

## EQ3EN

イコライザ バンド 3 の ON/OFF を設定します。ADC 経路または DAC 経路使用中(RECPLAY≠0x0)の変更が可能です。フェード・イン機能を ON(0x68/0x69: DVFADE=1)にし 0dB ゲインまで移行させた後に行うようにしてください。

EQ3EN	説明
0	イコライザ バンド 3 OFF
1	イコライザ バンド 3 ON

## EQ4EN

イコライザ バンド4のON/OFFを設定します。ADC経路またはDAC経路使用中(RECPLAY≠0x0)に変更する場合は、フェード・イン機能をON(0x68/0x69: DVFADE=1)にし0dBゲインまで移行させた後に行うようにしてください。

EQ4EN	説明
0	イコライザ バンド4 OFF
1	イコライザ バンド4 ON

#### HPF2OD

本レジスタ・Bit[7]はADC経路使用时デジタル信号処理シグナル・フローの“HPF2”ブロックの設定です。

HPF2 ブロックのノイズ除去用 2次ハイパス・フィルタの次数を設定します。ADC経路またはDAC経路使用中(RECPLAY≠0x0)には変更しないでください。変更した場合にはノイズが発生する場合があります。

HPF2OD	説明
0	2次フィルタ
1	1次フィルタ

#### Digital Volume Control Function Enable Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x68	0x69	-	-	-	DVMUTE	DVFADE	-	-	PALCEN
			-	-	-	0	0	-	-	0

本レジスタはADC/DAC経路使用时デジタル信号処理シグナル・フローの“DVMUTE”と“PALC”ブロックについての設定です。Digital Attenuator Volume 制御及びPALC機能のON/OFFを設定します。

#### PALCEN

DAC経路使用時のPALC機能のON/OFFを設定します。

ADC経路及びDAC経路の使用停止(RECPLAY=0x0)時に設定の変更をしてください。

PALCENとRPPL(0xae/0xaf)レジスタを同じ値に設定してください。

設定	説明
0	PALC (DAC経路 ALC) OFF
1	PALC (DAC経路 ALC) ON

#### DVFADE

ADC/DAC経路使用時のDigital Attenuator Volume フェード機能のON/OFFを設定します。

フェード機能は、RDVOL, PLAYDATTレジスタに対して有効となります。

設定	説明
0	フェード機能 OFF RDVOL, PLAYDATTのレジスタ設定値がそのまま実際のVolume値として使用されます。したがって、値を変更すると、即時、反映されます。
1	フェード機能 ON RDVOL, PLAYDATTのレジスタ設定値に向かって DVFCEN レジスタ設定(0x6a/6b)のステップ時間で±1ステップずつ変化していきます。

#### DVMUTE

ADC/DAC経路使用時のDigital Attenuator Volumeを強制的にミュートに設定します。

本ビットによるVolume変更(MUTE ON/OFF時)に対しても、DVFADEによるフェード機能が有効になります。

また、MUTE機能は、RDVOL, PLAYDATTレジスタに対して有効となりますが、本ビットの設定によってRDVOL, PLAYDATTのレジスタ値が書き換わることはありませんので、解除することにより、RDVOL, PLAYDATTでの設定Volumeに戻ります。

設定	説明
0	RDATT, PDATTのレジスタ設定値が有効
1	Digital Attenuator VolumeがMUTEに設定されます 本ビットの設定によってRDVOL, PLAYDATTのレジスタ値が書き換わることはありませんので、解除することにより、RDVOL, PLAYDATTでの設定Volumeに戻ります。

Mixer & Volume Control Register

Mixer & Volume Control Register										
MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x6a	0x6b	DVFCN				RMCON		LMCON	
			0	0	0	0	0	0	0	0

本レジスタは、SAI 受信時の L/R ミキサ処理、及び、デジタル Volume のフェード機能を制御します。

LMCON[1:0]

本ビットは、DAC 経路使用時デジタル信号処理シグナル・フローの“L/R MIX”ブロックの設定です。SAI 受信データについて、どのチャンネルを DAC(Lch)に入力するかを設定します。

設定	説明
0x0	L を使用
0x1	R を使用
0x2	(L+R)を使用
0x3	(L+R)/2 を使用

RMCON[1:0]

本ビットは、DAC 経路使用時デジタル信号処理シグナル・フローの“L/R MIX”ブロックの設定です。SAI 受信データについて、どのチャンネルを DAC(Rch)に入力するかを設定します。

設定	説明
0x0	R を使用
0x1	L を使用
0x2	(L+R)を使用
0x3	(L+R)/2 を使用

DVFCN[3:0]

本ビットは、ADC/DAC 経路使用時デジタル信号処理シグナル・フローの“DVMUTE”ブロックの設定です。デジタル・Volume・フェード機能の Volume 変化ステップ時間を設定します。この設定周期で Volume は 1 ステップ(0.5dB)ずつ変化します。時間は下表に示す通り、サンプリング周波数(fs)に比例します。

設定	fs 換算	時間(fs=48kHz)
0x0	1/fs	20.8µs
0x1	2/fs	41.7µs
0x2	4/fs	83.3µs
0x3	8/fs	167µs
0x4	16/fs	333µs
0x5	32/fs	667µs
0x6	64/fs	1.33ms
0x7	128/fs	2.67ms
0x8	256/fs	5.33ms
0x9	512/fs	10.7ms
0xA	1024/fs	21.3ms
0xB	2048/fs	42.7ms
0xC	4096/fs	85.3ms
0xD	8192/fs	171ms
0xE	16384/fs	341ms



EQ Band0 Gain Setting Register  
 EQ Band1 Gain Setting Register  
 EQ Band2 Gain Setting Register  
 EQ Band3 Gain Setting Register  
 EQ Band4 Gain Setting Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x74	0x75	EQGAIN0							
			1	1	1	0	0	1	1	1
0x0	0x76	0x77	EQGAIN1							
			1	1	1	0	0	1	1	1
0x0	0x78	0x79	EQGAIN2							
			1	1	1	0	0	1	1	1
0x0	0x7a	0x7b	EQGAIN3							
			1	1	1	0	0	1	1	1
0x0	0x7c	0x7d	EQGAIN4							
			1	1	1	0	0	1	1	1

以下の EQGAIN0~EQGAIN4 は ADC/DAC 経路使用時デジタル信号処理シグナル・フローの“Filter”ブロックの設定です。イコライザの各バンドのゲインを設定します。MUTE 及び、-71.5dB から 12.0dB まで 0.5dB ステップで設定可能です。MUTE 設定では、ノッチフィルタとして動作します。

EQGAIN 0~to 4[7:0]	Gain (0dB)	EQGAIN 0~to4[7:0]	Gain (0dB)	EQGAIN 0~to4[7:0]	Gain (dB)	EQGAIN 0~to4[7:0]	Gain (dB)
0x00~to 0x57	MUTE	0x82	-50.5	0xAD	-29.0	0xD8	-7.5
0x58	-71.5	0x83	-50.0	0xAE	-28.5	0xD9	-7.0
0x59	-71.0	0x84	-49.5	0xAF	-28.0	0xDA	-6.5
0x5A	-70.5	0x85	-49.0	0xB0	-27.5	0xDB	-6.0
0x5B	-70.0	0x86	-48.5	0xB1	-27.0	0xDC	-5.5
0x5C	-69.5	0x87	-48.0	0xB2	-26.5	0xDD	-5.0
0x5D	-69.0	0x88	-47.5	0xB3	-26.0	0xDE	-4.5
0x5E	-68.5	0x89	-47.0	0xB4	-25.5	0xDF	-4.0
0x5F	-68.0	0x8A	-46.5	0xB5	-25.0	0xE0	-3.5
0x60	-67.5	0x8B	-46.0	0xB6	-24.5	0xE1	-3.0
0x61	-67.0	0x8C	-45.5	0xB7	-24.0	0xE2	-2.5
0x62	-66.5	0x8D	-45.0	0xB8	-23.5	0xE3	-2.0
0x63	-66.0	0x8E	-44.5	0xB9	-23.0	0xE4	-1.5
0x64	-65.5	0x8F	-44.0	0xBA	-22.5	0xE5	-1.0
0x65	-65.0	0x90	-43.5	0xBB	-22.0	0xE6	-0.5
0x66	-64.5	0x91	-43.0	0xBC	-21.5	0xE7	0.0
0x67	-64.0	0x92	-42.5	0xBD	-21.0	0xE8	0.5
0x68	-63.5	0x93	-42.0	0xBE	-20.5	0xE9	1.0
0x69	-63.0	0x94	-41.5	0xBF	-20.0	0xEA	1.5
0x6A	-62.5	0x95	-41.0	0xC0	-19.5	0xEB	2.0
0x6B	-62.0	0x96	-40.5	0xC1	-19.0	0xEC	2.5
0x6C	-61.5	0x97	-40.0	0xC2	-18.5	0xED	3.0
0x6D	-61.0	0x98	-39.5	0xC3	-18.0	0xEE	3.5
0x6E	-60.5	0x99	-39.0	0xC4	-17.5	0xEF	4.0
0x6F	-60.0	0x9A	-38.5	0xC5	-17.0	0xF0	4.5
0x70	-59.5	0x9B	-38.0	0xC6	-16.5	0xF1	5.0
0x71	-59.0	0x9C	-37.5	0xC7	-16.0	0xF2	5.5
0x72	-58.5	0x9D	-37.0	0xC8	-15.5	0xF3	6.0
0x73	-58.0	0x9E	-36.5	0xC9	-15.0	0xF4	6.5
0x74	-57.5	0x9F	-36.0	0xCA	-14.5	0xF5	7.0
0x75	-57.0	0xA0	-35.5	0xCB	-14.0	0xF6	7.5
0x76	-56.5	0xA1	-35.0	0xCC	-13.5	0xF7	8.0
0x77	-56.0	0xA2	-34.5	0xCD	-13.0	0xF8	8.5
0x78	-55.5	0xA3	-34.0	0xCE	-12.5	0xF9	9.0
0x79	-55.0	0xA4	-33.5	0xCF	-12.0	0xFA	9.5
0x7A	-54.5	0xA5	-33.0	0xD0	-11.5	0xFB	10.0
0x7B	-54.0	0xA6	-32.5	0xD1	-11.0	0xFC	10.5
0x7C	-53.5	0xA7	-32.0	0xD2	-10.5	0xFD	11.0
0x7D	-53.0	0xA8	-31.5	0xD3	-10.0	0xFE	11.5
0x7E	-52.5	0xA9	-31.0	0xD4	-9.5	0xFF	12.0
0x7F	-52.0	0xAA	-30.5	0xD5	-9.0		
0x80	-51.5	0xAB	-30.0	0xD6	-8.5		
0x81	-51.0	0xAC	-29.5	0xD7	-8.0		

## High Pass Filter2 Cut-off Control Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x7e	0x7f	-	-	-	-	-	HPF2CUT		
			-	-	-	-	-	0	0	0

## HPF2CUT[2:0]

本レジスタは ADC 経路使用時デジタル信号処理シグナル・フローの“HPF2”のブロックのフィルタの設定をします。

HPF2CUT はノイズ除去用ハイパス・フィルタのカットオフ周波数を設定します。下表の数値は、2 次フィルタ選択時 (HPF2OD=“0”)には 3dB 減衰する周波数を、1 次フィルタ選択時(HPF2OD=“1”)には 1.5dB 減衰する周波数を、それぞれ表しています。

当該フィルタ処理中(HPF2EN=“1”かつ、RECPLAY=0x1,0x3 または 0x7)は本レジスタの設定を変更しないでください。

設定	Cut-off Frequency (Hz)		
	fs=8kHz, 16kHz, 32kHz	fs=11.025kHz, 22.05kHz, 44.1kHz	fs=12kHz, 24kHz, 48kHz
0x0	80	110	120
0x1	100	138	150
0x2	130	179	195
0x3	160	221	240
0x4	200	276	300
0x5	260	358	390
0x6	320	441	480
0x7	400	551	600

Programable Equalizer Band0 Coefficient-a0 (L) Register  
 Programable Equalizer Band0 Coefficient-a0 (H) Register  
 Programable Equalizer Band0 Coefficient-a1 (L) Register  
 Programable Equalizer Band0 Coefficient-a1 (H) Register  
 Programable Equalizer Band1 Coefficient-a0 (L) Register  
 Programable Equalizer Band1 Coefficient-a0 (H) Register  
 Programable Equalizer Band1 Coefficient-a1 (L) Register  
 Programable Equalizer Band1 Coefficient-a1 (H) Register  
 Programable Equalizer Band2 Coefficient-a0 (L) Register  
 Programable Equalizer Band2 Coefficient-a0 (H) Register  
 Programable Equalizer Band2 Coefficient-a1 (L) Register  
 Programable Equalizer Band2 Coefficient-a1 (H) Register  
 Programable Equalizer Band3 Coefficient-a0 (L) Register  
 Programable Equalizer Band3 Coefficient-a0 (H) Register  
 Programable Equalizer Band3 Coefficient-a1 (L) Register  
 Programable Equalizer Band3 Coefficient-a1 (H) Register  
 Programable Equalizer Band4 Coefficient-a0 (L) Register  
 Programable Equalizer Band4 Coefficient-a0 (H) Register  
 Programable Equalizer Band4 Coefficient-a1 (L) Register  
 Programable Equalizer Band4 Coefficient-a1 (H) Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0x80	0x81	EQ0A0L							
			0	0	0	0	0	0	0	0
0x0	0x82	0x83	EQ0A0H							
			0	0	0	0	0	0	0	0
0x0	0x84	0x85	EQ0A1L							
			0	0	0	0	0	0	0	0
0x0	0x86	0x87	EQ0A1H							
			0	0	0	0	0	0	0	0
0x0	0x88	0x89	EQ1A0L							
			0	0	0	0	0	0	0	0
0x0	0x8a	0x8b	EQ1A0H							
			0	0	0	0	0	0	0	0
0x0	0x8c	0x8d	EQ1A1L							
			0	0	0	0	0	0	0	0
0x0	0x8e	0x8f	EQ1A1H							
			0	0	0	0	0	0	0	0
0x0	0x90	0x91	EQ2A0L							
			0	0	0	0	0	0	0	0
0x0	0x92	0x93	EQ2A0H							
			0	0	0	0	0	0	0	0
0x0	0x94	0x95	EQ2A1L							
			0	0	0	0	0	0	0	0
0x0	0x96	0x97	EQ2A1H							
			0	0	0	0	0	0	0	0
0x0	0x98	0x99	EQ3A0L							
			0	0	0	0	0	0	0	0
0x0	0x9a	0x9b	EQ3A0H							
			0	0	0	0	0	0	0	0
0x0	0x9c	0x9d	EQ3A1L							
			0	0	0	0	0	0	0	0
0x0	0x9e	0x9f	EQ3A1H							
			0	0	0	0	0	0	0	0
0x0	0xa0	0xa1	EQ4A0L							
			0	0	0	0	0	0	0	0
0x0	0xa2	0xa3	EQ4A0H							
			0	0	0	0	0	0	0	0
0x0	0xa4	0xa5	EQ4A1L							
			0	0	0	0	0	0	0	0
0x0	0xa6	0xa7	EQ4A1H							
			0	0	0	0	0	0	0	0

以下のEQ0A0L~EQ4A1HレジスタはADC/DAC経路使用時デジタル信号処理シグナル・フローの“Filter”ブロックの設定です。これらのレジスタは5バンド プログラマブル・イコライザの各バンドの係数 a0, a1 を設定をします。1 個の係数値が2

バイトのデータで構成されます。本レジスタの変更により、フィルタの中心周波数とバンド幅を任意に設定することができます。設定対象フィルタ処理中<sup>(Note 1)</sup>は本レジスタの設定を変更しないでください。

設定値に関する詳細は「機能説明」の「Filter(5band-Programmable IIR Filter)」の項を参照してください。  
(Note1)

ADC 経路でのイコライザ使用時:

RECPLAY=0x1,0x3 または 0x7、かつ SEMODE[7]=0 かつ、

イコライザ 0: EQ0EN=1, イコライザ 1: EQ1EN=1, イコライザ 2: EQ2EN=1, イコライザ 3: EQ3EN=1, イコライザ 4: EQ4EN=1 の場合

ADC 経路でのイコライザ使用時:

RECPLAY=0x2,または 0x3、かつ SEMODE[7]=1 かつ、

イコライザ 0: EQ0EN=1, イコライザ 1: EQ1EN=1, イコライザ 2: EQ2EN=1, イコライザ 3: EQ3EN=1, イコライザ 4: EQ4EN=1 の場合

RecPlay Play Limiter Enable Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0xae	0xaf	-	-	-	-	-	-	-	RPPL
			-	-	-	-	-	-	-	0

DAC 経路使用時の PALC 機能の ON/OFF を設定します。

ADC 経路及び DAC 経路の使用停止(RECPLAY=0x0)時に設定の変更をしてください。

RPPL と PALCEN(0x68/0x69)レジスタを同じ値に設定してください。

RPPL

PALC 機能の使用可否を設定します。

設定	説明
0	PALC (DAC 経路 ALC) OFF
1	PALC (DAC 経路 ALC) ON

Soft Clip Enable Register  
 Soft Clip Threshold H Register  
 Soft Clip Threshold M Register  
 Soft Clip Threshold L Register  
 Soft Clip Gain Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0xb0	0xb1	-	-	-	-	-	-	-	SCEN
			-	-	-	-	-	-	-	0
0x0	0xb2	0xb3	-	SCTHRH						
			-	0	0	0	0	0	0	0
0x0	0xb4	0xb5	SCTHRM							
			0	0	0	0	0	0	0	0
0x0	0xb6	0xb7	SCTHRL							
			0	0	0	0	0	0	0	0
0x0	0xb8	0xb9	-	-	-	-	-	SCGAIN		
			-	-	-	-	-	0	0	1

本レジスタは、DAC 経路使用時デジタル信号処理シグナル・フローの“SoftClip”ブロックの設定です。ソフトクリップ機能の制御を行います。

#### SCEN

ソフトクリップ機能の ON/OFF を制御します。

設定	説明
0	SoftClip 機能 OFF
1	SoftClip 機能 ON

#### SCTHRH

#### SCTHRM

#### SCTHRL

ソフトクリップ・スレッシュホールドレベルを設定します。

本ビット以上の PCM 信号が入力された場合、SCGAIN の値に従い、クリップ動作を行います。

スレッシュホールドレベルの値は、23bit(SCTHRM[6:0], SCTHRM[7:0], SCTHRL[7:0])の絶対値で入力します。

SoftClip 機能動作中に本ビットの値を変更しないでください。

#### SCGAIN[2:0]

ソフトクリップ時の倍率を指定します。なお、SoftClip 機能動作中に本ビットの値を変更しないでください。

設定	説明
0x0	2 倍
0x1	1 倍(default)
0x2	1/2 倍
0x3	1/4 倍
0x4	1/8 倍
0x5	1/16 倍
0x6	1/32 倍
0x7	1/64 倍

## MIC ALC Control Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0xba	0xbb	-	-	-	-	-	-	MCLEN	MALCEN
			-	-	-	-	-	-	1	1

本レジスタは MALC(マイク入力用 ALC)の設定項目です。

この機能の詳細説明は、「機能説明」の“MALC(マイク入力用 ALC) / LALC(ライン入力用 ALC)”の項を参照ください。

## MALCEN

マイク入力用 ALC 機能の ON/OFF を制御します。

MALC が OFF の際、Mic アンプのゲインは MALCMXGAIN の設定値で固定となります。

設定	説明
0	MALC 機能 OFF
1	MALC 機能 ON (default)

## MCLEN

マイク入力用 ALC のクリップリダクション機能を制御します。

設定	説明
0	MIC 経路クリップリダクション OFF
1	MIC 経路クリップリダクション ON (default)

## MIC ALC Attack /Decay Time Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0xbc	0xbd	-	MALCDCY			-	MALCATK		
			-	1	0	0	-	1	0	0

本レジスタはマイク入力用 ALC のアタックタイム、ディケイタイムを設定します。

この機能の詳細説明は、「機能説明」の“MALC(マイク入力用 ALC) / LALC(ライン入力用 ALC)”の項を参照ください。

## MALCATK[2:0]

マイク入力用 ALC の 1 ステップ(=0.75dB)のアタックタイムを設定します。

設定	8kHz	11.025k Hz	12kHz	16kHz	22.05kH z	24kHz	32kHz	44.1kHz	48kHz	Unit
0	0.25	0.18	0.17	0.13	0.09	0.08	0.06	0.05	0.04	ms
1	0.5	0.36	0.33	0.25	0.18	0.17	0.13	0.09	0.08	ms
2	1.0	0.73	0.67	0.5	0.36	0.33	0.25	0.18	0.17	ms
3	2.0	1.45	1.33	1.0	0.73	0.67	0.5	0.36	0.33	ms
4	4.0	2.9	2.67	2.0	1.45	1.33	1.0	0.73	0.67	ms
5	8.0	5.8	5.33	4.0	2.9	2.67	2.0	1.45	1.33	ms
6	16.0	11.61	10.67	8.0	5.8	5.33	4.0	2.9	2.67	ms
7	32.0	23.22	21.33	16.0	11.61	10.67	8.0	5.8	5.33	ms

## MALCDCY[2:0]

マイク入力用 ALC の 1 ステップ(=0.75dB)のディケイタイムを設定します。

設定	8kHz	11.025k Hz	12kHz	16kHz	22.05kH z	24kHz	32kHz	44.1kHz	48kHz	Unit
0	64	46	43	32	23	21	16	12	11	ms
1	128	93	85	64	46	43	32	23	21	ms
2	256	186	171	128	93	85	64	46	43	ms
3	512	372	341	256	186	171	128	93	85	ms
4	1024	743	683	512	372	341	256	186	171	ms
5	2048	1486	1365	1024	743	683	512	372	341	ms
6	4096	2972	2731	2048	1486	1365	1024	743	683	ms
7	8192	5944	5461	4096	2972	2731	2048	1486	1365	ms

## MIC ALC Max Gain Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0xbe	0xbf	-	-	MALCMXGAIN					
			-	-	0	1	0	0	0	0

本レジスタは MALC(マイク入力用 ALC)の設定項目です。

この機能の詳細説明は、「機能説明」の“MALC(マイク入力用 ALC) / LALC(ライン入力用 ALC)”の項を参照ください。

## MALCGAIN[5:0]

マイク入力用 ALC が制御するゲインの最大値を設定します。

MALC 機能が OFF の際、MIC アンプのゲインは MALCMXGAIN の設定値で固定となります。

設定	説明
0x3F	35.25dB
0x3E	34.50dB
:	(0.75dB/step)
0x28	18.00dB
:	(0.75dB/step)
0x11	0.75dB
0x10	0.00dB
:	設定禁止
0x00	設定禁止

## LINE ALC Control Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0xc4	0xc5	-	-	-	-	-	-	LCLLEN	LALCEN
			-	-	-	-	-	-	0	0

本レジスタは LALC(ライン入力用 ALC)の設定項目です。

この機能の詳細説明は、「機能説明」の“MALC(マイク入力用 ALC) / LALC(ライン入力用 ALC)”の項を参照ください。

## LALCEN

ライン入力用 ALC の ON/OFF を制御します。

設定	説明
0	ライン入力用 ALC 機能 OFF (default)
1	ライン入力用 ALC 機能 ON

## LCLLEN

ライン入力用 ALC クリップリダクション機能の ON/OFF を制御します。

設定	説明
0	ライン入力用 ALC クリップリダクション機能 OFF (default)
1	ライン入力用 ALC クリップリダクション機能 ON

## LINE ALC Attack /Decay Time Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0xc6	0xc7	-	LALCDCY			-	LALCATK		
			-	1	1	1	-	1	0	0

本レジスタは LALC(ライン入力用 ALC)の設定項目です。

この機能の詳細説明は、「機能説明」の“MALC(マイク入力用 ALC) / LALC(ライン入力用 ALC)”の項を参照ください。

## LALCATK[2:0]

ライン入力用 ALC の 1 ステップ(=1dB)のアタックタイムを設定します。

設定	8kHz	11.025k Hz	12kHz	16kHz	22.05kH z	24kHz	32kHz	44.1kHz	48kHz	Unit
0	0.5	0.4	0.3	0.3	0.2	0.2	0.1	0.1	0.1	ms
1	1.0	0.7	0.7	0.5	0.4	0.3	0.3	0.2	0.2	ms
2	2.0	1.5	1.3	1.0	0.7	0.7	0.5	0.4	0.3	ms
3	4.0	2.9	2.7	2.0	1.5	1.3	1.0	0.7	0.7	ms
4	8.0	5.8	5.3	4.0	2.9	2.7	2.0	1.5	1.3	ms
5	16.0	11.6	10.7	8.0	5.8	5.3	4.0	2.9	2.7	ms
6	32.0	23.2	21.3	16.0	11.6	10.7	8.0	5.8	5.3	ms
7	64.0	46.4	42.7	32.0	23.2	21.3	16.0	11.6	10.7	ms

## LALCDCY[2:0]

ライン入力用 ALC の 1 ステップ(=1dB)のディケイタイムを設定します。

設定	8kHz	11.025k Hz	12kHz	16kHz	22.05kH z	24kHz	32kHz	44.1kHz	48kHz	Unit
0	64	46	43	32	23	21	16	12	11	ms
1	128	93	85	64	46	43	32	23	21	ms
2	256	186	171	128	93	85	64	46	43	ms
3	512	372	341	256	186	171	128	93	85	ms
4	1024	743	683	512	372	341	256	186	171	ms
5	2048	1486	1365	1024	743	683	512	372	341	ms
6	4096	2972	2731	2048	1486	1365	1024	743	683	ms
7	∞	∞	∞	∞	∞	∞	∞	∞	∞	ms

## LINE ALC Max Gain Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0xc8	0xc9	-	-	-	-	LALCMXGAIN			
			-	-	-	-	1	1	1	1

本レジスタは LALC(ライン入力用 ALC)の設定項目です。

この機能の詳細説明は、「機能説明」の“MALC(マイク入力用 ALC) / LALC(ライン入力用 ALC)”の項を参照ください。

## LALCGAIN[3:0]

ライン入力用 ALC が制御するゲインの最大値を設定します。

設定	説明
0xF	6dB
0xE	5dB
:	(1dB/step)
0x1	-8dB
0x0	-9dB



## Playback ALC Attack Time Control Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0xdc	0xdd	-	-	-	-	PALCATK			
			-	-	-	-	0	1	0	0

本レジスタは DAC 経路使用時デジタル信号処理シグナル・フローの“PALC”ブロックの設定項目です。  
この機能の詳細説明は、「機能説明」の“PALC (DAC 経路用 ALC)”の項を参照ください。

## PALCATK[3:0]

DAC 経路用 ALC のアタックタイムを設定します。PALCVOL のゲインが ALC のアタック動作により 1step ずつ減少する際に、このレジスタで設定された時間でゲインが減少していきます。また、時間はサンプリング周波数(fs)に比例します。

設定	Fs 換算 アタックタイム	アタックタイム (fs=48kHz)
0x0	1/fs	20.8us
0x1	2/fs	41.7us
0x2	4/fs	83.3us
0x3	8/fs	167us
0x4	16/fs	333us
0x5	32/fs	667us
0x6	64/fs	1.33ms
0x7	128/fs	2.67ms
0x8	256/fs	5.33ms
0x9	512/fs	10.7ms
0xA	1024/fs	21.3ms
0xB	2048/fs	42.7ms
0xC	4096/fs	85.3ms
0xD	8192/fs	171ms
0xE	16384/fs	341ms
0xF	32768/fs	683ms

## Playback ALC Decay Time Control Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0xde	0xdf	-	-	-	-	PALCDCY			
			-	-	-	-	0	1	0	1

本レジスタは DAC 経路使用時デジタル信号処理シグナル・フローの“PALC”ブロックの設定項目です。  
この機能の詳細説明は、「機能説明」の“PALC (DAC 経路用 ALC)”の項を参照ください。

## PALCDCY[3:0]

DAC 経路用 ALC のディケイタイムを設定します。PALCVOL のゲインが ALC のディケイ動作により 1step ずつ増加する際に、このレジスタで設定された時間でゲインが増加していきます。時間はサンプリング周波数(fs)に比例します。

設定	Fs 換算 ディケイタイム	ディケイタイム (fs=48kHz)
0x0	4/fs	83.3us
0x1	8/fs	167us
0x2	16/fs	333us
0x3	32/fs	667us
0x4	64/fs	1.33ms
0x5	128/fs	2.67ms
0x6	256/fs	5.33ms
0x7	512/fs	10.7ms
0x8	1024/fs	21.3ms
0x9	2048/fs	42.7ms
0xA	4096/fs	85.3ms
0xB	8192/fs	171ms
0xC	16384/fs	341ms
0xD	32768/fs	683ms
0xE	65536/fs	1.37s
0xF	131072/fs	2.73s

## Playback ALC Target Level Control Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0xe0	0xe1	-	-	-	PALCLVL				
			-	-	-	1	1	0	1	1

本レジスタは DAC 経路使用時デジタル信号処理シグナル・フローの“PALC”ブロックの設定項目です。  
この機能の詳細説明は、「機能説明」の“PALC (DAC 経路用 ALC)”の項を参照ください。

## PALCLVL[4:0]

DAC 経路用 ALC のターゲットレベルを設定します。

設定	ターゲットレベル (dBFS)	設定	ターゲットレベル (dBFS)
0x00	-23.25	0x10	-11.25
0x01	-22.50	0x11	-10.50
0x02	-21.75	0x12	-9.75
0x03	-21.00	0x13	-9.00
0x04	-20.25	0x14	-8.25
0x05	-19.50	0x15	-7.50
0x06	-18.75	0x16	-6.75
0x07	-18.00	0x17	-6.00
0x08	-17.25	0x18	-5.25
0x09	-16.50	0x19	-4.50
0x0A	-15.75	0x1A	-3.75
0x0B	-15.00	0x1B	-3.00
0x0C	-14.25	0x1C	-2.25
0x0D	-13.50	0x1D	-1.50
0x0E	-12.75		
0x0F	-12.00		

## Playback ALC Min Gain Control Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0xe2	0xe3	-	-	-	-	-	PALCMINGAIN		
			-	-	-	-	-	0	0	0

本レジスタは DAC 経路使用時デジタル信号処理シグナル・フローの“PALC”ブロックの設定項目です。  
この機能の詳細説明は、「機能説明」の“PALC (DAC 経路用 ALC)”の項を参照ください。

## PALCMINGAIN[2:0]

DAC 経路用 ALC 動作時の最小ゲインとして使用します。-12.0dB から+30.0dB まで 6.0dB ステップで設定可能です。

設定	最小 Gain (dB)
0x00	-12.0
0x01	-6.0
0x02	0.0
0x03	+6.0
0x04	+12.0
0x05	+18.0
0x06	+24.0
0x07	+30.0

## Playback ALC Volume Control Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0xe4	0xe5	-	PALCVOL						
			-	0	1	0	0	0	0	0

本レジスタは DAC 経路使用時デジタル信号処理シグナル・フローの“PALC”ブロックの設定項目です。  
この機能の詳細説明は、「機能説明」の“PALC (DAC 経路用 ALC)”の項を参照ください。

## PALCVOL[6:0]

DAC 経路用 ALC が ON(PALCEN=“1”)の状態では、ALC の最大ゲイン設定となります。  
DAC 経路用 ALC が OFF(PALCEN=“0”)の状態では、Boost ゲイン設定となります。  
-12.000dB から+35.625dB まで 0.375dB ステップで設定可能です。

PALCVOL	Gain (dB)	PALCVOL	Gain (dB)	PALCVOL	Gain (dB)	PALCVOL	Gain (dB)
0x00	-12.000	0x20	0.000	0x40	12.000	0x60	24.000
0x01	-11.625	0x21	0.375	0x41	12.375	0x61	24.375
0x02	-11.250	0x22	0.750	0x42	12.750	0x62	24.750
0x03	-10.875	0x23	1.125	0x43	13.125	0x63	25.125
0x04	-10.500	0x24	1.500	0x44	13.500	0x64	25.500
0x05	-10.125	0x25	1.875	0x45	13.875	0x65	25.875
0x06	-9.750	0x26	2.250	0x46	14.250	0x66	26.250
0x07	-9.375	0x27	2.625	0x47	14.625	0x67	26.625
0x08	-9.000	0x28	3.000	0x48	15.000	0x68	27.000
0x09	-8.625	0x29	3.375	0x49	15.375	0x69	27.375
0x0A	-8.250	0x2A	3.750	0x4A	15.750	0x6A	27.750
0x0B	-7.875	0x2B	4.125	0x4B	16.125	0x6B	28.125
0x0C	-7.500	0x2C	4.500	0x4C	16.500	0x6C	28.500
0x0D	-7.125	0x2D	4.875	0x4D	16.875	0x6D	28.875
0x0E	-6.750	0x2E	5.250	0x4E	17.250	0x6E	29.250
0x0F	-6.375	0x2F	5.625	0x4F	17.625	0x6F	29.625
0x10	-6.000	0x30	6.000	0x50	18.000	0x70	30.000
0x11	-5.625	0x31	6.375	0x51	18.375	0x71	30.375
0x12	-5.250	0x32	6.750	0x52	18.750	0x72	30.750
0x13	-4.875	0x33	7.125	0x53	19.125	0x73	31.125
0x14	-4.500	0x34	7.500	0x54	19.500	0x74	31.500
0x15	-4.125	0x35	7.875	0x55	19.875	0x75	31.875
0x16	-3.750	0x36	8.250	0x56	20.250	0x76	32.250
0x17	-3.375	0x37	8.625	0x57	20.625	0x77	32.625
0x18	-3.000	0x38	9.000	0x58	21.000	0x78	33.000
0x19	-2.625	0x39	9.375	0x59	21.375	0x79	33.375
0x1A	-2.250	0x3A	9.750	0x5A	21.750	0x7A	33.750
0x1B	-1.875	0x3B	10.125	0x5B	22.125	0x7B	34.125
0x1C	-1.500	0x3C	10.500	0x5C	22.500	0x7C	34.500
0x1D	-1.125	0x3D	10.875	0x5D	22.875	0x7D	34.875
0x1E	-0.750	0x3E	11.250	0x5E	23.250	0x7E	35.250
0x1F	-0.375	0x3F	11.625	0x5F	23.625	0x7F	35.625

Playback ALC ZeroCross TimeOut Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0xe6	0xe7	-	-	-	-	-	-	PALCZCTM	
			-	-	-	-	-	-	0	0

PALCZCTM[1:0]

DAC 経路用 ALC のゼロクロス検出タイムアウト時間を設定します。本設定時間の間、ゼロクロスが発生しなかった場合タイムアウト処理が発生し、ボリューム値が強制的に変更されます。  
 時間は下表に示す通り、サンプリング周波数に比例します。

設定	Fs 換算 ゼロクロスタイム	ゼロクロスタイム (fs=48kHz)
0x0	128/fs	2.67ms
0x1	256/fs	5.33ms
0x2	512/fs	10.7ms
0x3	1024/fs	21.3ms

Playback Limiter Fast Release Setting Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0xea	0xeb	PALCFRTH				PALCFREN	-	PALCFRSP	
			0	0	0	1	0	-	0	1

本レジスタは DAC 経路使用時デジタル信号処理シグナル・フローの“PALC”ブロックの設定項目です。  
 この機能の詳細説明は、「機能説明」の“PALC (DAC 経路用 ALC)”の項を参照ください。

PALCFREN

DAC 経路用 ALC のファストリリース機能を有効/無効の設定を行います。

設定	説明
0	DAC 経路用 ALC のファストリリース機能を Disable にします
1	DAC 経路用 ALC のファストリリース機能を Enable にします

PALCFRSP[1:0]

DAC 経路用 ALC がファストリリースによりゲインを増加させる際のステップ時間を設定します。  
 ステップ時間は、“Playback ALC Decay Time Control レジスタ”に設定した値の倍率で表現されます。

設定	ファストリリーススピード
0x0	(1 / 4) * PALCDCY
0x1	(1 / 8) * PALCDCY
0x2	(1 / 16) * PALCDCY
0x3	(1 / 32) * PALCDCY

PALCFRTH[3:0]

DAC 経路用 ALC のファストリリース発動判定のためのスレッシュホールドレベル設定です。  
 一度のアタック処理中に本レジスタ設定値以上の急激なゲイン低下が起こった場合、ディケイ動作時にファストリリース処理が発動されます。

設定	Threshold (1Step=0.375dB)	設定	Threshold (1Step=0.375dB)
0x0	13step = 4.875dB	0x8	24step = 9.000dB
0x1	15step = 5.625dB	0x9	25step = 9.375dB
0x2	16step = 6.000dB	0xA	27step = 10.125dB
0x3	17step = 6.375dB	0xB	28step = 10.500dB
0x4	19step = 7.125dB	0xC	29step = 10.875dB
0x5	20step = 7.500dB	0xD	31step = 11.625dB
0x6	21step = 7.875dB	0xE	32step = 12.000dB
0x7	23step = 8.625dB	0xF	33step = 12.375dB



## HPOUT Power Up Control Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x0	0xec	0xed	-	-	LOPWTIM				-	-
			-	-	0	0	0	0	-	-

本レジスタはHP出力アンプ(HPOUTL/HPOUTR)の立ち上がり・立ち下がりポップノイズ低減動作を制御します。

## LOPWTIM[3:0]

ヘッドフォン出力アンプのポップノイズ低減回路の起動・停止時間を調整します。設定値に応じて起動/停止時のポップノイズ音を調節することが可能です。本レジスタはラインアンプの起動・停止制御の前に設定を行ってください。

LOPWTIM 設定値とサンプリング周波数(fs)に応じて起動・停止時間が異なります。サンプリング周波数を変更する場合は本レジスタ設定も変更する必要があります。また、設定値はサンプリング周波数毎に十分に音質評価を行ったうえで、決定してください。

設定値に対する起動・停止時間[ms]は以下の表をご参照ください。この起動時間には多少の誤差が生じますのでご了承ください。

設定	Start-up/shut-down time [ms]		
	fs=8kHz / 16kHz / 32kHz	fs=11.025kHz / 22.05kHz / 44.1kHz	fs=12kHz / 24kHz / 48kHz
0x0	0.2	0.3	0.3
0x1	0.4	0.6	0.5
0x2	0.8	1.1	1.0
0x3	1.6	2.3	2.1
0x4	3.1	4.6	4.2
0x5	6.3	9.1	8.4
0x6	12.6	18.2	16.8
0x7	25.1	36.5	33.5
0x8	50.3	72.9	67.0
0x9	100.5	145.9	134.0
0xA	201.1	291.8	268.1
0xB ~ 0xF	設定禁止		

FPLL M setting Register  
 FPLL N Setting(L) Register  
 FPLL N Setting(H) Register  
 FPLL D Setting Register  
 FPLL F Setting(L) Register  
 FPLL F Setting(H) Register  
 FPLL F\_D Setting(L) Register  
 FPLL F\_D Setting(H) Register  
 FPLL V setting Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x1	0x02	0x03	-	-	-	-	-	FPLLM(*)		
			-	-	-	-	-	0	0	0
0x1	0x04	0x05	FPLLNL(*)							
			0	0	0	0	0	0	0	0
0x1	0x06	0x07	-	-	-	-	-	-	-	FPLLNH(*)
			-	-	-	-	-	-	-	0
0x1	0x08	0x09	-	-	-	FPLLD(*)				
			-	-	-	0	0	0	0	0
0x1	0x0a	0x0b	FPLLFL(*)							
			0	0	0	0	0	0	0	0
0x1	0x0c	0x0d	FPLLFH(*)							
			0	0	0	0	0	0	0	0
0x1	0x0e	0x0f	FPLLFDL(*)							
			0	0	0	0	0	0	0	0
0x1	0x10	0x11	FPLLFDH(*)							
			0	0	0	0	0	0	0	0
0x1	0x12	0x13	-	-	-	-	FPLLV(*)			
			-	-	-	-	0	0	0	0

本レジスタは、PLL の出力周波数を設定するためのレジスタです。

レジスタ値の算出には、別途クロック設定計算ツールを用意しておりますのでそちらをご使用ください。  
 レジスタ設定値と出力周波数の関係は下式の通りです。

$$\text{PLL output frequency (Hz)} = \text{PLL input frequency} / \text{FPLLM} \times (\text{FPLLN} + \text{FPLLD}/16 + \text{FPLLF}/\text{FPLLF\_D}/16) \times 2 / \text{FPLLV}$$

#### PLL CPMODE setting Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x1	0x16	0x17	-	-	-	CPMODE(*)				
			-	-	-	0	0	1	1	0

#### CPMODE[4:0]

PLL 外付けループフィルタ機能の設定 ON/OFF します。

PLL 使用時 PLL への入力周波数が低い場合(2MHz 以下の場合)に外付けループフィルタが必要となります。

外付けループフィルタを使用する際に設定してください。

外付けフィルタの推奨値は設定周波数により変化しますが、ご利用の際は推奨設定値をお問合せください。

設定	説明
0x00110	PLL 外付けループフィルタ未使用時 接続 OFF (Default)
0x10110	PLL 外付けループフィルタ使用時 接続 ON



## Headphone output Gain Setting Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x1	0x36	0x37	-	-	-	-	-	-	HPVOL	
			-	-	-	-	-	-	0	0

本レジスタは、ヘッドフォンアンプの調整レジスタです。

## HPVOL[1:0]

ヘッドフォンアンプのゲインを設定します。BEEP 入力使用時は必ず本レジスタを 0x3 に設定してご使用ください。

設定	説明
0x0	-6dB (BEEP 入力使用時設定禁止)
0x1	0dB (BEEP 入力使用時設定禁止)
0x2	3dB (BEEP 入力使用時設定禁止)
0x3	6dB

## Analog Path Control Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x1	0x3e	0x3f	-	-	HALF	HPBPEN	LINDACEN	ADCSET		
			-	-	1	0	0	1	1	1

本レジスタは、A/D コンバータ特性調整用レジスタ、及びアナログ部の信号経路設定のためのレジスタです。

## ADCSET

A/D コンバータの特性調整用レジスタです。0x7 にてご使用ください。

設定	説明
0x7	0x7 にてご使用ください。

## LINDACEN

内蔵 DAC 出力を LINMIX アンプへ入力するかを選択します。

※録音モニタ(0x13=0x07)時は 0 でご使用ください。

設定	説明
0	内蔵 DAC 出力を、LINMIX アンプへ入力しない
1	内蔵 DAC 出力を、LINMIX アンプへ入力する

## HPBPEN

BEEPIN アンプ出力をヘッドフォンアンプへ入力するかを選択します。

設定	説明
0	BEEPIN アンプ出力を、ヘッドフォンアンプへ入力しない
1	BEEPIN アンプ出力を、ヘッドフォンアンプへ入力する

## HALF

マイクアンプ入力部の利得を 0dB もしくは -6dB に設定します。

設定	説明
0	0dB
1	-6dB

Record L Balance Volume Control Register  
Record R Balance Volume Control Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x1	0x74	0x75	-	RBLVOLL						
			-	1	0	0	0	0	0	0
0x1	0x76	0x77	-	RBLVOLR						
			-	1	0	0	0	0	0	0

本レジスタは ADC 経路使用時デジタル信号処理シグナル・フローにおける“L/R Balance”ブロックの設定をします。  
レフト及びライトのボリュームを、それぞれ-6.0dB から 6.0dB まで 0.1dB ステップで設定可能です。

#### RBLVOLL, RBLVOLR[6:0]

設定	Gain(dB)	設定	Gain(dB)	設定	Gain(dB)	設定	Gain(dB)
0x04	-6.0	0x24	-2.8	0x44	0.4	0x64	3.6
0x05	-5.9	0x25	-2.7	0x45	0.5	0x65	3.7
0x06	-5.8	0x26	-2.6	0x46	0.6	0x66	3.8
0x07	-5.7	0x27	-2.5	0x47	0.7	0x67	3.9
0x08	-5.6	0x28	-2.4	0x48	0.8	0x68	4.0
0x09	-5.5	0x29	-2.3	0x49	0.9	0x69	4.1
0x0A	-5.4	0x2A	-2.2	0x4A	1.0	0x6A	4.2
0x0B	-5.3	0x2B	-2.1	0x4B	1.1	0x6B	4.3
0x0C	-5.2	0x2C	-2.0	0x4C	1.2	0x6C	4.4
0x0D	-5.1	0x2D	-1.9	0x4D	1.3	0x6D	4.5
0x0E	-5.0	0x2E	-1.8	0x4E	1.4	0x6E	4.6
0x0F	-4.9	0x2F	-1.7	0x4F	1.5	0x6F	4.7
0x10	-4.8	0x30	-1.6	0x50	1.6	0x70	4.8
0x11	-4.7	0x31	-1.5	0x51	1.7	0x71	4.9
0x12	-4.6	0x32	-1.4	0x52	1.8	0x72	5.0
0x13	-4.5	0x33	-1.3	0x53	1.9	0x73	5.1
0x14	-4.4	0x34	-1.2	0x54	2.0	0x74	5.2
0x15	-4.3	0x35	-1.1	0x55	2.1	0x75	5.3
0x16	-4.2	0x36	-1.0	0x56	2.2	0x76	5.4
0x17	-4.1	0x37	-0.9	0x57	2.3	0x77	5.5
0x18	-4.0	0x38	-0.8	0x58	2.4	0x78	5.6
0x19	-3.9	0x39	-0.7	0x59	2.5	0x79	5.7
0x1A	-3.8	0x3A	-0.6	0x5A	2.6	0x7A	5.8
0x1B	-3.7	0x3B	-0.5	0x5B	2.7	0x7B	5.9
0x1C	-3.6	0x3C	-0.4	0x5C	2.8	0x7C	6.0
0x1D	-3.5	0x3D	-0.3	0x5D	2.9		
0x1E	-3.4	0x3E	-0.2	0x5E	3.0		
0x1F	-3.3	0x3F	-0.1	0x5F	3.1		
0x20	-3.2	0x40	0.0	0x60	3.2		
0x21	-3.1	0x41	0.1	0x61	3.3		
0x22	-3.0	0x42	0.2	0x62	3.4		
0x23	-2.9	0x43	0.3	0x63	3.5		

## Stereo Enhancer Control Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x1	0x86	0x87	-	-	-	-	-	-	STEEN	STEOD
			-	-	-	-	-	-	0	0

本レジスタは、DAC 経路使用時デジタル信号処理シグナル・フローの“Stereo Enhancer”ステレオ感強調についての設定です。ステレオ感強調機能を制御します。

Enable にして且つ SEMODE[7]=1 のときに DAC 経路使用時で機能が有効となります。

## STEOD

ステレオ感強調内 LPF の段数を設定します。

設定	説明
0	LPF1 と LPF2 の 2 段を有効とする
1	LPF1 の 1 段のみを有効とする

## STEEN

ステレオ感強調機能の Enable/Disable を設定します。

設定	説明
0	ステレオ感強調 Disable
1	ステレオ感強調 Enable

## Stereo Enhancer LPF1 CoefL Register

## Stereo Enhancer LPF1 CoefH Register

## Stereo Enhancer LPF2 CoefL Register

## Stereo Enhancer LPF2 CoefH Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x1	0x88	0x89	STE1CUT[7:0]							
			0	0	0	0	0	0	0	0
0x1	0x8a	0x8b	STE1CUT[15:8]							
			0	0	0	0	0	0	0	0
0x1	0x8c	0x8d	STE2CUT[7:0]							
			0	0	0	0	0	0	0	0
0x1	0x8e	0x8f	STE2CUT[15:8]							
			0	0	0	0	0	0	0	0

本レジスタは、DAC 経路使用時デジタル信号処理シグナル・フローの“Stereo Enhancer”ステレオ感強調機能についての設定です。ステレオ感強調の LPF を設定します。

## STE1CUT[15:0]

ステレオ感強調内にある 1 段目 LPF のカットオフ周波数を設定します。

## STE2CUT[15:0]

ステレオ感強調内にある 2 段目 LPF のカットオフ周波数を設定します。

## Play Programable LPF Setting Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x1	0xa0	0xa1	-	-	-	-	-	-	PLPFOD	PLPFEN
			-	-	-	-	-	-	0	0

本レジスタは、DAC 経路使用時デジタル信号処理シグナル・フローの“LPF ブロック”、プログラマブル LPF についての設定です。LPF のイネーブルとフィルタ次数を設定します。

Enable にして且つ SEMODE[7]=1 のときに DAC 経路で機能が有効となります。

## PLPFEN

DAC 経路用のローパス・フィルタの ON/OFF を設定します。

設定	説明
0	DAC 経路用の LPF の Disable
1	DAC 経路用の LPF の Enable

## PLPFOD

DAC 経路用のローパス・フィルタの次数を設定します。

設定	説明
0	DAC 経路用の 2 次ローパス・フィルタに設定
1	DAC 経路用の 1 次ローパス・フィルタに設定

## Play Programable LPF Coef (L) Register

## Play Programable LPF Coef (H) Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x1	0xa2	0xa3	PLPFC0L							
			0	0	0	0	0	0	0	0
0x1	0xa4	0xa5	PLPFC0H							
			0	0	0	0	0	0	0	0

本レジスタは、DAC 経路使用時デジタル信号処理シグナル・フローの“LPF ブロック”、プログラマブル LPF についての設定です。

## PLPFC0L [7:0] / PLPFC0H [7:0]

DAC 経路用のローパス・フィルタの係数を設定します。

同じカットオフ周波数の場合でも、サンプリングレートによって設定値は異なります。

\*PLPFC0L / PLPFC0H の設定値の詳細につきましては、計算ツール別途提供いたします。

Rec Programable LPF Setting Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x1	0xa6	0xa7	-	-	-	-	-	-	RLPFOD	RLPFEN
			-	-	-	-	-	-	0	0

本レジスタは、ADC 経路使用時デジタル信号処理シグナル・フローの“LPF ブロック”、プログラマブル LPF についての設定です。ADC 経路用の LPF のイネーブルとフィルタ次数を設定します。

DSP Filter Function Enable レジスタの HPF2EN ビットで制御される HPF2 と排他的に制御されます。

Enable にして且つ SEMODE[7]=0 のときに ADC 経路で機能が有効となります。

RLPFEN

ADC 経路用のローパス・フィルタの ON/OFF を設定します。

RLPFEN	説明
0	ADC 経路用の LPF の Disable(HPF2 が使用可能となります)
1	ADC 経路用の LPF の Enable(HPF2 は使用不可:HPF2EN ビットは無効となります)

RLPFOD

ADC 経路用のローパス・フィルタの次数を設定します。

RLPFOD	説明
0	ADC 経路用の LPF を 2 次ローパス・フィルタに設定
1	ADC 経路用の LPF を 1 次ローパス・フィルタに設定

Rec Programable LPF Coef (L) Register

Rec Programable LPF Coef (H) Register

MAPCON	INDEX		b07 (Initial)	b06	b05	b04	b03	b02	b01	b00
	R	W								
0x1	0xa8	0xa9	RLPFC0L							
			0	0	0	0	0	0	0	0
0x1	0xaa	0xab	RLPFC0H							
			0	0	0	0	0	0	0	0

本レジスタは、ADC 経路使用時デジタル信号処理シグナル・フローの“LPF ブロック”、プログラマブル LPF についての設定です。

RLPFC0L [7:0] / RLPFC0H [7:0]

ADC 経路用のローパス・フィルタの係数を設定します。

同じカットオフ周波数の場合でも、サンプリングレートによって設定値は異なります。

\*RLPFC0L / RLPFC0H の設定値の詳細につきましては、計算ツールを別途提供いたします。

特性データ(参考データ)

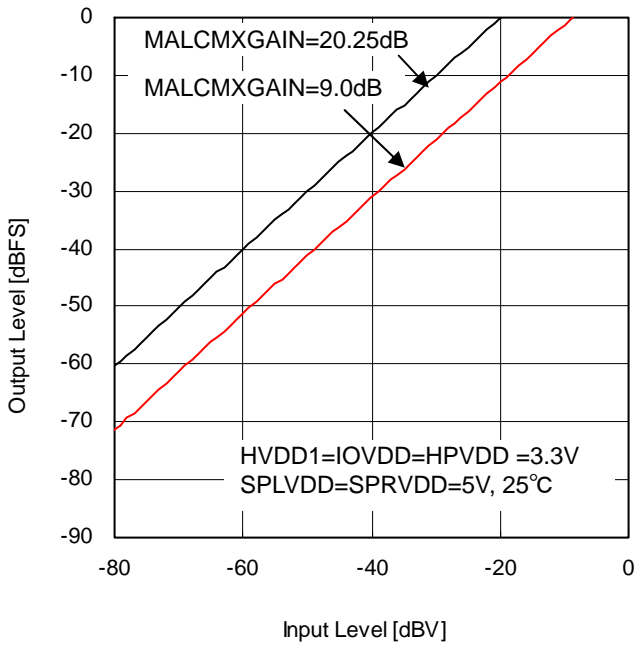


Figure 38.

Input Level [dBV] vs Output Level [dBFS]  
Analog Mic Input tot ADC out, MALCEN=0

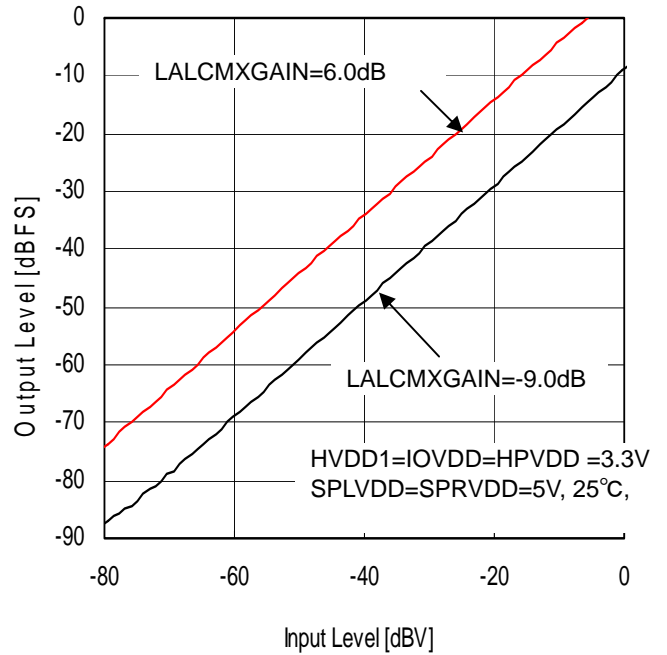


Figure 39.

Input Level [dBV] vs Output Level [dBFS]  
Analog Line Input tot ADC out, LALCEN=0

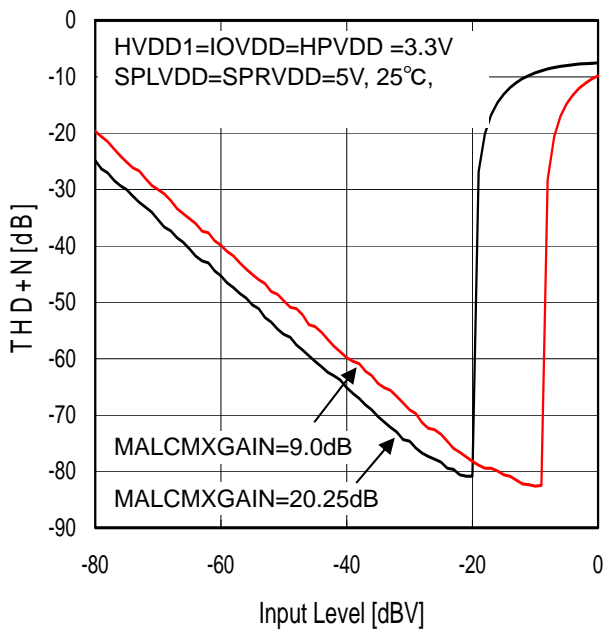


Figure 40.

Input Level [dBV] vs THD+N[dB]  
Analog Mic Input tot ADC out, MALCEN=0

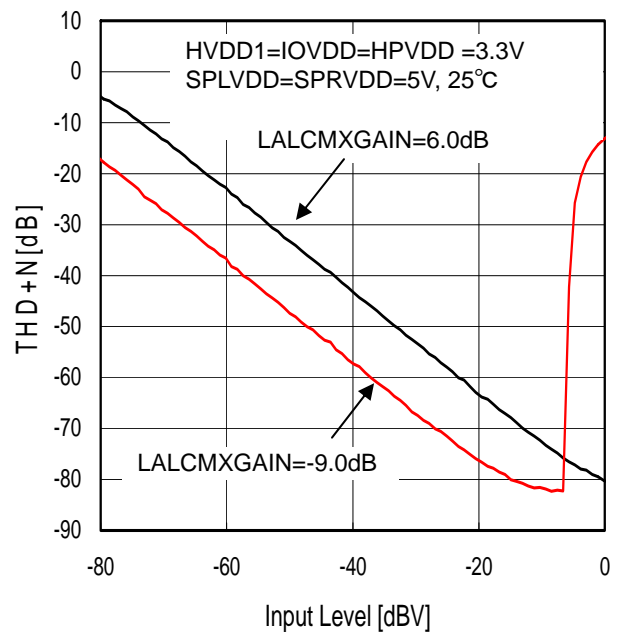


Figure 41.

Input Level [dBV] vs THD+N [dB]  
Analog Line Input tot ADC out, LALCEN=0

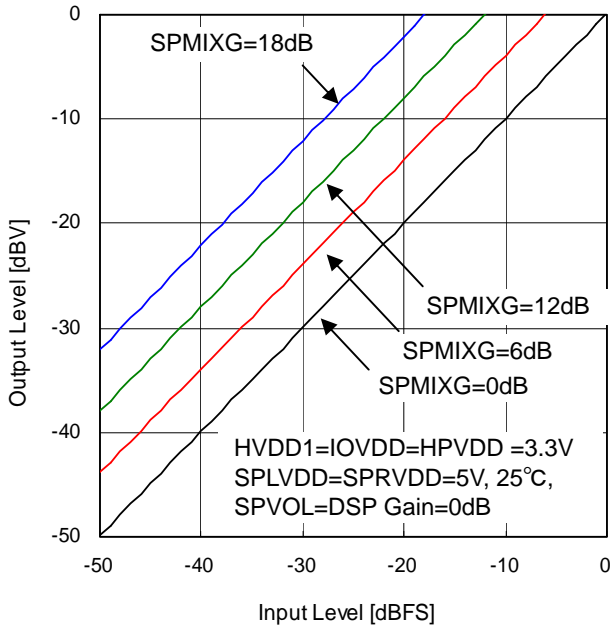


Figure 42.

Input Level [dBFS] vs Output Level [dBV]  
Digital DAC Input to Class-D Speaker output

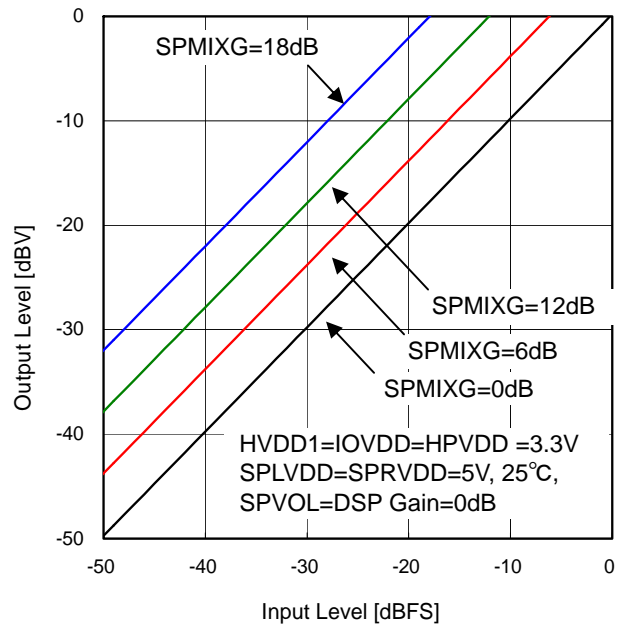


Figure 43.

Input Level [dBFS] vs Output Level [dBV]  
Digital DAC Input to Class-AB Speaker output

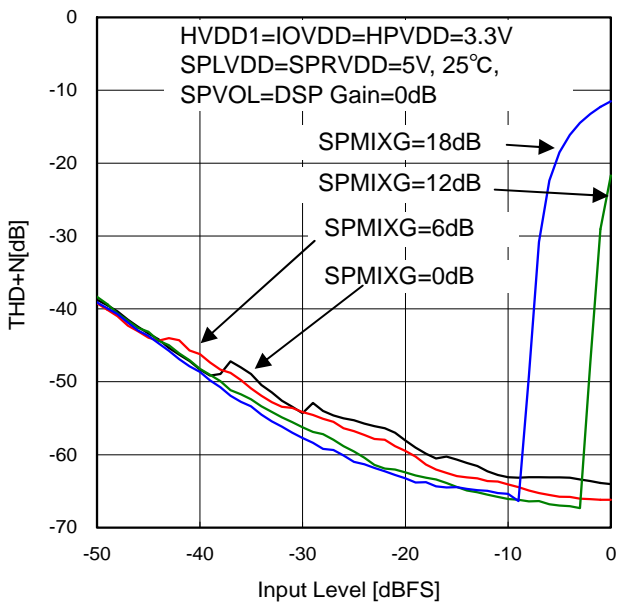


Figure 44.

Input Level [dBFS] vs THD+N [dB]  
Digital DAC Input to Class-D Speaker output

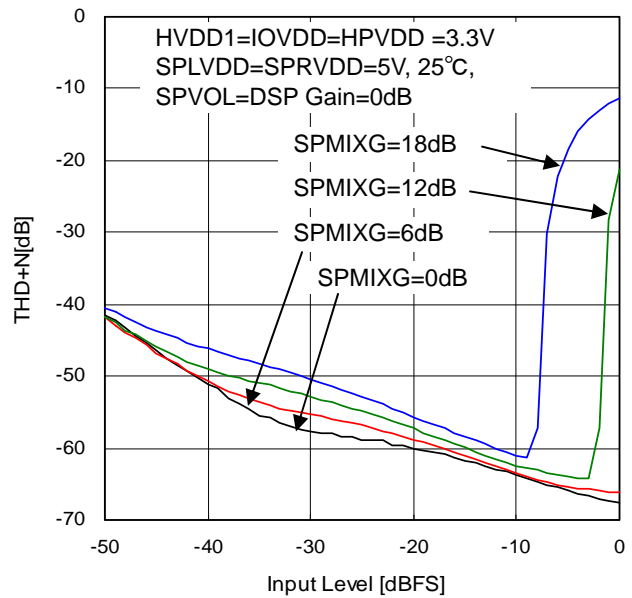


Figure 45.

Input Level [dBFS] vs THD+N [dB]  
Digital DAC Input to Class-AB Speaker output

入出力等価回路図

No.	Name	I/O	標準電位	入出力等価回路図
17	MICBIAS	O	HVDD1	
37	VMID	O	REGOUT	
33	PLL	O	REGOUT	
15	BEEPIN	I	REGOUT	
16	MICBIASREF	O	HVDD1	



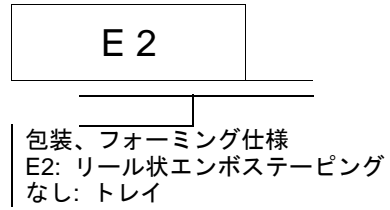
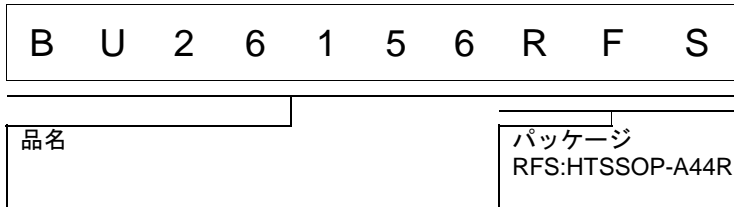
No.	Name	I/O	標準電位	入出力等価回路図
32 29 24 22	MCLKI SDIN CSB/SCL SCLK/SAD	I	IOVDD	
31 30 26 23 28	BCLK LRCLK IRQB SDATA/SDA SDOUT	IO	IOVDD	
25	RESETB	I	IOVDD	
20	REGOUT	O	HVDD1	
11 12	SPRP SPRM	O	SPRVDD	

No.	Name	I/O	標準電位	入出力等価回路図
14	SPMUTE	I	IOVDD	
8 7	SPLP SPLM	O	SPLVDD	
2 1	HPOUTR HPOUTL	O	HPVDD	
4	HPOUTCAP	O	HPVDD	
38 40 42 39 41 43	LIN1L LIN2L LIN3L LIN1R LIN2R LIN3R	I	REGOUT	
35 34	MINP MINM	I	REGOUT	

## 使用上の注意

- 1) 絶対最大定格について  
印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、IC が破壊することがあります。絶対最大定格を超える電圧及び温度を印加しないでください。絶対最大定格を超えるようなことが考えられる場合には、ヒューズなどの物理的な安全対策を実施して頂き、IC に絶対最大定格を超える条件が印加されないようご検討ください。
- 2) GND 電位について  
GND 端子の電圧はいかなる動作状態においても、最低電圧になるようにしてください。
- 3) 端子間ショートと誤実装について  
IC を基板に実装する時には IC の方向(特に誤回転)や位置ずれに十分注意してください。誤って実装し通電した場合、IC を破壊するおそれがあります。また、IC の端子間や端子と電源間、端子と GND 間に異物が入るなどしてショートした場合についても破壊することがあります。
- 4) 強電磁界内での動作について  
強電磁界内での使用は、誤動作をする可能性がありますのでご注意ください。
- 5) 熱設計について  
本 IC のスピーカアンプ機能をご使用の際は、実使用状態での許容損失を考慮して、十分なマージンを持った熱設計を行ってください。放熱が不十分な状態で入力信号を過大にすると、所望の出力電力を確保できないだけでなくサーマルシャットダウン(熱遮断回路)が動作することがあります。
- 6) サーマルシャットダウンについて  
本 IC はサーマルシャットダウン回路を内蔵しています。サーマルシャットダウンが動作するとスピーカ出力端子・ライン出力端子は、オープン状態(ハイインピーダンス)で停止します。サーマルシャットダウンは、あくまでチップ温度  $T_{jmax}$  が +170°C を越えた異常状態下での熱暴走時に IC の出力動作を停止します。IC を保護することを目的とした回路であり、セットの保護及び保証を目的とはしておりません。
- 7) 出力端子のショート保護について  
本 IC にはスピーカアンプ出力端子の保護を目的としたショート保護機能があります。ショート保護機能が動作すると出力端子はオープン状態(ハイインピーダンス)でラッチ停止します。ラッチ停止するとショート状態が解除されても通常動作へ自動復帰しません。復帰させるには再度レジスタに Write 動作を行ってください。
- 8) 動作範囲について  
動作電源電圧範囲及び動作温度範囲は基本動作を行う範囲です。電気的特性及び定格出力をすべての電源電圧範囲もしくは温度範囲において保証するものではありません。
- 9) 電気的特性について  
リミット出力電力、全高調波歪率、最大ゲイン、ALC リミットレベル、ALC リリースレベルなどの各オーディオ特性項目はデバイスの標準的な性能を示しており、基板レイアウト/使用部品/電源部に大きく依存します。規格標準値はローム指定の基板にデバイス及び各部品を直接実装した時の値です
- 10) 電源について  
スピーカ L 電源(SPLVDD)及びスピーカ R 電源(SPRVDD)は IC 内部にてショートしているため、単一電源として使用してください。また、D 級スピーカアンプ使用時は電源ラインには大きなピーク電流が流れます。電源デカップリングコンデンサの容量値、配置によりオーディオ特性に影響を与えます。電源デカップリングコンデンサは十分に ESR(等価直列抵抗)の低い容量(1 $\mu$ F 以上)を IC 端子の直近に配置してください。  
また、基板パターンの設計においては、電源/GND ラインの配線は、低インピーダンスになるようにしてください。その際、デジタル系電源とアナログ系電源は、それらが同電位であっても、デジタル系電源パターンとアナログ系電源パターンは分離し、配線パターンの共通インピーダンスによるアナログ電源へのデジタル・ノイズの回り込みを抑制してください。GND ラインについても、同様のパターン設計を考慮してください。また、LSI のすべての電源端子について電源-GND 端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量抜けが起こることなど使用するコンデンサの諸特性に問題ないことを十分に確認のうえ、定数を決定してください。
- 11) 外付けコンデンサについて  
外付けコンデンサに、セラミック・コンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮のうえ定数を決定してください。
- 12) この文書の扱いについて  
この文書の日本語版が、正式な仕様書です。この文書の翻訳版は、正式な仕様書を読むための参考としてください。なお、相違が生じた場合は、正式な仕様書を優先してください。

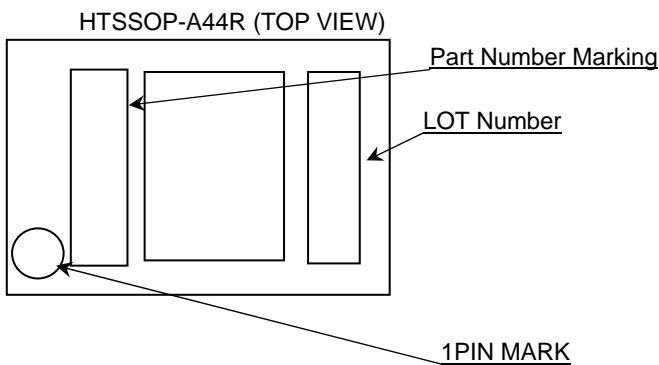
発注形名情報



外形寸法図と包装・フォーミング仕様

<p><b>Package Name</b> HTSSOP-A44R</p> <p>(UNIT: mm) PKG: HTSSOP-A44R Drawing No. EX197-5002</p>	<p><b>&lt;包装仕様&gt;</b></p> <table border="1" style="width: 100%;"> <tr> <td>包装形態</td> <td>エンボステーピング(防湿仕様)</td> </tr> <tr> <td>包装数量</td> <td>1500pcs</td> </tr> <tr> <td>包装方向</td> <td>E2 ( リールを左手に持ち、右手でテープを引き出したときに ) 製品の1番ピンが左上にくる方向</td> </tr> </table> <p>※ご発注の際は、包装数量の倍数でお願い致します。</p>	包装形態	エンボステーピング(防湿仕様)	包装数量	1500pcs	包装方向	E2 ( リールを左手に持ち、右手でテープを引き出したときに ) 製品の1番ピンが左上にくる方向
包装形態	エンボステーピング(防湿仕様)						
包装数量	1500pcs						
包装方向	E2 ( リールを左手に持ち、右手でテープを引き出したときに ) 製品の1番ピンが左上にくる方向						

標印図



## 改訂履歴

日付	Revision	Page	変更項目	変更内容
2014.06.24	001	-	-	Rev.001 新規登録

# ご注意

## ローム製品取扱い上の注意事項

1. 本製品は一般的な電子機器（AV 機器、OA 機器、通信機器、家電製品、アミューズメント機器等）への使用を意図して設計・製造されております。従いまして、極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険若しくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器<sup>(Note 1)</sup>、輸送機器、交通機器、航空宇宙機器、原子力制御装置、燃料制御、カーアクセサリを含む車載機器、各種安全装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

2. 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、かかる誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
  - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
  - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
3. 本製品は、一般的な電子機器に標準的な用途で使用されることを意図して設計・製造されており、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。従いまして、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
  - ①水・油・薬液・有機溶剤等の液体中でのご使用
  - ②直射日光・屋外暴露、塵埃中でのご使用
  - ③潮風、Cl<sub>2</sub>、H<sub>2</sub>S、NH<sub>3</sub>、SO<sub>2</sub>、NO<sub>2</sub>等の腐食性ガスの多い場所でのご使用
  - ④静電気や電磁波の強い環境でのご使用
  - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合。
  - ⑥本製品を樹脂等で封止、コーティングしてのご使用。
  - ⑦はんだ付けの後に洗浄を行わない場合（無洗浄タイプのフラックスを使用された場合も、残渣の洗浄は確実に行うことをお勧め致します）、又ははんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合。
  - ⑧本製品が結露するような場所でのご使用。
4. 本製品は耐放射線設計はなされておられません。
5. 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
6. パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
7. 許容損失(Pd)は周囲温度(Ta)に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、ディレーティングカーブ範囲内であることをご確認ください。
8. 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
9. 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

## 実装及び基板設計上の注意事項

1. ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
2. はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

## 応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。従いまして、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

## 静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施の上、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。(人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等)

## 保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
  - ①潮風、Cl<sub>2</sub>、H<sub>2</sub>S、NH<sub>3</sub>、SO<sub>2</sub>、NO<sub>2</sub>等の腐食性ガスの多い場所での保管
  - ②推奨温度、湿度以外での保管
  - ③直射日光や結露する場所での保管
  - ④強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認した上でご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行った上でご使用ください。

## 製品ラベルに関する注意事項

本製品に貼付されている製品ラベルに QR コードが印字されていますが、QR コードはロームの社内管理のみを目的としたものです。

## 製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

## 外国為替及び外国貿易法に関する注意事項

本製品は外国為替及び外国貿易法に定める規制貨物等に該当するおそれがありますので輸出する場合には、ロームにお問い合わせください。

## 知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。従いまして、上記第三者の知的財産権侵害の責任、及び本製品の使用により発生するその他の責任に関し、ロームは一切その責任を負いません。
2. ロームは、本製品又は本資料に記載された情報について、ローム若しくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。

## その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事情報目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社若しくは第三者の商標又は登録商標です。

**一般的な注意事項**

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。