

# 画像補正 LSI シリーズ パネル向け 画像補正 LSI



BU1523KV

No.11060JAT05

## ●概要

BU1523KV は車載ディスプレイ向け画質調整用 LSI です。ブライトネス、コントラスト、色相、彩度、シャープネス等の調整が可能です。入出力インターフェースは RGB インターフェースと YCbCr インターフェースのインターフェースを有しています。また LVDS トランスミッタを内蔵しており、LVDS 出力も可能です。

## ●特長

- 1) RGB 入力データフォーマット  
データバス幅 24bit  
垂直同期信号、水平同期信号及びデータイネーブル信号
- 2) RGB 出力データフォーマット  
入力フォーマットと同じ
- 3) YCbCr 入力データフォーマット  
ITU-R BT.656-4 または 同期信号付き YCbCr  
データバス幅 8bit  
垂直同期信号、水平同期信号及びフィールド信号  
データレンジ フルレンジ及び ITU-R BT.601 準拠
- 4) YCbCr 出力データフォーマット  
入力フォーマットと同じ  
他に BT.656 入力に対し、SAV/EAV から同期信号を生成して出力可能
- 5) RGB IF 画質調整  
コントラスト、ブライトネス、色相、彩度及びシャープネス調整機能  
RGB 独立ガンマ補正機能
- 6) YCbCr 画質調整  
コントラスト、ブライトネス、色相、彩度及びシャープネス調整機能
- 7) LVDS トランスミッタ  
LVDS トランスミッタ内蔵  
入力 RGB24bit、垂直/水平同期信号及びデータイネーブル信号を  
4ch LVDS データストリームへ変換
- 8) 2 線式シリアルインターフェース  
スレーブ機能内蔵  
外部から BU1523KV 内部のレジスタを設定可能
- 9) パッケージ  
VQFP100

## ●用途

車載ディスプレイなど

## ●絶対最大定格

[Table 1]

項目	記号	定格	単位
電源電圧 1	VDDIO	-0.3~+4.0	V
電源電圧 2	VDDI2C	-0.3~+4.0	V
電源電圧 3	PVDD	-0.3~+4.0	V
電源電圧 4	LVDD	-0.3~+4.0	V
電源電圧 5	VDD	-0.3~+2.1	V
入力電圧	VIN	-0.3~IO_LVL+0.3 <sup>*1</sup>	V
保存温度範囲	Tstg	-40~+125	°C
許容損失	PD	1000 <sup>*2</sup> , 1499 <sup>*3</sup>	mW

\*1 IO\_LVL とは VDDIO、VDDI2C の総称です。

\*2 IC 単体。25°C を超える場合、1°C につき 10mW を減じます。

\*3 70x70x1.6mm のガラスエポキシ基板実装時。25°C を超える場合、1°C につき 14.99mW を減じます。

\* 耐放射線設計はしていません。

\* 絶対最大定格は動作を保証するものではありません。

## ●推奨動作範囲

[Table 2]

項目	記号	定格			単位
		最小	標準	最大	
電源電圧 1(IO)	VDDIO	3.0	3.3	3.6	V
電源電圧 2(IO)	VDDI2C	3.0	3.3	3.6	V
電源電圧 3(PLL)	PVDD	3.0	3.3	3.6	V
電源電圧 4(LVDS)	LVDD	3.0	3.3	3.6	V
電源電圧 5(CORE)	VDD	1.65	1.8	1.95	V
入力電圧範囲	VIN	0.0	-	IO_LVL <sup>*1</sup>	V
動作温度範囲	Topr	-40	-	+85	°C

\*1 IO\_LVL とは VDDIO、VDDI2C の総称です。

\* 電源投入は、VDD→(VDDIO, VDDI2C, PVDD, LVDD)の順番に投入してください。

●ブロック図

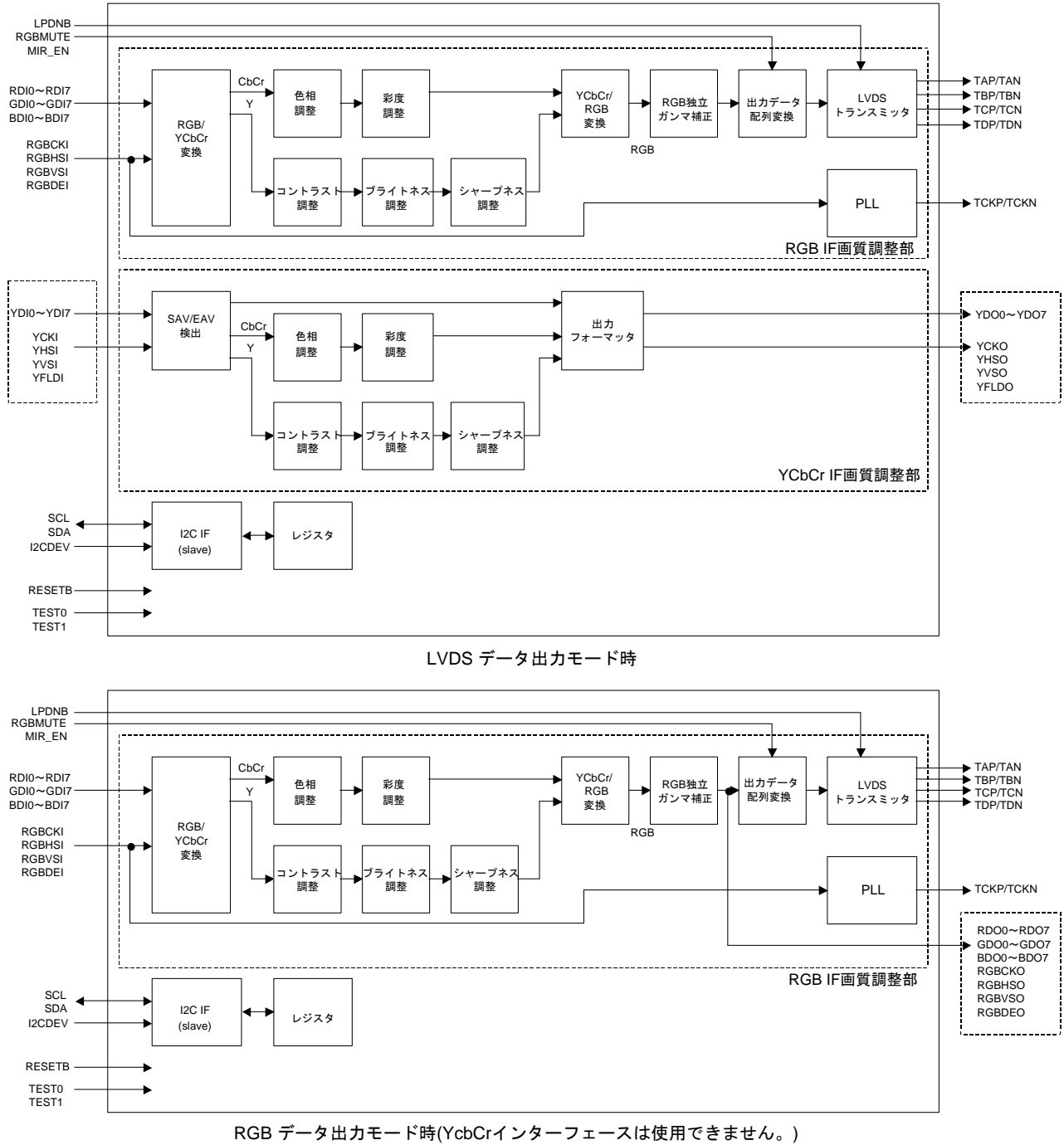


Fig.1 ブロック図

## ●端子説明・等価回路図

[Table 3 端子機能一覧表(1/4)]

端子番号	端子名	端子属性 (*1)	初期値 (*2)	端子説明	電源系統 (*4)	入出力形式
1	BDI4	I	-	RGB 入力 B データ[4]	a	A
2	BDI5	I	-	RGB 入力 B データ[5]	a	A
3	BDI6	I	-	RGB 入力 B データ[6]	a	A
4	BDI7	I	-	RGB 入力 B データ[7]	a	A
5	RGBHSI	I	-	RGB 入力 H Sync	a	A
6	RGBVSI	I	-	RGB 入力 V Sync	a	A
7	RGBDEI	I	-	RGB 入力データイネーブル	a	A
8	GND	G	-	GND	a,b	-
9	RGBCKI	I	-	RGB 入力クロック	a	B
10	VDDIO	P	-	IO 電源	a	-
11	I2CVDD	P	-	2 線式シリアルインターフェース電源	b	-
12	SDA	I/O	In	2 線式シリアルインターフェース入出力データ <sup>(*6)</sup>	b	G
13	SCL	I	-	2 線式シリアルインターフェース入力クロック	b	H
14	GND	G	-	GND	a,b	-
15	VDDIO	P	-	IO 電源	a	-
16	VDD	P	-	ロジックコア電源	-	-
17	YDO7/RGBDEO	O	Low	BT601 出力 YCbCr データ[7] / RGB 出力データイネーブル	a	D
18	YDO6/RGBVSO	O	Low	BT601 出力 YCbCr データ[6] / RGB 出力 V Sync	a	D
19	YDO5/RGBHSO	O	Low	BT601 出力 YCbCr データ[5] / RGB 出力 H Sync	a	D
20	YDO4/BDO7	O	Low	BT601 出力 YCbCr データ[4] / RGB 出力 B データ[7]	a	D
21	YDO3/BDO6	O	Low	BT601 出力 YCbCr データ[3] / RGB 出力 B データ[6]	a	D
22	YDO2/BDO5	O	Low	BT601 出力 YCbCr データ[2] / RGB 出力 B データ[5]	a	D
23	YDO1/BDO4	O	Low	BT601 出力 YCbCr データ[1] / RGB 出力 B データ[4]	a	D
24	YDO0/BDO3	O	Low	BT601 出力 YCbCr データ[0] / RGB 出力 B データ[3]	a	D
25	YFLDO/BDO2	O	Low	BT601 出力フィールド / RGB 出力 B データ[2]	a	D

\* 未使用の入力ピンは、必ず GND または VDDIO(SDA、SCL は I2CVDD へ、TEST0、TEST1 除く)に固定してください。

\*1) I は入力、O は出力、I/O は双方向、P は電源、G は GND を示します。

\*2) PD はプルダウン、In は入力モード、Low は Low レベル出力を示します。

\*4) 電源系統の欄での "a" は VDDIO を、"b" は I2CVDD を、"c" は LVDD、"d" は PVDD を表す。

\*6) SDA は通常使用時 "L" レベル出力またはハイインピーダンス状態であり "H" 出力はされません。

[Table 3 端子機能一覧表(2/4)]

端子番号	端子名	端子属性 (*1)	初期値 (*2)	端子説明	電源系統 (*4)	入出力形式
26	YVSO/BDO1	O	Low	BT601 出力 V Sync / RGB 出力 B データ[1]	a	D
27	YHSO/BDO0	O	Low	BT601 出力 H Sync / RGB 出力 B データ[0]	a	D
28	GND	G	-	GND	a,b	-
29	YCKO/RGBCKO	O	Low	BT601 出カクロック / RGB 出カクロック	a	D
30	VDDIO	P	-	IO 電源	a	-
31	GDO7	O	Low	RGB 出力 G データ[7]	a	D
32	GDO6	O	Low	RGB 出力 G データ[6]	a	D
33	GDO5	O	Low	RGB 出力 G データ[5]	a	D
34	GDO4	O	Low	RGB 出力 G データ[4]	a	D
35	VDDIO	P	-	IO 電源	a	-
36	YCKI/GDO3	I/O	In	BT656 入カクロック / RGB 出力 G データ[3] <sup>(*5)</sup>	a	F
37	GND	G	-	GND	a,b	-
38	YHSI/GDO2	I/O	In	BT656 入力 H Sync / RGB 出力 G データ[2] <sup>(*5)</sup>	a	E
39	YVSI/GDO1	I/O	In	BT656 入力 V Sync / RGB 出力 G データ[1] <sup>(*5)</sup>	a	E
40	YFLDI/GDO0	I/O	In	BT656 入力フィールド / RGB 出力 G データ[0] <sup>(*5)</sup>	a	E
41	VDD	P	-	ロジックコア電源	-	-
42	YDI0/RDO7	I/O	In	BT656 入力 Y データ[0] / RGB 出力 R データ[7] <sup>(*5)</sup>	a	E
43	YDI1/RDO6	I/O	In	BT656 入力 Y データ[1] / RGB 出力 R データ[6] <sup>(*5)</sup>	a	E
44	YDI2/RDO5	I/O	In	BT656 入力 Y データ[2] / RGB 出力 R データ[5] <sup>(*5)</sup>	a	E
45	VDDIO	P	-	IO 電源	a	-
46	YDI3/RDO4	I/O	In	BT656 入力 Y データ[3] / RGB 出力 R データ[4] <sup>(*5)</sup>	a	E
47	YDI4/RDO3	I/O	In	BT656 入力 Y データ[4] / RGB 出力 R データ[3] <sup>(*5)</sup>	a	E
48	YDI5/RDO2	I/O	In	BT656 入力 Y データ[5] / RGB 出力 R データ[2] <sup>(*5)</sup>	a	E
49	YDI6/RDO1	I/O	In	BT656 入力 Y データ[6] / RGB 出力 R データ[1] <sup>(*5)</sup>	a	E
50	YDI7/RDO0	I/O	In	BT656 入力 Y データ[7] / RGB 出力 R データ[0] <sup>(*5)</sup>	a	E

\* 未使用の入力ピンは、必ず GND または VDDIO(SDA、SCL は I2CVDD へ、TEST0、TEST1 除く)に固定してください。

\*1) I は入力、O は出力、I/O は双方向、P は電源、G は GND を示します。

\*2) PD はプルダウン、In は入力モード、Low は Low レベル出力を示します。

\*4) 電源系統の欄での"a"は VDDIO を、"b"は I2CVDD を、"c"は LVDD、"d"は PVDD を表す。

\*5) 36~50 ピンは、LVDS データ出力モード時は入力、RGB データ出力モード時は出力になります。

[Table 3 端子機能一覧表(3/4)]

端子番号	端子名	端子属性 (*1)	初期値 (*2)	端子説明	電源系統 (*4)	入出力形式
51	GND	G	-	GND	a,b	-
52	I2CDEV	I	-	I <sup>2</sup> C デバイスアドレス切り替え	a	A
53	RGBMUTE	I	-	MUTE 信号 : High アクティブ	a	B
54	MIR_EN	I	-	LVDS データミラーイネーブル : High アクティブ	a	A
55	TEST0	I	PD	テストピン 0 <sup>(*3)</sup> (GND へ接続してください)	a	C
56	TEST1	I	PD	テストピン 1 <sup>(*3)</sup> (GND へ接続してください)	a	C
57	RESETB	I	-	ロジックリセット信号 : Low アクティブ	a	B
58	LPDNB	I	-	LVDS リセット信号 : Low アクティブ	a	B
59	VDDIO	P	-	IO 電源	a	-
60	PGND	G	-	PLL GND	d	-
61	PVDD	P	-	PLL 電源	d	-
62	LGND	G	-	LVDS GND	c	-
63	TDP	O	-	LVDS データ出力 Dch P	c	I
64	TDN	O	-	LVDS データ出力 Dch N	c	I
65	TCKP	O	-	LVDS クロック出力 P	c	I
66	TCKN	O	-	LVDS クロック出力 N	c	I
67	TCP	O	-	LVDS データ出力 Cch P	c	I
68	TCN	O	-	LVDS データ出力 Cch N	c	I
69	LGND	G	-	LVDS GND	c	-
70	LVDD	P	-	LVDS 電源	c	-
71	TBP	O	-	LVDS データ出力 Bch P	c	I
72	TBN	O	-	LVDS データ出力 Bch N	c	I
73	TAP	O	-	LVDS データ出力 Ach P	c	I
74	TAN	O	-	LVDS データ出力 Ach N	c	I
75	LGND	G	-	LVDS GND	c	-

\* 未使用の入力ピンは、必ず GND または VDDIO(SDA、SCL は I2CVDD へ、TEST0、TEST1 除く)に固定してください。

\*1) I は入力、O は出力、I/O は双方向、P は電源、G は GND を示します。

\*2) PD はプルダウン、In は入力モード、Low は Low レベル出力を示します。

\*3) TEST0、TEST1 は必ず GND に固定して使用してください(オープンは使用禁止です)。

\*4) 電源系統の欄での"a"は VDDIO を、"b"は I2CVDD を、"c"は LVDD、"d"は PVDD を表す。

[Table 3 端子機能一覧表(4/4)]

端子番号	端子名	端子属性 (*1)	初期値 (*2)	端子説明	電源系統 (*4)	入出力形式
76	GND	G	-	GND	a,b	-
77	RDI0	I	-	RGB 入力 R データ[0]	a	A
78	RDI1	I	-	RGB 入力 R データ[1]	a	A
79	RDI2	I	-	RGB 入力 R データ[2]	a	A
80	RDI3	I	-	RGB 入力 R データ[3]	a	A
81	RDI4	I	-	RGB 入力 R データ[4]	a	A
82	RDI5	I	-	RGB 入力 R データ[5]	a	A
83	RDI6	I	-	RGB 入力 R データ[6]	a	A
84	RDI7	I	-	RGB 入力 R データ[7]	a	A
85	VDDIO	P	-	IO 電源	a	-
86	GDI0	I	-	RGB 入力 G データ[0]	a	A
87	GDI1	I	-	RGB 入力 G データ[1]	a	A
88	GND	G	-	GND	a,b	-
89	GDI2	I	-	RGB 入力 G データ[2]	a	A
90	GDI3	I	-	RGB 入力 G データ[3]	a	A
91	GDI4	I	-	RGB 入力 G データ[4]	a	A
92	GDI5	I	-	RGB 入力 G データ[5]	a	A
93	GDI6	I	-	RGB 入力 G データ[6]	a	A
94	GDI7	I	-	RGB 入力 G データ[7]	a	A
95	VDD	P	-	ロジックコア電源	-	-
96	BDI0	I	-	RGB 入力 B データ[0]	a	A
97	BDI1	I	-	RGB 入力 B データ[1]	a	A
98	BDI2	I	-	RGB 入力 B データ[2]	a	A
99	BDI3	I	-	RGB 入力 B データ[3]	a	A
100	VDDIO	P	-	IO 電源	a	-

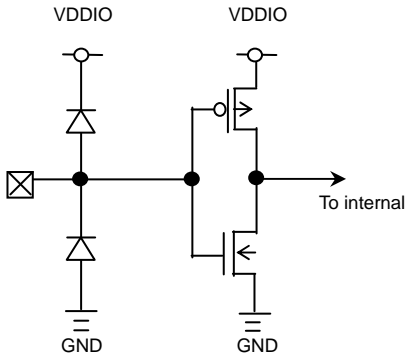
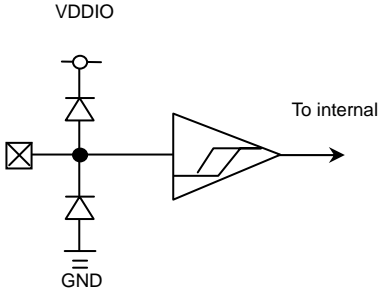
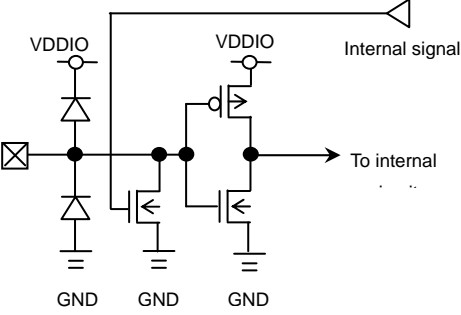
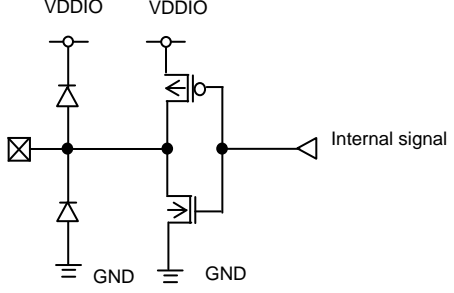
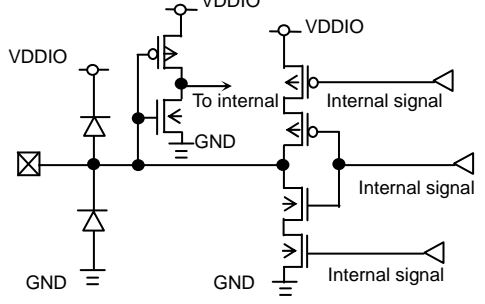
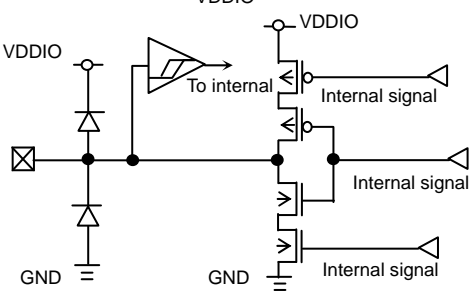
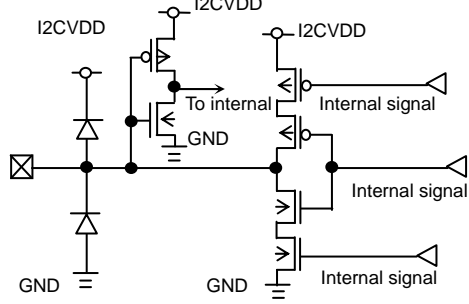
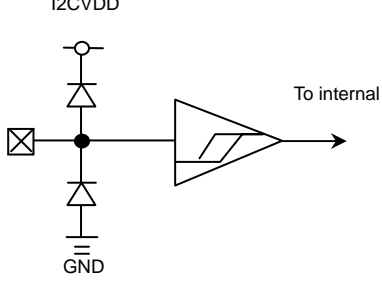
\* 未使用の入力ピンは、必ず GND または VDDIO(SDA、SCL は I2CVDD へ、TEST0、TEST1 除く)に固定してください。

\*1) I は入力、O は出力、I/O は双方向、P は電源、G は GND を示します。

\*2) PD はプルダウン、In は入力モード、Low は Low レベル出力を示します。

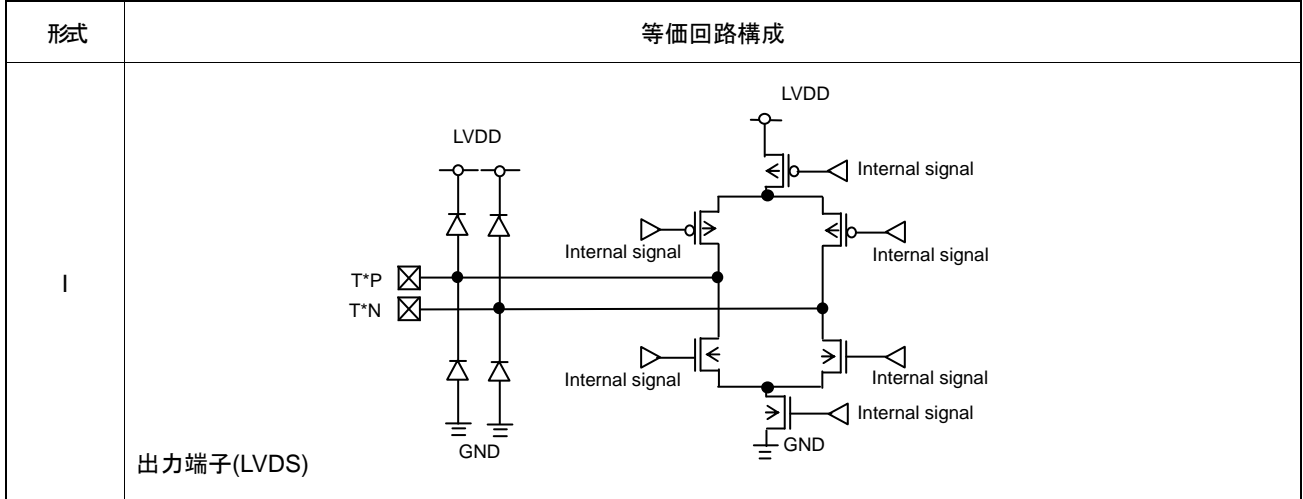
\*4) 電源系統の欄での"a"は VDDIO を、"b"は I2CVDD を、"c"は LVDD、"d"は PVDD を表す。

[Table 4 (1/2)]

形式	等価回路構成	形式	等価回路構成
A	 <p>入力端子</p>	B	 <p>ヒステリシス付入力端子</p>
C	 <p>プルダウン付入力端子</p>	D	 <p>出力端子</p>
E	 <p>入出力端子</p>	F	 <p>入出力端子(シュミット付)</p>
G	 <p>入出力端子(2線式シリアル I/F)</p>	H	 <p>ヒステリシス付入力端子(2線式シリアル I/F)</p>



[Table 4 (2/2)]



●端子配置図

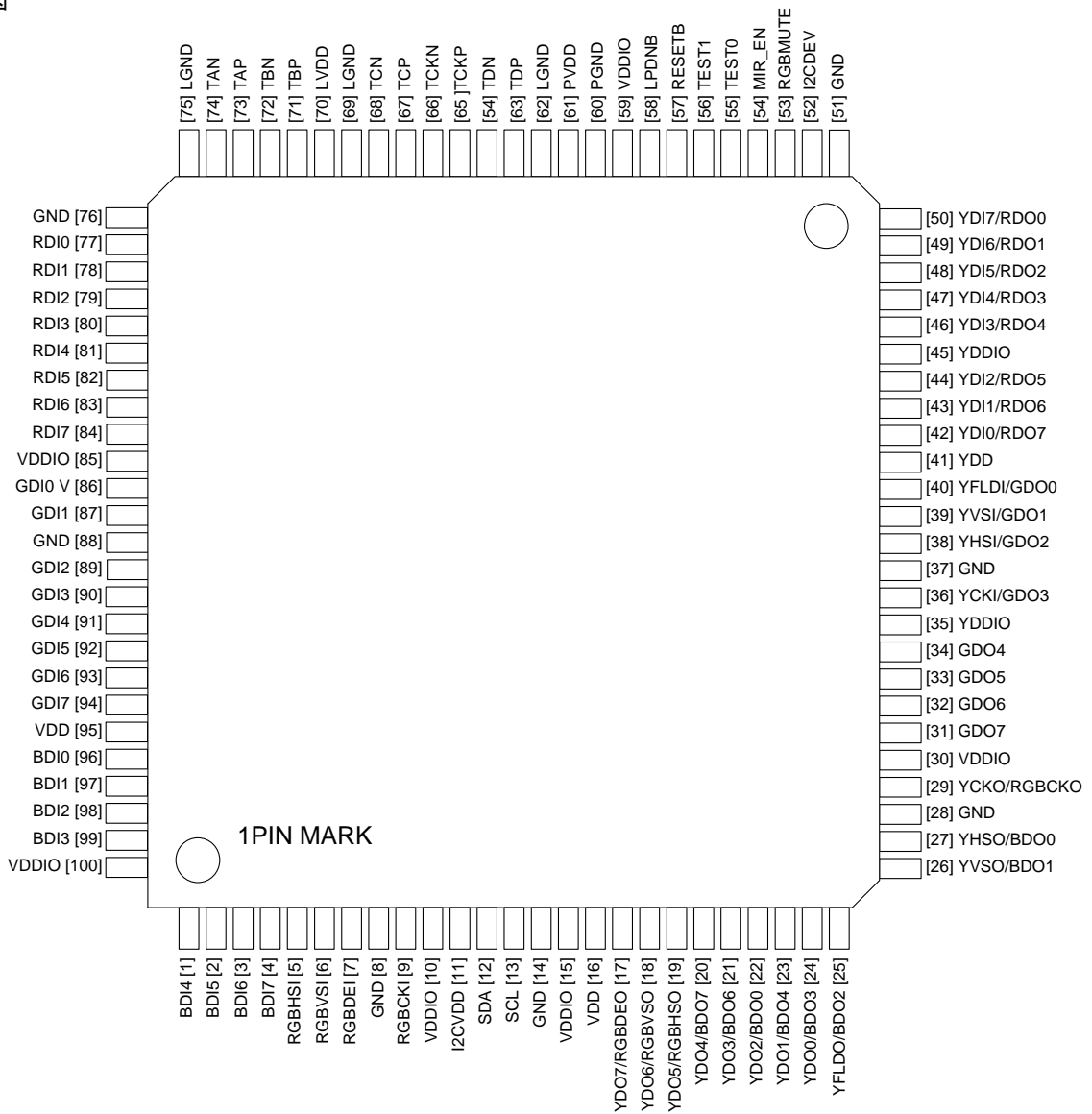


Fig.2 端子配置図

## ●電気的特性(DC)

[Table 5]

特に規定のない場合, VDD=1.80V, VDDIO=3.3V, I2CVDD=3.3V, PVDD=3.3V, LVDD=3.3V, GND=0.0V, Ta=25°C, f<sub>IN</sub>=36MHz

項目	記号	規格値			単位	条件	
		最小	標準	最大			
入力周波数範囲 1	FIN1	8.0	-	36.0	MHz	RGBCKI に適応	
入力周波数範囲 2	FIN2	8.0	-	55.0	MHz	YCKI に適応	
入力クロック DUTY	DCKI	45	50	55	%	RGBCKI, YCKI に適応	
動作消費電流	IDD1	-	16	-	mA	36MHz 動作時(VDD)	
LVDS 動作消費電流	ILVDD1	-	55	-	mA	36MHz 動作時, LVDS_RS = 1 (LVDD, PVDD) 入力トグルパターン(Fig.4)	
LVDS 動作消費電流	ILVDD2	-	38	-	mA	36MHz 動作時, LVDS_RS = 0 (LVDD, PVDD) 入力トグルパターン(Fig.4)	
静止消費電流	IDDst1	-	-	50	μA	リセット解除時、入力端子=GND (VDD)	
入力"H"電流	IIH	-10	-	10	μA	VIH=IO_LVL	
入力"L"電流	IIL	-10	-	10	μA	VIL=GND	
ブルダウン電流	IPD	25	50	100	μA	VIH=IO_LVL	
入力"H"電圧 1	VIH1	IO_LVL x0.8	-	IO_LVL +0.3	V	通常入力 (入出力端子の入力モードも含む)	
入力"L"電圧 1	VIL1	-0.3	-	IO_LVL x 0.2	V	通常入力 (入出力端子の入力モードも含む)	
入力"H"電圧 2	VIH2	IO_LVL x0.85	-	IO_LVL +0.3	V	ヒステリシス入力 (RESETB, RGBCKI, YCKI, LPDNB, SCL, RGBMUTE)	
入力"L"電圧 2	VIL2	-0.3	-	IO_LVL x 0.15	V	ヒステリシス入力 (RESETB, RGBCKI, YCKI, LPDNB, SCL, RGBMUTE)	
出力"H"電圧	VOH	IO_LVL -0.4	-	IO_LVL	V	IOH=-1.0mA(DC) (入出力端子の出力モードも含む)	
出力"L"電圧	VOL	0.0	-	0.4	V	IOL=1.0mA(DC) (入出力端子の出力モードも含む)	
LVDS トランスミッタ特性							
差動出力電圧	VOD	250	350	450	mV	RL=100Ω	Normal Swing LVDS_RS <sup>(*)</sup> = 1
		120	200	300	mV		Reduced Swing LVDS_RS <sup>(*)</sup> = 0
V <sub>OD</sub> の変化量	ΔVOD	-	-	35	mV	RL=100Ω	
オフセット電圧	VOC	1.125	1.25	1.375	V		
V <sub>OC</sub> の変化量	ΔVOC	-	-	35	mV		
出力ショート電流	IOS	-	-	-24	mA	VOUT <sup>(*)</sup> =0V, RL=100Ω	
出力トライステート電流	IOZ	-	-	±10	μA	LPDNB=GND VOUT <sup>(*)</sup> =GND to LVDD	

\* IO\_LVL とは VDDIO、VDDI2C の総称です。

\*1) LVDS\_RS はレジスタ設定名

\*2) VOUT は LVDS 出力 T\*/N

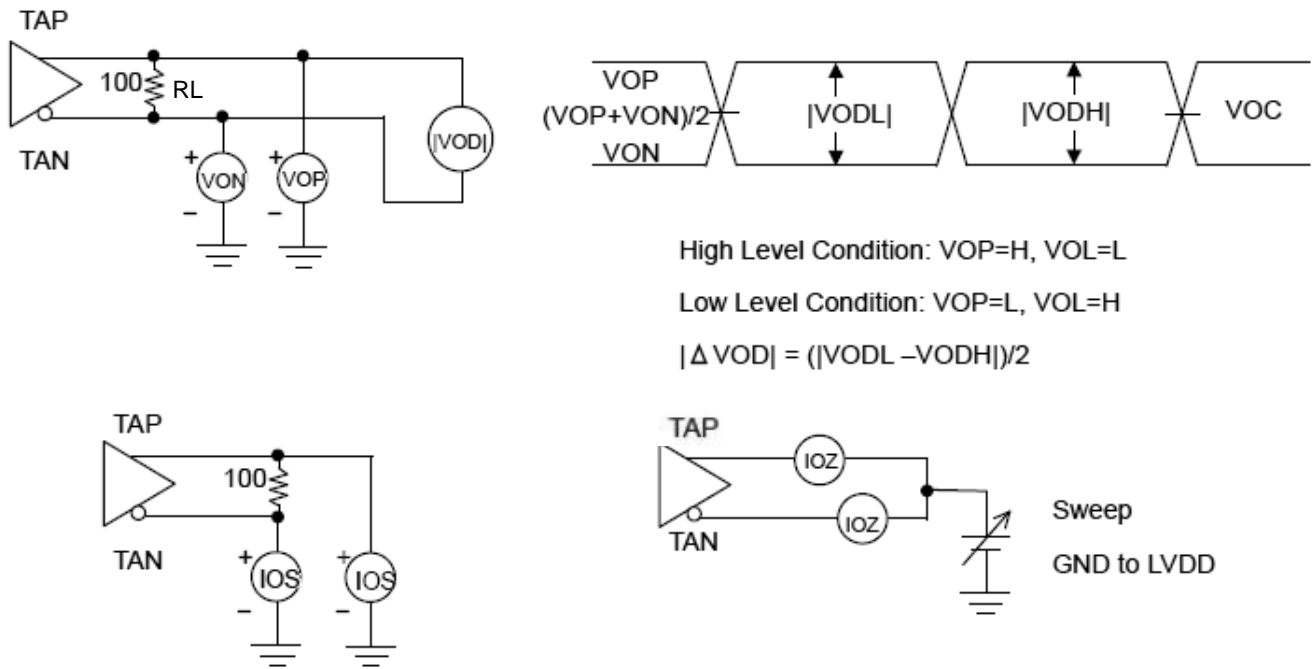
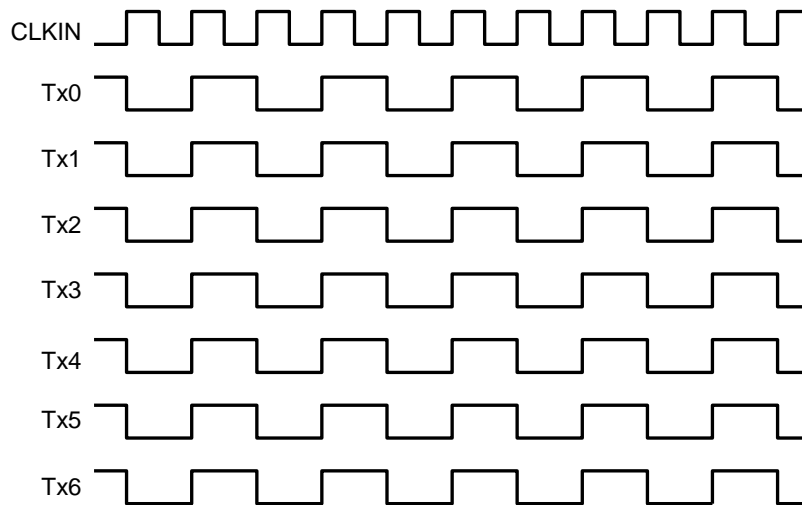


Fig.3 LVDS トランスミッタ特性ダイアグラム



X=A,B,C,D

※LVDS トランスミッタブロックへの入力波形

※Tx0~7 は LVDS トランスミッタによりシリアライズされる前のデータ。  
 シリアライズされたデータ配列は Fig.8 参照

Fig.4 入カトグルパターン

●電气的特性(AC)

1. 画質調整データ入インターフェースタイミング

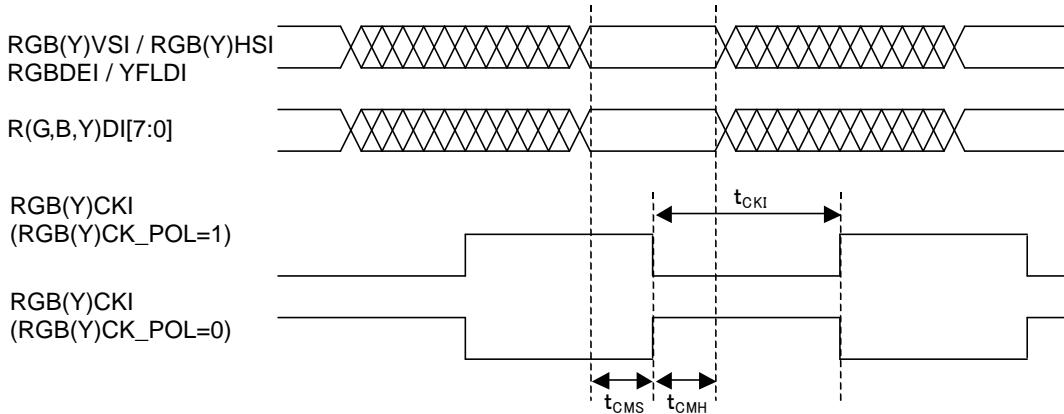


Fig.5 データ入インターフェースタイミング

[Table 6]

特に規定のない場合, VDD=1.80V, VDDIO=3.3V, I2CVDD=3.3V, PVDD=3.3V, LVDD=3.3V, GND=0.0V, Ta=25°C

記号	説明	最小	標準	最大	単位
t <sub>CK1</sub>	RGBCKI クロックサイクル	27.7	-	125	ns
t <sub>CK2</sub>	YCKI クロックサイクル	18.1	-	125	ns
d <sub>CK1</sub>	RGB(Y)CKI クロック Duty	45	50	55	%
t <sub>CMS</sub>	RGB(Y)CKI 立ち上がり/立ち下りに対するデータセットアップ時間	6	-	-	ns
t <sub>CMH</sub>	RGB(Y)CKI 立ち上がり/立ち下りに対するデータホールド時間	5	-	-	ns

\* RGB(Y)CK\_POL は BU1523KV 内部レジスタであり、RGB(Y)CKI の極性を決定するレジスタです。

\* YCbCr インターフェースへの 1 ライン入力ピクセル総数は偶数(サイクル数の場合 4 の倍数)となるようにしてください。

2. 画質調整データ出インターフェースタイミング

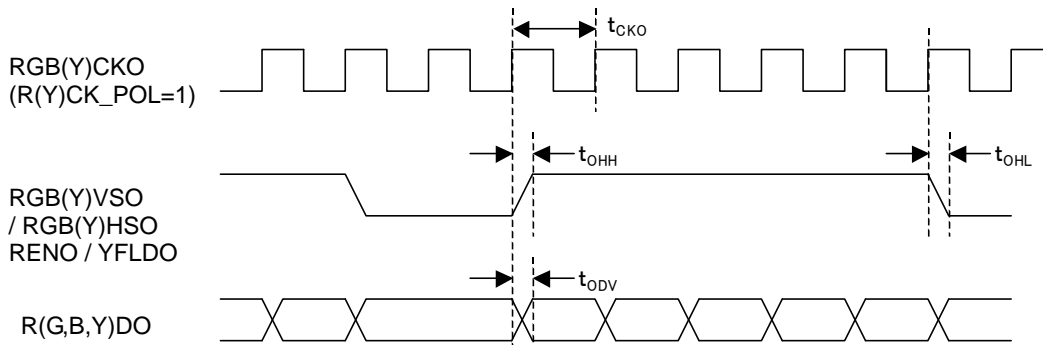


Fig.6 データ出インターフェースタイミング

[Table 7]

特に規定のない場合, VDD=1.80V, VDDIO=3.3V, I2CVDD=3.3V, PVDD=3.3V, LVDD=3.3V, GND=0.0V, Ta=25°C

記号	説明	最小	標準	最大	単位
t <sub>CKO1</sub>	RGBCKO クロックサイクル	27.7	-	125	ns
t <sub>CKO2</sub>	YCKO クロックサイクル	18.1	-	125	ns
d <sub>CKO1</sub>	RGBCKO クロック Duty	40	50	60	%
d <sub>CKO2</sub>	YCKO クロック Duty	35	50	65	%
t <sub>ODV</sub>	RGB(Y)CKO 立ち上がりから R(B,G,Y)DO の確定	-	-	5	ns
t <sub>OHL</sub> , t <sub>OHH</sub>	RGB(Y)CKO 立ち上がりから RGB(Y)VSO, RGB(Y)HSO の確定	-	-	5	ns

\* 上図は RGB(Y)CK\_POL="1" 設定の場合の波形です。RGB(Y)CK\_POL="0" 設定の場合は、RGB(Y)CKO の立下り基準で RGB(Y)VSO、RGB(Y)HSO、RGB(Y)DO は出力されます。

3. LVDS トランスミッタスイッチング特性

[Table 8]

特に規定のない場合, VDD=1.80V, VDDIO=3.3V, I2CVDD=3.3V, PVDD=3.3V, LVDD=3.3V, GND=0.0V, Ta=25°C, f<sub>IN</sub>=36MHz

記号	説明	最小	標準	最大	単位
t <sub>LVT</sub>	差動出力遷移時間	-	0.6	1.5	ns
t <sub>TOP1</sub>	差動出力データ区間 0	-1.2	0.0	+1.2	ns
t <sub>TOP0</sub>	差動出力データ区間 1	$\frac{t_{CKI}}{7} - 1.2$	$\frac{t_{CKI}}{7}$	$\frac{t_{CKI}}{7} + 1.2$	ns
t <sub>TOP6</sub>	差動出力データ区間 2	$2 \frac{t_{CKI}}{7} - 1.2$	$2 \frac{t_{CKI}}{7}$	$2 \frac{t_{CKI}}{7} + 1.2$	ns
t <sub>TOP5</sub>	差動出力データ区間 3	$3 \frac{t_{CKI}}{7} - 1.2$	$3 \frac{t_{CKI}}{7}$	$3 \frac{t_{CKI}}{7} + 1.2$	ns
t <sub>TOP4</sub>	差動出力データ区間 4	$4 \frac{t_{CKI}}{7} - 1.2$	$4 \frac{t_{CKI}}{7}$	$4 \frac{t_{CKI}}{7} + 1.2$	ns
t <sub>TOP3</sub>	差動出力データ区間 5	$5 \frac{t_{CKI}}{7} - 1.2$	$5 \frac{t_{CKI}}{7}$	$5 \frac{t_{CKI}}{7} + 1.2$	ns
t <sub>TOP2</sub>	差動出力データ区間 6	$6 \frac{t_{CKI}}{7} - 1.2$	$6 \frac{t_{CKI}}{7}$	$6 \frac{t_{CKI}}{7} + 1.2$	ns
t <sub>PLL</sub>	セトリング時間	-	-	10.0	ms

LVDS Output

$$V_{diff} = (TxP) - (TxN)$$

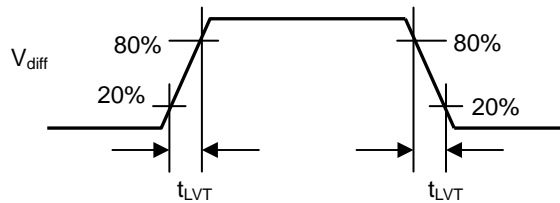
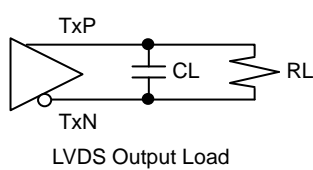


Fig.7 LVDS Output AC タイミングダイアグラム 1

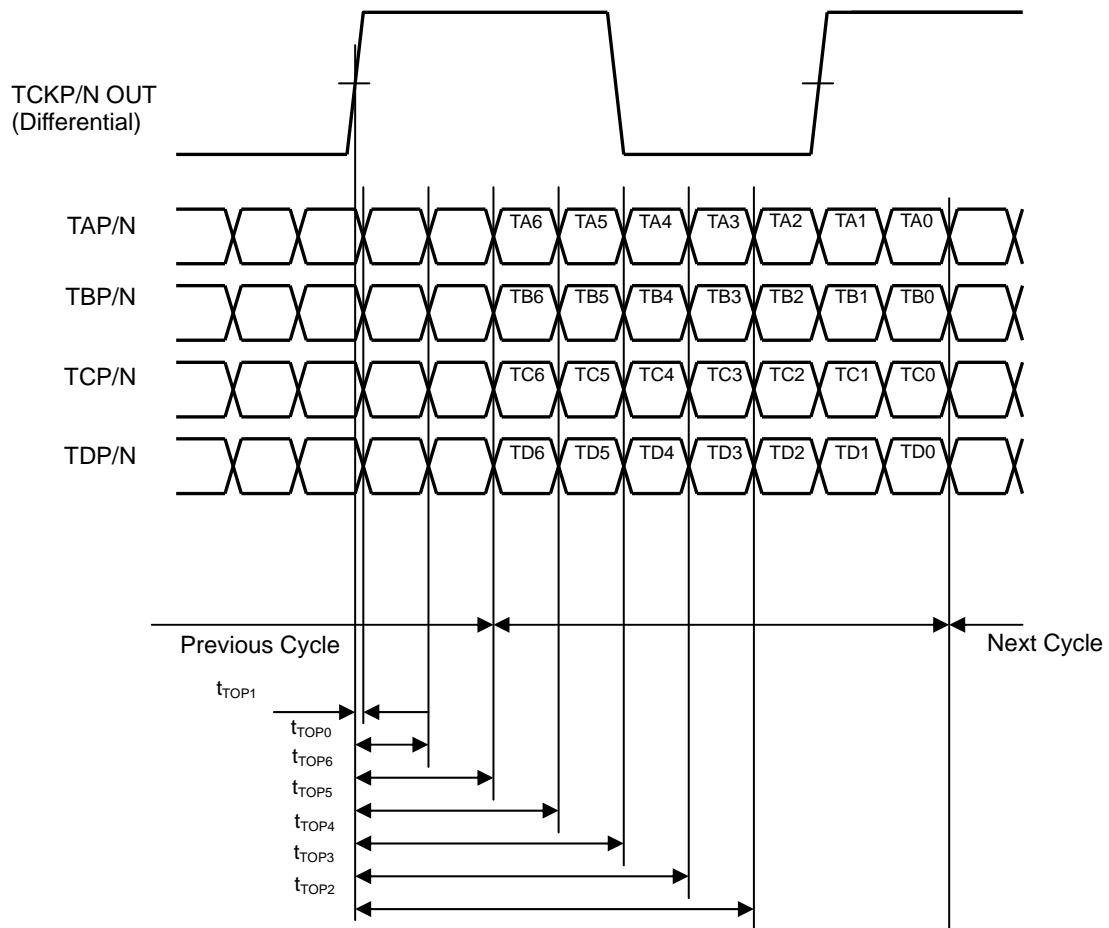
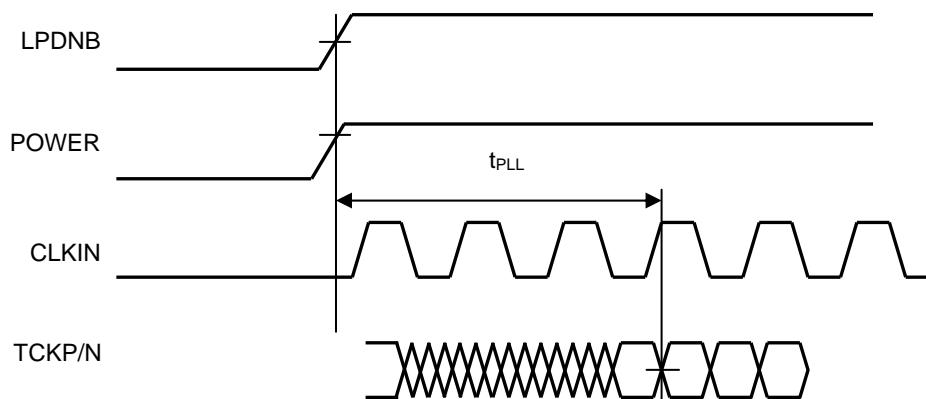


Fig.8 LVDS Output AC タイミングダイアグラム 2



\* POWER は VDDIO, I2CVDD, VDD, LVDD, PVDD  
 \* CLKIN は LVDS トランスミッタへのクロック入力

Fig.9 LVDS PLL セットリング時間

## 4.2 線式シリアルインターフェースタイミング

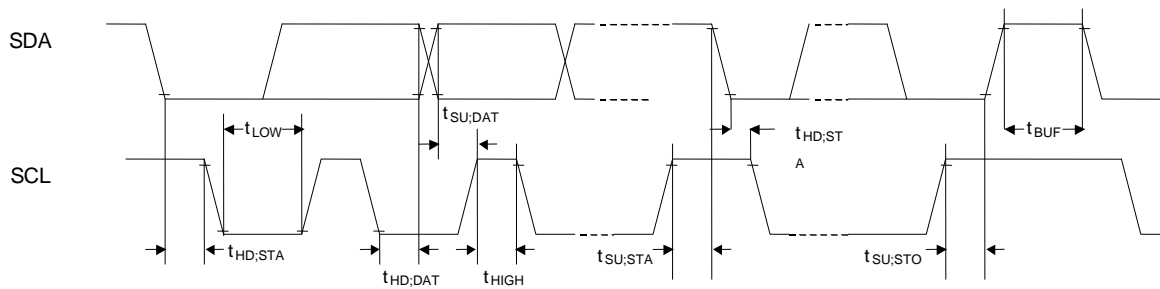


Fig.10 2 線式シリアルインターフェースタイミング

[Table 9]

特に規定のない場合, VDD=1.80V, VDDIO=3.3V, I2CVDD=3.3V, PVDD=3.3V, LVDD=3.3V, GND=0.0V, Ta=25°C

記号	説明	最小	標準	最大	単位
$f_{SCL}$	SDL クロック周波数	0	-	400	kHz
$t_{HD,STA}$	ホールド時間 (反復) 『START』 条件 この期間の後、最初のクロック・パルスを生成	0.6	-	-	$\mu$ s
$t_{LOW}$	SDL クロックの"Low"期間	1.3	-	-	$\mu$ s
$t_{HIGH}$	SDL クロックの"High"期間	0.6	-	-	$\mu$ s
$t_{SU,STA}$	反復 『START』 条件のセットアップ時間	0.6	-	-	$\mu$ s
$t_{HD,DAT}$	データホールド時間	0	-	-	$\mu$ s
$t_{SU,DAT}$	データセットアップ時間	100	-	-	ns
$t_{SU,STO}$	『STOP』 条件のセットアップ時間	0.6	-	-	$\mu$ s
$t_{BUF}$	『STOP』 条件と 『START』 条件との間のバス・フリー時間	1.3	-	-	$\mu$ s

●各ブロック動作説明

1.RGB IF 画質調整

24bitRGB で入力された画像に対して画質調整をすることが可能です。  
 入力インターフェースはデータ 24bit、垂直同期信号、水平同期信号、及びデータイネーブルに対応しています。  
 24bitRGB から YCbCr444 へ変換し、YCbCr 空間でコントラスト、ブライトネス、シャープネス、色相、及び彩度調整を行います。輝度(Y)成分に対してコントラスト、ブライトネス、及びシャープネスの調整を行い、色差(CbCr)成分に対して色相、及び彩度の調整を行います。  
 YCbCr 空間での画質調整の他に、RGB 空間での RGB 独立ガンマ補正機能を内蔵しています。  
 YCbCr444 から 24bitRGB へ変換し、RGB それぞれの成分に対してガンマ補正が可能です。  
 ガンマカーブの設定は 16 ポイント、設定ポイント間は線形補間で処理されます。  
 RGBMUTE 端子を High レベルにすると次のフレームから RGB 出力データはオール 0 となります。

2.YUV 画質調整

YCbCr422 で入力された画像に対して画質調整をすることが可能です。  
 入力インターフェースは ITU-R BT.656-4 と同期信号付 YCbCr(ITU-R BT.601 準拠)に対応しています。  
 入力が ITU-R BT.656-4 の場合、出力は ITU-R BT.656-4 または同期信号付 YCbCr が可能です。  
 ただし、入力が同期信号付 YCbCr の場合、出力は同期信号付 YCbCr のみとなります。  
 YCbCr 空間でコントラスト、ブライトネス、シャープネス、色相、及び彩度調整を行います。輝度(Y)成分に対してコントラスト、ブライトネス、及びシャープネスの調整を行い、色差(CbCr)成分に対して色相、及び彩度の調整を行います。

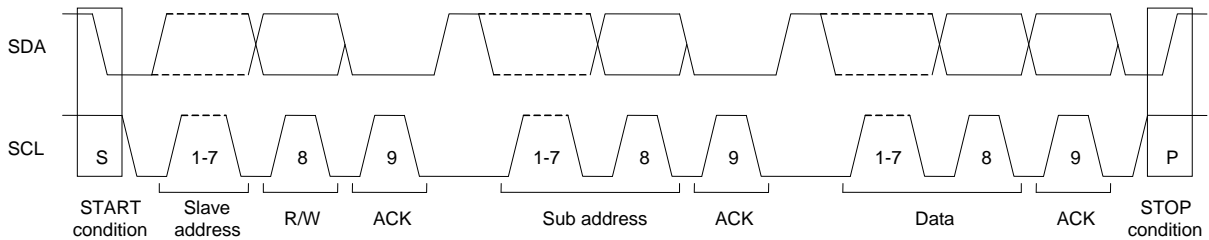
3.LVDS トランスミッタ

RGB IF 画質調整の出力信号を LVDS フォーマットで高速シリアルデータ出力が可能です。LVDS フォーマットで出力されるデータマッピングは、レジスタ設定により変更可能です。  
 LPDNB 端子を Low レベルにすると LVDS トランスミッタ部がパワーダウンモードに入ります。  
 LVDS 出力は Hi-Z 状態となります。

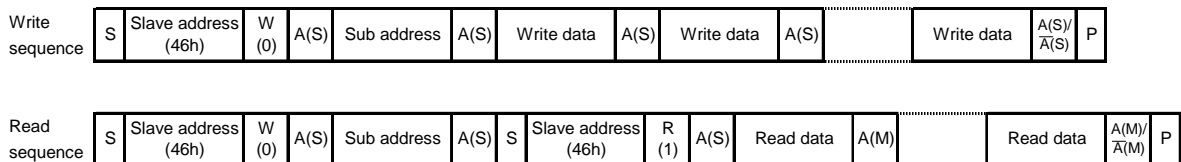
4.2 線式シリアルインターフェース

2 線式シリアルインターフェーススレーブ機能を内蔵しています。このインターフェースを介してレジスタへアクセスします。スレーブアドレスは I2CDEV=0 の時 46h(7bit 表記)、I2CDEV=1 の時 47h(7bit 表記)です。ライト/リードともに 2 回以上の連続アクセスを行った場合、サブアドレスは自動的にインクリメントされます。

\*スレーブアドレス 46h、47h は 16 進数  
 \*Fig.11 は I2CDEV=0 の時



データ送受信波形

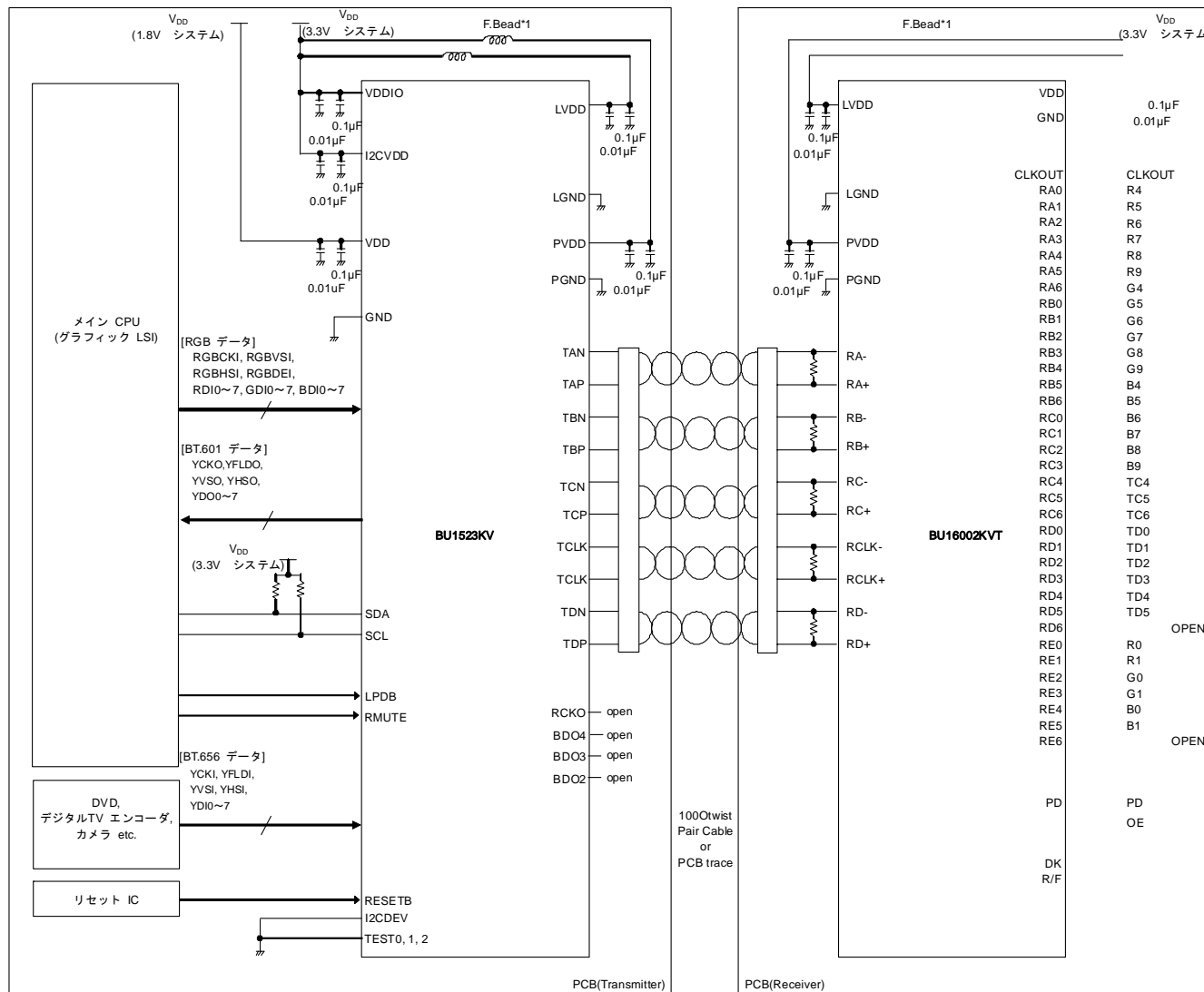


S = START condition      A(S) = acknowledge by slave       $\bar{A}(S)$  = not acknowledge by slave  
 P = STOP condition      A(M) = acknowledge by master       $\bar{A}(M)$  = not acknowledge by master

Fig.11 2 線式シリアルインターフェースフォーマット



●アプリケーション回路例



\*1: Recommended Parts: F.Bead: BLM18A-Series (Murata Manufacturing)  
 \*2: If LVDS\_RS is tied to "1", LVDS swing is 350m V. If LVDS\_RS is tied to "0", LVDS swing is 200m V.

Fig.12 BU1523KV システム接続図

なお、上図はシステムを接続する際の参考例であり、動作を保証するものではありません。

●電源投入手順

電源投入手順は Fig.13 のように VDD→(VDDIO, I2CVDD, PVDD, LVDD)の順番で投入してください。各電源投入の時間関係は Table 10 の通りですが、 $t_{PWUV2}$ 、 $t_{PWUV}$ 、 $t_{PWUVL}$ の間隔をできるだけ短くすることを推奨します。

すべての電源に電圧が印加後、全入力端子の状態が固定され RESETB にローレベルが入力されるまでは、内部状態、及び端子状態は不定状態となります。クロック(RGBCKI,YCKI)の入力後リセット解除してください。動作途中でクロック(RGBCKI,YCKI)が一時停止する場合は、クロック(RGBCKI,YCKI)停止後にリセットを掛けて動作状態を確定させた後、電源投入時と同様のシーケンスでクロック(RGBCKI,YCKI)入力後にリセット解除してください。

2 線式シリアルインターフェースはリセット(RESETB)が解除されれば通信が可能です。ただし、リセット(RESETB)の立ち上がりと、2 線式シリアルインターフェースの信号変化が同時の場合、信号間でレーシングが発生してしまう可能性があります。

リセット(RESETB)の立ち上がりと、2 線式シリアルインターフェースの信号変化が重ならないようにしてください。内部状態、及び端子状態が不定状態の時に、信号衝突、システムの誤動作が発生しないようにシステム設計を行ってください。

\*リセットはソフトウェアリセット(SRST\_R\_IP, SRST\_Y\_IP, SRST\_LVDS)でも可能

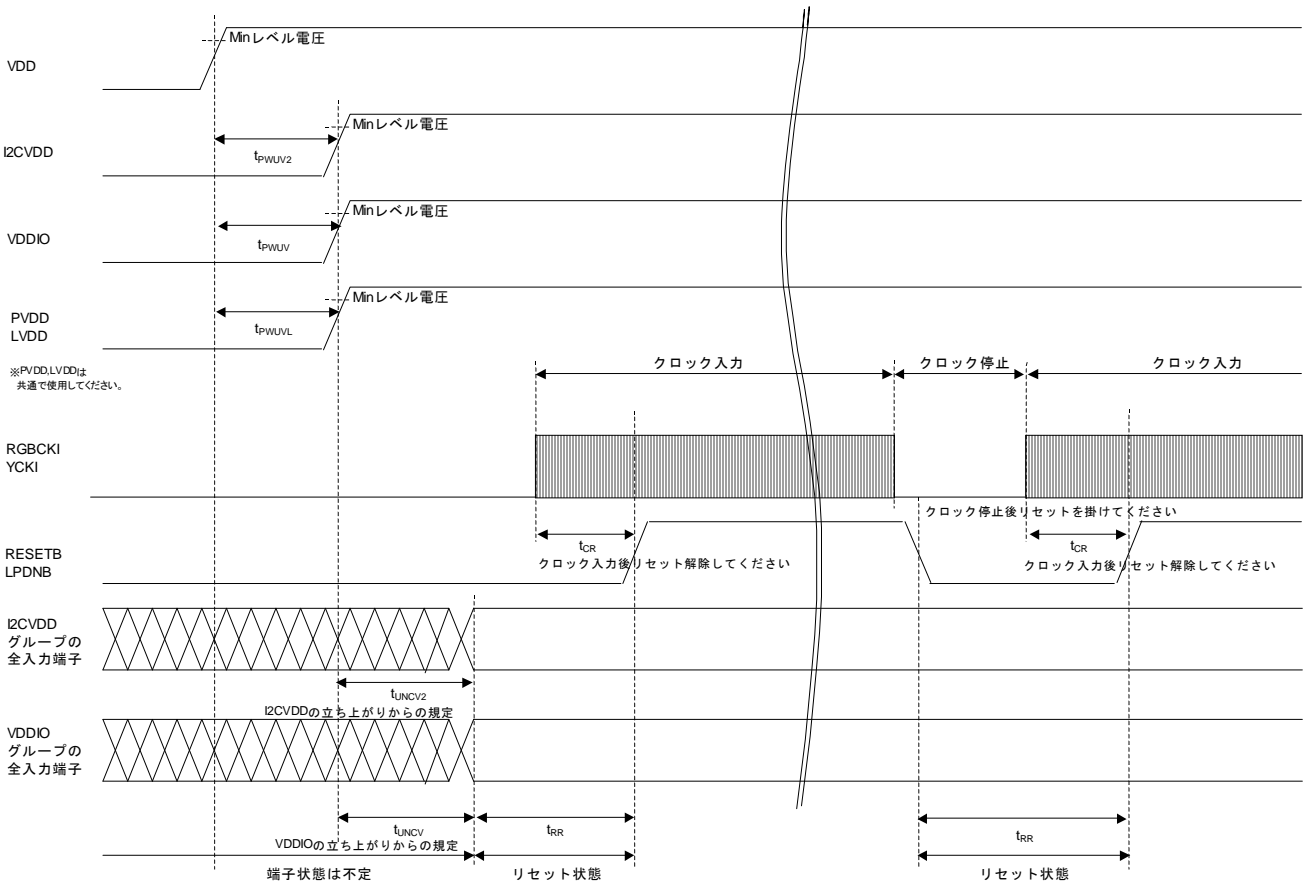


Fig.13 電源投入手順 (Min レベルは推奨動作範囲の印加電源電圧下限)

[Table 10 電源投入時間推奨値]

項目	最小	最大	単位
$t_{PWUV2}$	0	50	ms
$t_{PWUV}$	0	50	ms
$t_{PWUVL}$	0	50	ms
$t_{UNCV2}$	0	1	ms
$t_{UNCV}$	0	1	ms
$t_{RR}$	1	-	ms
$t_{CR}$	0.1	-	ms

電源切断は電源投入と逆に、Fig.14 の通り(VDDIO, I2CVDD, PVDD, LVDD)→VDD の順番で切断してください。各電源の切断間隔は Table 11 に示していますが、 $t_{PVDV2}$ 、 $t_{PVDV}$ 、 $t_{PVDVL}$  をできるだけ短くすることを推奨します。VDD(内部コア用電源)を先に切断すると内部状態、及び端子状態が不定になりますのでご注意ください。

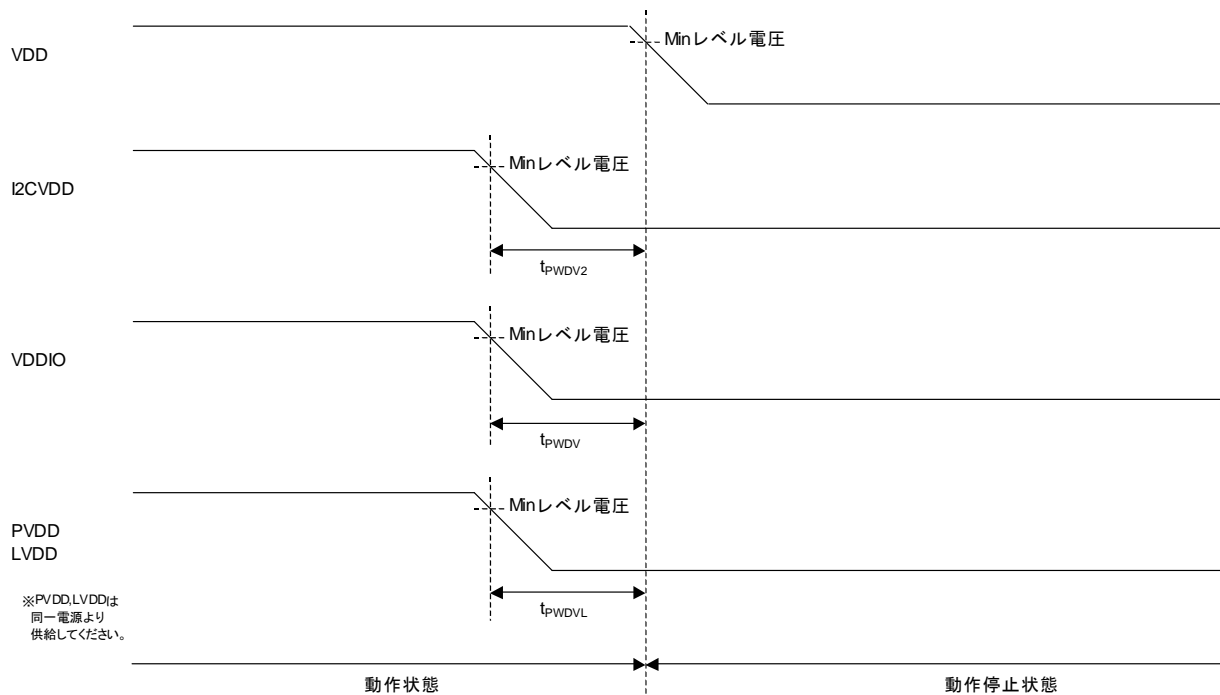


Fig.14 電源切断手順 (Min レベルは推奨動作範囲の印加電源電圧下限)

[Table 11 電源切断時間推奨値]

項目	最小	最大	単位
$t_{PVDV2}$	0	50	ms
$t_{PVDV}$	0	50	ms
$t_{PVDVL}$	0	50	ms

●基板レイアウトの注意点

- ・LVDS 信号の送信/受信間の配線、コネクタ、ケーブルは、可能な限り同じ長さ、同じインピーダンス特性にしてください。
- ・バイパスコンデンサは、可能な限り IC のピンの近くに配置してください。
- ・コモンモードノイズ耐性を最大限にするために LVDS 差動信号ペア間 S1 の距離を最小にしてください。
- ・隣接した LVDS 差動信号ペアは少なくとも S1 の 2 倍以上(>2 x S1)離してください。
- ・90 度の曲がり Avoid して配線してください。
- ・LVDS 差動信号に配置する VIA の数を最小にしてください。
- ・LVDS 差動信号の PCB 配線、コネクタ、ケーブルなどの経路のインピーダンスをあわせてください。  
(一般的に差動信号の特性インピーダンスは 100Ω)

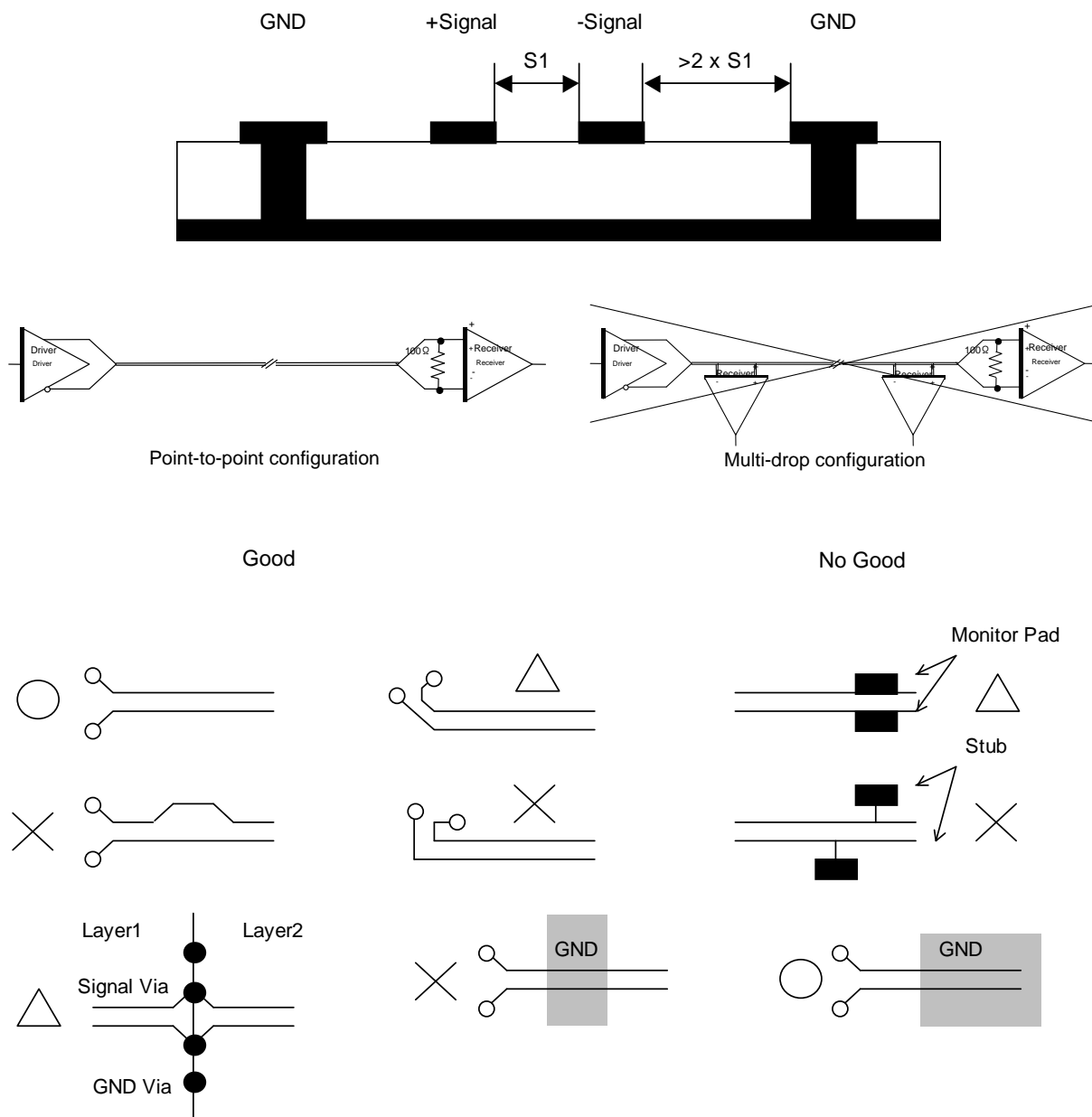


Fig.15 LVDS 信号 PCB デザイン注意事項

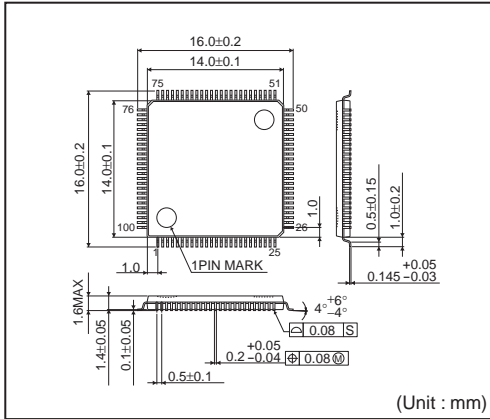
## ●使用上の注意

- (1) 絶対最大定格について  
印加電圧(VDDIO、VDDI2C、PVDD、LVDD、VDD、VIN)、及び動作温度範囲(Topr)などの絶対最大定格を越えた場合、破壊する恐れがあり、ショートもしくはオープンなどの破壊モードが特定できませんので、絶対最大定格を越えるような特殊モードが想定される場合には、ヒューズなどの物理的な安全対策を施すよう検討をお願いします。
- (2) 推奨動作範囲  
この範囲であればほぼ期待通りの特性を得ることができる範囲です。電気特性については各項目の条件下において保証されるものです。推奨動作範囲内であっても電圧、温度特性を示します。
- (3) 電源コネクタの逆接続について  
電源コネクタの逆接続によりLSIが破壊する恐れがあります。逆接続破壊保護用として外部に電源とLSIの電源端子間にダイオードを入れる等の対策を施してください。
- (4) 電源ラインについて  
基板パターンの設計においては、電源/GNDラインの配線は、低インピーダンスになるようにしてください。その際、デジタル系電源とアナログ系電源は、それらが同電位であっても、デジタル系電源パターンとアナログ系電源パターンは分離し、配線パターンの共通インピーダンスによるアナログ電源へのデジタル・ノイズの回り込みを抑制してください。GNDラインについても、同様のパターン設計を考慮してください。また、LSIのすべての電源端子について電源-GND端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量ぬげが起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。
- (5) GND電圧について  
GND端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また、実際に過渡現象を含めGND以下の電位になっている端子がないかご確認ください。
- (6) 端子間ショートと誤装着について  
セット基板に取り付ける際、LSIの向きや位置ずれに十分ご注意ください。誤って取り付けた場合、LSIが破壊する恐れがあります。また、端子間や端子と電源、GND間に異物が入るなどしてショートした場合についても破壊の恐れがあります。
- (7) 強電磁界中の動作について  
強電磁界中でのご使用は、誤動作をする可能性がありますのでご注意ください。
- (8) セット基板での検査について  
セット基板での検査時に、インピーダンスの低いLSI端子にコンデンサを接続する場合は、LSIにストレスがかかる恐れがあるので、工程毎に必ず放電を行ってください。また、検査工程での治具への着脱時には、必ず電源をオフにしてから接続し、検査を行い、電源をオフにしてから取り外してください。さらに、静電気対策として、組み立て工程には、アースを施し、運搬や保存の際には十分ご注意ください。
- (9) 各入力端子について  
LSIの構造上、寄生素子は電位関係によって必然的に形成されます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因となり得ます。したがって、入力端子にGNDより低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分注意してください。また、LSIに電源電圧を印加していない時、入力端子に電圧を印加しないでください。さらに、電源電圧を印加している場合にも、各入力端子は電源電圧以下の電圧もしくは電气的特性の保証値内としてください。
- (10) アース配線パターンについて  
小信号GNDと大電流GNDがある場合、大電流GNDパターンと小信号GNDパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号GNDの電圧を変化させないように、セットの基準点で1点アースすることを推奨します。外付け部品のGNDの配線パターンも変動しないように注意してください。
- (11) 外付けコンデンサについて  
外付けコンデンサに、セラミック・コンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮の上定数を決定してください。
- (12) ラッシュカレントについて  
複数電源を持つICでは電源投入順序、遅れにより、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、GNDパターン配線の幅、引き回しに注意してください。

●発注形名セレクション

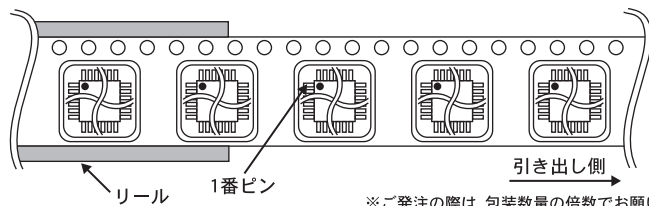
B	U	1	5	2	3	K	V	-	E	2	
ローム形名		品番				パッケージタイプ KV:VQFP100			包装、フォーミング仕様 E2: リール状エンボステーピング		

VQFP100



<包装仕様>

包装形態	エンボステーピング(防湿仕様)
包装数量	500pcs
包装方向	E2 ( リールを左手に持ち、右手でテープを引き出したときに ) 製品の1番ピンが左上にくる方向



※ご発注の際は、包装数量の倍数でお願い致します。

# ご注意

## ローム製品取扱い上の注意事項

1. 本製品は一般的な電子機器（AV 機器、OA 機器、通信機器、家電製品、アミューズメント機器等）への使用を意図して設計・製造されております。従いまして、極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険若しくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器<sup>(Note 1)</sup>、輸送機器、交通機器、航空宇宙機器、原子力制御装置、燃料制御、カーアクセサリを含む車載機器、各種安全装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

2. 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、かかる誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
  - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
  - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
3. 本製品は、一般的な電子機器に標準的な用途で使用されることを意図して設計・製造されており、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。従いまして、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
  - ①水・油・薬液・有機溶剤等の液体中でのご使用
  - ②直射日光・屋外暴露、塵埃中でのご使用
  - ③潮風、Cl<sub>2</sub>、H<sub>2</sub>S、NH<sub>3</sub>、SO<sub>2</sub>、NO<sub>2</sub>等の腐食性ガスの多い場所でのご使用
  - ④静電気や電磁波の強い環境でのご使用
  - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合。
  - ⑥本製品を樹脂等で封止、コーティングしてのご使用。
  - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用された場合も、残渣の洗浄は確実にを行うことをお勧め致します)、又ははんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合。
  - ⑧本製品が結露するような場所でのご使用。
4. 本製品は耐放射線設計はなされておられません。
5. 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
6. パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
7. 許容損失(Pd)は周囲温度(Ta)に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、ディレーティングカーブ範囲内であることをご確認ください。
8. 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
9. 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

## 実装及び基板設計上の注意事項

1. ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
2. はんだ付けはリフローはんだを原則とさせていただきます。なお、フロー方法でのご使用につきましては別途ロームまでお問い合わせください。  
詳細な実装及び基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。



## **応用回路、外付け回路等に関する注意事項**

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。従いまして、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

## **静電気に対する注意事項**

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施の上、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。(人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等)

## **保管・運搬上の注意事項**

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
  - ①潮風、Cl<sub>2</sub>、H<sub>2</sub>S、NH<sub>3</sub>、SO<sub>2</sub>、NO<sub>2</sub>等の腐食性ガスの多い場所での保管
  - ②推奨温度、湿度以外での保管
  - ③直射日光や結露する場所での保管
  - ④強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認した上でご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行った上でご使用ください。

## **製品ラベルに関する注意事項**

本製品に貼付されている製品ラベルにQRコードが印字されていますが、QRコードはロームの社内管理のみを目的としたものです。

## **製品廃棄上の注意事項**

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

## **外国為替及び外国貿易法に関する注意事項**

本製品は外国為替及び外国貿易法に定める規制貨物等に該当するおそれがありますので輸出する場合には、ロームにお問い合わせください。

## **知的財産権に関する注意事項**

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。従いまして、上記第三者の知的財産権侵害の責任、及び本製品の使用により発生するその他の責任に関し、ロームは一切その責任を負いません。
2. ロームは、本製品又は本資料に記載された情報について、ローム若しくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。

## **その他の注意事項**

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事情報目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社若しくは第三者の商標又は登録商標です。



**一般的な注意事項**

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。