

AIE アダプティブイメージエンハンサシリーズ



画像補正内蔵 ビデオエンコーダ

BU6520KV, BU6521KV

No.12060JDT03

●概要

BU6520KV, BU6521KV は AIE 補正機能内蔵ビデオエンコーダです。また、BU6521KV は霧画像補正の画像補正機能も内蔵しています。霧画像補正、明暗補正、逆光補正、彩度強調により、カメラ等の入力映像の視認性を向上できます。

* AIE 補正及び霧画像補正はロームのハードウェアによる画像処理技術です。

●特長

- 1) 出力ビデオフォーマットは NTSC/PAL コンポジットビデオ出力(CVBS) に対応。
75Ω ドライブが直接可能なビデオ DAC を搭載。
- 2) 霧画像補正機能^{*1}、ダイナミックレンジ補正画像処理機能、エッジ強調フィルタ、ガンマフィルタ内蔵。
- 3) 入出力データフォーマットは ITU-R BT.656 または 同期信号付き YCbCr に対応。
- 4) NTSC(27MHz、28.63636MHz または 19.06993MHz)、
PAL(27MHz、28.375MHz、35.46895MHz または 18.9375MHz)に対応^{*2}。
- 5) 2 線式シリアルインターフェースにて BU6521KV 内部のレジスタ設定可能。
- 6) 外付け EEPROM にレジスタ設定値を格納し、リセット解除時とモード変更時に自動レジスタ設定が可能。

*1 画像処理補正機能は BU6521KV のみ搭載。

*2 NTSC19.06993MHz 及び PAL18.9375MHz は BU6521KV のみサポート。

●用途

セキュリティカメラなど

●ラインアップ

品名	電源電圧 (V)	対応画像サイズ	入力インターフェース	制御インターフェース	出力インターフェース	機能	動作温度範囲 (°C)	パッケージ
BU6520KV	1.4~1.6 (V _{DD} Core), 2.7~3.6 (V _{DD} I/O, AV _{DD})	720x480, SD size	8bit, YUV=4:2:2, ITU-R BT.656	I ² C, Serial EEPROM interface	8bit, YUV=4:2:2, ITU-R BT.656	AIE, ビデオアウト	-40~+85	VQFP48C
BU6521KV	1.4~1.6 (V _{DD} Core), 2.7~3.6 (V _{DD} I/O, AV _{DD})	720x480, SD size	8bit, YUV=4:2:2, ITU-R BT.656	I ² C, Serial EEPROM interface	8bit, YUV=4:2:2, ITU-R BT.656	AIE, 霧画像補正, ビデオアウト	-40~+85	VQFP48C

I²C BUS はフィリップス社の登録商標です。

●絶対最大定格

項目	記号	定格	単位
電源電圧 1 (IO)	VDDIO	-0.3~+4.2	V
電源電圧 2 (IO)	VDDI2C	-0.3~+4.2	V
電源電圧 3 (DAC)	AVDD	-0.3~+4.2	V
電源電圧 4 (CORE)	VDD	-0.3~+2.1	V
入力電圧範囲	VIN	-0.3~IO_LVL+0.3 ^{*1}	V
保存温度範囲	Tstg	-40~+125	°C
許容損失	PD	400 ^{*2} , 900 ^{*3}	mW

*1 IO_LVLとはVDDIO、VDDI2C、AVDDの総称です。

*2 IC単体。25°Cを超える場合、1°Cにつき4.0mWを減じます。

*3 70x70x1.6mmのガラスエポキシ基板実装時。25°Cを超える場合、1°Cにつき9.0mWを減じます。

* 耐放射線設計はしていません。

* 絶対最大定格は動作を保証するものではありません。

●推奨動作範囲

項目	記号	定格	単位
電源電圧 1 (IO)	VDDIO	2.70~3.60 (Typ.: 3.30)	V
電源電圧 2 (IO)	VDDI2C	2.70~3.60 (Typ.: 3.30)	V
電源電圧 3 (DAC)	AVDD	2.70~3.60 (Typ.: 3.30)	V
電源電圧 4 (CORE)	VDD	1.40~1.60 (Typ.: 1.50)	V
入力電圧範囲	VIN	0.00~IO_LVL ^{*1}	V
動作温度範囲	Topr	-40~+85	°C

*1 IO_LVLとはVDDIO、VDDI2C、AVDDの総称です。

* 電源投入は、VDD→(VDDIO,VDDI2C,AVDD)の順番に投入してください。

●ブロック図
[BU6520KV]

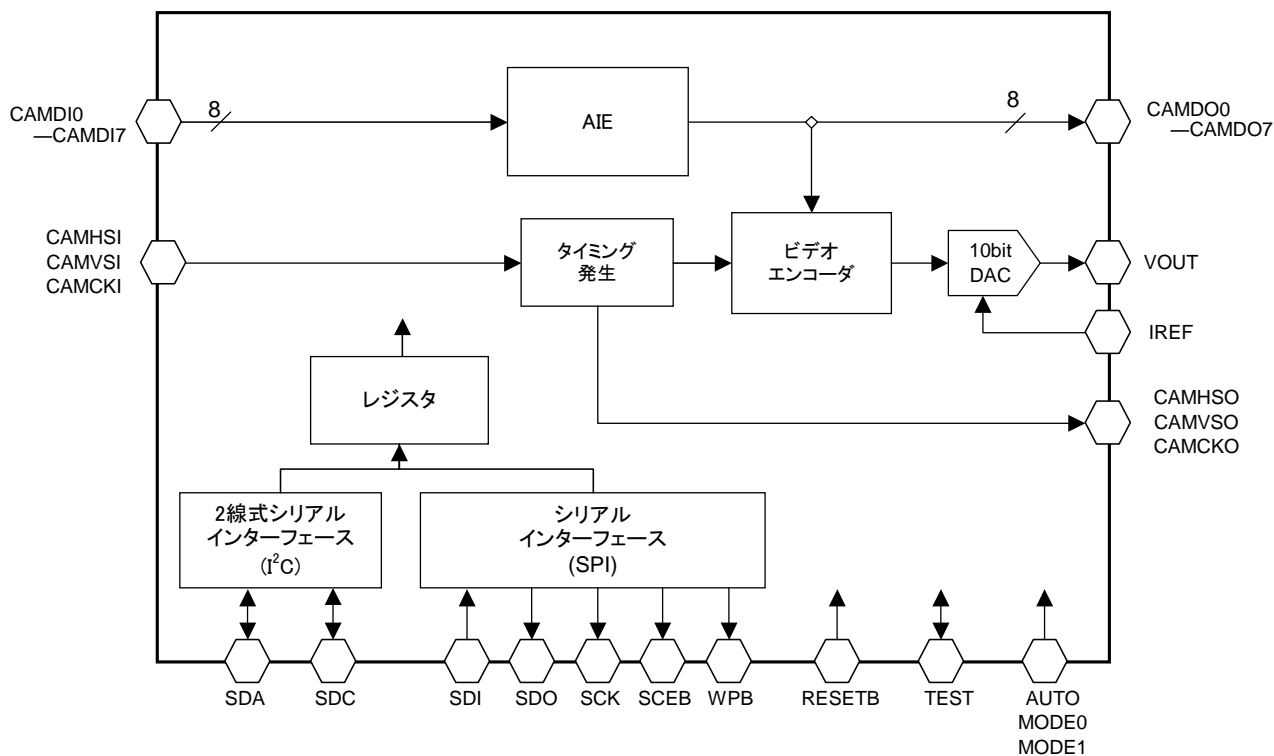


Fig.1 BU6520KV ブロック図

[BU6521KV]

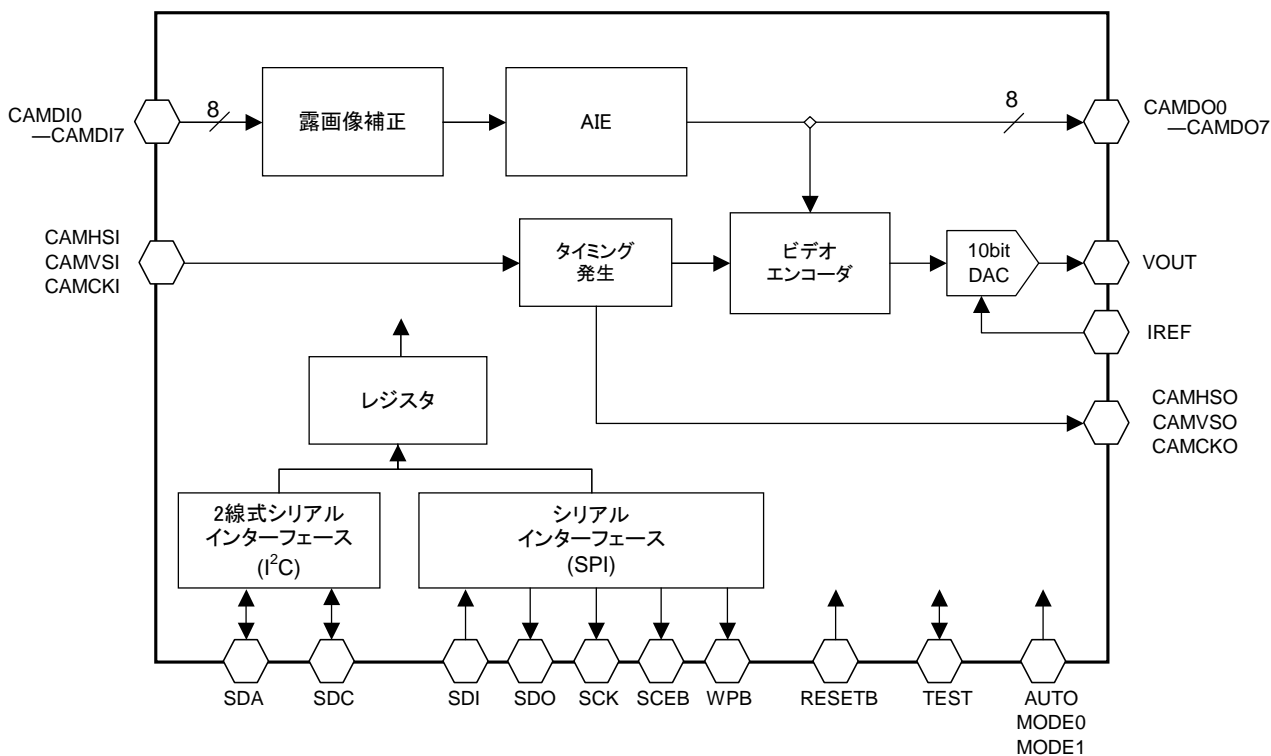


Fig.2 BU6521KV ブロック図

●端子説明・等価回路図

PIN No.	PIN Name	In/Out	Active Level	Init	機能説明	電源系統	入出力形式 ^{*1}
1	SDI	In	DATA	-	SPI-bus データ入力	1	A
2	CAMDI7	In	DATA	-	データ入力・ビット7	1	C
3	CAMDI6	In	DATA	-	データ入力・ビット6	1	C
4	CAMDI5	In	DATA	-	データ入力・ビット5	1	C
5	CAMDI4	In	DATA	-	データ入力・ビット4	1	C
6	GND	-	GND	-	共通 GROUND	1,2,4	-
7	VDD	-	PWR	-	CORE 電源	4	-
8	CAMDI3	In	DATA	-	データ入力・ビット3	1	C
9	CAMDI2	In	DATA	-	データ入力・ビット2	1	C
10	CAMDI1	In	DATA	-	データ入力・ビット1	1	C
11	CAMDI0	In	DATA	-	データ入力・ビット0	1	C
12	CAMHSI	In	*	-	水平タイミング入力	1	C
13	CAMVSI	In	*	-	垂直タイミング入力	1	C
14	CAMCKI	In	CLK	-	クロック入力	1	E
15	GND	-	GND	-	共通 GROUND	1,2,4	-
16	VDDIO	-	PWR	-	デジタル I/O 電源	1	-
17	CAMDO0	Out	DATA	Low	データ出力・ビット0	1	F
18	CAMDO1	Out	DATA	Low	データ出力・ビット1	1	F
19	CAMDO2	Out	DATA	Low	データ出力・ビット2	1	F
20	CAMDO3	Out	DATA	Low	データ出力・ビット3	1	F
21	CAMDO4	Out	DATA	Low	データ出力・ビット4	1	F
22	CAMDO5	Out	DATA	Low	データ出力・ビット5	1	F
23	CAMDO6	Out	DATA	Low	データ出力・ビット6	1	F
24	CAMDO7	Out	DATA	Low	データ出力・ビット7	1	F

※ Active レベルの欄での"*"表示はレジスタでの設定で変更可能であることを表す。

※ Init の欄はリセット解除時のピン状態を示す。

※ 電源系統の欄での"1"は VDDIO を、"2"は VDDI2C を、"3"は AVDD を、"4"は VDD を表す。

*1 Fig.3 入出力等価回路図参照

PIN No.	PIN Name	In/Out	Active Level	Init	機能説明	電源系統	入出力形式 ^{*1}
25	CAMHSO	Out	*	Low	水平タイミング出力	1	F
26	CAMVSO	Out	*	Low	垂直タイミング出力	1	F
27	CAMCKO	Out	CLK	Low	クロック出力	1	F
28	GND	-	GND	-	共通 GROUND	1,2,4	-
29	VDD	-	PWR	-	CORE 電源	4	-
30	AUTO	In	High	PD ^{*2}	自動レジスタ設定機能有効端子	1	D
31	MODE0	In	DATA	PD ^{*2}	モード選択端子 0	1	D
32	MODE1	In	DATA	PD ^{*2}	モード選択端子 1	1	D
33	VOUT	Out	Analog	-	アナログコンポジットビデオ出力	3	H
34	AVSS	-	GND	-	DAC 用アナログ GROUND	3	-
35	IREF	Out	Analog	-	DAC 用参照電圧出力	3	I
36	AVDD	-	PWR	-	DAC 用アナログ電源	3	-
37	GND	-	GND	-	共通 GROUND	1,2,4	-
38	VDDI2C	-	PWR	-	2 線式シリアルインターフェース用デジタル I/O 電源	2	-
39	SDA	In/Out	DATA	In	2 線式シリアルインターフェース入出力データ	2	G
40	SDC	In/Out	CLK	In	2 線式シリアルインターフェース入出力クロック	2	G
41	RESETB	In	Low	-	システムリセット信号	1	B
42	TEST	In	High	PD ^{*2}	テストモード端子(GND に接続して下さい)	1	D
43	GND	-	GND	-	共通 GROUND	1,2,4	-
44	VDDIO	-	PWR	-	デジタル I/O 電源	1	-
45	WPB	Out	Low	Low	EEPROM ライトプロテクト	1	F
46	SCEB	Out	Low	High	EEPROM チップセレクト	1	F
47	SCK	Out	CLK	Low	SPI-bus クロック	1	F
48	SDO	Out	DATA	Low	SPI-bus データ出力	1	F

※ Active レベルの欄での "*" 表示はレジスタでの設定で変更可能であることを表す。

※ Init の欄はリセット解除時のピン状態を示す。

※ 電源系統の欄での "1" は VDDIO を、"2" は VDDI2C を、"3" は AVDD を、"4" は VDD を表す。

*1 Fig.3 入出力等価回路図参照

*2 Pull Down 状態

形式	等価回路構成	形式	等価回路構成
A	<p>入力端子</p>	B	<p>ヒステリシス付き入力専用端子</p>
C	<p>サスペンド付き入力端子</p>	D	<p>プルダウン付入力端子</p>
E	<p>ヒステリシス、サスペンド付入力端子</p>	F	<p>出力端子</p>
G	<p>入出力端子</p>	H	<p>VOUT</p>
I	<p>IREF</p>		

Fig.3 入出力等価回路図

●端子配置图

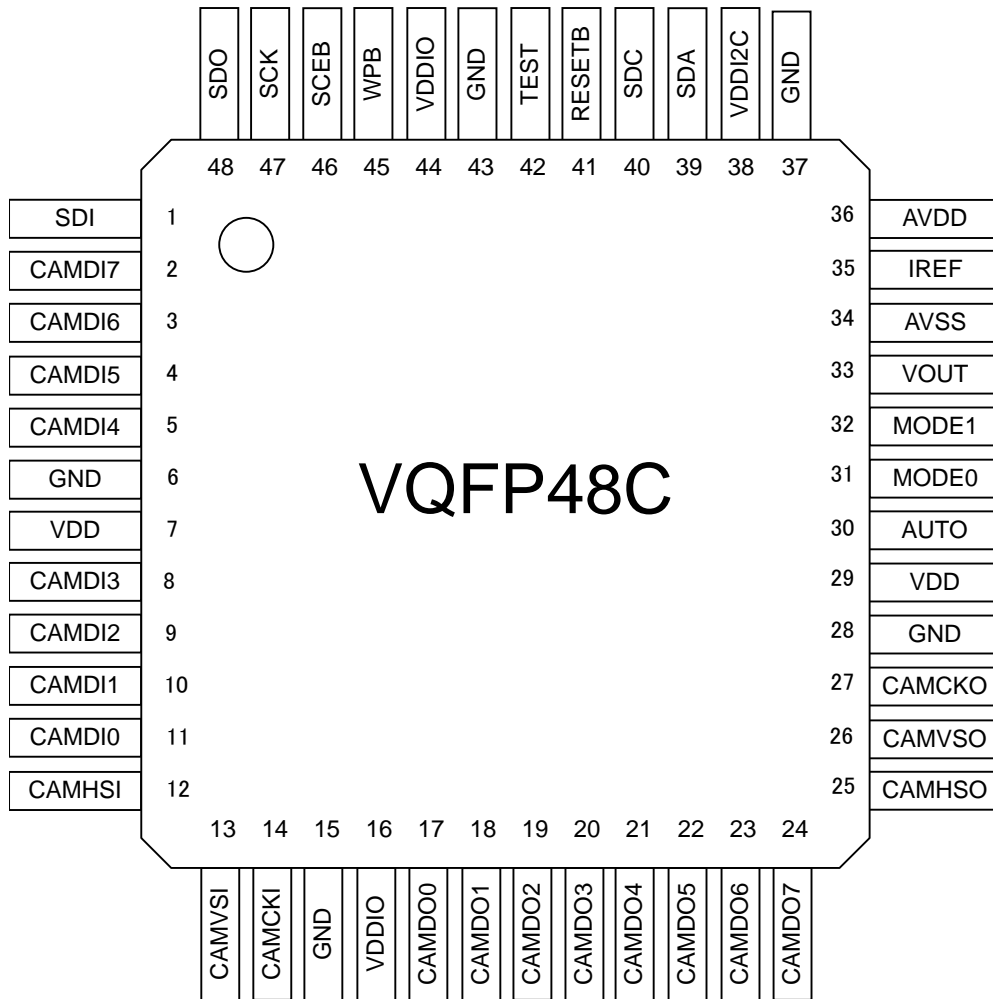


Fig.4 端子配置图

●電気的特性(共通)

(特に規定の無い場合、VDD=1.50V, VDDIO=3.3V, VDDI2C=3.3V, AVDD=3.3V, GND=0.0V, Ta=25°C, f_{IN}=35.5MHz)

項目	記号	規格値			単位	条件	
		最小	標準	最大			
入力周波数	f _{IN}	2	-	35.5	MHz	CAMCKI(DUTY45%~55%)	
動作消費電流(CORE)	BU6520KV	IDD1	-	30	-	mA	35.5MHz 動作時 ^{*1}
	BU6521KV	IDD1	-	40	62	mA	35.5MHz 動作時 ^{*2}
静止消費電流(CORE)	IDDst1	-	-	50	μA	スリープモード、入力端子=GND	
動作消費電流(DAC)	BU6520KV	IDD2	-	38	-	mA	RL=37.5Ω、R _{IREF} =2.4kΩ
	BU6521KV	IDD2	-	38	56	mA	RL=37.5Ω、R _{IREF} =2.4kΩ
静止消費電流(DAC)	IDDst2	-	-	5	μA	入力端子=GND、DAC パワーダウンモード時	

*1 AIE 有効、デジタルの出力無効設定で、カラーバー画像入力時の動作消費電流(VDD, VDDIO, VDDI2C の合計値)。

*2 霧画像補正有効、AIE 有効、デジタル出力無効設定で、カラーバー画像入力時の動作消費電流(VDD)。

●電気的特性(DC 特性)

1. DC 特性 (IO)

(特に規定の無い場合、VDD=1.50V, VDDIO=3.3V, VDDI2C=3.3V, AVDD=3.3V, GND=0.0V, Ta=25°C)

項目	記号	規格値			単位	条件
		最小	標準	最大		
入力"H"電流	I _{IH}	-10	-	10	μA	V _{IH} =I _{O_LVL}
入力"L"電流	I _{IL}	-10	-	10	μA	V _{IL} =GND
プルダウン電流	IPD	25	50	100	μA	V _{IH} =I _{O_LVL}
入力"H"電圧 1	V _{IH1}	I _{O_LVL} × 0.8	-	I _{O_LVL} + 0.3	V	通常入力 (入出力端子の入力モードも含む)
入力"L"電圧 1	V _{IL1}	-0.3	-	I _{O_LVL} × 0.2	V	通常入力 (入出力端子の入力モードも含む)
入力"H"電圧 2	V _{IH2}	I _{O_LVL} × 0.85	-	I _{O_LVL} + 0.3	V	ヒステリシス入力 (RESETB, CAMCKI, AUTO, MODE0, MODE1)
入力"L"電圧 2	V _{IL2}	-0.3	-	I _{O_LVL} × 0.15	V	ヒステリシス入力 (RESETB, CAMCKI, AUTO, MODE0, MODE1)
出力"H"電圧	V _{OH}	I _{O_LVL} - 0.4	-	I _{O_LVL}	V	I _{OH} =-1.0mA(DC) (入出力端子の出力モードも含む)
出力"L"電圧	V _{OL}	0.0	-	0.4	V	I _{OL} =1.0mA(DC) (入出力端子の出力モードも含む)

* I_{O_LVL} とは VDDIO、VDDI2C、AVDD の総称です。

2. DC 特性 (DAC)

(特に規定の無い場合、VDD=1.50V, VDDIO=3.3V, VDDI2C=3.3V, AVDD=3.3V, GND=0.0V, Ta=25°C)

項目	記号	規格値			単位	条件
		最小	標準	最大		
積分直線性誤差	INL	-	±4.0	±8.0	LSB	RL=37.5Ω、R _{IREF} =2.4kΩ、DAC ビット数=10bit
微分直線性誤差	DNL	-	±1.0	±2.0	LSB	RL=37.5Ω、R _{IREF} =2.4kΩ、DAC ビット数=10bit
フルスケール電圧	VFS	1.1	1.25	1.4	V	RL=37.5Ω、R _{IREF} =2.4kΩ、DAC ビット数=10bit

●電气的特性(AC 特性)

1. データ入インターフェースタイミング

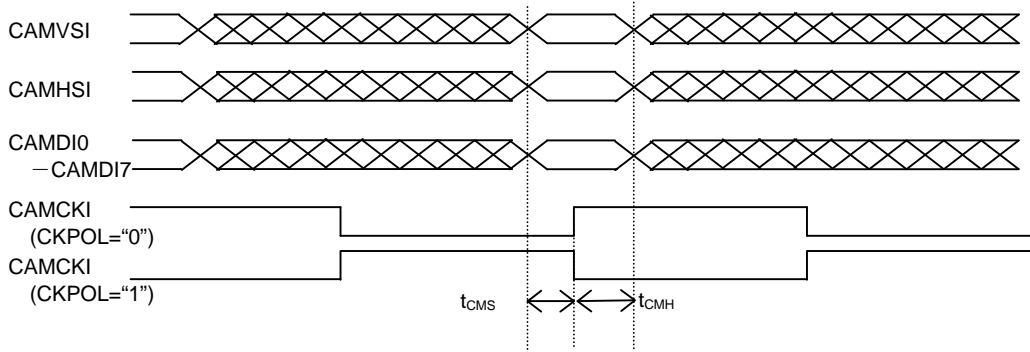


Fig.5 データ入インターフェースタイミング

記号	説明	最小	標準	最大	単位	
t_{CAMCKI}	CAMCKI クロックサイクル	27.8	-	-	ns	
d_{CAMCKI}	CAMCKI クロック Duty	45	50	55	%	
t_{CMS}	CAMCKI 立ち上り/立ち下りに対するデータセットアップ時間	8	-	-	ns	
t_{CMH}	CAMCKI 立ち上り/立ち下りに対するデータホールド時間	BU6520KV	6	-	-	ns
		BU6521KV	5	-	-	ns

* CKPOLはBU6520KV/BU6521KV内部レジスタであり、CAMCKIの極性を決定するレジスタです。

2. データ出インターフェースタイミング

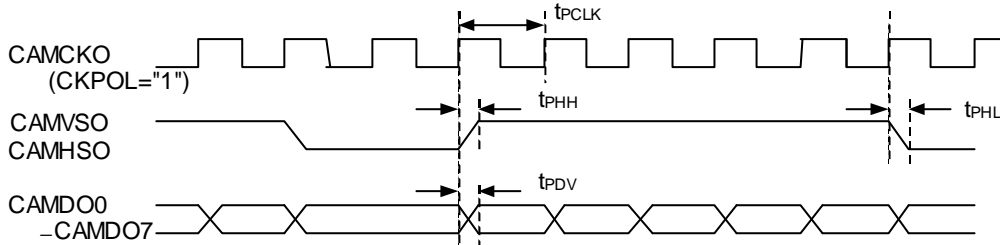


Fig.6 データ出インターフェースタイミング

記号	説明	最小	標準	最大	単位
t_{PCLK}	CAMCKO クロックサイクル	27.8	-	-	ns
d_{PCLK}	CAMCKO クロック Duty	40	50	60	%
t_{PDV}	CAMCKO 立ち上りからCAMDOの確定	-	-	7	ns
t_{PHL}, t_{PHH}	CAMCKO 立ち上りからCAMVSO, CAMHSOの確定	-	-	7	ns

* 上図はCKPOL="1"設定の場合の波形です。CKPOL="0"設定の場合は、CAMCKOの立下り基準でCAMVSO、CAMHSO、CAMDO0-CAMDO7は出力されます。

3.2 線式シリアルインターフェースタイミング

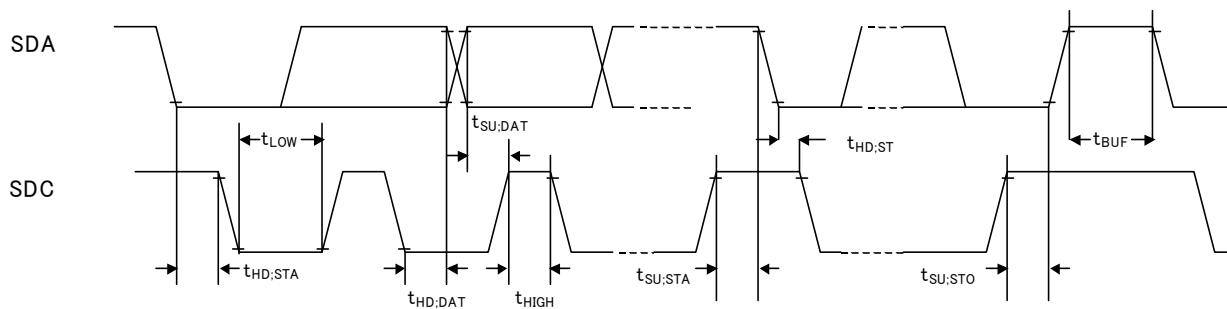


Fig.7.2 線式シリアルインターフェースタイミング

記号	説明	最小	標準	最大	単位
f_{SCL}	SDC クロック周波数	0	-	400	kHz
$t_{HD:STA}$	ホールド時間(反復)『START』条件 この期間の後、最初のクロック・パルスを生成	0.6	-	-	μ s
f_{LOW}	SDC クロックの”L”期間	1.3	-	-	μ s
t_{HIGH}	SDC クロックの”H”期間	0.6	-	-	μ s
$t_{SU:STA}$	反復『START』条件のセットアップ時間	0.6	-	-	μ s
$t_{HD:DAT}$	データホールド時間	0	-	-	μ s
$t_{SU:DAT}$	データセットアップ時間	100	-	-	ns
$t_{SU:STO}$	『STOP』条件のセットアップ時間	0.6	-	-	μ s
t_{BUF}	『STOP』条件と『START』条件との間のバス・フリー時間	1.3	-	-	μ s

4. SPI -bus インターフェースタイミング

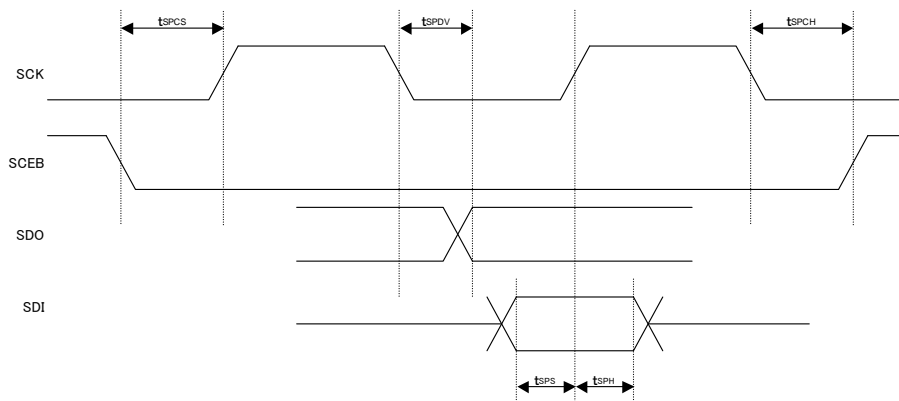


Fig.8 SPI-bus インターフェースタイミング

記号	説明	最小	標準	最大	単位
t_{SPCLK}	クロックサイクル	2	736 ^{*1}	8192	t_{CAMCKI}
d_{SPCLK}	クロック Duty	45	50	55	%
t_{SPCS}	SCK 立ち上りに対する SCEB のセットアップ時間	4	738~1105 ^{*1}	12289	t_{CAMCKI}
t_{SPCH}	SCK 立ち上りから SCEB 立ち上りまでの時間	2	751 ^{*1}	8319	t_{CAMCKI}
t_{SPDV}	SCK 立ち下りから SDO の確定	-	-	28	ns
t_{SPS}	SCK 立ち上りに対する SDI のセットアップ時間	-	-	28	ns
t_{SPH}	SCK 立ち上りに対する SDI のホールド時間	-	-	28	ns

*1 リセット直後のデフォルト状態

ここで、SCK に対する SCEB のタイミングは、AUTO ピンによる自動読み出し機能を使用した場合です。BU6520KV, BU6521KV 内部レジスタを使用して EEPROM にアクセスする場合、SCEB はレジスタにより制御します。レジスタに値を設定後、すぐに SCEB ピンは設定値の論理に変化します。

●各ブロック動作説明

1. アナログコンポジット出力波形

1.1. NTSC での出力波形

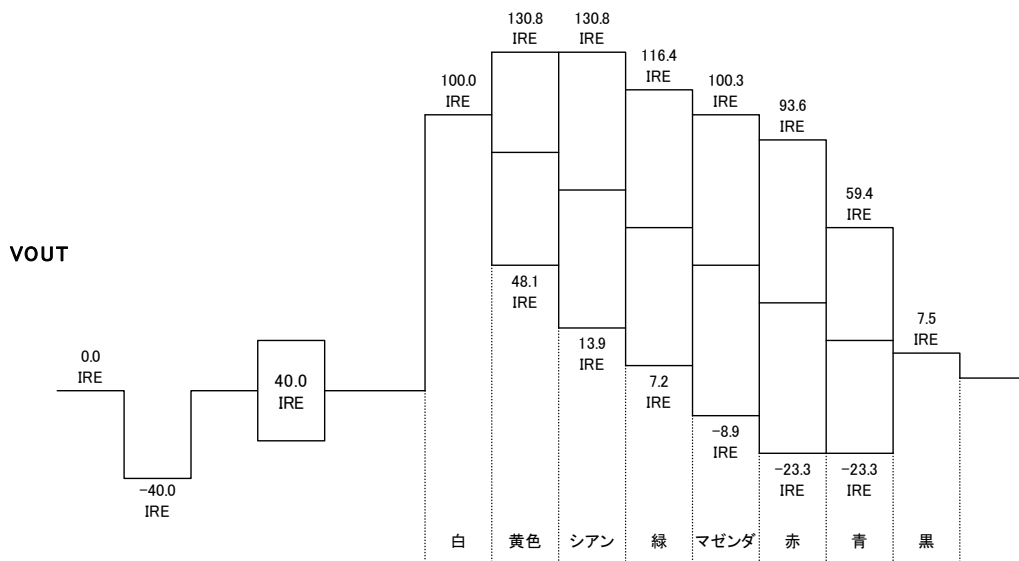


Fig.9 NTSC 設定でのカラーバー波形

1.2. PAL での出力波形

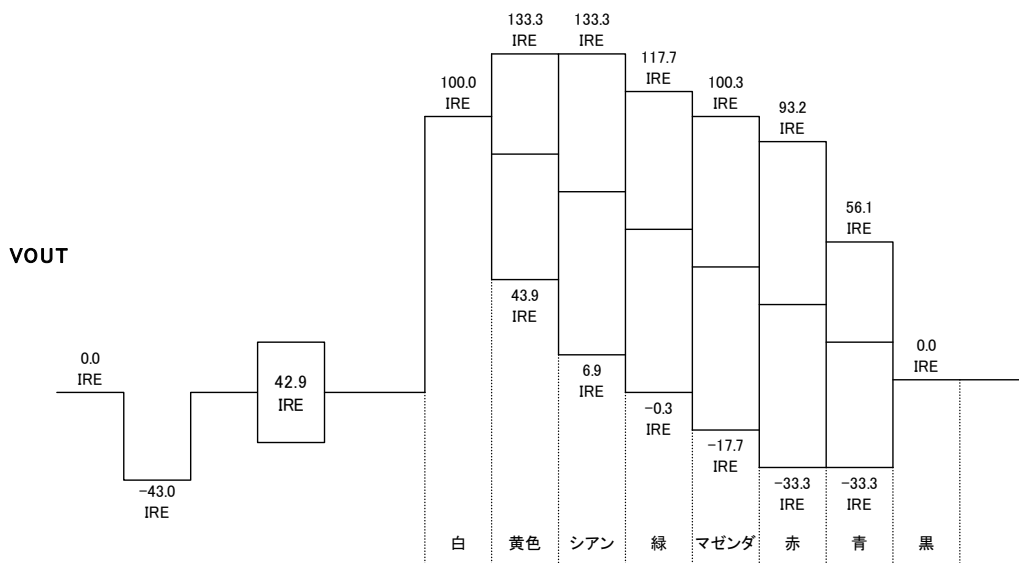


Fig.10 PAL 設定でのカラーバー波形

2.2 線式シリアルインターフェースフォーマット

スレーブアドレスは 70h です。

ライト/リード共に 2 回以上の連続アクセスを行った場合、サブアドレスは自動的にインクリメントされます。

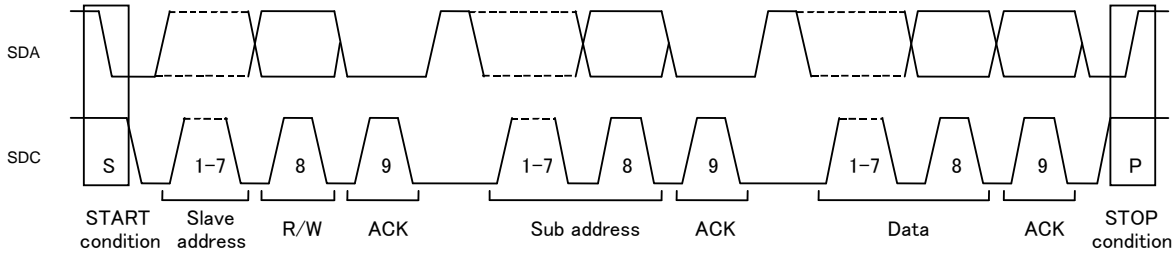
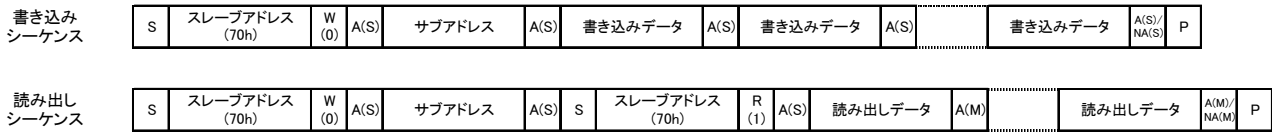


Fig.11 データ送受信波形



S = STARTコンディション A(S) = スレーブによるアクノリッジ NA(S) = スレーブによるノットアクノリッジ
 P = STOPコンディション A(M) = マスターによるアクノリッジ NA(M) = マスターによるノットアクノリッジ

Fig.12 2 線式シリアルインターフェースフォーマット

3. SPI-bus フォーマット

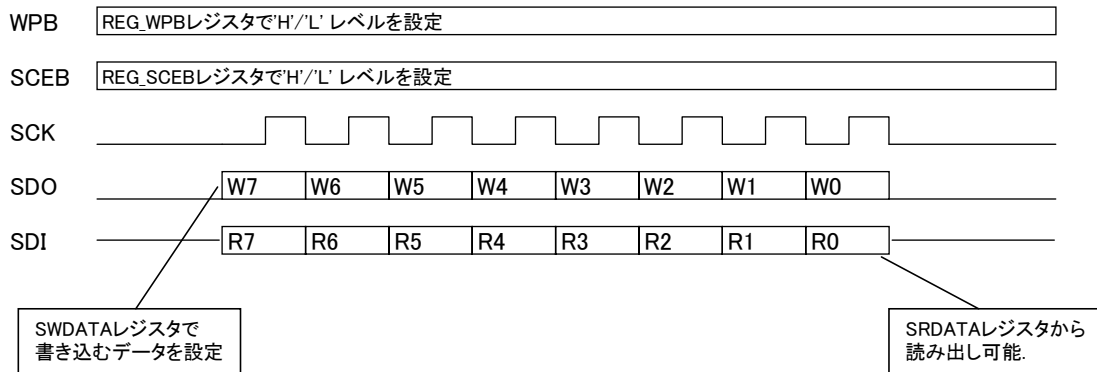


Fig.13 SPI-bus インターフェース波形

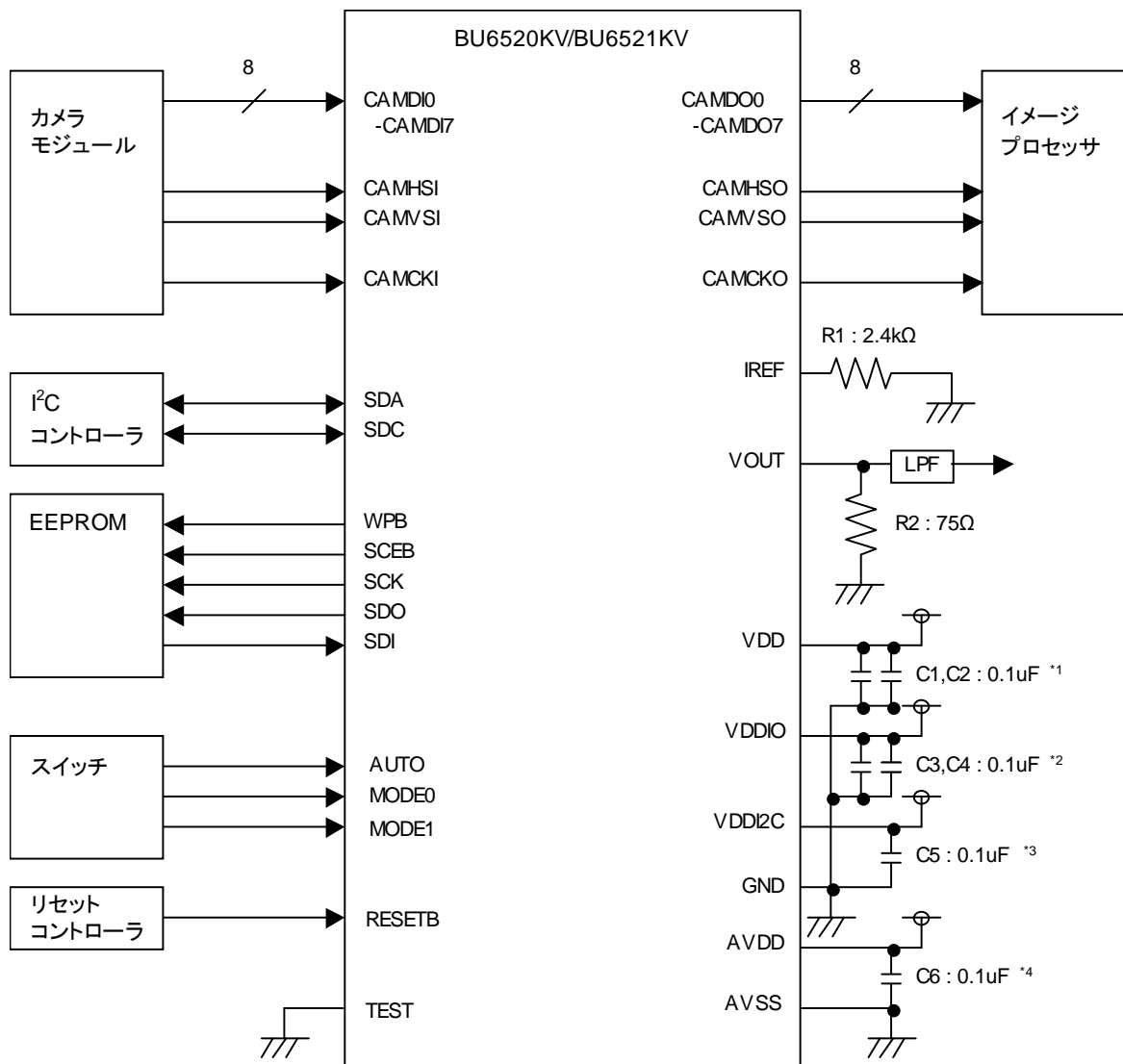
* ここで、図中の REG_WPB、REG_SCEB、SWDATA、及び SRDATA はレジスタ名であり、各機能は以下の通りです。
 REG_WPB : WP ピンの論理を指定します。レジスタ値がそのまま WP ピンに出力されます。
 REG_SCEB : SCEB ピンの論理を指定します。レジスタ値がそのまま SCEB ピンに出力されます。
 SWDATA[7:0] : EEPROM への書き込みデータを指定します。MSB ファーストで転送されます。
 SRDATA[7:0] : EEPROM からのデータを読み出せます。MSB ファーストとして変換します。

なお、SCK クロック周波数は以下の通りです。
 $SCK \text{ 周波数} = CAMCKI \text{ 周波数} \div 2^{(SPIPREDIV+1)} \div (SPIDIV+1)$

ここで、SPIPREDIV、SPIDIV は、SPIPREDIV = 0~7、SPIDIV = 0~31 の範囲で設定可能な SCK 周波数設定レジスタです。CAMCKI が 27MHz のとき、SCK は 13.5MHz~3.3kHz となります。

●推奨回路例

<I²C コントローラ及び EEPROM 自動読み出し両方でレジスタ制御する場合>

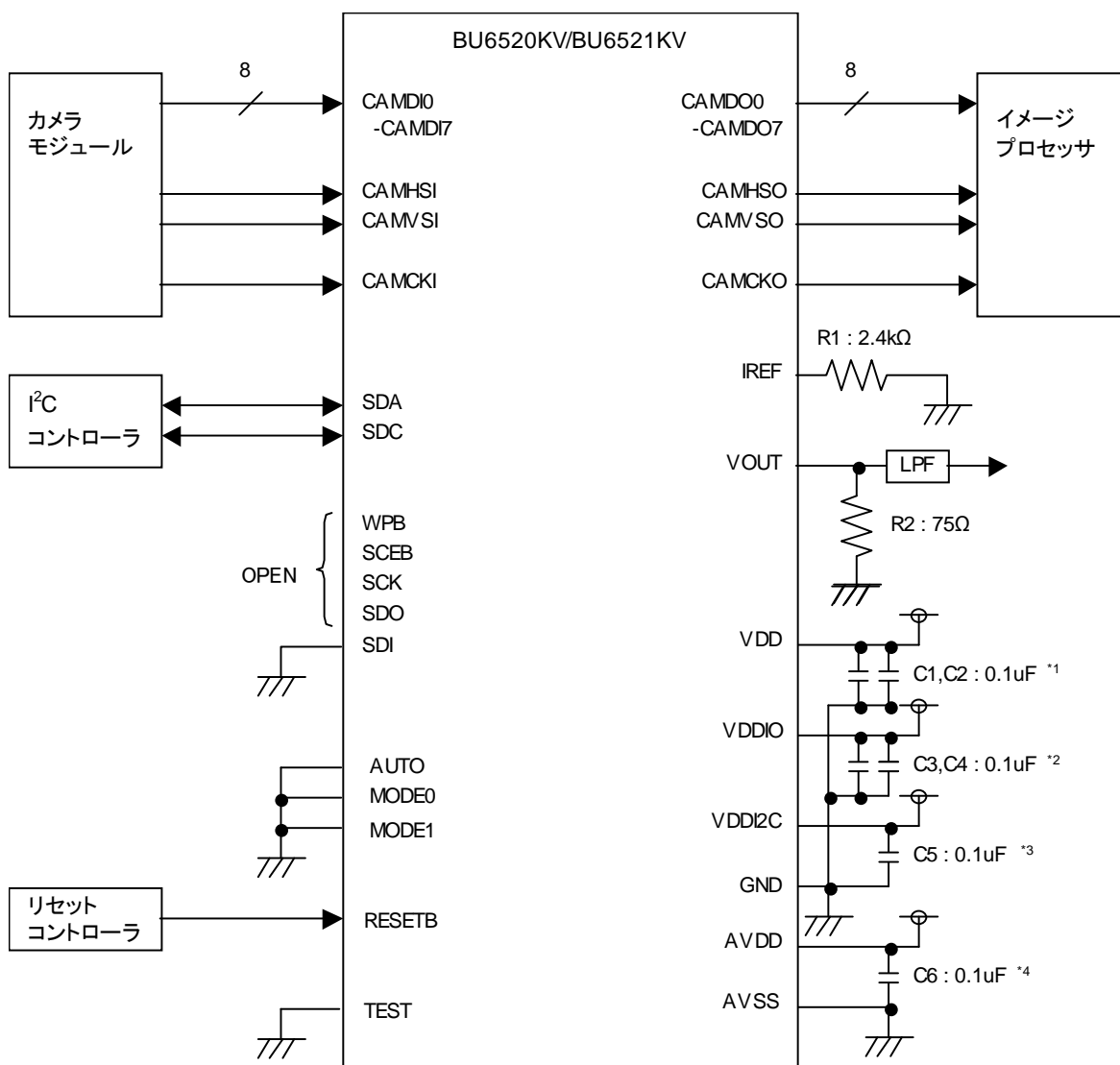


- *1 2つのVDD端子の近くにそれぞれコンデンサを1つずつ配置して下さい。
- *2 2つのVDDIO端子の近くにそれぞれコンデンサを1つずつ配置して下さい。
- *3 VDDI2C端子の近くにコンデンサを配置して下さい。
- *4 AVDD端子の近くにコンデンサを配置して下さい。

Fig.14 推奨回路例 1

なお、Fig.14 はシステムを接続する際の参考例であり、動作を保証するものではありません。

<I²C コントローラのみでレジスタ制御する場合>

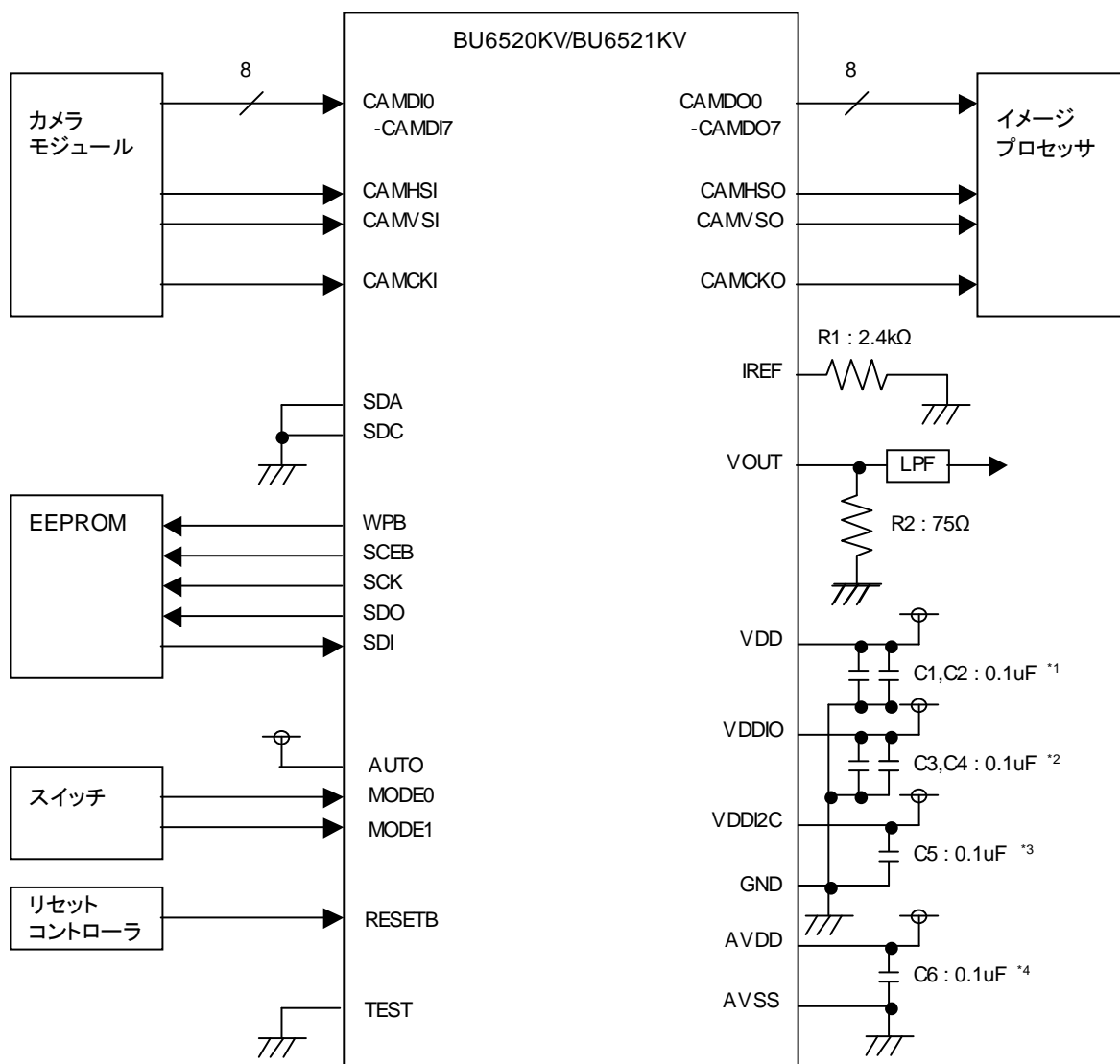


- *1 2つのVDD端子の近くにそれぞれコンデンサを1つずつ配置して下さい。
- *2 2つのVDDIO端子の近くにそれぞれコンデンサを1つずつ配置して下さい。
- *3 VDDI2C端子の近くにコンデンサを配置して下さい。
- *4 AVDD端子の近くにコンデンサを配置して下さい。

Fig.15 推奨回路例2

なお、Fig.15はシステムを接続する際の参考例であり、動作を保証するものではありません。

<EEPROM 自動読み出しのみでレジスタ制御する場合>



- *1 2つのVDD端子の近くにそれぞれコンデンサを1つずつ配置して下さい。
- *2 2つのVDDIO端子の近くにそれぞれコンデンサを1つずつ配置して下さい。
- *3 VDDI2C端子の近くにコンデンサを配置して下さい。
- *4 AVDD端子の近くにコンデンサを配置して下さい。

Fig.16 推奨回路例 3

なお、Fig.16 はシステムを接続する際の参考例であり、動作を保証するものではありません。

●使用上の注意

- (1) 絶対最大定格について
印加電圧(VDD, VDDIO, VDDI2C, AVDD, VIN)、及び動作温度範囲(Topr)などの絶対最大定格を越えた場合、破壊する恐れがあり、ショートもしくはオープンなどの破壊モードが特定できませんので、絶対最大定格を越えるような特殊モードが想定される場合には、ヒューズなどの物理的な安全対策を施すよう検討をお願いします。
- (2) 推奨動作範囲
この範囲であればほぼ期待通りの特性を得ることが出来る範囲です。電気特性については各項目の条件下において保証されるものです。推奨動作範囲内であっても電圧、温度特性を示します。
- (3) 電源コネクタの逆接続について
電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れる等の対策を施してください。
- (4) 電源ラインについて
基板パターンの設計においては、電源/GND ラインの配線は、低インピーダンスになるようにしてください。その際、デジタル系電源とアナログ系電源は、それらが同電位であっても、デジタル系電源パターンとアナログ系電源パターンは分離し、配線パターンの共通インピーダンスによるアナログ電源へのデジタル・ノイズの回り込みを抑制してください。GND ラインについても、同様のパターン設計を考慮してください。また、LSI のすべての電源端子について電源-GND 端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量めげが起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。
- (5) GND 電圧について
GND 端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また、実際に過渡現象を含め GND 以下の電位になっている端子がないかご確認ください。
- (6) 端子間ショートと誤装着について
セット基板に取り付ける際、LSI の向きや位置ずれに十分ご注意ください。誤って取り付けた場合、LSI が破壊する恐れがあります。また、端子間や端子と電源、GND 間に異物が入るなどしてショートした場合についても破壊の恐れがあります。
- (7) 強電磁界中の動作について
強電磁界中でのご使用は、誤動作をする可能性がありますのでご注意ください。
- (8) セット基板での検査について
セット基板での検査時に、インピーダンスの低い LSI 端子にコンデンサを接続する場合は、LSI にストレスがかかる恐れがあるので、工程毎に必ず放電を行ってください。また、検査工程での治具への着脱時には、必ず電源をオフしてから接続し、検査を行い、電源をオフにしてから取り外してください。さらに、静電気対策として、組み立て工程には、アースを施し、運搬や保存の際には十分ご注意ください。
- (9) 各入力端子について
LSI の構造上、寄生素子は電位関係によって必然的に形成されます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因となり得ます。したがって、入力端子に GND より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分注意してください。また、LSI に電源電圧を印加していない時、入力端子に電圧を印加しないでください。さらに、電源電圧を印加している場合にも、各入力端子は電源電圧以下の電圧もしくは電気的特性の保証値内とってください。
- (10) アース配線パターンについて
小信号 GND と大電流 GND がある場合、大電流 GND パターンと小信号 GND パターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号 GND の電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品の GND の配線パターンも変動しないように注意してください。
- (11) 外付けコンデンサについて
外付けコンデンサに、セラミック・コンデンサを使用する場合、直流バイアスによる公称容量の低下、および温度などによる容量の変化を考慮の上定数を決定してください。
- (12) ラッシュカレントについて
複数電源を持つ IC では電源投入順序、遅れにより、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、GND パターン配線の幅、引き回しに注意して下さい。

●発注形名セレクション

B	U
---	---

ローム形名

6	5	2	0
---	---	---	---

品番
6520
6521

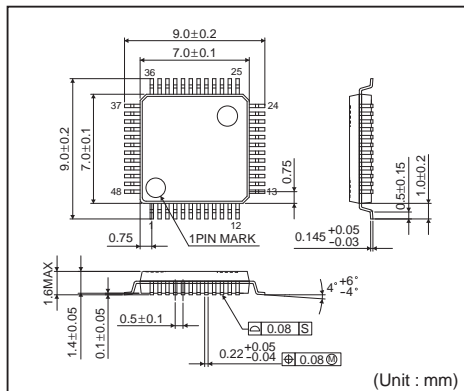
K	V
---	---

パッケージタイプ
KV:VQFP48C

E	2
---	---

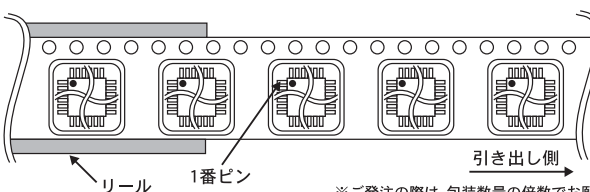
包装、フォーミング仕様
E2: エンボステーピング

VQFP48C



<包装仕様>

包装形態	エンボステーピング
包装数量	1500pcs
包装方向	E2 (リールを左手に持ち、右手でテープを引き出したときに 製品の1番ピンが左上にくる方向)



※ご発注の際は、包装数量の倍数でお願い致します。

ご注意

ローム製品取扱い上の注意事項

1. 本製品は一般的な電子機器（AV 機器、OA 機器、通信機器、家電製品、アミューズメント機器等）への使用を意図して設計・製造されております。従いまして、極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険若しくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器^(Note 1)、輸送機器、交通機器、航空宇宙機器、原子力制御装置、燃料制御、カーアクセサリを含む車載機器、各種安全装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

2. 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、かかる誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
3. 本製品は、一般的な電子機器に標準的な用途で使用されることを意図して設計・製造されており、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。従いまして、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合。
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用。
 - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用された場合も、残渣の洗浄は確実にを行うことをお勧め致します)、又ははんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合。
 - ⑧本製品が結露するような場所でのご使用。
4. 本製品は耐放射線設計はなされておられません。
5. 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
6. パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
7. 許容損失(Pd)は周囲温度(Ta)に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、ディレーティングカーブ範囲内であることをご確認ください。
8. 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
9. 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

1. ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
2. はんだ付けはリフローはんだを原則とさせていただきます。なお、フロー方法でのご使用につきましては別途ロームまでお問い合わせください。詳細な実装及び基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。従いまして、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施の上、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。(人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等)

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
 - ①潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ②推奨温度、湿度以外での保管
 - ③直射日光や結露する場所での保管
 - ④強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認した上でご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行った上でご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルにQRコードが印字されていますが、QRコードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は外国為替及び外国貿易法に定める規制貨物等に該当するおそれがありますので輸出する場合には、ロームにお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。従いまして、上記第三者の知的財産権侵害の責任、及び本製品の使用により発生するその他の責任に関し、ロームは一切その責任を負いません。
2. ロームは、本製品又は本資料に記載された情報について、ローム若しくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社若しくは第三者の商標又は登録商標です。

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。