

車載向け信号監視 IC シリーズ

信号監視ハブ IC

32 チャンネル、SPI インタフェース

BD79112MUF-C

概要

BD79112MUF-C は最大 0.5 MSPS のサンプリングレートに対応した 12 bit 逐次比較型 A/D コンバータを内蔵した信号監視ハブ IC です。32 のチャンネルは、それぞれアナログ入力、デジタル入力、またはデジタル出力として構成可能です。

特長

- AEC-Q100 対応 (Note 1)
 - 最大 0.5 MSPS のサンプリングレート
 - 低消費電力
 - VQFN48FCV070 小型パッケージ
 - SPI/QSPI/MICROWIRE 互換
シリアルインタフェース
 - 32ch シングルエンド入力
 - ストレートバイナリ形式の出力
 - デイジーチェーン接続対応
 - CRC 機能搭載
 - GPIO 機能搭載
- (Note 1) Grade 1

用途

- 車載ゾーン ECU
- 車載ボディドメインコントローラ
- 車載クラスター・ディスプレイ
- データアキュイジションシステム

重要特性

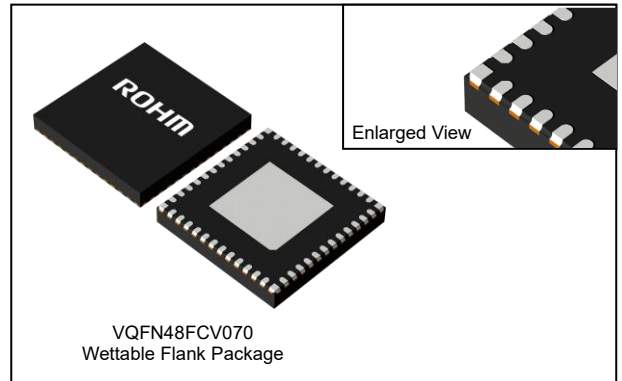
- 電源電圧範囲(VDD): 2.7 V ~ 5.5 V
- 電源電圧範囲(IOVDD): 1.65 V ~ 5.5 V
- サンプリングレート: MAX 0.5 MSPS
- 消費電力
(0.5 MSPS 動作時): 5.0 mW @ $V_{DD} = 3.6$ V (Typ)
9.9 mW @ $V_{DD} = 5.5$ V (Typ)
- INL: ± 2.0 LSB @ $V_{DD} = 3$ V (Typ)
- DNL: ± 1.0 LSB @ $V_{DD} = 3$ V (Typ)
- SNR: 72 dB @ $V_{DD} = 3$ V (Typ)
- 動作温度範囲: -40 °C ~ $+125$ °C

パッケージ

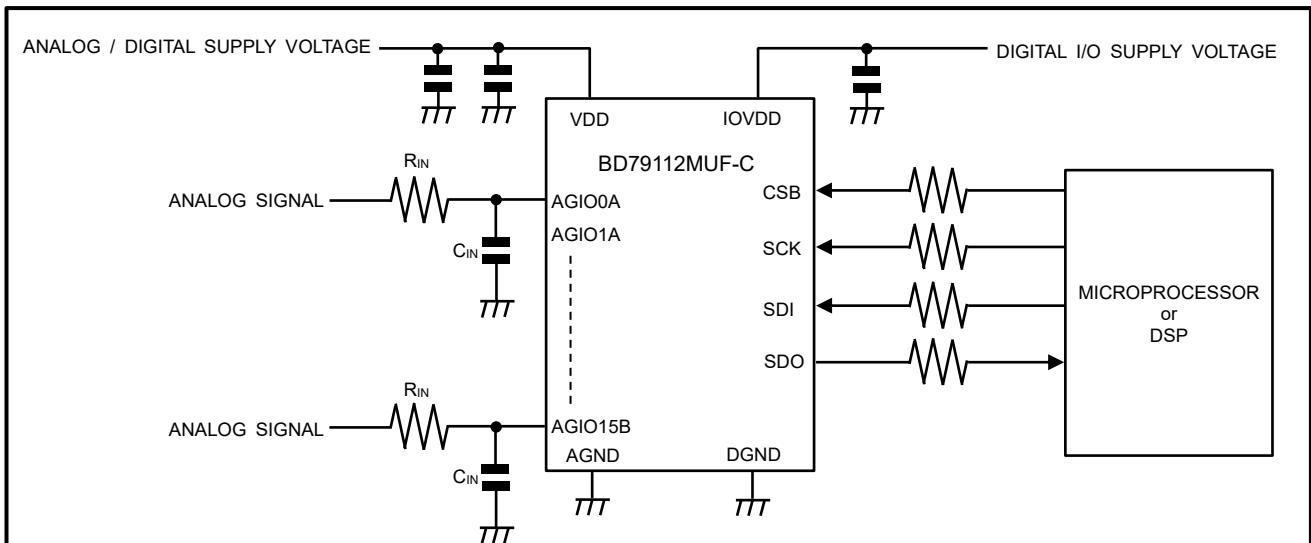
VQFN48FCV070

W (Typ) x D (Typ) x H (Max)

7.0 mm x 7.0 mm x 1.0 mm



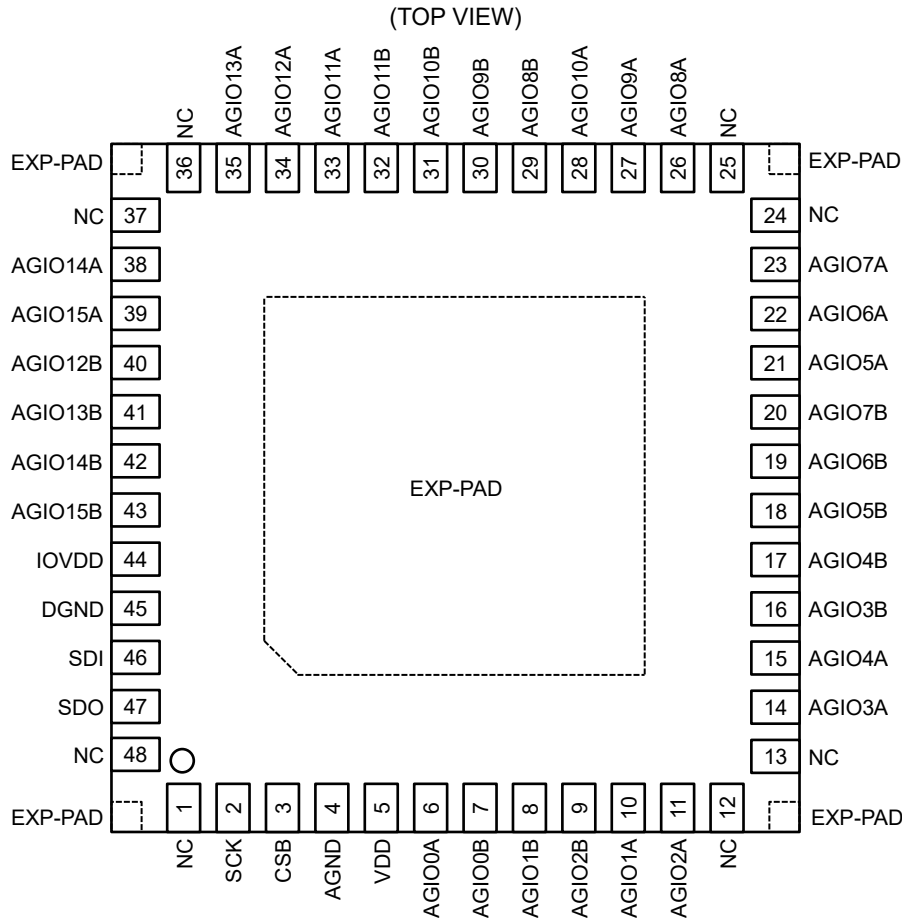
基本アプリケーション回路



目次

概要	1
特長	1
用途	1
重要特性	1
パッケージ	1
基本アプリケーション回路	1
端子配置図	3
端子説明	3
ブロック図	5
絶対最大定格	6
熱抵抗	6
推奨動作条件	6
電気的特性	7
タイミング特性	9
用語の定義	10
特性データ	11
電源投入シーケンス	16
動作説明	17
応用回路例	27
入出力等価回路図	28
使用上の注意	29
発注形名情報	31
標印図	31
外形寸法図と包装・フォーミング仕様	32
改訂履歴	33

端子配置図



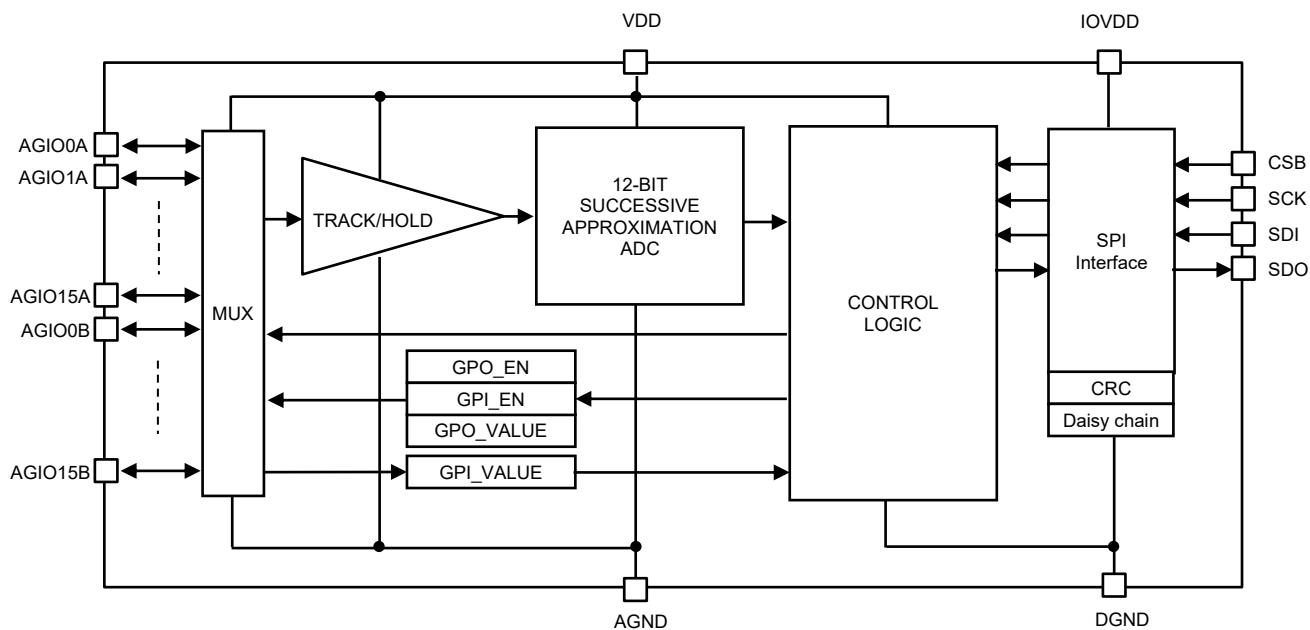
端子説明

端子番号	端子名	機能
1	NC	未接続
2	SCK	デジタルクロック入力端子 このクロックに同期して A/D 変換と結果の出力、レジスタの書き込み、読み出しを行います。デイジーチェーン接続時にはこのクロックで SDI から入力されたデータを取り込みます。
3	CSB	チップセレクト端子 この端子が L のときに SCK に同期してデータを送受信することができます。
4	AGND	アナログ/デジタルグラウンド端子 AGND がアナログのゼロスケール電圧の基準となります。
5	VDD	アナログ/デジタル電源端子 VDD がアナログのフルスケール電圧の基準となります。このピンの近くで 0.1 μF のセラミック・コンデンサと 1~10 μF のセラミック・コンデンサを AGND に接続してください。
6	AGIO0A	チャンネル 0A: アナログ入力または GPIO 端子
7	AGIO0B	チャンネル 0B: アナログ入力または GPIO 端子
8	AGIO1B	チャンネル 1B: アナログ入力または GPIO 端子
9	AGIO2B	チャンネル 2B: アナログ入力または GPIO 端子
10	AGIO1A	チャンネル 1A: アナログ入力または GPIO 端子
11	AGIO2A	チャンネル 2A: アナログ入力または GPIO 端子
12	NC	未接続
13	NC	未接続
14	AGIO3A	チャンネル 3A: アナログ入力または GPIO 端子
15	AGIO4A	チャンネル 4A: アナログ入力または GPIO 端子
16	AGIO3B	チャンネル 3B: アナログ入力または GPIO 端子
17	AGIO4B	チャンネル 4B: アナログ入力または GPIO 端子
18	AGIO5B	チャンネル 5B: アナログ入力または GPIO 端子

端子説明 — 続き

端子番号	端子名	機能
19	AGIO6B	チャンネル 6B: アナログ入力または GPIO 端子
20	AGIO7B	チャンネル 7B: アナログ入力または GPIO 端子
21	AGIO5A	チャンネル 5A: アナログ入力または GPIO 端子
22	AGIO6A	チャンネル 6A: アナログ入力または GPIO 端子
23	AGIO7A	チャンネル 7A: アナログ入力または GPIO 端子
24	NC	未接続
25	NC	未接続
26	AGIO8A	チャンネル 8A: アナログ入力または GPIO 端子
27	AGIO9A	チャンネル 9A: アナログ入力または GPIO 端子
28	AGIO10A	チャンネル 10A: アナログ入力または GPIO 端子
29	AGIO8B	チャンネル 8B: アナログ入力または GPIO 端子
30	AGIO9B	チャンネル 9B: アナログ入力または GPIO 端子
31	AGIO10B	チャンネル 10B: アナログ入力または GPIO 端子
32	AGIO11B	チャンネル 11B: アナログ入力または GPIO 端子
33	AGIO11A	チャンネル 11A: アナログ入力または GPIO 端子
34	AGIO12A	チャンネル 12A: アナログ入力または GPIO 端子
35	AGIO13A	チャンネル 13A: アナログ入力または GPIO 端子
36	NC	未接続
37	NC	未接続
38	AGIO14A	チャンネル 14A: アナログ入力または GPIO 端子
39	AGIO15A	チャンネル 15A: アナログ入力または GPIO 端子
40	AGIO12B	チャンネル 12B: アナログ入力または GPIO 端子
41	AGIO13B	チャンネル 13B: アナログ入力または GPIO 端子
42	AGIO14B	チャンネル 14B: アナログ入力または GPIO 端子
43	AGIO15B	チャンネル 15B: アナログ入力または GPIO 端子
44	IOVDD	デジタル I/O 電源端子 このピンの近くで 0.1 μ F のセラミック・コンデンサを DGND に接続してください。
45	DGND	デジタル I/O グラウンド端子
46	SDI	デジタルデータ入力端子 この端子に入力されたデータを SCK の立ち上がりエッジで取り込み、A/D 変換するチャンネルまたは各チャンネルの GPIO の設定をすることができます。
47	SDO	デジタルデータ出力端子 A/D 変換結果やレジスタの読み出し結果をこの端子から出力します。 CSB が H のとき、この端子は Hi-Z 状態となります。
48	NC	未接続
-	EXP-PAD	中央の EXP-PAD は、DGND に接続してください。 中央の EXP-PAD とコーナーの EXP-PAD は、パッケージ内部でショートしています。

ブロック図



絶対最大定格

項目	記号	定格	単位
アナログ/デジタル電源電圧	V _{DD}	6.0	V
デジタル I/O 電源電圧	V _{IOVDD}	6.0	V
AGIO 入力電圧	V _{AGIN}	-0.3 ~ V _{DD} +1.0	V
AGIO 入力電流(各端子)	I _{AGIN1}	±5	mA
AGIO 入力電流(全端子合計)	I _{AGIN2}	±35	mA
デジタル入力電圧(CSB,SCK,SDI)	V _{DIN}	-0.3 ~ V _{IOVDD} +0.3	V
最高接合部温度	T _{jmax}	150	°C
保存温度範囲	T _{stg}	-55 ~ +150	°C

注意 1: 印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施していただくようお願いいたします。

注意 2: 最高接合部温度を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。最高接合部温度を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用するなど、最高接合部温度を超えないよう熱抵抗にご配慮ください。

熱抵抗 (Note 2)

項目	記号	熱抵抗(Typ)		単位
		1層基板 (Note 4)	4層基板 (Note 5)	
VQFN48FCV070				
ジャンクション—周囲温度間熱抵抗	θ_{JA}	94.1	29.9	°C/W
ジャンクション—パッケージ上面中心間熱特性パラメータ (Note 3)	Ψ_{JT}	8.0	8.0	°C/W

(Note 2) JESD51-2A(Still-Air)に準拠。

(Note 3) ジャンクションからパッケージ (モールド部分) 上面中心までの熱特性パラメータ。

(Note 4) JESD51-3 に準拠した基板を使用。

(Note 5) JESD51-5.7 に準拠した基板を使用。

測定基板	基板材	基板寸法
1層	FR-4	114.3 mm x 76.2 mm x 1.57 mm

1層目 (表面) 銅箔	
銅箔パターン	銅箔厚
実装ランドパターン + 電極引出し用配線	70 μ m

測定基板	基板材	基板寸法	サーマルビア (Note 6)	
			ピッチ	直径
4層	FR-4	114.3 mm x 76.2 mm x 1.6 mm	1.20 mm	Φ 0.30 mm

1層目 (表面) 銅箔		2層目、3層目 (内層) 銅箔		4層目 (裏面) 銅箔	
銅箔パターン	銅箔厚	銅箔パターン	銅箔厚	銅箔パターン	銅箔厚
実装ランドパターン + 電極引出し用配線	70 μ m	74.2 mm \square (正方形)	35 μ m	74.2 mm \square (正方形)	70 μ m

(Note 6) 貫通ビア。1,2,4層の銅箔と接続する。配置はランドパターンに従う。

推奨動作条件

項目	記号	最小	標準	最大	単位
アナログ/デジタル電源電圧	V _{DD}	2.7	-	5.5	V
デジタル I/O 電源電圧	V _{IOVDD}	1.65	-	5.50	V
AGIO 入力電圧	V _{AGIN}	0	-	V _{DD}	V
デジタル入力電圧(CSB,SCK,SDI)	V _{DIN}	0	-	V _{IOVDD}	V
動作温度	T _{opr}	-40	+25	+125	°C
クロック周波数	f _{SCK}	0.50	-	10	MHz
サンプリングレート	f _s	-	-	0.5	MSPS

電氣的特性

指定のない限り Ta = -40 °C ~ +125 °C (標準 : Ta = 25 °C), V_{DD} = 2.7 V ~ 5.5 V, V_{IOVDD} = 1.65 V ~ 5.5 V,
f_{SCK} = 5 MHz, f_s = 0.25 MSPS, R_{IN} = 24 Ω, C_{IN} = 33 nF

項目	記号	最小	標準	最大	単位	条件
スタティック変換特性 ^(Note 7)						
分解能	R _{ES}	-	12	-	bit	
積分非直線性 1	I _{NL1}	-2.0	-	+2.0	LSB	Ta = 25 °C, V _{DD} = 5.0 V V _{IOVDD} = 3.0 V
積分非直線性 2	I _{NL2}	-2.0	-	+2.0	LSB	Ta = 25 °C, V _{DD} = 3.0 V V _{IOVDD} = 3.0 V
微分非直線性 1	D _{NL1}	-1.0	-	+1.0	LSB	Ta = 25 °C, V _{DD} = 5.0 V V _{IOVDD} = 3.0 V
微分非直線性 2	D _{NL2}	-1.0	-	+1.0	LSB	Ta = 25 °C, V _{DD} = 3.0 V V _{IOVDD} = 3.0 V
オフセット誤差 1	O _{E1}	-4.0	-	+4.0	LSB	Ta = 25 °C, V _{DD} = 5.0 V V _{IOVDD} = 3.0 V
オフセット誤差 2	O _{E2}	-4.0	-	+4.0	LSB	Ta = 25 °C, V _{DD} = 3.0 V V _{IOVDD} = 3.0 V
ゲイン誤差 1	G _{E1}	-0.15	-	+0.15	%	Ta = 25 °C, V _{DD} = 5.0 V V _{IOVDD} = 3.0 V
ゲイン誤差 2	G _{E2}	-0.15	-	+0.15	%	Ta = 25 °C, V _{DD} = 3.0 V V _{IOVDD} = 3.0 V
ダイナミック変換特性(f _{IN} = 2 kHz, V _{IN} = -0.02 dBFS) ^(Note 7)						
信号対ノイズ比 1	S _{NR1}	68.0	72.0	-	dB	Ta = 25 °C, V _{DD} = 5.0 V V _{IOVDD} = 3.0 V
信号対ノイズ比 2	S _{NR2}	68.0	72.0	-	dB	Ta = 25 °C, V _{DD} = 3.0 V V _{IOVDD} = 3.0 V
有効ビット数 1	E _{NOB1}	10.0	11.6	-	bit	Ta = 25 °C, V _{DD} = 5.0 V V _{IOVDD} = 3.0 V
有効ビット数 2	E _{NOB2}	10.0	11.6	-	bit	Ta = 25 °C, V _{DD} = 3.0 V V _{IOVDD} = 3.0 V
チャンネル間アイソレーション 1	I _{SO1}	-	-85	-	dB	Ta = 25 °C, V _{DD} = 5.0 V V _{IOVDD} = 3.0 V
チャンネル間アイソレーション 2	I _{SO2}	-	-84	-	dB	Ta = 25 °C, V _{DD} = 3.0 V V _{IOVDD} = 3.0 V

(Note 7) 全 AGIO 端子が GPI_EN = 0, GPO_EN = 0 に設定された状態の特性値。

電氣的特性 — 続き

指定のない限り Ta = -40 °C ~ +125 °C (標準 : Ta = 25 °C), V_{DD} = 2.7 V ~ 5.5 V, V_{IOVDD} = 1.65 V ~ 5.5 V,
f_{SCK} = 5 MHz, f_s = 0.25 MSPS

項目	記号	最小	標準	最大	単位	条件
アナログ入力特性						
入力電圧範囲	V _{AGIN}	0	-	V _{DD}	V	
入力 DC リーク電流	I _{LEAK}	-10	±0.1	+10	μA	V _{AGIN} = 0 V or V _{DD}
入力容量 1	C _{INA1}	-	14	-	pF	track mode, V _{DD} = 5 V
入力容量 2	C _{INA2}	-	4	-	pF	hold mode, V _{DD} = 5 V
デジタル入力特性(CSB,SCK,SDI)						
H 入力電圧	V _{IH}	0.7 x V _{IOVDD}	-	-	V	
L 入力電圧	V _{IL}	-	-	0.3 x V _{IOVDD}	V	
入力電流	I _{DIN}	-1	±0.1	+1	μA	V _{DIN} = 0 V or V _{IOVDD}
入力容量	C _{DIN}	-	4	-	pF	
デジタル出力特性(SDO)						
H 出力電圧 1	V _{OH1}	V _{IOVDD} - 0.20	V _{IOVDD} - 0.03	-	V	I _{SOURCE} = 200 μA
H 出力電圧 2	V _{OH2}	-	V _{IOVDD} - 0.1	-	V	I _{SOURCE} = 1 mA
L 出力電圧 1	V _{OL1}	-	0.02	0.40	V	I _{SINK} = 200 μA
L 出力電圧 2	V _{OL2}	-	0.1	-	V	I _{SINK} = 1 mA
High-Z 出力時リーク電流	I _{OZ}	-10	±0.1	+10	μA	V _{OZ} = 0 V or V _{IOVDD}
High-Z 出力時出力容量	C _{OUT}	-	4	-	pF	
デジタル入力特性(GPI)						
H 入力電圧	V _{AGIH}	0.7 x V _{DD}	-	V _{DD}	V	
L 入力電圧	V _{AGIL}	0	-	0.3 x V _{DD}	V	
入力電流	I _{AGIN}	-10	±0.1	+10	μA	V _{AGIN} = 0 V or V _{DD}
デジタル出力特性(GPO)						
H 出力電圧	V _{OH}	0.8 x V _{DD}	-	V _{DD}	V	I _{SOURCE} = 2 mA
L 出力電圧	V _{OL}	0	-	0.2 x V _{DD}	V	I _{SINK} = 2 mA
消費電流						
VDD 動作消費電流 1	I _{A1}	-	1.8	2.7	mA	V _{DD} = V _{IOVDD} = 5.5 V, f _s = 0.5 MSPS
VDD 動作消費電流 2	I _{A2}	-	1.4	2.1	mA	V _{DD} = V _{IOVDD} = 3.6 V, f _s = 0.5 MSPS
VDD 動作消費電流 3	I _{A3}	-	1.5	2.3	mA	V _{DD} = V _{IOVDD} = 5.5 V, f _s = 0.25 MSPS
VDD 動作消費電流 4	I _{A4}	-	1.2	1.8	mA	V _{DD} = V _{IOVDD} = 3.6 V, f _s = 0.25 MSPS
VDD 静止時消費電流 1	I _{S1}	-	0.6	6.0	μA	Ta = 25 °C, V _{DD} = V _{IOVDD} = CSB = 5.5 V, SCK = 0 V
VDD 静止時消費電流 2	I _{S2}	-	0.3	6.0	μA	Ta = 25 °C, V _{DD} = V _{IOVDD} = CSB = 3.6 V, SCK = 0 V
VDD 静止時消費電流 3	I _{S3}	-	0.6	50	μA	V _{DD} = V _{IOVDD} = CSB = 5.5 V, SCK = 0 V
VDD 静止時消費電流 4	I _{S4}	-	0.3	35	μA	V _{DD} = V _{IOVDD} = CSB = 3.6 V, SCK = 0 V

タイミング特性

指定のない限り Ta = -40 °C ~ +125 °C (標準 : Ta = 25 °C), V_{DD} = 2.7 V ~ 5.5 V, V_{IOVDD} = 1.65 V ~ 5.5 V, f_{SCK} = 10 MHz, SDO 端子の負荷容量 = 25 pF

項目	記号	最小	標準	最大	単位	条件
変換時間	t _{CONV}	-	16	-	SCK	
CSB パルス幅	t ₁	40	-	-	ns	
CSB セットアップ時間	t ₂	20	-	-	ns	
CSB ホールド時間	t ₃	20	-	-	ns	
SDO イネーブル時間	t ₄	-	-	30	ns	
SDO アクセス時間	t ₅	-	-	50	ns	
SCK 'L' パルス幅	t ₆	0.4 x t _{SCK}	-	-	ns	t _{SCK} = 1/f _{SCK}
SCK 'H' パルス幅	t ₇	0.4 x t _{SCK}	-	-	ns	t _{SCK} = 1/f _{SCK}
SDO ディスエーブル時間	t ₈	-	-	30	ns	
SDI セットアップ時間	t ₉	10	-	-	ns	
SDI ホールド時間	t ₁₀	10	-	-	ns	

(Note 8) デイジーチェーン接続時は、SDO 端子が後段の SDI 端子に接続されます。SDO アクセス時間と SDI セットアップ時間の合計が SCK 'L' パルス幅を超えないようにしてください。

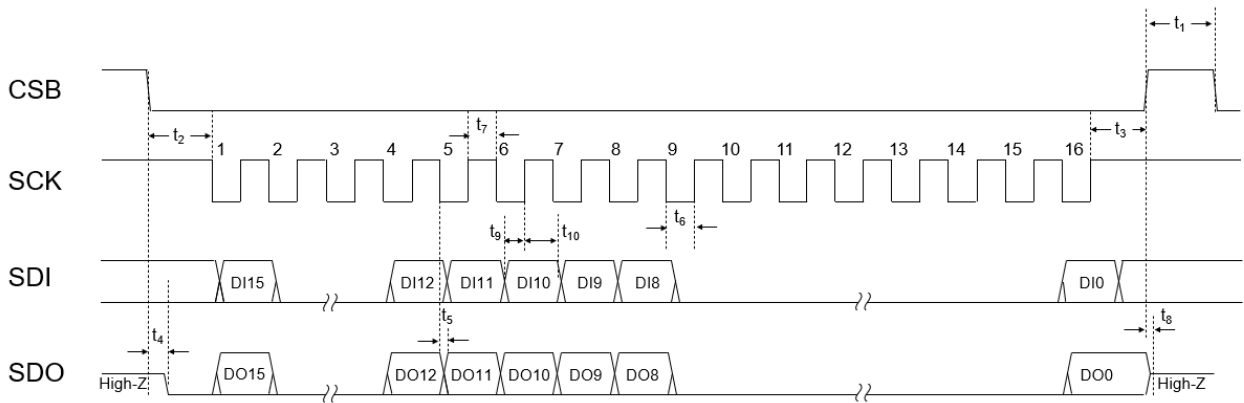


Figure 1. シリアルインタフェースタイミング

用語の定義

アキュジション時間(ACQUISITION TIME) :

充電開始から、サンプリングキャパシタの電圧が入力電圧と等しくなるまでの時間です。

積分非直線性(INL) :

ゼロスケール(最初のコード遷移の 0.5 LSB 下)からフルスケール(最後のコード遷移の 0.5 LSB 上)を含む全コードに対して最小二乗法により求めた近似直線からそれぞれ個々のコードとの偏差として表します。この直線から任意のコードとの偏差は、各コード値の中央から測定します。

微分非直線性(DNL) :

1 LSB の理想ステップからの最大偏差です。

オフセット誤差(OE) :

コード(000...000)からコード(000...001)の最初の遷移と、0.5 LSB の理想値との偏差です。

フルスケール誤差(FSE) :

コード(111...110)からコード(111...111)の最後の遷移と、 $V_{DD}-1.5$ LSB の理想値との偏差です。

ゲイン誤差(GE) :

フルスケール誤差とオフセット誤差との差です。

有効ビット数(ENOB) :

信号対(ノイズ+歪み)比の別の規定方法。ENOB は $(\text{SINAD}-1.76)/6.02$ として定義され、このビット数を完全に満たす A/D コンバータと等価であることを意味します。

信号対ノイズ比(SNR) :

サンプリング周波数の 1/2 以下の周波数において、歪みと DC 成分を除いたその他すべてのスペクトラム成分の実効値に対する入力信号の実効値の比です。単位は dB。

変換時間(CONVERSION TIME) :

A/D コンバータが入力信号をデジタル値に変換するために必要な時間。

特性データ

(参考データ)

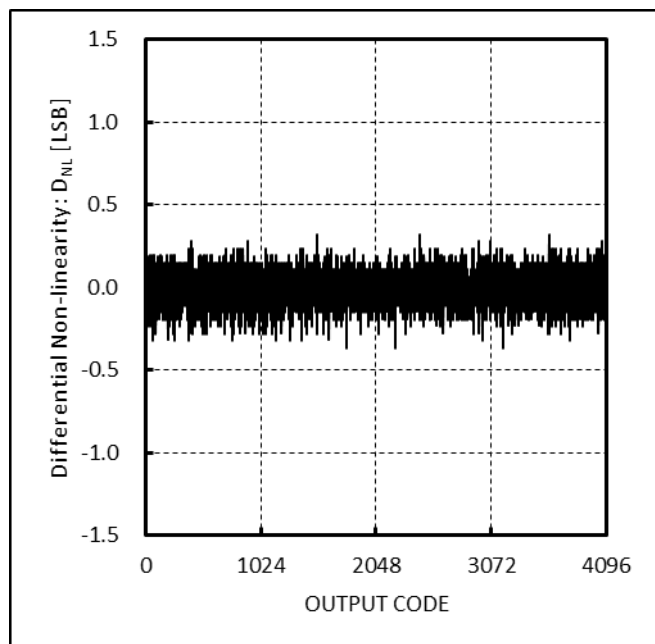
特に指定のない限り $T_a = 25\text{ }^\circ\text{C}$, $V_{DD} = 3\text{ V}$, $V_{IOVDD} = 3\text{ V}$, $f_{SCK} = 10\text{ MHz}$, $f_s = 0.5\text{ MSPS}$ 

Figure 2. Differential Non-linearity vs OUTPUT CODE
($V_{IOVDD} = 3\text{ V}$, $V_{DD} = 5\text{ V}$)

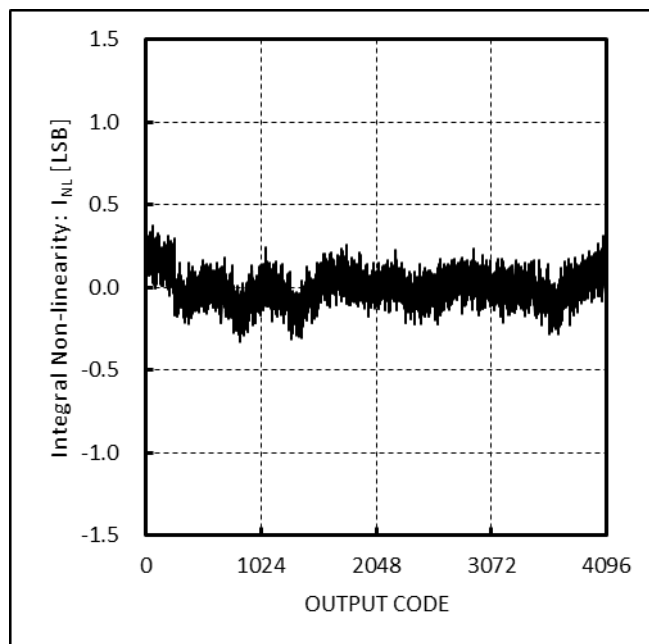


Figure 3. Integral Non-linearity vs OUTPUT CODE
($V_{IOVDD} = 3\text{ V}$, $V_{DD} = 5\text{ V}$)

特性データ — 続き

(参考データ)

特に指定のない限り $T_a = 25\text{ }^\circ\text{C}$, $V_{DD} = 3\text{ V}$, $V_{IOVDD} = 3\text{ V}$, $f_{SCK} = 10\text{ MHz}$, $f_s = 0.5\text{ MSPS}$

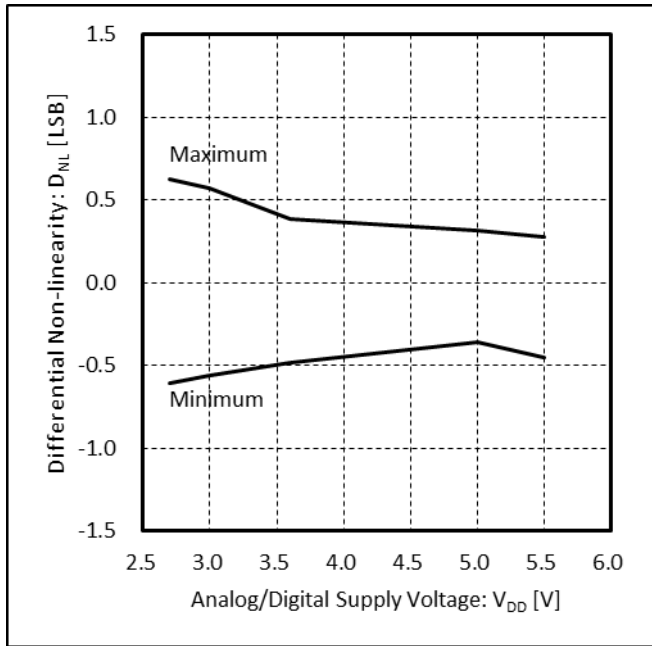


Figure 4.

Differential Non-linearity vs Analog / Digital Supply Voltage

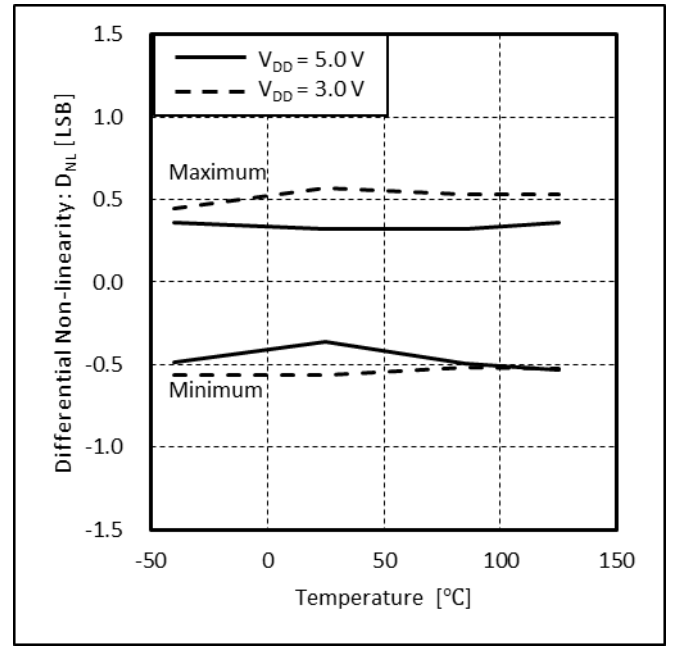


Figure 5. Differential Non-linearity vs Temperature

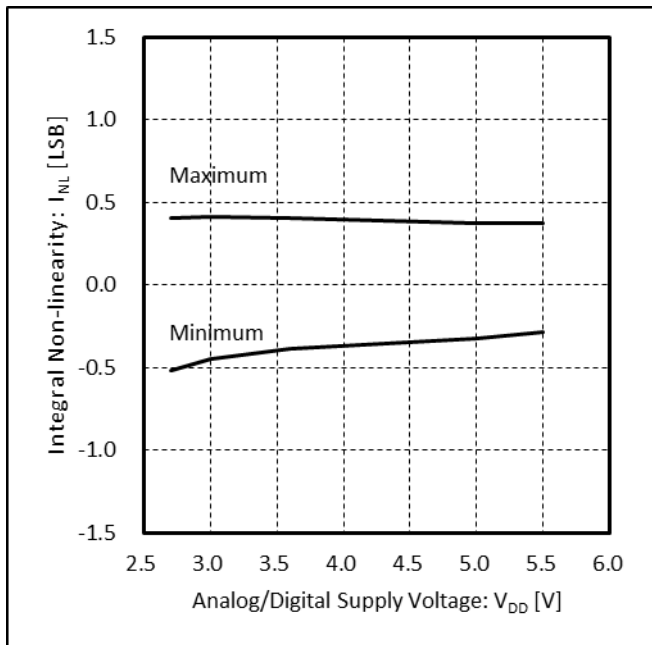


Figure 6.

Integral Non-linearity vs Analog / Digital Supply Voltage

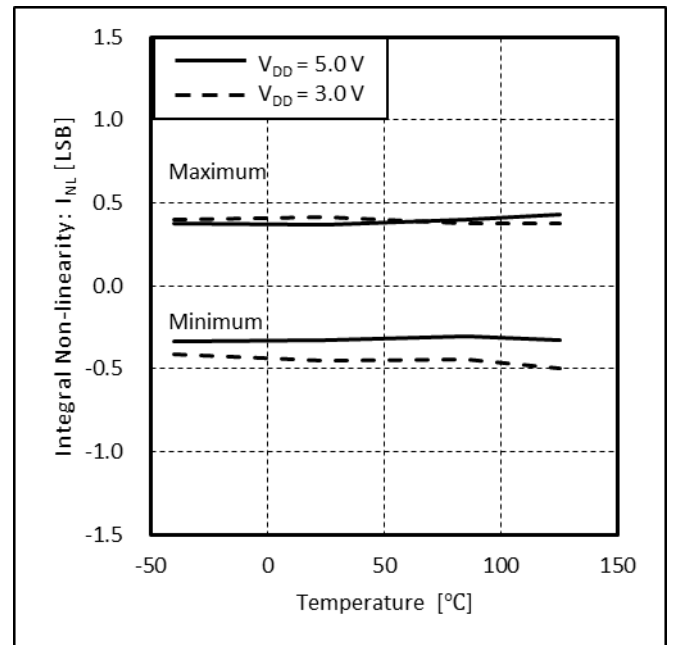


Figure 7. Integral Non-linearity vs Temperature

特性データ — 続き

(参考データ)

特に指定のない限り $T_a = 25\text{ }^\circ\text{C}$, $V_{DD} = 3\text{ V}$, $V_{IOVDD} = 3\text{ V}$, $f_{SCK} = 10\text{ MHz}$, $f_s = 0.5\text{ MSPS}$

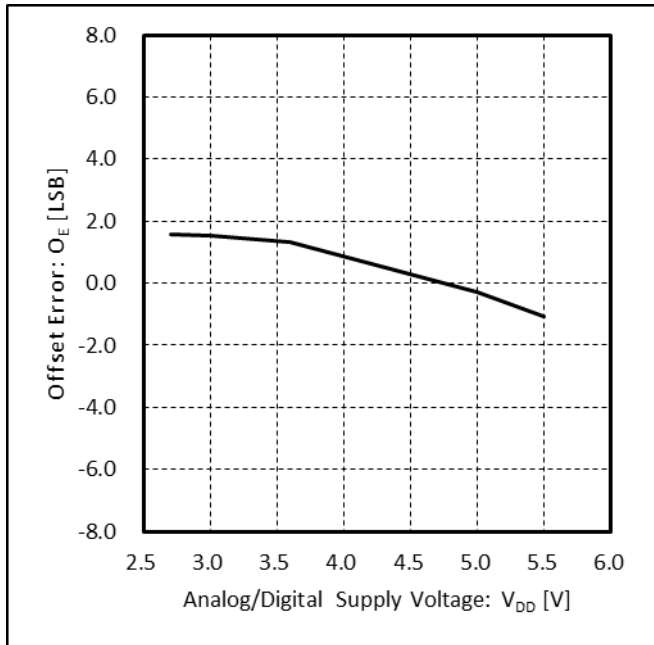


Figure 8.

Offset Error vs Analog / Digital Supply Voltage

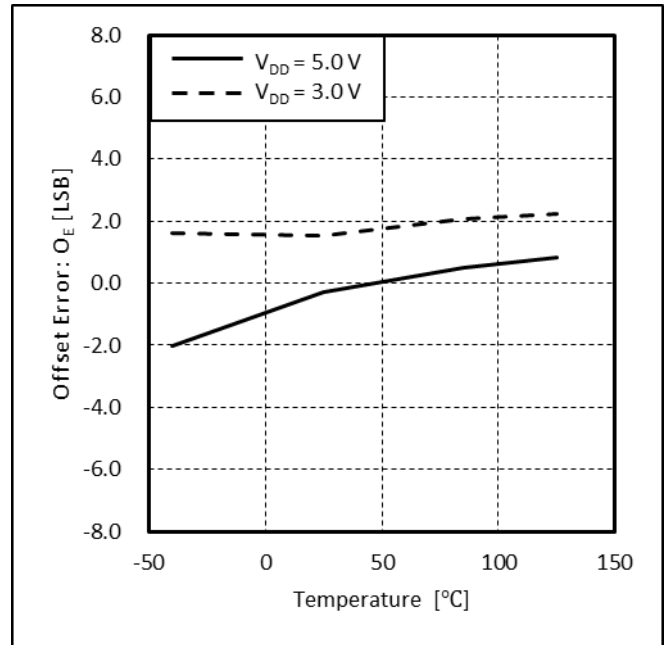


Figure 9. Offset Error vs Temperature

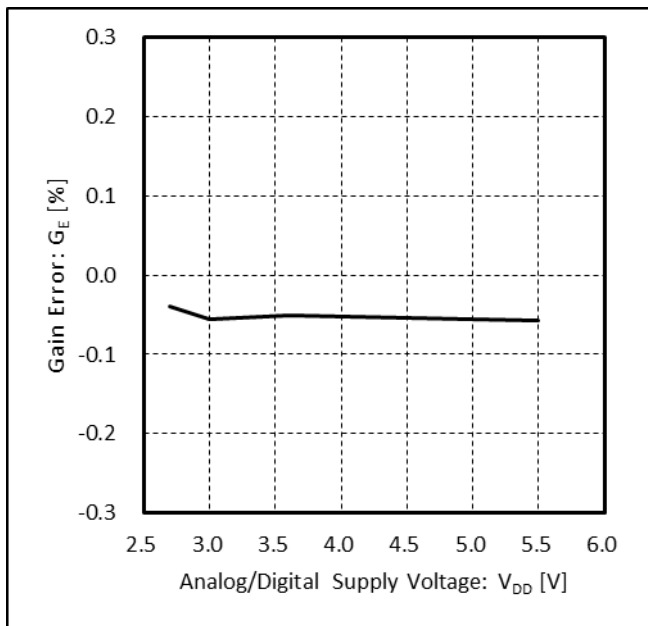


Figure 10.

Gain Error vs Analog / Digital Supply Voltage

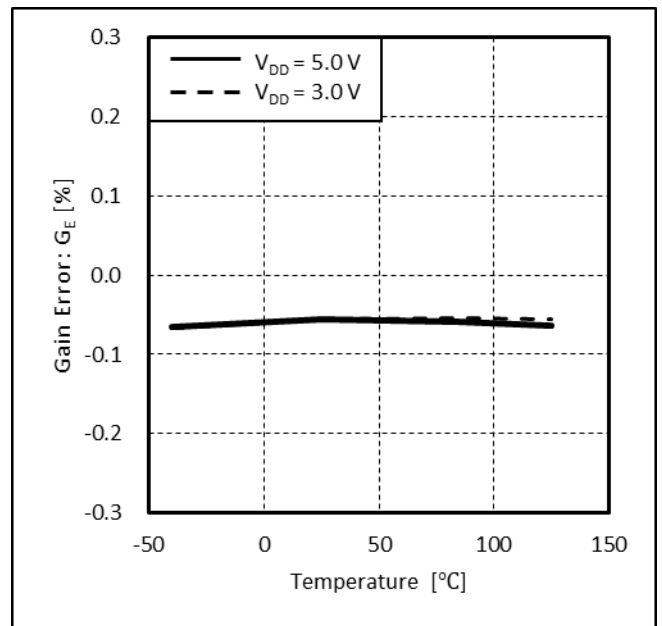


Figure 11. Gain Error vs Temperature

特性データ — 続き

(参考データ)

特に指定のない限り $T_a = 25\text{ }^\circ\text{C}$, $V_{DD} = 3\text{ V}$, $V_{IOVDD} = 3\text{ V}$, $f_{SCK} = 10\text{ MHz}$, $f_s = 0.5\text{ MSPS}$

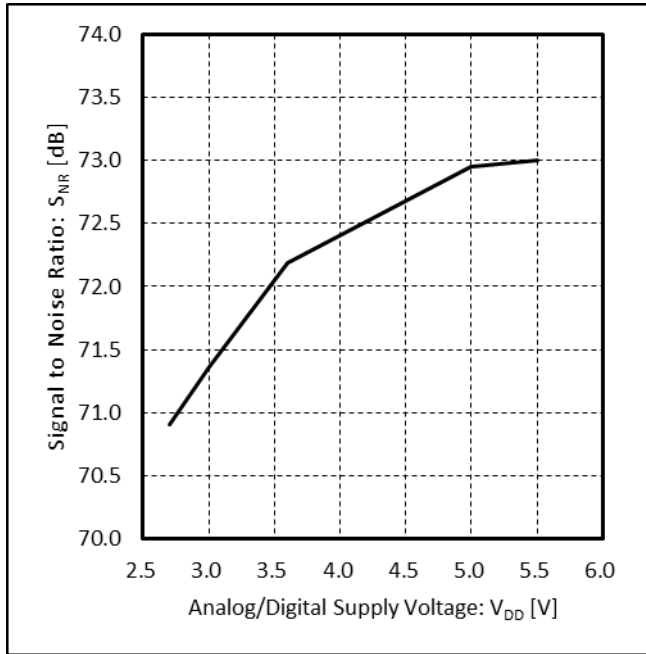


Figure 12.

Signal to Noise Ratio vs Analog / Digital Supply Voltage

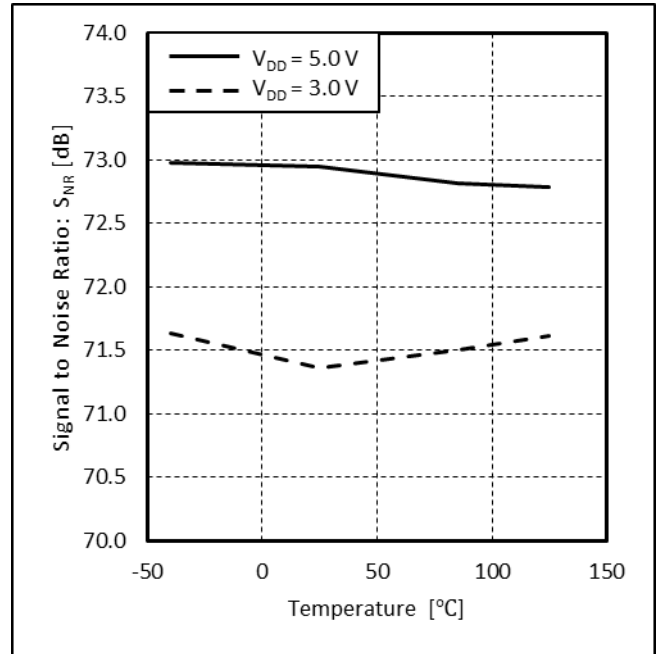


Figure 13. Signal to Noise Ratio vs Temperature

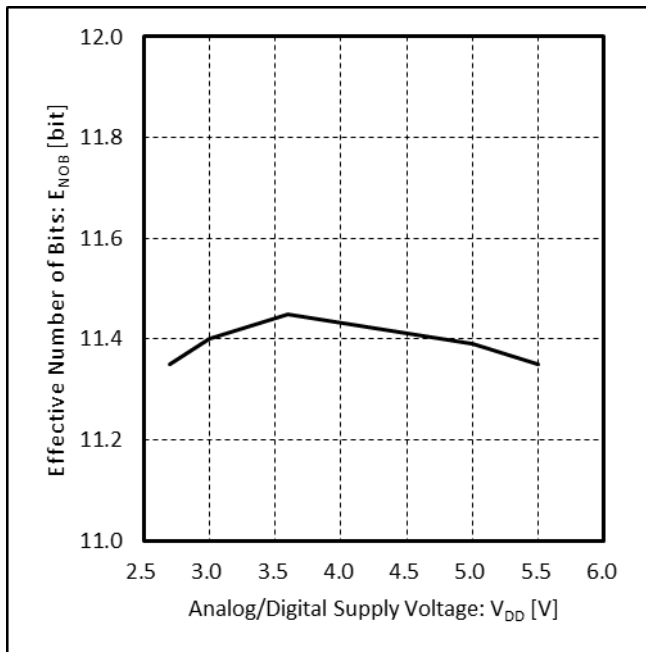


Figure 14.

Effective Number of Bits vs Analog / Digital Supply Voltage

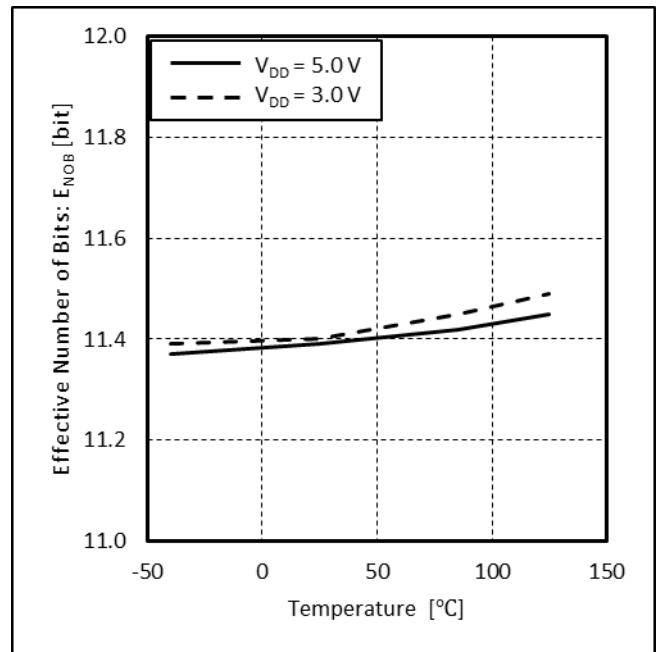


Figure 15. Effective Number of Bits vs Temperature

特性データ — 続き

(参考データ)

特に指定のない限り Ta = 25 °C, V_{DD} = 3 V, V_{IOVDD} = 3 V, f_{SCK} = 10 MHz, f_s = 0.5 MSPS

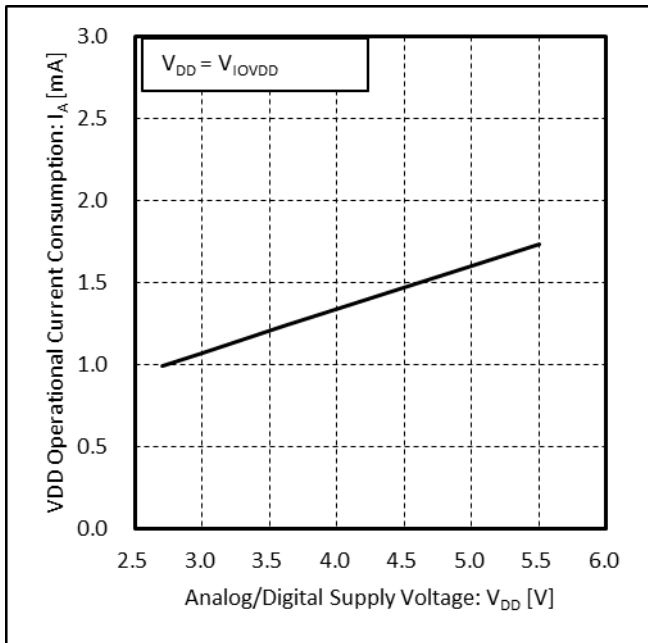


Figure 16. V_{DD} Operational Current Consumption vs Analog / Digital Supply Voltage

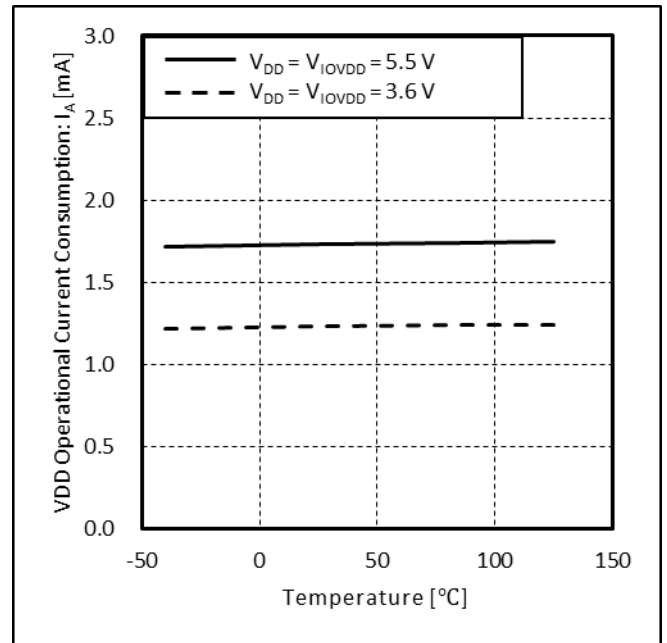


Figure 17. V_{DD} Operational Current Consumption vs Temperature

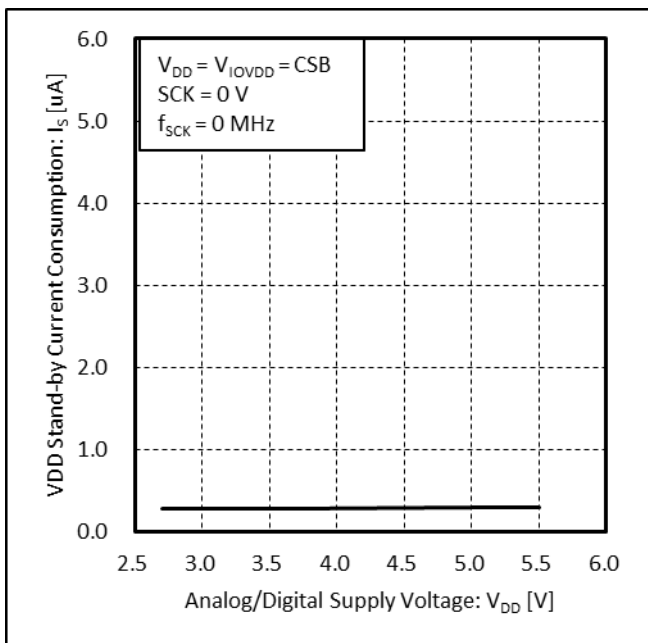


Figure 18. V_{DD} Stand-by Current Consumption vs Analog / Digital Supply Voltage

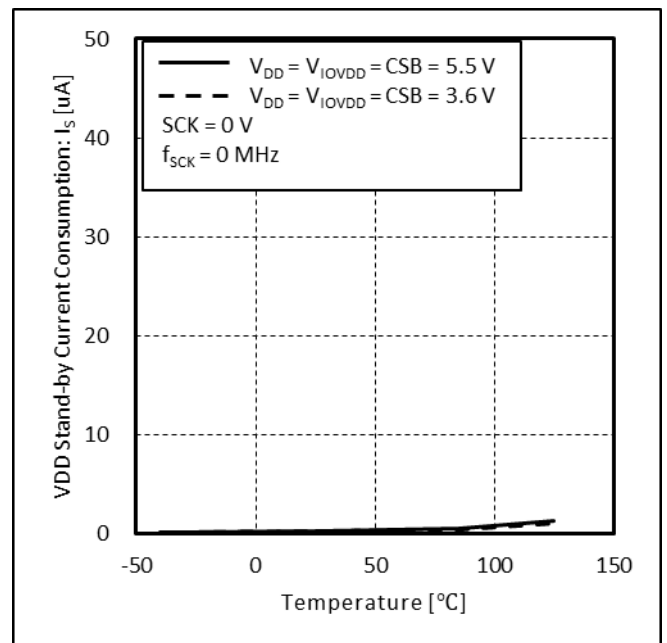


Figure 19. V_{DD} Stand-by Current Consumption vs Temperature

電源投入シーケンス

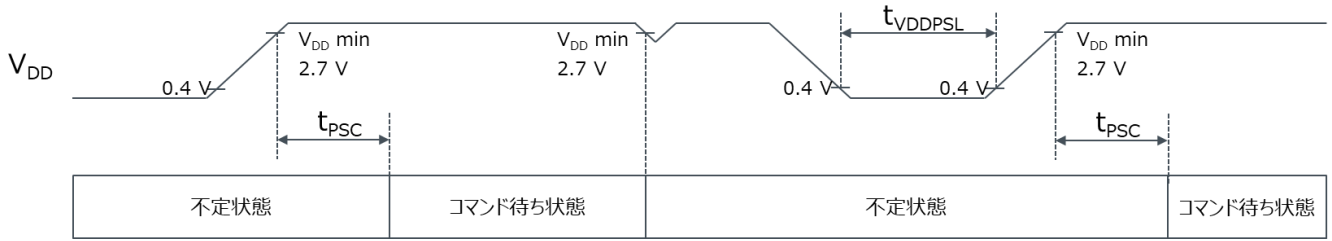


Figure 20. 電源投入時タイミングチャート

$T_a = -40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$

項目	記号	最小	標準	最大	単位
V_{DD} パワーダウン時間	t_{VDDPSL}	1	-	-	ms
電源 ON 後の SPI コマンド入力待ち時間	t_{PSC}	0.1	-	-	ms

電源投入してから“ t_{PSC} ”の時間が経ってからコマンド入力してください。
 もし V_{DD} 電源電圧が推奨動作範囲よりも下がったら、IC は不定状態になります。その場合、一度電源を下げて、再度電源を印加してください。
 V_{DD} 電源を印加する前に、“ t_{VDDPSL} ” 時間以上 $V_{DD} < 0.4\text{ V}$ の状態を保持してください。

動作説明 — 続き

3. GPIO 機能

本 IC は GPIO 機能を搭載し、AGIO 端子(AGIO0A~AGIO15A, AGIO0B~AGIO15B)を使用してデジタル入力もしくはデジタル出力が可能です。

Figure 24 に AGIO 端子の接続図を示します。各 AGIO 端子は、AD 変換値読み取りシーケンス(セクション 4.1)で ADSEL[4:0]を設定することで A/D 変換のアナログ入力端子となり、Register Write シーケンス(セクション 4.3)で GPIO 用レジスタ(GPI_EN,GPO_EN,GPO_WRITE_VALUE)を設定することで GPIO 機能を使用することができます。電源投入時、全チャンネルの GPIO 用レジスタは L に設定され、GPIO 機能は OFF 状態となります。

GPIO 機能の ON/OFF または GPO の出力論理は、Register Write シーケンスにてレジスタ設定後、CSB の立ち上がりのタイミングで切り替わります。

GPIO 機能を ON するには、使用したいチャンネルの GPI_EN を H に設定してください。入力データは CSB の立ち下がり後、SCK に同期して取り込まれるため、CSB 立ち下げまでに入力レベルを安定させる必要があります。

また GPO 機能を ON するには、使用したいチャンネルの GPO_EN を H に設定してください。出力論理の切替えは、H 出力する場合は GPO_WRITE_VALUE を H に、L 出力する場合は GPO_WRITE_VALUE を L に設定してください。

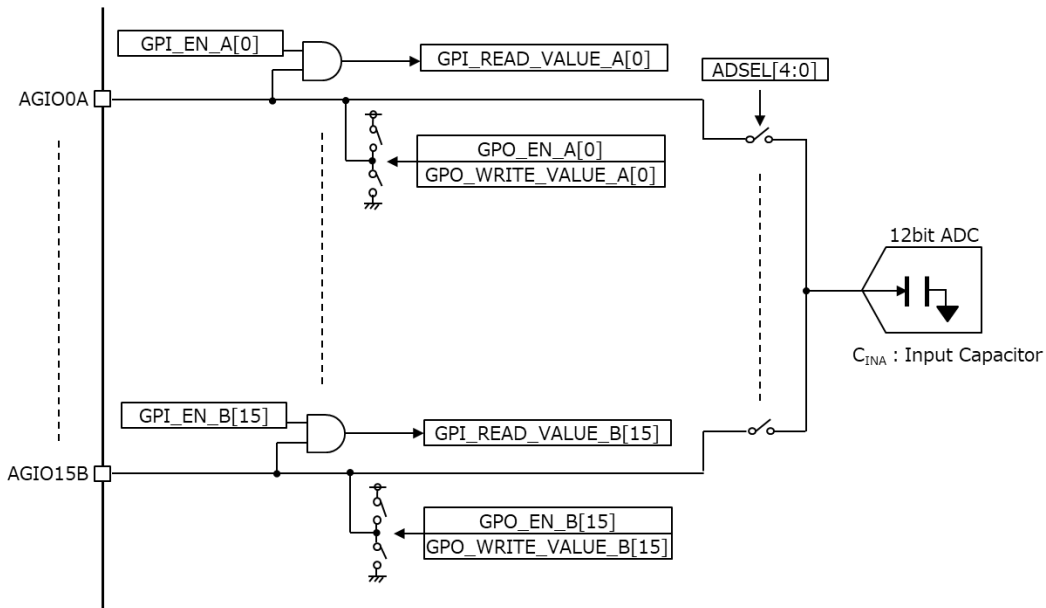


Figure 24. AGIO 端子接続図

Table 1. AGIO 端子状態

GPO_EN	GPI_EN	GPO_WRITE_VALUE	端子状態
0	0	0	アナログ入力
0	0	1	アナログ入力
0	1	0	デジタル入力
0	1	1	デジタル入力
1	0	0	デジタル L 出力
1	0	1	デジタル H 出力
1	1	0	デジタル L 出力 デジタル入力
1	1	1	デジタル H 出力 デジタル入力

動作説明 — 続き

4. シリアルインタフェース

本 IC の通信は CSB が Low の間に少なくとも 16 SCK サイクルを必要とします。SDI データは SCK 立ち上がりエッジで取り込まれ、SDO データは SCK 立ち下がりエッジで出力されます。データの受け手側は、SDO アクセス時間が経過してから SCK の立ち上がりエッジ、または立ち下がりエッジでデータを取り込んでください。

4.1. AD 変換値読み取りシーケンス

Figure 25 に AD 変換値読み取りシーケンスの通信フォーマットを示します。電源立ち上げ後 1 シーケンス目は AGIO0A の AD 変換結果が SDO から出力されます。

ADSEL[4:0] を Table 2 のように設定することで、次シーケンスで A/D 変換するチャンネルを選択できます。ADSEL[4:0] で指定されたチャンネルは、1CLK 目の立ち下がりから 4CLK 目の立ち下がりまでの間でトラックモードになり、4CLK 目の立ち下がりから 16CLK 目の立ち下がりまでホールドモードとして動作し AD 変換が行われます。

ADSEL[4:0] で指定したチャンネルが GPI 回路もしくは GPO 回路に接続されている状態で AD 変換が実行された場合、STATUS_FLAG は High を出力します。STATUS_FLAG が High 出力した場合は、指定したチャンネル x の GPI_EN [x] と GPO_EN [x] を 0b に設定するか、電源を一度落としてから、再度 AD 変換値読み取りシーケンスを実施してください。GPI_EN [x] 及び GPO_EN [x] の設定方法はセクション 4.3 を参照してください。

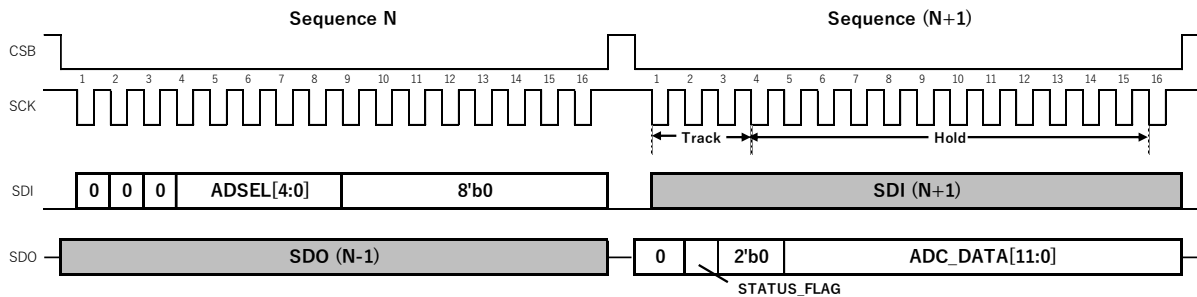


Figure 25. AD 変換値読み取りシーケンス通信フォーマット

Table 2. AD 入力端子選択

ADSEL[4:0]			
00000b: AGIO0A (Default)	01000b: AGIO8A	10000b: AGIO0B	11000b: AGIO8B
00001b: AGIO1A	01001b: AGIO9A	10001b: AGIO1B	11001b: AGIO9B
00010b: AGIO2A	01010b: AGIO10A	10010b: AGIO2B	11010b: AGIO10B
00011b: AGIO3A	01011b: AGIO11A	10011b: AGIO3B	11011b: AGIO11B
00100b: AGIO4A	01100b: AGIO12A	10100b: AGIO4B	11100b: AGIO12B
00101b: AGIO5A	01101b: AGIO13A	10101b: AGIO5B	11101b: AGIO13B
00110b: AGIO6A	01110b: AGIO14A	10110b: AGIO6B	11110b: AGIO14B
00111b: AGIO7A	01111b: AGIO15A	10111b: AGIO7B	11111b: AGIO15B

動作説明 — 続き

4.2. Register Read シーケンス

Figure 26 に Register Read シーケンスの通信フォーマットを示します。電源立ち上げ直後の 1 シーケンス目は AGIO0A の AD 変換結果が SDO から出力されます。

IOSET = 1 かつ R/W = 1 に設定し Address を指定することで、次シーケンスで指定した Address のレジスタ値を読み出すことができます。Address[3:0]の設定は Table 3. レジスタマップを参照してください。

Register Read シーケンスで、GPI_READ_VALUE レジスタ(Address : 0x0, 0x1, 0x2, 0x3)を指定すると、選択したチャンネルの入力状態が取り込まれ、レジスタから入力状態の読み出しができます。入力状態の取り込みは Address 指定した次シーケンスの 1CLK 目の立ち下がリエッジから 8CLK 目の立ち下がリエッジの間に行われます。この区間内で入力状態が切り替わると誤ったデータを取り込む可能性があります。

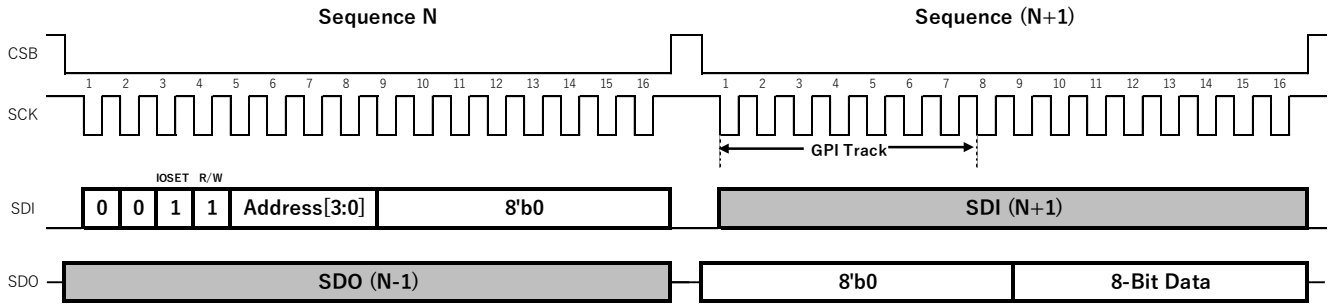


Figure 26. Register Read シーケンス通信フォーマット

4.3. Register Write シーケンス

Figure 27 に Register Write シーケンスの通信フォーマットを示します。電源立ち上げ直後の 1 シーケンス目は AGIO0A の AD 変換結果が出力されます。IOSET = 1 かつ R/W = 0 に設定し Address を指定することで、対応するレジスタにデータを書き込む事ができます。Address[3:0]は Table 3. レジスタマップを参照してください。

AGIO 端子接続及び GPO 出力状態は CSB 立ち上がりで更新されます。

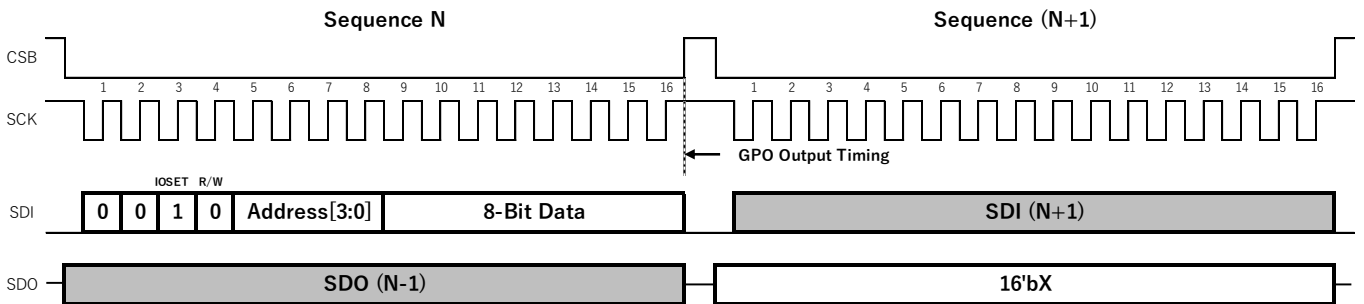


Figure 27. Register Write シーケンス通信フォーマット

動作説明 — 続き

Table 3. レジスタマップ

Address	Register Name	R/W	Initial	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	DESCRIPTION
0x0	GPI_READ_VALUE_B_15_8	R	0x00	GPI_READ_VALUE_B [15:8]								AGIO15B~AGIO8B の GPI 入力論理レベル 0: L 入力 1: H 入力 GPI_EN_B [x]を 0b に設定時は 0
0x1	GPI_READ_VALUE_B_7_0	R	0x00	GPI_READ_VALUE_B [7:0]								AGIO7B~AGIO0B の GPI 入力論理レベル 0: L 入力 1: H 入力 GPI_EN_B [x]を 0b に設定時は 0
0x2	GPI_READ_VALUE_A_15_8	R	0x00	GPI_READ_VALUE_A [15:8]								AGIO15A~AGIO8A の GPI 入力論理レベル 0: L 入力 1: H 入力 GPI_EN_A [x]を 0b に設定時は 0
0x3	GPI_READ_VALUE_A_7_0	R	0x00	GPI_READ_VALUE_A [7:0]								AGIO7A~AGIO0A の GPI 入力論理レベル 0: L 入力 1: H 入力 GPI_EN_A [x]を 0b に設定時は 0
0x4	GPI_EN_B_15_8	R/W	0x00	GPI_EN_B [15:8]								AGIO15B~AGIO8B の GPI イネーブル設定 0: GPI 無効 1: GPI 有効 AD 変換用の端子は 0 に設定してください
0x5	GPI_EN_B_7_0	R/W	0x00	GPI_EN_B [7:0]								AGIO7B~AGIO0B の GPI イネーブル設定 0: GPI 無効 1: GPI 有効 AD 変換用の端子は 0 に設定してください
0x6	GPI_EN_A_15_8	R/W	0x00	GPI_EN_A [15:8]								AGIO15A~AGIO8A の GPI イネーブル設定 0: GPI 無効 1: GPI 有効 AD 変換用の端子は 0 に設定してください
0x7	GPI_EN_A_7_0	R/W	0x00	GPI_EN_A [7:0]								AGIO7A~AGIO0A の GPI イネーブル設定 0: GPI 無効 1: GPI 有効 AD 変換用の端子は 0 に設定してください

動作説明 — 続き

Address	Register Name	R/W	Initial	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	DESCRIPTION
0x8	GPO_EN_B_15_8	R/W	0x00	GPO_EN_B [15:8]								AGIO15B~AGIO8B の GPO イネーブル設定 0: GPO 無効 (High-Z) 1: GPO 有効 AD 変換用の端子は 0 に設定してください
0x9	GPO_EN_B_7_0	R/W	0x00	GPO_EN_B [7:0]								AGIO7B~AGIO0B の GPO イネーブル設定 0: GPO 無効 (High-Z) 1: GPO 有効 AD 変換用の端子は 0 に設定してください
0xA	GPO_EN_A_15_8	R/W	0x00	GPO_EN_A [15:8]								AGIO15A~AGIO8A の GPO イネーブル設定 0: GPO 無効 (High-Z) 1: GPO 有効 AD 変換用の端子は 0 に設定してください
0xB	GPO_EN_A_7_0	R/W	0x00	GPO_EN_A [7:0]								AGIO7A~AGIO0A の GPO イネーブル設定 0: GPO 無効 (High-Z) 1: GPO 有効 AD 変換用の端子は 0 に設定してください
0xC	GPO_WRITE_VALUE_B_15_8	R/W	0x00	GPO_WRITE_VALUE_B [15:8]								AGIO15B~AGIO8B の GPO 出力論理レベル 0: L 出力 1: H 出力
0xD	GPO_WRITE_VALUE_B_7_0	R/W	0x00	GPO_WRITE_VALUE_B [7:0]								AGIO7B~AGIO0B の GPO 出力論理レベル 0: L 出力 1: H 出力
0xE	GPO_WRITE_VALUE_A_15_8	R/W	0x00	GPO_WRITE_VALUE_A [15:8]								AGIO15A~AGIO8A の GPO 出力論理レベル 0: L 出力 1: H 出力
0xF	GPO_WRITE_VALUE_A_7_0	R/W	0x00	GPO_WRITE_VALUE_A [7:0]								AGIO7A~AGIO0A の GPO 出力論理レベル 0: L 出力 1: H 出力

動作説明 — 続き

■ GPI 使用例

例として、端子 AGIO15B~AGIO0B を GPI 端子として設定し、入力状態を読み出す場合の IC 接続図を Figure 28 に示し、その設定手順を Table 4 に示します。

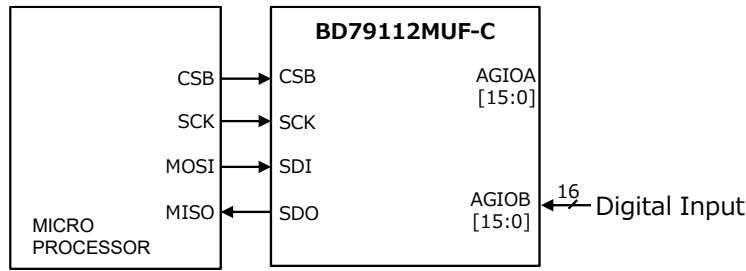


Figure 28. GPI 使用時 IC 接続図

Table 4. GPI 設定手順例

設定手順	IOSET	R/W	Address [3:0]	8-Bit_Data
STEP1	AGIO15B~AGIO8B を GPI として設定	1b	0x4	0xFF
STEP2	AGIO7B~AGIO0B を GPI として設定	1b	0x5	0xFF
STEP3	AGIO15B~AGIO8B の入力論理レベルを読み出し	1b	0x0	-
STEP4	AGIO7B~AGIO0B の入力論理レベルを読み出し	1b	0x1	-
STEP5	STEP3,STEP4 を繰り返し実行	-	-	-

■ GPO 使用例

例として、端子 AGIO15A~AGIO0A を AD 変換し、端子 AGIO15B~AGIO0B を GPO 出力させる場合の IC 接続図を Figure 29 に示し、その設定手順を Table 5 に示します。

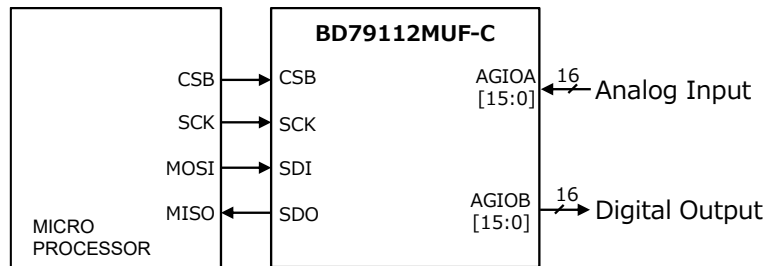


Figure 29. GPO 使用時 IC 接続図

Table 5. GPO 設定手順例

設定手順	IOSET	R/W	Address [3:0]	8-Bit_Data
STEP1	AGIO15B~AGIO8B を GPO として設定	1b	0x8	0xFF
STEP2	AGIO7B~AGIO0B を GPO として設定	1b	0x9	0xFF
STEP3	AGIO0A の AD 変換値を読み出し	0b	ADSEL[4:0] = 00000b	-
STEP4	AGIO1A の AD 変換値を読み出し	0b	ADSEL[4:0] = 00001b	-
⋮				
STEP18	AGIO15A の AD 変換値を読み出し	0b	ADSEL[4:0] = 01111b	-
STEP19	AGIO15B~AGIO8B の出力レベルを設定	1b	0xC	設定
STEP20	AGIO7B~AGIO0B の出力レベルを設定	1b	0xD	設定
STEP21	STEP3~STEP20 を繰り返し実行	-	-	-

動作説明 — 続き

4.4. CRC 機能

本 IC は AD 変換データもしくは Register Read 値に対し、巡回冗長検査(CRC)データを付与する CRC 機能を使用できます。Figure 30 に CRC 機能有効時の通信フォーマットを示します。

CRC 機能を使用する際は、CRC_EN = 1 に切り替え、1 シーケンス中の CLK 数を 32 CLK にして使用し続けてください。CRC_EN = 1 の切り替えを行った 1 シーケンス目の出力データは無効データです。CRC_EN = 1 に切り替えた次シーケンスから CRC が有効となり、データ取得が可能です。

AD 変換時の出力データには ADSEL[4:0] (Table.2)と CRC[7:0]を含み、レジスタリード時の出力データには Address[3:0] (Table.3)と CRC[7:0]を含みます。

送信データの誤りは、SDI と SDO の ADSEL[4:0](もしくは Adress[3:0])の値を比較することで確認できます。

受信データの誤りは、SDO の CRC[7:0]と通信ホスト側で計算した CRC データを比較することで確認できます。

CRC [7:0]の計算には生成多項式 CRC-8-CCITT ($x^8 + x^2 + x + 1$) (1 0000 0111)を使用します。

CRC [7:0] データは、ADC_DATA[11:0] もしくは{4'b0 + 8-Bit_Data}のデータを(1 0000 0111)で割った余りが出力されません。

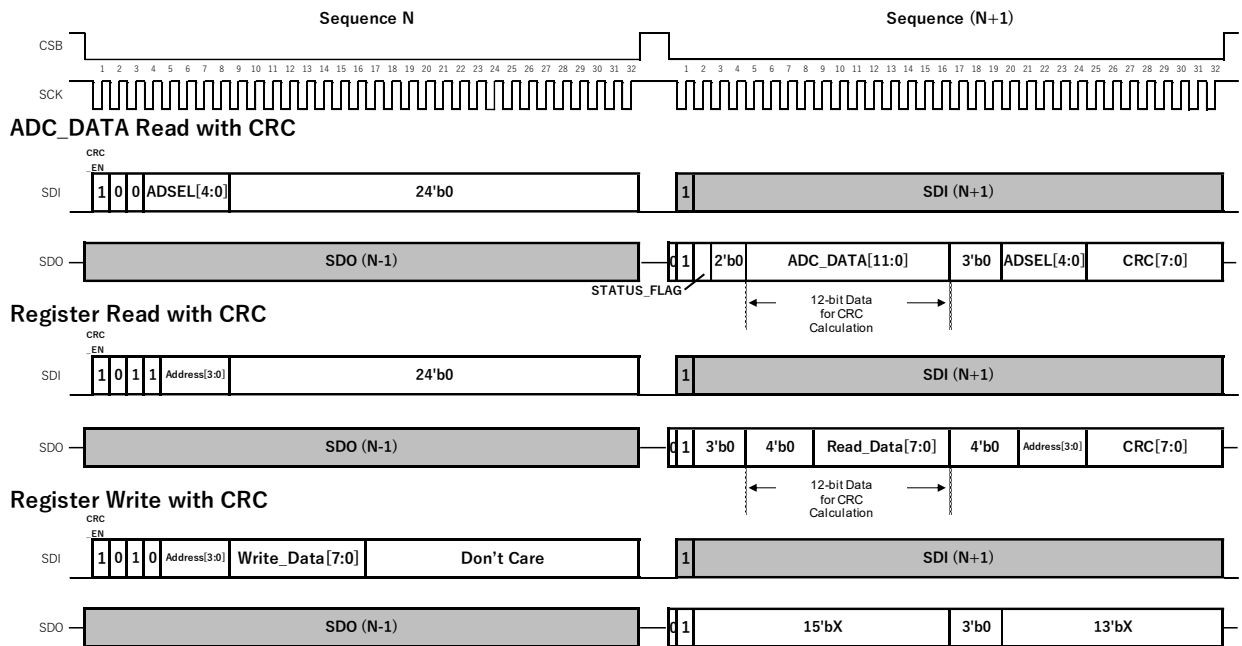


Figure 30. CRC 有効時通信フォーマット

動作説明 — 続き

4.5. デイジーチェーン接続

本 IC を複数個デイジーチェーン接続することで、最後に接続された IC の SDO から全 IC のデータを出力することが可能です。

例として Figure 31 に本 IC を 3 個デイジーチェーン接続時の接続構成を示し、Figure 32 にその通信フォーマットを示します。接続した IC のデータをすべて取得するためには、CSB が Low の間に(接続したデバイスの数 x16) SCK を必要とします。CSB が Low である限り、SDI データは 16CLK の遅延で後に接続された IC もしくは通信ホストに受け渡されます。各 IC のデータ構成はデイジーチェーンせず通信する場合と同じです。

Track/Hold 及び GPIO のデータ更新は、Figure 33 に示すように全 IC 同じタイミングで実行されます。

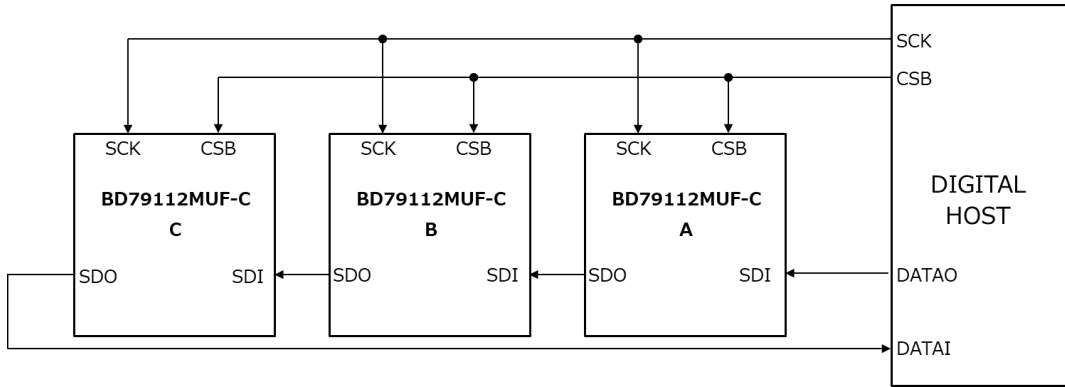


Figure 31. 3 個デイジーチェーン接続時の構成

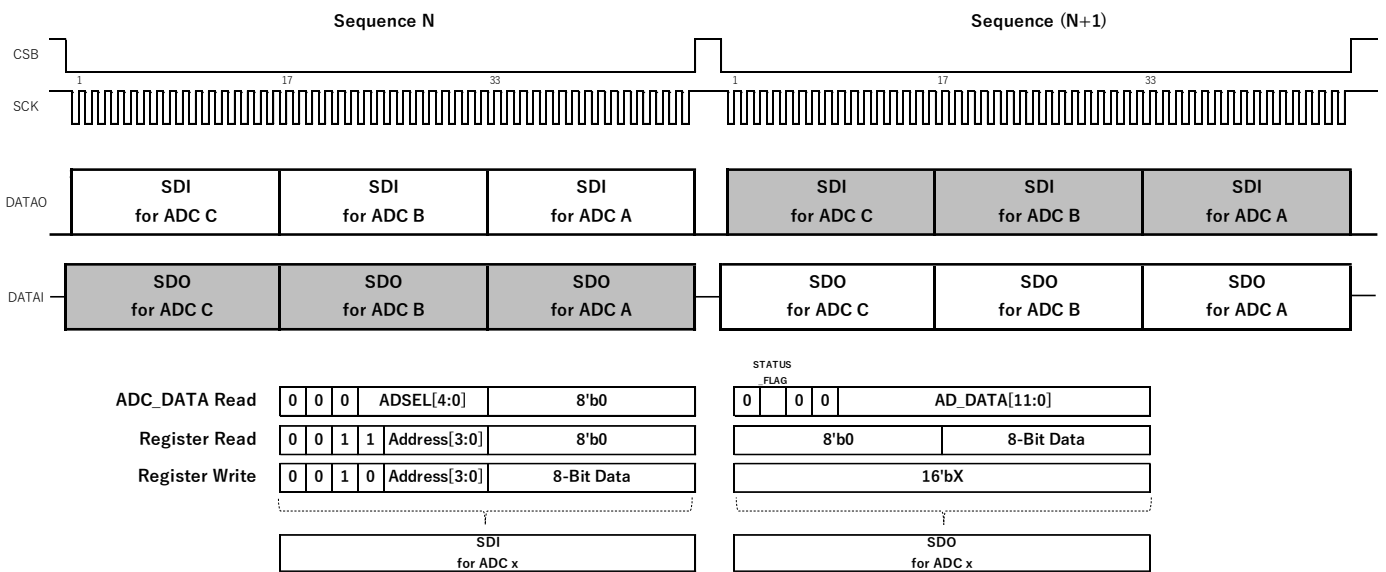


Figure 32. 3 個デイジーチェーン接続時通信フォーマット

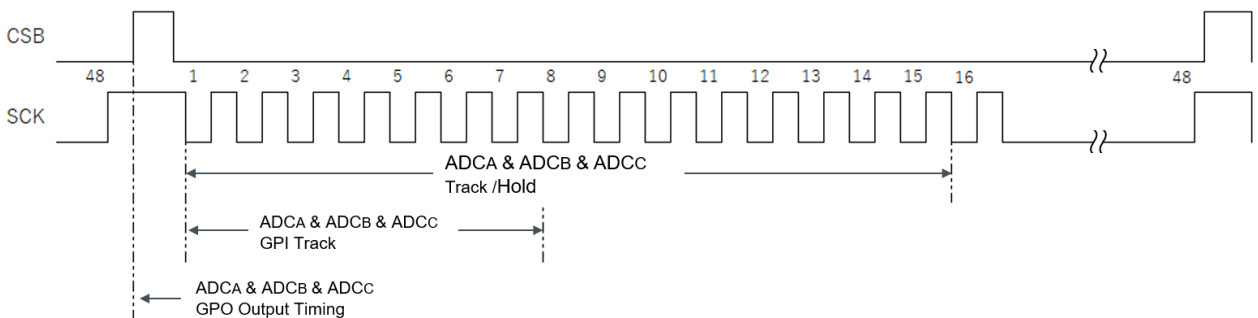


Figure 33. 3 個デイジーチェーン接続時 AGIO 端子更新タイミング

動作説明 — 続き

4.6. デイジーチェーン接続時のCRC機能

デイジーチェーン接続時にCRC機能を使用することができます。ICの接続構成はFigure 31に示す構成と同じです。Figure 34に、3個のICをデイジーチェーン接続時のCRC機能切替えフォーマットを示します。デイジーチェーン接続時にCRC_ENを切り替える際は、各ICに対するCRC_ENビットをHighに設定し、他のデータはLowを書き込んでください。SCKのクロック数は、(接続したデバイスの数 x 32) CLKが必要となります。AD変換値読み取り、Register Read/Writeを設定できるのは、CRC機能切替えが完了した2シーケンス目からとなります。Figure 35に3個デイジーチェーン接続CRC有効時の通信フォーマットを示します。各ICに対応するデータ構成はセクション4.4を参照してください。

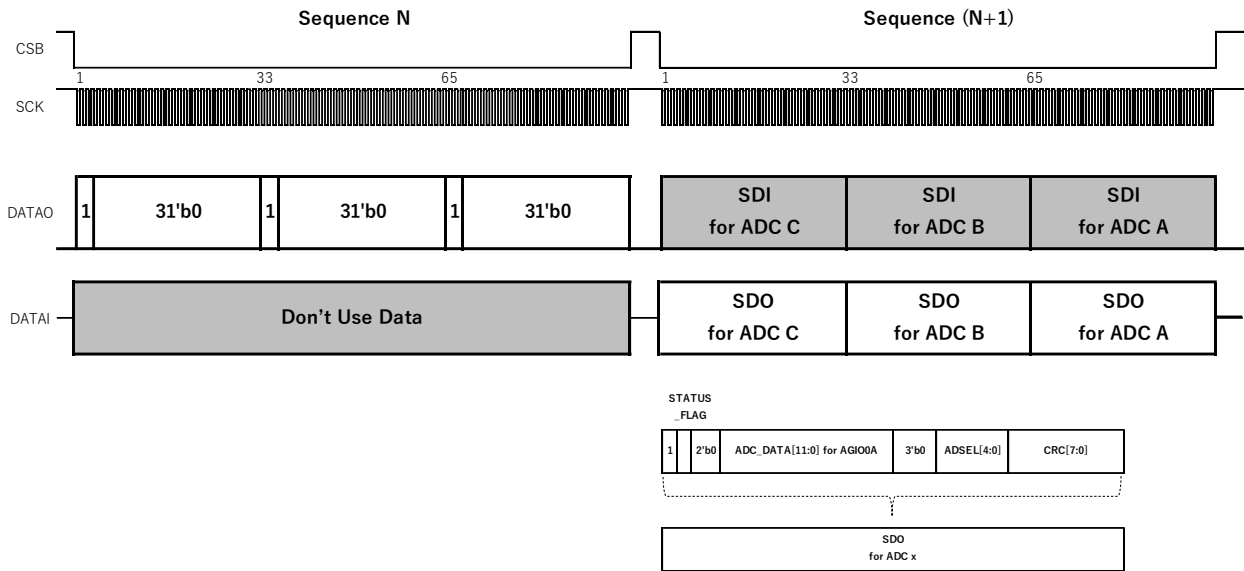


Figure 34. 3個デイジーチェーン接続時CRC_EN = 1切り替えフォーマット

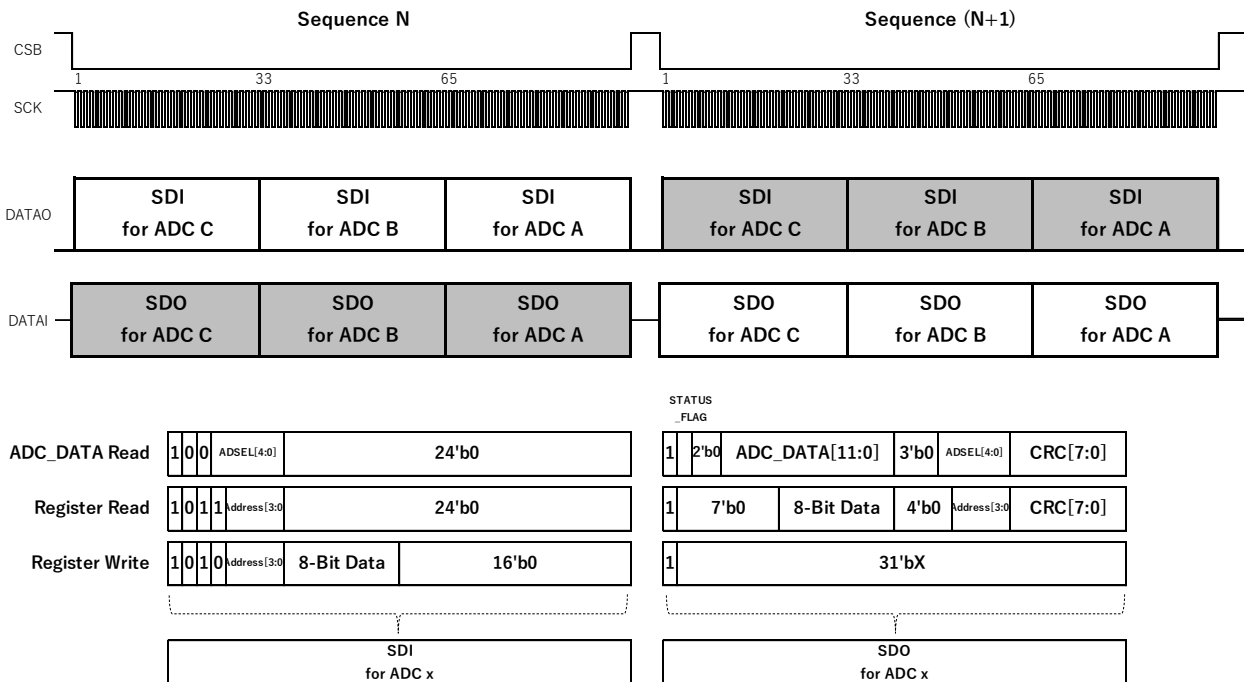


Figure 35. CRC有効時デイジーチェーン接続通信フォーマット

応用回路例

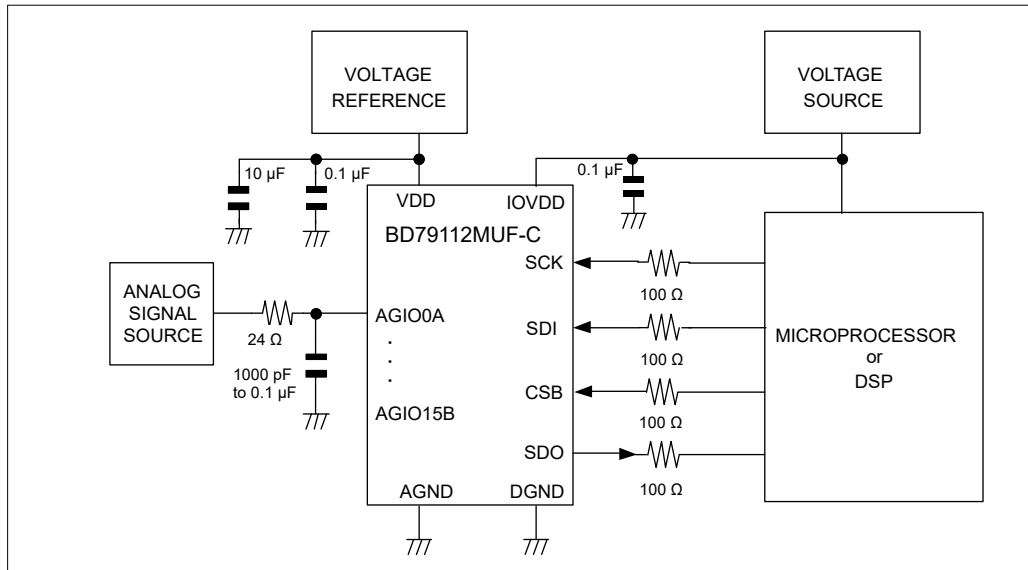


Figure 36. 応用回路図

Figure 36 の応用回路図では、本来の性能を引き出すため、電源端子に定電圧源を接続し、IOVDD-DGND 端子間に 1 つのバイパスコンデンサ、VDD-AGND 端子間に高周波用、低周波用の 2 つのバイパスコンデンサを入れています。0.1 µF のセラミック・コンデンサと 1 µF ~ 10 µF のコンデンサを本製品のためのバイパスコンデンサとして使用し、このうち 0.1 µF は本製品の VDD 端子のできるだけ近くに実装してください。

電源 VDD と AGND 電圧が A/D コンバータのリファレンス電圧となっているため、電源変動があると、フルスケール電圧も変動し特性に影響します。できるだけ電圧変動のない電源に接続することを推奨します。

アナログ入力信号源の出カインピーダンスは十分低いことが望まれます。アナログ信号の電位とサンプリングキャパシタの保持している電位の差により、ホールドモードからトラックモードに入る瞬間にサンプリングキャパシタの電荷が AGIOx 端子から吐き出され AGIOx 端子の電圧変動が生じる場合があります。その影響がトラックモードからホールドモードに移る瞬間まで残っていた場合、A/D 変換結果に誤差を生じる原因になります。

また、バッファアンプの使用によって出カインピーダンスを低くする場合には、バッファアンプ自体に高速応答性が必要になりますが、AGIOx 端子にキャパシタと抵抗を接続することで、バッファアンプの応答が間に合わない瞬時的な電圧変動を低減できます。

入出力等価回路図

端子名	等価回路図	端子名	等価回路図
AGIO0A AGIO1A AGIO2A AGIO3A AGIO4A AGIO5A AGIO6A AGIO7A AGIO8A AGIO9A AGIO10A AGIO11A AGIO12A AGIO13A AGIO14A AGIO15A		SDI SCK CSB	
AGIO0B AGIO1B AGIO2B AGIO3B AGIO4B AGIO5B AGIO6B AGIO7B AGIO8B AGIO9B AGIO10B AGIO11B AGIO12B AGIO13B AGIO14B AGIO15B		SDO	

使用上の注意

1. 電源の逆接続について

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れるなどの対策を施してください。

2. 電源ラインについて

基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。グラウンドラインについても、同様のパターン設計を考慮してください。また、LSI のすべての電源端子について電源-グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量低下が起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

3. グラウンド電位について

グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。

4. グラウンド配線パターンについて

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

5. 推奨動作条件について

推奨動作条件で規定される範囲で IC の機能・動作を保証します。また、特性値は電気的特性で規定される各項目の条件下においてのみ保証されます。

6. ラッシュカレントについて

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

7. セット基板での検査について

セット基板での検査時に、インピーダンスの低い端子にコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

8. 端子間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けられた場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

9. 未使用の入力端子の処理について

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

使用上の注意 — 続き

10. 各入力端子について

本 IC はモノリシック IC であり、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、GND > (端子 A)の時、トランジスタ(NPN)では GND > (端子 B)の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ(NPN)では、GND > (端子 B)の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に GND(P 基板)より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子が GND にショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

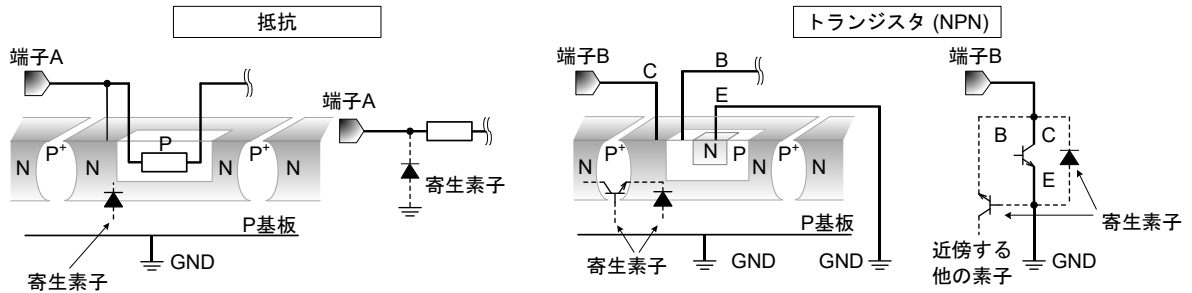


Figure 37. モノリシック IC 構造例

11. セラミック・コンデンサの特性変動について

外付けコンデンサに、セラミック・コンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮のうえ、定数を決定してください。

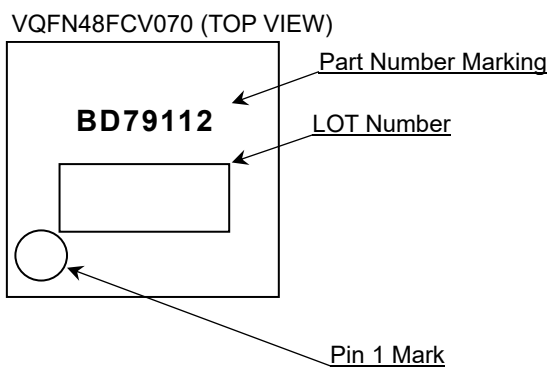
発注形名情報

B D 7 9 1 1 2 M U F - C E 2

パッケージ
MUF: VQFN48FCV070

製品ランク
C: 車載ランク製品
包装、フォーミング仕様
E2: リール状エンボステーパーピング

標印図



改訂履歴

日付	版	変更内容
2026.03.18	001	新規作成

ご注意

ローム製品取扱い上の注意事項

- 極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器^(Note 1)、航空宇宙機器、原子力制御装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

- 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
- 本製品は、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用
 - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用される場合は除く。ただし、残渣については十分に確認をお願いします。)又は、はんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合
 - ⑧結露するような場所でのご使用
- 本製品は耐放射線設計はなされておられません。
- 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
- パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
- 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
- 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
- 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

- ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
- はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。(人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等)

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
 - ① 潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ② 推奨温度、湿度以外での保管
 - ③ 直射日光や結露する場所での保管
 - ④ 強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き(梱包箱に表示されている天面方向)で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルに2次元バーコードが印字されていますが、2次元バーコードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は、外国為替及び外国貿易法に定めるリスト規制貨物等に該当するおそれがありますので、輸出する場合には、ロームへお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等(ソフトウェア含む)との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。