

車載向け A/D コンバータシリーズ

# 逐次比較型 A/D コンバータ

## 12 bit、8 チャンネル、 I<sup>2</sup>C インタフェース

BD79124MUF-C

### 概要

BD79124MUF-C は 12 bit、8 チャンネル入力の逐次比較型、汎用 A/D コンバータです。

### 特長

- AEC-Q100 対応 (Note 1)
  - 低消費電力
  - VQFN16FV3030 小型パッケージ
  - 2 線シリアルバスインタフェース (最大 3.4 MHz 対応)
  - シングルエンド入力
  - アラート機能
- (Note 1) Grade 1

### 用途

- クラスターパネル
- インフォテインメント
- バッテリ管理システム(BMS)

### 重要特性

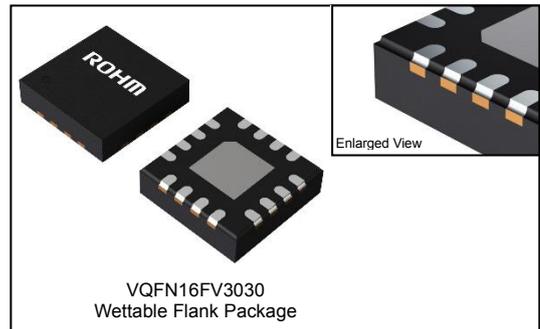
- 電源電圧範囲(VDD) : 2.70 V ~ 5.25 V
- 電源電圧範囲(IOVDD) : 1.65 V ~ 5.25 V
- 消費電力 :  
(High-speed mode 時) 0.9 mW @ V<sub>DD</sub> = 3.6 V (Typ)  
1.8 mW @ V<sub>DD</sub> = 5.25 V (Typ)
- INL : ±1.0 LSB @ V<sub>DD</sub> = 3 V (Typ)
- DNL : ±0.99 LSB @ V<sub>DD</sub> = 3 V (Typ)
- SNR : 72 dB @ V<sub>DD</sub> = 3 V (Typ)
- SINAD : 72 dB @ V<sub>DD</sub> = 3 V (Typ)
- 動作温度範囲 : -40 °C ~ +125 °C

### パッケージ

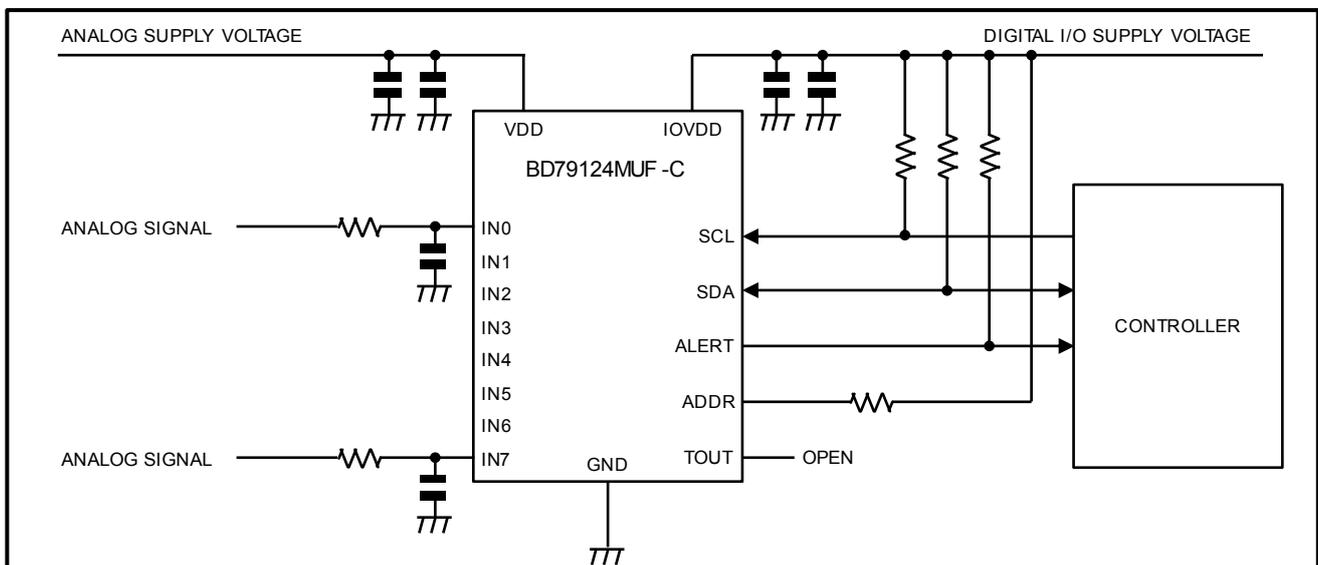
VQFN16FV3030

W (Typ) x D (Typ) x H (Max)

3.0 mm x 3.0 mm x 1.0 mm



### 基本アプリケーション回路



○製品構造：シリコンを主材料とした半導体集積回路 ○耐放射線設計はしてありません

www.rohm.co.jp

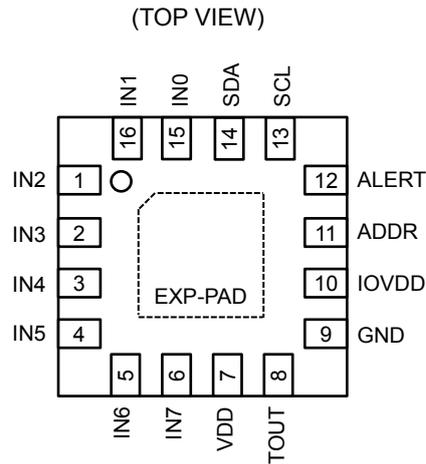
© 2024 ROHM Co., Ltd. All rights reserved.

TSZ22111・14・001

## 目次

概要 .....	1
特長 .....	1
用途 .....	1
重要特性 .....	1
パッケージ .....	1
基本アプリケーション回路 .....	1
端子配置図 .....	3
端子説明 .....	3
ブロック図 .....	3
絶対最大定格 .....	4
熱抵抗 .....	4
推奨動作条件 .....	5
電気的特性 .....	6
タイミング特性 .....	8
用語の定義 .....	9
特性データ .....	11
I <sup>2</sup> C 通信フォーマット .....	15
I <sup>2</sup> C ターゲットアドレス選択 .....	17
レジスタマップ .....	18
制御シーケンス .....	30
応用回路例 .....	35
入出力等価回路図 .....	35
使用上の注意 .....	36
発注形名情報 .....	38
標印図 .....	38
外形寸法図と包装・フォーミング仕様 .....	39
改訂履歴 .....	40

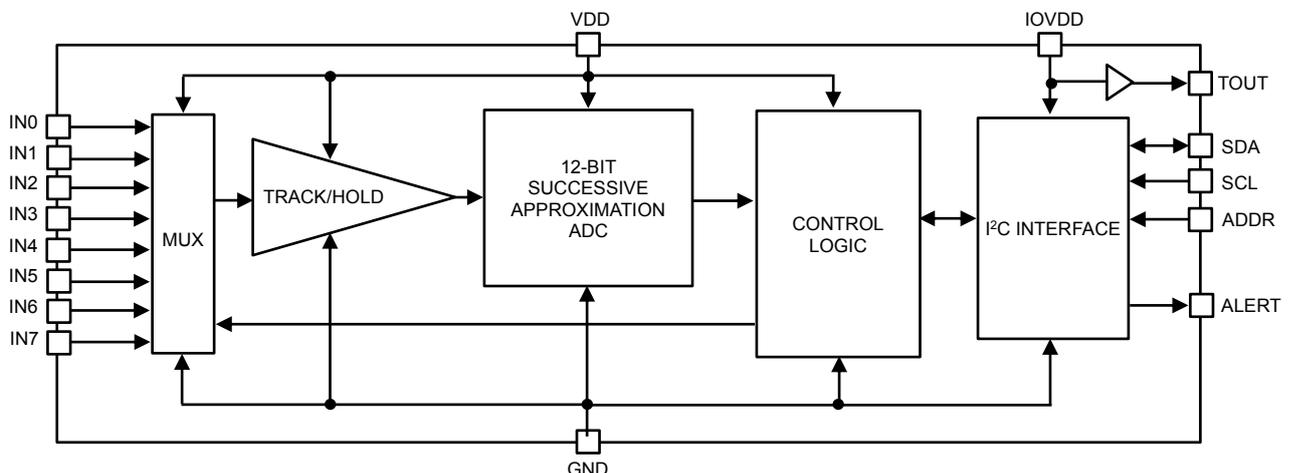
端子配置図



端子説明

端子番号	端子名	機能
1	IN2	アナログ入力端子 2, 入力電圧範囲は 0 V ~ V <sub>DD</sub> です。または GPO 端子。
2	IN3	アナログ入力端子 3, 入力電圧範囲は 0 V ~ V <sub>DD</sub> です。または GPO 端子。
3	IN4	アナログ入力端子 4, 入力電圧範囲は 0 V ~ V <sub>DD</sub> です。または GPO 端子。
4	IN5	アナログ入力端子 5, 入力電圧範囲は 0 V ~ V <sub>DD</sub> です。または GPO 端子。
5	IN6	アナログ入力端子 6, 入力電圧範囲は 0 V ~ V <sub>DD</sub> です。または GPO 端子。
6	IN7	アナログ入力端子 7, 入力電圧範囲は 0 V ~ V <sub>DD</sub> です。または GPO 端子。
7	VDD	アナログ/デジタル電源端子。この電圧が AD 変換のフルスケール電圧です。
8	TOUT	IOVDD 電圧出力端子。ADDR のプルアップ先として使用可能。 使用する場合は、この端子にはバイパスコンデンサを接続しないでください。 使用しない場合は、OPEN にしてください。
9	GND	アナログ/デジタルグラウンド端子。この電圧が AD 変換のゼロスケール電圧です。
10	IOVDD	デジタル I/O 電源端子。
11	ADDR	I <sup>2</sup> C アドレス選択入力端子。
12	ALERT	デジタルアラート出力端子。
13	SCL	シリアルクロック入力端子。
14	SDA	シリアルデータ入出力端子。
15	IN0	アナログ入力端子 0, 入力電圧範囲は 0 V ~ V <sub>DD</sub> です。または GPO 端子。
16	IN1	アナログ入力端子 1, 入力電圧範囲は 0 V ~ V <sub>DD</sub> です。または GPO 端子。
-	EXP-PAD	EXP-PAD は GND 接続してください。

ブロック図



## 絶対最大定格(Ta = 25 °C)

項目	記号	定格	単位
アナログ/デジタル電源電圧	V <sub>DD</sub>	5.7	V
デジタル I/O 電源電圧	V <sub>IOVDD</sub>	V <sub>DD</sub> +0.3, max 5.7	V
アナログ入力電圧	V <sub>IN</sub>	-0.3 ~ V <sub>DD</sub> +0.3	V
デジタル入力電圧	V <sub>DIN</sub>	-0.3 ~ V <sub>IOVDD</sub> +0.3	V
最高接合部温度	T <sub>jmax</sub>	150	°C
保存温度範囲	T <sub>stg</sub>	-55 ~ +150	°C

注意 1: 印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施していただくようお願いいたします。

注意 2: 最高接合部温度を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。最高接合部温度を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用するなど、最高接合部温度を超えないよう熱抵抗にご配慮ください。

## 熱抵抗 (Note 2)

項目	記号	熱抵抗(Typ)		単位
		1層基板 (Note 4)	4層基板 (Note 5)	
VQFN16FV3030				
ジャンクション—周囲温度間熱抵抗	$\theta_{JA}$	189.0	57.5	°C/W
ジャンクション—パッケージ上面中心間熱特性パラメータ (Note 3)	$\Psi_{JT}$	23	10	°C/W

(Note 2) JESD51-2A(Still-Air)に準拠。

(Note 3) ジャンクションからパッケージ (モールド部分) 上面中心までの熱特性パラメータ。

(Note 4) JESD51-3に準拠した基板を使用。

(Note 5) JESD51-5.7に準拠した基板を使用。

測定基板	基板材	基板寸法
1層	FR-4	114.3 mm x 76.2 mm x 1.57 mmt

1層目 (表面) 銅箔	
銅箔パターン	銅箔厚
実装ランドパターン + 電極引出し用配線	70 $\mu$ m

測定基板	基板材	基板寸法	サーマルビア (Note 6)	
			ピッチ	直径
4層	FR-4	114.3 mm x 76.2 mm x 1.6 mmt	1.20 mm	$\Phi$ 0.30 mm

1層目 (表面) 銅箔		2層目、3層目 (内層) 銅箔		4層目 (裏面) 銅箔	
銅箔パターン	銅箔厚	銅箔パターン	銅箔厚	銅箔パターン	銅箔厚
実装ランドパターン + 電極引出し用配線	70 $\mu$ m	74.2 mm $\square$ (正方形)	35 $\mu$ m	74.2 mm $\square$ (正方形)	70 $\mu$ m

(Note 6) 貫通ビア。1,2,4層の銅箔と接続する。配置はランドパターンに従う。

## 推奨動作条件

項目	記号	最小	標準	最大	単位
アナログ/デジタル電源電圧	V <sub>DD</sub>	2.70	-	5.25	V
デジタル I/O 電源電圧	V <sub>IOVDD</sub>	1.65	-	V <sub>DD</sub>	V
アナログ入力電圧	V <sub>IN</sub>	0	-	V <sub>DD</sub>	V
デジタル入力電圧	V <sub>DIN</sub>	0	-	V <sub>IOVDD</sub>	V
動作温度	T <sub>OPr</sub>	-40	+25	+125	°C
クロック周波数	f <sub>SCL</sub>	100	-	3400	kHz
サンプリングレート	f <sub>s</sub>	-	-	140	kSPS

## 電氣的特性

特に指定のない限り Ta = -40 °C ~ +125 °C(標準 : Ta = 25 °C), V<sub>DD</sub> = 2.7 V ~ 5.25 V, V<sub>IOVDD</sub> = 1.65 V ~ 5.25 V  
f<sub>SCL</sub> = 3.4 MHz

項目	記号	最小	標準	最大	単位	条件
スタティック変換特性						
分解能(ノーマスコード)	R <sub>ES</sub>	-	12	-	bit	
積分非直線性 1	I <sub>NL1</sub>	-1.2	-	+1.2	LSB	Ta = 25 °C, V <sub>DD</sub> = 5.0 V V <sub>IOVDD</sub> = 3.0 V
積分非直線性 2	I <sub>NL2</sub>	-1.0	-	+1.0	LSB	Ta = 25 °C, V <sub>DD</sub> = 3.0 V V <sub>IOVDD</sub> = 3.0 V
微分非直線性 1	D <sub>NL1</sub>	-0.99	-	+0.99	LSB	Ta = 25 °C, V <sub>DD</sub> = 5.0 V V <sub>IOVDD</sub> = 3.0 V
微分非直線性 2	D <sub>NL2</sub>	-0.99	-	+0.99	LSB	Ta = 25 °C, V <sub>DD</sub> = 3.0 V V <sub>IOVDD</sub> = 3.0 V
オフセット誤差 1	O <sub>E1</sub>	-2.9	±1.1	+2.9	LSB	Ta = 25 °C, V <sub>DD</sub> = 5.0 V V <sub>IOVDD</sub> = 3.0 V
オフセット誤差 2	O <sub>E2</sub>	-2.3	±1.1	+2.3	LSB	Ta = 25 °C, V <sub>DD</sub> = 3.0 V V <sub>IOVDD</sub> = 3.0 V
ゲイン誤差 1	G <sub>E1</sub>	-2.2	±0.8	+2.2	LSB	Ta = 25 °C, V <sub>DD</sub> = 5.0 V V <sub>IOVDD</sub> = 3.0 V
ゲイン誤差 2	G <sub>E2</sub>	-2.0	±0.8	+2.0	LSB	Ta = 25 °C, V <sub>DD</sub> = 3.0 V V <sub>IOVDD</sub> = 3.0 V
ダイナミック変換特性(f <sub>IN</sub> = 2 kHz, V <sub>IN</sub> = -0.02 dBFS)						
信号対(ノイズ+歪)比 1	S <sub>INAD1</sub>	70	72	-	dB	Ta = 25 °C, V <sub>DD</sub> = 5.0 V V <sub>IOVDD</sub> = 3.0 V
信号対(ノイズ+歪)比 2	S <sub>INAD2</sub>	70	72	-	dB	Ta = 25 °C, V <sub>DD</sub> = 3.0 V V <sub>IOVDD</sub> = 3.0 V
信号対ノイズ比 1	S <sub>NR1</sub>	70.8	72	-	dB	Ta = 25 °C, V <sub>DD</sub> = 5.0 V V <sub>IOVDD</sub> = 3.0 V
信号対ノイズ比 2	S <sub>NR2</sub>	70.8	72	-	dB	Ta = 25 °C, V <sub>DD</sub> = 3.0 V V <sub>IOVDD</sub> = 3.0 V
全高調波歪	T <sub>HD</sub>	-	-80	-	dB	Ta = 25 °C, V <sub>DD</sub> = 5.0 V V <sub>IOVDD</sub> = 3.0 V
スプリアスフリーダイナミックレンジ	S <sub>FDR</sub>	-	82	-	dB	Ta = 25 °C, V <sub>DD</sub> = 5.0 V V <sub>IOVDD</sub> = 3.0 V
有効ビット数 1	E <sub>NOB1</sub>	11.3	11.6	-	bit	Ta = 25 °C, V <sub>DD</sub> = 5.0 V V <sub>IOVDD</sub> = 3.0 V
有効ビット数 2	E <sub>NOB2</sub>	11.3	11.6	-	bit	Ta = 25 °C, V <sub>DD</sub> = 3.0 V V <sub>IOVDD</sub> = 3.0 V
チャンネル間アイソレーション 1	I <sub>SO1</sub>	-	-90	-	dB	Ta = 25 °C, V <sub>DD</sub> = 5.0 V V <sub>IOVDD</sub> = 3.0 V
チャンネル間アイソレーション 2	I <sub>SO2</sub>	-	-90	-	dB	Ta = 25 °C, V <sub>DD</sub> = 3.0 V V <sub>IOVDD</sub> = 3.0 V
AD 変換時間 1	t <sub>CONV1</sub>	-	1.2	1.8	μs	BUSYTIME = 00 設定
AD 変換時間 2	t <sub>CONV2</sub>	-	6.0	10	μs	BUSYTIME = 11 設定
トラックホールド時間 1	t <sub>HOLD1</sub>	0.15	0.25	-	μs	BUSYTIME = 00 設定
トラックホールド時間 2	t <sub>HOLD2</sub>	0.6	1.0	-	μs	BUSYTIME = 11 設定

## 電気的特性 — 続き

特に指定のない限り Ta = -40 °C ~ +125 °C(標準 : Ta = 25 °C), V<sub>DD</sub> = 2.7 V ~ 5.25 V, V<sub>IOVDD</sub> = 1.65 V ~ 5.25 V  
f<sub>SCL</sub> = 3.4 MHz

項目	記号	最小	標準	最大	単位	条件
アナログ入力特性						
入力容量	C <sub>SH</sub>	-	28	-	pF	V <sub>DD</sub> = 5 V
入力電圧範囲	V <sub>IN</sub>	0	-	V <sub>DD</sub>	V	
デジタル入力特性(SCL, SDA)						
H 入力電圧	V <sub>IH</sub>	0.7 x V <sub>IOVDD</sub>	-	-	V	
L 入力電圧	V <sub>IL</sub>	-	-	0.3 x V <sub>IOVDD</sub>	V	
デジタル出力特性(SDA)						
L 出力電圧 1	V <sub>OL1</sub>	-	-	0.4	V	I <sub>SINK</sub> = 2 mA, V <sub>IOVDD</sub> > 2 V
L 出力電圧 2	V <sub>OL2</sub>	-	-	V <sub>IOVDD</sub> x 0.2	V	I <sub>SINK</sub> = 2 mA, V <sub>IOVDD</sub> ≤ 2 V
L 出力時電流 1	I <sub>OL1</sub>	-	-	3	mA	V <sub>OL</sub> = 0.4 V, Standard and Fast mode
L 出力時電流 2	I <sub>OL2</sub>	-	-	6	mA	V <sub>OL</sub> = 0.6 V, Fast mode
L 出力時電流 3	I <sub>OL3</sub>	-	-	20	mA	V <sub>OL</sub> = 0.4 V, Fast mode plus
デジタル出力特性(GPO)						
H 出力電圧	V <sub>OH</sub>	0.8 x V <sub>DD</sub>	-	V <sub>DD</sub>	V	
L 出力電圧	V <sub>OL</sub>	0	-	V <sub>DD</sub> x 0.2	V	
デジタル出力特性(ALERT)						
H 出力電圧 1	V <sub>OH1</sub>	V <sub>IOVDD</sub> - 0.20	V <sub>IOVDD</sub> - 0.03	-	V	I <sub>SOURCE</sub> = 200 μA
H 出力電圧 2	V <sub>OH2</sub>	-	V <sub>IOVDD</sub> - 0.1	-	V	I <sub>SOURCE</sub> = 1 mA
L 出力電圧 1	V <sub>OL1</sub>	-	0.02	0.40	V	I <sub>SINK</sub> = 200 μA
L 出力電圧 2	V <sub>OL2</sub>	-	0.1	-	V	I <sub>SINK</sub> = 1 mA
消費電流						
動作消費電流 1	I <sub>A1</sub>	-	340	500	μA	V <sub>DD</sub> = V <sub>IOVDD</sub> = 5.25 V, I <sup>2</sup> C High-speed mode
動作消費電流 2	I <sub>A2</sub>	-	260	320	μA	V <sub>DD</sub> = V <sub>IOVDD</sub> = 3.6 V, I <sup>2</sup> C High-speed mode
動作消費電流 3	I <sub>A3</sub>	-	140	185	μA	V <sub>DD</sub> = V <sub>IOVDD</sub> = 5.25 V, I <sup>2</sup> C Fast mode plus
動作消費電流 4	I <sub>A4</sub>	-	100	140	μA	V <sub>DD</sub> = V <sub>IOVDD</sub> = 3.6 V, I <sup>2</sup> C Fast mode plus
動作消費電流 5	I <sub>A5</sub>	-	76	104	μA	V <sub>DD</sub> = V <sub>IOVDD</sub> = 5.25 V, I <sup>2</sup> C Fast mode
動作消費電流 6	I <sub>A6</sub>	-	45	65	μA	V <sub>DD</sub> = V <sub>IOVDD</sub> = 3.6 V, I <sup>2</sup> C Fast mode
動作消費電流 7	I <sub>A7</sub>	-	49	63.5	μA	V <sub>DD</sub> = V <sub>IOVDD</sub> = 5.25 V, I <sup>2</sup> C Standard mode
動作消費電流 8	I <sub>A8</sub>	-	25.5	37.5	μA	V <sub>DD</sub> = V <sub>IOVDD</sub> = 3.6 V, I <sup>2</sup> C Standard mode
動作消費電流 9	I <sub>A9</sub>	-	40	50	μA	V <sub>DD</sub> = V <sub>IOVDD</sub> = 5.25 V, No conversion
動作消費電流 10	I <sub>A10</sub>	-	20	30	μA	V <sub>DD</sub> = V <sub>IOVDD</sub> = 3.6 V, No conversion

タイミング特性

特に指定のない限り Ta = -40 °C ~ +125 °C(標準 : Ta = 25 °C), V<sub>DD</sub> = 2.7 V ~ 5.25 V, V<sub>IOVDD</sub> = 1.65 V ~ 5.25 V

High-speed Mode

項目	記号	最小	標準	最大	単位	条件
SCL クロック周波数	f <sub>SCL</sub>	-	-	3.4	MHz	
反復 START 条件のセットアップ時間	t <sub>SU_STA</sub>	160	-	-	ns	
START 条件のホールド時間	t <sub>HD_STA</sub>	160	-	-	ns	
SCL の Low レベル時間	t <sub>LOW</sub>	160	-	-	ns	
SCL の High レベル時間	t <sub>HIGH</sub>	60	-	-	ns	
データホールド時間	t <sub>HD_DAT</sub>	0	-	70	ns	
データセットアップ時間	t <sub>SU_DAT</sub>	10	-	-	ns	
STOP 条件のセットアップ時間	t <sub>SU_STO</sub>	160	-	-	ns	
SDA と SCL の立ち上がり時間	t <sub>r</sub>	-	-	80	ns	
SDA と SCL の立ち下がり時間	t <sub>f</sub>	-	-	80	ns	
許容容量負荷	C <sub>B</sub>	-	-	15	pF	
抑制できるスパイクパルス幅	t <sub>SP</sub>	0	-	10	ns	

Standard Mode, Fast Mode, and Fast Mode Plus

項目	記号	最小	標準	最大	単位	条件
SCL クロック周波数	f <sub>SCL</sub>	-	-	1	MHz	
反復 START 条件のセットアップ時間	t <sub>SU_STA</sub>	260	-	-	ns	
START 条件のホールド時間	t <sub>HD_STA</sub>	260	-	-	ns	
SCL の Low レベル時間	t <sub>LOW</sub>	500	-	-	ns	
SCL の High レベル時間	t <sub>HIGH</sub>	260	-	-	ns	
データホールド時間	t <sub>HD_DAT</sub>	0	-	-	ns	
データセットアップ時間	t <sub>SU_DAT</sub>	50	-	-	ns	
STOP 条件のセットアップ時間	t <sub>SU_STO</sub>	260	-	-	ns	
SDA と SCL の立ち上がり時間	t <sub>r</sub>	-	-	120	ns	
SDA と SCL の立ち下がり時間	t <sub>f</sub>	-	-	120	ns	
許容容量負荷	C <sub>B</sub>	-	-	60	pF	
抑制できるスパイクパルス幅	t <sub>SP</sub>	0	-	50	ns	

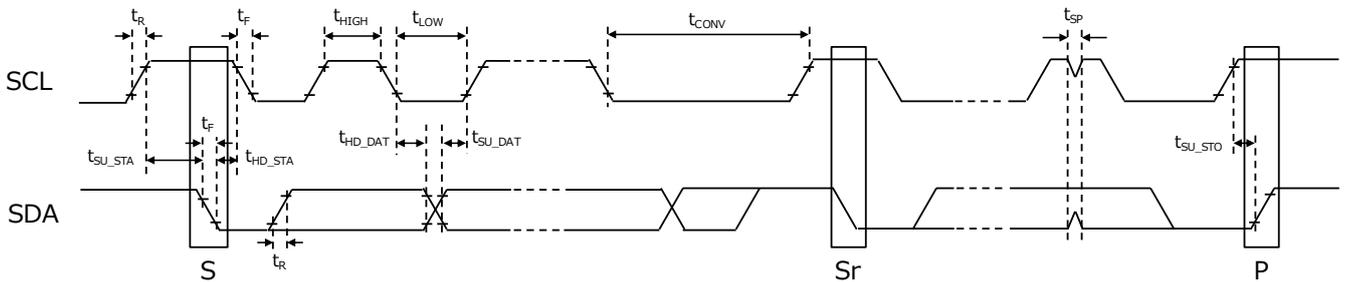


Figure 1.2 線シリアルバスタイミングチャート

## 用語の定義

## 積分非直線性 (INL) :

ゼロスケール(最初のコード遷移の 0.5 LSB 下)からフルスケール(最後のコード遷移の 0.5 LSB 上)まで引いた直線からそれぞれ個々のコードとの偏差として表します。この直線から任意のコードとの偏差は、各コード値の中央から測定します。

## 微分非直線性 (DNL) :

1 LSB の理想ステップからの最大偏差です。

## オフセット誤差 (OE) :

コード(000...000)からコード(000...001)の最初の遷移と、1.0 LSB の理想値との偏差です。

## フルスケール誤差 (FSE) :

コード(111...110)からコード(111...111)の最後の遷移と、 $V_{DD}-1.0$  LSB の理想値との偏差です。

## ゲイン誤差 (GE) :

フルスケール誤差とオフセット誤差との差です。

## 理想変換特性

Figure 2 に本製品の理想変換特性を示します。コード遷移は、1.0 LSB、2.0 LSB などのように、連続する整数の LSB 値で起こります。LSB の大きさは  $V_{DD}/4096$  です。また、A/D 変換出力コードのフォーマットはストレートバイナリです。

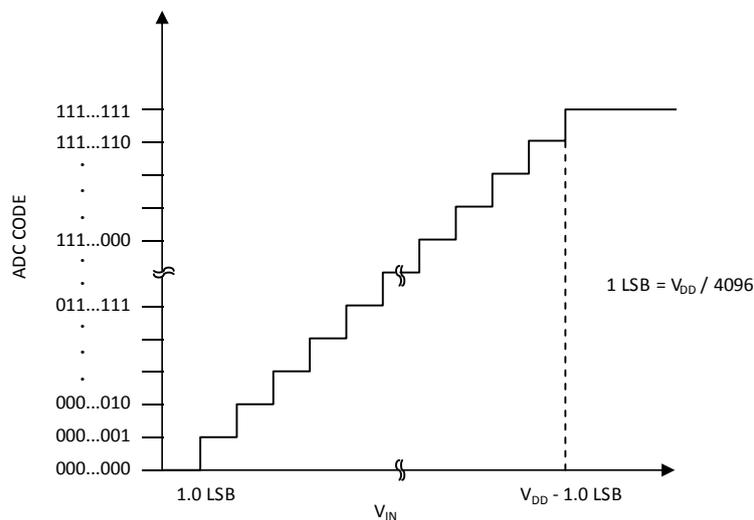


Figure 2. 理想変換特性

## 用語の定義 — 続き

## 高調波歪み (THD) :

出力における先頭 5 つの高調波成分の RMS の合計と、出力に現れる入力信号周波数の RMS レベルとの比。単位は dB または dBc。全高調波歪み THD は次式から算出します。

$$\text{THD} = 20 \cdot \log_{10} \sqrt{\frac{A_{f2}^2 + \dots + A_{f6}^2}{A_{f1}^2}}$$

$A_{f1}$  は出力における入力周波数の RMS パワー、 $A_{f2}$  から  $A_{f6}$  は先頭の 5 個の高調波の RMS パワーです。

## 信号対(ノイズ+歪み)比 (SINAD) :

サンプリング周波数の 1/2 以下の周波数において、歪みは含め、DC 成分を除いたその他すべてのスペクトラム成分の実効値に対する入力信号の実効値の比です。単位は dB。

## 有効ビット数 (ENOB) :

信号対(ノイズ+歪み)比の別の規定方法。ENOB は  $(\text{SINAD} - 1.76) / 6.02$  として定義され、このビット数を完全に満たす A/D コンバータと等価であることを意味します。

## 信号対ノイズ比 (SNR) :

サンプリング周波数の 1/2 以下の周波数において、歪みと DC 成分を除いたその他すべてのスペクトラム成分の実効値に対する入力信号の実効値の比です。単位は dB。

## スプリアス・フリー・ダイナミック・レンジ (SFDR) :

入力信号の実効値に対するピーク・スプリアス・スペクトラム成分の実効値との差で、単位は dB。(ここで言うピーク・スプリアス・スペクトラム成分は、出カスペクトラムに現れる任意のスプリアス信号で、入力に現れるものではありません。)

## 変換時間 (CONVERSION TIME) :

A/D コンバータが入力信号をデジタル値に変換するために必要な時間。

特性データ

(参考データ)

特に指定のない限り Ta = -40 °C ~ +125 °C(標準 : Ta = 25 °C), V<sub>DD</sub> = 2.7 V ~ 5.25 V, V<sub>IOVDD</sub> = 1.65 V ~ 5.25 V

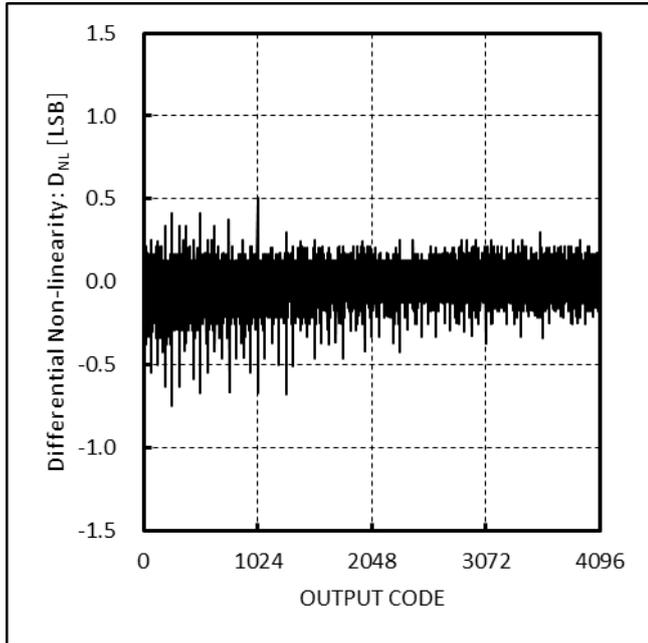


Figure 3. Differential Non-linearity vs OUTPUT CODE  
(V<sub>IOVDD</sub> = 3 V, V<sub>DD</sub> = 5 V)

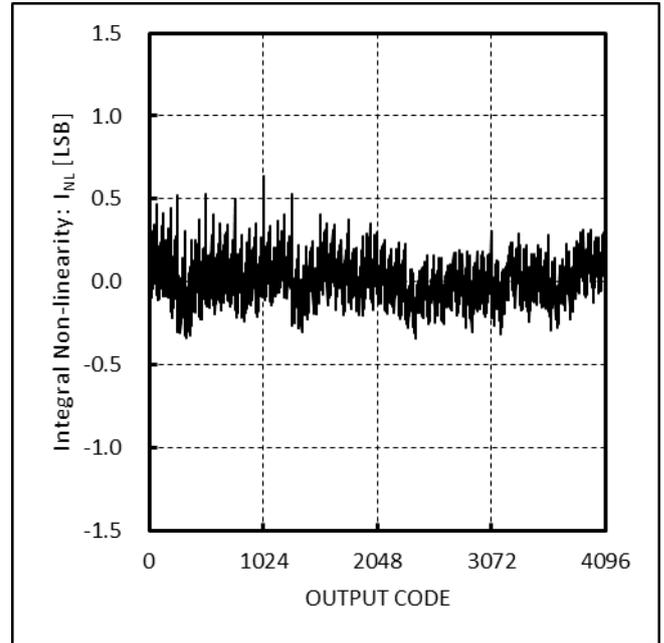


Figure 4. Integral Non-linearity vs OUTPUT CODE  
(V<sub>IOVDD</sub> = 3 V, V<sub>DD</sub> = 5 V)

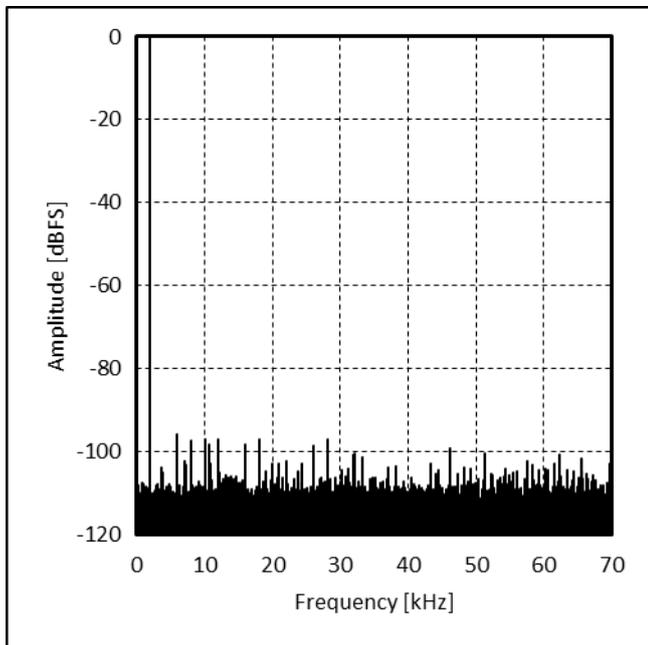


Figure 5. Amplitude vs Frequency  
(V<sub>IOVDD</sub> = 3 V, V<sub>DD</sub> = 5 V, f<sub>IN</sub> = 2 kHz)

特性データ — 続き

(参考データ)

特に指定のない限り  $T_a = -40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$ (標準:  $T_a = 25\text{ }^\circ\text{C}$ ),  $V_{DD} = 2.7\text{ V} \sim 5.25\text{ V}$ ,  $V_{IOVDD} = 1.65\text{ V} \sim 5.25\text{ V}$

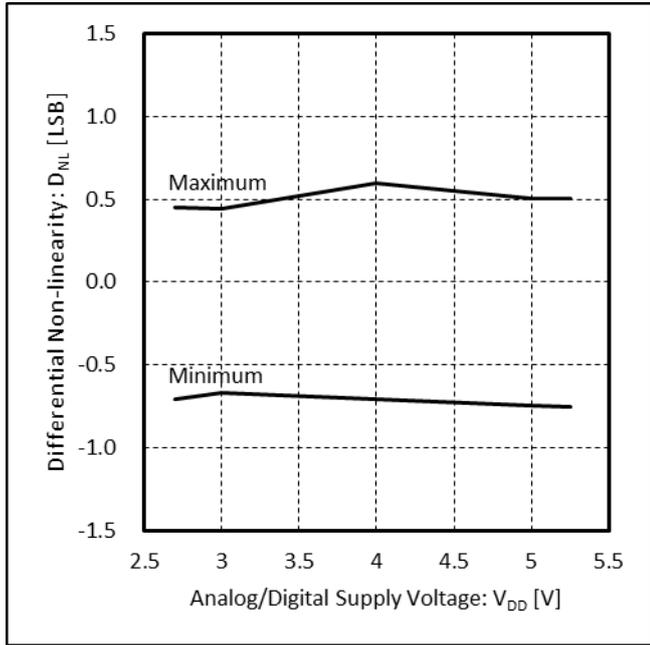


Figure 6.

Differential Non-linearity vs Analog/Digital Supply Voltage

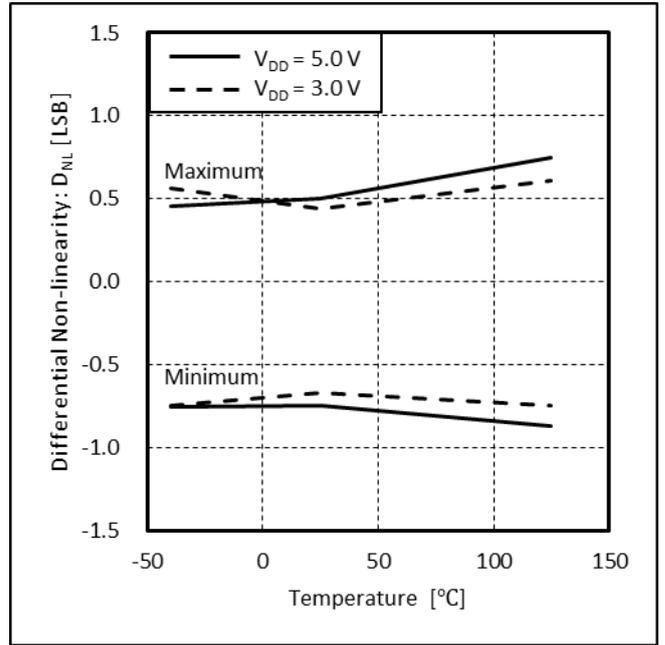


Figure 7. Differential Non-linearity vs Temperature

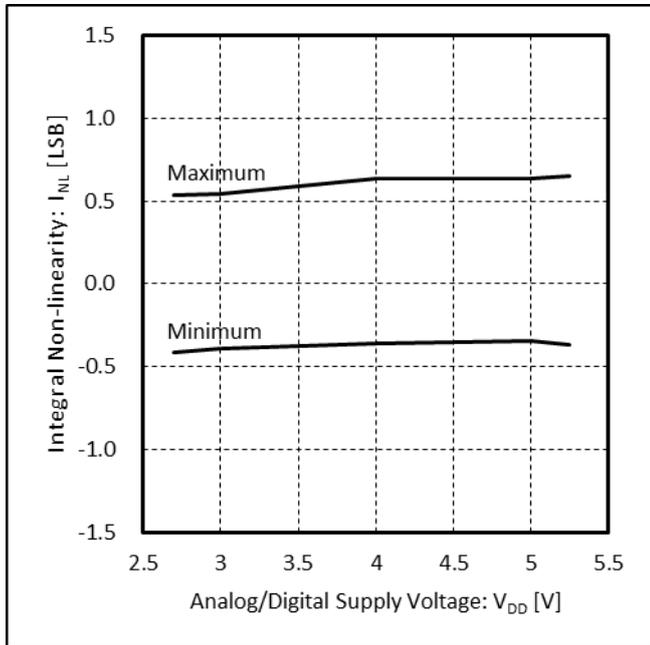


Figure 8.

Integral Non-linearity vs Analog/Digital Supply Voltage

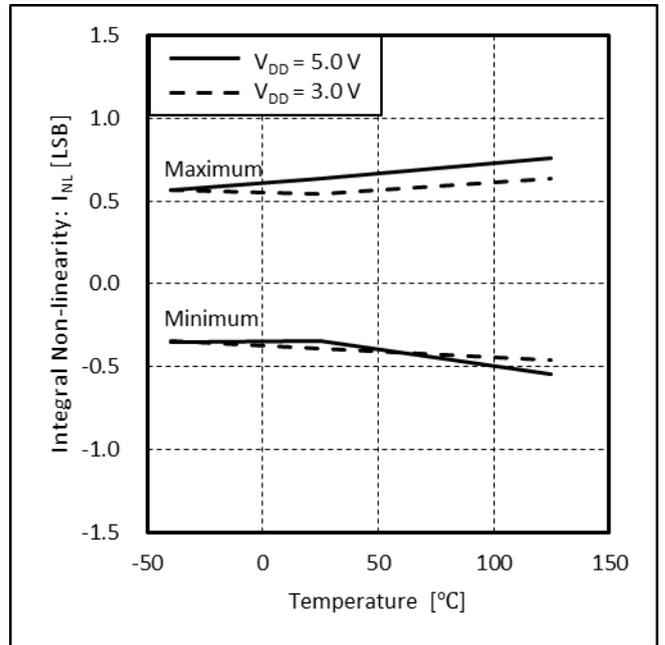


Figure 9. Integral Non-linearity vs Temperature

特性データ — 続き

(参考データ)

特に指定のない限り  $T_a = -40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$ (標準:  $T_a = 25\text{ }^\circ\text{C}$ ),  $V_{DD} = 2.7\text{ V} \sim 5.25\text{ V}$ ,  $V_{IOVDD} = 1.65\text{ V} \sim 5.25\text{ V}$

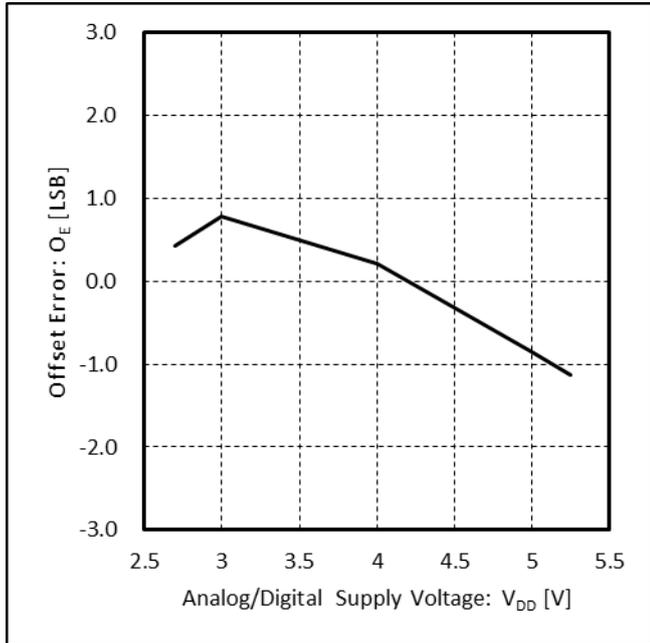


Figure 10. Offset Error vs Analog/Digital Supply Voltage

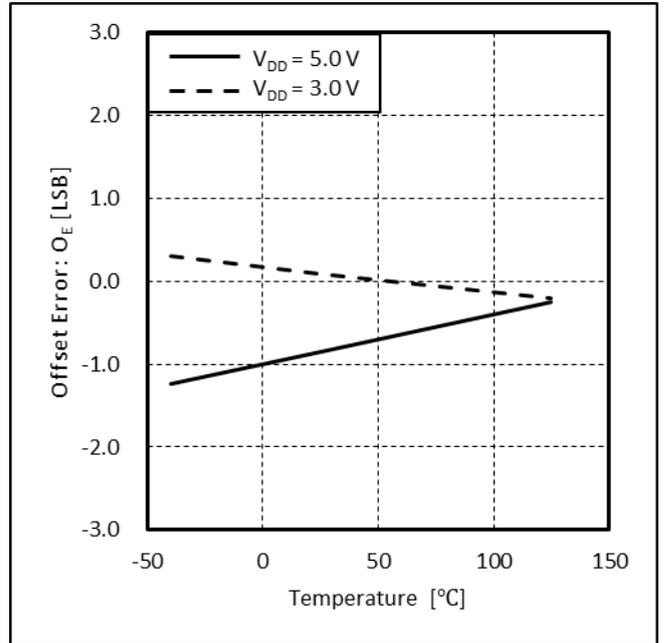


Figure 11. Offset Error vs Temperature

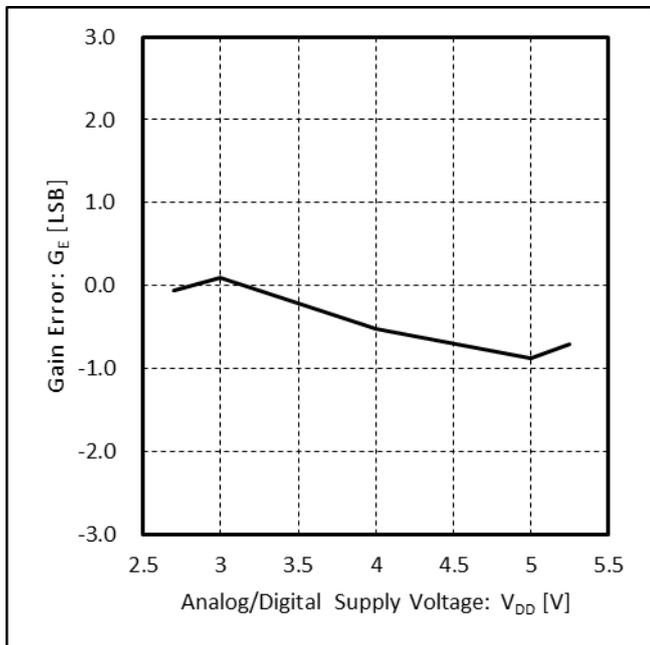


Figure 12. Gain Error vs Analog/Digital Supply Voltage

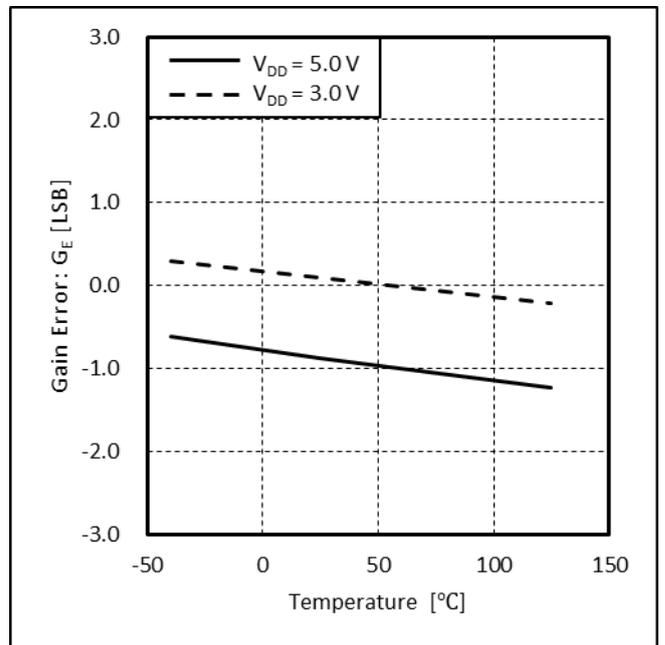


Figure 13. Gain Error vs Temperature

特性データ — 続き

(参考データ)

特に指定のない限り Ta = -40 °C ~ +125 °C(標準 : Ta = 25 °C), V<sub>DD</sub> = 2.7 V ~ 5.25 V, V<sub>IOVDD</sub> = 1.65 V ~ 5.25 V

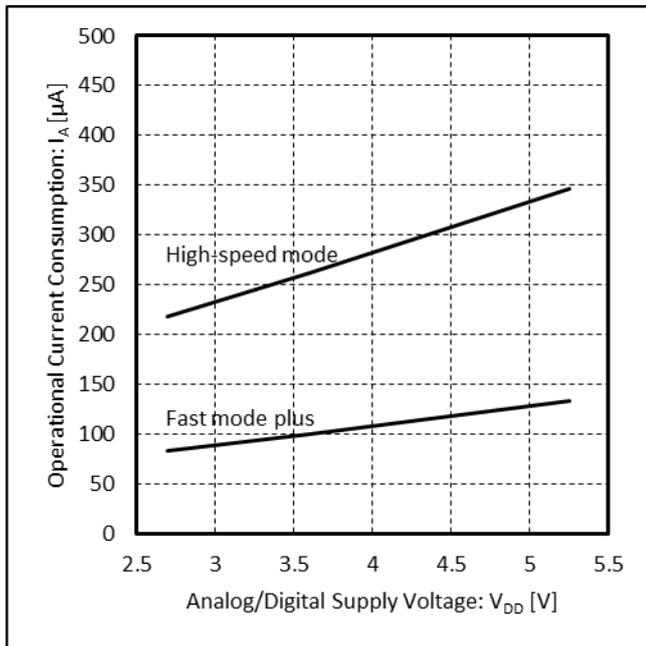


Figure 14. Operational Current Consumption vs Analog/Digital Supply Voltage

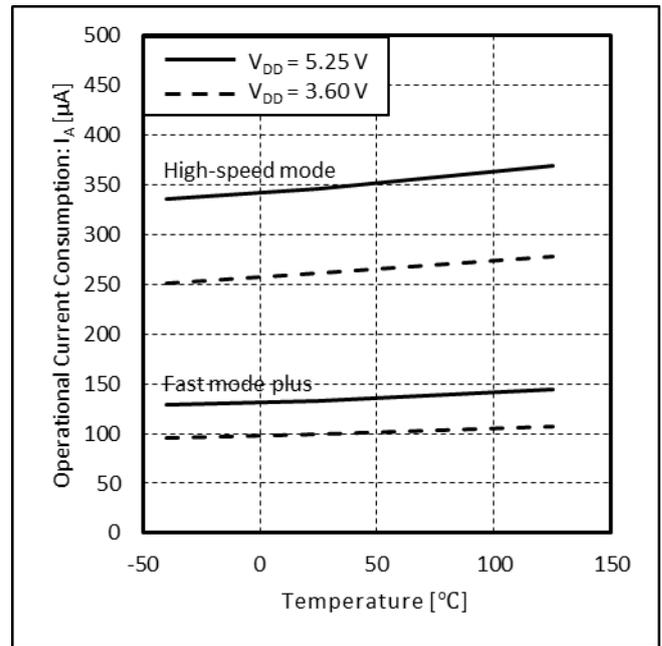


Figure 15. Operational Current Consumption vs Temperature

I<sup>2</sup>C 通信フォーマット

通信方法の分類

Item	Send Data
General Call	0x00
General Call + Software Reset	0x00 + 0x06
General Call + Address Update	0x00 + 0x04
High-speed Mode Configuration	0x08 or 0x09 or 0x0A or 0x0B or 0x0C or 0x0D or 0x0E or 0x0F
Read ADC at Manual or Auto Sequence Mode	7-bit Target Address, 1 (Read)
Write or Read Register	7-bit Target Address, 1 (Write) + OPCODE

OPCODE の種類

OPCODE	Command Description
0x10	Single Register Read
0x08	Single Register Write
0x18	Set bit
0x20	Clear bit
0x30	Reading a Continuous Block of Register
0x28	Writing a Continuous Block of Register

I<sup>2</sup>C の略称記号

OPCODE	Command Description
S	Start condition for the I <sup>2</sup> C frame
Sr	Restart condition for the I <sup>2</sup> C frame
P	Stop condition for the I <sup>2</sup> C frame
A	ACK (Low)
R	Read bit (High)
W	Write bit (Low)

1. AD 変換結果読み取り

AD 変換結果読み取りシーケンスでは、Manual mode と Auto Sequence mode の AD 変換結果を読み出すことができます。このシーケンスを送信する際は、データの直前に必ず t<sub>CONV</sub> (SCL = Low)を挿入してください。

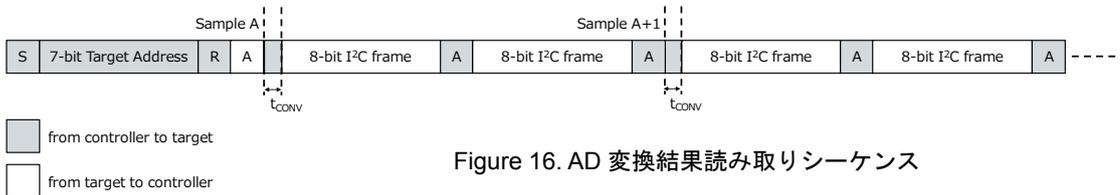


Figure 16. AD 変換結果読み取りシーケンス

I<sup>2</sup>C 通信フォーマット — 続き

## 2. Single Register Read

Single Register Read シーケンスでは、1 byte のレジスタデータを読み出すことができます。

S	7-bit Target Address	W	A	OPCODE 0x10	A	8-bit Register Address	A	Sr	7-bit Target Address	R	A	8-bit Register Data	A	P
---	----------------------	---	---	-------------	---	------------------------	---	----	----------------------	---	---	---------------------	---	---

Figure 17. Single Register Read シーケンス

## 3. Single Register Write

Single Register Write シーケンスでは、1 byte のデータをレジスタに書き込むことができます。

S	7-bit Target Address	W	A	OPCODE 0x08	A	8-bit Register Address	A	8-bit Register Data	A	P
---	----------------------	---	---	-------------	---	------------------------	---	---------------------	---	---

Figure 18. Single Register Write シーケンス

## 4. Set bit

Set bit シーケンスでは、指定した bit に 1 を書き込み、その他の bit は値を保持することができます。

例えば、レジスタのデータが 0xF0 (0b11110000) の時、0xCC (0b11001100) を指定すると、レジスタのデータが 0xFC (0b11111100) に更新されます。

S	7-bit Target Address	W	A	OPCODE 0x18	A	8-bit Register Address	A	8-bit Set bit position	A	P
---	----------------------	---	---	-------------	---	------------------------	---	------------------------	---	---

Figure 19. Set bit シーケンス

## 5. Clear bit

Clear bit シーケンスでは、指定した bit に 0 を書き込み、その他の bit は値を保持することができます。

例えば、レジスタのデータが 0xF0 (0b11110000) の時、0xCC (0b11001100) を指定すると、レジスタのデータが 0x30 (0b00110000) に更新されます。

S	7-bit Target Address	W	A	OPCODE 0x20	A	8-bit Register Address	A	8-bit Clear bit position	A	P
---	----------------------	---	---	-------------	---	------------------------	---	--------------------------	---	---

Figure 20. Clear bit シーケンス

## 6. Reading a Continuous Block of Register

Reading a Continuous Block of Register シーケンスでは、連続したアドレスのレジスタのデータを順に読み出すことができます。

このとき、読み出すデータの先頭は指定したアドレスのデータで、次のデータは 1 つ隣のレジスタのデータです。

S	7-bit Target Address	W	A	OPCODE 0x30	A	8-bit Register Address	A	Sr	7-bit Target Address	R	A	8-bit Register Data	A	8-bit Register Data	A	-----	P
---	----------------------	---	---	-------------	---	------------------------	---	----	----------------------	---	---	---------------------	---	---------------------	---	-------	---

Figure 21. Reading a Continuous Block of Register シーケンス

## 7. Writing a Continuous Block of Register

Writing a Continuous Block of Register シーケンスでは、連続したアドレスのレジスタにデータを順に書き込むことができます。

このとき、書き込むデータの先頭は指定したアドレスのレジスタに書き込まれ、次のデータは 1 つ隣のレジスタに書き込まれます。

S	7-bit Target Address	W	A	OPCODE 0x28	A	8-bit Register Address	A	8-bit Register Data	A	8-bit Register Data	A	-----	P
---	----------------------	---	---	-------------	---	------------------------	---	---------------------	---	---------------------	---	-------	---

Figure 22. Writing a Continuous Block of Register シーケンス

I<sup>2</sup>C ターゲットアドレス選択

ADDR 端子の設定に応じて I<sup>2</sup>C ターゲットアドレスを選択することができます。  
 I<sup>2</sup>C ターゲットアドレスは、電源起動時・RST レジスタによるソフトウェアリセット・General Call によるアドレスアップ  
 デートのいずれかにより更新されます。  
 ADDR 端子と I<sup>2</sup>C ターゲットアドレスの関係は Figure 23 及び Table 1 を参照してください。

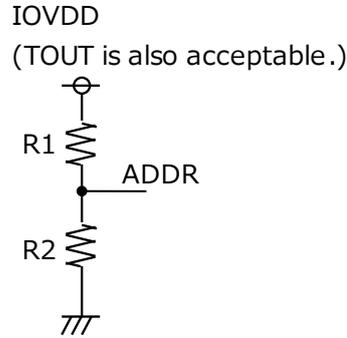


Figure 23. ADDR 入力回路

Table 1. I<sup>2</sup>C アドレス選択

R1 <sup>(Note 7)</sup>	R2 <sup>(Note 7)</sup>	I <sup>2</sup> C Address
0 Ω	OPEN	001 0111
100 kΩ	OPEN	001 0100
OPEN	0 Ω	001 0000
OPEN	100 kΩ	001 0011

(Note 7) R1,R2 の抵抗値許容差 ≤ ±5 %。

## レジスタマップ(Notes)

Address	Register Name	R/W	Initial	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x00	SYSTEM_STATUS	R/W	0x81	RSVD	SEQ_STATUS	I2C_SPEED	0	0	0	0	BOR
0x01	GENERAL_CFG	R/W	0x00	0	0	STATS_EN	DWC_EN	0	0	0	RST
0x02	DATA_CFG	R/W	0x00	FIX_PAT	0	APPEND_STATUS [1:0]		0	0	0	0
0x03	BUSY_CFG	R/W	0x00	BUSY_TIME [1:0]		0	0	0	0	0	0
0x04	OPMODE_CFG	R/W	0x00	0	CONV_MODE [1:0]		0	0	0	CLK_DIV [1:0]	
0x05	PIN_CFG	R/W	0x00	PIN_CFG [7:0]							
0x0B	GPO_VALUE	R/W	0x00	GPO_VALUE [7:0]							
0x10	SEQUENCE_CFG	R/W	0x00	0	0	0	SEQ_START	0	0	SEQ_MODE [1:0]	
0x11	MANUAL_CH_SEL	R/W	0x00	0	0	0	0	MANUAL_CHID [3:0]			
0x12	AUTO_SEQ_CH_SEL	R/W	0x00	AUTO_SEQ_CH_SEL [7:0]							
0x14	ALERT_CH_SEL	R/W	0x00	ALERT_CH_SEL [7:0]							
0x18	EVENT_FLAG	R	0x00	EVENT_FLAG [7:0]							
0x1A	EVENT_HIGH_FLAG	R/W	0x00	EVENT_HIGH_FLAG [7:0]							
0x1C	EVENT_LOW_FLAG	R/W	0x00	EVENT_LOW_FLAG [7:0]							
0x1E	EVENT_RGN	R/W	0x00	EVENT_RGN [7:0]							
0x20	HYSTERESIS_CH0	R/W	0xF0	HIGH_THRESHOLD_CH0 [3:0]				HYSTERESIS_CH0 [3:0]			
0x21	HIGH_TH_CH0	R/W	0xFF	HIGH_THRESHOLD_CH0 [11:4]							
0x22	EVENT_COUNT_CH0	R/W	0x00	LOW_THRESHOLD_CH0 [3:0]				EVENT_COUNT_CH0 [3:0]			
0x23	LOW_TH_CH0	R/W	0x00	LOW_THRESHOLD_CH0 [11:4]							
0x24	HYSTERESIS_CH1	R/W	0xF0	HIGH_THRESHOLD_CH1 [3:0]				HYSTERESIS_CH1 [3:0]			
0x25	HIGH_TH_CH1	R/W	0xFF	HIGH_THRESHOLD_CH1 [11:4]							
0x26	EVENT_COUNT_CH1	R/W	0x00	LOW_THRESHOLD_CH1 [3:0]				EVENT_COUNT_CH1 [3:0]			
0x27	LOW_TH_CH1	R/W	0x00	LOW_THRESHOLD_CH1 [11:4]							
0x28	HYSTERESIS_CH2	R/W	0xF0	HIGH_THRESHOLD_CH2 [3:0]				HYSTERESIS_CH2 [3:0]			
0x29	HIGH_TH_CH2	R/W	0xFF	HIGH_THRESHOLD_CH2 [11:4]							
0x2A	EVENT_COUNT_CH2	R/W	0x00	LOW_THRESHOLD_CH2 [3:0]				EVENT_COUNT_CH2 [3:0]			
0x2B	LOW_TH_CH2	R/W	0x00	LOW_THRESHOLD_CH2 [11:4]							
0x2C	HYSTERESIS_CH3	R/W	0xF0	HIGH_THRESHOLD_CH3 [3:0]				HYSTERESIS_CH3 [3:0]			
0x2D	HIGH_TH_CH3	R/W	0xFF	HIGH_THRESHOLD_CH3 [11:4]							
0x2E	EVENT_COUNT_CH3	R/W	0x00	LOW_THRESHOLD_CH3 [3:0]				EVENT_COUNT_CH3 [3:0]			
0x2F	LOW_TH_CH3	R/W	0x00	LOW_THRESHOLD_CH3 [11:4]							

(Note 8) 上記アドレス以外のアドレスへの書き込みはしないでください。表記が '0' のレジスタには、0 以外を書き込まないでください。

レジスタマップ(Notes) — 続き

Address	Register Name	R/W	Initial	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x30	HYSTERESIS_CH4	R/W	0xF0	HIGH_THRESHOLD_CH4 [3:0]				HYSTERESIS_CH4 [3:0]			
0x31	HIGH_TH_CH4	R/W	0xFF	HIGH_THRESHOLD_CH4 [11:4]							
0x32	EVENT_COUNT_CH4	R/W	0x00	LOW_THRESHOLD_CH4 [3:0]				EVENT_COUNT_CH4 [3:0]			
0x33	LOW_TH_CH4	R/W	0x00	LOW_THRESHOLD_CH4 [11:4]							
0x34	HYSTERESIS_CH5	R/W	0xF0	HIGH_THRESHOLD_CH5 [3:0]				HYSTERESIS_CH5 [3:0]			
0x35	HIGH_TH_CH5	R/W	0xFF	HIGH_THRESHOLD_CH5 [11:4]							
0x36	EVENT_COUNT_CH5	R/W	0x00	LOW_THRESHOLD_CH5 [3:0]				EVENT_COUNT_CH5 [3:0]			
0x37	LOW_TH_CH5	R/W	0x00	LOW_THRESHOLD_CH5 [11:4]							
0x38	HYSTERESIS_CH6	R/W	0xF0	HIGH_THRESHOLD_CH6 [3:0]				HYSTERESIS_CH6 [3:0]			
0x39	HIGH_TH_CH6	R/W	0xFF	HIGH_THRESHOLD_CH6 [11:4]							
0x3A	EVENT_COUNT_CH6	R/W	0x00	LOW_THRESHOLD_CH6 [3:0]				EVENT_COUNT_CH6 [3:0]			
0x3B	LOW_TH_CH6	R/W	0x00	LOW_THRESHOLD_CH6 [11:4]							
0x3C	HYSTERESIS_CH7	R/W	0xF0	HIGH_THRESHOLD_CH7 [3:0]				HYSTERESIS_CH7 [3:0]			
0x3D	HIGH_TH_CH7	R/W	0xFF	HIGH_THRESHOLD_CH7 [11:4]							
0x3E	EVENT_COUNT_CH7	R/W	0x00	LOW_THRESHOLD_CH7 [3:0]				EVENT_COUNT_CH7 [3:0]			
0x3F	LOW_TH_CH7	R/W	0x00	LOW_THRESHOLD_CH7 [11:4]							
0xA0	RECENT_CH0_LSB	R	0x00	LAST_VALUE_CH0 [3:0]				0	0	0	0
0xA1	RECENT_CH0_MSB	R	0x00	LAST_VALUE_CH0 [11:4]							
0xA2	RECENT_CH1_LSB	R	0x00	LAST_VALUE_CH1 [3:0]				0	0	0	0
0xA3	RECENT_CH1_MSB	R	0x00	LAST_VALUE_CH1 [11:4]							
0xA4	RECENT_CH2_LSB	R	0x00	LAST_VALUE_CH2 [3:0]				0	0	0	0
0xA5	RECENT_CH2_MSB	R	0x00	LAST_VALUE_CH2 [11:4]							
0xA6	RECENT_CH3_LSB	R	0x00	LAST_VALUE_CH3 [3:0]				0	0	0	0
0xA7	RECENT_CH3_MSB	R	0x00	LAST_VALUE_CH3 [11:4]							
0xA8	RECENT_CH4_LSB	R	0x00	LAST_VALUE_CH4 [3:0]				0	0	0	0
0xA9	RECENT_CH4_MSB	R	0x00	LAST_VALUE_CH4 [11:4]							
0xAA	RECENT_CH5_LSB	R	0x00	LAST_VALUE_CH5 [3:0]				0	0	0	0
0xAB	RECENT_CH5_MSB	R	0x00	LAST_VALUE_CH5 [11:4]							
0xAC	RECENT_CH6_LSB	R	0x00	LAST_VALUE_CH6 [3:0]				0	0	0	0
0xAD	RECENT_CH6_MSB	R	0x00	LAST_VALUE_CH6 [11:4]							
0xAE	RECENT_CH7_LSB	R	0x00	LAST_VALUE_CH7 [3:0]				0	0	0	0
0xAF	RECENT_CH7_MSB	R	0x00	LAST_VALUE_CH7 [11:4]							

(Note 8) 上記アドレス以外のアドレスへの書き込みはしないでください。表記が '0' のレジスタには、0 以外を書き込まないでください。

## レジスタマップ — 続き

## SYSTEM\_STATUS

Address	R/W	Initial	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x00	R/W	0x81	RSVD	SEQ_STATUS	I2C_SPEED	0	0	0	0	BOR

RSVD (Read Only)  
固定値、常時 1

## SEQ\_STATUS (Read Only)

Channel Sequencer の動作状態、AUTO\_SEQ\_CH\_SEL で 2 つ以上の CH を設定して、SEQ\_START = 1 なら in progress  
0: stop  
1: in progress

## I2C\_SPEED (Read Only)

I<sup>2</sup>C の状態  
0: High-speed Mode 以外  
1: High-speed Mode

## BOR

Brown out reset の状態、1 を書き込むと 0 になる  
0: BOR 発生なし  
1: BOR 発生

## GENERAL\_CFG

Address	R/W	Initial	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x01	R/W	0x00	0	0	STATS_EN	DWC_EN	0	0	0	RST

## STATS\_EN

Address A0 ~ AF の LAST\_VALUE の更新イネーブル  
0: LAST\_VALUE を更新しない  
1: LAST\_VALUE を更新

## DWC\_EN

Digital Window Comparator のイネーブル  
0: Disable  
1: Enable

## RST

ソフトウェアリセット  
0: 通常動作  
1: ソフトウェアリセットと I<sup>2</sup>C アドレスの更新を実行

## DATA\_CFG

Address	R/W	Initial	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x02	R/W	0x00	FIX_PAT	0	APPEND_STATUS [1:0]	0	0	0	0	0

## FIX\_PAT

AD 変換結果を 0xA5A にする  
0: Disable  
1: Enable

## APPEND\_STATUS

AD 変換結果読み取りシーケンスの出力形式  
00: 12 bit Data 出力 + 4'b0000  
01: 12 bit Data 出力 + 4 bit Channel ID  
10: 12 bit Data 出力 + 3'b100 + ALERT  
11: Reserved

レジスタマップ — 続き

BUSY\_CFG

Address	R/W	Initial	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x03	R/W	0x00	BUSY_TIME [1:0]		0	0	0	0	0	0

BUSY\_TIME

AD 変換時間

00: 1.2  $\mu$ s

01: Reserved

10: Reserved

11: 6.0  $\mu$ s

OPMODE\_CFG

Address	R/W	Initial	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x04	R/W	0x00	0	CONV_MODE [1:0]		0	0	0	CLK_DIV [1:0]	

CONV\_MODE

AD 変換モード選択

00: Manual Mode or Auto Sequence Mode

01: Autonomous Mode

10: Reserved

11: Reserved

CLK\_DIV

Autonomous Mode のインターバル時間設定

00: 0.75 ms

01: 1.5 ms

10: 3 ms

11: 6 ms

PIN\_CFG

Address	R/W	Initial	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x05	R/W	0x00	PIN_CFG [7:0]							

PIN\_CFG

IN0 ~ IN7 の GPO イネーブル

Bit0 が IN0 に、Bit7 が IN7 に対応

0: Disable

1: Enable

GPO\_VALUE

Address	R/W	Initial	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x0B	R/W	0x00	GPO_VALUE [7:0]							

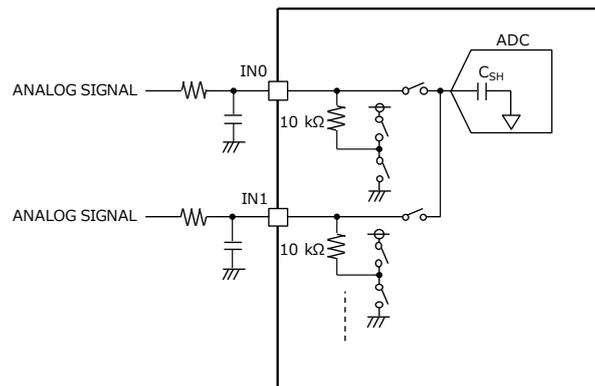
GPO\_VALUE

IN0 ~ IN7 の GPO 出力設定

Bit0 が IN0 に、Bit7 が IN7 に対応

0: Low

1: High



レジスタマップ — 続き

SEQUENCE\_CFG

Address	R/W	Initial	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x10	R/W	0x00	0	0	0	SEQ_START	0	0	SEQ_MODE [1:0]	

SEQ\_START

Channel Sequencer の Start/Stop

- 0: Stop
- 1: Start

SEQ\_MODE

Sequence Mode の選択

- 00: Manual Mode、MANUAL\_CHID で Channel 選択
- 01: Auto Sequence Mode or Autonomous Mode、AUTO\_SEQ\_CH\_SEL で Channel 選択
- 10: Reserved
- 11: Reserved

MANUAL\_CH\_SEL

Address	R/W	Initial	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x11	R/W	0x00	0	0	0	0	MANUAL_CHID [3:0]			

MANUAL\_CHID

Manual Mode 用の Channel セレクタ

- 0000: IN0 選択
- 0001: IN1 選択
- 0010: IN2 選択
- 0011: IN3 選択
- 0100: IN4 選択
- 0101: IN5 選択
- 0110: IN6 選択
- 0111: IN7 選択
- 1xxx: Reserved

AUTO\_SEQ\_CH\_SEL

Address	R/W	Initial	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x12	R/W	0x00	AUTO_SEQ_CH_SEL [7:0]							

AUTO\_SEQ\_CH\_SEL

Auto Sequence Mode、Autonomous Mode 用の Channel セレクタ

選択した Channel の組み合わせで順番に AD 変換を実施する

Bit0 が IN0 に、Bit7 が IN7 に対応

- 0: 非選択
- 1: 選択

レジスタマップ — 続き

ALERT\_CH\_SEL

Address	R/W	Initial	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x14	R/W	0x00	ALERT_CH_SEL [7:0]							

ALERT\_CH\_SEL

ALERT 端子に出力する ALERT フラグの Channel 選択、Bit0 が IN0 に、Bit7 が IN7 に対応

- 0: 非選択
- 1: 選択

EVENT\_FLAG

Address	R/W	Initial	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x18	R	0x00	EVENT_FLAG [7:0]							

EVENT\_FLAG

各 Channel の ALERT フラグ、Bit0 が IN0 に、Bit7 が IN7 に対応

- 0: フラグなし
- 1: フラグ発生

EVENT\_HIGH\_FLAG

Address	R/W	Initial	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x1A	R/W	0x00	EVENT_HIGH_FLAG [7:0]							

EVENT\_HIGH\_FLAG

各 Channel の High 側 ALERT フラグ、1 を書き込むとフラグクリアされて 0 になる、Bit0 が IN0 に、Bit7 が IN7 に対応

- 0: フラグなし
- 1: フラグ発生

EVENT\_LOW\_FLAG

Address	R/W	Initial	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x1C	R/W	0x00	EVENT_LOW_FLAG [7:0]							

EVENT\_LOW\_FLAG

各 Channel の Low 側 ALERT フラグ、1 を書き込むとフラグクリアされて 0 になる、Bit0 が IN0 に、Bit7 が IN7 に対応

- 0: フラグなし
- 1: フラグ発生

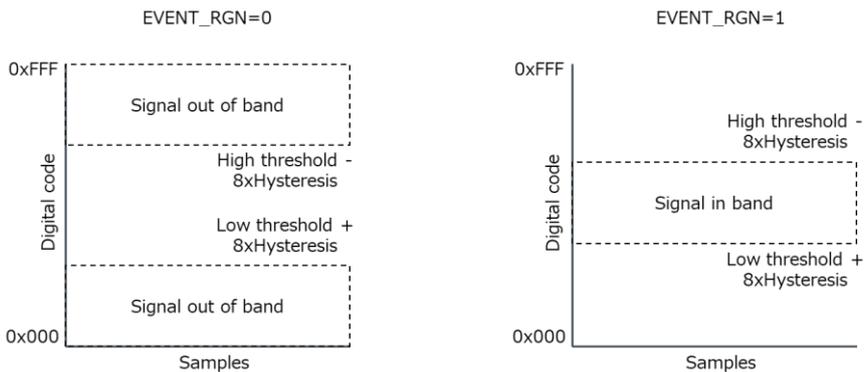
EVENT\_RGN

Address	R/W	Initial	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x1E	R/W	0x00	EVENT_RGN [7:0]							

EVENT\_RGN

Digital Window Comparator の内側と外側の切り替え、Bit0 が IN0 に、Bit7 が IN7 に対応

- 0: 外側検出
- 1: 内側検出



## レジスタマップ — 続き

## HYSTERESIS\_CH0, HIGH\_TH\_CH0

Address	R/W	Initial	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x20	R/W	0xF0	HIGH_THRESHOLD_CH0 [3:0]				HYSTERESIS_CH0 [3:0]			
0x21	R/W	0xFF	HIGH_THRESHOLD_CH0 [11:4]							

## EVENT\_COUNT\_CH0, LOW\_TH\_CH0

Address	R/W	Initial	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x22	R/W	0x00	LOW_THRESHOLD_CH0 [3:0]				EVENT_COUNT_CH0 [3:0]			
0x23	R/W	0x00	LOW_THRESHOLD_CH0 [11:4]							

## HIGH\_THRESHOLD\_CH0

CH0 の上側閾値設定

## HYSTERESIS\_CH0

CH0 閾値のヒステリシス、4 bit の設定を 3 bit 左シフトして使う

## LOW\_THRESHOLD\_CH0

CH0 の下側閾値設定

## EVENT\_COUNT\_CH0

CH0 のイベントカウンタ設定

AD 変換結果が閾値を設定値+1 回超えたらフラグを立てる

## HYSTERESIS\_CH1, HIGH\_TH\_CH1

Address	R/W	Initial	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x24	R/W	0xF0	HIGH_THRESHOLD_CH1 [3:0]				HYSTERESIS_CH1 [3:0]			
0x25	R/W	0xFF	HIGH_THRESHOLD_CH1 [11:4]							

## EVENT\_COUNT\_CH1, LOW\_TH\_CH1

Address	R/W	Initial	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x26	R/W	0x00	LOW_THRESHOLD_CH1 [3:0]				EVENT_COUNT_CH1 [3:0]			
0x27	R/W	0x00	LOW_THRESHOLD_CH1 [11:4]							

## HIGH\_THRESHOLD\_CH1

CH1 の上側閾値設定

## HYSTERESIS\_CH1

CH1 閾値のヒステリシス、4 bit の設定を 3 bit 左シフトして使う

## LOW\_THRESHOLD\_CH1

CH1 の下側閾値設定

## EVENT\_COUNT\_CH1

CH1 のイベントカウンタ設定

AD 変換結果が閾値を設定値+1 回超えたらフラグを立てる

## レジスタマップ — 続き

## HYSTERESIS\_CH2, HIGH\_TH\_CH2

Address	R/W	Initial	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x28	R/W	0xF0	HIGH_THRESHOLD_CH2 [3:0]				HYSTERESIS_CH2 [3:0]			
0x29	R/W	0xFF	HIGH_THRESHOLD_CH2 [11:4]							

## EVENT\_COUNT\_CH2, LOW\_TH\_CH2

Address	R/W	Initial	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x2A	R/W	0x00	LOW_THRESHOLD_CH2 [3:0]				EVENT_COUNT_CH2 [3:0]			
0x2B	R/W	0x00	LOW_THRESHOLD_CH2 [11:4]							

## HIGH\_THRESHOLD\_CH2

CH2の上側閾値設定

## HYSTERESIS\_CH2

CH2 閾値のヒステリシス、4 bit の設定を 3 bit 左シフトして使う

## LOW\_THRESHOLD\_CH2

CH2の下側閾値設定

## EVENT\_COUNT\_CH2

CH2のイベントカウンタ設定

AD 変換結果が閾値を設定値+1 回超えたらフラグを立てる

## HYSTERESIS\_CH3, HIGH\_TH\_CH3

Address	R/W	Initial	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x2C	R/W	0xF0	HIGH_THRESHOLD_CH3 [3:0]				HYSTERESIS_CH3 [3:0]			
0x2D	R/W	0xFF	HIGH_THRESHOLD_CH3 [11:4]							

## EVENT\_COUNT\_CH3, LOW\_TH\_CH3

Address	R/W	Initial	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x2E	R/W	0x00	LOW_THRESHOLD_CH3 [3:0]				EVENT_COUNT_CH3 [3:0]			
0x2F	R/W	0x00	LOW_THRESHOLD_CH3 [11:4]							

## HIGH\_THRESHOLD\_CH3

CH3の上側閾値設定

## HYSTERESIS\_CH3

CH3 閾値のヒステリシス、4 bit の設定を 3 bit 左シフトして使う

## LOW\_THRESHOLD\_CH3

CH3の下側閾値設定

## EVENT\_COUNT\_CH3

CH3のイベントカウンタ設定

AD 変換結果が閾値を設定値+1 回超えたらフラグを立てる

## レジスタマップ — 続き

## HYSTERESIS\_CH4, HIGH\_TH\_CH4

Address	R/W	Initial	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x30	R/W	0xF0	HIGH_THRESHOLD_CH4 [3:0]				HYSTERESIS_CH4 [3:0]			
0x31	R/W	0xFF	HIGH_THRESHOLD_CH4 [11:4]							

## EVENT\_COUNT\_CH4, LOW\_TH\_CH4

Address	R/W	Initial	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x32	R/W	0x00	LOW_THRESHOLD_CH4 [3:0]				EVENT_COUNT_CH4 [3:0]			
0x33	R/W	0x00	LOW_THRESHOLD_CH4 [11:4]							

## HIGH\_THRESHOLD\_CH4

CH4 の上側閾値設定

## HYSTERESIS\_CH4

CH4 閾値のヒステリシス、4 bit の設定を 3 bit 左シフトして使う

## LOW\_THRESHOLD\_CH4

CH4 の下側閾値設定

## EVENT\_COUNT\_CH4

CH4 のイベントカウンタ設定

AD 変換結果が閾値を設定値+1 回超えたらフラグを立てる

## HYSTERESIS\_CH5, HIGH\_TH\_CH5

Address	R/W	Initial	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x34	R/W	0xF0	HIGH_THRESHOLD_CH5 [3:0]				HYSTERESIS_CH5 [3:0]			
0x35	R/W	0xFF	HIGH_THRESHOLD_CH5 [11:4]							

## EVENT\_COUNT\_CH5, LOW\_TH\_CH5

Address	R/W	Initial	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x36	R/W	0x00	LOW_THRESHOLD_CH5 [3:0]				EVENT_COUNT_CH5 [3:0]			
0x37	R/W	0x00	LOW_THRESHOLD_CH5 [11:4]							

## HIGH\_THRESHOLD\_CH5

CH5 の上側閾値設定

## HYSTERESIS\_CH5

CH5 閾値のヒステリシス、4 bit の設定を 3 bit 左シフトして使う

## LOW\_THRESHOLD\_CH5

CH5 の下側閾値設定

## EVENT\_COUNT\_CH5

CH5 のイベントカウンタ設定

AD 変換結果が閾値を設定値+1 回超えたらフラグを立てる

## レジスタマップ — 続き

## HYSTERESIS\_CH6, HIGH\_TH\_CH6

Address	R/W	Initial	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x38	R/W	0xF0	HIGH_THRESHOLD_CH6 [3:0]				HYSTERESIS_CH6 [3:0]			
0x39	R/W	0xFF	HIGH_THRESHOLD_CH6 [11:4]							

## EVENT\_COUNT\_CH6, LOW\_TH\_CH6

Address	R/W	Initial	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x3A	R/W	0x00	LOW_THRESHOLD_CH6 [3:0]				EVENT_COUNT_CH6 [3:0]			
0x3B	R/W	0x00	LOW_THRESHOLD_CH6 [11:4]							

## HIGH\_THRESHOLD\_CH6

CH6の上側閾値設定

## HYSTERESIS\_CH6

CH6 閾値のヒステリシス、4 bit の設定を 3 bit 左シフトして使う

## LOW\_THRESHOLD\_CH6

CH6の下側閾値設定

## EVENT\_COUNT\_CH6

CH6のイベントカウンタ設定

AD 変換結果が閾値を設定値+1 回超えたらフラグを立てる

## HYSTERESIS\_CH7, HIGH\_TH\_CH7

Address	R/W	Initial	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x3C	R/W	0xF0	HIGH_THRESHOLD_CH7 [3:0]				HYSTERESIS_CH7 [3:0]			
0x3D	R/W	0xFF	HIGH_THRESHOLD_CH7 [11:4]							

## EVENT\_COUNT\_CH7, LOW\_TH\_CH7

Address	R/W	Initial	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x3E	R/W	0x00	LOW_THRESHOLD_CH7 [3:0]				EVENT_COUNT_CH7 [3:0]			
0x3F	R/W	0x00	LOW_THRESHOLD_CH7 [11:4]							

## HIGH\_THRESHOLD\_CH7

CH7の上側閾値設定

## HYSTERESIS\_CH7

CH7 閾値のヒステリシス、4 bit の設定を 3 bit 左シフトして使う

## LOW\_THRESHOLD\_CH7

CH7の下側閾値設定

## EVENT\_COUNT\_CH7

CH7のイベントカウンタ設定

AD 変換結果が閾値を設定値+1 回超えたらフラグを立てる

## レジスタマップ — 続き

## RECENT\_CH0\_LSB, RECENT\_CH0\_MSB

Address	R/W	Initial	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0xA0	R	0x00	LAST_VALUE_CH0 [3:0]				0	0	0	0
0xA1	R	0x00	LAST_VALUE_CH0 [11:4]							

## LAST\_VALUE\_CH0

CH0 の直近の ADC 測定データ

## RECENT\_CH1\_LSB, RECENT\_CH1\_MSB

Address	R/W	Initial	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0xA2	R	0x00	LAST_VALUE_CH1 [3:0]				0	0	0	0
0xA3	R	0x00	LAST_VALUE_CH1 [11:4]							

## LAST\_VALUE\_CH1

CH1 の直近の ADC 測定データ

## RECENT\_CH2\_LSB, RECENT\_CH2\_MSB

Address	R/W	Initial	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0xA4	R	0x00	LAST_VALUE_CH2 [3:0]				0	0	0	0
0xA5	R	0x00	LAST_VALUE_CH2 [11:4]							

## LAST\_VALUE\_CH2

CH2 の直近の ADC 測定データ

## RECENT\_CH3\_LSB, RECENT\_CH3\_MSB

Address	R/W	Initial	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0xA6	R	0x00	LAST_VALUE_CH3 [3:0]				0	0	0	0
0xA7	R	0x00	LAST_VALUE_CH3 [11:4]							

## LAST\_VALUE\_CH3

CH3 の直近の ADC 測定データ

## レジスタマップ — 続き

## RECENT\_CH4\_LSB, RECENT\_CH4\_MSB

Address	R/W	Initial	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0xA8	R	0x00	LAST_VALUE_CH4 [3:0]				0	0	0	0
0xA9	R	0x00	LAST_VALUE_CH4 [11:4]							

## LAST\_VALUE\_CH4

CH4 の直近の ADC 測定データ

## RECENT\_CH5\_LSB, RECENT\_CH5\_MSB

Address	R/W	Initial	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0xAA	R	0x00	LAST_VALUE_CH5 [3:0]				0	0	0	0
0xAB	R	0x00	LAST_VALUE_CH5 [11:4]							

## LAST\_VALUE\_CH5

CH5 の直近の ADC 測定データ

## RECENT\_CH6\_LSB, RECENT\_CH6\_MSB

Address	R/W	Initial	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0xAC	R	0x00	LAST_VALUE_CH6 [3:0]				0	0	0	0
0xAD	R	0x00	LAST_VALUE_CH6 [11:4]							

## LAST\_VALUE\_CH6

CH6 の直近の ADC 測定データ

## RECENT\_CH7\_LSB, RECENT\_CH7\_MSB

Address	R/W	Initial	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0xAE	R	0x00	LAST_VALUE_CH7 [3:0]				0	0	0	0
0xAF	R	0x00	LAST_VALUE_CH7 [11:4]							

## LAST\_VALUE\_CH7

CH7 の直近の ADC 測定データ

制御シーケンス

1. 電源投入手順

VDD, IOVDD が別電源から供給される場合、電源立ち上げ順序は任意です。  
I<sup>2</sup>C によるコマンド制御はすべての電源が供給されてから t<sub>PU</sub> 後に行ってください。

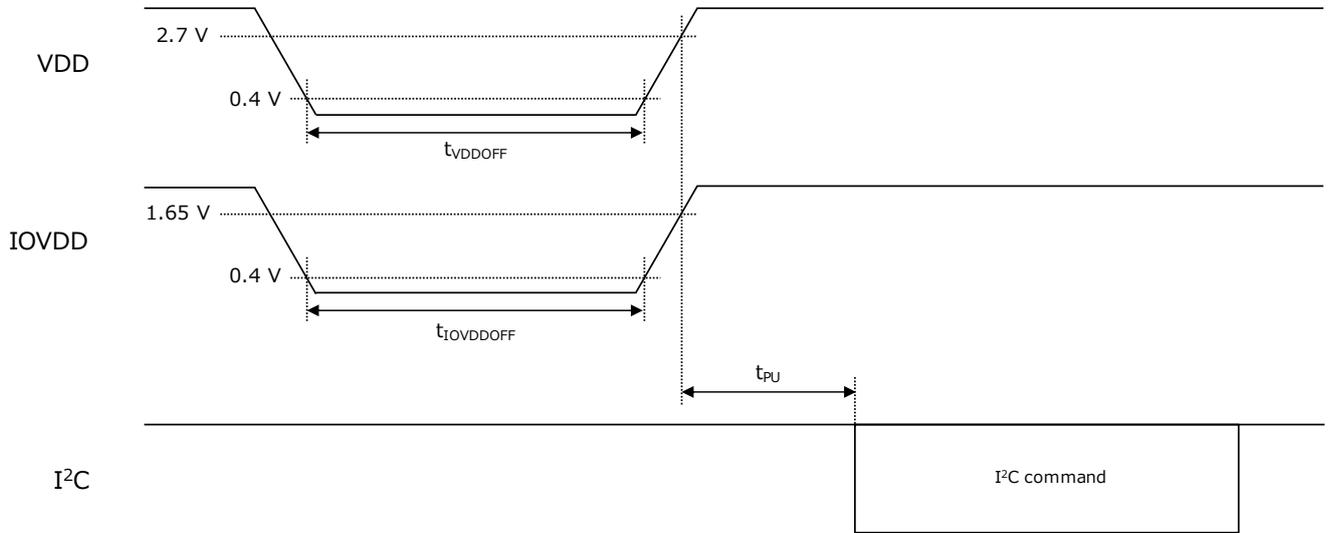


Figure 24. 電源立ち上げシーケンス

項目	記号	最小	標準	最大	単位	条件
VDD off 時間	t <sub>VDDOFF</sub>	1	-	-	ms	
IOVDD off 時間	t <sub>IOVDDOFF</sub>	1	-	-	ms	
電源立ち上がりから I <sup>2</sup> C コマンド受付可能時間	t <sub>PU</sub>	0.1	-	-	ms	

制御シーケンス — 続き

2. AD 変換手順

AD 変換モードには下記の 3 通りがあります。

Manual Mode	IN0 ~ IN7 の中で 1 つだけチャンネルを選択可能。 AD 変換結果読み取りシーケンスを送信するたびに、AD 変換を行います。
Auto Sequence Mode	IN0 ~ IN7 の中で複数のチャンネルを選択可能。 AD 変換結果読み取りシーケンスを送信するたびに、次のチャンネルの AD 変換を行います。
Autonomous Mode	IN0 ~ IN7 の中で 1 つまたは複数のチャンネルを選択可能。 AD 変換結果読み取りシーケンスなしで、一定区間ごとに自動で AD 変換を行います。

2.1. Manual Mode

このモードでは AD 変換結果読み取りシーケンスを送るごとに、IN0 ~ IN7 の中で選択したチャンネルの AD 変換を行います。

チャンネルを変更する場合は、MANUAL\_CHID レジスタで再度設定してください。

Table 2. Manual Mode 測定フロー例

	Register Name	Address	Data
Step1	CONV_MODE SEQ_MODE	0x04 0x10	0x00 0x00
Step2	MANUAL_CHID	0x11	0x00: IN0 Selected 0x01: IN1 Selected 0x02: IN2 Selected 0x03: IN3 Selected 0x04: IN4 Selected 0x05: IN5 Selected 0x06: IN6 Selected 0x07: IN7 Selected
Step3	Target Address + R (High)		Read

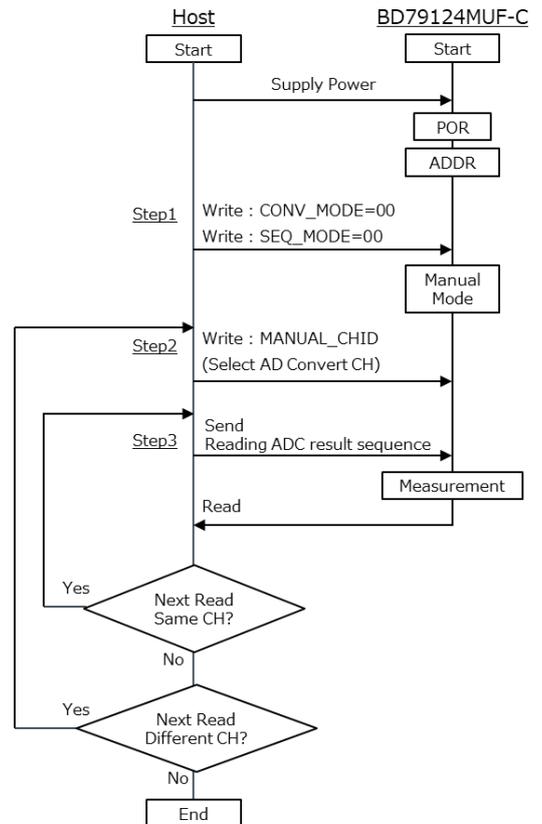


Figure 25. Manual Mode 測定フロー例

AD 変換結果読み取りシーケンスは、Figure 26 で示すような I<sup>2</sup>C コマンドを指します。

AD 変換結果は MSB が先頭の前詰めです。後ろの 4 bit は固定値 0 出力です。

DATA\_CFG レジスタの APPEND\_STATUS レジスタを設定することで、後ろの 4 bit に CHID またはフラグを出力できます。

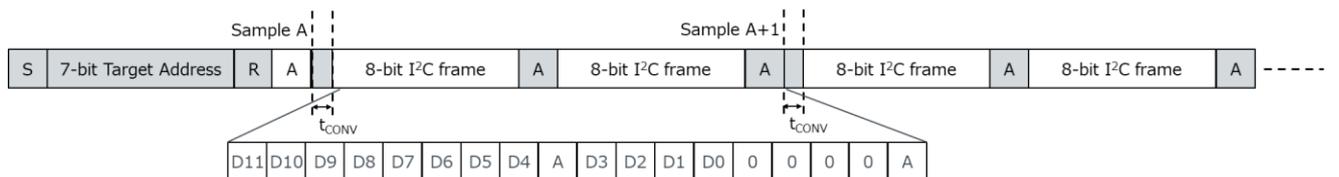


Figure 26. AD 変換結果読み取りシーケンス

2 AD 変換手順 — 続き

2.2. Auto Sequence Mode

このモードでは AD 変換結果読み取りシーケンスを送るごとに、IN0 ~ IN7 の中で選択したチャンネルを順に AD 変換を行います。選択するチャンネルを変更する場合は、SEQ\_START レジスタを 0 にして、AUTO\_SEQ\_CH\_SEL レジスタで再度設定し、その後、SEQ\_START レジスタを 1 にしてください。Option の APPEND\_STATUS レジスタを使用することで、どのチャンネルを AD 変換したのかを知ることができます。

Table 3. Auto Sequence Mode 測定フロー例

	Register Name	Address	Data
Step1	CONV_MODE	0x04	0x00
	SEQ_MODE	0x10	0x01
Step2	AUTO_SEQ_CH_SEL	0x12	SELECT
(Option)	APPEND_STATUS	0x02	0x00: OFF 0x10: ON
Step3	SEQ_START	0x10	0x11
Step4	Target Address + R (High)		Read
Step5	Next Read Different CH SEL? = Yes		
	SEQ_START	0x10	0x10

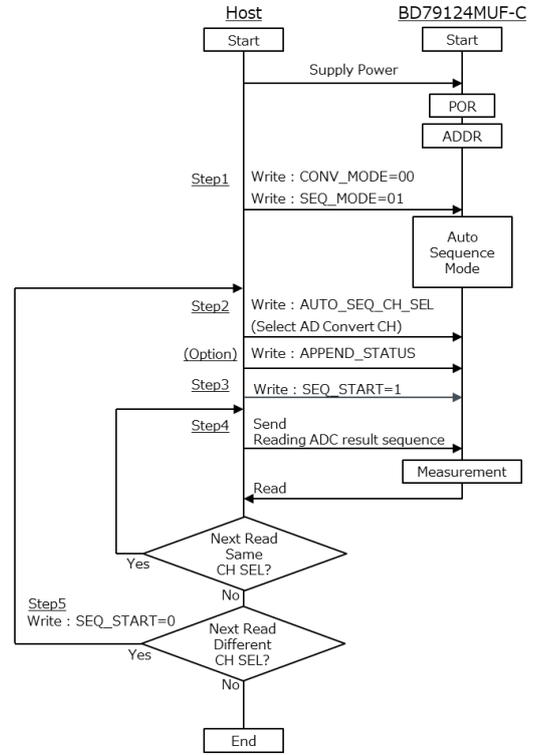


Figure 27. Auto Sequence Mode 測定フロー例

2.2.1. AUTO\_SEQ\_CH\_SEL

例えば、AUTO\_SEQ\_CH\_SEL レジスタを 0x96 に設定した場合、つまり CH1,2,4,7 を選択した場合は、CH1 を AD 変換し、結果を読み取り後、CH2 の AD 変換を実施します。CH7 の AD 変換後は CH1 を AD 変換する動作となります。

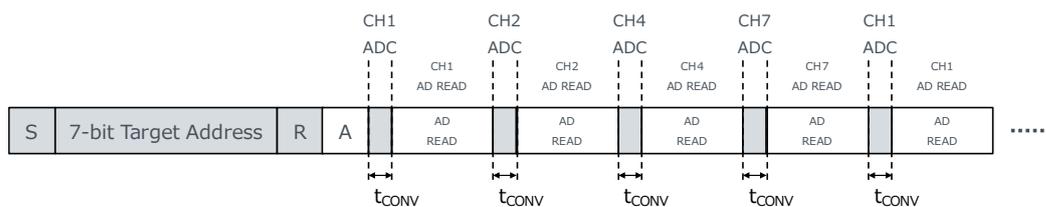


Figure 28. Auto Sequence Mode 動作例

2.2.2. APPEND\_STATUS

例えば、APPEND\_STATUS レジスタを 0b10 に設定して、CH4 を AD 変換した場合、12 bit の AD 変換結果に加え、変換した CH4 を示す 0b0100 が出力されます。CH0 の場合は 0b0000、CH7 の場合は 0b0111 となります。

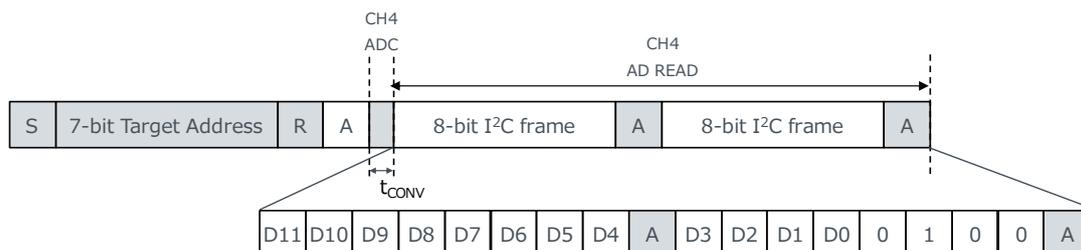


Figure 29. APPEND\_STATUS 出力例

2 AD 変換手順 — 続き

2.3. Autonomous Mode

このモードではAD変換結果読み取りシーケンスなしで、一定区間ごとに自動でAD変換を行います。変換結果はLAST\_VALUE\_CHx (x = 0 ~ 7)レジスタで確認することができ、STATS\_ENレジスタを0にすると変換結果を更新しなくなります。ALERT機能(DWC, Digital Window Comparator)を使用する場合は、変換結果が閾値を超えるとALERT端子がHからLに変わります。ALERT判定の機能はManual ModeやAuto Sequence Modeでも使用することができます。

Table 4. Autonomous Mode 測定フロー例

	Register Name	Address	Data
Step1	SEQ_MODE	0x10	0x01
Step2	AUTO_SEQ_CH_SEL	0x12	SELECT
Step3	CONV_MODE STATS_EN	0x04 0x01	0x01 0x20
Step4	DWC_EN SEQ_START	0x01 0x10	0x30 0x11
(Option)	EVENT_FLAG EVENT_HIGH_FLAG EVENT_LOW_FLAG	0x18 0x1A 0x1C	Read Only Read or Clear Read or Clear
(Option)	LAST_VALUE_CHx	0xA0 – 0xAF	Read Only
Step5	Stop Measurement? = Yes		
	SEQ_START DWC_EN	0x10 0x01	0x01 0x20

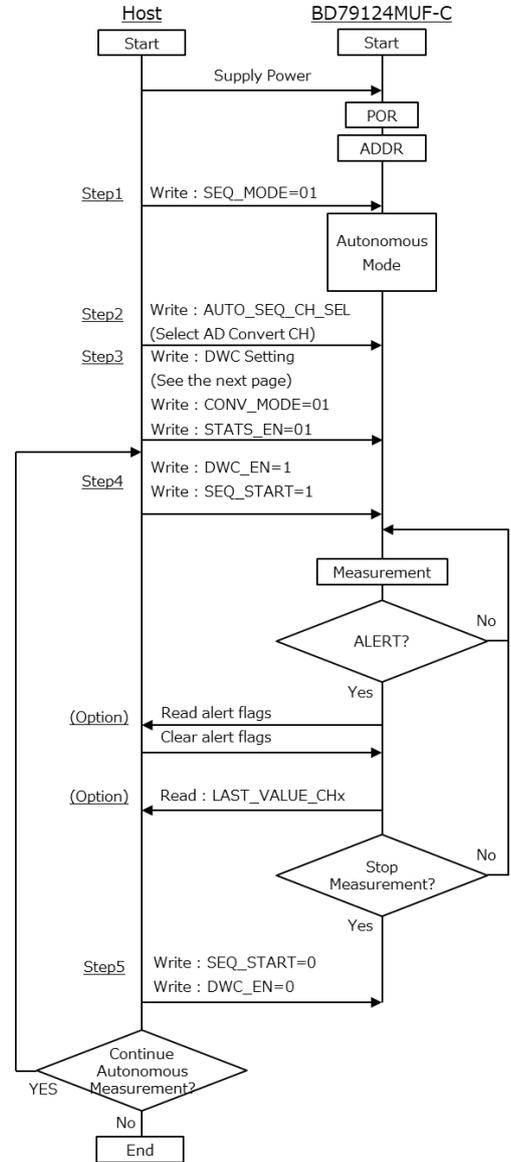


Figure 30. Autonomous Mode 測定フロー例

制御シーケンス — 続き

3. ALERT 機能

3.1. 概要

AD 変換結果に応じて、ALERT 端子から割込みを出力することができます。  
ALERT 端子はオープンドレイン(Low アクティブ)出力です。使用する場合は IOVDD にプルアップしてください。

AD 変換結果があらかじめ設定した条件を満たした場合、それをフラグとして保持します。  
どの CH のフラグが ALERT 端子に割込みを発生させるかは、ALERT\_CH\_SEL レジスタの対応する bit に 1 を書き込むことで選択できます。選択していない CH にフラグがあっても、ALERT 端子は割込みを出力しません。

3.2. フラグ条件

フラグが立つための条件は、閾値・回数・ヒステリシス・内側/外側検出を設定でき、すべて CH 毎に設定可能です。それぞれ HIGH\_THRESHOLD\_CHx (x = 0 ~ 7)レジスタと LOW\_THRESHOLD\_CHx (x = 0 ~ 7)レジスタで閾値を、EVENT\_COUNT\_CHx (x = 0 ~ 7)レジスタで回数を、HYSTERESIS\_CHx (x = 0 ~ 7)レジスタでヒステリシスを、EVENT\_RGN レジスタで内側/外側検出を設定できます。

例えば Figure 31 のような設定の場合、EVENT\_RGN = 0 のため外側検出で、AD 変換結果が High threshold を上回るか Low threshold を下回るとカウンタを加算していきます。また EVENT\_COUNT\_CHx (x = 0 ~ 7) = 2 のため、AD 変換結果が 3 回連続で閾値を超えたときにフラグが立ちます。このときどちらの閾値を超えたことによるフラグなのかは区別されません。

Figure 31 のような場合、4 回目から AD 変換結果が閾値を超えているのでイベントカウンタの加算は行われますが、6 回目の AD 変換結果がヒステリシスを含めて閾値を下回っているのでイベントカウンタはリセットされ、再度閾値を超えたときに 1 回目からカウントしなおします。

ヒステリシスは設定値を 3 bit 左シフトしているため、レジスタに書き込んだ値の 8 倍が適用されます。

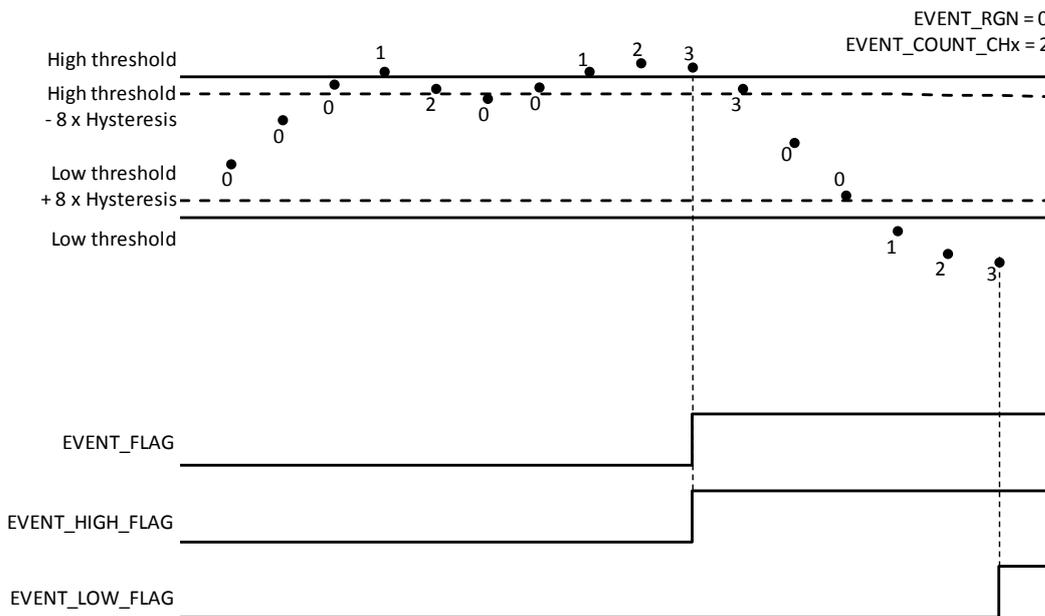


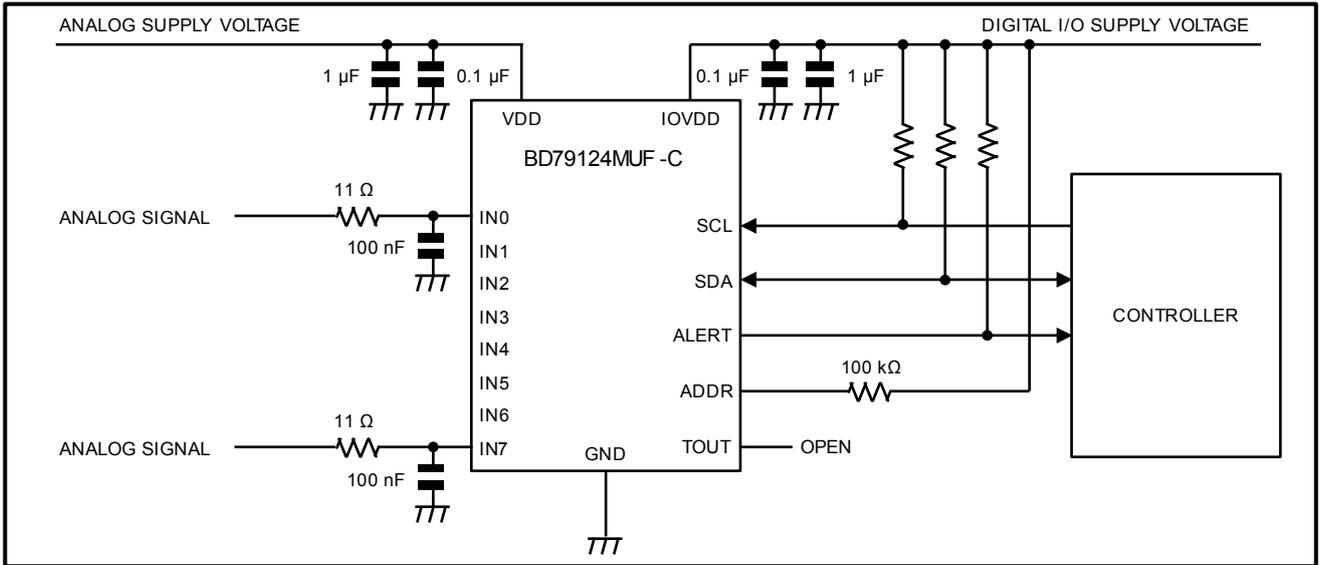
Figure 31. ALERT 判定例

3.3. フラグレジスタ

各 CH のフラグの有無は EVENT\_FLAG レジスタを読み出すことで確認できます。  
EVENT\_FLAG レジスタの各ビットは EVENT\_HIGH\_FLAG レジスタと EVENT\_LOW\_FLAG レジスタの論理和になっています。そのためどちらの閾値を超えた場合でも EVENT\_FLAG レジスタの値は 1 となります。

フラグをクリアしたい場合は、EVENT\_HIGH\_FLAG レジスタまたは EVENT\_LOW\_FLAG レジスタの該当の bit に 1 を書き込むことでフラグがクリアされます。

応用回路例



入出力等価回路図

端子名	等価回路図	端子名	等価回路図
IN0 IN1 IN2 IN3 IN4 IN5 IN6 IN7		SCL	
SDA		ALERT	
ADDR		TOUT	

## 使用上の注意

## 1. 電源の逆接続について

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れるなどの対策を施してください。

## 2. 電源ラインについて

基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。その際、デジタル系電源とアナログ系電源は、それらが同電位であっても、デジタル系電源パターンとアナログ系電源パターンは分離し、配線パターンの共通インピーダンスによるアナログ電源へのデジタル・ノイズの回り込みを抑制してください。グラウンドラインについても、同様のパターン設計を考慮してください。また、LSI のすべての電源端子について電源-グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量低下が起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

## 3. グラウンド電位について

グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。

## 4. グラウンド配線パターンについて

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

## 5. 推奨動作条件について

推奨動作条件で規定される範囲で IC の機能・動作を保証します。また、特性値は電気的特性で規定される各項目の条件下においてのみ保証されます。

## 6. ラッシュカレントについて

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

## 7. セット基板での検査について

セット基板での検査時に、インピーダンスの低い端子にコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

## 8. 端子間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けられた場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

## 9. 未使用の入力端子の処理について

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

使用上の注意 — 続き

10. 各入力端子について

本 IC はモノリシック IC であり、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、 $GND > (\text{端子 A})$ の時、トランジスタ(NPN)では  $GND > (\text{端子 B})$ の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ(NPN)では、 $GND > (\text{端子 B})$ の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に GND(P 基板)より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子が GND にショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

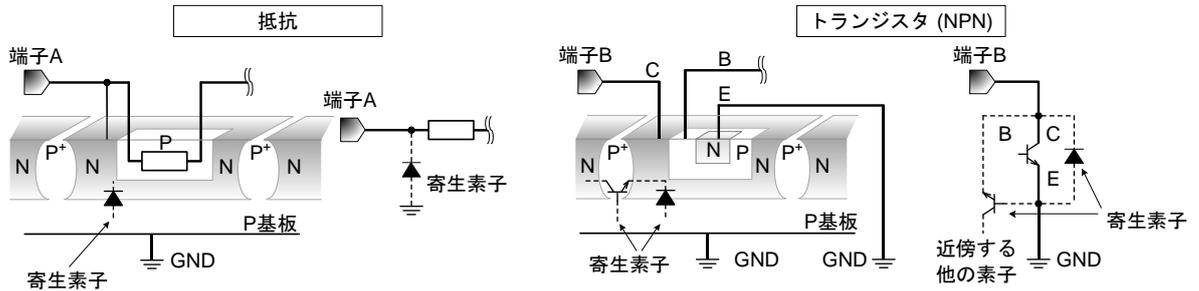


Figure 32. モノリシック IC 構造例

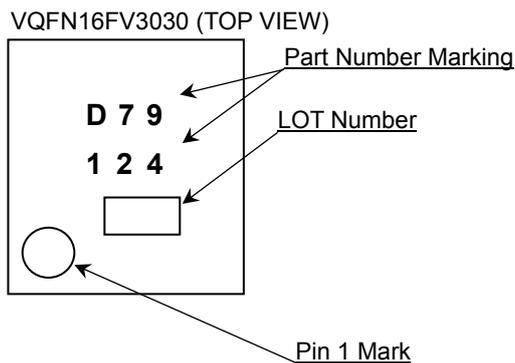
11. セラミック・コンデンサの特性変動について

外付けコンデンサに、セラミック・コンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮のうえ、定数を決定してください。

発注形名情報

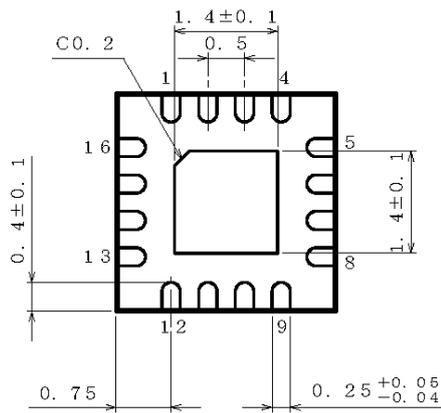
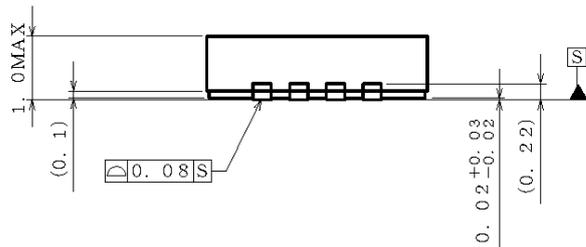
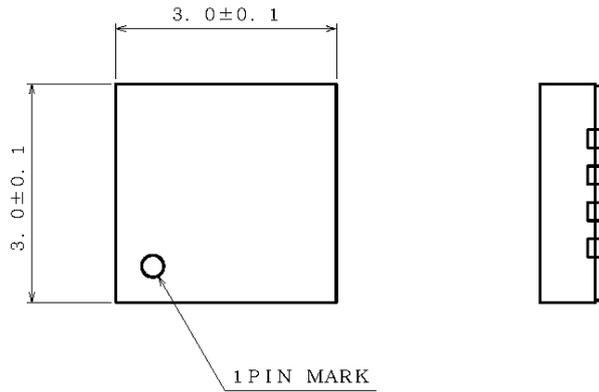


標印図



外形寸法図と包装・フォーミング仕様

Package Name	VQFN16FV3030
--------------	--------------

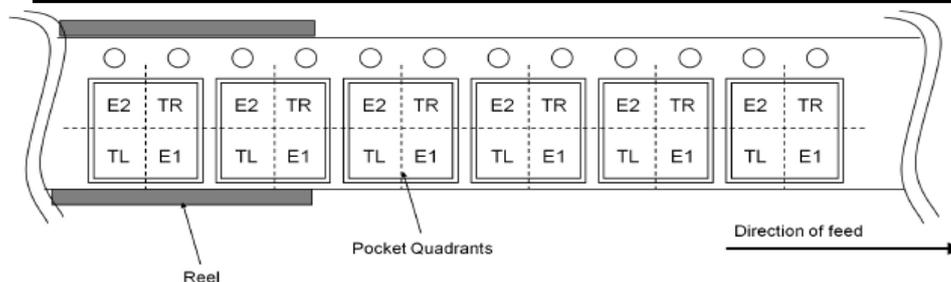


(UNIT : mm)  
 PKG : VQFN16FV3030  
 Drawing No. EX396-5001

NOTE: Dimensions in ( ) for reference only.

<包装形態、包装数量、包装方向>

包装形態	エンボステーピング
包装数量	3000pcs
包装方向	E2 (リールを左手に持ち、右手でテープを引き出したときに、製品の1番ピンが左上にくる方向。)



## 改訂履歴

日付	版	変更内容
2024.07.23	001	新規作成

# ご注意

## ローム製品取扱い上の注意事項

- 極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器<sup>(Note 1)</sup>、航空宇宙機器、原子力制御装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

- 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
  - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
  - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
- 本製品は、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
  - ①水・油・薬液・有機溶剤等の液体中でのご使用
  - ②直射日光・屋外暴露、塵埃中でのご使用
  - ③潮風、Cl<sub>2</sub>、H<sub>2</sub>S、NH<sub>3</sub>、SO<sub>2</sub>、NO<sub>2</sub>等の腐食性ガスの多い場所でのご使用
  - ④静電気や電磁波の強い環境でのご使用
  - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合
  - ⑥本製品を樹脂等で封止、コーティングしてのご使用
  - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用される場合は除く。ただし、残渣については十分に確認をお願いします。)又は、はんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合
  - ⑧結露するような場所でのご使用
- 本製品は耐放射線設計はなされておられません。
- 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
- パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
- 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
- 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
- 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

## 実装及び基板設計上の注意事項

- ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
- はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

## **応用回路、外付け回路等に関する注意事項**

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

## **静電気に対する注意事項**

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。(人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等)

## **保管・運搬上の注意事項**

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
  - ① 潮風、Cl<sub>2</sub>、H<sub>2</sub>S、NH<sub>3</sub>、SO<sub>2</sub>、NO<sub>2</sub>等の腐食性ガスの多い場所での保管
  - ② 推奨温度、湿度以外での保管
  - ③ 直射日光や結露する場所での保管
  - ④ 強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き(梱包箱に表示されている天面方向)で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

## **製品ラベルに関する注意事項**

本製品に貼付されている製品ラベルに2次元バーコードが印字されていますが、2次元バーコードはロームの社内管理のみを目的としたものです。

## **製品廃棄上の注意事項**

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

## **外国為替及び外国貿易法に関する注意事項**

本製品は、外国為替及び外国貿易法に定めるリスト規制貨物等に該当するおそれがありますので、輸出する場合には、ロームへお問い合わせください。

## **知的財産権に関する注意事項**

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等(ソフトウェア含む)との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

## **その他の注意事項**

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

**一般的な注意事項**

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。