

車載向け 低 Duty LCD セグメント ドライバ

BU91796FS-M MAX 80 Segments (SEG20×COM4)

概要

BU91796FS-Mは1/4デューティ車載用途汎用LCDドライバで、最大80セグメントのLCDを表示することが可能です。+105°C動作もサポートし、車載アプリケーションに要求されるAEC-Q100 Grade2にも準拠しています。

特長

- AEC-Q100 対応^(Note)
 - ディスプレイデータ RAM (DDRAM): 20 x 4 bit (最大 80 セグメント)
 - 液晶駆動出力: コモン出力 4 本、セグメント出力 20 本
 - 液晶駆動電源用バッファアンプ内蔵
 - 発振回路内蔵
 - 外部部品不要
 - 低消費電力設計
- (Note) Grade 2

用途

- メータークラスタ
 - カーエアコン
 - カーオーディオ・ラジオ
 - メーター機器
 - 白物家電
 - ヘルスケア機器
 - バッテリー駆動機器
- など

重要特性

- 電源電圧範囲: +2.5V ~ +6.0V
- 動作温度範囲: -40°C ~ +105°C
- 最大セグメント数: 80 セグメント
- 表示デューティ: 1/4
- バイアス: 1/3
- インタフェース: 2 線式シリアルインタフェース

特殊特性

- ESD 耐圧(HBM): ±2000V
- ラッチアップ耐量: ±100mA

パッケージ

W (Typ) x D (Typ) x H (Max)



基本アプリケーション回路

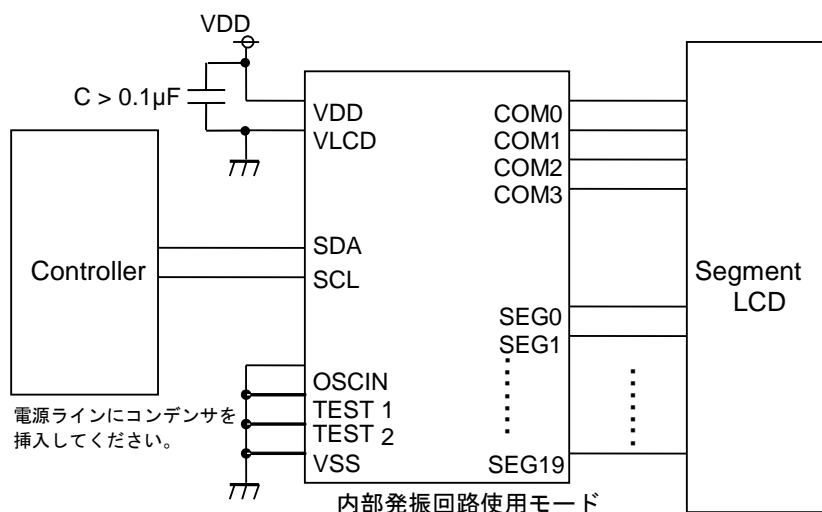


Figure 1. 基本アプリケーション回路

ブロック図/端子配置図/端子説明

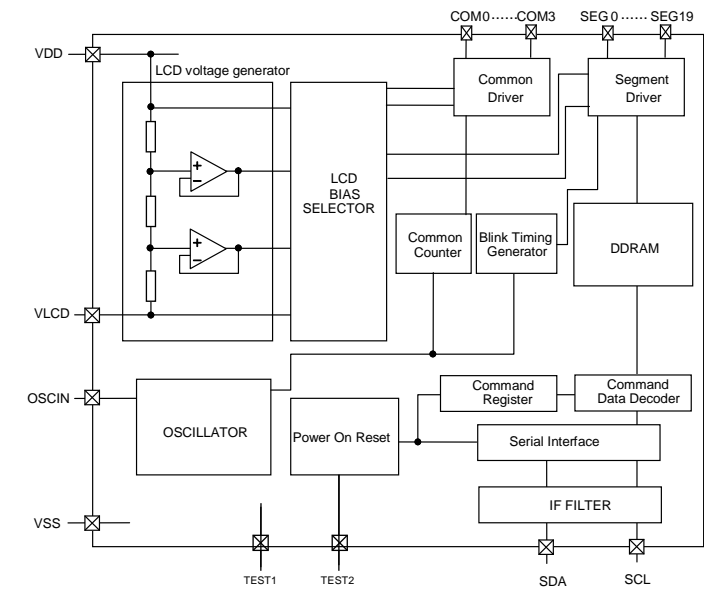


Figure 2. ブロック図

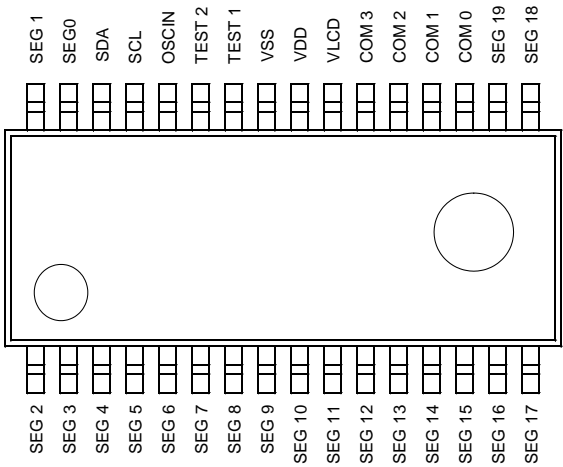


Figure 3. 端子配置図 (TOP VIEW)

Table 2. 端子説明

Pin Name	Pin No.	I/O	Function	未使用時の設定
TEST1	26	I	テスト端子 (ROHM use only) VSS レベルに接続してください	VSS
TEST2	27	I	POR 使用設定 VDD: POR 無効 (Note) VSS: POR 有効	VSS
OSCIN	28	I	外部クロック入力端子 外部クロックまたは内部クロック設定はコマンドで設定されます 内部発振回路使用時は VSS レベルに接続してください	VSS
SDA	30	I/O	シリアルデータ入出力端子	-
SCL	29	I	シリアルデータ転送クロック端子	-
VSS	25	-	グラウンド電位端子	-
VDD	24	-	電源端子	-
VLCD	23	-	液晶駆動用端子	-
SEG0-SEG19	31,32,1-18	O	液晶駆動用 SEGMENT 出力端子	OPEN
COM0-COM3	19-22	O	液晶駆動用 COMMON 出力端子	OPEN

(Note) 本機能は設計保証項目で、出荷テストでは機能確認していません。
TEST2=VDD で使用される場合はソフトウェアリセットコマンドで初期化してください

絶対最大定格(VSS = 0V)

項目	記号	定格	単位	備考
電源電圧 1	VDD	-0.5 ~ +7.0	V	電源電圧
電源電圧 2	VLCD	-0.5 ~ VDD	V	液晶駆動電圧
許容損失	Pd	0.64 ^(Note1)	W	
入力電圧範囲	V _{IN}	-0.5 ~ VDD +0.5	V	
動作温度範囲	Topr	-40 ~ +105	°C	
保存温度範囲	Tstg	-55 ~ +125	°C	

(Note1) Ta=25°C以上で使用する場合は、1°Cにつき、6.4mW を減じます。(ローム標準基板実装時)

注意：印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなどの物理的な安全対策を施していただけるようご検討をお願いします。

推奨動作条件(Ta = -40°C ~ +105°C、VSS = 0V)

項目	記号	定格			単位	備考
		最小	標準	最大		
電源電圧 1	VDD	2.5	-	6.0	V	電源電圧
電源電圧 2	VLCD	0	-	VDD-2.4	V	液晶駆動電圧、VDD-VLCD ≥ 2.4V

電気的特性

DC 特性 (特に指定のない限り VDD=2.5V ~ 6.0V、VLCD=0V、VSS=0V、Ta=-40°C ~ +105°C)

項目		記号	規格値			単位	条件
			最小	標準	最大		
“H” 入力電圧		V _{IH}	0.7VDD	-	VDD	V	SDA,SCL,OSCIN
“L” 入力電圧		V _{IL}	VSS	-	0.3VDD	V	SDA,SCL,OSCIN
“H” 入力電流		I _{IH}	-	-	1	μA	SDA,SCL,OSCIN ^(Note2) , TEST2
“L” 入力電流		I _{IL}	-1	-	-	μA	SDA,SCL,OSCIN,TEST2
SDA “L” 出力電圧		V _{OL_SDA}	0	-	0.4	V	Iload = 3mA
液晶ドライバ オン抵抗	SEG	R _{ON}	-	3	-	kΩ	Iload=±10μA
	COM	R _{ON}	-	3	-	kΩ	
VLCD 電源電圧		VLCD	0	-	VDD-2.4	V	VDD-VLCD≥2.4V
スタンバイ電流		I _{DD1}	-	-	5	μA	Display off、発振停止
動作電流		I _{DD2}	-	12.5	30	μA	VDD=3.3V, VLCD=0V, Ta=25°C Power save mode1, FR=71Hz 1/3 バイアス、フレーム反転

(Note2) 外部クロックモード時のみ

電気的特性(続き)

発振周波数特性 (特に指定のない限り VDD=2.5V ~ 6.0V、VLCD=0V、VSS=0V、Ta=-40°C ~ +105°C)

項目	記号	規格値			単位	定格
		最小	標準	最大		
フレーム周波数 1	f _{CLK1}	56	80	112	Hz	FR = 80Hz 設定、VDD=2.5V ~ 6.0V、Ta=-40°C ~ +105°C
フレーム周波数 2	f _{CLK2}	70	80	90	Hz	FR = 80Hz 設定、VDD=3.3V、Ta=25°C
フレーム周波数 3	f _{CLK3}	77.5	87.5	97.5	Hz	FR = 80Hz 設定、VDD=5.0V、Ta=25°C
フレーム周波数 4	f _{CLK4}	67.5	87.5	108	Hz	FR = 80Hz 設定、VDD=5.0V、Ta=-40°C ~ +105°C
外部クロック立ち上がり時間	t _r	-	-	0.3	μs	外部クロック (OSCIN) 使用時 (Note)
外部クロック立ち下がり時間	t _f	-	-	0.3	μs	
外部クロック周波数	f _{EXCLK}	15	-	300	kHz	
外部クロック DUTY	t _{DTY}	30	50	70	%	

(Note) <外部クロック時、フレーム周波数は下記計算式となります>

DISCTL 80HZ 設定時: Frame frequency [Hz] = external clock [Hz] / 512

DISCTL 71HZ 設定時: Frame frequency [Hz] = external clock [Hz] / 576

DISCTL 64HZ 設定時: Frame frequency [Hz] = external clock [Hz] / 648

DISCTL 53HZ 設定時: Frame frequency [Hz] = external clock [Hz] / 768

【参考データ】

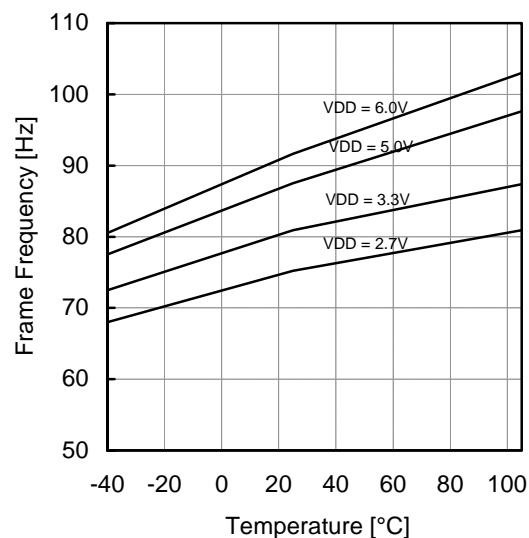


Figure 4. フレーム周波数温度特性(Typ)

電氣的特性(続き)

MPU interface 特性 (特に指定のない限り VDD=2.5V ~ 6.0V、VLCD=0V、VSS=0V、Ta=-40°C ~ +105°C)

項目	記号	規格値			単位	条件
		最小	標準	最大		
入力立ち上がり時間	t_r	-	-	0.3	μs	
入力立ち下がり時間	t_f	-	-	0.3	μs	
SCL 周期	t_{SCYC}	2.5	-	-	μs	
“H” SCL pulse 幅	t_{SHW}	0.6	-	-	μs	
“L” SCL pulse 幅	t_{SLW}	1.3	-	-	μs	
SDA setup 時間	t_{SDS}	100	-	-	ns	
SDA hold 時間	t_{SDH}	100	-	-	ns	
バス・フリー時間	t_{BUF}	1.3	-	-	μs	
START 条件 hold 時間	$t_{HD;STA}$	0.6	-	-	μs	
START 条件 setup 時間	$t_{SU;STA}$	0.6	-	-	μs	
STOP 条件 setup 時間	$t_{SU;STO}$	0.6	-	-	μs	

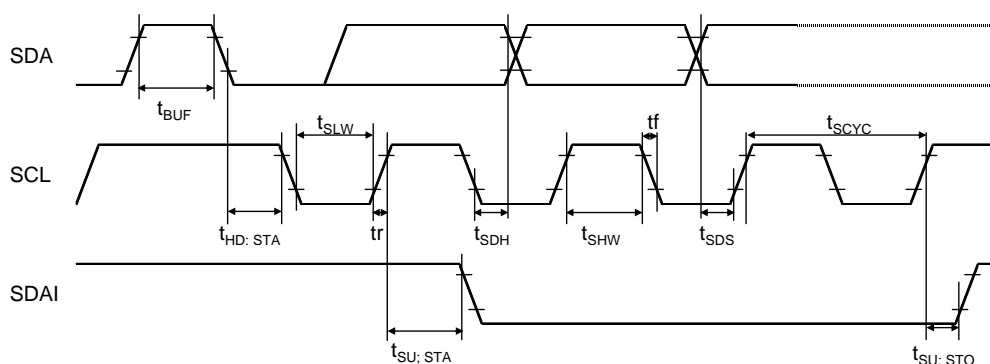


Figure 5. インタフェースタイミング

入出力等価回路図

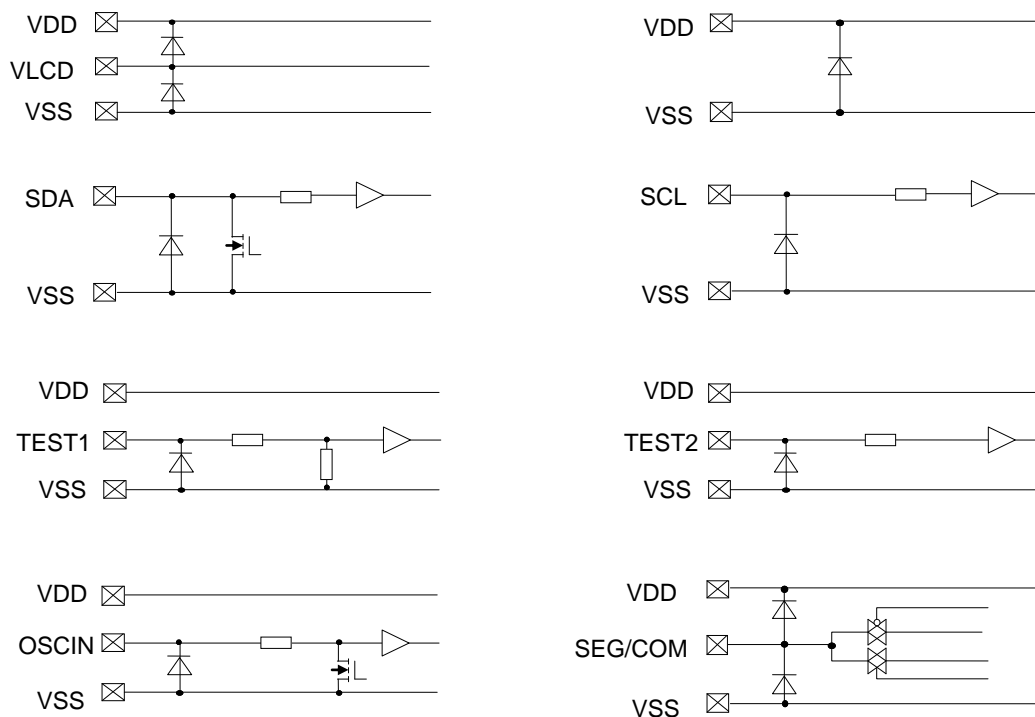


Figure 6. 入出力等価回路図

推奨回路例

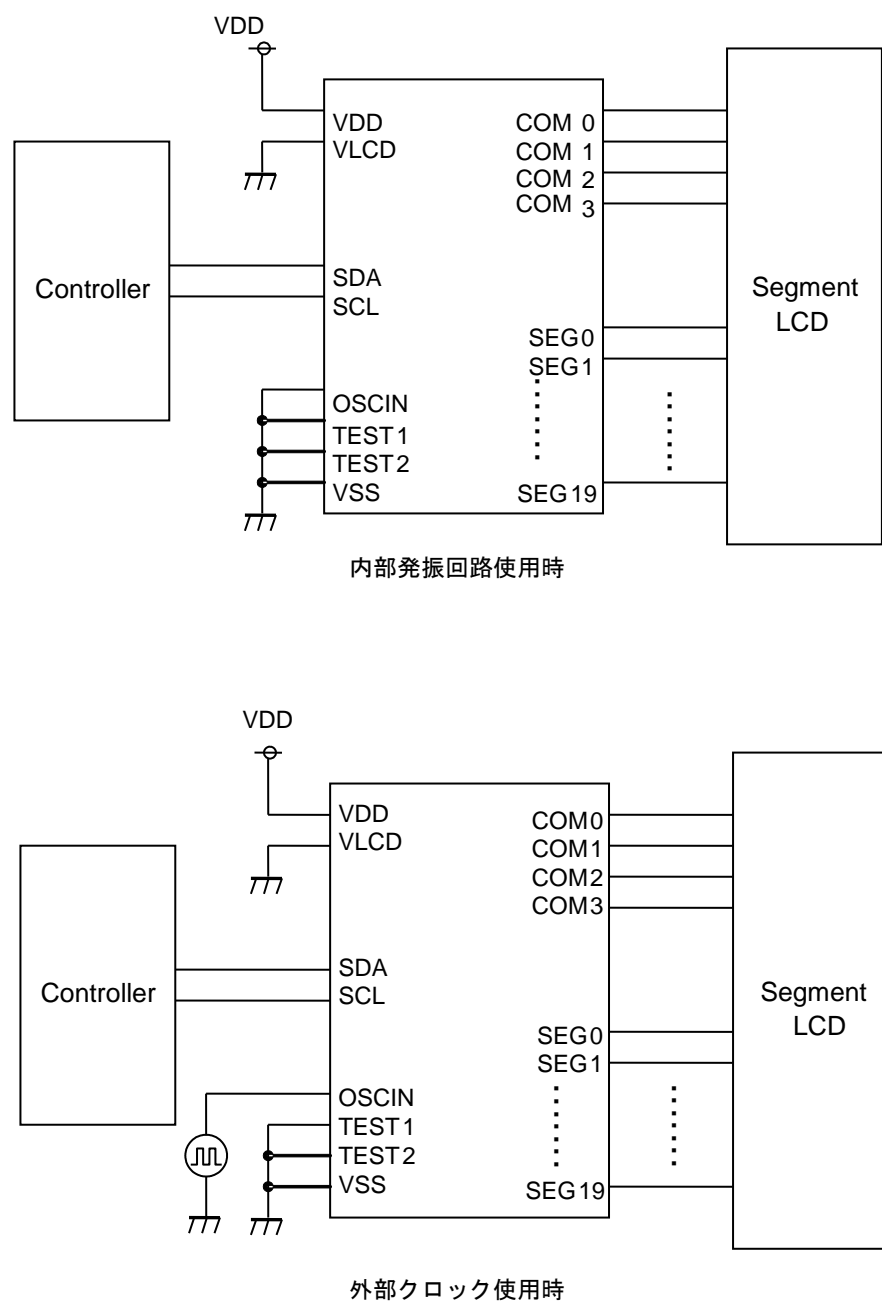


Figure 7. 推奨回路例

機能説明

Command / Data 転送方法

BU91796FS-M は、2 線シリアルインタフェース(SDA, SCL)にて Data の転送を行います。

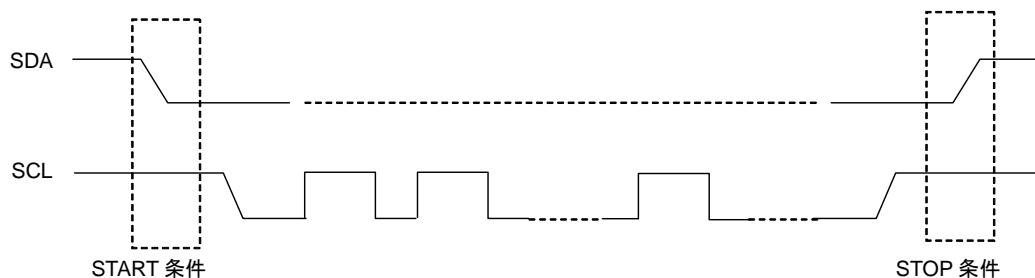


Figure 8. 2 線シリアルインタフェース Command/Data 転送フォーマット

2 線シリアルインタフェースにてコマンド、またはデータを入力する場合、START 条件、STOP 条件という固有の状態を発生させる必要があります。

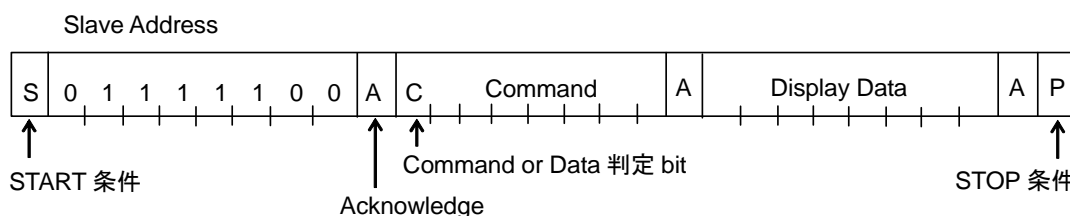


Figure 9. インタフェースプロトコル

Slave Address = "01111100" : Write Mode

BU91796FS-M にコマンド、または表示データを入力するには、以下の手順が必要です。

- 1) START 条件を生成する。
- 2) Slave Address を発行する
- 3) Command, Display Data を転送する。
- 4) STOP 条件を生成する。

Acknowledge (ACK)

データの転送は 8bit 単位で構成され、8bit データ転送後、Acknowledge を返します。

8bit データ (Slave Address, Command, Display Data) 転送後、8 発目 SCL 立下り時で SDA ラインを開放し、'L'を出力します。その後 9 発目 SCL 立下り時に出力を停止します。

(ただし出力は NMOS オープンドレイン形式のため、H 出力はされません。)

Acknowledge を必要としない場合には、8 発目 SCL 立下り後から、9 発目 SCL 立下りまで"L"入力をしてください。

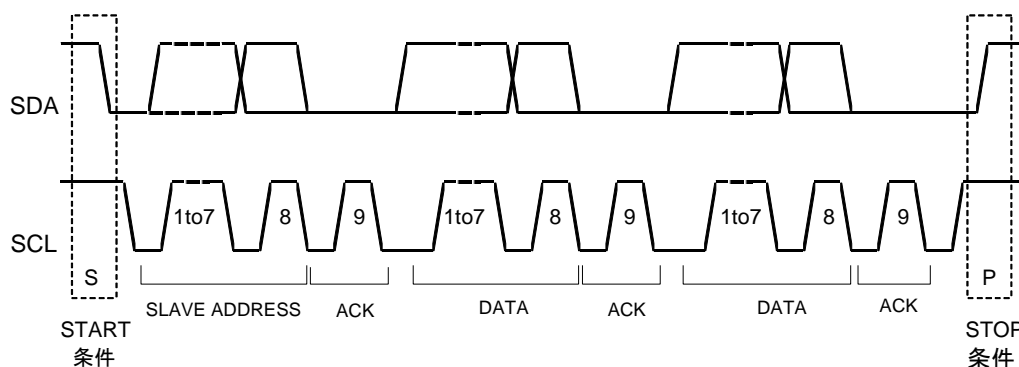


Figure 10. Acknowledge タイミング

機能説明(続き)

コマンド転送方法

START 条件を入力した後、Slave Address (“01111100”)を発行してください。
 Slave Address (“01111100”) 入力後、1byte 目は必ずコマンド入力になります。
 コマンドの最上位 bit は Command or Data 判定 bit です。
 Command or Data 判定 bit を‘1’にすると、続けてコマンドを入力することが可能です。
 Command or Data 判定 bit を‘0’にすると、次からの byte data は表示データになります。

S	Slave Address	A	1	Command	A	1	Command	A	1	Command	A	0	Command	A	Display Data	...	P
---	---------------	---	---	---------	---	---	---------	---	---	---------	---	---	---------	---	--------------	-----	---

表示データの入力状態になると、コマンドは入力できなくなります。
 再度コマンドを入力する場合は、START 条件を生成してください。
 コマンド転送途中に START 条件、または STOP 条件が入力されると転送途中のコマンドはキャンセルされます。
 転送途中に START 条件を入力した場合、続けて Slave Address を入力すると、コマンド入力状態になります。
 START 条件生成後、最初のデータ転送で Slave Address を入力してください。最初のデータ転送で Slave Address を認識できない場合、Acknowledge は返さず、以後のデータ転送は受け付けません。
 データ受け付け拒否状態になった場合、再度 START 条件を入力すると復帰します。

コマンド、データの転送時には、入力立ち上がり時間、Setup、Hold 時間等、MPU Interface 特性を守るように注意してください。(MPU Interface 特性を参照ください。)

表示データの書き込みと転送方法

BU91796FS-M は、20×4=80bit の Display Data RAM (DDRAM)を内蔵しています。
 表示データと書き込みとの対応及び、DDRAM Data と Address と表示の対応は以下のとおりです。

Slave Address			Command																								
S	01111100		A	0	0000000		A	a	b	c	d	e	f	g	h	A	i	j	k	l	m	n	o	p	A	...	P
								→ Display Data																			

8bit のデータを DDRAM に書き込みます。書き込まれる Address は Address Set コマンドで指定された Address で、4bit ごとに自動的にインクリメントされます。
 続けて Data を送信することで連続して DDRAM にデータを書き込むことができます。
 DDRAM アドレス 13h (SEG19)書き込み後は、自動的に DDRAM アドレス 00h (SEG0)に戻ります。

DDRAM アドレス													
	00h	01h	02h	03h	04h	05h	06h	07h	...	11h	12h	13h	
BIT	0	a	e	i	m								COM0
	1	b	f	j	n								COM1
	2	c	g	k	o								COM2
	3	d	h	l	p								COM3
	SEG0	SEG1	SEG2	SEG3	SEG4	SEG5	SEG6	SEG7		SEG17	SEG18	SEG19	

DDRAM への書き込みは ACK データを待つ必要がなく、4bit データ転送ごとに実施されます。

機能説明(続き)

Oscillator

内部動作及び液晶表示動作に必要なクロックは、内部発振回路または外部クロックにて生成されます。
内部発振回路を使用される場合、OSCIN は VSS レベルにショートしてください。
外部クロックを使用される場合には、ICSET コマンド設定後 OSCIN 端子にクロック入力をしてください。

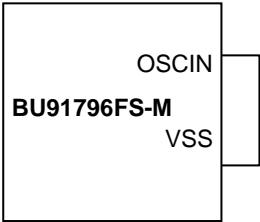


Figure 11. 内部発振回路使用時

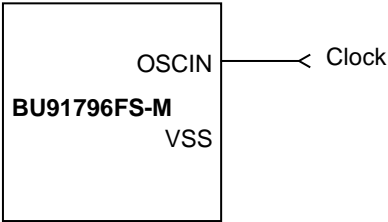


Figure 12. 外部クロック使用時

LCD Driver Bias Circuit

液晶駆動電圧を生成します。また、バッファアンプを内蔵しており、低消費電力にて駆動可能です。
ライン、フレーム反転の設定は、DISCTL コマンドにて可能です。
それぞれの液晶駆動波形は、液晶駆動波形の項目を参照してください。

Blink Timing Generator

BU91796FS-M は、Blink 機能を搭載しています。
Blink mode の設定は BLKCTL コマンドにて可能です。
内部発振回路使用時には f_{CLK} の特性により、Blink 周期はバラツキます。
 f_{CLK} の特性については、発振周波数特性を参照してください。

Reset 初期状態

Software Reset 実行後のリセット初期状態は以下のとおりです。
・表示は OFF されます。
・DDRAM アドレスは初期化されます (DDRAM Data は初期化されません)。
レジスタの初期値についてはコマンド詳細説明を参照してください。

Command/機能一覧

機能説明一覧表

No.	コマンド	機能
1	Set IC Operation (ICSET)	Software Reset、 内部/外部クロック設定
2	Display Control (DISCTL)	フレーム周波数、Power save mode 設定
3	Address Set (ADSET)	DRAM アドレス設定 (00h to 13h)
4	Mode Set (MODESET)	Display on/off 設定、1/3bias 設定
5	Blink Control (BLKCTL)	Blink off/0.5/1.0/2.0Hz blink 設定
6	All Pixel Control (APCTL)	全点灯、全消灯の設定

機能説明(続き)

コマンド詳細説明

D7 (MSB) は Command もしくは Data の判定用 bit です。
詳細は、Command / Data 転送方法を参照してください。

- C: 0: 次の Byte は RAM 書き込みデータです。
1: 次の Byte はコマンドです。

Set IC Operation (ICSET)

MSB				LSB			
D7	D6	D5	D4	D3	D2	D1	D0
C	1	1	0	1	*	P1	P0

(* : Don't care)

Software reset を行います。

設定	P1
Software Reset 非実行	0
Software Reset 実行	1

Software Reset が実行されると、BU91796FS-M は Reset 初期状態になります。
(Reset 初期状態を参照してください。)

Software reset (P1)と同時に P0 を設定しないでください。

内蔵発振回路、外部 clock の切り替えを行います。

設定	P0	Reset 初期状態
内蔵発振回路	0	○
外部 clock 入力	1	-

内蔵発振回路設定時： OSCIN は VSS level に short させてください。

外部 clock 入力設定時： OSCIN より外部 clock を入力してください。

<外部クロック時、フレーム周波数は下記計算式となります>

DISCTL 80Hz 設定時: $\text{Frame frequency [Hz]} = \text{external clock [Hz]} / 512$

DISCTL 71Hz 設定時: $\text{Frame frequency [Hz]} = \text{external clock [Hz]} / 576$

DISCTL 64Hz 設定時: $\text{Frame frequency [Hz]} = \text{external clock [Hz]} / 648$

DISCTL 53Hz 設定時: $\text{Frame frequency [Hz]} = \text{external clock [Hz]} / 768$

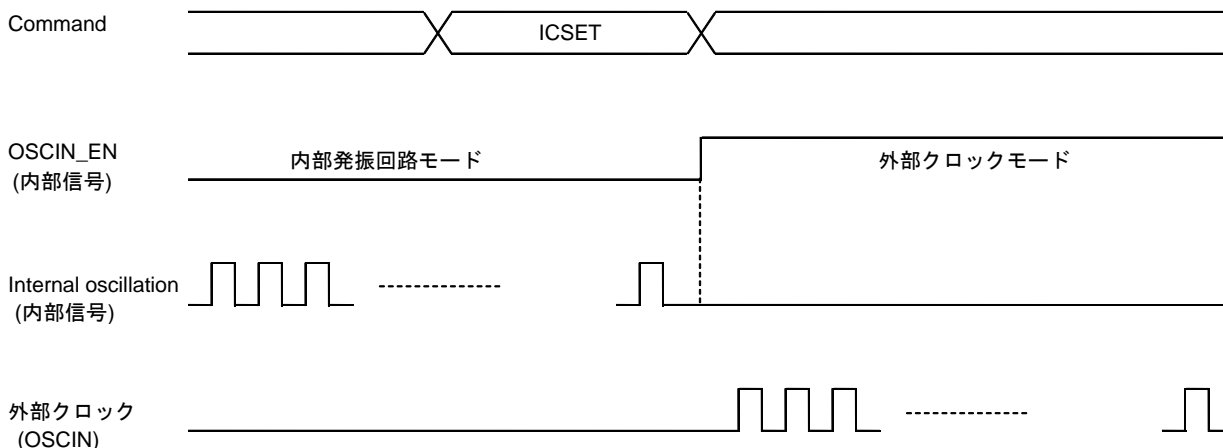


Figure 13. OSC MODE 切り替えタイミング

機能説明(続き)

Display Control (DISCTL)

MSB				LSB			
D7	D6	D5	D4	D3	D2	D1	D0
C	0	1	P4	P3	P2	P1	P0

Power save mode FR の設定を行います。

設定	P4	P3	Reset 初期状態
Normal mode (80Hz)	0	0	○
Power save mode 1 (71Hz)	0	1	-
Power save mode 2 (64Hz)	1	0	-
Power save mode 3 (53Hz)	1	1	-

動作電流は、以下の順で減少します。

Normal mode > Power save mode1 > Power save mode 2 > Power save mode 3

液晶駆動波形の設定を行います。

設定	P2	Reset 初期状態
ライン反転	0	○
フレーム反転	1	-

動作電流は、以下の順で減少します。

ライン反転 > フレーム反転

一般的に、液晶の容量が大きい場合には、ライン反転の方がクロストークの影響が大きくなります。

駆動波形については、液晶駆動波形を参照ください。

Power save mode SR の設定を行います。

設定	P1	P0	Reset 初期状態
Power save mode 1	0	0	-
Power save mode 2	0	1	-
Normal mode	1	0	○
High power mode	1	1	-

動作電流は、以下の順で増加します。

Power save mode 1 < Power save mode 2 < Normal mode < High power mode

High power mode 時には、VDD-VLCD ≥ 3.0V となるように設定してください。

(参考消費電流データ)

設定	消費電流
Power save mode 1	×0.5
Power save mode 2	×0.67
Normal mode	×1.0
High power mode	×1.8

上記消費電流データは参考値です。パネル負荷に応じて変わります。

Address Set (ADSET)

MSB				LSB			
D7	D6	D5	D4	D3	D2	D1	D0
C	0	0	P4	P3	P2	P1	P0

アドレスセットは 00000 から 10011(bin)まで可能です。

範囲外のアドレスを設定した場合は、00000 アドレスに設定されます。

機能説明(続き)

Mode Set (MODESET)

MSB				LSB			
D7	D6	D5	D4	D3	D2	D1	D0
C	1	0	*	P3	0	*	*

(*: Don't care)

表示 ON, OFF の設定を行います。

設定	P3	Reset 初期状態
Display off (DISPOFF)	0	○
Display on (DISPON)	1	-

Display off: DRAM の内容に関係なく、1 フレームの OFF レベル書き込み後、SEGMENT、COMMON 出力はすべて停止します。Display on (DISPON) で Display off mode は終了します。

Display on: SEGMENT、COMMON 出力は Active となり、DDRAM から Display への読み出し動作を開始します。

1/3 バイアスレベルの設定を行います。

設定	P2	Reset 初期状態
1/3 Bias	0	○
禁止	1	-

詳細は液晶駆動波形の項目を参照ください。

Blink Control (BLKCTL)

MSB				LSB			
D7	D6	D5	D4	D3	D2	D1	D0
C	1	1	1	0	*	P1	P0

(*: Don't care)

Blink の設定を行います。

Blink mode (Hz)	P1	P0	Reset 初期状態
OFF	0	0	○
0.5	0	1	-
1.0	1	0	-
2.0	1	1	-

内部発振回路使用時には f_{CLK} の特性により、Blink 周期は変動します。 f_{CLK} の特性については、発振周波数特性を参照してください。

All Pixel Control (APCTL)

MSB				LSB			
D7	D6	D5	D4	D3	D2	D1	D0
C	1	1	1	1	1	P1	P0

全ドットの一斉点灯、一斉消灯の設定を行います。

設定	P1	Reset 初期状態
Normal	0	○
All pixel on (APON)	1	-

設定	P0	Reset 初期状態
Normal	0	○
All pixel off (APOFF)	1	-

All pixels on: DDRAM の内容に関係なく全ドットを一斉に点灯します。

All pixels off: DDRAM の内容に関係なく全ドットを一斉に消灯します。

All pixels on/off は Display on 時のみ有効になります。このとき、DDRAM の内容は変化しません。

P1、P0 をともに '1' 設定にした場合は APOFF が優先的に選択されます。

LCD Driving Waveform

(1/3bias)

ライン反転

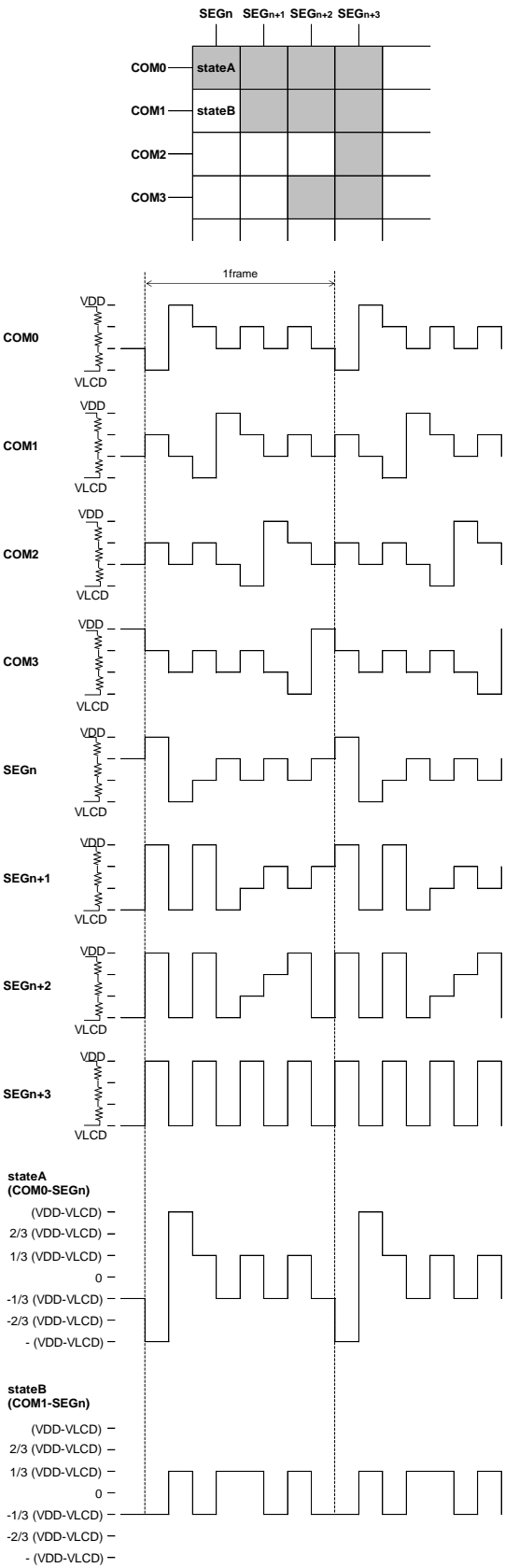


Figure 14. ライン反転時液晶駆動波形図(1/3bias)

フレーム反転

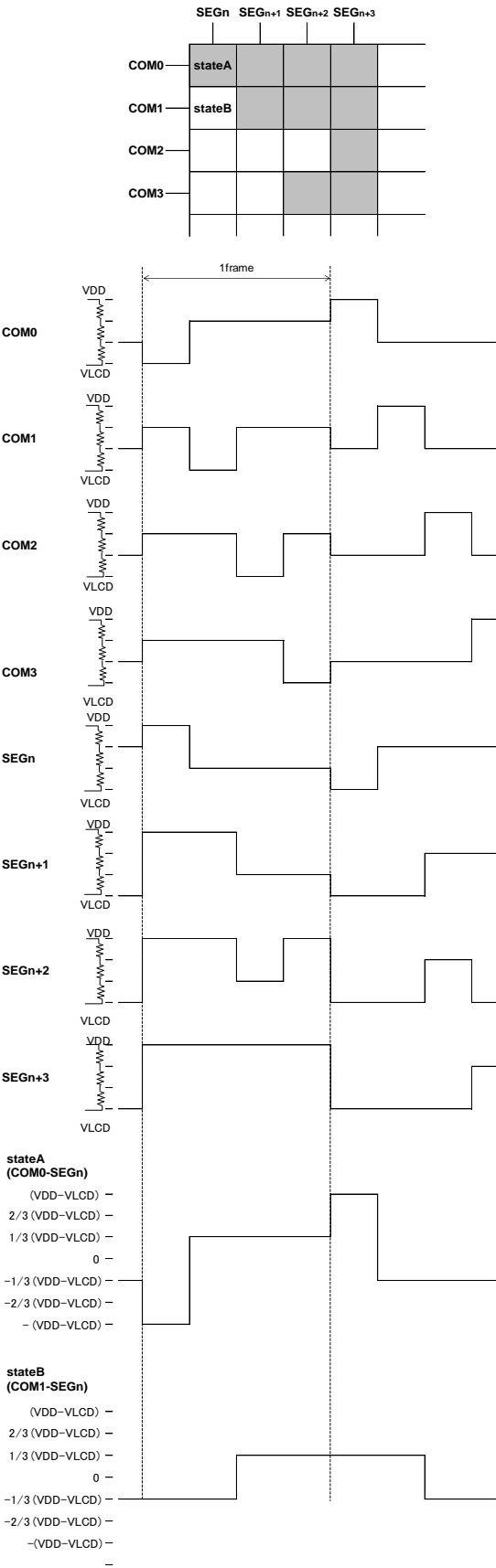


Figure 15. フレーム反転時液晶駆動波形図(1/3bias)

表示データ例

Figure16, Figure17 に示す SEG・COM 配線パターンを持つパネルに Figure18 のようなパターンを表示させる場合、次項の DDRAM データマップになります。

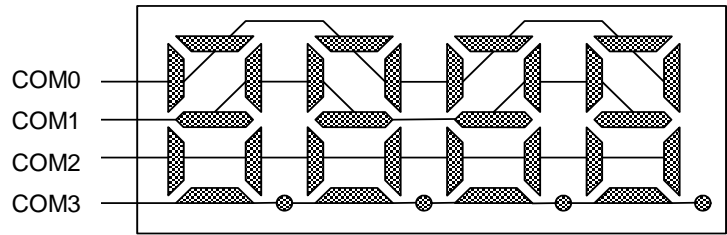


Figure 16. COM ラインパターン例

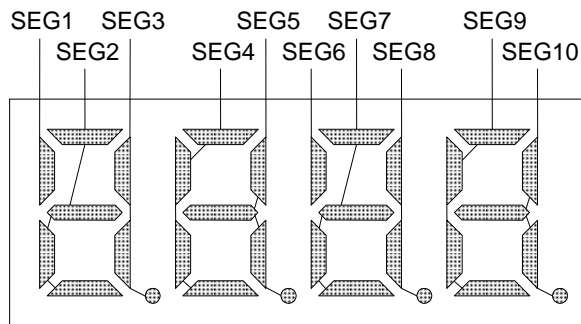


Figure 17. SEG ラインパターン例

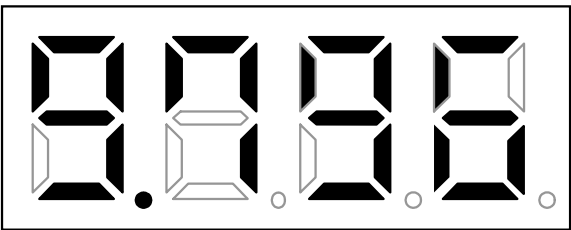


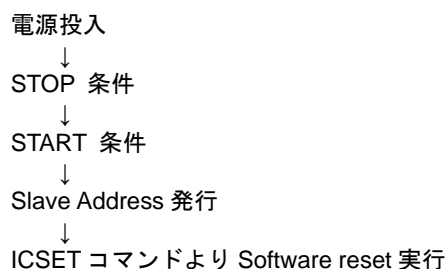
Figure 18. 表示パターン例

< Figure 18 の表示パターンの DDRAM データマップ >

		S	S	S	S	S	S	S	S	S	S	S	S	S	S	S	S	S	S
		E	E	E	E	E	E	E	E	E	E	E	E	E	E	E	E	E	E
		G	G	G	G	G	G	G	G	G	G	G	G	G	G	G	G	G	G
		0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
COM0	D0	0	1	1	0	1	1	1	0	1	0	0	0	0	0	0	0	0	0
COM1	D1	0	0	1	1	1	0	0	1	1	1	0	0	0	0	0	0	0	0
COM2	D2	0	0	0	1	0	1	0	0	1	1	0	0	0	0	0	0	0	0
COM3	D3	0	0	1	1	0	0	0	1	0	1	0	0	0	0	0	0	0	0
Address		00h	01h	02h	03h	04h	05h	06h	07h	08h	09h	0Ah	0Bh	0Ch	0Dh	0Eh	0Fh	10h	11h

Initialize Sequence

電源投入後以下のシーケンスを実行し、BU91796FS-M を Reset 初期状態にしてください。



電源投入後、initialize sequence を実行するまでの各レジスタ値、DDRAM アドレス、DDRAM Data はランダムです。

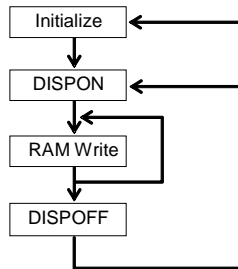
Start Sequence

Start Sequence 例 1

No.	Input	D7	D6	D5	D4	D3	D2	D1	D0	説明
1	Power on									VDD=0V→5V (Tr: Min 1ms ~ Max 500ms)
	↓									
2	Wait min100μs									初期化
	↓									
3	Stop									STOP 条件
	↓									
4	Start									START 条件
	↓									
5	Slave Address	0	1	1	1	1	1	0	0	Slave Address 発行
	↓									
6	ICSET	1	1	1	0	1	0	1	0	Software Reset 実行
	↓									
7	BLKCTL	1	1	1	1	0	*	0	0	Blink off
	↓									
8	DISCTL	1	0	1	0	0	1	0	0	80Hz、フレーム反転、Power save mode1
	↓									
9	ICSET	1	1	1	0	1	*	0	1	外部クロック入力
	↓									
10	ADSET	0	0	0	0	0	0	0	0	DDRAM アドレス設定
	↓									
11	Display Data	*	*	*	*	*	*	*	*	Address 00h to 01h
	Display Data	*	*	*	*	*	*	*	*	Address 02h to 03h
	⋮									⋮
	Display Data	*	*	*	*	*	*	*	*	Address 12h to 13h
	↓									
12	Stop									STOP 条件
	↓									
13	Start									START 条件
	↓									
14	Slave Address	0	1	1	1	1	1	0	0	Slave Address 発行
	↓									
15	MODESET	1	1	0	*	1	0	*	*	Display on
	↓									
16	Stop									STOP 条件

(*: Don't care)

Start Sequence 例 2



Initialize Sequence
IC を初期化します

DISPON Sequence
各種表示設定を行い、表示を開始します。

RAM Write Sequence
表示データを更新します。

DISPOFF Sequence
表示を停止します。

“Initialize Sequence”で BU91796FS-M の初期化を行い、“DISPON Sequence”で表示を開始します。

表示データの更新は“RAM Write Sequence”を実行してください。表示の停止は“DISPOFF sequence”を実行してください。

表示を再開したい場合は、“DISPON Sequence”を実行してください。

Initialize Sequence

Input	DATA								Description
	D7	D6	D5	D4	D3	D2	D1	D0	
Power on									
Wait 100μs									
STOP									
START									
Slave Address	0	1	1	1	1	1	0	0	
ICSET	1	1	1	0	1	0	1	0	Execute Software Reset
MODESET	1	1	0	0	0	0	0	0	Display off
ADSET	0	0	0	0	0	0	0	0	RAM address set
Display Data	*	*	*	*	*	*	*	*	Display Data
...									
STOP									

DISPON Sequence

Input	DATA								Description
	D7	D6	D5	D4	D3	D2	D1	D0	
START									
Slave Address	0	1	1	1	1	1	0	0	
ICSET	1	1	1	0	1	0	0	0	Execute internal OSC mode
DISCTL	1	0	1	1	1	1	1	1	Set Display Control
BLKCTL	1	1	1	1	0	0	0	0	Set BLKCTL
APCTL	1	1	1	1	1	1	0	0	Set APCTL
MODESET	1	1	0	0	1	0	0	0	Display on
STOP									

RAM Write Sequence

Input	DATA								Description
	D7	D6	D5	D4	D3	D2	D1	D0	
START									
Slave Address	0	1	1	1	1	1	0	0	
ICSET	1	1	1	0	1	0	0	0	Execute internal OSC mode
DISCTL	1	0	1	1	1	1	1	1	Set Display Control
BLKCTL	1	1	1	1	0	0	0	0	Set BLKCTL
APCTL	1	1	1	1	1	1	0	0	Set APCTL
MODESET	1	1	0	0	1	0	0	0	Display on
ADSET	0	0	0	0	0	0	0	0	RAM address set
Display Data	*	*	*	*	*	*	*	*	Display Data
...									
STOP									

DISPOFF Sequence

Input	DATA								Description
	D7	D6	D5	D4	D3	D2	D1	D0	
START									
Slave Address	0	1	1	1	1	1	0	0	
ICSET	1	1	1	0	1	0	0	0	Execute internal OSC mode
MODESET	1	1	0	0	0	0	0	0	Display off
STOP									

外部からのノイズ等の影響を受け、思わぬ誤動作が発生する可能性があるため、Initialize、表示 ON/OFF、RAM データのリフレッシュ時には必ず上記シーケンスに従ってコマンドを送信していただくことをお勧めいたします。

電源立ち上げ、立ち下げの注意

電源立ち上げ、立ち下げシーケンスについては下の波形に従ってください。

意図しない誤表示や誤動作、異常電流などを回避するために、

電源立ち上げ時には、必ず先に VDD 電源を立ち上げ、その後 VLCD 電源を立ち上げてください。

電源立ち下げ時には、必ず先に VLCD 電源を立ち下げ、その後 VDD 電源を立ち下げてください。

また、 $VDD - 2.4 \geq VLCD$ 、 $t1 > 0ns$ 、 $t2 > 0ns$ の条件を満たしてください。

データの送受信に失敗することがありますので電源電圧の立ち上がり/立ち下がり中にデータ転送は行わないでください。

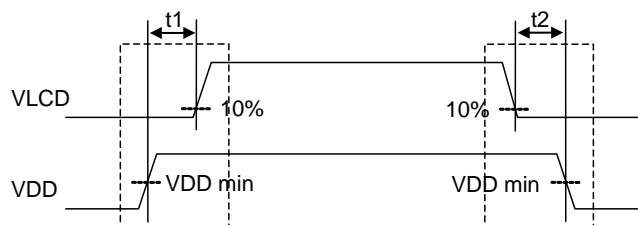
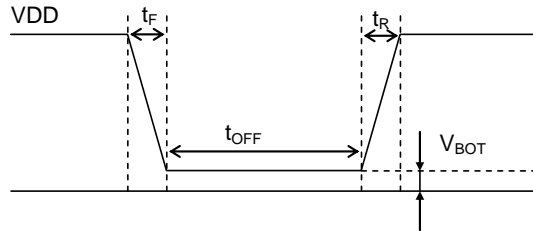


Figure 19. 電源 ON/OFF 波形

P.O.R 使用時の注意

BU91796FS-M は POR 回路(Power-On Reset)と Software Reset の機能を持っています。
その動作を確実なものにするため、電源立ち上がり時には以下の条件を守ってください。

POR 回路を動作させるため、下記 t_R 、 t_F 、 t_{OFF} 、 V_{BOT} の推奨条件を満たすよう、VDD 電源を立ち上げてください。
POR 回路を有効にするには TEST2 を "L" に設定する必要があります。



t_R 、 t_F 、 t_{OFF} 、 V_{BOT} の推奨条件 ($T_a=+25^{\circ}\text{C}$)

$t_R^{(\text{Note})}$	$t_F^{(\text{Note})}$	$t_{OFF}^{(\text{Note})}$	$V_{BOT}^{(\text{Note})}$
1ms ~ 500ms	1ms ~ 500ms	Min 20ms	Less than 0.1V

(Note) これらの項目は設計保証となります。

Figure 20. 電源 ON/OFF 波形

上記条件を守れない場合には、IC の初期化が行われないため、意図しない表示点灯等が発生する可能性があります。
このような影響を少なくするために、電源投入後は可能な限り早く、IC の初期化を行ってください。

下記の IC の初期化フローを参照してください。

TEST2 が "H" の場合でも、POR 回路が無効となっているため、このシーケンスを実行する必要があります。

ただし、電源 OFF 時にはコマンド受付できないため、Software reset は POR と全く同じ動作ではありません。

1. STOP 条件を生成する。

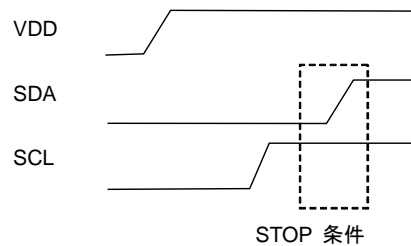


Figure 21. Stop 条件タイミング

2. START 条件を生成する。

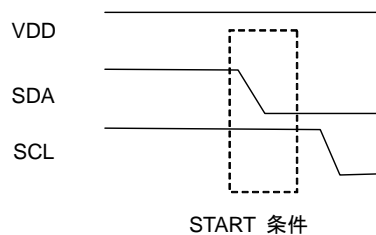


Figure 22. Start 条件タイミング

3. Slave Address を発行する。

4. ICSET コマンドから Software Reset を実行する。

外部クロックモード時の Display off 動作について

BU91796FS-M では、MODESET(Display off)コマンド受信後、フレーム同期で DISPOFF シーケンスになり、1 フレームの OFF レベル書き込み後、SEGMENT、COMMON 出力はすべて停止します。そのため、外部クロックモードで使用する場合は、MODESET(Display off)送信完了後、各フレーム周波数設定に従った外部クロックの入力が必要です。
各フレーム周波数設定時に必要な外部クロック数は、DISCTL コマンドの Power save mode FR に従い下記のようになります。

DISCTL 80Hz 設定時(Frame frequency [Hz] = external clock [Hz] / 512)は 1024clk 以上、
DISCTL 71Hz 設定時(Frame frequency [Hz] = external clock [Hz] / 576)は 1152clk 以上、
DISCTL 64Hz 設定時(Frame frequency [Hz] = external clock [Hz] / 648)は 1296clk 以上、
DISCTL 53Hz 設定時(Frame frequency [Hz] = external clock [Hz] / 768)は 1536clk 以上の外部クロックを入力してください。

下記のタイミングチャートを参照してください。

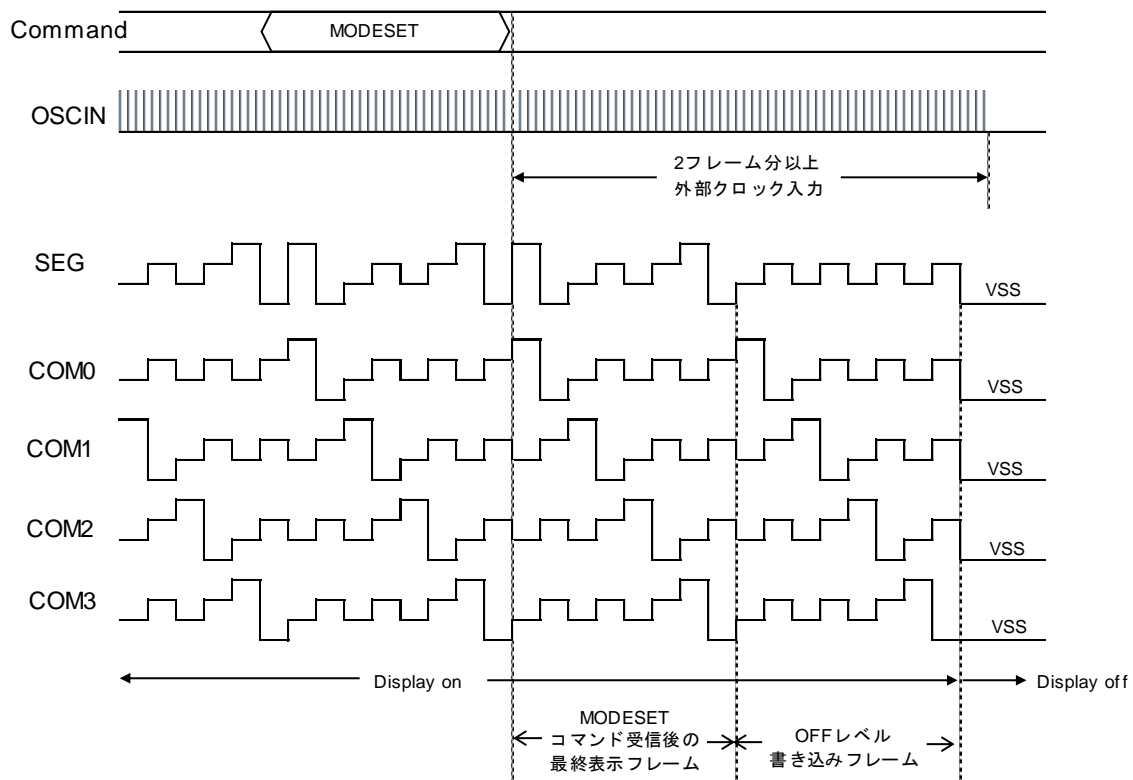


Figure 23. 外部クロック停止タイミング

2 線 serial interface に他のデバイスを接続する場合の注意

BU91796FS-M の VDD 電源を OFF した状態で、同一バス上の他のデバイスにアクセスしないでください。

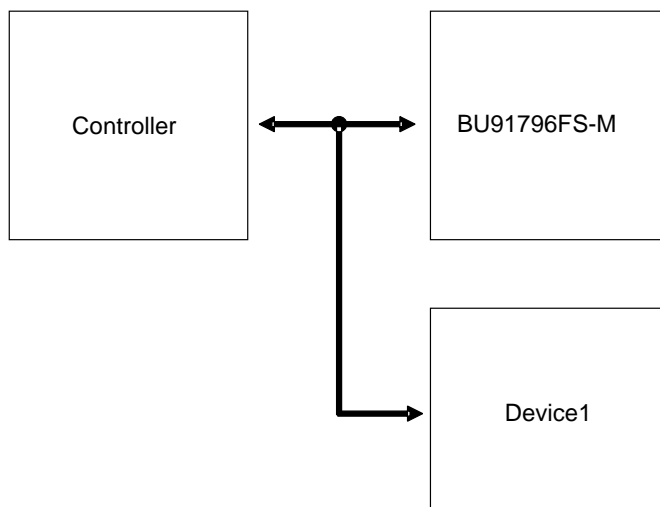


Figure 24. デバイス接続例

SDA 出力用 NMOS トランジスタのドレイン～ゲート間には、スルーレート制御のためコンデンサが接続されています (Figure 25 参照)。電源 (VDD) が印可されない時、ゲートはハイ・インピーダンス状態です。

この状態で SDA 端子が Low から High へ遷移すると、スルーレート制御用コンデンサを経由して電流が供給されゲート電圧 (V_g) が持ち上がります。

この電圧 (V_g) がスレッシュホールド電圧 (V_{th}) を超えると、出力トランジスタが ON 状態となり SDA 端子から電流 (I_{ds}) を引き込みます。

SDA 信号は外部抵抗 (R) により電源電圧 (V_{dd}) を維持しますが、上記電流 (I_{ds}) により電圧降下 ($R \cdot I_{ds}$) 大きくなると SDA 信号レベルの論理値 : 1 を維持できなくなります。

同一バス上に複数のデバイスが接続されている場合においても、必ず BU91796FS-M に電源 (VDD) を印可してください。

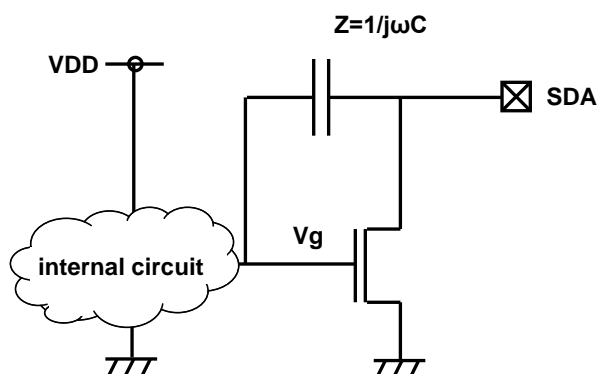


Figure 25. SDA 出力セル構造

使用上の注意

1. 電源の逆接続について

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れる等の対策を施してください。

2. 電源ラインについて

基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。その際、デジタル系電源とアナログ系電源は、それらが同電位であっても、デジタル系電源パターンとアナログ系電源パターンは分離し、配線パターンの共通インピーダンスによるアナログ電源へのデジタル・ノイズの回り込みを抑止してください。グラウンドラインについても、同様のパターン設計を考慮してください。

また、LSI のすべての電源端子について電源ーグラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量低下が起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

3. グラウンド電位について

グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。

4. グラウンド配線パターンについて

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

5. 熱設計について

万一、許容損失を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。本仕様書の絶対最大定格に記載しています許容損失は、70mm x 70mm x 1.6mm ガラスエポキシ基板実装時、放熱板なし時の値であり、これを超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用する等の対策をして、許容損失を超えないようにしてください。

6. 推奨動作条件について

この範囲であればほぼ期待通りの特性を得ることが出来る範囲です。電気特性については各項目の条件下において保証されるものです。

7. ラッシュカレントについて

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

8. 強電磁界中の動作について

強電磁界中でのご使用では、まれに誤動作する可能性がありますのでご注意ください。

9. セット基板での検査について

セット基板での検査時に、インピーダンスの低いピンにコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

10. 端子間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けした場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

使用上の注意 — 続き

11. 未使用の入力端子の処理について

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

12. 各入力端子について

LSI の構造上、寄生素子は電位関係によって必然的に形成されます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因となり得ます。したがって、入力端子にグラウンドより低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分注意してください。また、LSI に電源電圧を印加していない時、入力端子に電圧を印加しないでください。さらに、電源電圧を印加している場合にも、各入力端子は電源電圧以下の電圧もしくは電氣的特性の保証値内としてください。

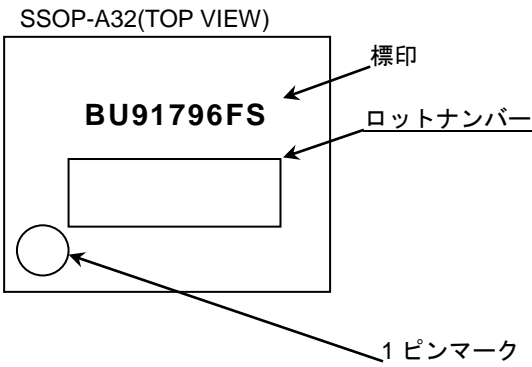
発注形名情報

B U 9 1 7 9 6 F S										-	M E 2		
品名										パッケージ		製品ランク M: 車載ランク製品 包装、フォーミング仕様 E2: リール状エンボステーパーピング	
										FS : SSOP-A32			

ラインアップ

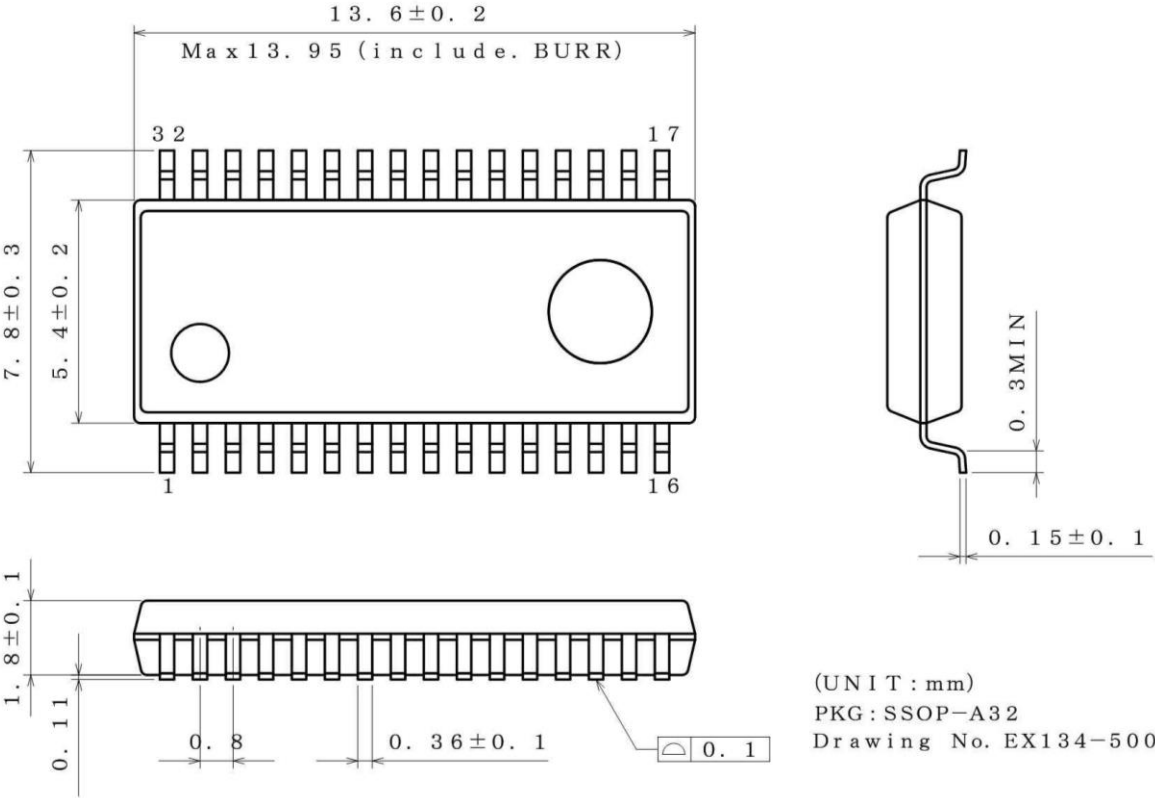
パッケージ		発注可能形名
SSOP-A32	Reel of 2000	BU91796FS-ME2

標印図



外形寸法図と包装・フォーミング仕様

Package Name	SSOP-A32
--------------	----------



<包装仕様>

包装形態	エンボステーピング
包装数量	2000pcs
包装方向	E2 (リールを左手に持ち、右手でテープを引き出したときに) 製品の1番ピンが左上にくる方向)

リール 1番ピン 引き出し側

※ご発注の際は、包装数量の倍数をお願い致します。

改訂履歴

Date	Revision	Changes
2016.2.8	001	新規作成
2017.02.06	002	BU91796FS-M(SSOP-A32)追加 1/2 バイアス設定禁止 P.8 Figure 11.インタフェースプロトコル誤記修正 P.10 機能説明一覧表 BLKCTL 機能説明修正 P.12 Power save mode FR 設定表誤記修正(50Hz -> 53Hz) P.18 電源立ち上げ、立ち下げ注意追加 P.19 P.O.R 使用時の注意のコメント修正 P.20 外部クロックモード時の Display off 動作について追加 P.21 2 線 serial interface に他のデバイスを接続する場合の注意追加 P.23 Operational Notes 使用上の注意 13. データ転送について 削除 P.24 発注形名情報、ラインアップ、標印図に SSOP-A32 追加 P.26 SSOP-A32 外形寸法図と包装・フォーミング仕様追加
2018.01.24	003	BU91796MUF-M (VQFN32FV5050)を削除

ご注意

ローム製品取扱い上の注意事項

- 極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器^(Note 1)、航空宇宙機器、原子力制御装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

- 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
- 本製品は、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用
 - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用された場合も、残渣の洗浄は確実にを行うことをお勧め致します)、又ははんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合
 - ⑧結露するような場所でのご使用
- 本製品は耐放射線設計はなされておられません。
- 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
- パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
- 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
- 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
- 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

- ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
- はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。
その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。（人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等）

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
 - ① 潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ② 推奨温度、湿度以外での保管
 - ③ 直射日光や結露する場所での保管
 - ④ 強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱いください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルに2次元バーコードが印字されていますが、2次元バーコードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は、外国為替及び外国貿易法に定めるリスト規制貨物等に該当するおそれがありますので、輸出する場合には、ロームへお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等（ソフトウェア含む）との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。