



●ブロック図 / 端子配置図 / 端子説明

BU9796AFS

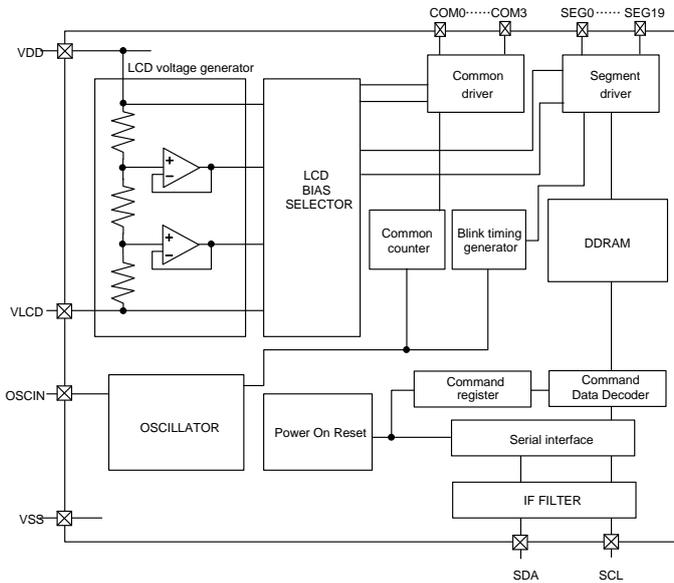


Figure 2. ブロック図

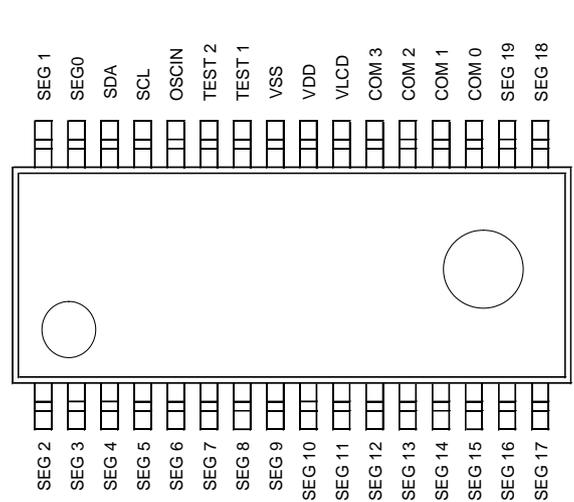


Figure 3. 端子配置図 (TOP VIEW)

Table 1 端子説明

端子名	端子番号	I/O	機能
TEST1	26	I	TEST 用入力端子です。 VSS level に Short してください。
TEST2	27	I	POR イネーブル設定端子です。 H : POR ディスイネーブル(Software Reset をご使用ください) L : POR イネーブル
OSCIN	28	I	外部 Clock 入力用端子です。 外部 Clock, 内部 Clock はコマンドにて切り替え可能です。 内蔵発振回路使用時は VSS level に Short してください。
SDA	30	I/O	2 線 serial data 入出力
SCL	29	I	2 線 serial clock 入力
VSS	25		GND
VDD	24		電源
VLCD	23		液晶駆動用電圧
SEG0-19	31,32 1-18	O	液晶駆動用 SEGMENT 出力
COM0-3	19-22	O	液晶駆動用 COMMON 出力

●ブロック図 / 端子配置図 / 端子説明 (続き)

BU9796AMUV

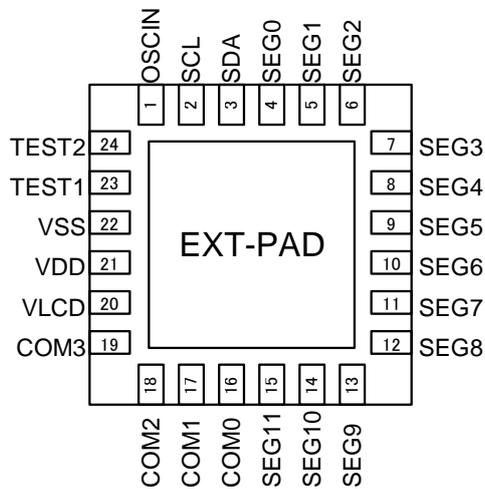
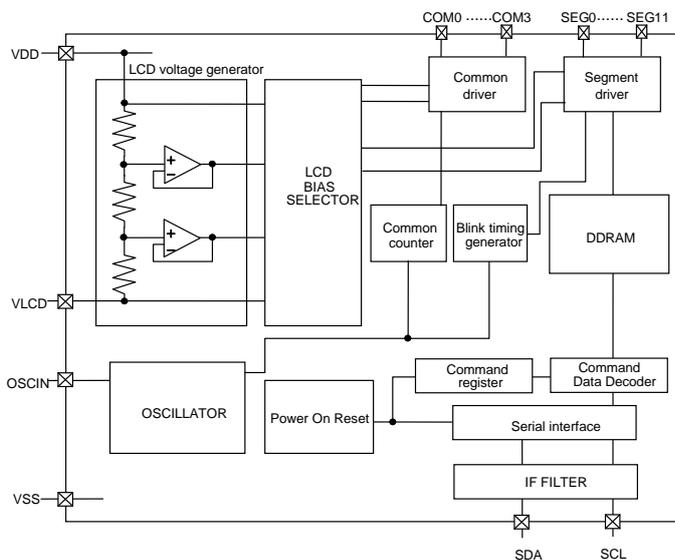


Figure 4. Block Diagram

Figure 5. Pin Configuration (BOTTOM VIEW)

Table 1 Pin Description

端子名	端子番号	I/O	機能
TEST1	23	I	TEST 用入力端子です。 VSS level に Short してください。
TEST2	24	I	POR イネーブル設定端子です。 H : POR ディスイネーブル(Software Reset をご使用ください) L : POR イネーブル
OSCIN	1	I	外部 Clock 入力用端子です。 外部 Clock, 内部 Clock はコマンドにて切り替え可能です。 内蔵発振回路使用時は VSS level に Short してください。
SDA	3	I/O	2 線 serial data 入出力
SCL	2	I	2 線 serial clock 入力
VSS	22		GND
VDD	21		電源
VLCD	20		液晶駆動用電圧
SEG0-11	4-15	O	液晶駆動用 SEGMENT 出力
COM0-3	16-19	O	液晶駆動用 COMMON 出力
EXT-PAD	-(*)	-	サブストレート

\*1 : 放熱のため、VQFN024V4040 パッケージの裏面の EXT-PAD をボードに実装下さい。  
電位レベルは OPEN、または VSS レベルとして下さい。

## ●絶対最大定格 (VSS=0V)

項目	記号	定格	単位	備考
電源電圧 1	VDD	-0.5~+7.0	V	電源
電源電圧 2	VLCD	-0.5~VDD	V	液晶駆動用電圧
許容損失	Pd	0.64	W	Ta≥25°Cにおいて、6.4mW/°Cで減じます。(BU9796AFS) (パッケージ単体)
		0.27	W	Ta≥25°Cにおいて、2.7mW/°Cで減じます。(BU9796AMUV) (パッケージ単体)
入力電圧範囲	VIN	-0.5~VDD+0.5	V	
動作温度範囲	Topr	-40~+85	°C	
保存温度範囲	Tstg	-55~+125	°C	

## ●推奨動作範囲 (Ta=-40~85°C, VSS=0V)

項目	記号	定格			単位	備考
		MIN	TYP	MAX		
電源電圧 1	VDD	2.5	-	5.5	V	電源
電源電圧 2	VLCD	0	-	VDD-2.4	V	液晶駆動用電圧

## ●電気的特性

DC 特性 (特に指定のない限り VDD=2.5~5.5V, VLCD=0V, VSS=0V, Ta=-40~85°C)

項目	記号	規格値			単位	条件
		MIN	TYP	MAX		
"H"入力電圧	VIH	0.7VDD	-	VDD	V	SDA,SCL
"L"入力電圧	VIL	VSS	-	0.3VDD	V	SDA,SCL
"H"入力電流	I <sub>IH</sub>	-	-	1	μA	SDA,SCL
"L"入力電流	I <sub>IL</sub>	-1	-	-	μA	SDA,SCL
液晶 Driver on 抵抗	SEG	RON	-	3	-	I <sub>load</sub> =±10μA
	COM	RON	-	3	-	
VLCD supply voltage	VLCD	0	-	VDD-2.4	V	VDD-VLCD≥2.4V
スタンバイ電流	IDD1	-	-	5	μA	Display off, 発振 off
動作電流	IDD2	-	12.5	30	μA	VDD=3.3V, VLCD=5V, Ta=25°C Power save mode1, FR=71Hz 1/3 bias, フレーム反転

発振特性 (特に指定のない限り VDD=2.5~5.5V, VLCD=0V, VSS=0V, Ta=-40~85°C)

項目	記号	規格値			単位	条件
		MIN	TYP	MAX		
フレーム周波数	fCLK	56	80	104	Hz	FR = 80Hz 設定時, VDD=3.3V
外部印加周波数	fEXCLK	15	-	300		外部クロック使用時(*1)

(\*1) <外部印加クロックモード時のフレーム周波数計算式>

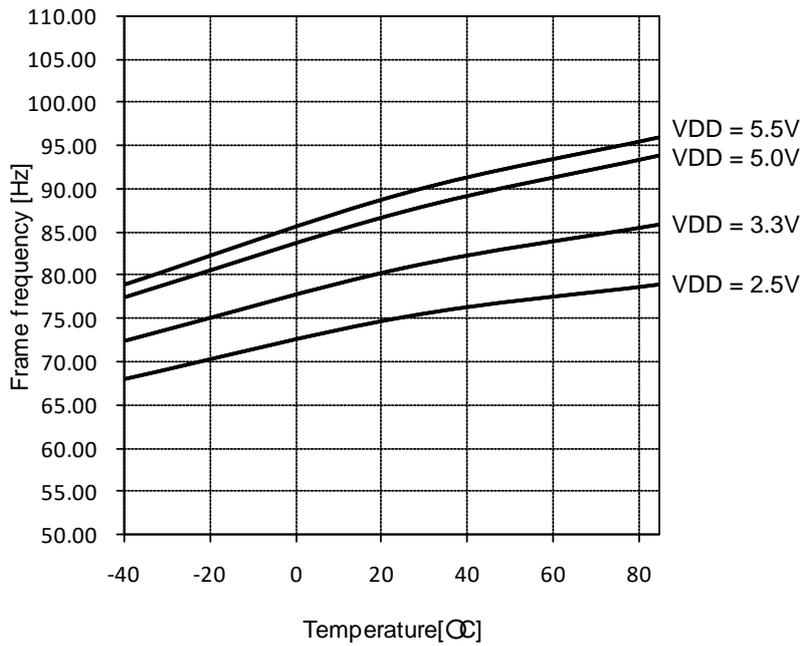
DISCTL 80Hz 設定 : フレーム周波数[Hz] = 外部クロック [Hz] / 512

DISCTL 71Hz 設定 : フレーム周波数[Hz] = 外部クロック [Hz] / 576

DISCTL 64Hz 設定 : フレーム周波数[Hz] = 外部クロック [Hz] / 648

DISCTL 53Hz 設定 : フレーム周波数[Hz] = 外部クロック [Hz] / 768

【Reference Data】



温度特性(Typical)

●電气的特性 (続き)

MPU interface 特性 (特に指定のない限り VDD=2.5~5.5V, VLCD=0V, VSS=0V, Ta=-40~85°C)

項目	記号	規格値			単位	条件
		MIN.	TYP.	MAX.		
入力立ち上がり時間	tr	-	-	0.3	μs	
入力立ち下がり時間	tf	-	-	0.3	μs	
SCL 周期	tSCYC	2.5	-	-	μs	
"H" SCL pulse 幅	tSHW	0.6	-	-	μs	
"L" SCL pulse 幅	tSLW	1.3	-	-	μs	
SDA setup 時間	tSDS	100	-	-	ns	
SDA hold 時間	tSDH	100	-	-	ns	
バス・フリー時間	tBUF	1.3	-	-	μs	
START condition hold 時間	tHD;STA	0.6	-	-	μs	
START condition setup 時間	tSU;STA	0.6	-	-	μs	
STOP condition setup 時間	tSU;STO	0.6	-	-	μs	

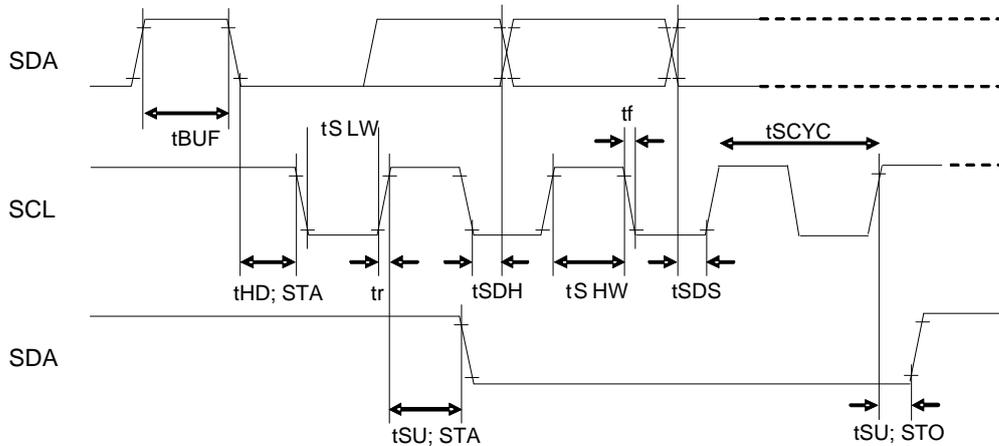


Figure 6. インターフェースタイミング

●入出力等価回路図

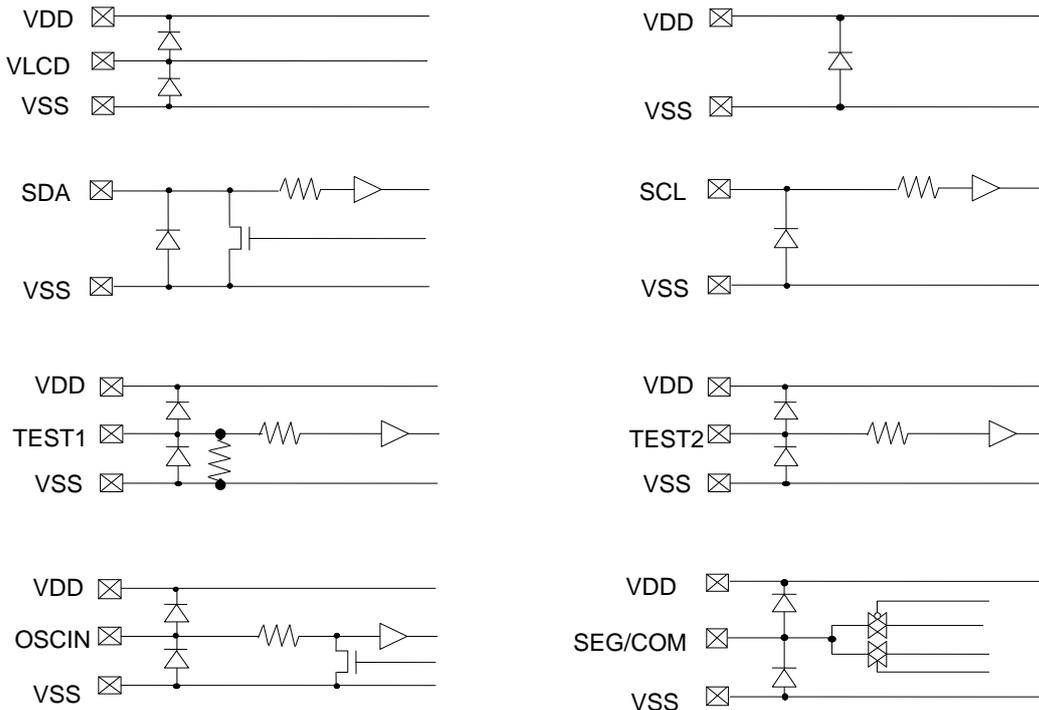


Figure 7. 入出力等価回路図

●推奨回路例  
<BU9796AFS>

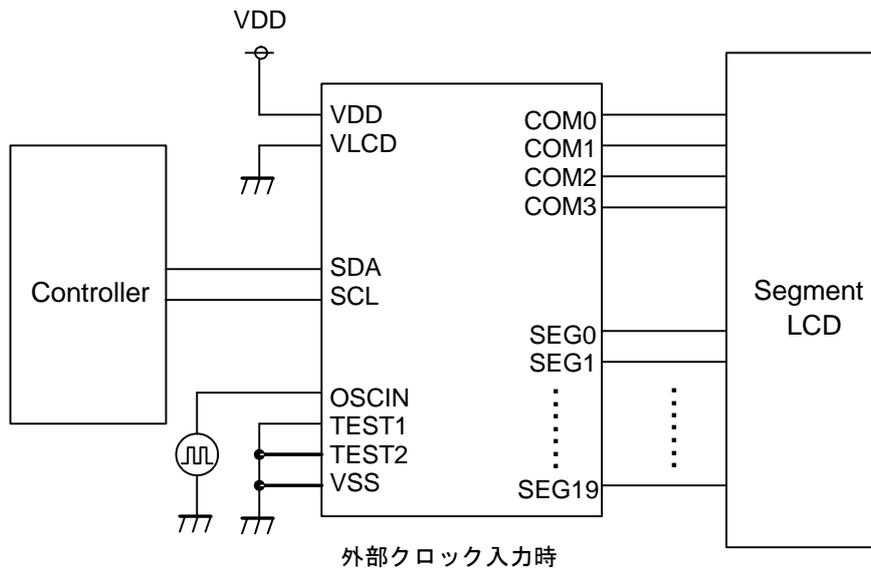
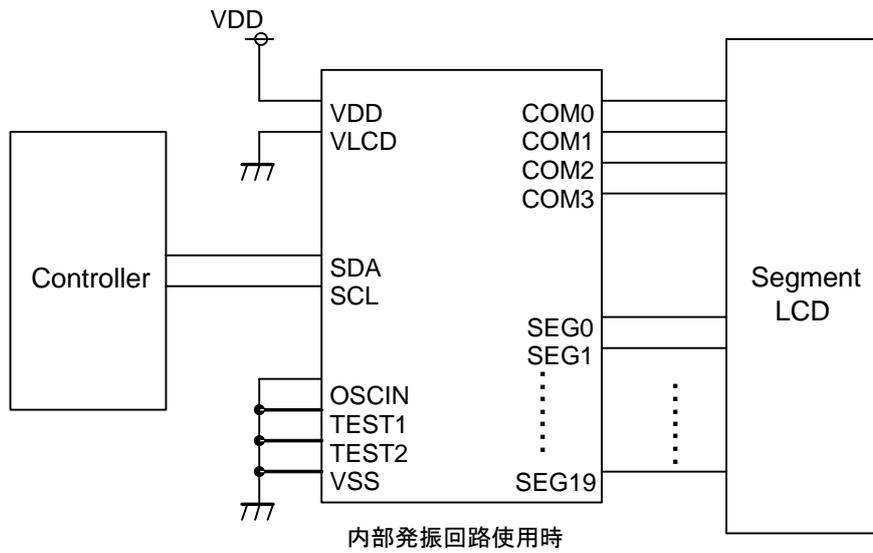


Figure 8. 推奨回路例

●推奨回路例 (続き)  
<BU9796AMUV>

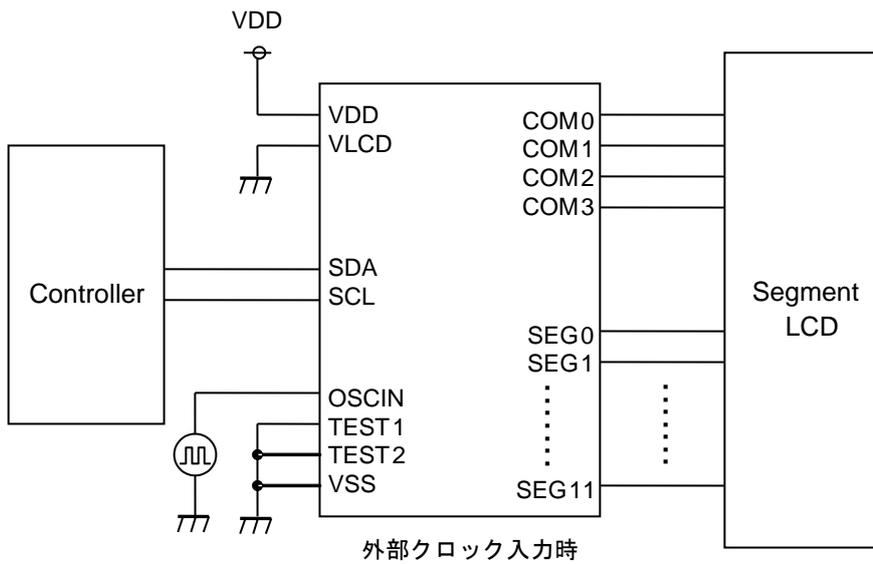
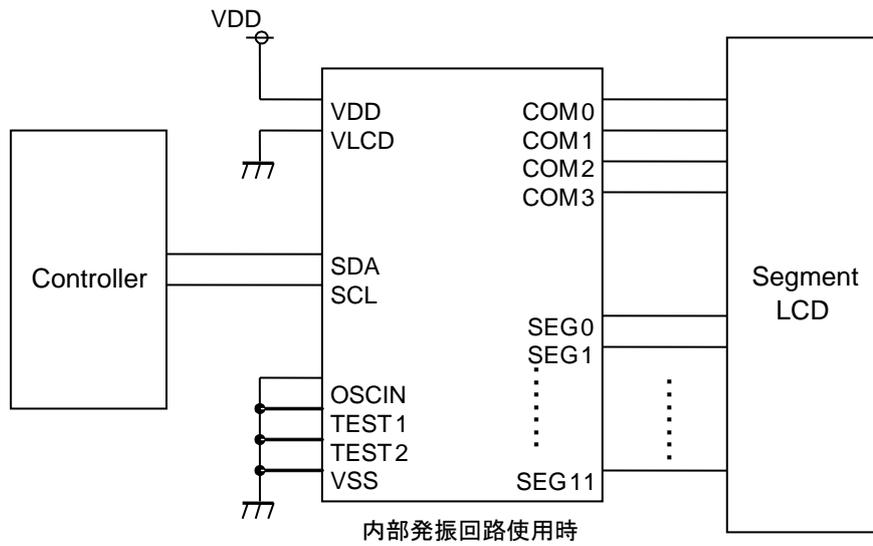


Figure 9. 推奨回路例

## ●機能説明

## ○Command・Data 転送方法

BU9796A は 2 線 serial interface にて Data の転送を行います。

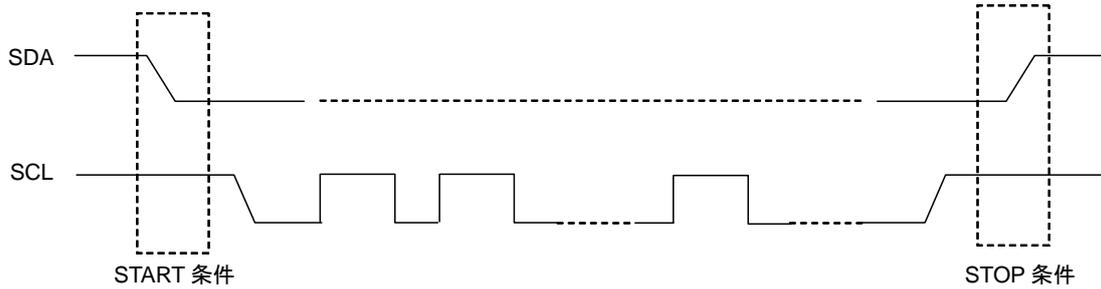


Figure 10. 2-SPI Command/Data 転送 Format

2 線 serial I/F にて コマンド、又はデータを入力する場合、START 条件、STOP 条件という固有の状態を発生させる必要があります。



Figure 11. 2-SPI Command/Data 転送方法

BU9796A にコマンド又は表示データを入力するには、以下の手順が必要です。

- ① START 条件を生成する。
- ② Slave address を発行する。
- ③ Command, Display data を転送する。

## ○Acknowledge

データ転送を行う場合、必ず Acknowledge が必要になります。

データの転送は 8bit 単位で構成され、8bit データ転送後、Acknowledge を返します。

8bit データ (Slave Address, Command, Display Data) 転送後、SCL (8 発目) 立下り時で SDA ラインを開放し、'L' を出力します。その後 9 発目立下り時に出力を停止します。ただし出力は NMOS オープンドレイン形式のため、H 出力はされません。Acknowledge を必要としない場合には、SCL 8 発目立下り後から、SCL 9 発目立下りまで "L" 入力をしてください。

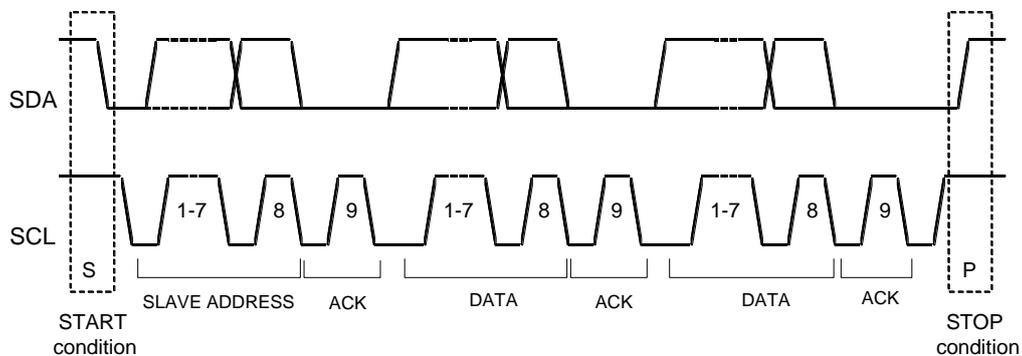
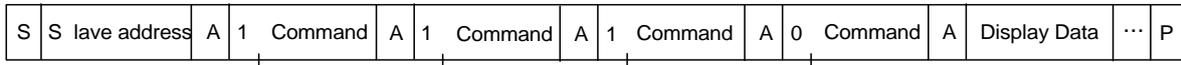


Figure 12. Acknowledge タイミング

○Command 転送方法

Slave address 入力後、1byte は必ずコマンド入力になります。  
 Command or data 判定 bit を'1'にすると、続けてコマンドを入力する事が可能です。  
 Command or data 判定 bit を'0'にすると、次からの byte data は表示データになります。



表示データの入力状態になると、コマンドは入力できなくなります。再度コマンドを入力する場合は、一度 start 条件を生成してください。

コマンド転送途中に START 条件、又は STOP 条件が入力されると転送途中のコマンドはキャンセルされます。転送途中に START 条件を入力した場合、続けて Slave address を入力すると、コマンド入力状態になります。

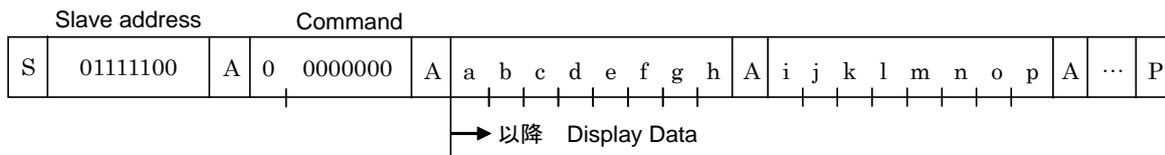
START 条件生成後、最初のデータ転送で Slave Address を入力してください。最初のデータ転送で Slave Address を認識できない場合、Acknowledge は返さず、以後のデータ転送は受け付けません。データ受け付け拒否状態になった場合、再度 START 条件を入力すると復帰します。

※コマンド、データの転送時には、入力立ち上がり時間、Setup、Hold 時間等、MPU Interface 特性を守る様に注意してください。(MPU Interface 特性を参照ください。)

○表示 data の書き込みと転送方法

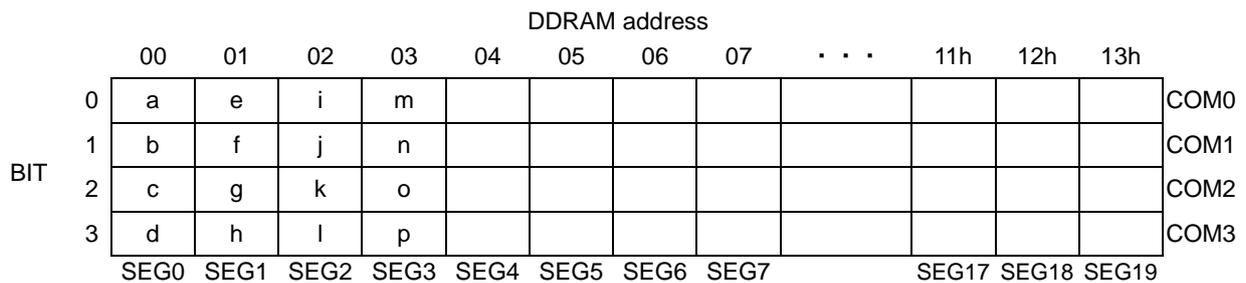
<BU9796AFS>

BU9796AFS は、20×4=80bit の Display Data RAM (DDRAM)を内蔵しています。  
 表示 data と書き込みとの対応及び、DDRAM data と Address と表示の対応は以下のとおりです。



2進8ビットデータを DDRAM に書き込みます。書き込まれる番地は Address set 命令で指定された番地で、4ビットデータごとにアドレスは自動的にインクリメントされます。

続けて Data を送信することで連続して DDRAM にデータを書き込むことができます。  
 (Address set 命令については ADSET コマンドを参照してください。)



RAM への書き込みは 4bit ごとに行います。そのため、ACK を待つことなく書き込みが終了します。



## ○OSCILLATOR

内部動作及び液晶表示動作に必要な Timing を、発振回路もしくは外部供給 Clock から発生させます。  
BU9796A は発振回路を内蔵しています。内蔵発振回路を使用する場合、OSCIN は VSS Level に Short してください。

\* Clock を外部供給する場合は、ICSET コマンドで切り替え、OSCIN より外部 Clock を入力します。

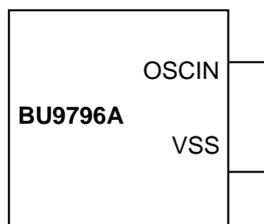


Figure 13. 内蔵発振回路使用時

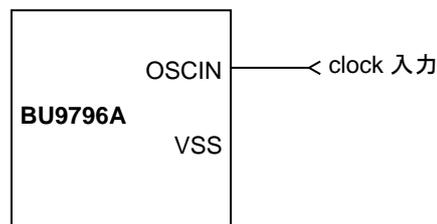


Figure 14. Clock 外部供給時

## ○LCD Driver Bias Circuit

液晶駆動電圧を生成します。また、バッファアンプを内蔵しており、低消費電力にて駆動可能です。

- \* 1/3, 1/2Bias の設定は、MODESET コマンドにて可能です。
  - \* ライン、フレーム反転の設定は、DISCTL コマンドにて可能です。
- それぞれの液晶駆動波形は、液晶駆動波形の項目を参照してください。

## ○Blink timing generator

BU9796A は Blink 機能を搭載しています。

- \* Blink mode の設定は BLKCTL コマンドにて可能です。
- 内部発振回路使用時には fCLK の特性により、Blink 周期はバラツキます。  
fCLK の特性については、発振特性を参照してください。

## ○Reset 初期状態

Software Reset 実行後のリセット初期状態は以下のとおりです。

- ・表示は OFF されます。
  - ・ DDRAM アドレスは初期化されず (DDRAM Data は初期化されません)。
- レジスタの初期値についてはコマンド詳細説明を参照してください。

## ●Command / 機能 一覧

## 機能説明一覧表

No.	コマンド	機能
1	Display Control (DISCTL)	液晶表示設定 1
2	Mode Set (MODESET)	液晶駆動設定
3	Address Set (ADSET)	液晶表示設定 2
4	Set IC Operation (ICSET)	IC 動作設定
5	Blink Control (BLKCTL)	Blink 駆動設定
6	All Pixel Control (APCTL)	全表示、点灯、消灯の設定

## ●コマンド詳細説明

D7 (MSB)は Command or data 判定用 bit です。  
詳細は、2 線 serial interface コマンド、データ転送方法を参照してください。

C : 0 : 次の Byte (D7-D0)は RAM 書き込みデータです。  
1 : 次の Byte はコマンドです。

## O Display control (DISCTL)

MSB				LSB			
D7	D6	D5	D4	D3	D2	D1	D0
C	0	1	P4	P3	P2	P1	P0

Power save mode FR の設定を行います。

設定	P4	P3	Reset 初期状態
Normal mode (80Hz)	0	0	○
Power save mode1 (71Hz)	0	1	
Power save mode2 (64Hz)	1	0	
Power save mode3 (50Hz)	1	1	

\* 動作電流は、Normal mode>Power save mode1>Power save mode2>Power save mode3 の順で減少します。

液晶駆動波形の設定を行います。

設定	P2	Reset 初期状態
ライン反転	0	○
フレーム反転	1	

\* 動作電流は、ライン反転 > フレーム反転 となります。  
詳細は液晶駆動波形の項目を参照ください。

Power save mode SR の設定を行います。

設定	P1	P0	Reset 初期状態
Power save mode1	0	0	
Power save mode2	0	1	
Normal mode	1	0	○
High power mode	1	1	

\* 動作電流は、Power save mode 1 < Power save mode 2 < Normal mode < High power mode の順に増加します。

(参考消費電流データ)

設定	消費電流
Power save mode 1	×0.5
Power save mode 2	×0.67
Normal mode	×1.0
High power mode	×1.8

\* 上記消費電流データは参考値です。パネル負荷に応じて変わります。

(注) Power save mode FR ・ 液晶駆動波形 ・ Power save mode SR の設定は主に以下の表示画質に影響を与えます。  
BU9796A を搭載した液晶パネルにて消費電流及び表示画質から最適値を選択してください。

モード	画像チラツキ	表示品位/コントラスト
Power save mode FR	○	-
液晶駆動波形	○	○
Power save mode SR	-	○

## OMode Set (MODE SET)

MSB				LSB			
D7	D6	D5	D4	D3	D2	D1	D0
C	1	0	0	P3	P2	*	*

(\*: Don't care)

表示 ON, OFF の設定を行います。

設定	P3	Reset 初期状態
Display OFF	0	○
Display ON	1	

Display OFF : DDRAM の内容に関係なく、1 フレーム OFF 書き込み後、SEGMENT, COMMON 出力はすべて停止します。Display on (DSPON)で Display off mode は終了します。

Display ON : SEGMENT, COMMON 出力は Active となり、DDRAM から Display への読み出し動作を開始します。

Bias の設定を行います。

設定	P2	Reset 初期状態
1/3 Bias	0	○
1/2 Bias	1	

詳細は液晶駆動波形の項目を参照ください。

## OAddress set (ADSET)

MSB				LSB			
D7	D6	D5	D4	D3	D2	D1	D0
C	0	0	P4	P3	P2	P1	P0

設定可能アドレスは 00000 から 10011 までです。

範囲外のアドレスに設定した場合は、00000 に設定されます。

## OSet IC Operation (ICSET)

MSB				LSB			
D7	D6	D5	D4	D3	D2	D1	D0
C	1	1	0	1	*	P1	P0

Software Reset を行います。

設定	P1
Software Reset 非実行	0
Software Reset 実行	1

Software Reset 実行時 : BU9796A が Reset 初期状態になります。

内蔵発振回路, 外部 clock の切り替えを行います。

設定	P0	Reset 初期状態
内蔵発振回路	0	○
外部 clock 入力	1	

内蔵発振回路設定時 : OSCIN は VSS level に short させてください。

外部 clock 入力設定時 : OSCIN より外部 clock を入力してください。

## 【外部 Clock 時のフレーム周波数計算式】

DISCTL 80Hz 選択時 : フレーム周波数[Hz] = 外部 clock[Hz] / 512

DISCTL 71Hz 選択時 : フレーム周波数[Hz] = 外部 clock[Hz] / 576

DISCTL 64Hz 選択時 : フレーム周波数[Hz] = 外部 clock[Hz] / 648

DISCTL 53Hz 選択時 : フレーム周波数[Hz] = 外部 clock[Hz] / 768

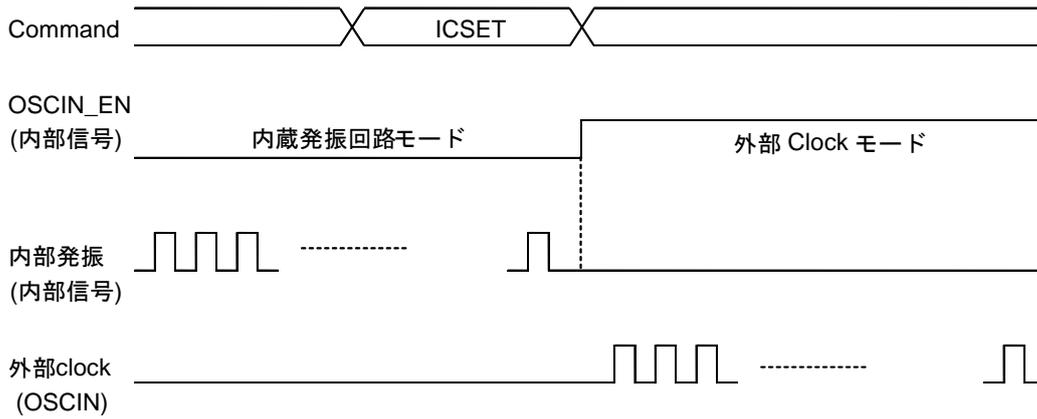


Figure 15. OSCMODE 切り替えタイミング

## OBlink control (BLKCTL)

MSB				LSB			
D7	D6	D5	D4	D3	D2	D1	D0
C	1	1	1	0	*	P1	P0

Blink の設定を行います。

Blink mode (Hz)	P1	P0	Reset 初期状態
OFF	0	0	○
0.5	0	1	
1	1	0	
2	1	1	

内部発振回路を使用している際には、ブリンク周期は fclk 特性によって変化します。発振特性を参照ください。

## OAll Pixel control (APCTL)

MSB				LSB			
D7	D6	D5	D4	D3	D2	D1	D0
C	1	1	1	1	1	P1	P0

全表示,点灯,消灯の設定を行います。

APON	P1	Reset 初期状態
Normal	0	○
All pixel ON	1	

APOFF	P0	Reset 初期状態
Normal	0	○
All pixel OFF	1	

All pixels ON : DDRAM の内容に関係なく全表示を点灯します。

All pixels OFF : DDRAM の内容に関係なく全表示を消灯します。

All pixels ON/OFF は Display ON 時のみ有効になります。このとき、DDRAM の内容は変化しません。

注意 : P1, P0 をともに'1'設定にした場合は APOFF が優先的に選択されます。

●液晶駆動波形

(1/3bias)

ライン反転

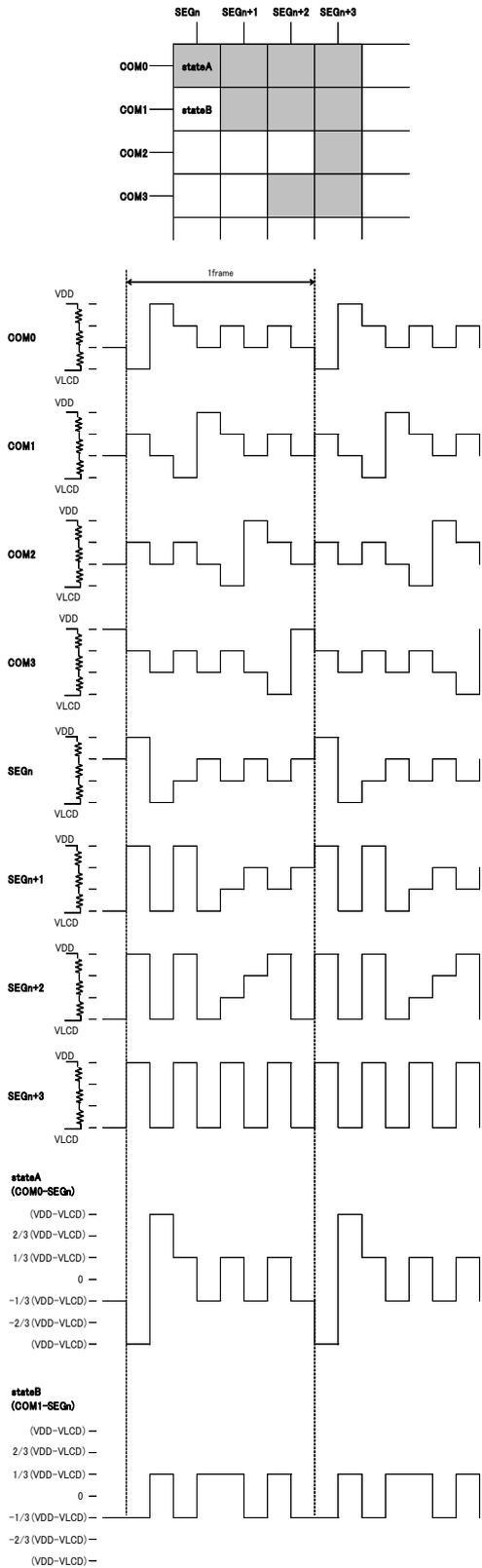


Figure 16. ライン反転時液晶駆動波形図(1/3bias)

フレーム反転

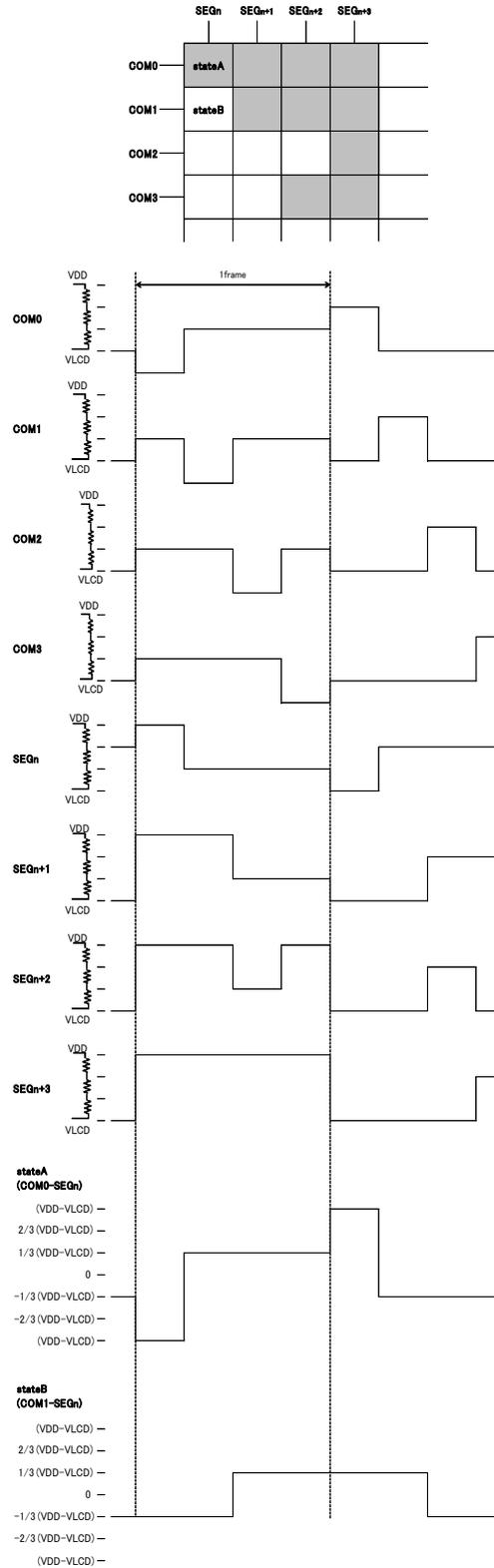
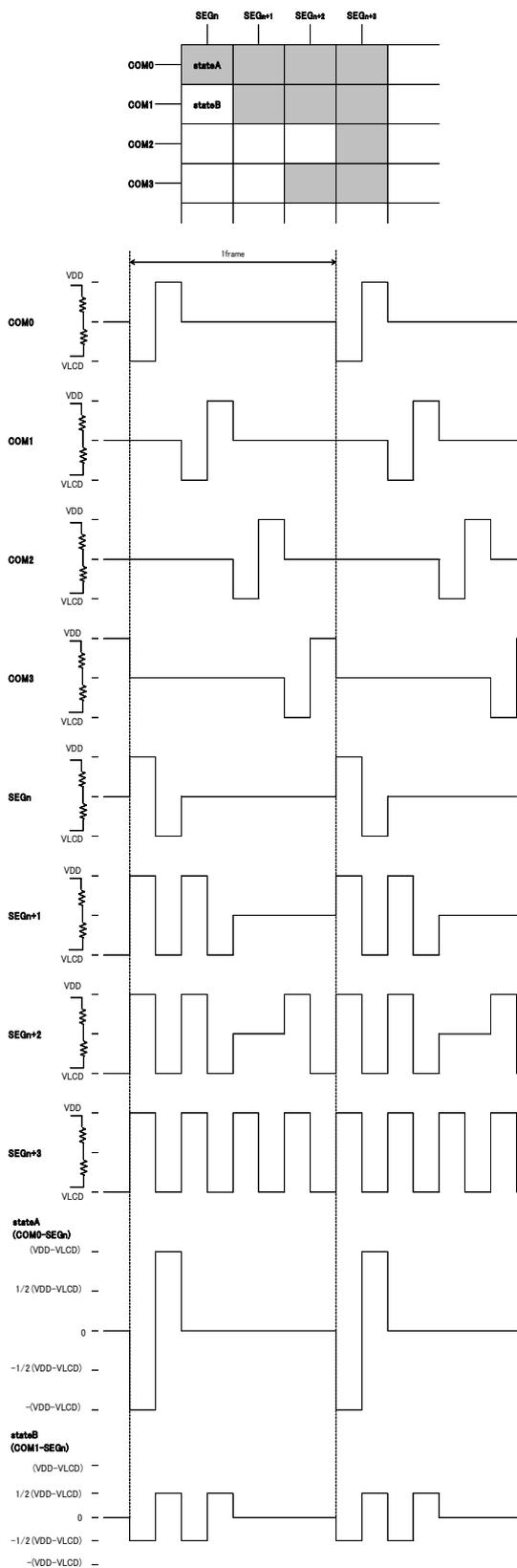


Figure 17. フレーム反転時液晶駆動波形図(1/3bias)

(1/2bias)  
ライン反転



フレーム反転

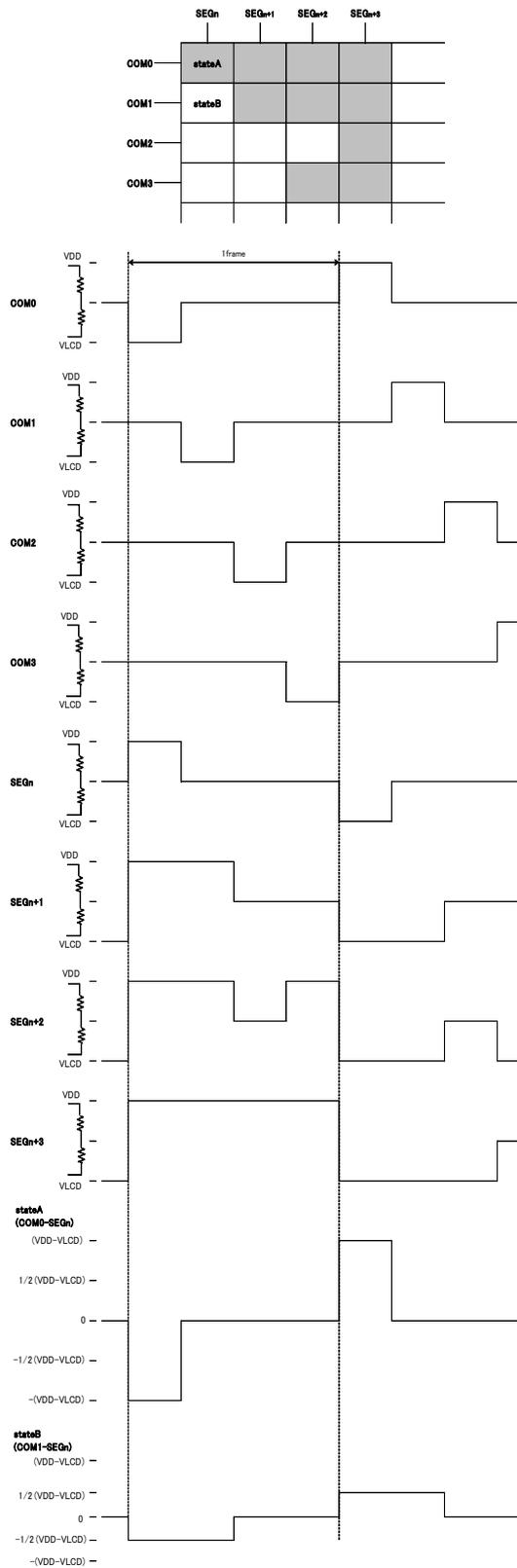


Figure 18. ライン反転時液晶駆動波形図(1/2bias)

Figure 19. フレーム反転時液晶駆動波形図(1/2bias)

●表示データ例

Figure 20, Figure 21 に示す SEG・COM 配線パターンを持つパネルにFigure 22 のようなパターンを表示させる場合、次項の DDRAM データマップになります。

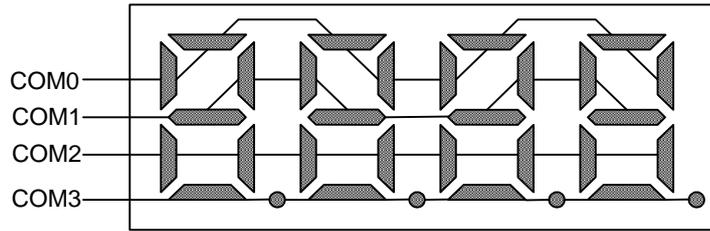


Figure 20. COM ラインパターン例

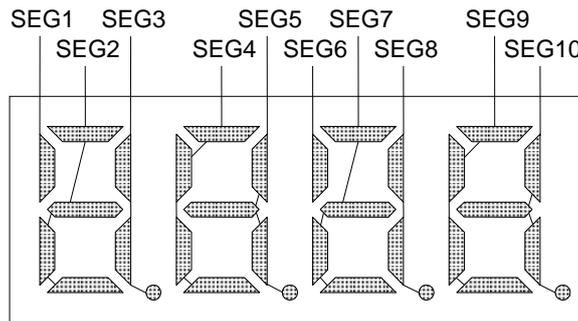


Figure 21. SEG ラインパターン例

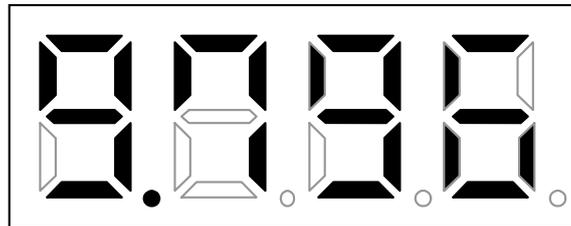


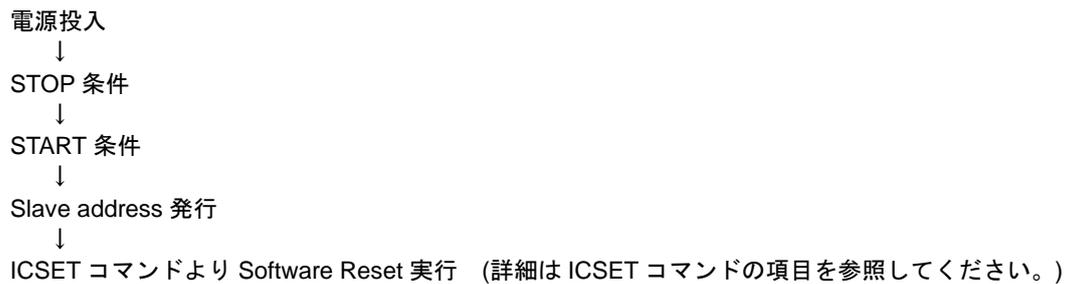
Figure 22. 表示パターン例

◎Figure 22 の表示パターンの DDRAM データマップ

		S	S	S	S	S	S	S	S	S	S	S	S	S	S	S	S	S	S	S	
		E	E	E	E	E	E	E	E	E	E	E	E	E	E	E	E	E	E	E	
		G	G	G	G	G	G	G	G	G	G	G	G	G	G	G	G	G	G	G	
		0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
COM0	D0	0	1	1	0	1	1	1	1	0	1	0	0	0	0	0	0	0	0	0	0
COM1	D1	0	0	1	1	1	0	0	1	1	1	1	0	0	0	0	0	0	0	0	0
COM2	D2	0	0	0	1	0	1	0	0	1	1	1	0	0	0	0	0	0	0	0	0
COM3	D3	0	0	1	1	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0
Address		00h	01h	02h	03h	04h	05h	06h	07h	08h	09h	0Ah	0Bh	0Ch	0Dh	0Eh	0Fh	10h	11h	12h	13h

## ●Initialize sequence

電源投入後以下のシーケンスを実行し、BU9796A を Reset 初期状態にしてください。



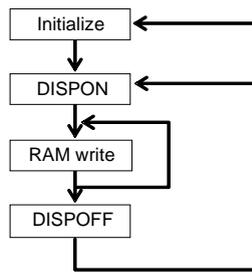
\* 電源投入後、initialize sequence を実行するまでの各レジスタ値、DDRAM アドレス、DDRAM Data はランダムです。

## ●Start sequence

## ○Start sequence 例 1

No.	Input	D7	D6	D5	D4	D3	D2	D1	D0	Descriptions
1	Power on									VDD=0→5V (Tr=0.1ms)
	↓									
2	wait 100μs									IC の初期化
	↓									
3	Stop									Stop 条件
	↓									
4	Start									Start 条件
	↓									
5	Slave address	0	1	1	1	1	1	0	0	Slave address 発行
	↓									
6	ICSET	1	1	1	0	1	*	1	0	Software Reset
	↓									
7	BLKCTL	1	1	1	1	0	*	0	1	
	↓									
8	DISCTL	1	0	1	0	1	1	0	0	
	↓									
9	ICSET	1	1	1	0	1	*	0	1	
	↓									
10	ADSET	0	0	0	0	0	0	0	0	RAM アドレスセット
	↓									
11	Display Data	*	*	*	*	*	*	*	*	address 00h - 01h
	Display Data	*	*	*	*	*	*	*	*	address 02h - 03h
	⋮									⋮
	Display Data	*	*	*	*	*	*	*	*	address 12h - 13h
	↓									
12	Stop									Stop 条件
	↓									
13	Start									Start 条件
	↓									
14	Slave address	0	1	1	1	1	1	0	0	Slave address 発行
	↓									
15	MODESET	1	1	0	*	1	0	*	*	Display ON
	↓									
16	Stop									Stop 条件

## ○Start sequence 例 2



Initialize Sequence  
IC を初期化します

DISPON Sequence  
各種表示設定を行い、表示を開始します

RAM write Sequence  
表示データを更新します

DISPOFF Sequence  
表示を停止します

Initialize Sequence で IC の初期化を行い、DISPON Sequence で表示を開始します。表示データの更新をしたい場合は、RAM write Sequence により、表示データの更新を行います。表示を停止したい場合は、DISPOFF sequence により表示を停止します。表示を再開したい場合は、DISPON Sequence により表示を再開します。

**Initialize sequence**

Input	DATA								Description
	D7	D6	D5	D4	D3	D2	D1	D0	
Power on wait 100us STOP START									
Slave address	0	1	1	1	1	1	0	0	Software Reset 実行 表示 OFF RAM アドレスセット 表示データ
ICSET	1	1	1	0	1	0	1	0	
MODESET	1	1	0	0	0	0	0	0	
ADSET	0	0	0	0	0	0	0	0	
Display data ...	*	*	*	*	*	*	*	*	
STOP									

**Dispon sequence**

Input	DATA								Description
	D7	D6	D5	D4	D3	D2	D1	D0	
START									
Slave address	0	1	1	1	1	1	0	0	内部 OSC モード Display Control 設定 BLKCTL 設定 APCTL 設定 表示 ON
ICSET	1	1	1	0	1	0	0	0	
DISCTL	1	0	1	1	1	1	1	1	
BLKCTL	1	1	1	1	0	0	0	0	
APCTL	1	1	1	1	1	1	0	0	
MODESET	1	1	0	0	1	0	0	0	
STOP									

**RAM write sequence**

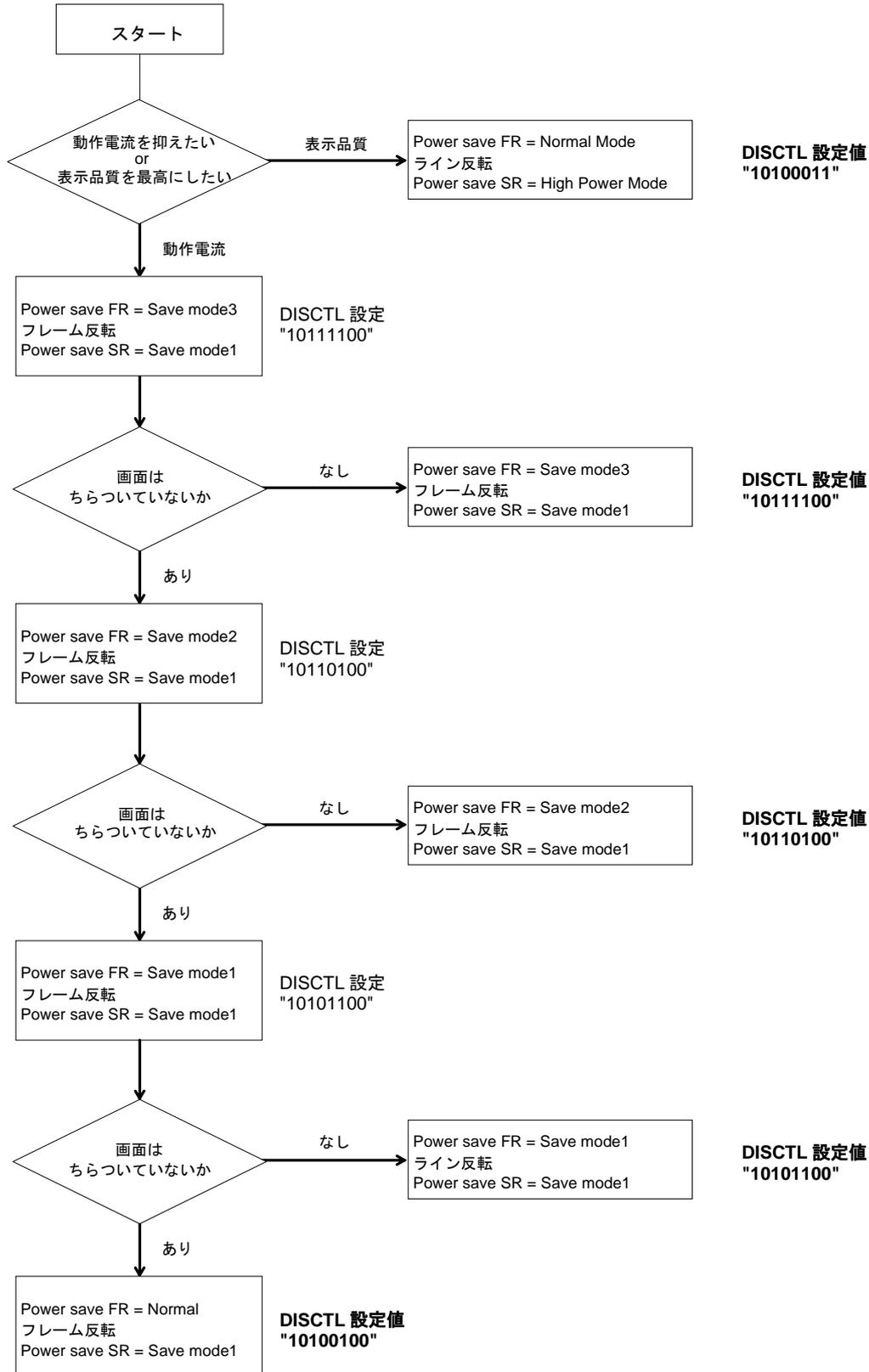
Input	DATA								Description
	D7	D6	D5	D4	D3	D2	D1	D0	
START									
Slave address	0	1	1	1	1	1	0	0	内部 OSC モード Display Control 設定 BLKCTL 設定 APCTL 設定 表示 ON RAM アドレスセット 表示データ
ICSET	1	1	1	0	1	0	0	0	
DISCTL	1	0	1	1	1	1	1	1	
BLKCTL	1	1	1	1	0	0	0	0	
APCTL	1	1	1	1	1	1	0	0	
MODESET	1	1	0	0	1	0	0	0	
ADSET	0	0	0	0	0	0	0	0	
Display Data ...	*	*	*	*	*	*	*	*	
STOP									

**Dispoff sequence**

Input	DATA								Description
	D7	D6	D5	D4	D3	D2	D1	D0	
START									
Slave address	0	1	1	1	1	1	0	0	内部 OSC モード 表示 OFF
ICSET	1	1	1	0	1	0	0	0	
MODESET	1	1	0	0	0	0	0	0	
STOP									

外部からのノイズ等の影響を受け、思わぬ誤動作が発生する可能性がある為、Initialize、表示 ON/OFF、RAM データのリフレッシュ時には必ず上記シーケンスに従ってコマンドを送信していただくことをお勧めいたします。

●DISCTL 設定フローチャート



## ●電源立ち上げ、立ち下げの注意

電源立ち上がり時は、IC 内部回路及びリセットが不安定な低電圧領域を通過して VDD が立ち上がるため IC の内部が完全にリセットされずに誤動作を起こす恐れがあります。これを防ぐために P.O.R 回路と Software Reset の機能を付けています。その動作を確実なものにするため、電源立ち上がり時には以下の条件を守ってください。

P.O.R 回路を動作させるための、 $t_R$ 、 $t_F$ 、 $t_{OFF}$ 、 $V_{bot}$  の推奨条件を満たすよう、VDD 電源を立ち上げてください。

注：POR 回路を有効にするには TEST2 端子="L"にする必要があります。

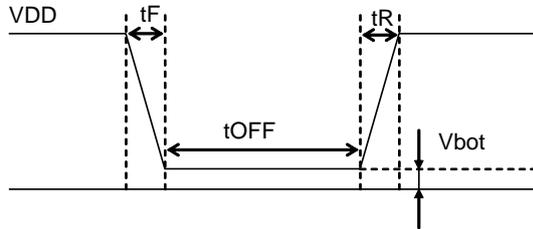


Figure 23. 立ち上がり波形図

$t_R, t_F, t_{OFF}, V_{bot}$  の推奨条件 ( $T_a=25^\circ\text{C}$ )

$t_R$	$t_F$	$t_{OFF}$	$V_{bot}$
1ms 以下	1ms 以下	100ms 以上	0.1V 以下

上記条件が守れないときには電源立ち上げ後、以下の対策を行ってください。

注：TEST2="H"の場合は、POR 回路が無効になっているため、以下の対策が必須です。

- (1) STOP 条件を生成する。

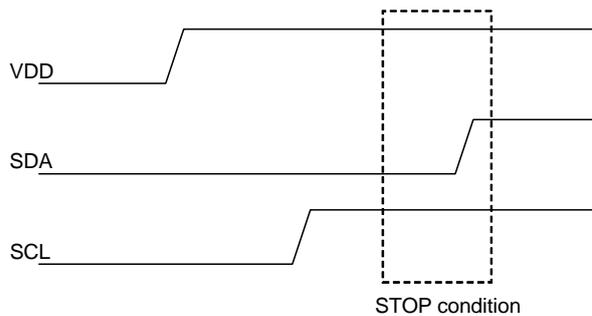


Figure 24. STOP 条件タイミング

- (2) START 条件を生成する。

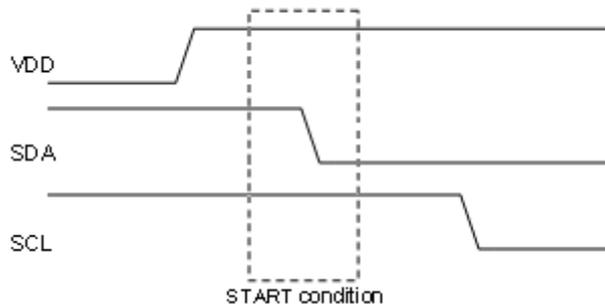


Figure 25. START 条件タイミング

- (3) slave アドレスを発行する。
- (4) ICSET コマンドから Software Reset を実行する。(詳細は ICSET コマンドの項目を参照してください。)

## ●使用上の注意

- (1) 絶対最大定格について  
印加電圧(VDD,VIN)、及び動作温度範囲(Topr)などの絶対最大定格を越えた場合、破壊する恐れがあり、ショートもしくはオープンなどの破壊モードが特定できませんので、絶対最大定格を越えるような特殊モードが想定される場合には、ヒューズなどの物理的な安全対策を施すよう検討をお願いします。
- (2) 推奨動作範囲  
この範囲であればほぼ期待通りの特性を得ることができる範囲です。電気特性については各項目の条件下において保証されるものです。推奨動作範囲内であっても電圧、温度特性を示します。
- (3) 電源コネクタの逆接続について  
電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れる等の対策を施してください。
- (4) 電源ラインについて  
基板パターンの設計においては、電源 / GND ラインの配線は、低インピーダンスになるようにしてください。その際、デジタル系電源とアナログ系電源は、それらが同電位であっても、デジタル系電源パターンとアナログ系電源パターンは分離し、配線パターンの共通インピーダンスによるアナログ電源へのデジタル・ノイズの回り込みを抑制してください。GND ラインについても、同様のパターン設計を考慮してください。また、LSI のすべての電源端子について電源-GND 端子間にコンデンサを挿入すると共に、電解コンデンサ使用の際は、低温で容量ぬげが起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。
- (5) GND 電圧について  
GND 端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また、実際に過渡現象を含め GND 以下の電位になっている端子がないかご確認ください。
- (6) 端子間ショートと誤装着について  
セット基板に取り付ける際、LSI の向きや位置ずれに十分ご注意ください。誤って取り付けた場合、LSI が破壊する恐れがあります。また、端子間や端子と電源、GND 間に異物が入るなどしてショートした場合についても破壊の恐れがあります。
- (7) 強電磁界中の動作について  
強電磁界中でのご使用は、誤動作をする可能性がありますのでご注意ください。
- (8) セット基板での検査について  
セット基板での検査時に、インピーダンスの低い LSI 端子にコンデンサを接続する場合は、LSI にストレスがかかる恐れがあるので、工程ごとに必ず放電を行ってください。また、検査工程での治具への着脱時には、必ず電源をオフにしてから接続し、検査を行い、電源をオフにしてから取り外してください。さらに、静電気対策として、組み立て工程には、アースを施し、運搬や保存の際には十分ご注意ください。
- (9) 各入力端子について  
LSI の構造上、寄生素子は電位関係によって必然的に形成されます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因となり得ます。したがって、入力端子に GND より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分注意してください。また、LSI に電源電圧を印加していないとき、入力端子に電圧を印加しないでください。さらに、電源電圧を印加している場合にも、各入力端子は電源電圧以下の電圧もしくは電気的特性の保証値内とってください。
- (10) アース配線パターンについて  
小信号 GND と大電流 GND がある場合、大電流 GND パターンと小信号 GND パターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号 GND の電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品の GND の配線パターンも変動しないように注意してください。
- (11) 外付けコンデンサについて  
外付けコンデンサに、セラミック・コンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮の上定数を決定してください。
- (12) 未使用の入力端子の処理について  
CMOS IC の入力是非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また、論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、I/O の電源、もしくは GND に接続するようにしてください。
- (13) ラッシュカレントについて  
CMOS IC では電源投入時に内部論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、GND パターン配線の幅、引き回しに注意してください。

## ●発注形名情報

B U 9 7 9 6 A x x x	-	E 2
---------------------	---	-----

品番

パッケージ

 FS : SSOP-A32  
 MUV : VQFN024V4040

包装、フォーミング仕様

 E2: リール状エンボステーピング  
 (SSOP-A32/ VQFN024V4040)

## ●ラインアップ

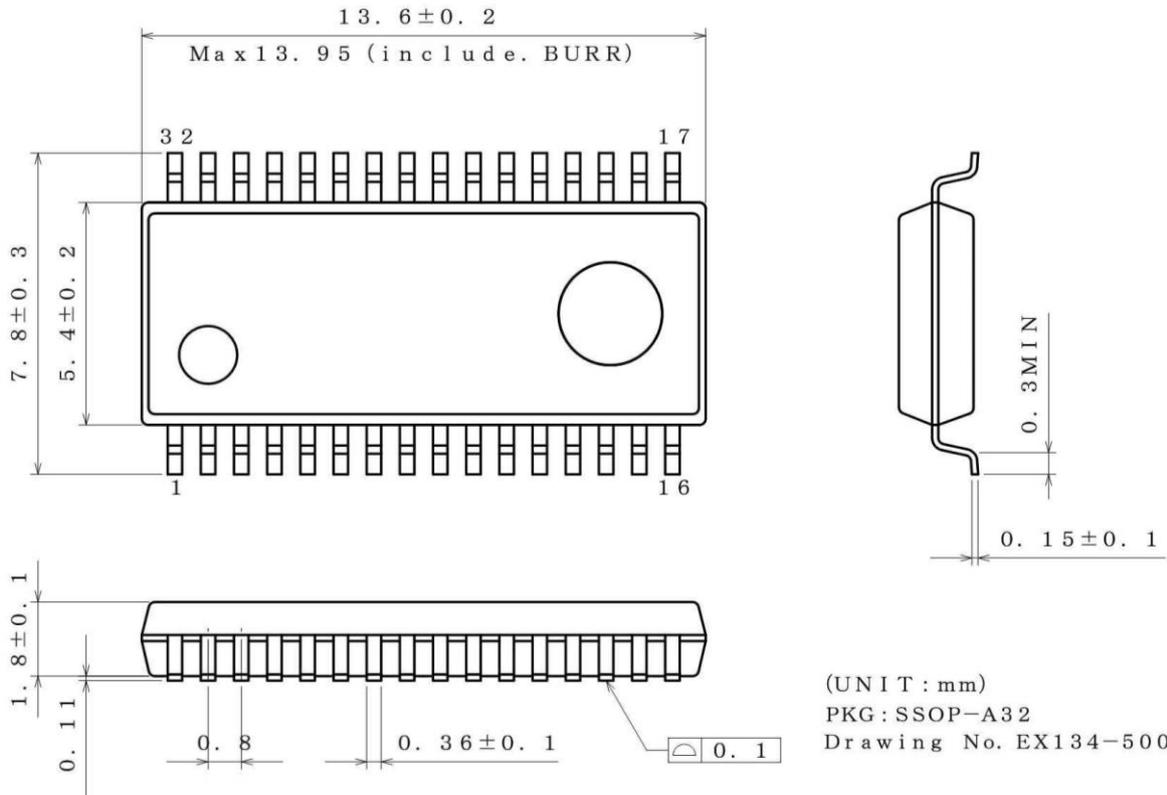
セグメント出力	コモン出力	パッケージ		発注可能形名
20	4	SSOP-A32	Reel of 2000	BU9796AFS-E2
12		VQFN024V4040	Reel of 2500	BU9796AMUV-E2

この文書の扱いについて

この文書の日本語版が、正式な仕様書です。この文書の翻訳版は、正式な仕様書を読むための参考として下さい。  
 なお、相違が生じた場合は、正式な仕様書を優先してください。

●外形寸法図と包装・フォーミング仕様

BU9796AFS(SSOP-A32)



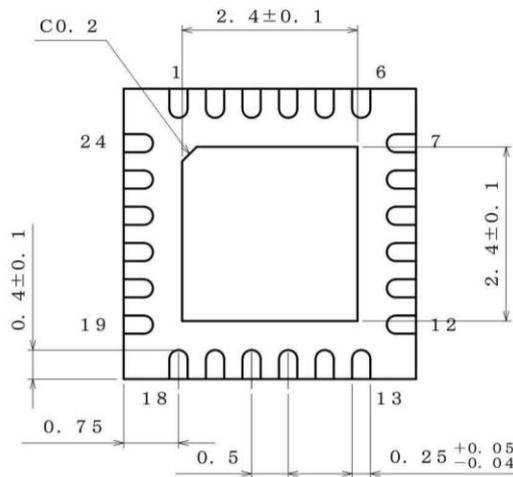
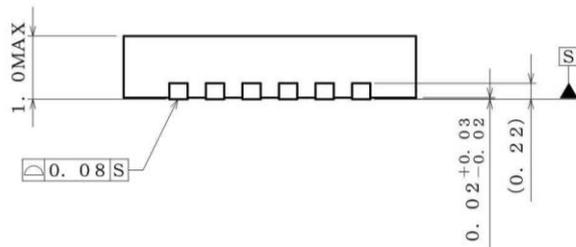
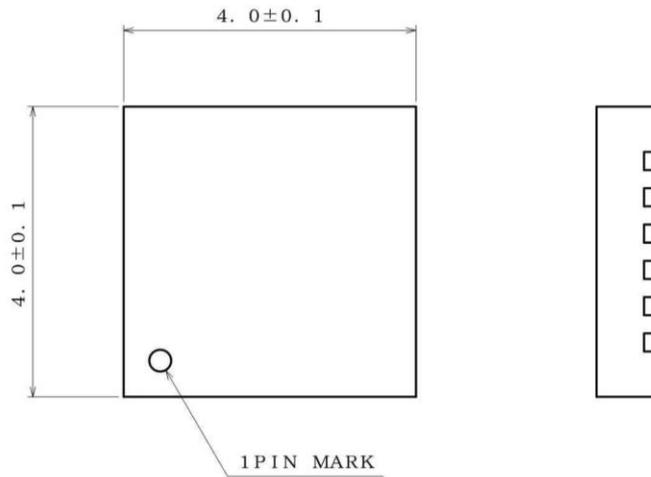
<包装仕様>

包装形態	エンボステーピング
包装数量	2000pcs
包装方向	E2 ( リールを左手に持ち、右手でテープを引き出したときに ) 製品の1番ピンが左上にくる方向

リール 1番ピン 引き出し側

※ご発注の際は、包装数量の倍数をお願い致します。

BU9796AMUV(VQFN024V4040)



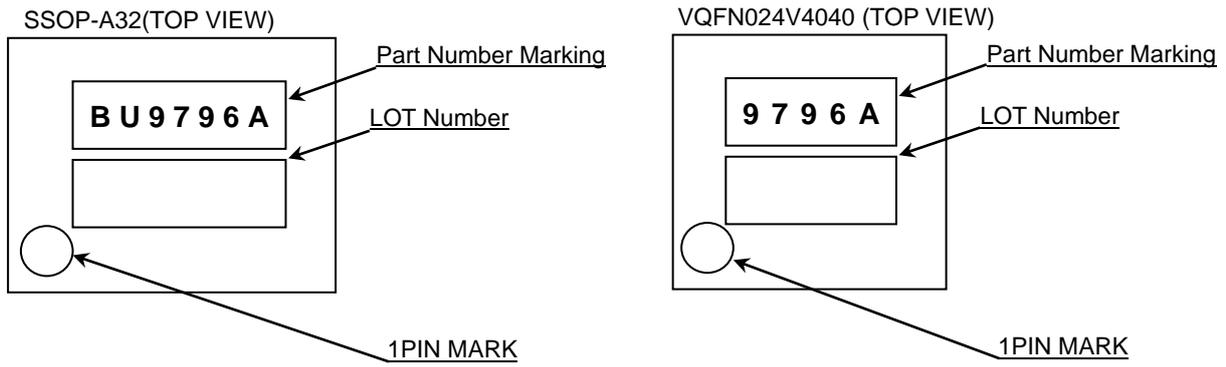
(UNIT : mm)  
 PKG : VQFN024V4040  
 Drawing No. EX463-5001-2

<包装仕様>

包装形態	エンボステーピング
包装数量	2500pcs
包装方向	E2 ( リールを左手に持ち、右手でテープを引き出したときに 製品の1番ピンが左上にくる方向 )

※ご発注の際は、包装数量の倍数でお願い致します。

●標印図



Part Number	Package	Part Number Marking
BU9796AFS	SSOP-A32	BU9796A
BU9796AMUV	VQFN024V4040	9796A

## ●改訂記録

日付	Revision	改訂内容
2012.8.31	001	New Release
2013.7.16	002	5 ページに外部クロックと温度特性の記述を追記
2014.6.13	003	4 ページ 推奨動作範囲の誤記修正 電源電圧 2 の規格値 MIN 2.5V → 0V 20 ページ Dispon sequence, RAM write sequence, Dispoff sequence の誤記修正 ICSET の DATA D0 "1" → "0"
2020.12.18	004	P.28-2、P.28-3 パッケージ(VQFN24V4040A)生産工場展開品の追加 (限定)

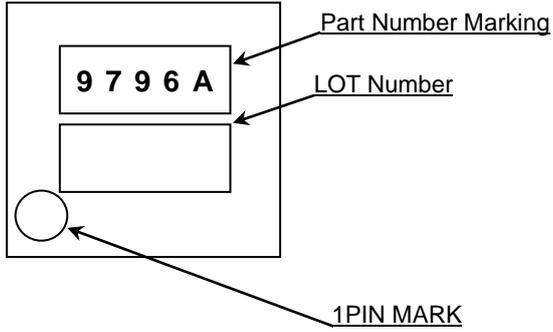
●発注形名情報

B	U	9	7	9	6	A	M	U	V	-	Z	E2
---	---	---	---	---	---	---	---	---	---	---	---	----

品名	パッケージ MUV: VQFN24V4040A	Z: 生産工場 展開品	包装、フォーミング仕様 E2: リール状エンボステーパーピング
----	----------------------------	----------------	------------------------------------

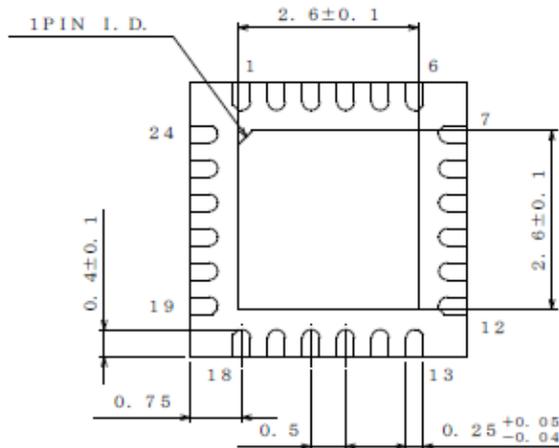
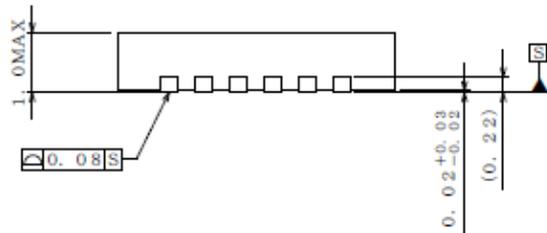
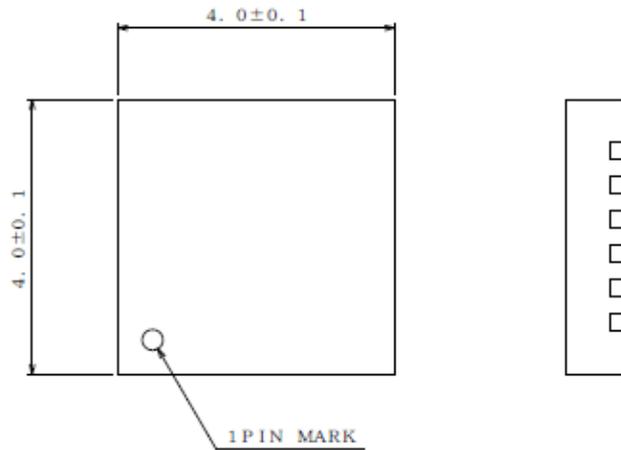
●標印図

VQFN24V4040A (TOP VIEW)



外形寸法図と包装・フォーミング仕様

Package Name	VQFN24V4040A
--------------	--------------

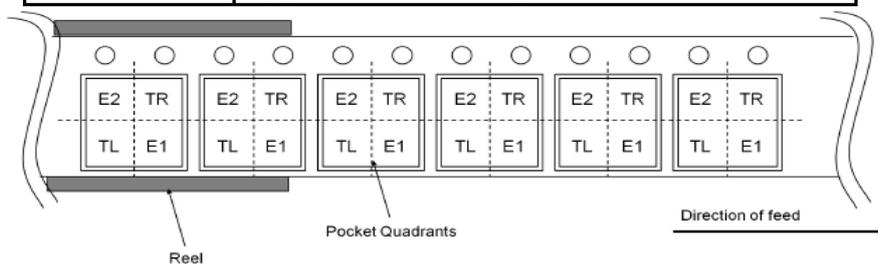


(UNIT : mm)

PKG : VQFN24V4040A  
Drawing No. EX001-0098

<包装形態、包装数量、包装方向>

包装形態	エンボステーピング
包装数量	2500pcs
包装方向	E2 (リールを左手に持ち、右手でテープを引き出したときに、製品の1番ピンが左上にくる方向。)



# ご注意

## ローム製品取扱い上の注意事項

1. 本製品は一般的な電子機器（AV 機器、OA 機器、通信機器、家電製品、アミューズメント機器等）への使用を意図して設計・製造されております。したがって、極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器<sup>(Note 1)</sup>、輸送機器、交通機器、航空宇宙機器、原子力制御装置、燃料制御、カーアクセサリを含む車載機器、各種安全装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

2. 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、かかる誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
  - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
  - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
3. 本製品は、一般的な電子機器に標準的な用途で使用されることを意図して設計・製造されており、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
  - ①水・油・薬液・有機溶剤等の液体中でのご使用
  - ②直射日光・屋外暴露、塵埃中でのご使用
  - ③潮風、Cl<sub>2</sub>、H<sub>2</sub>S、NH<sub>3</sub>、SO<sub>2</sub>、NO<sub>2</sub>等の腐食性ガスの多い場所でのご使用
  - ④静電気や電磁波の強い環境でのご使用
  - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合。
  - ⑥本製品を樹脂等で封止、コーティングしてのご使用。
  - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用される場合は除く。ただし、残渣については十分に確認をお願いします。)又は、はんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合
  - ⑧本製品が結露するような場所でのご使用。
4. 本製品は耐放射線設計はなされておられません。
5. 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
6. パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
7. 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
8. 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
9. 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

## 実装及び基板設計上の注意事項

1. ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
2. はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

## **応用回路、外付け回路等に関する注意事項**

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

## **静電気に対する注意事項**

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。(人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等)

## **保管・運搬上の注意事項**

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
  - ①潮風、Cl<sub>2</sub>、H<sub>2</sub>S、NH<sub>3</sub>、SO<sub>2</sub>、NO<sub>2</sub>等の腐食性ガスの多い場所での保管
  - ②推奨温度、湿度以外での保管
  - ③直射日光や結露する場所での保管
  - ④強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

## **製品ラベルに関する注意事項**

本製品に貼付されている製品ラベルに2次元バーコードが印字されていますが、2次元バーコードはロームの社内管理のみを目的としたものです。

## **製品廃棄上の注意事項**

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

## **外国為替及び外国貿易法に関する注意事項**

本製品は外国為替及び外国貿易法に定める規制貨物等に該当するおそれがありますので輸出する場合には、ロームにお問い合わせください。

## **知的財産権に関する注意事項**

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等（ソフトウェア含む）との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

## **その他の注意事項**

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

**一般的な注意事項**

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。