

LVDS インタフェース LSI

# 56bit LVDS レシーバ 8:56 デシリアライザ



BU7985KVT

No.12057JAT04

## ●概要

ロームの LVDS インタフェース LSI は、8MHz～150MHz と非常に幅広い動作周波数範囲と 35bit～70bit の伝送ビット数に応じたシリアライザ・デシリアライザのラインアップを取り揃えております。

データを 7 倍速で高速シリアル伝送が可能のためケーブルの本数を 1/3 以下に削減できます。

より一層の低 EMI が期待できる低スイングモードも備えています。

## ●特長

- 1) 広い動作周波数範囲: Single(112MHz)/Dual(180MHz)(NTSC, VGA, SVGA, WXGA UXGA)
- 2) クロック周波数は 20～112MHz の帯域幅を保証
- 3) データ出力をクロックの立ち上がり/下がりのどちらかに同期出力させる設定が可能
- 4) データとクロック出力ドライブ能力可変
- 5) 入力フェイルセーフ時に出力 Hi-z 動作サポート
- 6) 56bit LVDS 送信側には、BU7988KVT を使用することを推奨します。

## ●用途

フラットパネルディスプレイ

## ●注意事項

- 本製品は耐放射線設計はしていません。

●ブロック図

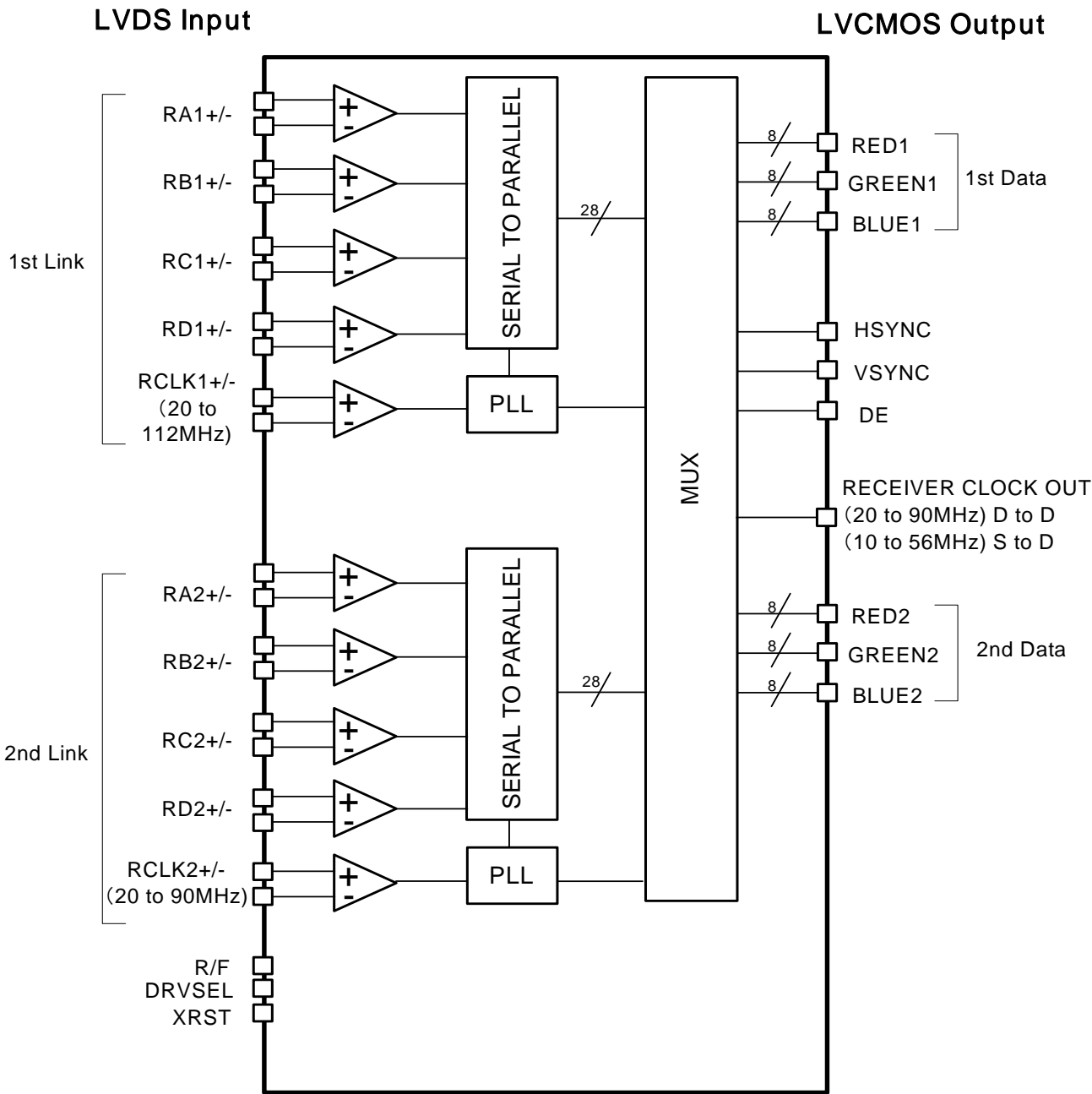


Fig.1 ブロック図

●TQFP100V パッケージ標印図

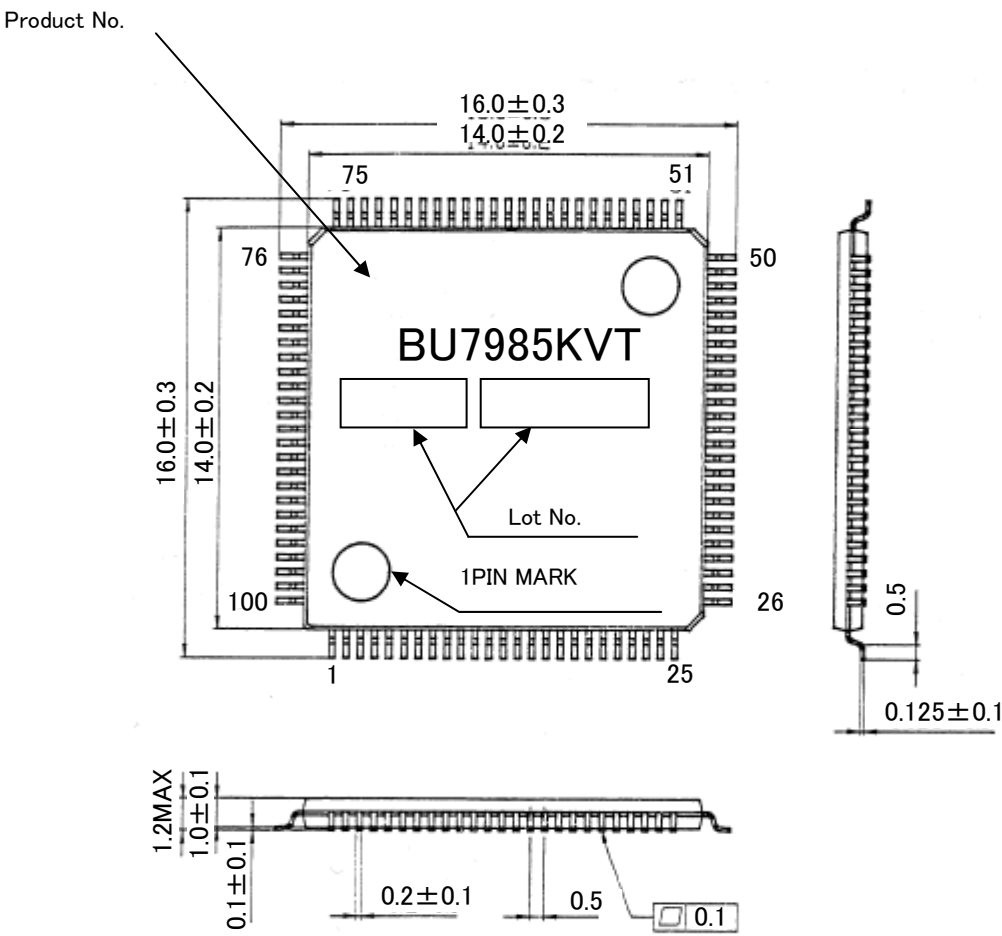


Fig.2 TQFP100V パッケージ

●端子配置図

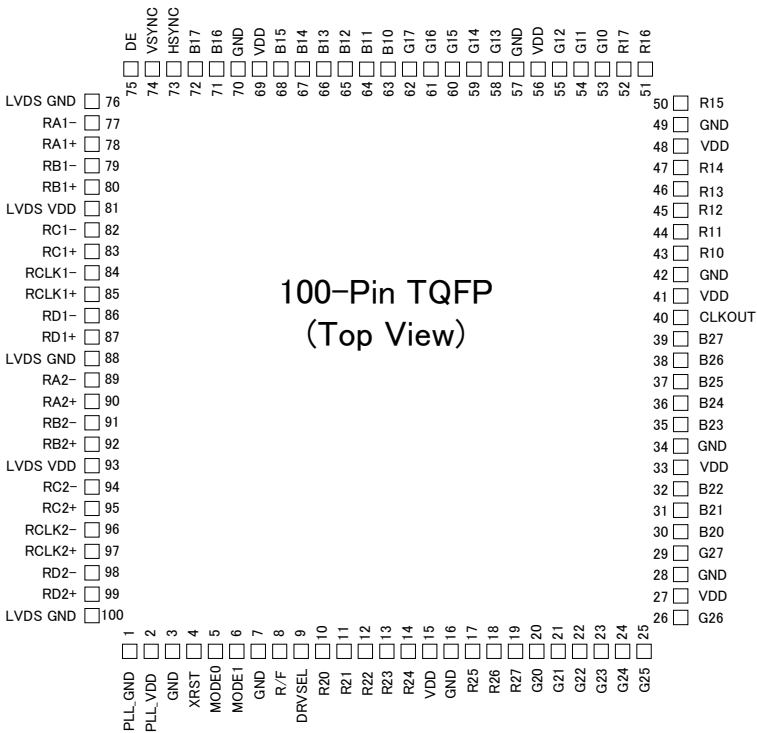


Fig.3 端子配置図(Top View)

## ●端子機能説明

表.1：端子機能説明

Pin Name	Pin No.	Type	Descriptions
RA1+, RA1-	78, 77	LVDS IN	LVDS の差動シリアルデータ入力端子です。 +：差動ペアの+側入力です。 -：差動ペアの-側入力です。
RB1+, RB1-	80, 79	LVDS IN	
RC1+, RC1-	83, 82	LVDS IN	
RD1+, RD1-	87, 86	LVDS IN	
RCLK1+, RCLK1-	85, 84	LVDS IN	LVDS の差動クロック入力端子です。
RA2+, RA2-	90, 89	LVDS IN	LVDS の差動シリアルデータ入力端子です。 +：差動ペアの+側入力です。 -：差動ペアの-側入力です。
RB2+, RB2-	92, 91	LVDS IN	
RC2+, RC2-	95, 94	LVDS IN	
RD2+, RD2-	99, 98	LVDS IN	
RCLK2+, RCLK2-	97, 96	LVDS IN	LVDS の差動クロック入力端子です。
R17 ~ R10	52, 51, 50, 47, 46, 45, 44, 43	OUT	1st ピクセルデータ出力です。
G17 ~ G10	62, 61, 60, 59, 58, 55, 54, 53	OUT	
B17 ~ B10	72, 71, 68, 67, 66, 65, 64, 63	OUT	
R27 ~ R20	19, 18, 17, 14, 13, 12, 11, 10	OUT	2nd ピクセルデータ出力です。
G27 ~ G20	29, 26, 25, 24, 23, 22, 21, 20	OUT	
B27 ~ B20	39, 38, 37, 36, 35, 32, 31, 30	OUT	
DE	75	OUT	データイネーブル出力です。
VSYNC	74	OUT	VSYNC 出力です。
HSYNC	73	OUT	HSYNC 出力です。
CLKOUT	40	OUT	クロック出力です。
DRVSEL	9	IN	出力ドライブ能力選択です。 L: データ出力 2mA / クロック出力 4mA H: データ出力 4mA / クロック出力 8mA
R/F	8	IN	出力のクロック同期極性の設定入力端子です。 High: 出力はクロックの立ち上がりに同期出力。 Low: 出力はクロックの立ち下がりに同期出力。

Pin Name	Pin No.	Type	Descriptions		
MODE1, MODE0	6, 5	IN	データモード		
			MODE1	MODE0	モード
			L	L	Dual Link
			L	H	Single Link
			H	L	Dual Link (フェイルセーフ時出力 Hi-z)
H	H	Single Link (フェイルセーフ時出力 Hi-z)			
XRST	4	IN	内部システムのパワーダウン入力端子です。 High：通常動作です。 Low：内部システムがパワーダウン・モードになり、 データ出力は Low に固定されます。		
VDD	15, 27, 33, 41, 48, 56, 69	Power	出力ドライバー及び内部デジタルコアの電源です。		
GND	3, 7, 16, 28, 34, 42, 49, 57, 70	Ground	出力ドライバー及び内部デジタルコアの GND です。		
LVDS VDD	81,93	Power	内部 LVDS コアの電源です。		
LVDS GND	76, 88, 100	Ground	内部 LVDS コアの GND です。		
PLL VDD	2	Power	内部 PLL コアの電源です。		
PLL GND	1	Ground	内部 PLL コアの GND です。		

## ●電気的特性

## ■定格

表 2：絶対最大定格

項目	記号	規格値		単位
		最小	最大	
電源電圧	VDD	-0.3	4.0	V
入力電圧	VIN	-0.3	VDD+0.3	V
出力電圧	VOUT	-0.3	VDD+0.3	V
保存温度範囲	Tstg	-55	125	°C

表 3：パッケージパワー

パッケージ	許容損失 PD(mW)	軽減曲線 <sup>*1</sup> DERATING(mW/°C)
TQFP100V	900	9.0
	1400 <sup>*2</sup>	14.0 <sup>*2</sup>
	2550 <sup>*2</sup>	25.5 <sup>*2</sup>

\*1 周囲温度 Ta &gt; 25°C 時

\*2 基板実装時のパッケージパワー

基板サイズ :70×70×1.6(mm<sup>3</sup>) / 140×150×1.6(mm<sup>3</sup>)

材質 :FR4 ガラエポ基板 (銅箔面積 3%以下)

表 4：推奨動作条件

項目	記号	規格値			単位	条件
		最小	標準	最大		
電源電圧	V <sub>DD</sub>	3.0	3.3	3.6	V	VDD, LVDSVDD, PLLVDD
動作温度範囲	Topr	-20	-	85	°C	

## ■DC 特性

表 5 : LVCMOS DC 特性( $V_{DD}=3.0V\sim 3.6V$ ,  $T_a=-20^{\circ}C\sim +85^{\circ}C$ )

項目	記号	規格値			単位	条件
		最小	標準	最大		
H レベル入力電圧	$V_{IH}$	$V_{DD}\times 0.8$	-	$V_{DD}$	V	
L レベル入力電圧	$V_{IL}$	GND	-	$V_{DD}\times 0.2$	V	
H レベル出力電圧	$V_{OH}$	2.4	-	$V_{DD}$	V	$I_{OH} = -2mA, -4mA$ (data) $I_{OH} = -4mA, -8mA$ (clock)
L レベル出力電圧	$V_{OL}$	0.0	-	0.4	V	$I_{OL} = 2mA, 4mA$ (data) $I_{OL} = 4mA, 8mA$ (clock)
入力リーク電流	$I_{INC}$	-10	-	+10	$\mu A$	$0V \leq V_{IN} \leq V_{DD}$
出力リーク電流	$I_{OZ}$	-10	-	+10	$\mu A$	Output=Hiz, $0V \leq V_{OUT} \leq V_{DD}$

表 6 : LVDS レシーバ DC 特性( $V_{DD}=3.0V\sim 3.6V$ ,  $T_a=-20^{\circ}C\sim +85^{\circ}C$ )

項目	記号	規格値			単位	条件
		最小	標準	最大		
差動入力電圧 H レベル スレッショールド	$V_{TH}$	-	-	100	mV	$V_{OC}=1.2V$
差動入力電圧 L レベル スレッショールド	$V_{TL}$	-100	-	-	mV	$V_{OC}=1.2V$
入力電流	$I_{INL}$	-20	-	+20	$\mu A$	$V_{IN}=2.4V/0V$ $V_{DD}=3.6$



## ■消費電力

表 7：消費電流（VDD=3.3V, Ta=25°C）

項目	記号	規格値			単位	条件	
		最小	標準	最大			
レシーバー消費電流 (グレースケール・パターン)	I <sub>RCCG</sub>	-	88	-	mA	MODE[1:0]=L L, H L CL=8pF	f=90MHz
		-	62	-	mA	MODE[1:0]=L H, H H CL=8pF	f=112MHz
レシーバー消費電流 (チェッカー・パターン)	I <sub>RCCW</sub>	-	137	-	mA	MODE[1:0]=L L, H L CL=8pF	f=90MHz
		-	89	-	mA	MODE[1:0]=L H, H H CL=8pF	f=112MHz
パワーダウン時消費電流	I <sub>RCCS</sub>	-	-	10	μA	XRST=L	

256 グレースケール・パターン

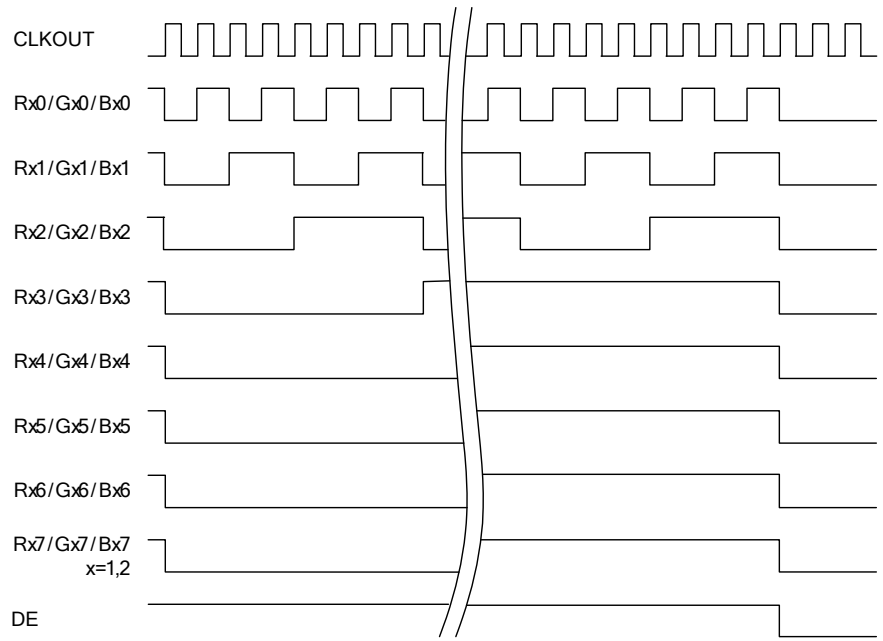


Fig.4 グレースケール・パターン

チェッカー・パターン

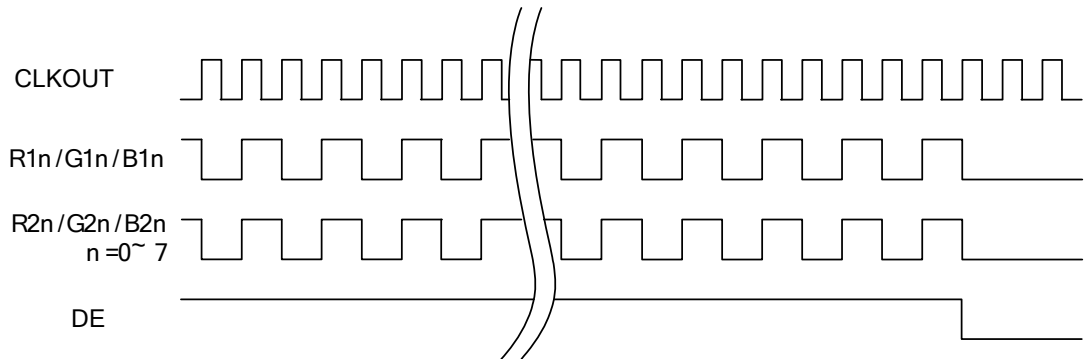


Fig.5 チェッカー・パターン

## ■AC タイミング

表.8: スイッチング特性(VDD=3.0V~3.6V, Ta=-20°C~+85°C)

項目		記号	最小	標準	最大	単位
CLKOUT (出カクロック)周期	Dual-in / Dual-out	$t_{RCP}$	11.11	$t_{RCP}$	50	ns
	Single-in / Dual-out		17.85	$2t_{RCP}$	100	
CLKOUT(出カクロック) "H"タイム		$t_{RCH}$	-	$0.5t_{RCP}$	-	ns
CLKOUT(出カクロック) "L"タイム		$t_{RCL}$	-	$0.5t_{RCP}$	-	ns
クロック・LVCMOS データ出力 セットアップタイム		$t_{RS}$	$0.3t_{RCP}$	-	-	ns
クロック・LVCMOS データ出力 ホールドタイム		$t_{RH}$	$0.3t_{RCP}$	-	-	ns
LVCMOS データ出力 立上り時間		$t_{TLH}$	-	3.0	5.0	ns
LVCMOS データ出力 立下り時間		$t_{THL}$	-	3.0	5.0	
差動入力データの入力時間 0 ( $T_{RCP} = 8.9ns$ )		$t_{RIP1}$	-0.25	0.0	+0.25	ns
差動入力データの入力時間 1 ( $T_{RCP} = 8.9ns$ )		$t_{RIP0}$	$\frac{t_{RCP}}{7} - 0.25$	$\frac{t_{RCP}}{7}$	$2\frac{t_{RCP}}{7} + 0.$ 25	ns
差動入力データの入力時間 2 ( $T_{RCP} = 8.9ns$ )		$t_{RIP6}$	$2\frac{t_{RCP}}{7} - 0.2$ 5	$2\frac{t_{RCP}}{7}$	$2\frac{t_{RCP}}{7} + 0.$ 25	ns
差動入力データの入力時間 3 ( $T_{RCP} = 8.9ns$ )		$t_{RIP5}$	$3\frac{t_{RCP}}{7} - 0.2$ 5	$3\frac{t_{RCP}}{7}$	$3\frac{t_{RCP}}{7} + 0.$ 25	ns
差動入力データの入力時間 4 ( $T_{RCP} = 8.9ns$ )		$t_{RIP4}$	$4\frac{t_{RCP}}{7} - 0.2$ 5	$4\frac{t_{RCP}}{7}$	$4\frac{t_{RCP}}{7} + 0.$ 25	ns
差動入力データの入力時間 5 ( $T_{RCP} = 8.9ns$ )		$t_{TOP3}$	$5\frac{t_{RCP}}{7} - 0.2$ 5	$5\frac{t_{RCP}}{7}$	$5\frac{t_{RCP}}{7} + 0.$ 25	ns
差動入力データの入力時間 6 ( $T_{RCP} = 8.9ns$ )		$t_{RIP2}$	$6\frac{t_{RCP}}{7} - 0.2$ 5	$6\frac{t_{RCP}}{7}$	$6\frac{t_{RCP}}{7} + 0.$ 25	ns
位相ロックループのセット時間		$t_{RLL}$	-	-	10.0	ms
入カクロック周期		$t_{RCP}$	8.9	-	50	ns
入カクロック間スキュー (RCLK1 / RCLK2 )		$t_{ck12}$	-	-	$\pm 0.3t_{RCP}$	ns

●AC タイミング

■LVCMOS

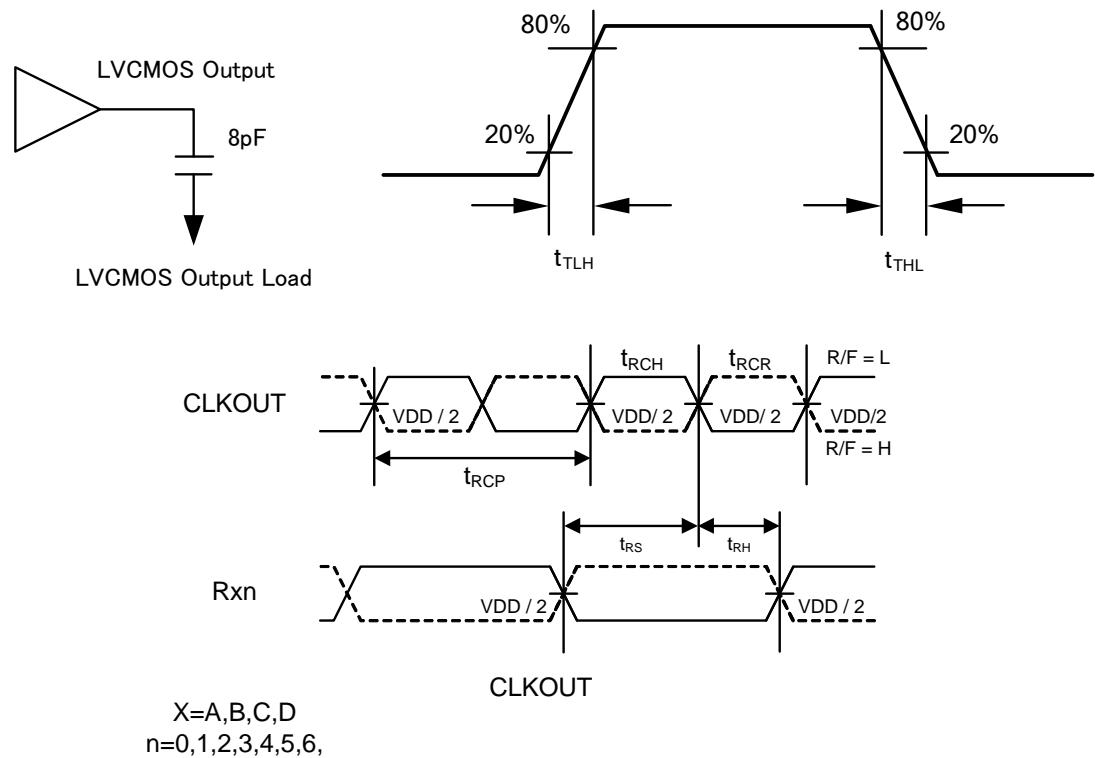


Fig.6 LVCMOS 出カタイミング

■位相ロックループのセット時間

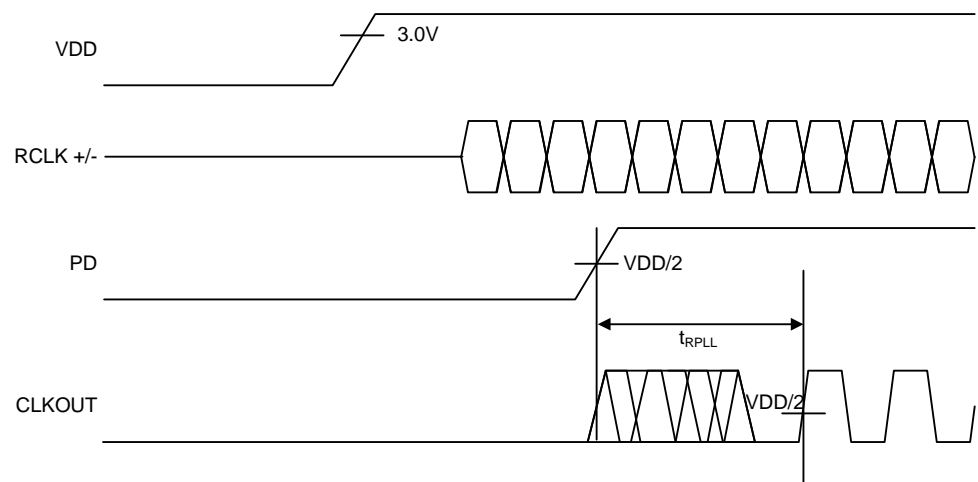


Fig.7 位相ロックループ・セット時間

■AC タイミングダイアグラム

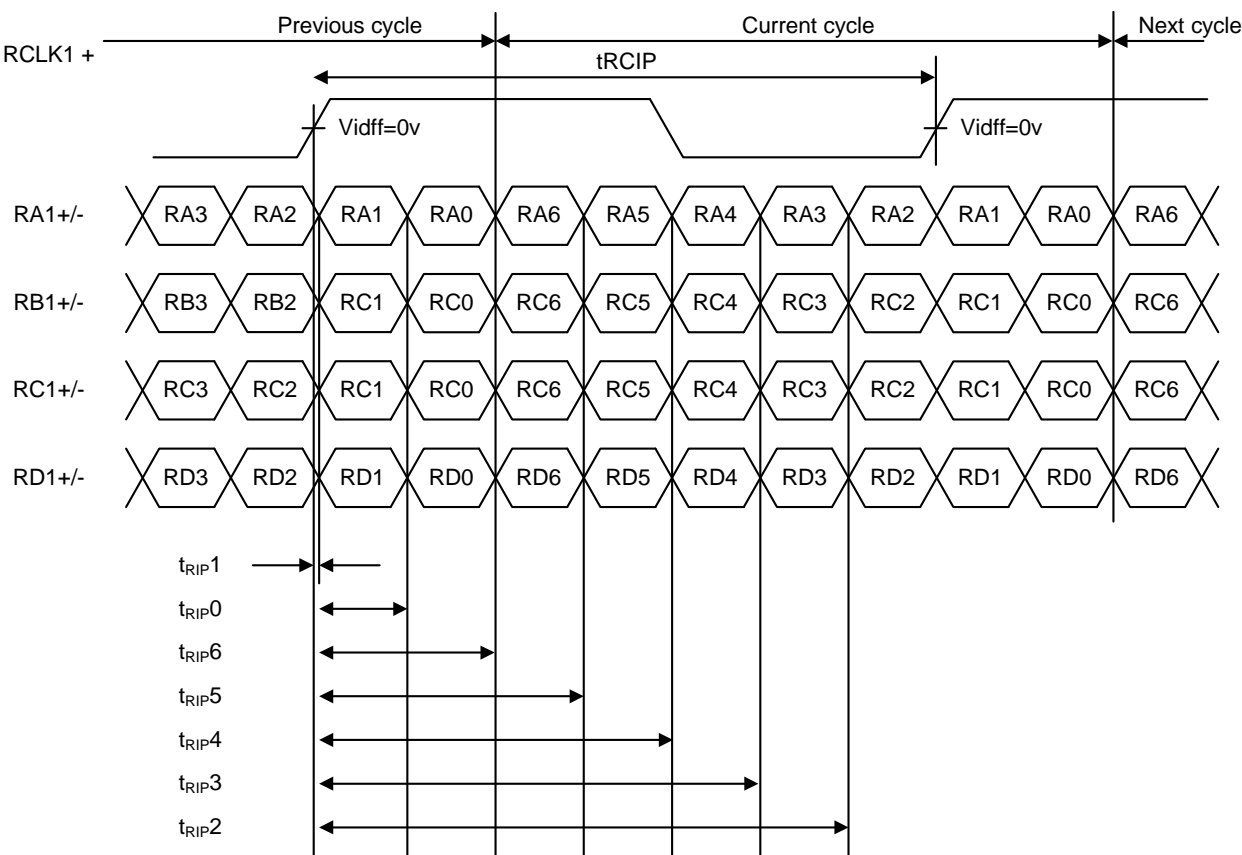


Fig.8 AC タイミングダイアグラム(1)

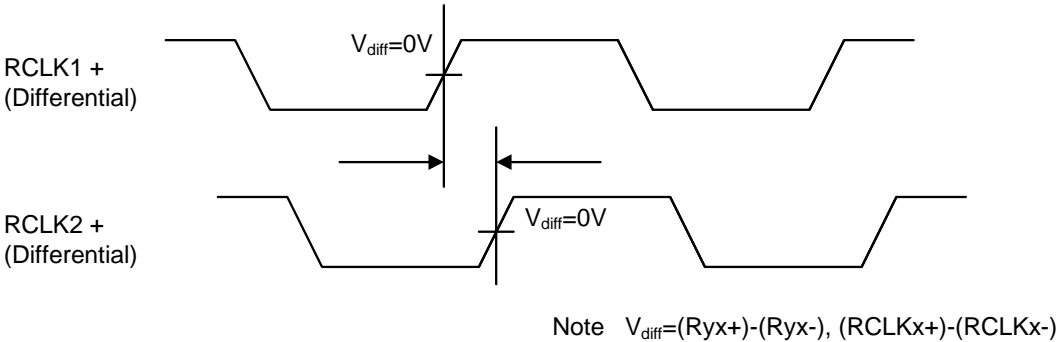


Fig.9 AC タイミングダイアグラム(2)

●LVDS データ・クロック入力タイミング

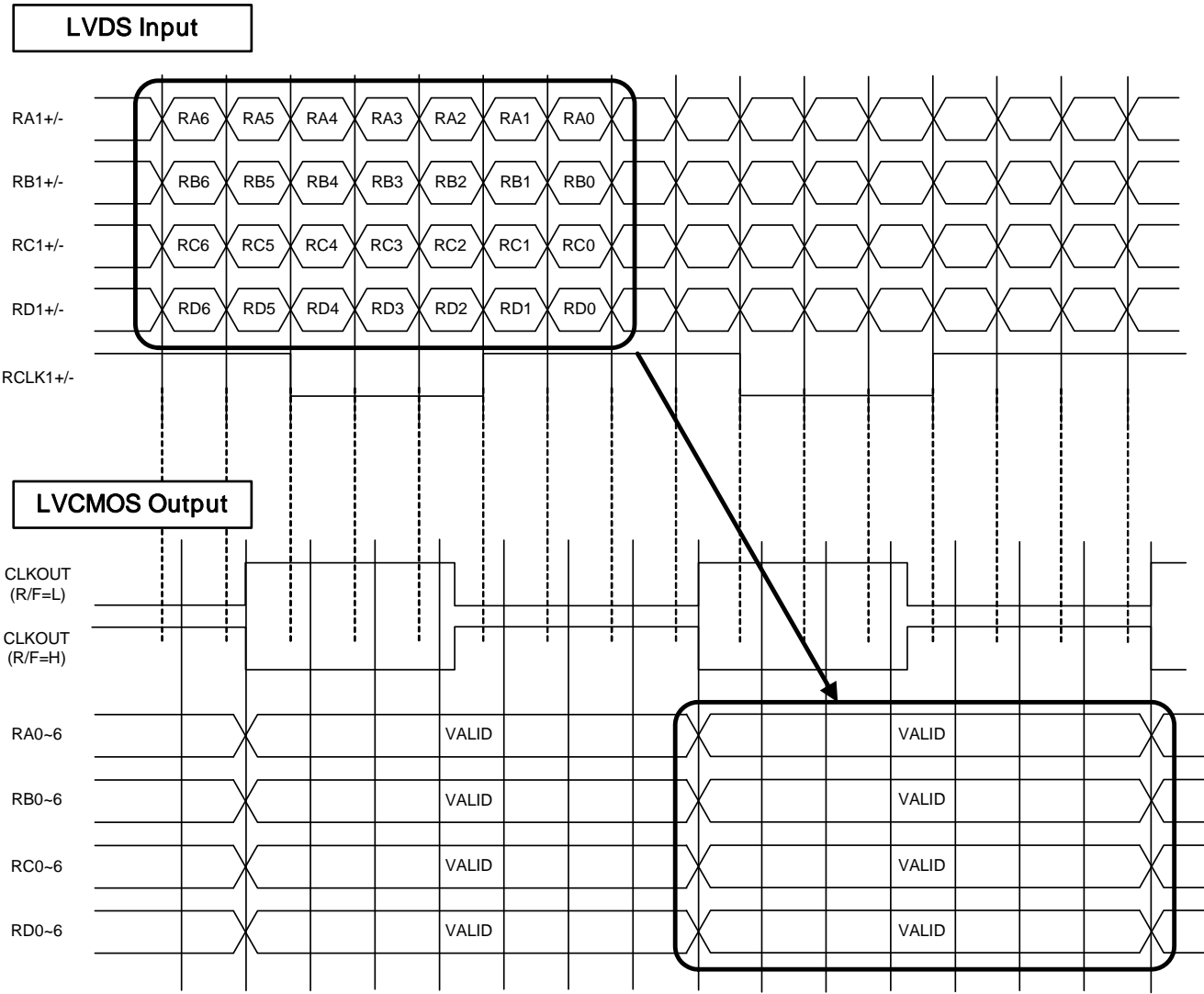


Fig.10 LVDS データ・クロック入力タイミング

## ●Dual モード時ピクセルデータマッピング

表 9: ピクセルデータマッピング

1st ピクセルデータ				2nd ピクセルデータ			
TFT パネルデータ			BU7985KVT 出力ピン	TFT パネルデータ			BU7985KVT 出力ピン
	24Bit	18Bit			24Bit	18Bit	
LSB	R10	-	R10	LSB	R20	-	R20
	R11	-	R11		R21	-	R21
	R12	R10	R12		R22	R20	R22
	R13	R11	R13		R23	R21	R23
	R14	R12	R14		R24	R22	R24
	R15	R13	R15		R25	R23	R25
	R16	R14	R16		R26	R24	R26
MSB	R17	R15	R17	MSB	R27	R25	R27
LSB	G10	-	G10	LSB	G20	-	G20
	G11	-	G11		G21	-	G21
	G12	G10	G12		G22	G20	G22
	G13	G11	G13		G23	G21	G23
	G14	G12	G14		G24	G22	G24
	G15	G13	G15		G25	G23	G25
	G16	G14	G16		G26	G24	G26
MSB	G17	G15	G17	MSB	G27	G25	G27
LSB	B10	-	B10	LSB	B20	-	B20
	B11	-	B11		B21	-	B21
	B12	B10	B12		B22	B20	B22
	B13	B11	B13		B23	B21	B23
	B14	B12	B14		B24	B22	B24
	B15	B13	B15		B25	B23	B25
	B16	B14	B16		B26	B24	B26
MSB	B17	B15	B17	MSB	B27	B25	B27
	HSYNC	HSYNC	HSYNC		HSYNC	HSYNC	HSYNC
	VSYNC	VSYNC	VSYNC		VSYNC	VSYNC	VSYNC
	DE	DE	DE		DE	DE	DE

●Dual モード時 LVCMOS 出力データタイミング  
Example : SXGA+(1400×1050)

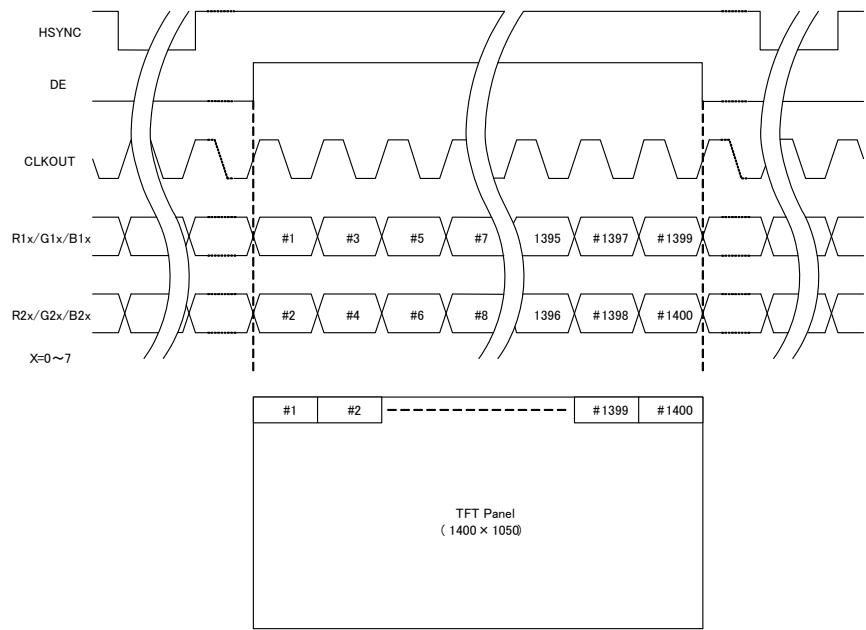


Fig.11 Dual モード時 LVCMOS 出力データタイミング

●Single モード時 LVCMOS 入力データタイミング  
Example : SXGA+(1400×1050)

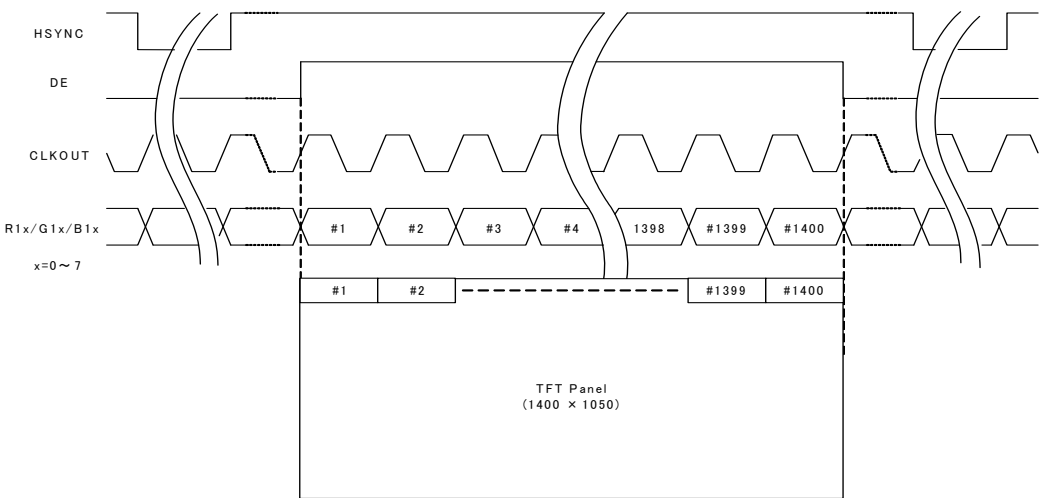


Fig.12 Single モード時 LVCMOS 出力データタイミング



●LVDS 入カデータマッピング (Dual-in / Dual-out モード)

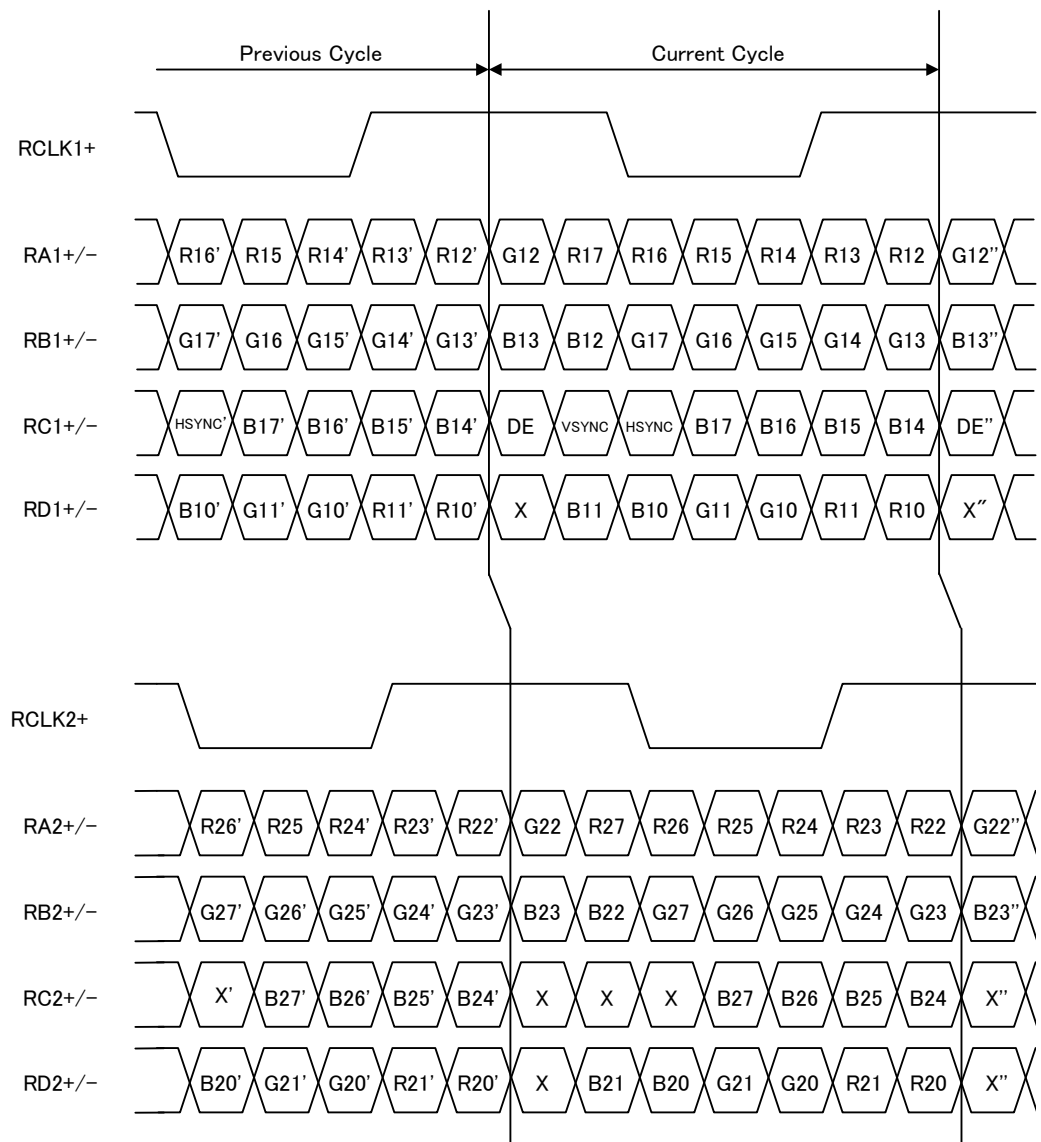


Fig.13 LVDS 入カデータマッピング (Dual-in / Dual-out モード)

●LVDS 入力データマッピング (Single-in / Dual-out モード)

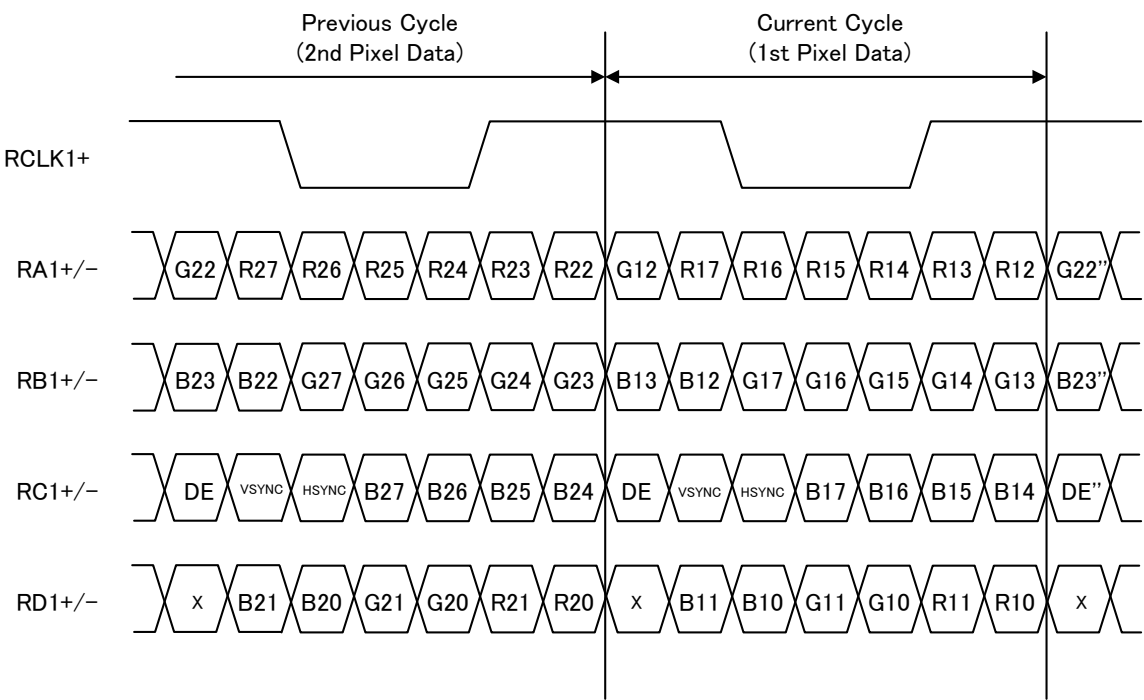


Fig.14 LVDS 入力データマッピング (Single-in / Dual-out モード)

●フェイルセーフ時 出力 Hi-z 動作

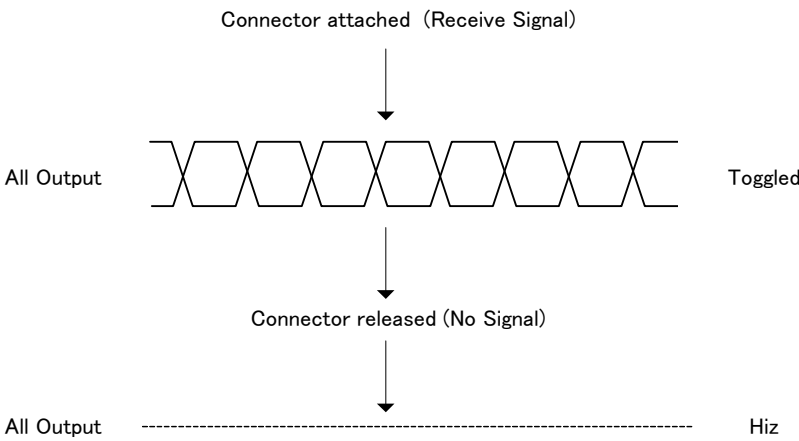


Fig.15 フェイルセーフ時 出力 Hi-z 動作

## ●パワーオンリセットについて

本製品はパワーオンリセットを必須とはしません。

(パワーオンリセットを使用しない場合、PD = High に設定してください)

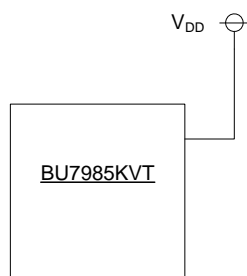


Fig.16 PoweOnReset を使用しない場合の PD 端子処理

但し、確実なロジック初期化のためには Power on Reset を推奨します。  
その場合、考えられる方法として以下の2つが挙げられます。

- ① CR の時定数を用いる。
- ② 専用の外付け IC を用いる。

何れにしてもアプリケーション全体を考慮しながら十分な検討をしていただきますようお願い致します。

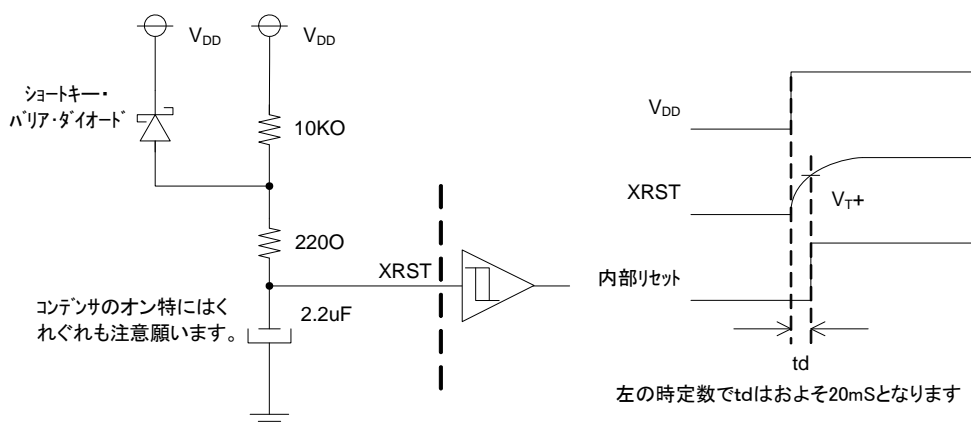


Fig.17 CR 時定数を用いた PoweOnReset

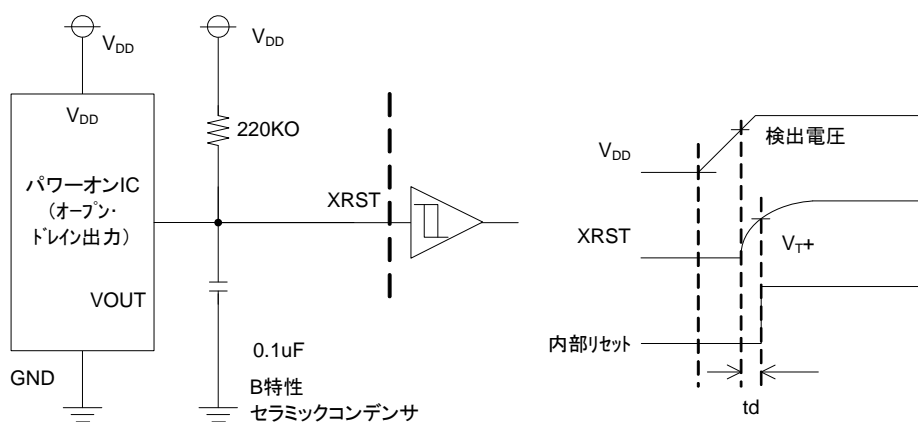


Fig.18 専用の IC を用いた PowerOnReset

●発注形名セレクション

B	U	7	9	8	5	K	V	T	-		
ローム形名		品番				パッケージ KVT: TQFP100V			包装、フォーミング仕様 なし:トレー		

TQFP100V

(Unit : mm)

＜包装仕様＞

包装形態	トレイ(防湿仕様)
包装数量	500pcs
包装方向	1トレイ内での製品方向は一定

1番ピン

※ご発注の際は、包装数量の倍数でお願い致します。

# ご注意

## ローム製品取扱い上の注意事項

1. 本製品は一般的な電子機器（AV 機器、OA 機器、通信機器、家電製品、アミューズメント機器等）への使用を意図して設計・製造されております。従いまして、極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険若しくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器<sup>(Note 1)</sup>、輸送機器、交通機器、航空宇宙機器、原子力制御装置、燃料制御、カーアクセサリを含む車載機器、各種安全装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

2. 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、かかる誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
  - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
  - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
3. 本製品は、一般的な電子機器に標準的な用途で使用されることを意図して設計・製造されており、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。従いまして、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
  - ①水・油・薬液・有機溶剤等の液体中でのご使用
  - ②直射日光・屋外暴露、塵埃中でのご使用
  - ③潮風、Cl<sub>2</sub>、H<sub>2</sub>S、NH<sub>3</sub>、SO<sub>2</sub>、NO<sub>2</sub> 等の腐食性ガスの多い場所でのご使用
  - ④静電気や電磁波の強い環境でのご使用
  - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合。
  - ⑥本製品を樹脂等で封止、コーティングしてのご使用。
  - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用された場合も、残渣の洗浄は確実にを行うことをお勧め致します)、又ははんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合。
  - ⑧本製品が結露するような場所でのご使用。
4. 本製品は耐放射線設計はなされておられません。
5. 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
6. パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
7. 許容損失(Pd)は周囲温度(Ta)に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、ディレーティングカーブ範囲内であることをご確認ください。
8. 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
9. 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

## 実装及び基板設計上の注意事項

1. ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
2. はんだ付けはリフローはんだを原則とさせていただきます。なお、フロー方法でのご使用につきましては別途ロームまでお問い合わせください。  
詳細な実装及び基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

## **応用回路、外付け回路等に関する注意事項**

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。従いまして、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

## **静電気に対する注意事項**

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施の上、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。（人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等）

## **保管・運搬上の注意事項**

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
  - ①潮風、Cl<sub>2</sub>、H<sub>2</sub>S、NH<sub>3</sub>、SO<sub>2</sub>、NO<sub>2</sub>等の腐食性ガスの多い場所での保管
  - ②推奨温度、湿度以外での保管
  - ③直射日光や結露する場所での保管
  - ④強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認した上でご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行った上でご使用ください。

## **製品ラベルに関する注意事項**

本製品に貼付されている製品ラベルに QR コードが印字されていますが、QR コードはロームの社内管理のみを目的としたものです。

## **製品廃棄上の注意事項**

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

## **外国為替及び外国貿易法に関する注意事項**

本製品は外国為替及び外国貿易法に定める規制貨物等に該当するおそれがありますので輸出する場合には、ロームにお問い合わせください。

## **知的財産権に関する注意事項**

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。従いまして、上記第三者の知的財産権侵害の責任、及び本製品の使用により発生するその他の責任に関し、ロームは一切その責任を負いません。
2. ロームは、本製品又は本資料に記載された情報について、ローム若しくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。

## **その他の注意事項**

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社若しくは第三者の商標又は登録商標です。

**一般的な注意事項**

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。