

LVDS インタフェース LSI

56bit LVDS トランスミッタ 56:8 シルアライザ



BU7988KVT

No.12057JAT05

●概要

ロームの LVDS インタフェース LSI は、8MHz~150MHz と非常に幅広い動作周波数範囲と 35bit~70bit の伝送ビット数に応じたシリアライザ・デシリアライザのラインアップを取り揃えております。

データを 7 倍速で高速シリアル伝送が可能のためケーブルの本数を 1/3 以下に削減できます。

より一層の低 EMI が期待できる低スイングモードも備えています。

●特長

- 1) 広い動作周波数範囲 : Single(112MHz)/Dual(224MHz)(NTSC, VGA, SVGA, WXGA UXGA)
- 2) スペクトラム拡散クロックジェネレーターをサポート.
- 3) ラッチするエッジが選択可能.
- 4) 低 EMI のために LVDS のスイング幅を選択可能
- 5) パワーダウンモード.
- 6) パッケージ TQFP100V

●用途

フラットパネルディスプレイ

●注意事項

■本製品は耐放射線設計はしていません。

●ブロック図

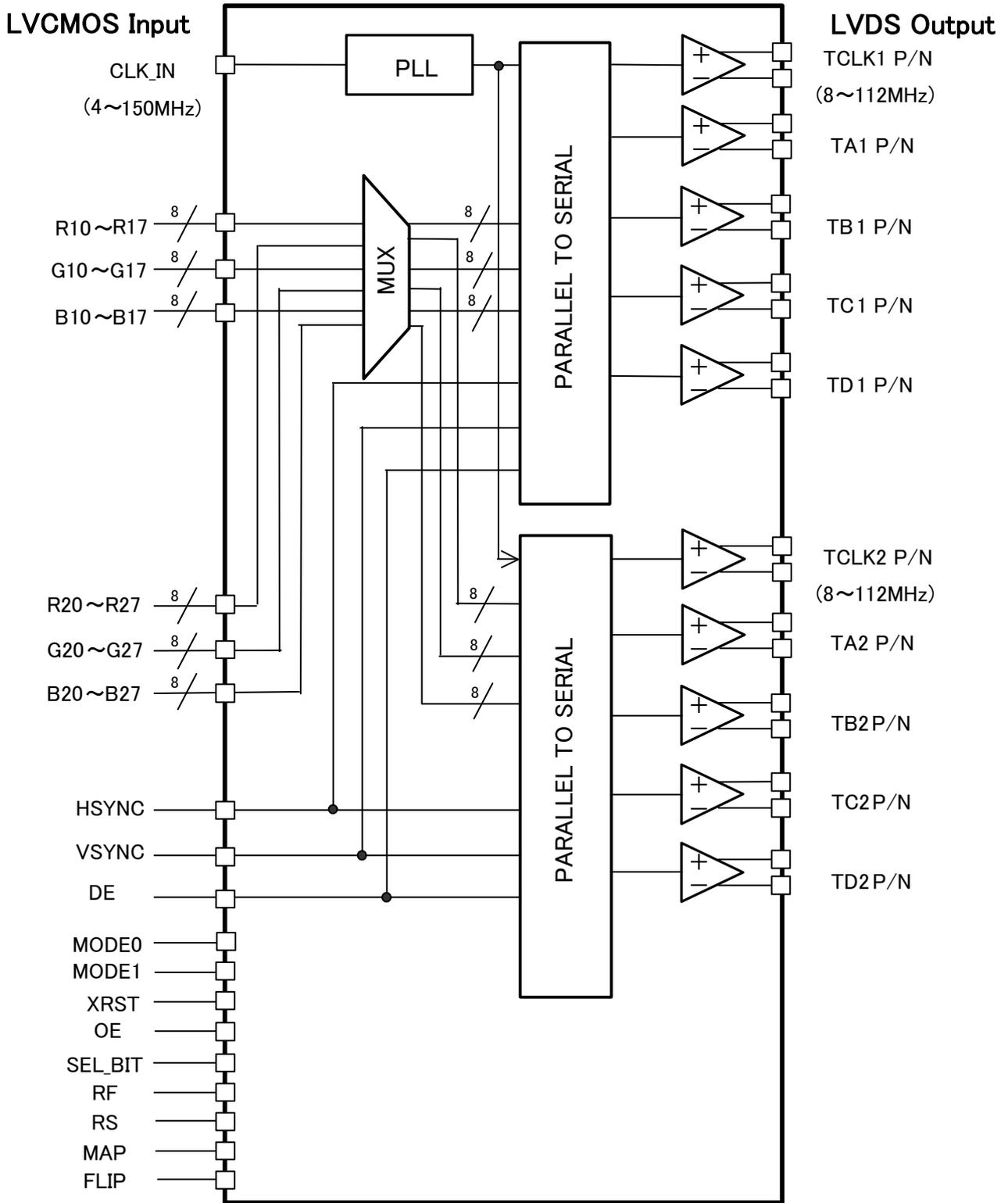


Fig.1 ブロック図

●TQFP100V パッケージ外形及び標印図

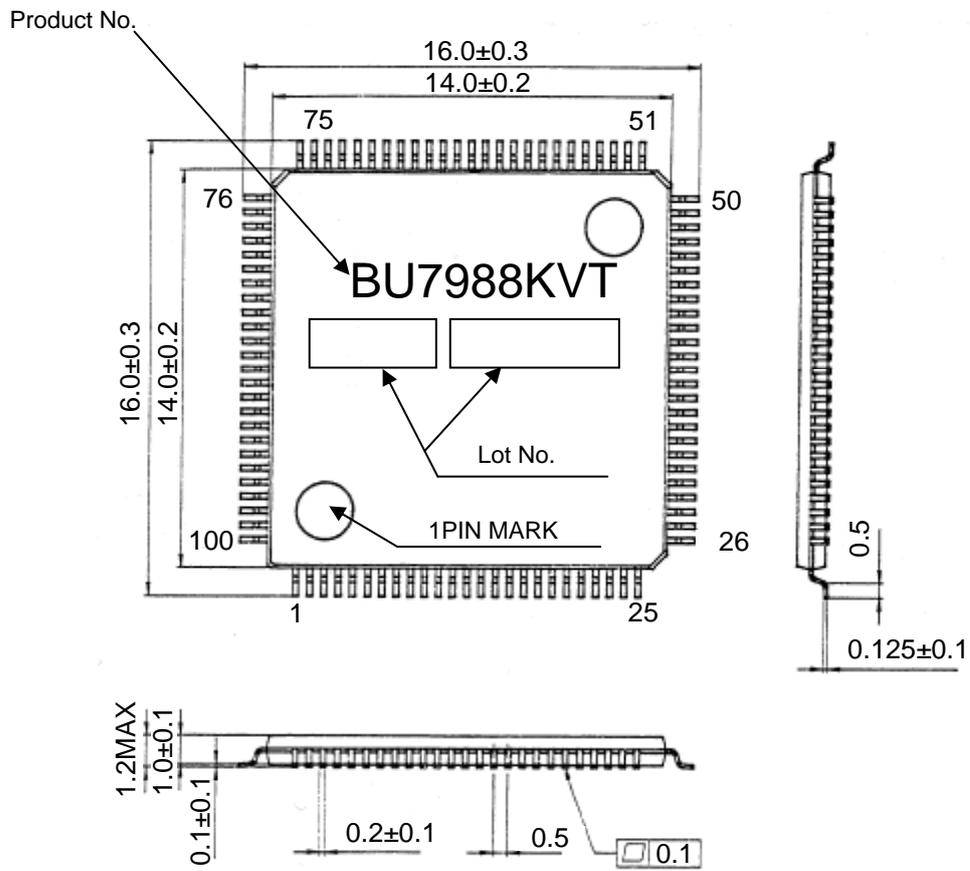


Fig.2 TQFP100V パッケージ外形及び標印図

●端子配置図

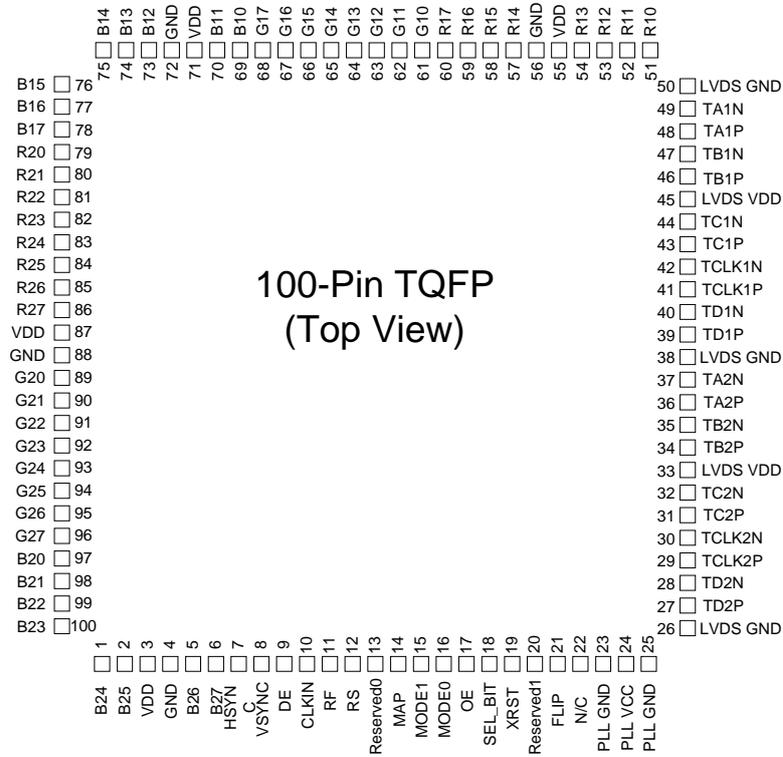


Fig.3 端子配置図(Top View)

●端子機能説明

表 1：端子機能説明

Pin Name	Pin No.	Type	Descriptions
TA1P, TA1N	48, 49	LVDS OUT	LVDS データ出力
TB1P, TB1N	46, 47	LVDS OUT	
TC1P, TC1N	43, 44	LVDS OUT	
TD1P, TD1N	39, 40	LVDS OUT	
TCLK1P, TCLK1N	41, 42	LVDS OUT	LVDS クロック出力
TA2P, TA2N	36, 37	LVDS OUT	LVDS データ出力
TB2P, TB2N	34, 35	LVDS OUT	
TC2P, TC2N	31, 32	LVDS OUT	
TD2P, TD2N	27, 28	LVDS OUT	
TCLK2P, TCLK2N	29, 30	LVDS OUT	LVDS クロック出力
R17~R10	60, 59, 58, 57, 54, 53, 52, 51	IN	1st ピクセルデータ入力
G17~G10	68, 67, 66, 65, 64, 63, 62, 61	IN	
B17~B10	78, 77, 76, 75, 74, 73, 70, 69	IN	
R27~R20	86, 85, 84, 83, 82, 81, 80, 79	IN	2nd ピクセルデータ入力
G27~G20	96, 95, 94, 93, 92, 91, 90, 89	IN	
B27~B20	6, 5, 2, 1, 100, 99, 98, 97	IN	
DE	9	IN	データイネーブル入力
VSYNC	8	IN	VSYNC 入力
HSYNC	7	IN	HSYNC 入力
CLKIN	10	IN	クロック入力
MAP	14	IN	LVDS 出力マッピング選択 表 11-14 及び図 11-14 を参照
XRST	19	IN	H: 通常動作時, L: パワーダウン (全ての出力は Hi-Z)
FLIP	21	IN	LVDS 出力ピン選択 表 10 を参照

Pin Name	Pin No.	Type	Descriptions															
RS	12	IN	RS を設定することによって LVDS のスイング幅を決定 <table border="1"> <thead> <tr> <th>RS</th> <th>LVDS Swing</th> </tr> </thead> <tbody> <tr> <td>VDD</td> <td>350mV</td> </tr> <tr> <td>GND</td> <td>200mV</td> </tr> </tbody> </table>	RS	LVDS Swing	VDD	350mV	GND	200mV									
RS	LVDS Swing																	
VDD	350mV																	
GND	200mV																	
MODE1, MODE0	15, 16	IN	ピクセルデータモード <table border="1"> <thead> <tr> <th>MODE1</th> <th>MODE0</th> <th>Mode</th> </tr> </thead> <tbody> <tr> <td>L</td> <td>L</td> <td>Dual-in/Dual-out</td> </tr> <tr> <td>L</td> <td>H</td> <td>Dual-in/Single-out</td> </tr> <tr> <td>H</td> <td>L</td> <td>Single-in/Dual-out</td> </tr> <tr> <td>H</td> <td>H</td> <td>Single-in/Single-out</td> </tr> </tbody> </table>	MODE1	MODE0	Mode	L	L	Dual-in/Dual-out	L	H	Dual-in/Single-out	H	L	Single-in/Dual-out	H	H	Single-in/Single-out
MODE1	MODE0	Mode																
L	L	Dual-in/Dual-out																
L	H	Dual-in/Single-out																
H	L	Single-in/Dual-out																
H	H	Single-in/Single-out																
SEL_BIT	18	IN	6bit/8bit 出力選択 H:6bit (TDxP/N ^{*1} 出力は Hi-Z)、L:8bit															
OE	17	IN	出力イネーブル信号 H:出力有効, L:出力無効 (全出力 Hi-Z)															
RF	11	IN	データをラッチするエッジの極性を決定 H: 立ち上がりエッジ, L: 立ち下がりエッジ															
N/C	22		NCピン 入力をオープンにしてください。															
Reserved1	20	IN	リザーブ端子です。 入力をGNDに接続してください。															
Reserved0	13	IN	リザーブ端子です。 入力をオープンにしてください。															
VDD	3, 55, 71, 87	Power	CMOS 入出力及び内部デジタルコアのための電源															
GND	4, 56, 72, 88	Ground	CMOS 入出力及び内部デジタルコアのためのGND															
LVDS VDD	33, 45	Power	LVDS 出力のための電源															
LVDS GND	26, 38, 50	Ground	LVDS 出力のためのGND															
PLL VDD	24	Power	内部 PLL のための電源															
PLL GND	23, 25	Ground	内部 PLL のためのGND															

*1: X=1,2

●電気的特性

■定格

表 2：絶対最大定格

項目	記号	定格		単位
		最小	最大	
電源電圧	VDD	-0.3	4.0	V
入力電圧	VIN	-0.3	VDD+0.3	V
出力電圧	VOOUT	-0.3	VDD+0.3	V
保存温度範囲	Tstg	-55	125	°C

表 3：パッケージパワー

パッケージ	許容損失(mW)	軽減曲線(mW/°C) ^{*1}
TQFP100V	900	9.0
	1400 ^{*2}	14.0 ^{*2}

*1: 周囲温度 Ta >25°C 時

*2: 基板実装時のパッケージパワー

基板サイズ :70×70×1.6(mm3)

材質 :FR4 ガラエポ基板 (銅箔面積 3%以下)

(小振幅入力時は上記相当の基板に実装することを推奨します)

表 4：推奨動作条件

項目	記号	定格			単位	条件
		最小	標準	最大		
電源電圧	V _{DD}	3.0	3.3	3.6	V	VDD, LVDSVDD, PLLVDD
動作温度範囲	Topr	-20	-	85	°C	CLK 周波数 8MHz から 90MHz
		0	-	70	°C	CLK 周波数 90MHz から 112MHz

■DC 特性

表 5 : CMOS DC 特性(VDD=3.0V~3.6V, Ta=-20°C~+85°C)

項目	記号	範囲			単位	条件
		最小	標準	最大		
通常時"H"入力電圧	V _{IH}	VDD×0.8	-	VDD	V	
通常時"L"入力電圧	V _{IL}	GND	-	VDD×0.2	V	
入力リーク電流	I _{INC}	-10	-	+10	μA	0V≤V _{IN} ≤VDD

表 6: LVDS Transmitter DC 特性(VDD=3.0V~3.6V, Ta=-20°C~+85°C)

項目	記号	範囲			単位	条件	
		最小	標準	最大			
差動出力電圧	V _{OD}	250	350	450	mV	RL=100Ω	Normal swing RS=VDD
		120	200	300	mV		Reduced swing RS=GND
V _{OD} の変化量	ΔV _{OD}	-	-	35	mV	RL=100Ω	
オフセット電圧	V _{OC}	1.125	1.25	1.375	V		
V _{OC} の変化量	ΔV _{OC}	-	-	35	mV		
出力ショート電流	I _{OS}	-	-	-24	mA	V _{OUT} =0V, RL=100Ω	
出カトライステート電流	I _{OZ}	-10	-	+10	μA	XRST=0V, V _{OUT} =0V to VDD	

■消費電力

表 7 : 消費電流(VDD=3.3V, Ta=25°C, RL=100Ω,CL=15pF)

項目	記号	範囲			単位	条件			
		最小	標準	最大					
動作消費電流 (グレースケールパターン)	I _{TCCG}	-	98	-	mA	RS=H	MODE[1:0]=L L CLKIN = 112MHz		
		-	70	-			MODE[1:0]=L H CLKIN = 56MHz		
		-	87	-			MODE[1:0]=H L CLKIN = 150MHz		
		-	62	-			MODE[1:0]=H H CLKIN = 112MHz		
		-	-	-	76	-	mA	RS=L	MODE[1:0]=L L CLKIN = 112MHz
									MODE[1:0]=L H CLKIN = 56MHz
									MODE[1:0]=H L CLKIN = 150MHz
									MODE[1:0]=H H CLKIN = 112MHz
動作消費電流 (ワーストケースパターン)	I _{TCCW}	-	101	-	mA	RS=H	MODE[1:0]=L L CLKIN = 112MHz		
		-	87	-			MODE[1:0]=L H CLKIN = 56MHz		
		-	91	-			MODE[1:0]=H L CLKIN = 150MHz		
		-	65	-			MODE[1:0]=H H CLKIN = 112MHz		
		-	-	-	79	-	mA	RS=L	MODE[1:0]=L L CLKIN = 112MHz
									MODE[1:0]=L H CLKIN = 56MHz
									MODE[1:0]=H L CLKIN = 150MHz
									MODE[1:0]=H H CLKIN = 112MHz
静止消費電流	I _{TCCS}	-	-	10	μA	XRST=L			

グレースケールパターン

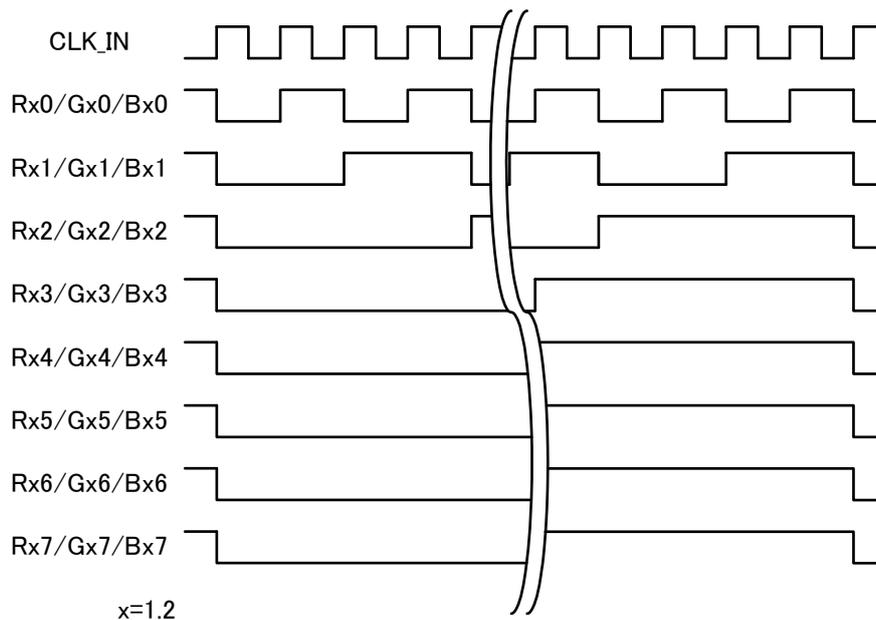


Fig.4 グレースケールパターン

ワーストケースパターン(消費電流が最大となるパターン)

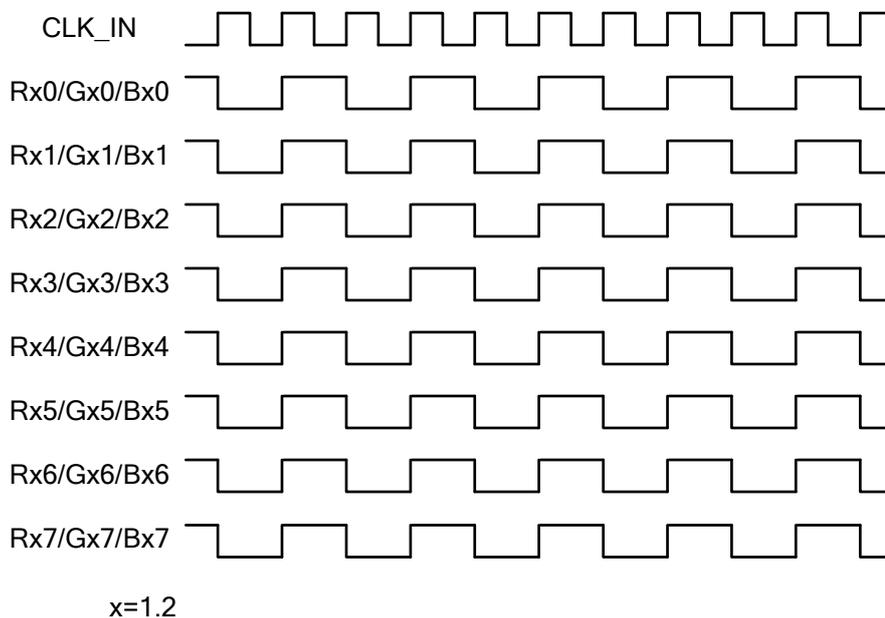


Fig.5 ワーストケースパターン

■AC 特性

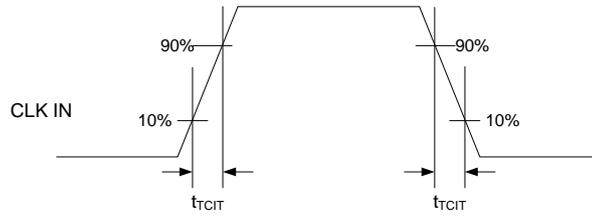
表 8: スイッチング特性 (VDD=3.3V, Ta=25°C)

項目		記号	最小	標準	最大	単位
入カクロック遷移時間		t _{CIT}	-	-	5.0	ns
入カクロック周期	Dual In / Dual Out	t _{TCP}	8.9	-	125.0	ns
	Dual In / Single Out		17.8	-	62.5	
	Single In / Dual Out		6.7	-	250.0	
	Single In / Single Out		8.9	-	125.0	
入カクロック“H”タイム		t _{TCH}	0.35t _{TCP}	0.5t _{TCP}	0.65t _{TCP}	ns
入カクロック“L”タイム		t _{TCL}	0.35t _{TCP}	0.5t _{TCP}	0.65t _{TCP}	ns
クロック入力から 差動クロック出力 までのディレイ時間	Dual In / Dual Out Single In / Single Out	t _{TCD}	-	TBD	-	ns
	Dual In / Single Out		-	TBD	-	
	Single In / Dual Out		-	TBD	-	
セットアップ時間		t _{TS}	2.5	-	-	ns
ホールド時間		t _{TH}	0	-	-	ns
出カクロック周期	Dual In / Dual Out	t _{TCOP}	8.9	-	125.0	
	Dual In / Single Out		8.9	-	125.0	
	Single In / Dual Out		13.3	-	125.0	
	Single In / Single Out		8.9	-	125.0	
差動出力遷移時間		t _{LVT}	-	0.6	1.5	ns
差動出力データ区間 0		t _{TOP1}	-0.2	0.0	+0.2	ns
差動出力データ区間 1		t _{TOP0}	$\frac{t_{TCP}}{7} - 0.2$	$\frac{t_{TCP}}{7}$	$\frac{t_{TCP}}{7} + 0.2$	ns
差動出力データ区間 2		t _{TOP6}	$2 \frac{t_{TCP}}{7} - 0.2$	$2 \frac{t_{TCP}}{7}$	$2 \frac{t_{TCP}}{7} + 0.2$	ns
差動出力データ区間 3			$3 \frac{t_{TCP}}{7} - 0.2$	$3 \frac{t_{TCP}}{7}$	$3 \frac{t_{TCP}}{7} + 0.2$	ns
差動出力データ区間 4			$4 \frac{t_{TCP}}{7} - 0.2$	$4 \frac{t_{TCP}}{7}$	$4 \frac{t_{TCP}}{7} + 0.2$	ns
差動出力データ区間 5			$5 \frac{t_{TCP}}{7} - 0.2$	$5 \frac{t_{TCP}}{7}$	$5 \frac{t_{TCP}}{7} + 0.2$	ns
差動出力データ区間 6			$6 \frac{t_{TCP}}{7} - 0.2$	$6 \frac{t_{TCP}}{7}$	$6 \frac{t_{TCP}}{7} + 0.2$	ns
出カクロック間スキュー (TCLKXP / TCLKYP)			-	-	0.5	ns
セトリング時間			-	-	10.0	ms

●AC タイミング

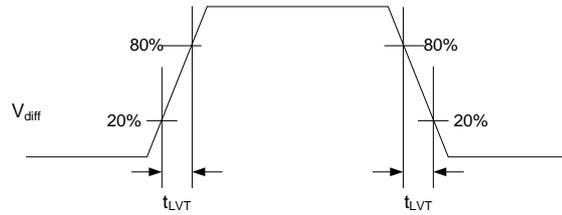
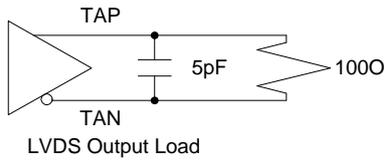
■AC タイミングダイアグラム

LVC MOS Input



LVDS Output

$V_{diff} = (TAP) - (TAN)$



LVC MOS Input

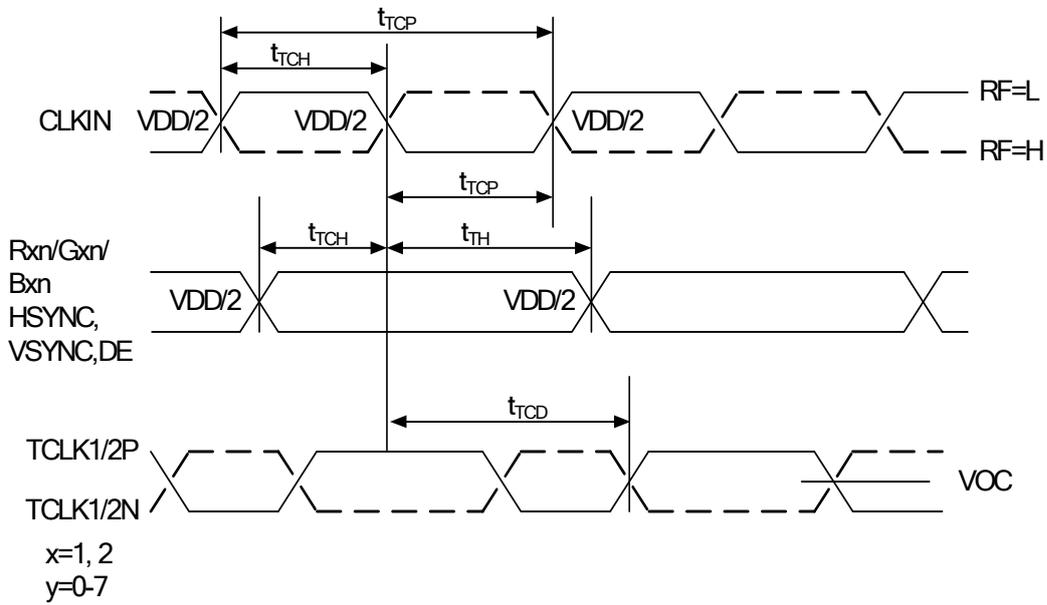


Fig.6 AC タイミングダイアグラム

■AC タイミングダイアグラム

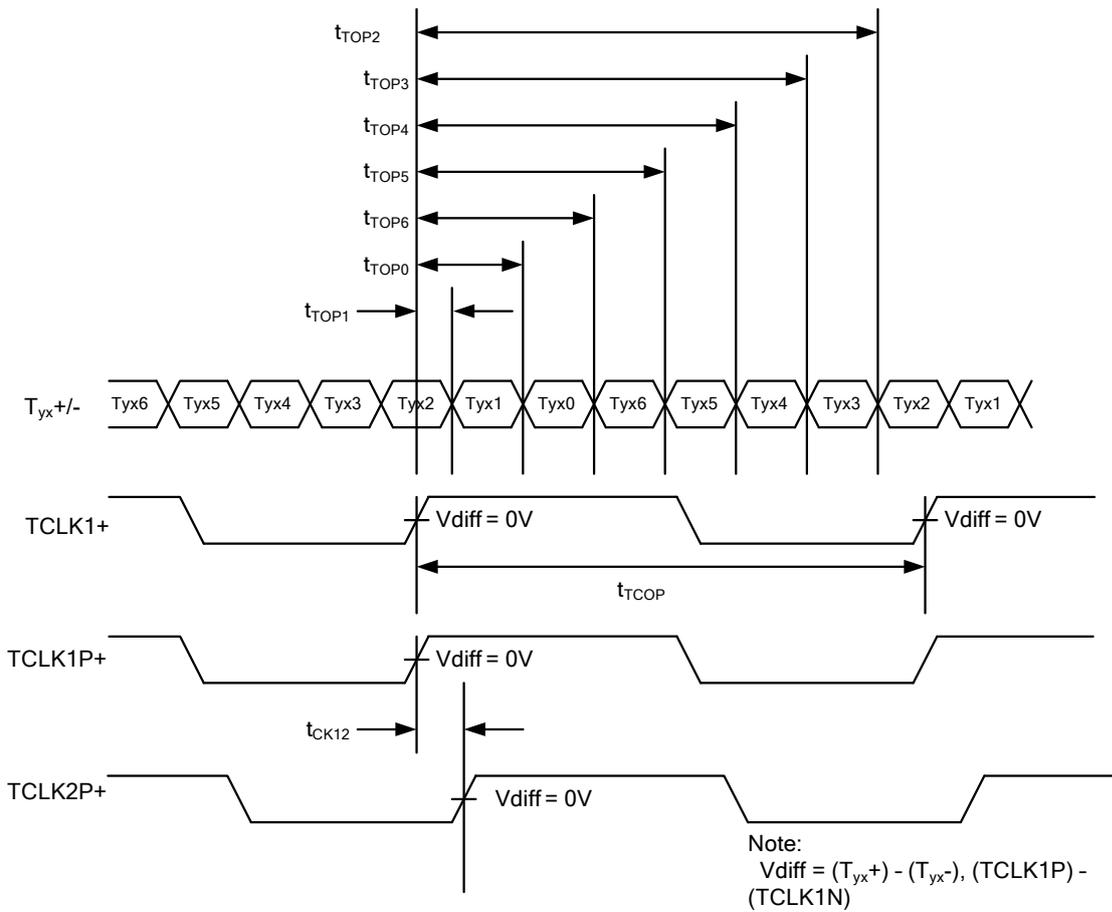


Fig.7 AC タイミングダイアグラム

X=1.2
Y=A,B,C,D

■PLL セトリング時間

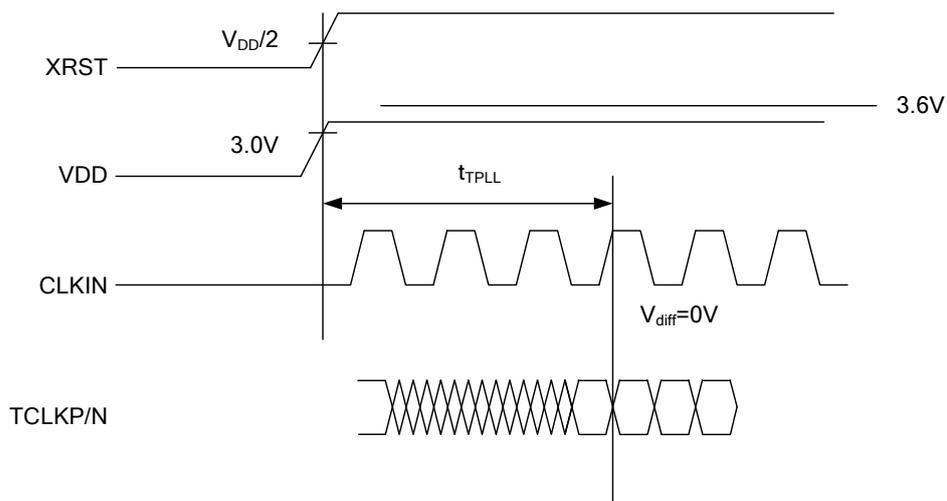


Fig.8 PLL セトリング時間

●Dual モード時ピクセルデータマッピング

表 9: Dual モード時ピクセルデータマッピング

1st ピクセルデータ				2nd ピクセルデータ			
TFT パネルデータ			BU7988KVT 入力	TFT パネルデータ			BU7988KVT 入力
	24Bit	18Bit			24Bit	18Bit	
LSB	R10	-	R10	LSB	R20	-	R20
	R11	-	R11		R21	-	R21
	R12	R10	R12		R22	R20	R22
	R13	R11	R13		R23	R21	R23
	R14	R12	R14		R24	R22	R24
	R15	R13	R15		R25	R23	R25
	R16	R14	R16		R26	R24	R26
MSB	R17	R15	R17	MSB	R27	R25	R27
LSB	G10	-	G10	LSB	G20	-	G20
	G11	-	G11		G21	-	G21
	G12	G10	G12		G22	G20	G22
	G13	G11	G13		G23	G21	G23
	G14	G12	G14		G24	G22	G24
	G15	G13	G15		G25	G23	G25
	G16	G14	G16		G26	G24	G26
MSB	G17	G15	G17	MSB	G27	G25	G27
LSB	B10	-	B10	LSB	B20	-	B20
	B11	-	B11		B21	-	B21
	B12	B10	B12		B22	B20	B22
	B13	B11	B13		B23	B21	B23
	B14	B12	B14		B24	B22	B24
	B15	B13	B15		B25	B23	B25
	B16	B14	B16		B26	B24	B26
MSB	B17	B15	B17	MSB	B27	B25	B27

●FLIP ピン設定による LVDS 出力データ切り替え

表 10 : LVDS 出力信号 / ピン No 対応

Pin No	出力信号名	
	FLIP=L	FLIP=H
49	TA1N	TD2P
48	TA1P	TD2N
47	TB1N	TCLK2P
46	TB1P	TCLK2N
44	TC1N	TC2P
43	TC1P	TC2N
42	TCLK1N	TB2P
41	TCLK1P	TB2N
40	TD1N	TA2P
39	TD1P	TA2N
37	TA2N	TD1P
36	TA2P	TD1N
35	TB2N	TCLK1P
34	TB2P	TCLK1N
32	TC2N	TC1P
31	TC2P	TC1N
30	TCLK2N	TB1P
29	TCLK2P	TB1N
28	TD2N	TA1P
27	TD2P	TA1N

●Dual モード時 LVCMOS 入力データタイミング

Example : SXGA+(1400 × 1050)

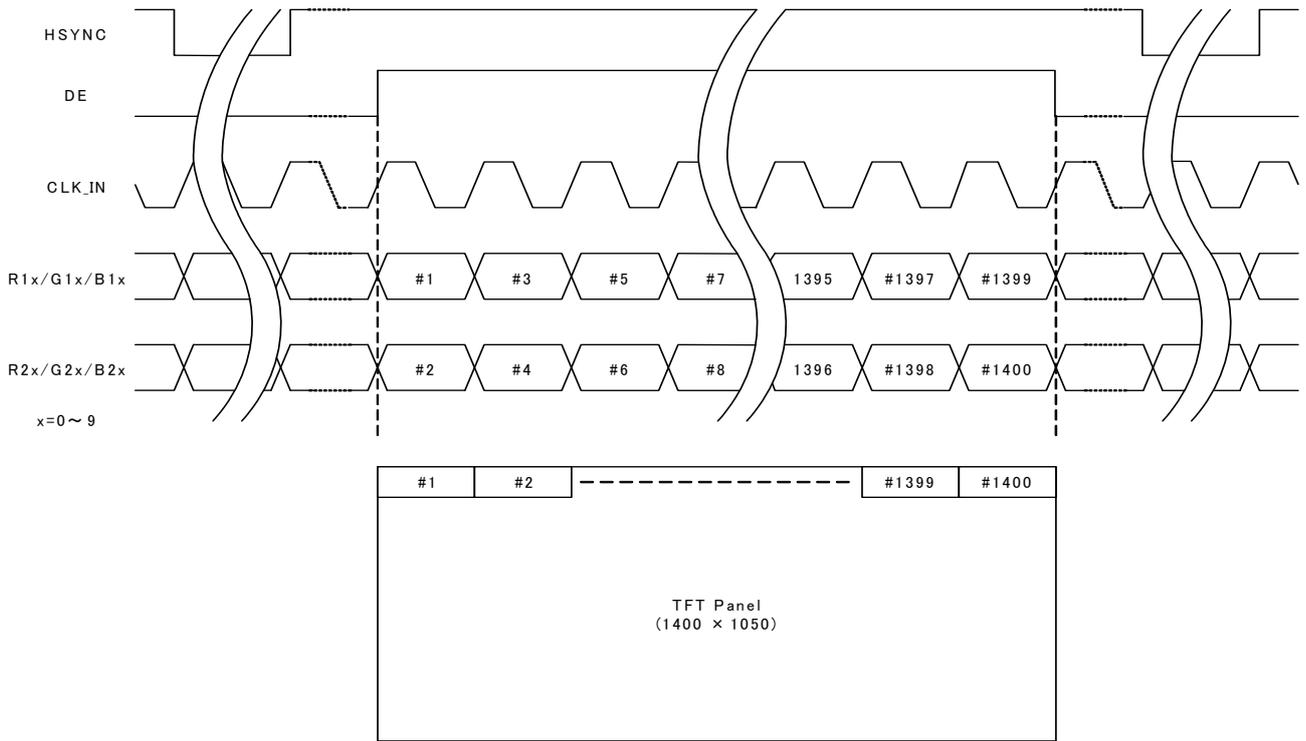


Fig.9 Dual モード時 LVCMOS 入力データタイミング

●Single モード時 LVCMOS 入力データタイミング

Example : SXGA+(1400 × 1050)

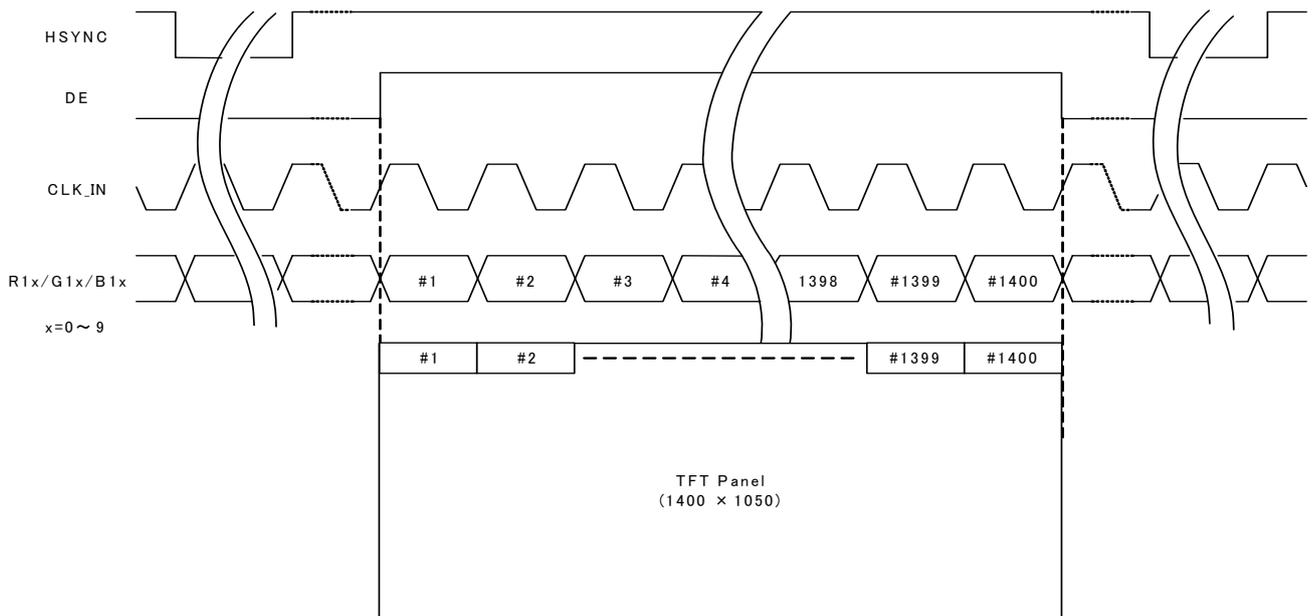
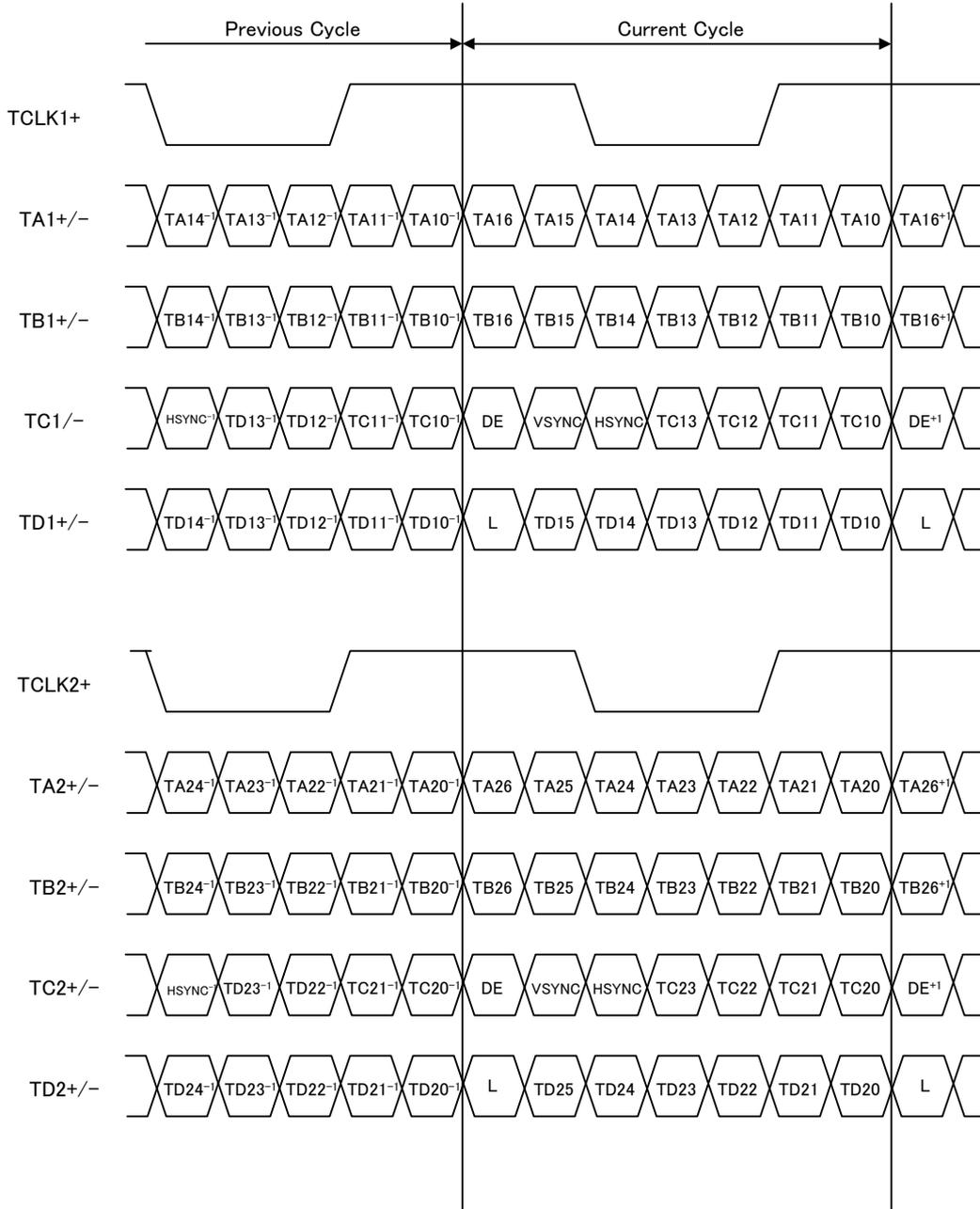


Fig.10 Single モード時 LVCMOS 入力データタイミング

●LVDS 出カデータマッピング (Dual モード / Single モード)



LVDS 出カデータ



LVCMOS 入カデータ

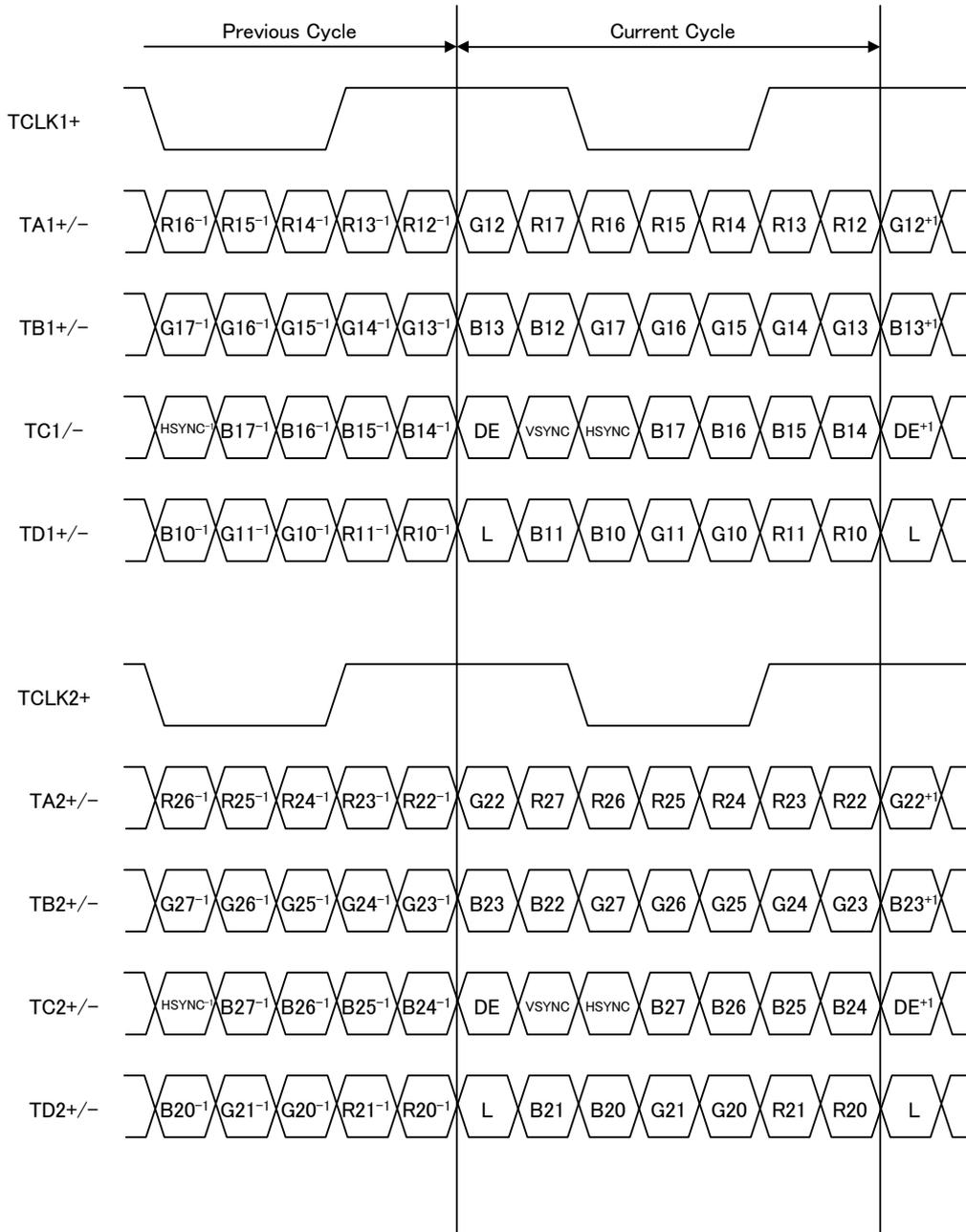
Fig.11 LVDS 出カデータマッピング

●LVCMOS 入力データタイミング(Dual-in / Dual-out モード)
(MODE<1:0>=LL, FLIP=L)

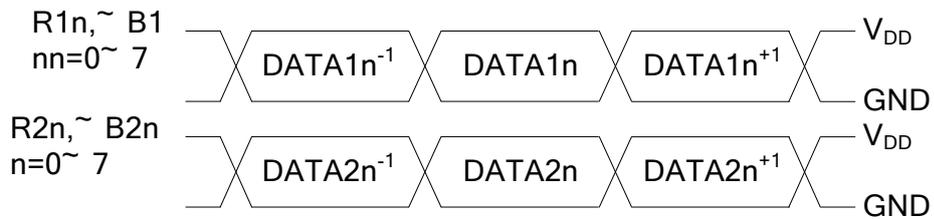
表 11 : LVCMOS データ入力対応 (Dual モード)

1st ピクセルデータ			2nd ピクセルデータ		
LVDS 出力データ (1st ピクセルデータ)	MAP=H 入力ピン名	MAP=L 入力ピン名	LVDS 出力データ (2nd ピクセルデータ)	MAP=H 入力ピン名	MAP=L 入力ピン名
TA10	R12	R10	TA20	R22	R20
TA11	R13	R11	TA21	R23	R21
TA12	R14	R12	TA22	R24	R22
TA13	R15	R13	TA23	R25	R23
TA14	R16	R14	TA24	R26	R24
TA15	R17	R15	TA25	R27	R25
TA16	G12	G10	TA26	G22	G20
TB10	G13	G11	TB20	G23	G21
TB11	G14	G12	TB21	G24	G22
TB12	G15	G13	TB22	G25	G23
TB13	G16	G14	TB23	G26	G24
TB14	G17	G15	TB24	G27	G25
TB15	B12	B10	TB25	B22	B20
TB16	B13	B11	TB26	B23	B21
TC10	B14	B12	TC20	B24	B22
TC11	B15	B13	TC21	B25	B23
TC12	B16	B14	TC22	B26	B24
TC13	B17	B15	TC23	B27	B25
TC14	HSYNC	HSYNC	TC24	HSYNC	HSYNC
TC15	VSYNC	VSYNC	TC25	VSYNC	VSYNC
TC16	DE	DE	TC26	DE	DE
TD10	R10	R16	TD20	R20	R26
TD11	R11	R17	TD21	R21	R27
TD12	G10	G16	TD22	G20	G26
TD13	G11	G17	TD23	G21	G27
TD14	B10	B16	TD24	B20	B26
TD15	B11	B17	TD25	B21	B27
TD16	L	L	TD26	L	L

●LVDS 出カデータマッピング (Dual-in / Dual-out モード)
 (MODE<1:0>=LL, FLIP=L, MAP=H)



LVDS 出カデータ



LVC MOS 入カデータ

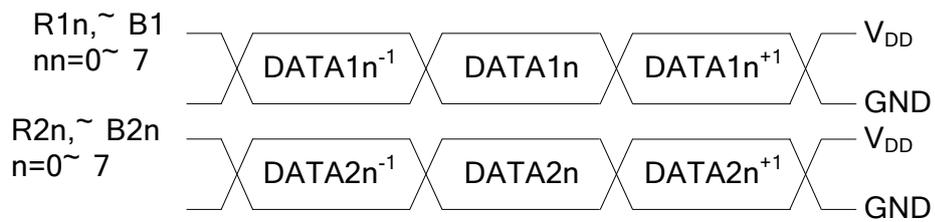
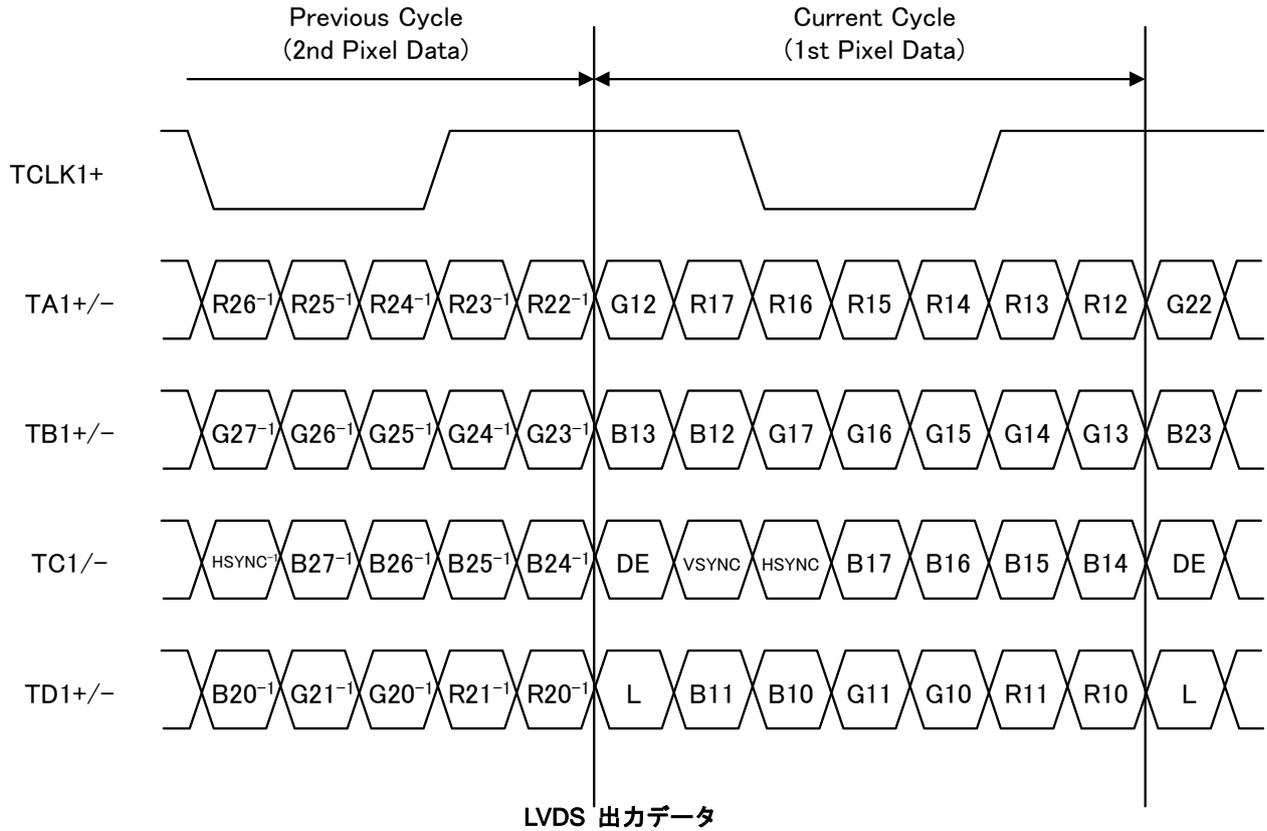
Fig.12 LVDS 出カデータマッピング (Dual モード)

●LVCMOS 入力データタイミング(Dual-in / Single-out モード)
(MODE<1:0>=LH, FLIP=L)

表 12 : LVCMOS データ入力対応 (Dual-in/Single-out モード)

LVDS 出力データ	Mapping Mode1 入力ピン名	Mapping Mode2 入力ピン名
TA10	R12/R22	R10/R20
TA11	R13/R23	R11/R21
TA12	R14/R24	R12/R22
TA13	R15/R25	R13/R23
TA14	R16/R26	R14/R24
TA15	R17/R27	R15/R25
TA16	G12/G22	G10/G20
TB10	G13/G23	G11/G21
TB11	G14/G24	G12/G22
TB12	G15/G25	G13/G23
TB13	G16/G26	G14/G24
TB14	G17/G27	G15/G25
TB15	B12/B22	B10/B20
TB16	B13/B23	B11/B21
TC10	B14/B24	B12/B22
TC11	B15/B25	B13/B23
TC12	B16/B26	B14/B24
TC13	B17/B27	B15/B25
TC14	HSYNC	HSYNC
TC15	VSYNC	VSYNC
TC16	DE	DE
TD10	R10/R20	R16/R26
TD11	R11/R21	R17/R27
TD12	G10/G20	G16/G26
TD13	G11/G21	G17/G27
TD14	B10/B20	B16/B26
TD15	B11/B21	B17/B27
TD16	L	L

●LVDS 出力データマッピング (Dual-in / Single-out モード)
 (MODE<1:0>=LH, FLIP=L, MAP=H)



LVC MOS 入力データ

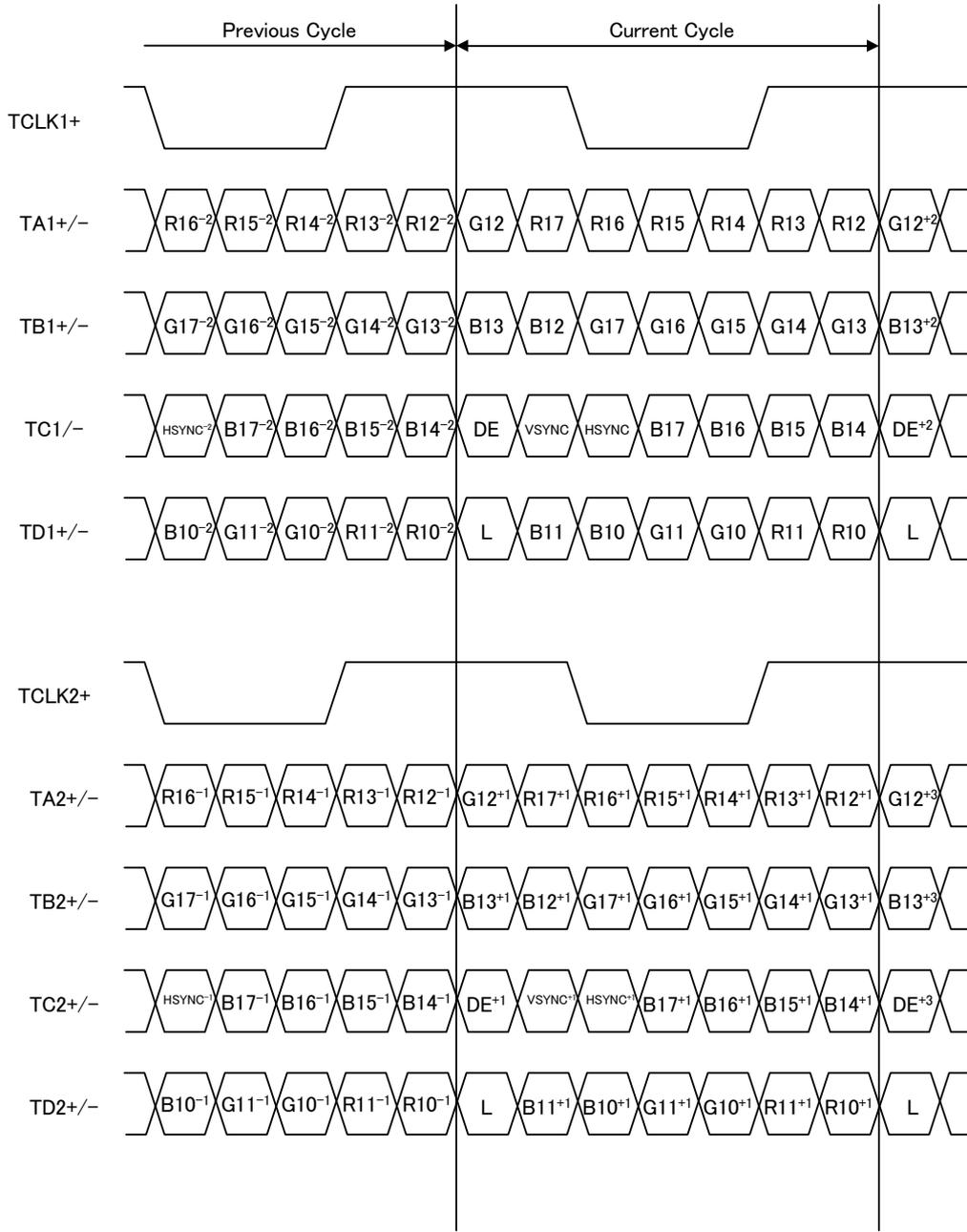
Fig.13 LVDS 出力データマッピング (Single モード)

●LVCMOS 入力データタイミング(Single-in / Dual-out モード)
(MODE<1:0>=HH, FLIP=L)

表 13 : LVCMOS データ入力対応 (Single-in/Dual-out モード)

1st ピクセルデータ			2nd ピクセルデータ		
LVDS 出力データ (1st ピクセルデータ)	MAP=H 入力ピン名	LVDS 出力データ (1st ピクセルデータ)	MAP=H 入力ピン名	LVDS 出力データ (1st ピクセルデータ)	MAP=H 入力ピン名
TA10	R12	R10	TA20	R12 ⁺¹	R10 ⁺¹
TA11	R13	R11	TA21	R13 ⁺¹	R11 ⁺¹
TA12	R14	R12	TA22	R14 ⁺¹	R12 ⁺¹
TA13	R15	R13	TA23	R15 ⁺¹	R13 ⁺¹
TA14	R16	R14	TA24	R16 ⁺¹	R14 ⁺¹
TA15	R17	R15	TA25	R17 ⁺¹	R15 ⁺¹
TA16	G12	G10	TA26	G12 ⁺¹	G10 ⁺¹
TB10	G13	G11	TB20	G13 ⁺¹	G11 ⁺¹
TB11	G14	G12	TB21	G14 ⁺¹	G12 ⁺¹
TB12	G15	G13	TB22	G15 ⁺¹	G13 ⁺¹
TB13	G16	G14	TB23	G16 ⁺¹	G14 ⁺¹
TB14	G17	G15	TB24	G17 ⁺¹	G15 ⁺¹
TB15	B12	B10	TB25	B12 ⁺¹	B10 ⁺¹
TB16	B13	B11	TB26	B13 ⁺¹	B11 ⁺¹
TC10	B14	B12	TC20	B14 ⁺¹	B12 ⁺¹
TC11	B15	B13	TC21	B15 ⁺¹	B13 ⁺¹
TC12	B16	B14	TC22	B16 ⁺¹	B14 ⁺¹
TC13	B17	B15	TC23	B17 ⁺¹	B15 ⁺¹
TC14	HSYNC	HSYNC	TC24	HSYNC ⁺¹	HSYNC ⁺¹
TC15	VSYNC	VSYNC	TC25	VSYNC ⁺¹	VSYNC ⁺¹
TC16	DE	DE	TC26	DE ⁺¹	DE ⁺¹
TD10	R10	R16	TD20	R10 ⁺¹	R16 ⁺¹
TD11	R11	R17	TD21	R11 ⁺¹	R17 ⁺¹
TD12	G10	G16	TD22	G10 ⁺¹	G16 ⁺¹
TD13	G11	G17	TD23	G11 ⁺¹	G17 ⁺¹
TD14	B10	B16	TD24	B10 ⁺¹	B16 ⁺¹
TD15	B11	B17	TD25	B11 ⁺¹	B17 ⁺¹
TD16	L	L	TD26	L	L

●LVDS 出カデータマッピング (Single-in / Dual-out モード)
 (MODE<1:0>=HL, FLIP=L, MAP=H)



LVDS 出カデータ



LVC MOS 入カデータ

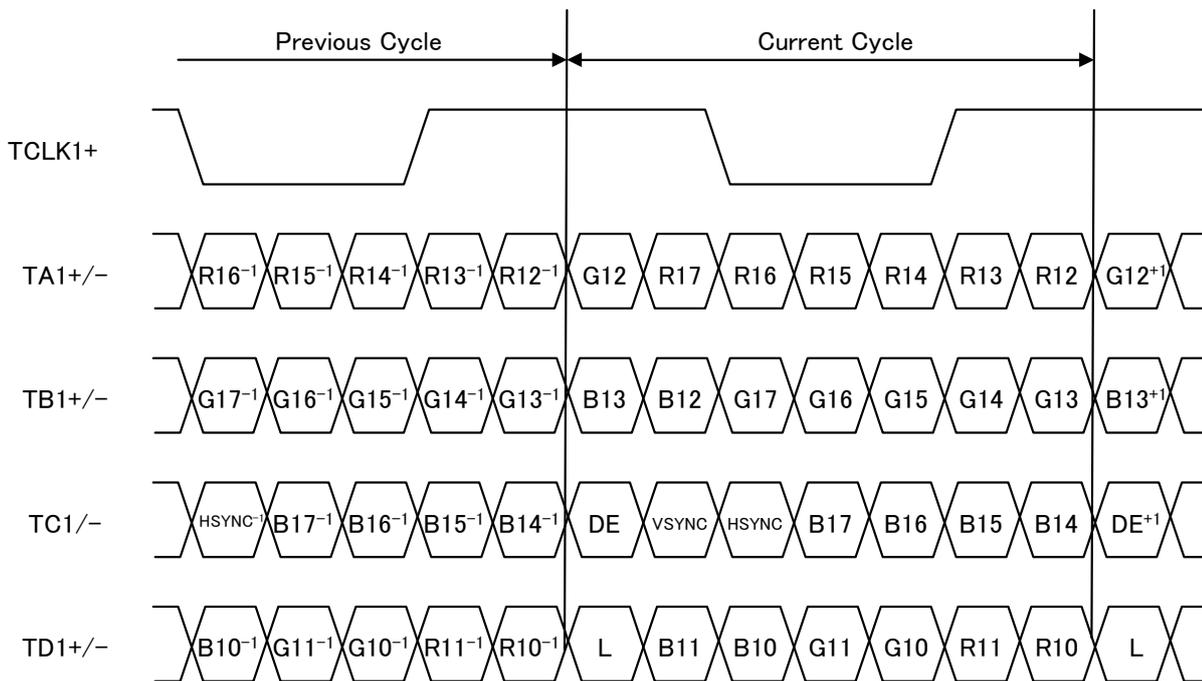
Fig.14 LVDS 出カデータマッピング (Single-in / Dual-out モード)

●LVCMOS 入力データタイミング(Single-in / Single-out モード)
(MODE<1:0>=HH, FLIP=L)

表 14 : LVCMOS データ入力対応 (Single-in/Single-out モード)

LVDS 出力データ	MAP=H 入力ピン名	MAP=L 入力ピン名
TA10	R12	R10
TA11	R13	R11
TA12	R14	R12
TA13	R15	R13
TA14	R16	R14
TA15	R17	R15
TA16	G12	G10
TB10	G13	G11
TB11	G14	G12
TB12	G15	G13
TB13	G16	G14
TB14	G17	G15
TB15	B12	B10
TB16	B13	B11
TC10	B14	B12
TC11	B15	B13
TC12	B16	B14
TC13	B17	B15
TC14	HSYNC	HSYNC
TC15	VSYNC	VSYNC
TC16	DE	DE
TD10	R10	R16
TD11	R11	R17
TD12	G10	G16
TD13	G11	G17
TD14	B10	B16
TD15	B11	B17
TD16	L	L

●LVDS 出カデータマッピング (Single-in / Single-out モード)
 (MODE<1:0>=HH, FLIP=L, MAP=H)



LVDS 出カデータ



LVC MOS 入カデータ

Fig.15 LVDS 出カデータマッピング (Single-in / Single-out モード)

●パワーオンリセットについて

本製品はパワーオンリセットを必須とはしません。
 (パワーオンリセットを使用しない場合、XRST= High に設定してください)

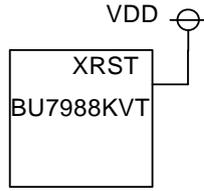
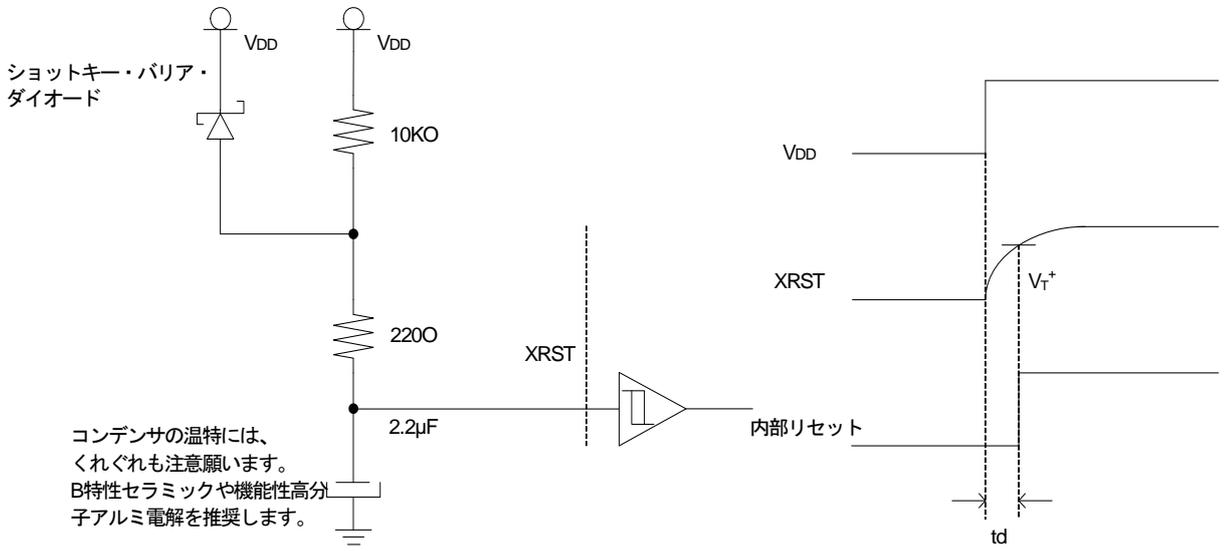


Fig.16 Power On Reset を使用しない場合の XRST 端子処理

ただし、確実なロジック初期化のためには Power on Reset を推奨します。
 その場合、考えられる方法として以下の2つが挙げられます。

- ① CR の時定数を用いる。
- ② 専用の外付け IC を用いる。

何れにしてもアプリケーション全体を考慮しながら十分な検討をしていただきますようお願い致します。



左の時定数で t_d はおよそ20msとなります。

Fig.17 CR 時定数を用いた Power On Reset

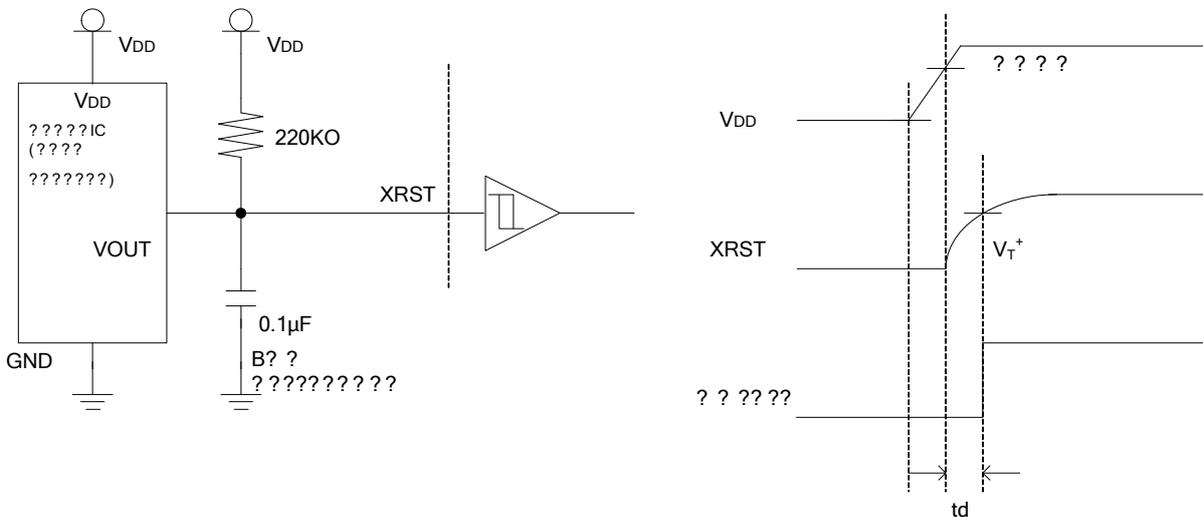


Fig.18 専用の IC を用いた Power On Reset

●発注形名セレクション

B	U
---	---

ローム形名

7	9	8	8
---	---	---	---

品番

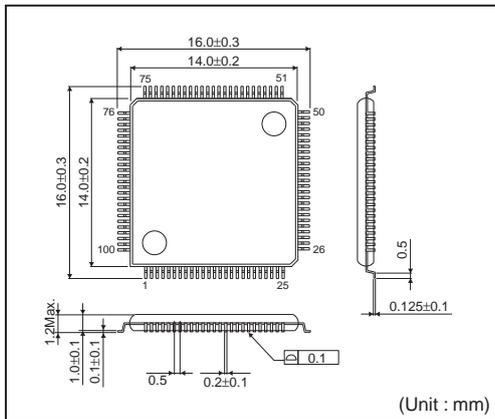
K	V	T
---	---	---

パッケージ
KVT: TQFP100V

--	--

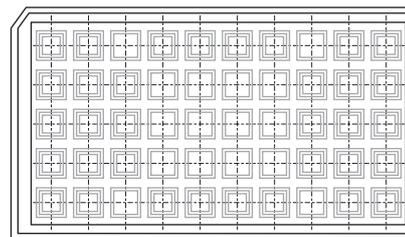
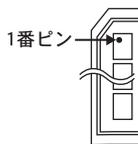
包装、フォーミング仕様
なし:トレイ

TQFP100V



<包装仕様>

包装形態	トレイ(防湿仕様)
包装数量	500pcs
包装方向	1トレイ内での製品方向は一定



※ご発注の際は、包装数量の倍数でお願い致します。

ご注意

ローム製品取扱い上の注意事項

1. 本製品は一般的な電子機器（AV 機器、OA 機器、通信機器、家電製品、アミューズメント機器等）への使用を意図して設計・製造されております。従いまして、極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険若しくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器^(Note 1)、輸送機器、交通機器、航空宇宙機器、原子力制御装置、燃料制御、カーアクセサリを含む車載機器、各種安全装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

2. 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、かかる誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
3. 本製品は、一般的な電子機器に標準的な用途で使用されることを意図して設計・製造されており、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。従いまして、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合。
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用。
 - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用された場合も、残渣の洗浄は確実にを行うことをお勧め致します)、又ははんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合。
 - ⑧本製品が結露するような場所でのご使用。
4. 本製品は耐放射線設計はなされておられません。
5. 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
6. パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
7. 許容損失(Pd)は周囲温度(Ta)に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、ディレーティングカーブ範囲内であることをご確認ください。
8. 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
9. 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

1. ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
2. はんだ付けはリフローはんだを原則とさせていただきます。なお、フロー方法でのご使用につきましては別途ロームまでお問い合わせください。
詳細な実装及び基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。従いまして、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施の上、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。(人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等)

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
 - ①潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ②推奨温度、湿度以外での保管
 - ③直射日光や結露する場所での保管
 - ④強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認した上でご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行った上でご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルにQRコードが印字されていますが、QRコードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は外国為替及び外国貿易法に定める規制貨物等に該当するおそれがありますので輸出する場合には、ロームにお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。従いまして、上記第三者の知的財産権侵害の責任、及び本製品の使用により発生するその他の責任に関し、ロームは一切その責任を負いません。
2. ロームは、本製品又は本資料に記載された情報について、ローム若しくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事情報目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社若しくは第三者の商標又は登録商標です。

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。