LVDS インタフェース LSI

27bit LVDS デュアル出力トランスミッタ

BU90T82

概要

BU90T82 は、10MHz～174MHz と非常に幅広い動作周波数範囲でピクセルデータを伝送することが可能です。
27 ビットの LVCMOS レベルの信号ビット（R/G/B　24 ビットと VSYNC,HSYNC,DE）を 8 チャンネルの LVDS データストリームで転送します。
データを 7 倍速で高速シリアル伝送が可能なためケーブルの本数を 1/3 以下に削減できます。出力は低スイングモードにより、低電力化、低 EMI 化が可能です。
多様な入力/出力モードは様々なアプリケーションインターフェースに対応します。

重要特性

		(Typ)	(Typ)	(Max)
■ 電源電圧	VDD	1.62 to 1.98 V		
	VDDIO	1.62 to 3.60 V		
■ 動作周波数範囲		10 to 174 MHz		
■ 動作温度範囲		-40 to +85 ℃		

パッケージ

SBGA072T070A　　7.0mm×7.0mm×1.2mm

用途

- 監視カメラ、デジタルカメラ
- タブレット
- フラットパネルディスプレイ

特長

- 27 ビットの LVCMOS レベルの入力信号を LVDS データストリームで転送
- 最大 1218Mbps/Lane の高速差動インタフェース搭載
- 動作周波数 10～174MHz
- 多様な入力/出力モード
  1. Single in / Single LVDS out
  2. Single in / Dual LVDS out
  3. Double edge Single in / Dual LVDS out
  4. Single in / Distribution LVDS out
- パワーダウンモードあり
- ラッチするエッジが選択可能
- ピクセルデータ 6bit/8bit 選択可能
- LVDS 出力マッピングは VESA、JIEDA の規格に対応可能
- 低 EMI のために LVDS のスイング幅選択可能
- LVDS 出力ピン位置のリバース機能サポート
- スペクトラム拡散クロックジェネレータ入力をサポート

ブロック図

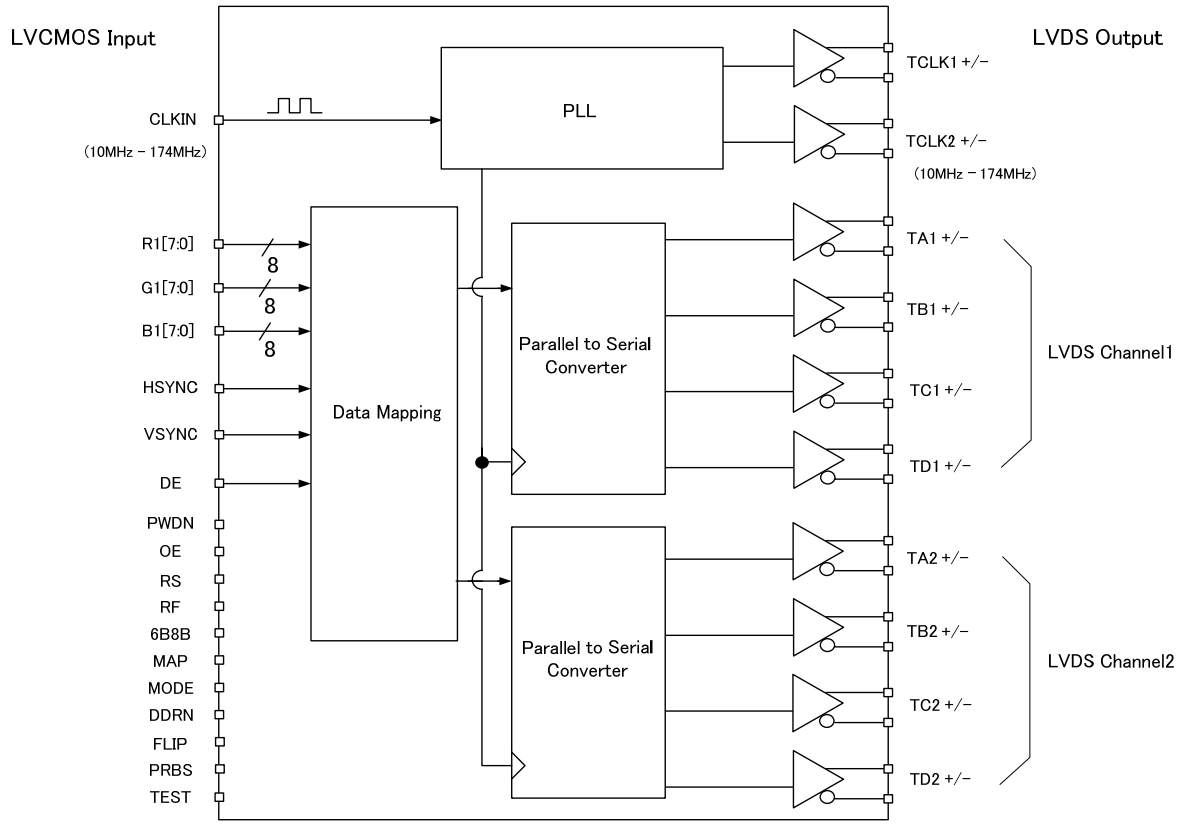


Figure 1. ブロック図

© 2014 ROHM Co., Ltd. All rights reserved.

目 次

概要 1
重要特性 1
パッケージ W(Typ) x D(Typ) x H(Max) 1
用途 1
特長 1
ブロック図 1
Figure 1. ブロック図 1
端子配置図 4
Figure 2. 端子配置図 4
端子説明 5
絶対最大定格 6
推奨動作範囲 6
DC 特性 6
AC 特性 7
AC タイミングダイアグラム 7
Figure 3. LVDS 出力 AC タイミングダイアグラム 7
Figure 4. LVCMOS 入力 AC タイミングダイアグラム 8
Figure 5. LVCMOS 入力 AC タイミングダイアグラム (DDRN=L) 8
LVDS 出力データ位置 9
Figure 6. LVDS 出力データ位置 9
PLL セトリング時間 9
Figure 7. PLL セトリング時間 9
消費電流 10
Figure 8. グレースケールパターン、ワーストケースパターン 10
LVCMOS データ入力ピクセルマッピング 11
MODE, DDRN ピンによる出力モードの切り替えおよび DE 信号の入力条件 12
Figure 9. MODE, DDRN ピンによる出力モードの切り替え 12
入力 DE 時間 12
Figure 10. Dual-out モード時の DE 入力タイミングダイアグラム 12
Single-in / Single-out Mode 13
Figure 11. Single-In/Single-out Mode 波形 13
Single-in / Dual-out Mode 13
Figure 12.Single-in/Dual-out Mode 波形 13
Single–in / Distribution-out Mode 14
Figure 13. Single-in/Distribution-out Mode 波形 14
Single-in / DDR Dual-out Mode 14
Figure 14. Single-in/DDR Dual-out Mode 波形 14
LVDS 出力マッピング (6B8B = L) 15
Figure 15. 8bit モード時出力データマッピング 15

© 2014 ROHM Co., Ltd. All rights reserved.

LVDS 出力マッピング (6B8B = H) 15
Figure 16. 6bit モード時出力データマッピング 15
FLIP ピン設定による LVDS 出力データの切り替え 16
Figure 17. FLIP ピン設定による LVDS 出力データの切り替え 16
推奨回路図 17
Figure 18. 推奨基板回路図 (24 ビット Single-out モード) 17
Figure 19. 推奨基板回路図 (18 ビット Single-out モード) 18
Figure 20. 推奨基板回路図 (24 ビット Distribution-out モード) 19
Figure 21. 推奨基板回路図 (24 ビット Dual-out モード) 20
使用上の注意 21
発注形名情報 23
標印図 23
外形寸法図と包装・フォーミング仕様 24
改訂履歴 25

© 2014 ROHM Co., Ltd. All rights reserved.

端子配置図

	1	2	3	4	5	6	7	8	9	
A	TA1+	TB1+	TC1+	TCLK1+	TD1+	TA2+	TB2+	TC2+	TCLK2+	A
B	TA1-	TB1-	TC1-	TCLK1-	TD1-	TA2-	TB2-	TC2-	TCLK2-	B
C	PRBS	FLIP	TEST	GND	VDD	GND	VDD	TD2-	TD2+	C
D	R11	R10	VDD				GND	PWDN	OE	D
E	R13	R12	GND				MODE	MAP	DDRN	E
F	R15	R14	GND				6B8B	RS	CLKIN	F
G	R17	R16	VDD	GND	VDD	GND	VDDIO	RF	DE	G
H	G10	G12	G14	G16	B10	B12	B14	B16	VSYNC	H
J	G11	G13	G15	G17	B11	B13	B15	B17	HSYNC	J
	1	2	3	4	5	6	7	8	9	

Figure 2. 端子配置図(Top View)

© 2014 ROHM Co., Ltd. All rights reserved.

端子説明

端子番号	記号	種類	機能
TA1+/-, TB1+/-, TC1+/-,TD1+/-	A1,B1,A2,B2,A3,B3,A5,B5	LVDS 出力	LVDS データ出力 (Channel1)
TCLK1+/-	A4,B4		LVDS クロック出力 (Channel1)
TA2+/-, TB2+/-, TC2+/-,TD2+/-	A6,B6,A7,B7,A8,B8,C9,C8	LVDS 出力	LVDS データ出力 (Channel2)
TCLK2+/-	A9,B9		LVDS クロック出力 (Channel2)
R1[7:0]	G1,G2,F1,F2,E1,E2,D1,D2	LVCMOS 入力	ピクセルデータ入力
G1[7:0]	J4,H4,J3,H3,J2,H2,J1,H1		
B1[7:0]	J8,H8,J7,H7,J6,H6,J5,H5		
DE	G9	LVCMOS 入力	データイネーブルコントロール信号
HSYNC	J9		コントロール信号
VSYNC	H9		コントロール信号
CLKIN	F9	LVCMOS 入力	クロック入力
PWDN	D8	LVCMOS 入力	パワーダウン H : 通常動作時 L : 状態をパワーダウンした後、全 LVDS 出力信号が Hi-z
OE	D9		LVDS 出力イネーブル設定 H: LVDS データ、クロックを出力 L: 全チャネル Hi-z を出力
RF	G8		入力クロックのデータ取り込みエッジ選択. H : 立上がりエッジ L : 立下りエッジ
RS	F8		LVDS の出力振幅設定 H: 350mV L: 200mV
MAP	E8		LVDS 出力データマッピング設定 H: JEIDA 規格 L: VESA 規格
MODE	E7		LVDS 出力モード設定 H: Single in / Single out L: Single in / Dual out (MODE=H, DDRN=L の場合は Distribution out)
DDRN	E9		入力クロックのデータ取り込みエッジ選択 H: DDR 機能オフ L: DDR 機能オン、入力クロック両エッジでデータを取り込む (Dual-out モード時のみ可能) (MODE=H, DDRN=L の場合は Distribution out)
6B8B	F7		6 ビット/8 ビットモード選択 H : 6 ビットモード (TD1+/-, TD2+/-データは Hi-z) L : 8 ビットモード
FLIP	C2		LVDS 出力ピンリバース選択 H: リバース L / Open: 通常動作
TEST	C3		TEST モード設定 (ノーマル時は L 固定)
PRBS	C1		PRBS データを出力 (ノーマル時は L 固定)
VDD	C5,C7,D3,G3,G5	電源	内部コア用電源
VDDIO	G7		入力 IO 用電源
GND	C4,C6,D7,E3,F3,G4,G6	グランド	グランド

© 2014 ROHM Co., Ltd. All rights reserved.

絶対最大定格

項目	記号	定格		単位
		最小	最大	
電源電圧	VDDIO	-0.3	4.0	V
	VDD	-0.3	2.1	V
入力電圧	V_{IN}	-0.3	VDDIO+0.3	V
出力電圧	V_{OUT}	-0.3	VDD+0.3	V
保存温度範囲	Tstg	-55	125	℃
許容損失(Note1)	P_d	0.86		W

(Note 1): 基板実装時のパッケージパワー
基板サイズ：114.5×101.5×1.6 (mm^3)
材質：FR4 ガラエポ基板

注意：印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施して頂けるようご検討お願いします。

推奨動作範囲

項目	記号			定格			単位
				最小	標準	最大	
電源電圧	VDD			1.62	1.8	1.98	V
	VDDIO			1.62	1.8 / 2.5 / 3.3	3.6	V
動作温度範囲	Ta			-40	-	85	℃
動作周波数	MODE=L Dual-Out	Single Edge (DDRN=H)	Input	20	-	174	MHz
			LVDS Output	10	-	87	MHz
		Double Edge (DDRN=L)	Input	10	-	174	MHz
			LVDS Output	10	-	174	MHz
	MODE=H Single-Out, Distribution-Out		Input	10	-	174	MHz
			LVDS Output	10	-	174	MHz

DC 特性

Table 1. LVCMOS DC 特性（VDDIO=1.62V~3.6V, VDD=1.62~1.98V, Ta=-40℃~+85℃）

記号	項目	規格値			単位	条件
		最小	標準	最大		
V_{IH}	通常時"H"入力電圧	VDDIO×0.65	-	VDDIO	V	-
V_{IL}	通常時"L"入力電圧	GND	-	VDDIO×0.35	V	
I_{inc}	入力リーク電流	-10	-	+10	μA	$0V \leq V_{IN} \leq VDDIO$ (TEST, FLIP ピン除く)
I_{RDN}	プルダウン抵抗	-	50	-	kΩ	TEST, FLIP ピン

Table 2. LVDS Transmitter DC 特性（VDDIO=1.62V~3.6V, VDD=1.62V~1.98V, Ta=-40℃~+85℃）

記号	項目	規格値			単位	条件	
		最小	標準	最大			
V_{OD}	差動出力電圧	250	350	450	mV	RL=100Ω	RS = H
		140	200	300	mV		RS = L
ΔV_{OD}	V_{OD} の変化量	-	-	35	mV	RL=100Ω	
V_{OC}	オフセット電圧	1.125	1.25	1.375	V		
ΔV_{OC}	V_{OC} の変化量	-	-	35	mV		
I_{os}	出力ショート電流	-	100	150	mA	V_{OUT}=GND	
I_{oz}	出力トライステート電流	-10	-	+10	μA	PWDN=L, V_{OUT}=0V to VDD	

© 2014 ROHM Co., Ltd. All rights reserved.

AC 特性

Table 3. スイッチング特性（VDDIO=2.5V, VDD=1.8V, Ta=25℃, RL=100Ω, CL=5pF）

記号	項目		規格値			単位
			最小	標準	最大	
t_{TCP}	入力クロック周期 (Figure 4,5)		5.75	-	100	ns
t_{TCH}	入力クロック“H”タイム (Figure 4,5)		$0.35t_{TCP}$	$0.5t_{TCP}$	$0.65t_{TCP}$	ns
t_{TCL}	入力クロック“L”タイム (Figure 4,5)		$0.35t_{TCP}$	$0.5t_{TCP}$	$0.65t_{TCP}$	ns
t_{TS}	LVCMOS Data Set up to CLKIN (Figure 4,5)		0.8	-	-	ns
t_{TH}	LVCMOS Data Hold from CLKIN (Figure 4,5)		0.8	-	-	ns
t_{LVT}	LVDS Transition Time (Figure 3)		-	0.6	1.5	ns
t_{TCOP}	出力クロック周期 (Figure 6)		5.75	-	100	ns
T_{TSUP}	差動出力セットアップタイム	CLKOUT(NOTE2) =174MHz	-	-	120	ps
T_{THLD}	差動出力ホールドタイム	CLKOUT(NOTE2) =174MHz	-	-	120	ps
t_{TCD}	入力クロックから差動出力までのディレイ時間 (Figure 4,5)	MODE=L,DDRN=H	$3.5t_{TCOP}$	-	$9.5t_{TCOP}$	ns
		その他	$6.5t_{TCOP}$	-	$12.5t_{TCOP}$	ns
t_{TOP1}	差動出力データ区間 1 (Figure -6)		$-T_{THLD}$	0	$+T_{TSUP}$	ns
t_{TOP0}	差動出力データ区間 0 (Figure -6)		$\frac{t_{TCOP}}{7}-T_{THLD}$	$\frac{t_{TCOP}}{7}$	$\frac{t_{TCOP}}{7}+T_{TSUP}$	ns
t_{TOP6}	差動出力データ区間 6 (Figure -6)		$2\frac{t_{TCOP}}{7}-T_{THLD}$	$2\frac{t_{TCOP}}{7}$	$2\frac{t_{TCOP}}{7}+T_{TSUP}$	ns
t_{TOP5}	差動出力データ区間 5 (Figure -6)		$3\frac{t_{TCOP}}{7}-T_{THLD}$	$3\frac{t_{TCOP}}{7}$	$3\frac{t_{TCOP}}{7}+T_{TSUP}$	ns
t_{TOP4}	差動出力データ区間 4 (Figure -6)		$4\frac{t_{TCOP}}{7}-T_{THLD}$	$4\frac{t_{TCOP}}{7}$	$4\frac{t_{TCOP}}{7}+T_{TSUP}$	ns
t_{TOP3}	差動出力データ区間 3 (Figure -6)		$5\frac{t_{TCOP}}{7}-T_{THLD}$	$5\frac{t_{TCOP}}{7}$	$5\frac{t_{TCOP}}{7}+T_{TSUP}$	ns
t_{TOP2}	差動出力データ区間 2 (Figure -6)		$6\frac{t_{TCOP}}{7}-T_{THLD}$	$6\frac{t_{TCOP}}{7}$	$6\frac{t_{TCOP}}{7}+T_{TSUP}$	ns
t_{TPLL}	PLL セトリング時間 (Figure 7)		-	-	10	ms
t_{DEINT}	DE 信号入力区間 (Figure 10)		$4t_{TCP}$	$t_{TCP}*(2n)$(NOTE3)	-	ns
t_{DEH}	DE 信号 H 区間 (Figure 10)		$2t_{TCP}$	$t_{TCP}*(2m)$(NOTE3)	-	ns
t_{DEL}	DE 信号 L 区間 (Figure 10)		$2t_{TCP}$	-	-	ns

(Note2): CLKOUT は LVDS 出力クロック周波数
(Note3): (m), (n)は定数、Figure10 の DE 入力タイミングダイアグラムに参照

AC タイミングダイアグラム

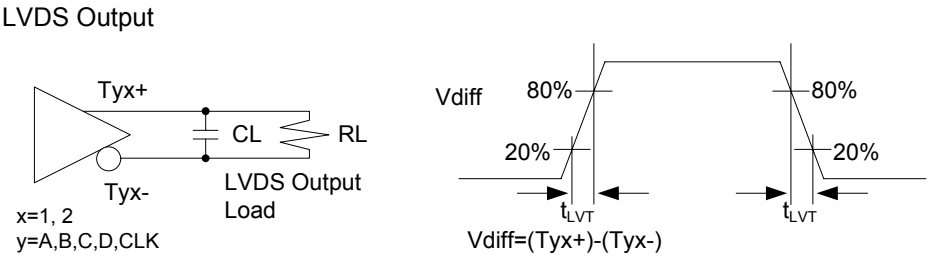


Figure 3. LVDS 出力　AC タイミングダイアグラム

© 2014 ROHM Co., Ltd. All rights reserved.

AC タイミングダイアグラム (続き)

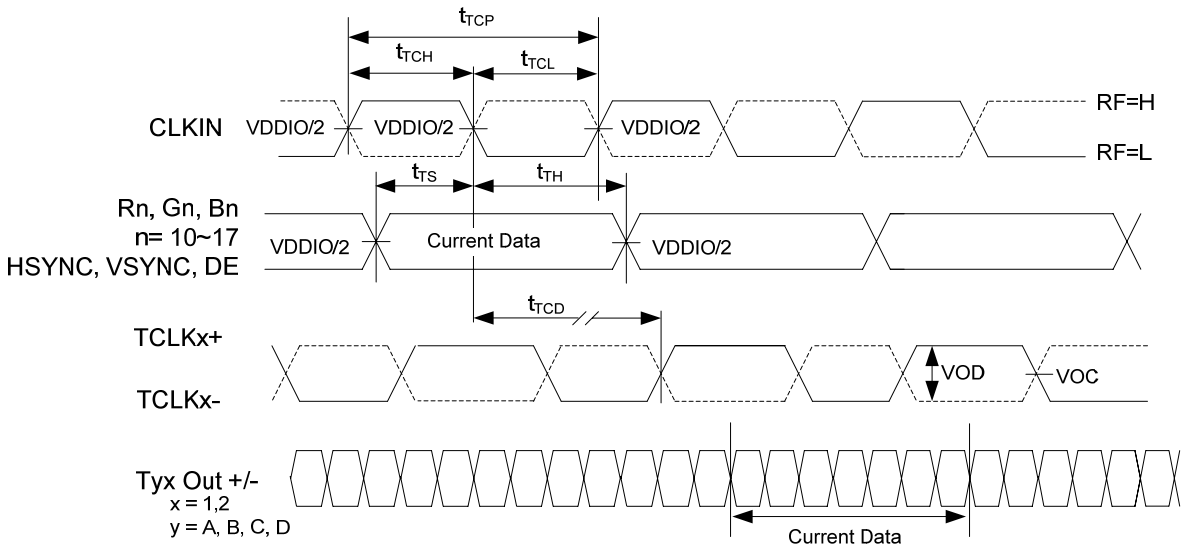


Figure 4. LVCMOS 入力　AC タイミングダイアグラム (DDR 機能オフ)

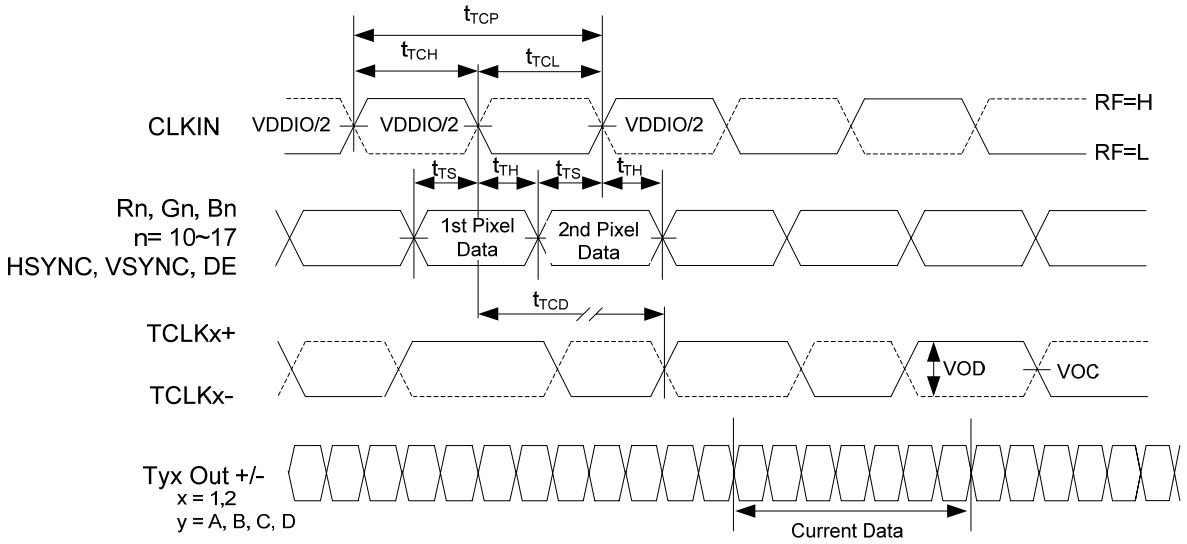


Figure 5. LVCMOS 入力　AC タイミングダイアグラム (DDR 機能オン)

© 2014 ROHM Co., Ltd. All rights reserved.

LVDS 出力データ位置

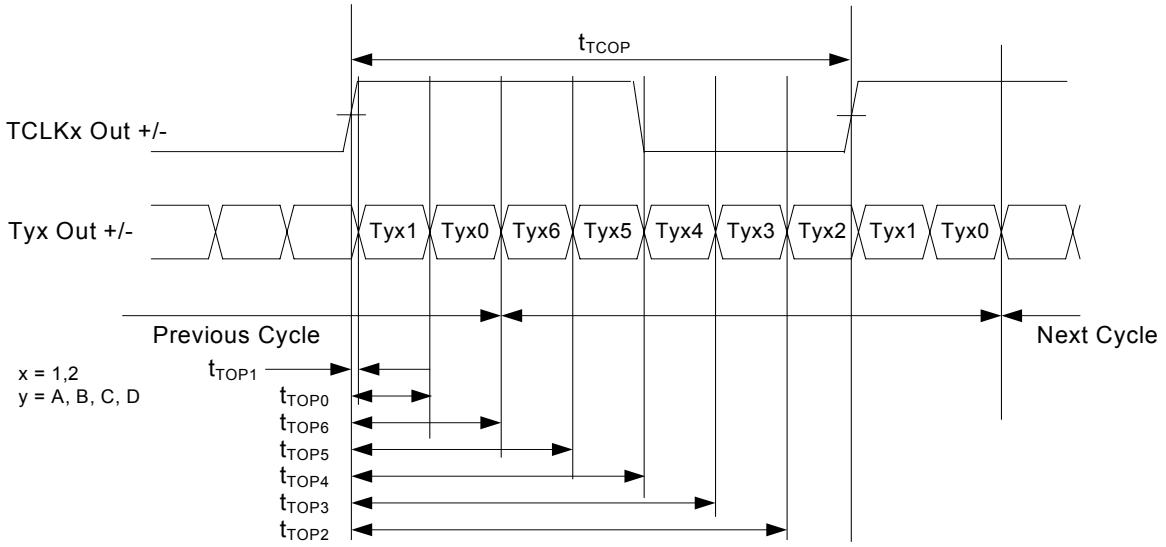


Figure 6. LVDS 出力データ位置

PLL セトリング時間

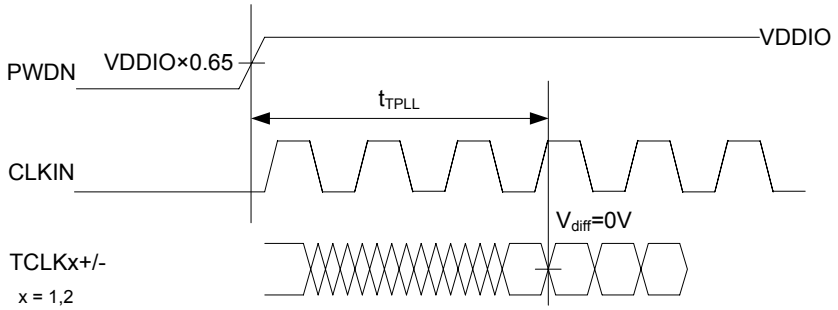


Figure 7. PLL セトリング時間

© 2014 ROHM Co., Ltd. All rights reserved.

消費電流

Table 4. 消費電流
VDDIO=2.5V, VDD=1.8V, Temp=25℃, 6B8B = L, RS=H, RL=100Ω,CL=5pF

記号	項目	規格値			単位	条件	
		最小	標準	最大			
グレースケールパターン (i_{tccG})	動作消費電流	-	95	-	mA	Single-in/Single-out MODE=H, DDRN=H	CLKIN=174MHz
		-	128	-	mA	Double edge Single-in/Dual-out MODE=L, DDRN=L	CLKIN =174MHz
		-	101	-	mA	Single-in/Dual-out MODE=L, DDRN=H	CLKIN =174MHz
		-	126	-	mA	Single-in/Distribution-out MODE=H, DDRN=L	CLKIN =174MHz
ワーストケースパターン (i_{tccw})		-	108	-	mA	Single-in/Single-out MODE=H, DDRN=H	CLKIN =174MHz
		-	139	-	mA	Double edge Single-in/Dual-out MODE=L, DDRN=L	CLKIN =174MHz
		-	111	-	mA	Single-in/Dual-out MODE=L, DDRN=H	CLKIN =174MHz
		-	131	-	mA	Single-in/Distribution-out MODE=H, DDRN=L	CLKIN =174MHz
i_{tccS}	静止電流	-	-	10	μA	PWDN=L	

グレースケールパターン

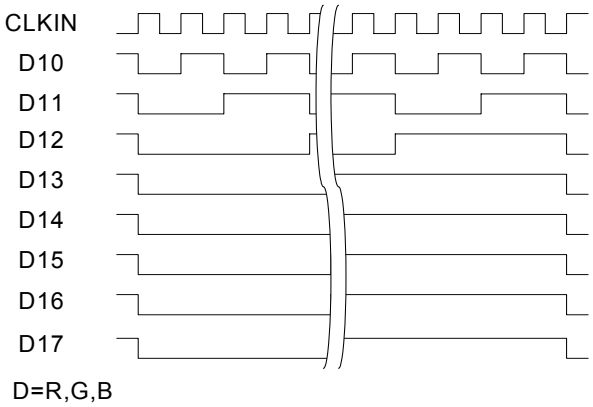


Figure 8-(1). グレースケールパターン

ワーストケースパターン(消費電流が最大となるパターン)

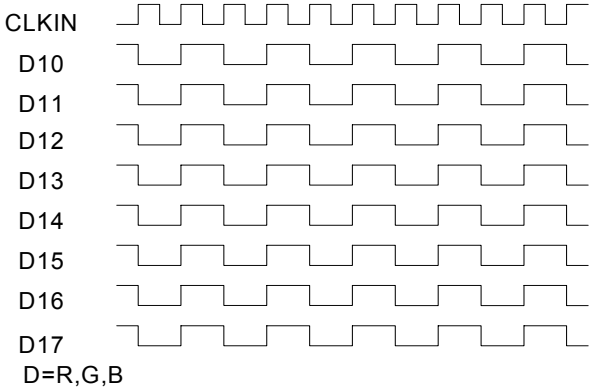


Figure 8-(2). ワーストケースパターン

© 2014 ROHM Co., Ltd. All rights reserved.

LVCMOS データ入力 ピクセルデータマッピング

Table 5. LVCMOS データ入力 ピクセルデータマッピング

TFT Panel Data				BU90T82 Input
	24Bit	18Bit (Map=L)	18Bit (Map=H)	
LSB	R10	R10	-	R10
	R11	R11	-	R11
	R12	R12	R10	R12
	R13	R13	R11	R13
	R14	R14	R12	R14
	R15	R15	R13	R15
	R16	-	R14	R16
MSB	R17	-	R15	R17
LSB	G10	G10	-	G10
	G11	G11	-	G11
	G12	G12	G10	G12
	G13	G13	G11	G13
	G14	G14	G12	G14
	G15	G15	G13	G15
	G16	-	G14	G16
MSB	G17	-	G15	G17
LSB	B10	B10	-	B10
	B11	B11	-	B11
	B12	B12	B10	B12
	B13	B13	B11	B13
	B14	B14	B12	B14
	B15	B15	B13	B15
	B16	-	B14	B16
MSB	B17	-	B15	B17
	VSYNC	VSYNC	VSYNC	VSYNC
	HSYNC	HSYNC	HSYNC	HSYNC
	DE	DE	DE	DE

© 2014 ROHM Co., Ltd. All rights reserved.

MODE, DDRN ピンによる出力モードの切替および DE 信号の入力条件

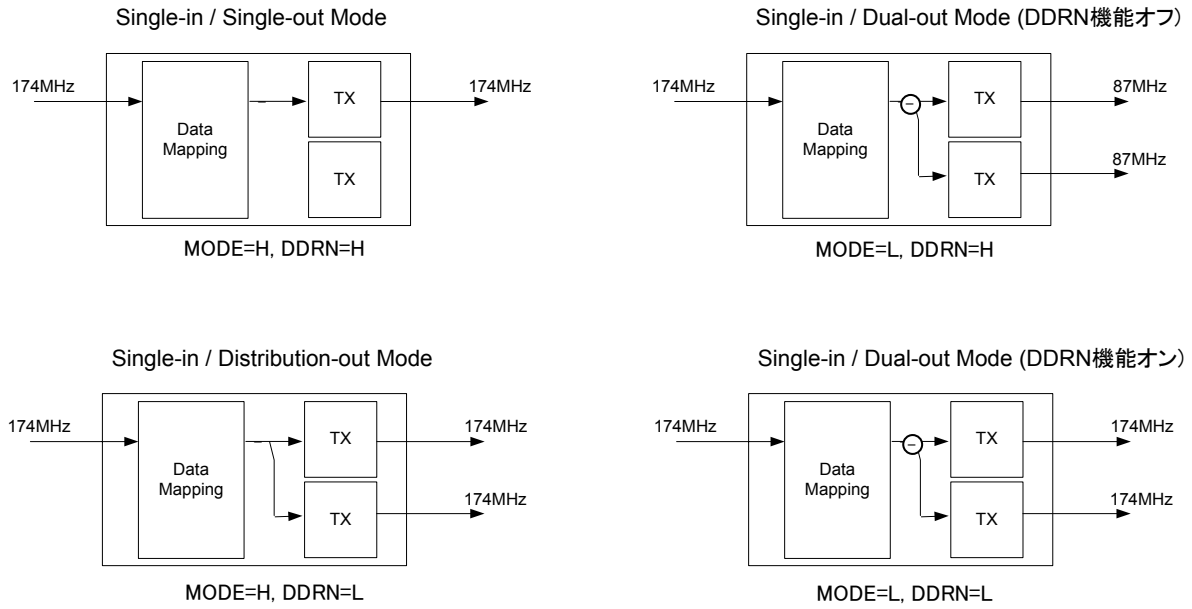
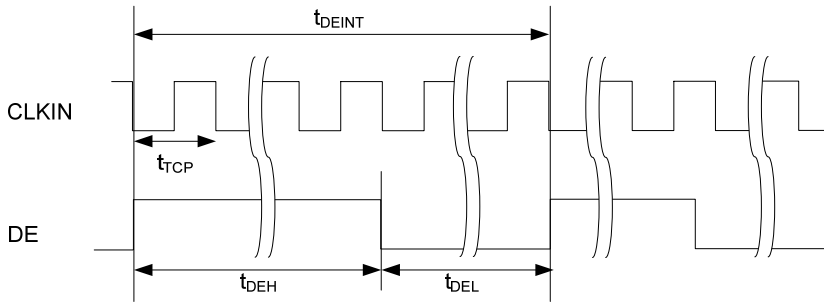


Figure 9. MODE, DDRN ピンによる出力モードの切替

Table 6. 各出力モード の入力 DE 信号

In	Out	MODE ピン設定	DDRN ピン設定	入力 DE 信号
Single	Single	H	H	任意
Single	Dual	L	H	必須 (Figure 10, 12)
Single	Distribution	H	L	任意
Single	Dual (DDR function ON)	L	L	任意

入力 DE 時間



Single-In/Dual-out モードの時、DE の入力区間 t_{DEINT} と H 区間 t_{DEH} は以下の方程式を満たす信号を入力

$t_{DEH} = t_{TCP} * (2m)$

$t_{DEINT} = t_{TCP} * (2n)$

m, n は定数

Figure 10. Single-In / Dual-out モード時の DE 入力タイミングダイアグラム (MODE=L, DDRN=H)

© 2014 ROHM Co., Ltd. All rights reserved.

Single-in / Single-out Mode (MODE=H; DDRN=H)

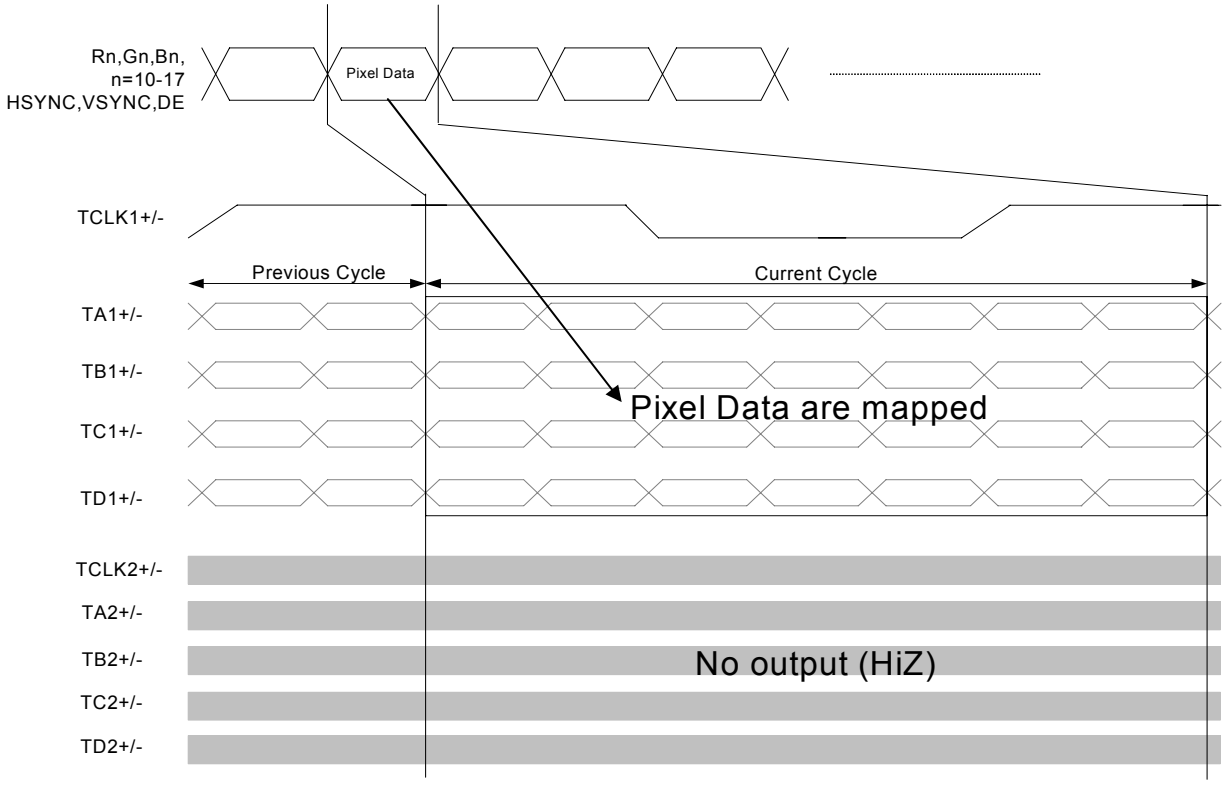


Figure 11. Single-In/Single-out Mode 波形 (FLIP=L)

Single-in / Dual-out Mode (MODE=L; DDRN=H)

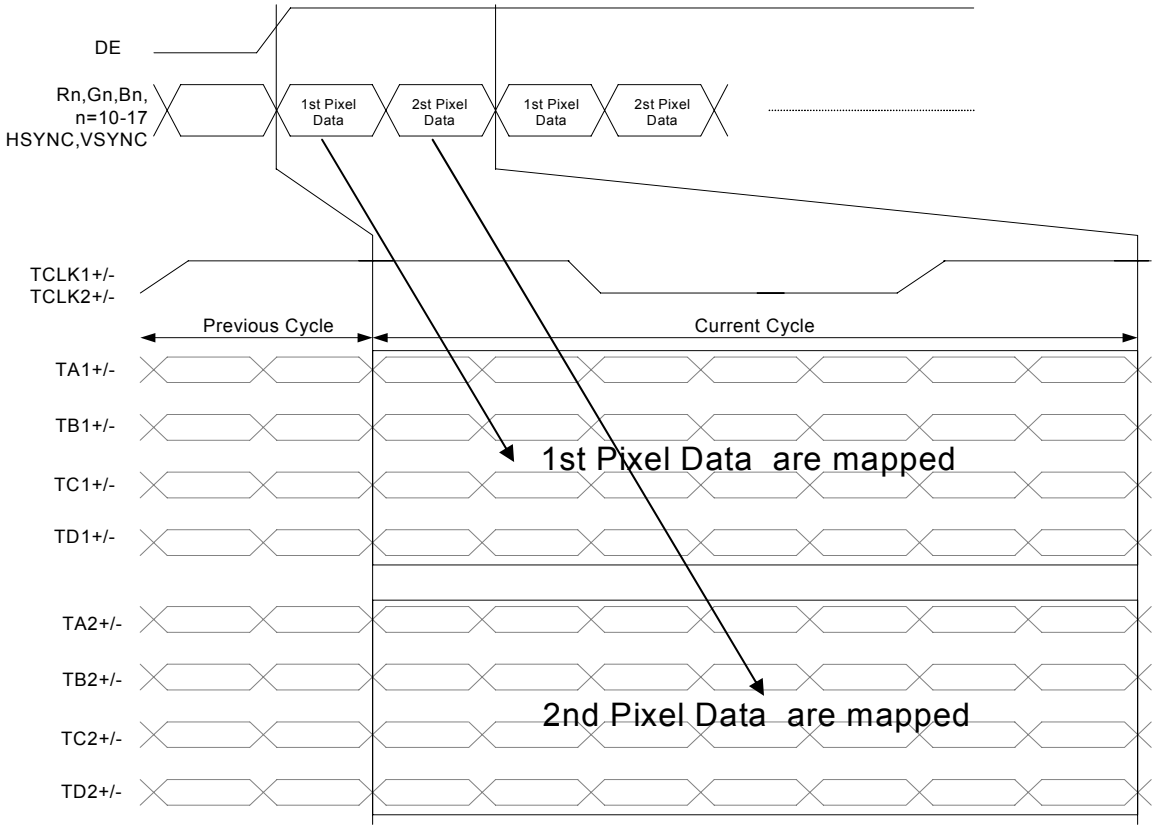


Figure 12. Single-In/Dual-out Mode 波形 (FLIP=L)

© 2014 ROHM Co., Ltd. All rights reserved.

Single-in / Distribution-out Mode (MODE=H; DDRN=L)

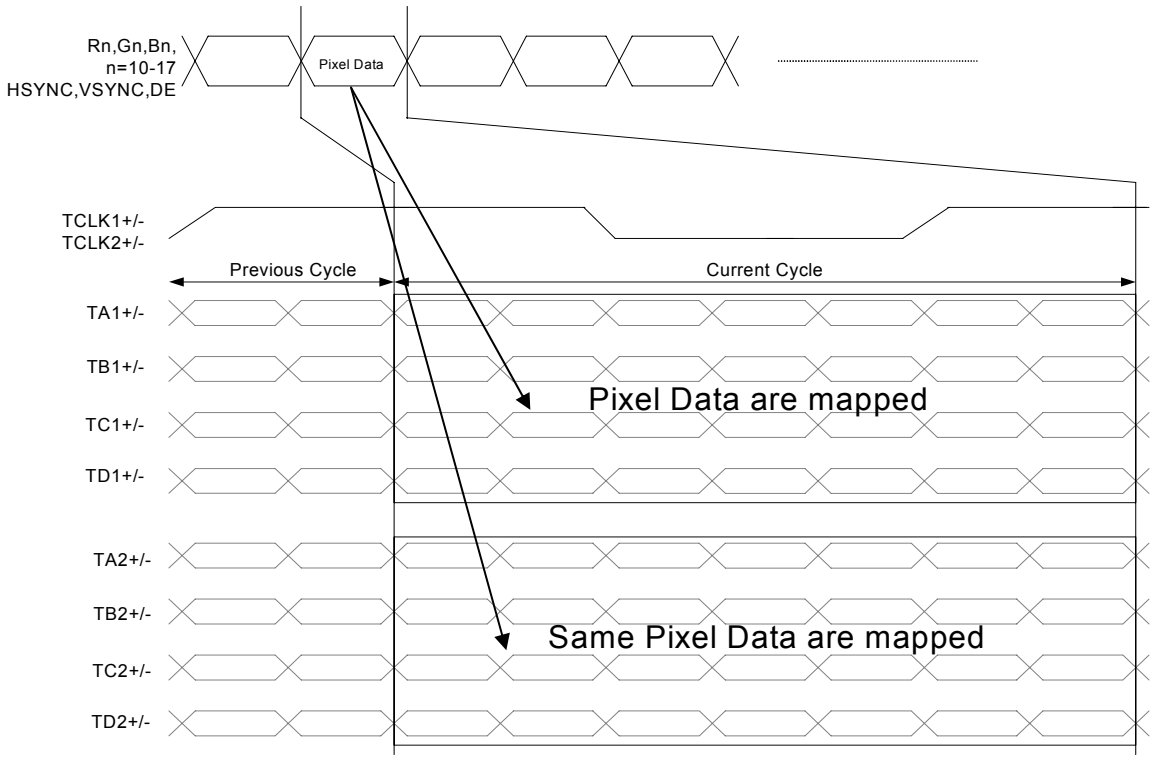


Figure 13. Single-In/Distribution-out Mode 波形 (FLIP=L)

Single-in / DDR Dual-out Mode (MODE=L; DDRN=L)

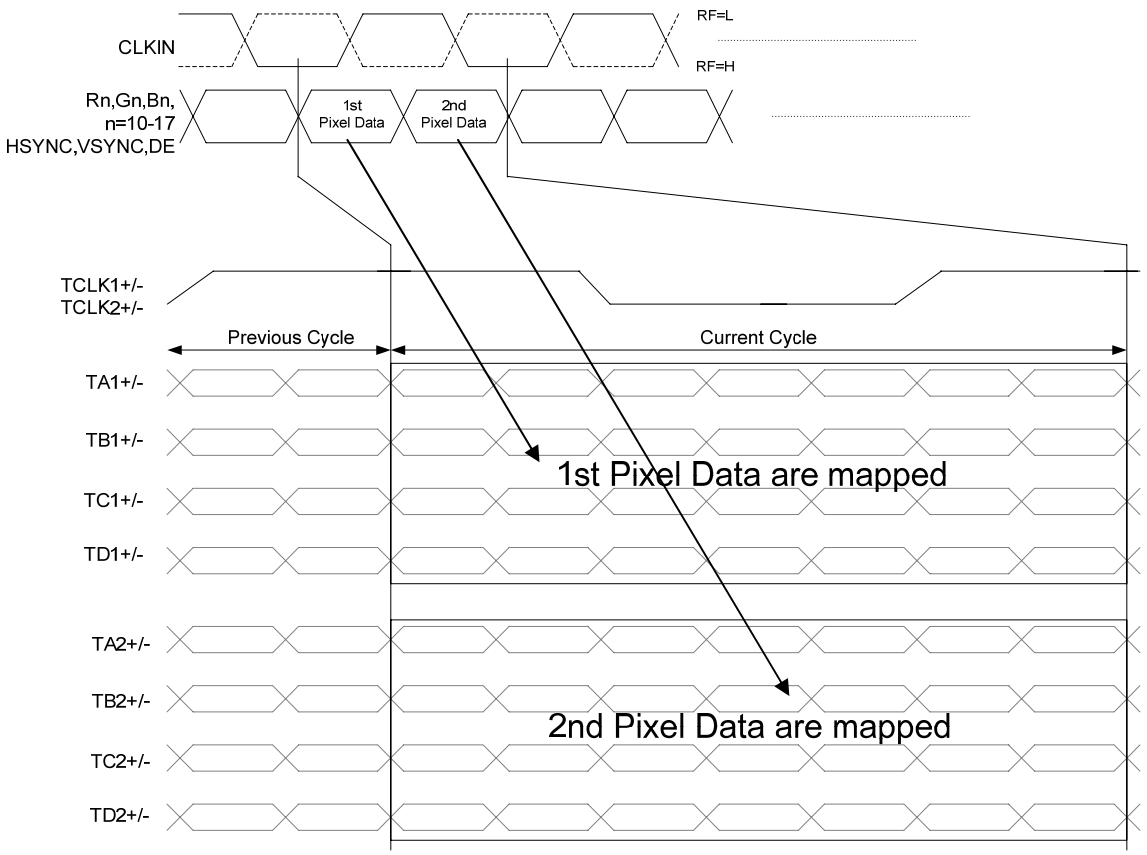


Figure 14. Single-In/DDR Dual-out Mode 波形 (FLIP=L)

© 2014 ROHM Co., Ltd. All rights reserved.

LVDS 出力データマッピング (6B8B = L)

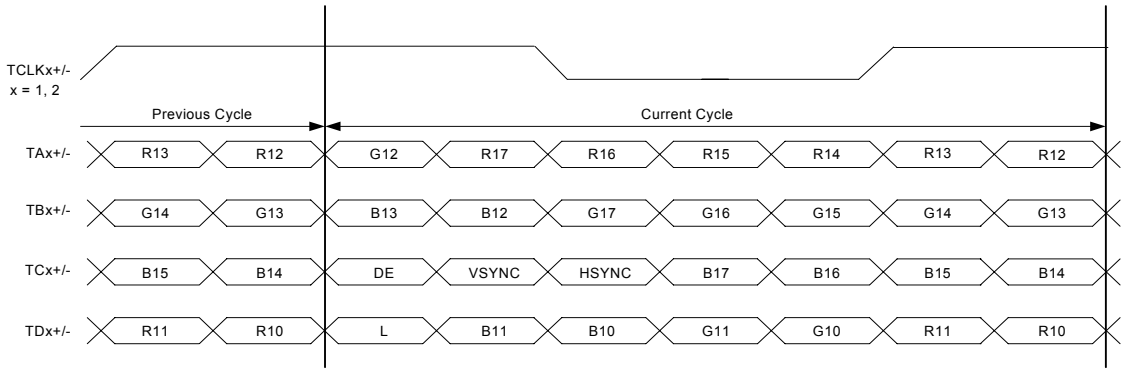


Figure 15-(1). 8bit モード時出力データマッピング (MAP=H: JEIDA)

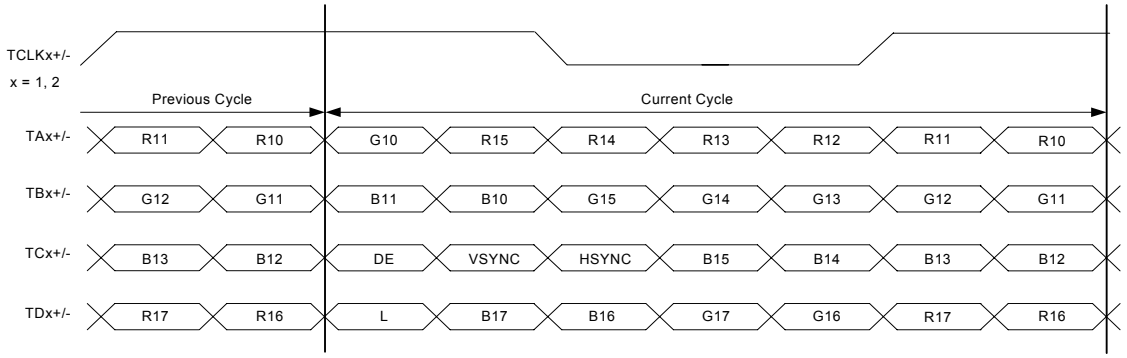


Figure 15-(2). 8bit モード時出力データマッピング (MAP=L; VESA)

LVDS 出力データマッピング (6B8B = H)

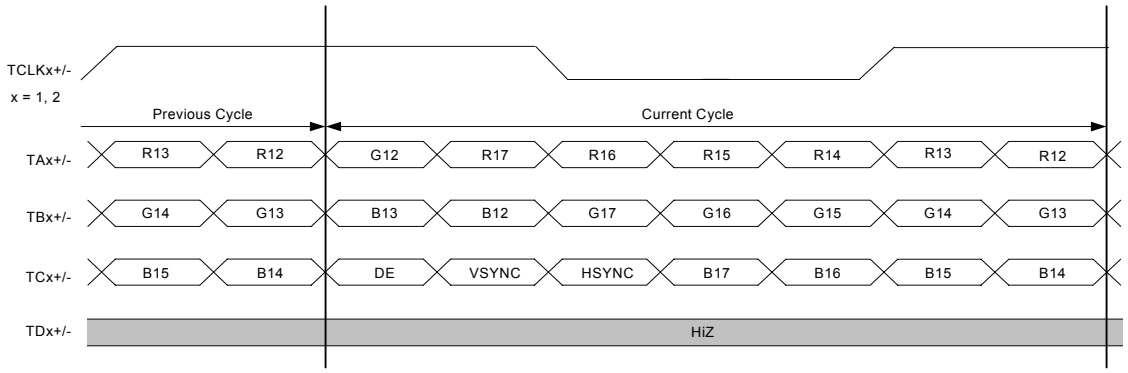


Figure 16-(1). 6bit モード時出力データマッピング (MAP=H; JEIDA)

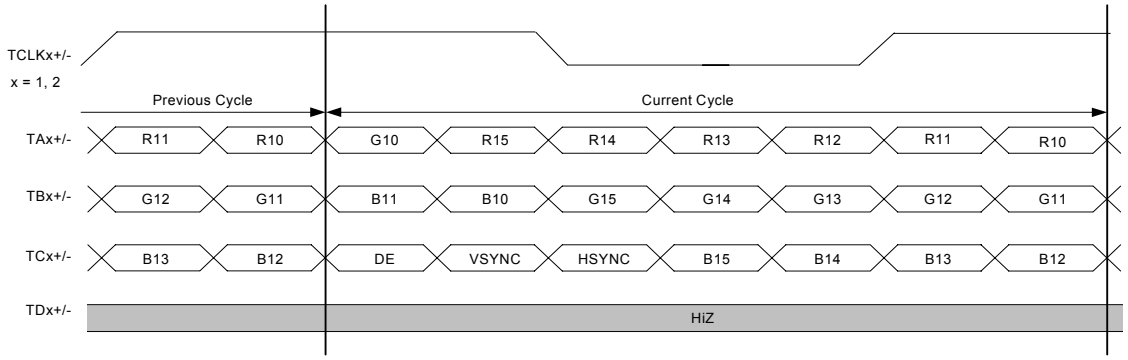


Figure 16-(2). 6bit モード時出力データマッピング (MAP=L; VESA)

© 2014 ROHM Co., Ltd. All rights reserved.

FLIP ピン設定による LVDS 出力データ切り替え

Table 7. LVDS 出力信号 / ピン No 対応

Pin No	Output Data											
	Single Out				Dual Out				Distribute Out			
	8bit		6bit		8bit		6bit		8bit		6bit	
	FLIP=L	FLIP=H	FLIP=L	FLIP=H	FLIP=L	FLIP=H	FLIP=L	FLIP=H	FLIP=L	FLIP=H	FLIP=L	FLIP=H
A1	TA1+	-	TA1+	-	TA1+	TD2-	TA1+	-	TA1+	TD1-	TA1+	-
B1	TA1-	-	TA1-	-	TA1-	TD2+	TA1-	-	TA1-	TD1+	TA1-	-
A2	TB1+	-	TB1+	-	TB1+	TCLK2-	TB1+	TCLK2-	TB1+	TCLK1-	TB1+	TCLK1-
B2	TB1-	-	TB1-	-	TB1-	TCLK2+	TB1-	TCLK2+	TB1-	TCLK1+	TB1-	TCLK1+
A3	TC1+	-	TC1+	-	TC1+	TC2-	TC1+	TC2-	TC1+	TC1-	TC1+	TC1-
B3	TC1-	-	TC1-	-	TC1-	TC2+	TC1-	TC2+	TC1-	TC1+	TC1-	TC1+
A4	TCLK1+	-	TCLK1+	-	TCLK1+	TB2-	TCLK1+	TB2-	TCLK1+	TB1-	TCLK1+	TB1-
B4	TCLK1-	-	TCLK1-	-	TCLK1-	TB2+	TCLK1-	TB2+	TCLK1-	TB1+	TCLK1-	TB1+
A5	TD1+	-	-	-	TD1+	TA2-	-	TA2-	TD1+	TA1-	-	TA1-
B5	TD1-	-	-	-	TD1-	TA2+	-	TA2+	TD1-	TA1+	-	TA1+
A6	-	TD1-	-	-	TA2+	TD1-	TA2+	-	TA1+	TD1-	TA1+	-
B6	-	TD1+	-	-	TA2-	TD1+	TA2-	-	TA1-	TD1+	TA1-	-
A7	-	TCLK1-	-	TCLK1-	TB2+	TCLK1-	TB2+	TCLK1-	TB1+	TCLK1-	TB1+	TCLK1-
B7	-	TCLK1+	-	TCLK1+	TB2-	TCLK1+	TB2-	TCLK1+	TB1-	TCLK1+	TB1-	TCLK1+
A8	-	TC1-	-	TC1-	TC2+	TC1-	TC2+	TC1-	TC1+	TC1-	TC1+	TC1-
B8	-	TC1+	-	TC1+	TC2-	TC1+	TC2-	TC1+	TC1-	TC1+	TC1-	TC1+
A9	-	TB1-	-	TB1-	TCLK2+	TB1-	TCLK2+	TB1-	TCLK1+	TB1-	TCLK1+	TB1-
B9	-	TB1+	-	TB1+	TCLK2-	TB1+	TCLK2-	TB1+	TCLK1-	TB1+	TCLK1-	TB1+
C9	-	TA1-	-	TA1-	TD2+	TA1-	-	TA1-	TD1+	TA1-	-	TA1-
C8	-	TA1+	-	TA1+	TD2-	TA1+	-	TA1+	TD1-	TA1+	-	TA1+

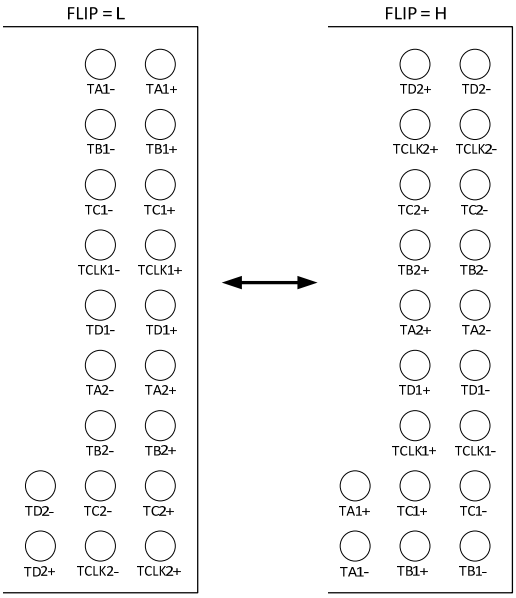


Figure 17. FLIP ピン設定による LVDS 出力データの切り替え

© 2014 ROHM Co., Ltd. All rights reserved.

推奨回路図(24 ビット・Single-out モード)

例
BU90T82：LVCMOS データ入力(24bit) / 立ち上がりエッジ取り込み
LVDS 差動 350mV 出力 / VESA マッピング / Single-out

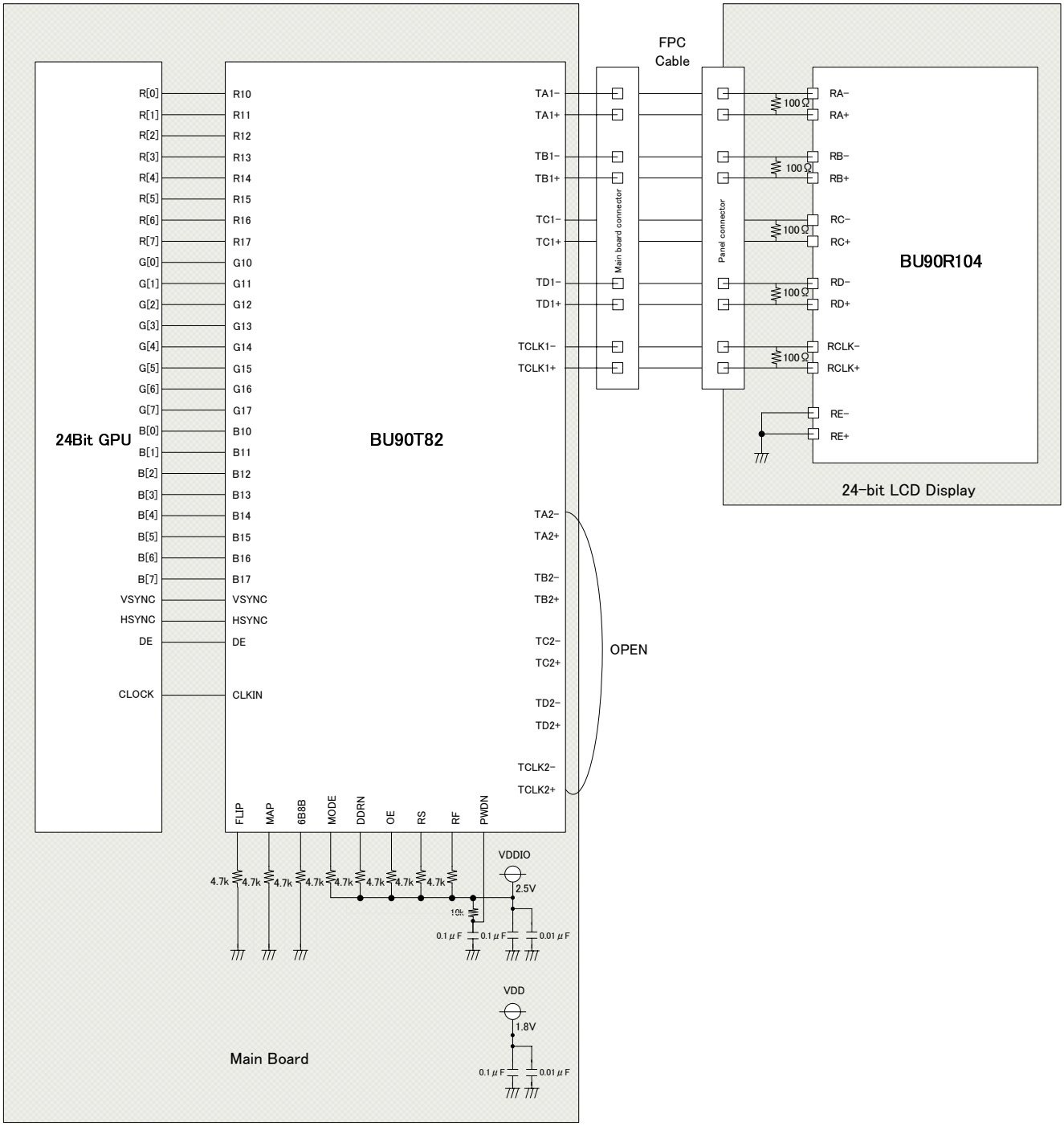


Figure 18. 推奨基板回路図(24 ビット Single-out モード)

© 2014 ROHM Co., Ltd. All rights reserved.

推奨回路図(18 ビット・Single-out モード)

例
BU90T82：LVCMOS データ入力(18bit) / 立ち上がりエッジ取り込み
LVDS 差動 350mV 出力 / VESA マッピング / Single-out

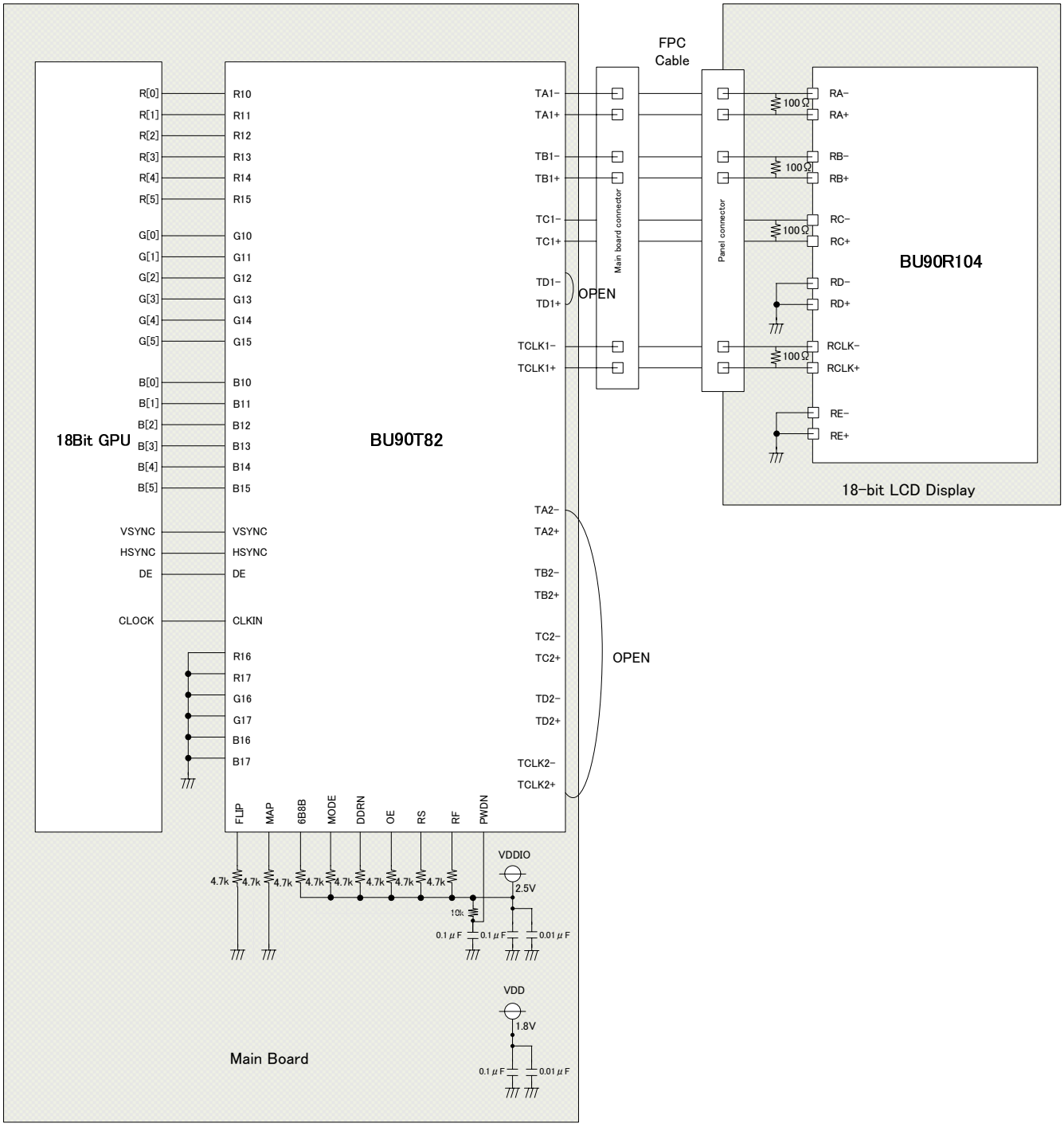


Figure 19. 推奨基板回路図(18 ビット Single-out モード)

© 2014 ROHM Co., Ltd. All rights reserved.

推奨回路図(24 ビット・Distribution-out モード)

例
BU90T82：LVCMOS データ入力(24bit) / 立ち上がりエッジ取り込み
LVDS 差動 350mV 出力 / VESA マッピング

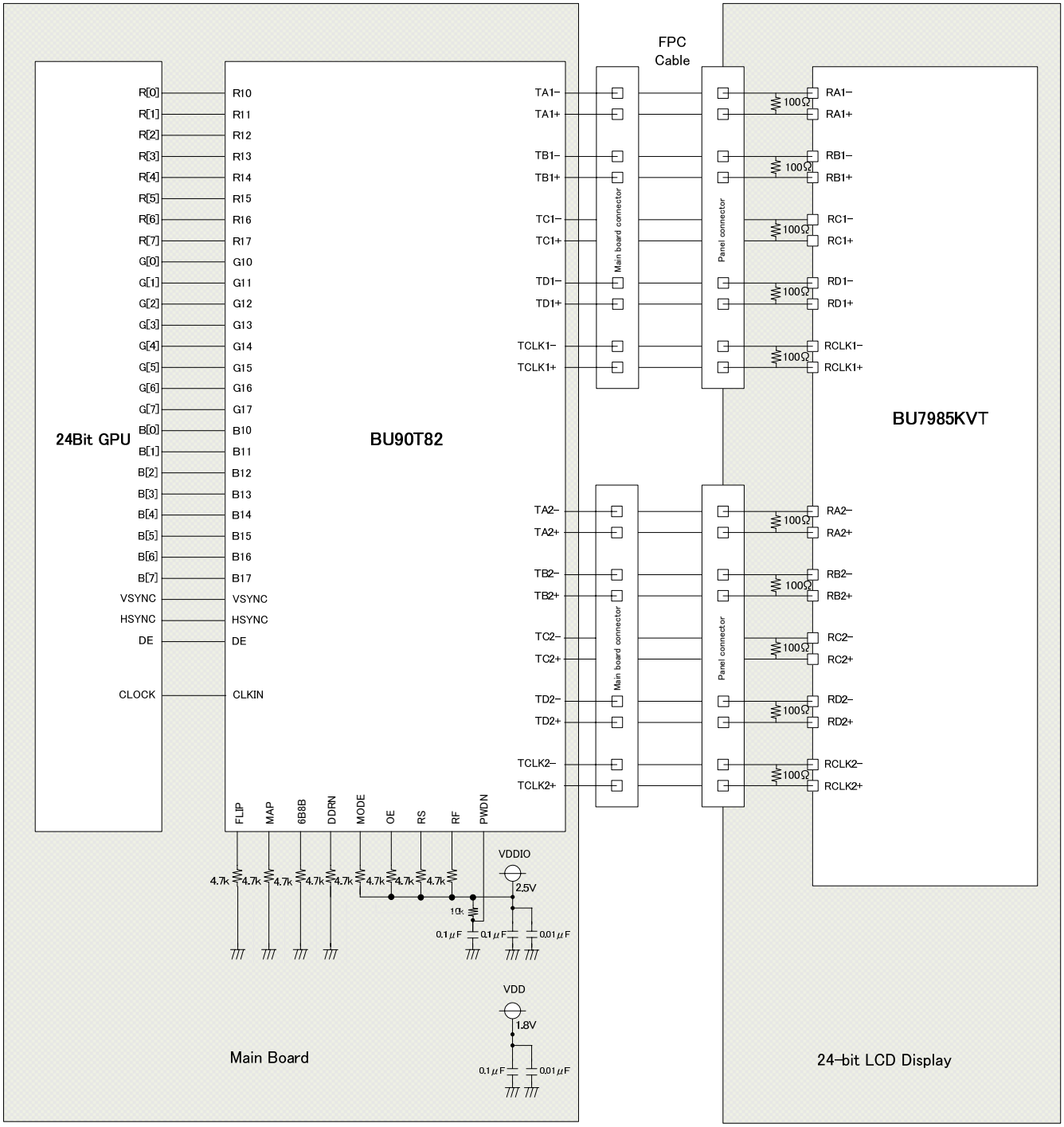


Figure 20. 推奨基板回路図(24 ビット Distribution-out モード)

© 2014 ROHM Co., Ltd. All rights reserved.

推奨回路図(24 ビット・Dual-out モード)

例
BU90T82：LVCMOS データ入力(24bit) / 立ち上がりエッジ取り込み
LVDS 差動 350mV 出力 / VESA マッピング / Dual-out

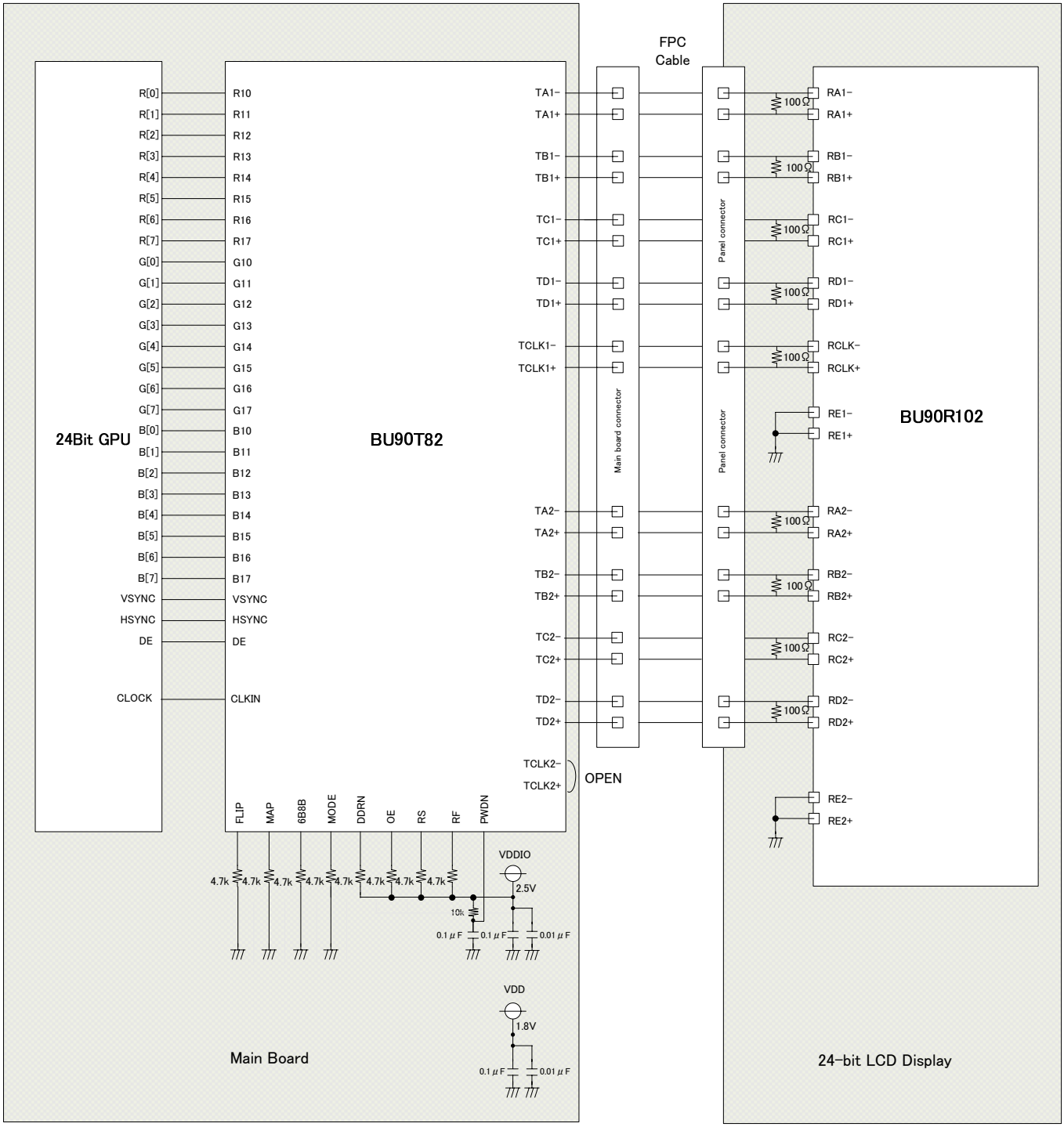


Figure 21. 推奨基板回路図(24 ビット Dual-out モード)

© 2014 ROHM Co., Ltd. All rights reserved.

使用上の注意

1. 電源の逆接続について

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れるなどの対策を施してください。

2. 電源ラインについて

基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。その際、デジタル系電源とアナログ系電源は、それらが同電位であっても、デジタル系電源パターンとアナログ系電源パターンは分離し、配線パターンの共通インピーダンスによるアナログ電源へのデジタル・ノイズの回り込みを抑止してください。グラウンドラインについても、同様のパターン設計を考慮してください。
また、LSI のすべての電源端子について電源－グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量低下が起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

3. グラウンド電位について

グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。

4. グラウンド配線パターンについて

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

5. 熱設計について

万一、最高接合部温度を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。本仕様書の絶対最大定格に記載しています最高接合部温度を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用するなどの対策をして、最高接合部温度を超えないようにしてください。

6. 推奨動作条件について

この範囲であればほぼ期待通りの特性を得ることができる範囲です。電気特性については各項目の条件下において保証されるものです。

7. ラッシュカレントについて

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

8. 強電磁界中の動作について

強電磁界中でのご使用では、まれに誤動作する可能性がありますのでご注意ください。

9. セット基板での検査について

セット基板での検査時に、インピーダンスの低いピンにコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

10. 端子間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けた場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

11. 未使用の入力端子の処理について

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

© 2014 ROHM Co., Ltd. All rights reserved.

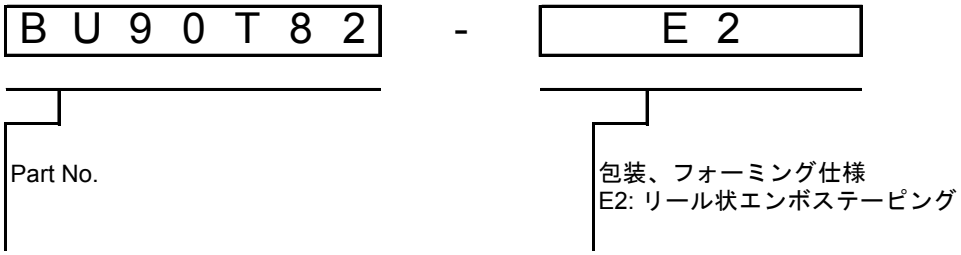
使用上の注意 — 続き

12. 各入力端子について

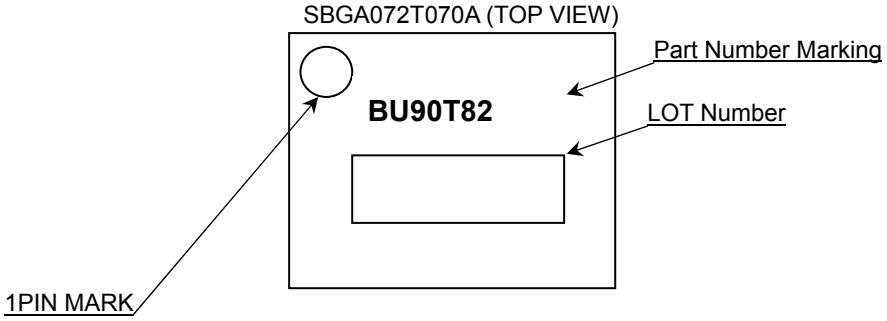
LSI の構造上、寄生素子は電位関係によって必然的に形成されます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因となり得ます。したがって、入力端子にグラウンドより低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分注意してください。また、LSI に電源電圧を印加していない時、入力端子に電圧を印加しないでください。さらに、電源電圧を印加している場合にも、各入力端子は電源電圧以下の電圧もしくは電気的特性の保証値内としてください。

© 2014 ROHM Co., Ltd. All rights reserved.

発注形名情報



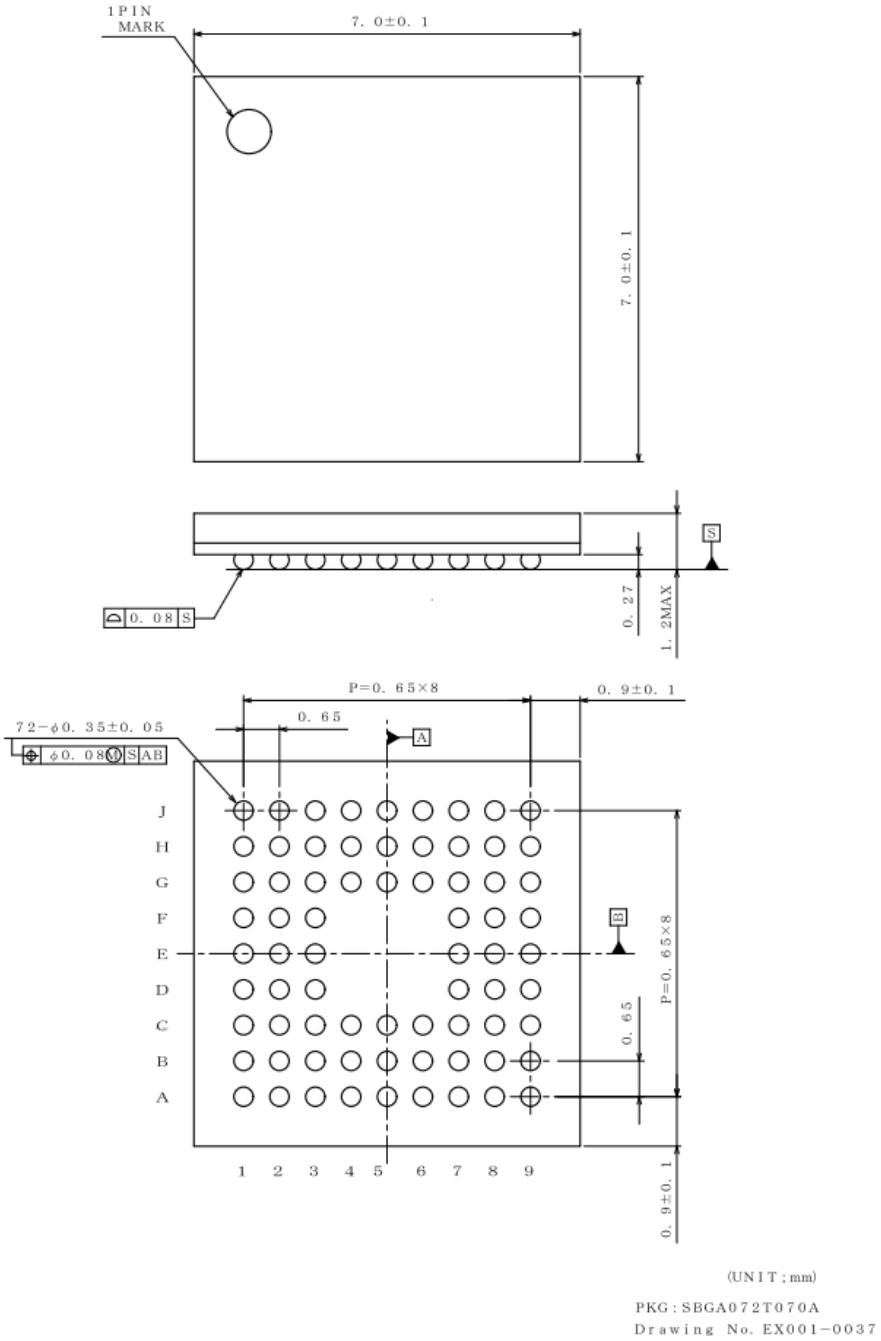
標印図



© 2014 ROHM Co., Ltd. All rights reserved.

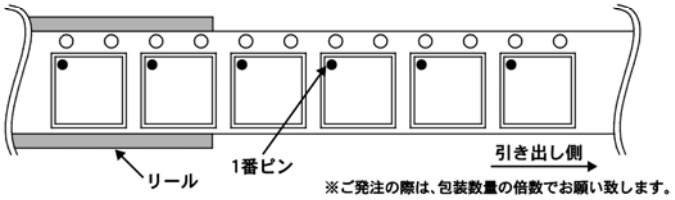
外形寸法図と包装・フォーミング仕様

Package Name	SBGA072T070A



＜包装仕様＞

包装形態	エンボステーピング(防湿仕様)
包装数量	1500
包装方向	E2 (リールを左手に持ち、右手でテープを引き出したときに製品の1番ピンが左上にくる方向)



※ご発注の際は、包装数量の倍数でお願い致します。

© 2014 ROHM Co., Ltd. All rights reserved.

改訂履歴

日付	版	変更内容
2014.07.30	001	新規作成
2015.03.23	002	2 ページ：目次の追加 7 ページ：入力クロックから差動出力までのディレイ時間の変更。
2016/07/06	003	6 ページ：絶対最大定格の実装基板サイズ変更 Table 1：プルダウン抵抗項目を追加 入力リーク電流の端子条件を追加 7 ページ：Table 3.ディレイ時間、差動出力データ区間の中の t_{TCP} から t_{TCOP} へ変更 8 ページ：Figure 4, 5 の RF 設定の誤記訂正 17~20 ページ：Figure 18, 19, 20, 21：推奨回路図の記載変更 24 ページ：外形寸法図の BGA ボール番号の誤記訂正

© 2014 ROHM Co., Ltd. All rights reserved.

ご注意

ローム製品取扱い上の注意事項

1. 本製品は一般的な電子機器（AV 機器、OA 機器、通信機器、家電製品、アミューズメント機器等）への使用を意図して設計・製造されております。したがいまして、極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器(Note 1)、輸送機器、交通機器、航空宇宙機器、原子力制御装置、燃料制御、カーアクセサリを含む車載機器、各種安全装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASSⅢ	CLASSⅢ	CLASSⅡb	Ⅲ類
CLASSⅣ		CLASSⅢ	

2. 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、かかる誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
   ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
   ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。

3. 本製品は、一般的な電子機器に標準的な用途で使用されることを意図して設計・製造されており、下記に例示するような特殊環境での使用を配慮した設計はなされておりません。したがいまして、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
   ①水・油・薬液・有機溶剤等の液体中でのご使用
   ②直射日光・屋外暴露、塵埃中でのご使用
   ③潮風、Cl_2、H_2S、NH_3、SO_2、NO_2 等の腐食性ガスの多い場所でのご使用
   ④静電気や電磁波の強い環境でのご使用
   ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合。
   ⑥本製品を樹脂等で封止、コーティングしてのご使用。
   ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用された場合も、残渣の洗浄は確実に行うことをお薦め致します)、又ははんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合。
   ⑧本製品が結露するような場所でのご使用。

4. 本製品は耐放射線設計はなされておりません。

5. 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。

6. パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。

7. 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。

8. 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。

9. 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

1. ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。

2. はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせて頂きます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。
   その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

© 2015 ROHM Co., Ltd. All rights reserved.

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。

2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがいまして、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。（人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等）

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
   ①潮風、Cl_2、H_2S、NH_3、SO_2、NO_2 等の腐食性ガスの多い場所での保管
   ②推奨温度、湿度以外での保管
   ③直射日光や結露する場所での保管
   ④強い静電気が発生している場所での保管

2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。

3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱いください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。

4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルに２次元バーコードが印字されていますが、２次元バーコードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は外国為替及び外国貿易法に定める規制貨物等に該当するおそれがありますので輸出する場合には、ロームにお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。

2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等（ソフトウェア含む）との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。

3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権 その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。 ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。

2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。

3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。

4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

© 2015 ROHM Co., Ltd. All rights reserved.

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。

2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。

3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。

© 2015 ROHM Co., Ltd. All rights reserved.