

# 車載向け CXPI トランシーバ

## BD41003FJ-C

### 概要

BD41003FJ-C は、BD41000AFJ-C よりも AM 帯の EMI ノイズを低減させています。BD41003FJ-C は、CXPI(Clock Extension Peripheral Interface)通信用のトランシーバです。マスタ/スレーブ双方に対応し、外部端子により切り替えが可能です。省電力機能により、非通信時に低消費待機電力を実現しています。データ調停機能により、バスデータ衝突時に送信出力を停止します。また、温度や電圧異常を検知するフェールセーフ機能により、異常時には送信出力を停止します。

### 重要特性

■電源電圧:	+7 V to +18 V
■BAT 端子絶対最大定格:	-0.3 V to +40 V
■BUS 端子絶対最大定格:	-27 V to +40 V
■パワーオフモード電流:	3 $\mu$ A(Typ)
■動作温度範囲:	-40 °C to +125 °C

### パッケージ

SOP-J8

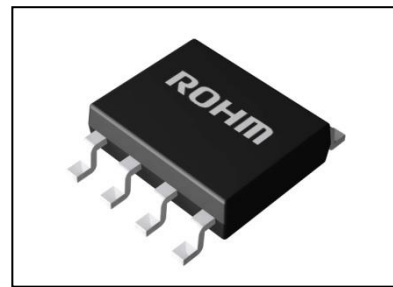
W(Typ) x D(Typ) x H(Max)

4.90 mm x 6.00 mm x 1.65 mm

### 特長

- AEC-Q100 対応 (Note 1)
- CXPI 規格準拠
- 通信速度対応範囲 18.8 kbps to 20 kbps
- マスタ/スレーブ切り替え可能
- マイクロコントローラインタフェースは 3.3 V/5.0 V 対応
- 終端抵抗内蔵(30 k $\Omega$ (Typ))
- 省電力機能
- データ調停機能
- 低電圧ロックアウト機能(UVLO)
- 温度保護機能(TSD)
- 低 Electro Magnetic Interference(EMI)
- 高 Electro Magnetic Susceptibility(EMS)
- 高 Electro Static Discharge(ESD)耐性

(Note 1) Grade 1

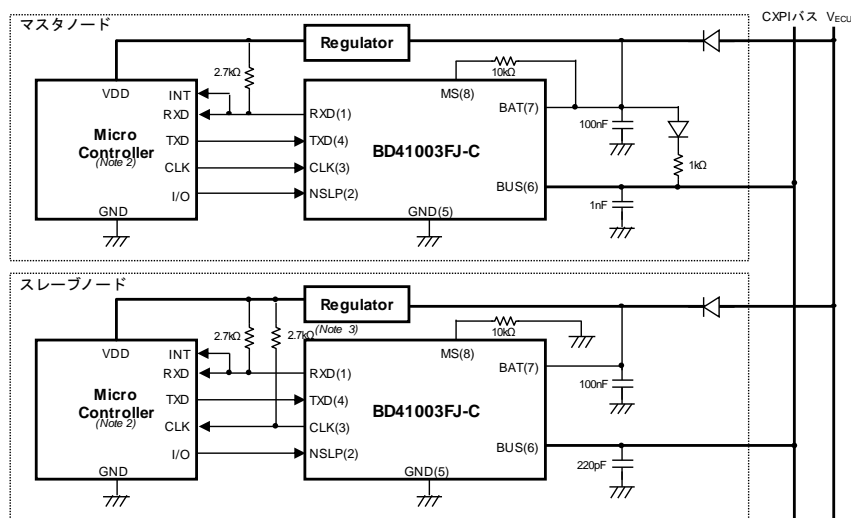


SOP-J8

### 用途

- 車載ネットワーク

### 基本アプリケーション回路



(Note 2) INT: Interrupt, RXD: UART RXD, TXD: UART TXD, CLK: Clock, I/O: General Purpose I/O  
(Note 3) スレーブ使用時、CLK 出力を使用しない場合は CLK 端子オープンでも問題ありません。

Figure 1. 基本アプリケーション回路図

本製品をご使用になる前に、下記リンク先の資料を十分ご確認頂き、実際のアプリケーション設計にご配慮ください。

### ■ Application Note

○製品構造：シリコンモノリシック集積回路 ○耐放射線設計はしていません

www.rohm.co.jp

© 2020 ROHM Co., Ltd. All rights reserved.

TSZ22111 • 14 • 001

端子配置図

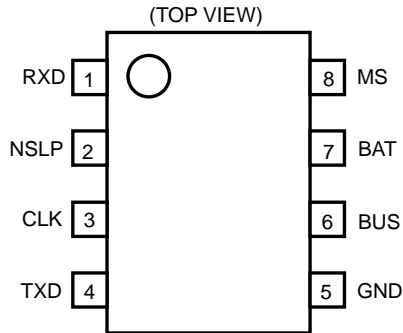


Figure 2. 端子配置図

端子説明

Table 1. 端子説明

端子番号	端子名	機能
1	RXD	受信データ出力端子
2	NSLP	省電力制御入力端子 ("H":符復号モードへの遷移、"L":パワーオフモードへの遷移)
3	CLK	クロック信号入出力端子 (マスタ使用時:入力、スレーブ使用時:出力)
4	TXD	送信データ入力端子
5	GND	グラウンド端子
6	BUS	CXPI バス端子
7	BAT	電源端子
8	MS	マスタ/スレーブ切り替え端子 ("H":マスタ、"L":スレーブ)

ブロック図

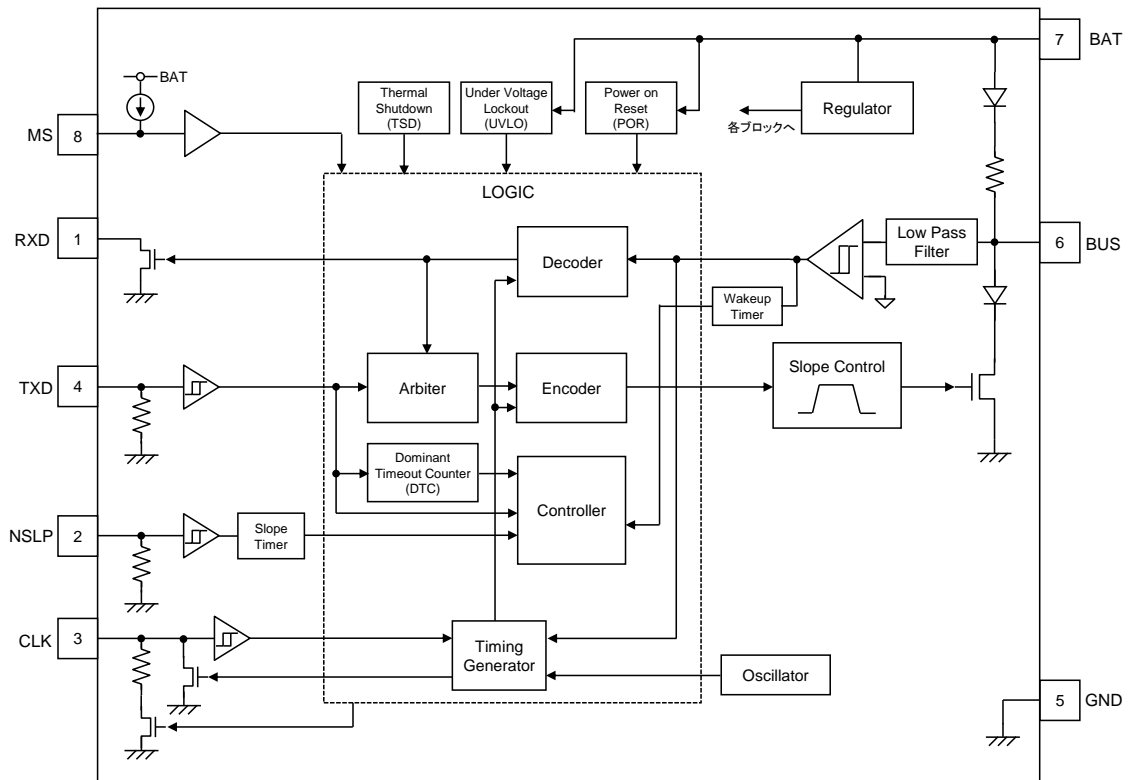
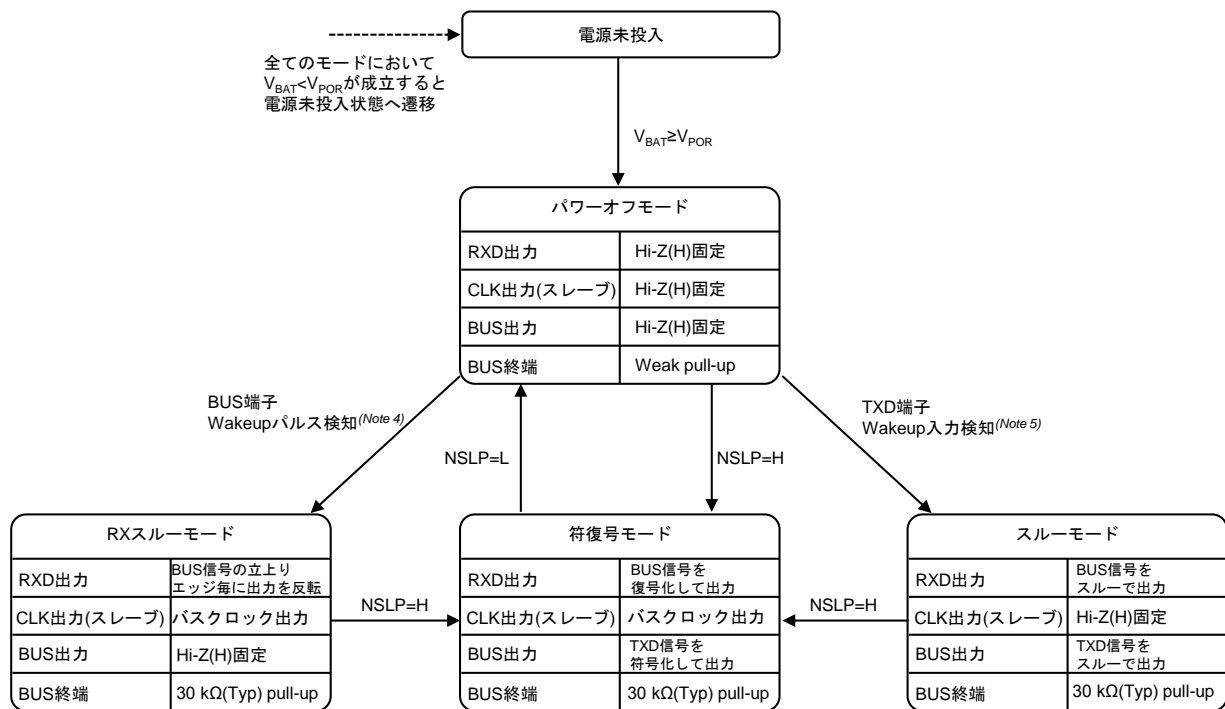


Figure 3. ブロック図

## 動作説明

## 状態遷移図

BD41003FJ-C は省電力制御のため、符復号モード以外にパワーオフモード、スルーモード、RX スルーモードを搭載しています。各モードへは、NSLP 端子、BUS 端子、TXD 端子により遷移します。



(Note 4) 電気的特性の Wakeup パルス検出 LO 時間を参照してください。

(Note 5) 電気的特性の Wakeup 入力検出時間(TXD 端子)を参照してください。

Figure 4. 状態遷移図

マスタ使用時の CLK 端子は入力端子となり、符復号モードでバスクロックを入力するために使います。

## パワーオフモード

パワーオフモードは、Wakeup パルス検知(BUS 端子)と Wakeup 入力検知(TXD 端子)に必要な一部回路以外をパワーオフして消費電力を低減するモードです。

TXD 端子が H の場合は Wakeup 入力検知されスルーモードへ遷移しますので、パワーオフモードに遷移させる場合は TXD 端子を L にしてから NSLP 端子を L にしてください。

スルーモード、RX スルーモードからパワーオフモードに直接遷移させることはできませんので、NSLP 端子を H にして符復号モードを経由して遷移させてください。

## スルーモード

スルーモードは、符号化/復号化処理を行わず、TXD-BUS 間、BUS-RXD 間で信号をスルーさせるモードです。

Wakeup パルスを送信する場合は、TXD 端子を H にしてスルーモードへ遷移させてください。

## RX スルーモード

RX スルーモードは、BUS 端子の立上りエッジ毎に RXD 端子を反転させるモードです。

パワーオフモードで Wakeup パルスを検出する場合は、RXD 端子の変化をモニタしてください。

パワーオフモード遷移後、1 回目の Dominant 信号でパワーオフモードから RX スルーモードへ遷移する時のみ、BUS の立上りエッジではなく、RX スルーモード遷移時に RXD 出力を反転します。その後は、BD41003FJ-C が 2 回目以降の BUS 信号の立上りエッジを認識する度に RXD 出力を反転します。

## 符復号モード

符復号モードは、CXPI 通信をするモードです。符復号モードへは、NSLP 端子を H にすることで遷移します。

RXD 出力は、マスタ使用時は CLK 端子の立下りエッジに、スレーブ使用時は BUS 端子の立下りエッジに同期して変化します。BUS 出力は TXD 入力から  $2.0 \pm 0.5 T_{bit}$  遅延し、RXD 出力は BUS 入力から  $1.0 \pm 0.5 T_{bit}$  遅延します。

マスタ使用時に CLK 端子に供給するクロック信号のジッタは、BD41003FJ-C で発生するジッタ ( $\pm 0.2\%$ ) を考慮して、CXPI 規格 ( $\pm 1.0\%$ ) を満足する信号を入力してください。

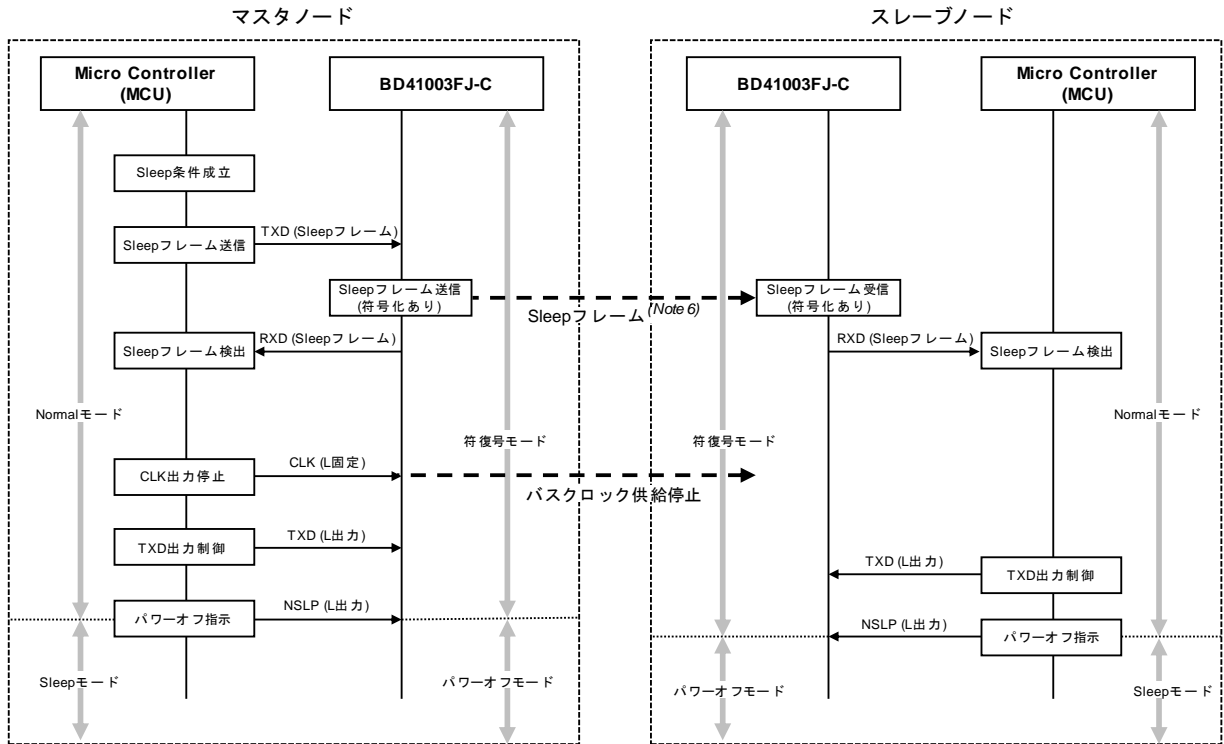
動作説明 — 続き

シーケンス図

CXPI 規格のモード管理(Sleep モード、Standby モード、Normal モード)に対応する BD41003FJ-C の制御シーケンスの例を示します。(モード管理の詳細については CXPI 規格を参照してください。)

1. Normal モードから Sleep モードへの遷移

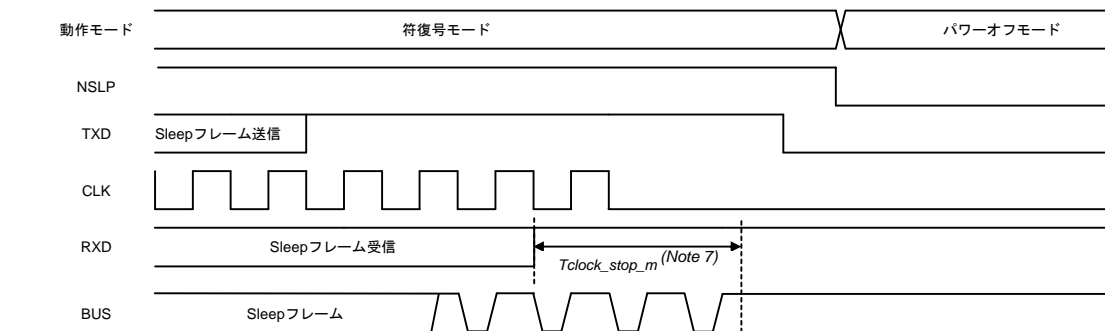
Sleep モードへ遷移するときは、NSLP 端子を H から L に変化させパワーオフモードに遷移させます。TXD 端子には、フェールセーフを考慮して Pull down 抵抗が内蔵されています。Sleep モード時に MCU 側から余分な電流を流さないために、BD41003FJ-C をパワーオフモードへ遷移させる前に TXD 端子を L 固定してください。マスタ使用時には CLK 端子にも Pull down 抵抗が接続されますので、TXD 端子同様に L 固定してください。



(Note 6) Sleep フレームに関しては JASO D015-3 を参照してください。

Figure 5. Normal モードから Sleep モードへの遷移

マスタノード

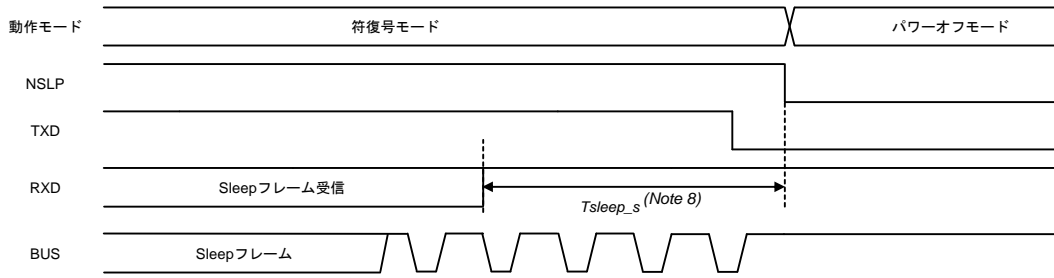


(Note 7) Tclock\_stop\_m に関しては JASO D015-3 を参照してください。

Figure 6. Normal モードから Sleep モードへの遷移タイミング(マスタ)

1. Normal モードから Sleep モードへの遷移 — 続き

スレーブノード



(Note 8)  $T_{sleep\_s}$  に関しては JASO D015-3 を参照してください。

Figure 7. Normal モードから Sleep モードへの遷移タイミング(スレーブ)

2. Sleep モードから Normal モードへの遷移(マスターノードトリガ)

マスターノードの内部要因で Wakeup する場合は、NSLP 端子を H にして符号モードへ遷移させてください。BUS 端子と RXD 端子に異常な信号を出力させないため、BD41003FJ-C をパワーオフモードから符号モードへ遷移させる直前(30  $\mu$ s 以内)に、TXD 端子を H にしてください。スレーブノードでは、BD41003FJ-C が BUS クロックを受信すると、BUS 信号の立上りエッジ毎に RXD 出力を反転させます。RXD 端子の 1 回目の立下りで Wakeup 検出を開始し、マイクロコントローラの初期化を実施してください。マイクロコントローラの初期化完了後に、RXD 端子が H になっている、または立上りエッジを検出することで Wakeup を確定してください。スレーブノードが 2 回目の立上りパルスを規定時間内に受信できないなどの理由で Standby モードから Sleep モードへ遷移する場合は、一度 NSLP 端子を H にして符号モードに遷移させてから、再び NSLP 端子を L にしてパワーオフモードに戻してください。

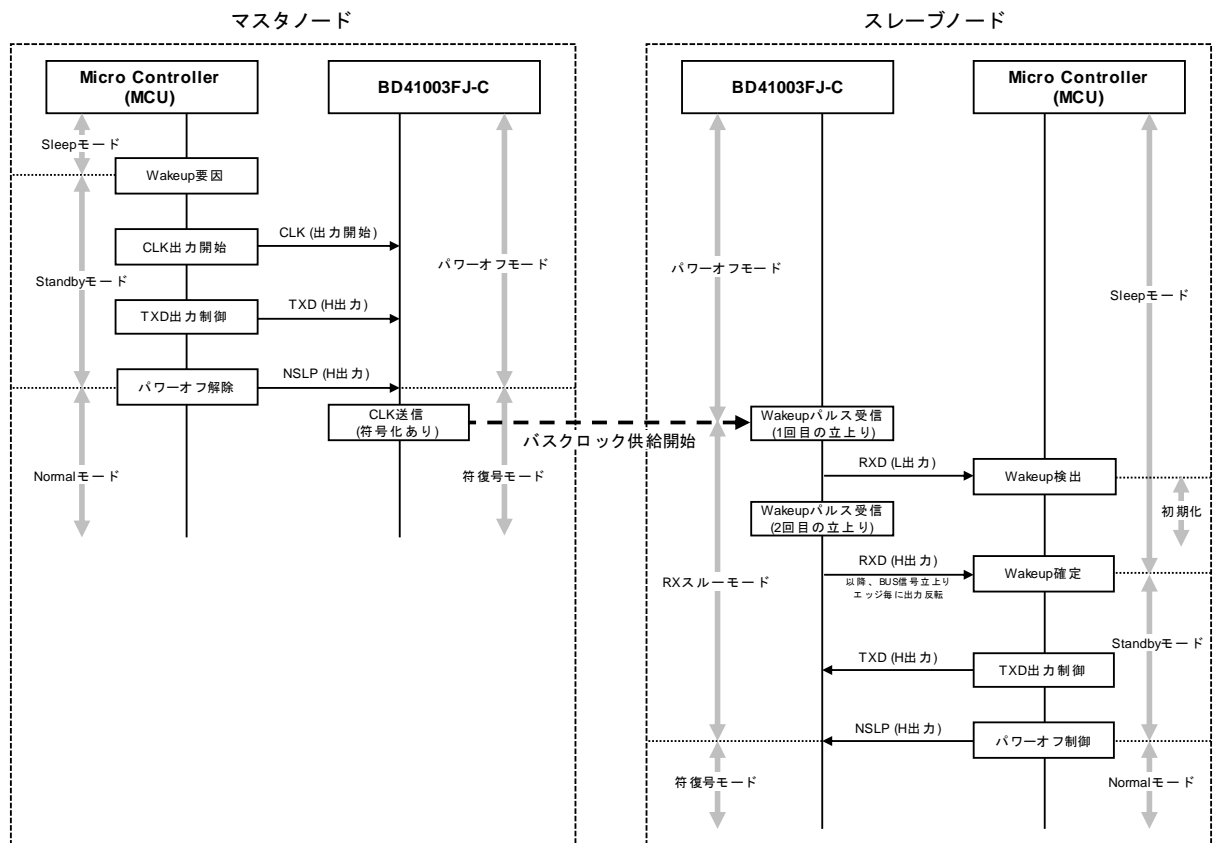


Figure 8. Sleep モードから Normal モードへの遷移(マスターノードトリガ)

2. Sleep モードから Normal モードへの遷移(マスターノードトリガ) — 続き

マスターノード

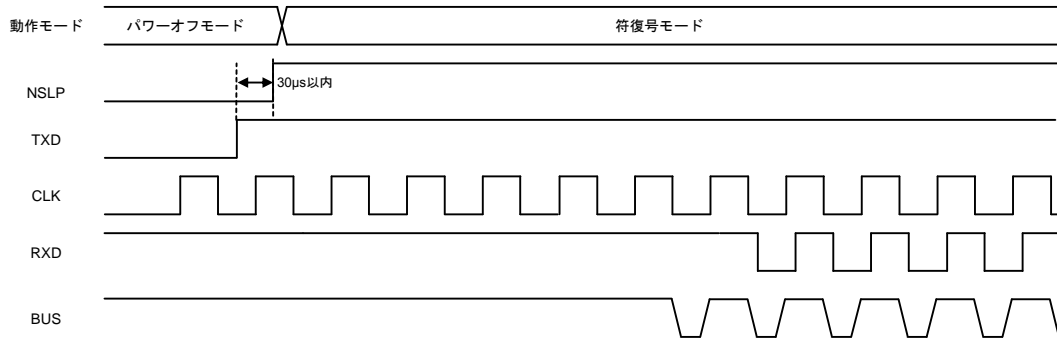


Figure 9. Sleep モードから Normal モードへの遷移タイミング(マスターノードトリガ、マスタ)

スレーブノード

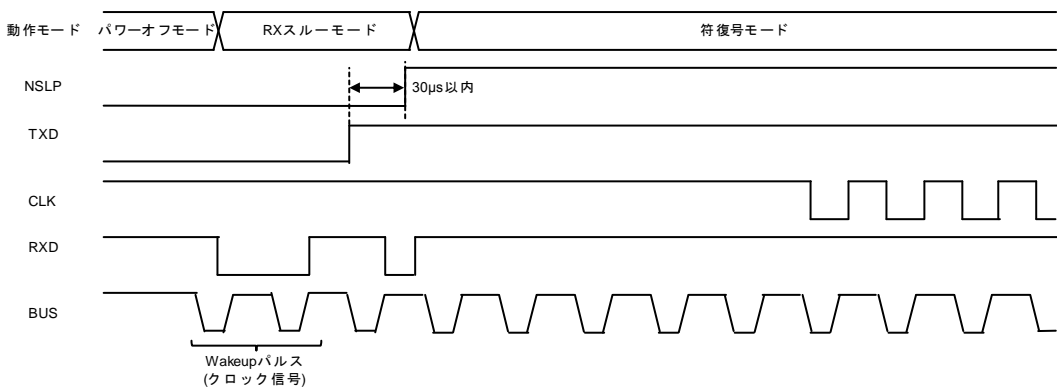
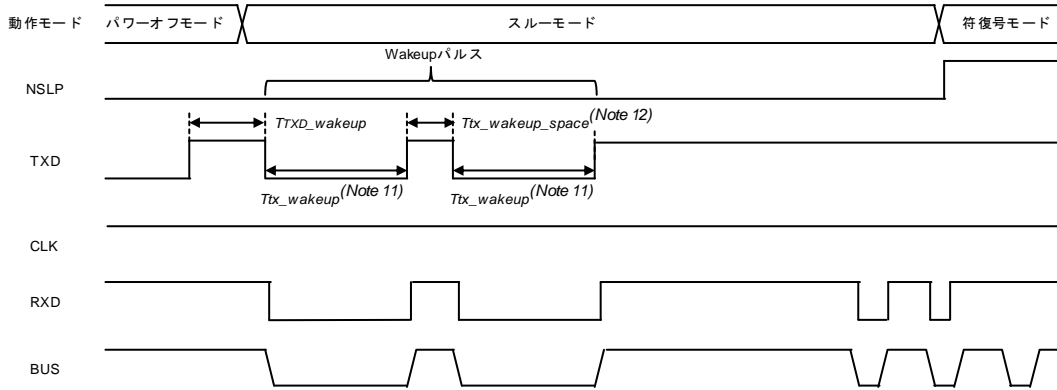


Figure 10. Sleep モードから Normal モードへの遷移タイミング(マスターノードトリガ、スレーブ)



3. Sleep モードから Normal モードへの遷移(スレーブノードトリガ) — 続き

スレーブノード



(Note 11) Tx\_wakeup に関しては JASO D015-3 を参照してください。

(Note 12) Tx\_wakeup\_space に関しては JASO D015-3 を参照してください。

Figure 13. Sleep モードから Normal モードへの遷移タイミング(スレーブノードトリガ、スレーブ)

符番号モード遷移後の送受信開始有効時間

NSLP 端子を H にして符番号モードへ遷移させると、BD41003FJ-C はクロック周期を検出し、論理値 1 の LO 幅の学習を行います。論理値 1 の LO 幅の学習期間を確保するため、少なくともクロックが 16 T<sub>bit</sub> に相当する時間供給されてからデータの送受信を開始してください。(NSLP 端子を H にした後、BUS 端子または CLK 端子にクロックが出力されるまで最大で 6 T<sub>bit</sub> が必要です。)

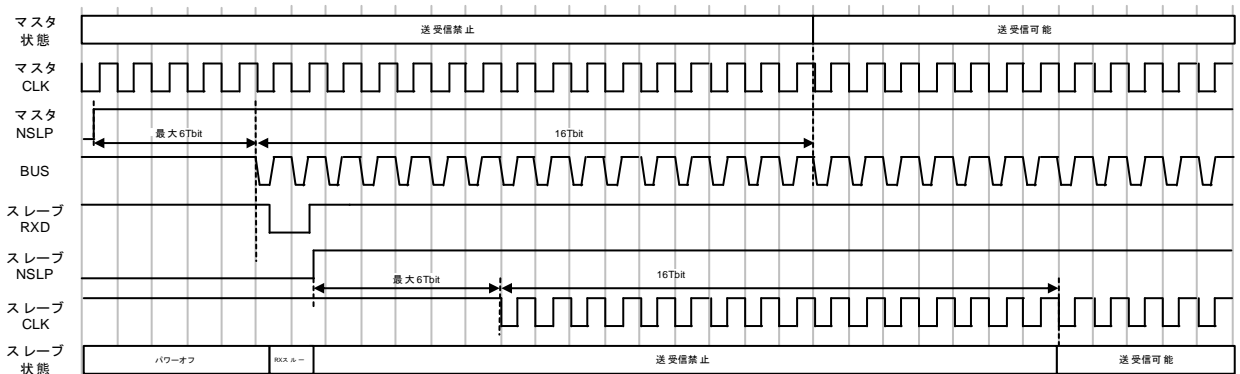


Figure 14. 符番号モード遷移後の送受信開始有効時間





調停機能 — 続き

3. BD41003FJ-Cの調停範囲外でマイクロコントローラから送信データが入力されることにより、調停が行えない場合

TXD 入力から BUS 出力まで最大 2.5 T<sub>bit</sub>、BUS 入力から RXD 出力まで最大 1.5 T<sub>bit</sub>の遅延があるため、マイクロコントローラから Figure 17 のようなタイミングで送信データが入力された場合、受信した PID の直後に PID を送信してしまうため、他ノードの CXPI フレームを破壊してしまいます。  
 マイクロコントローラ側で、UART フレームを受信している区間は送信を禁止してください。  
 Figure 17 は、TXD 入力から BUS 出力までの遅延が 2.0 T<sub>bit</sub>、BUS 入力から RXD 出力までの遅延が 1.0 T<sub>bit</sub> の場合の例を記載しています。

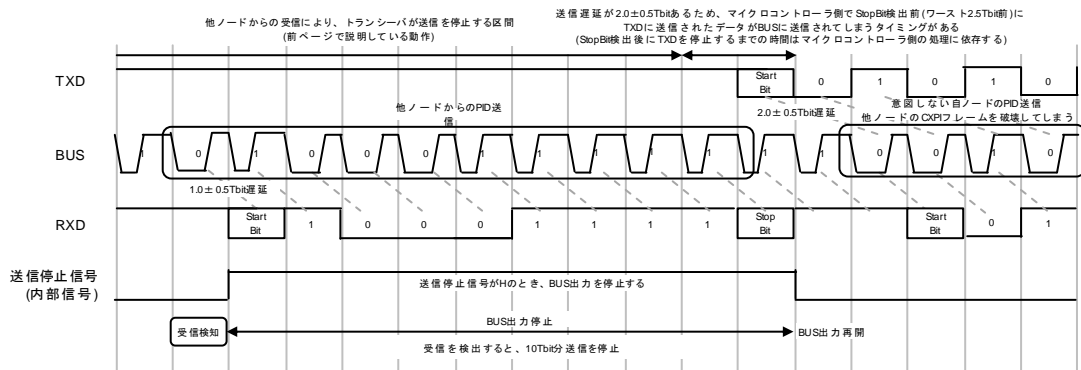


Figure 17. 調停機能(マイクロコントローラ側がストップビットで検知した場合の動作タイミング)

CXPI 規格のイベントトリガ方式に対応する場合は、CXPI フレームの破壊を防止するために、マイクロコントローラ側が PID 送信前に、UART 受信フレームのスタートビットを検出して、PID 送信を中止する必要があります。

フェールセーフ機能

BD41003FJ-C は、フェールセーフ機能として DTC(TXD Dominant 異常検知回路)、TSD(温度保護回路)、UVLO/POR(低電圧ロックアウト回路/パワーオンリセット回路)を搭載しています。  
 各異常状態での動作は以下のようになります。

Table 2. フェールセーフ機能説明

フェールセーフ機能	状態遷移	BUS 出力	RXD 出力	CLK 出力 (スレープ使用時)
DTC 異常	遷移なし	符番号モード時:論理値 1 出力 <sup>(Note 13)</sup> スルーモード時:Hi-Z(H)固定	BUS 信号出力	Hi-Z(H)固定
TSD 異常	遷移なし	Hi-Z(H)固定	Hi-Z(H)固定	Hi-Z(H)固定
UVLO 異常	遷移なし	Hi-Z(H)固定	Hi-Z(H)固定	Hi-Z(H)固定
POR 異常	パワーオフモード	Hi-Z(H)固定	Hi-Z(H)固定	Hi-Z(H)固定

(Note 13) TXD が L 固定の場合、最初の 10bit 分だけ論理値 0 を出力し、DTC 異常検知前に、論理値 1 出力となります。

DTC(Dominant Timeout Counter)は、TXD 端子の L 時間が  $t_{DTC}$  を超える場合に異常を検出し、出力を停止します。  
 TXD 端子を H にすることで通常状態に復帰します。

TSD(Thermal Shutdown)回路は、ジャンクション温度が  $T_{TSD}$  を超える場合に異常を検出し、出力を停止します。  
 温度が検知温度から  $T_{TSD\_HYS}$  下がると通常状態に復帰します。

UVLO(Under Voltage Lockout)、POR(Power on Reset)の電源電圧低下異常検知は以下のように動作します。  
 電源電圧が  $V_{UVLO}$  以下に低下すると、まず UVLO 異常を検知し、BUS 端子、RXD 端子、CLK 端子の出力(スレープのみ)が Hi-Z(H)固定となります。  
 そこで電源電圧が  $V_{UVLO}$  以上に回復するとトランシーバは出力を再開しますが、さらに電源電圧が低下して  $V_{POR}$  を下回ると POR 異常が検知され、パワーオフモードへ遷移し状態がリセットされます。

## フェールセーフ機能 — 続き



Figure 18. 電源電圧による内部状態(モード)

## 絶対最大定格

Table 3. 絶対最大定格

項目	記号	定格	単位
電源電圧	$V_{BAT}$	-0.3 to +40.0	V
入力電圧	$V_{MS}$	-0.3 to +40.0	V
	$V_{NSLP}, V_{TXD}$	-0.3 to +7.0	
出力電圧	$V_{RXD}$	-0.3 to +7.0	V
入出力電圧	$V_{BUS}$	-27.0 to +40.0	V
	$V_{CLK}$	-0.3 to +7.0	
最高接合部温度	$T_{jmax}$	+150	°C
保存温度	$T_{stg}$	-55 to +150	°C
静電気耐量(HBM) <sup>(Note 14)</sup>	$V_{ESD}$	4000	V

(Note 14) JEDEC 準拠。

**注意 1:** 印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施して頂けるようご検討をお願いします。

**注意 2:** 最高接合部温度を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。最高接合部温度を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用するなど、最高接合部温度を超えないよう熱抵抗にご配慮ください。

## 熱抵抗 (Note 15)

Table 4. 熱抵抗

項目	記号	熱抵抗(Typ)		単位
		1層基板 (Note 17)	4層基板 (Note 18)	
SOP-J8				
ジャンクション—周囲温度間熱抵抗	$\theta_{JA}$	149.3	76.9	°C/W
ジャンクション—パッケージ上面中心間熱特性パラメータ (Note 16)	$\Psi_{JT}$	18	11	°C/W

(Note 15) JESD51-2A(Still-Air)に準拠。

(Note 16) ジャンクションからパッケージ(モールド部分)上面中心までの熱特性パラメータ。

(Note 17) JESD51-3に準拠した基板を使用。

(Note 18) JESD51-7に準拠した基板を使用。

Table 5. 1層基板

測定基板	基板材	基板寸法
1層	FR-4	114.3mm x 76.2mm x 1.57mmt
1層目(表面)銅箔		
銅箔パターン	銅箔厚	
実装ランドパターン +電極引出し用配線	70 $\mu$ m	

Table 6. 4層基板

測定基板	基板材	基板寸法			
4層	FR-4	114.3mm x 76.2mm x 1.6mmt			
1層目(表面)銅箔		2層目、3層目(内層)銅箔		4層目(裏面)銅箔	
銅箔パターン	銅箔厚	銅箔パターン	銅箔厚	銅箔パターン	銅箔厚
実装ランドパターン +電極引出し用配線	70 $\mu$ m	74.2mm□(正方形)	35 $\mu$ m	74.2mm□(正方形)	70 $\mu$ m

## 推奨動作条件

Table 7. 推奨動作条件

項目	記号	Min	Typ	Max	単位
電源電圧	$V_{BAT}$	7.0	12.0	18.0	V
動作温度	$T_{opr}$	-40	+25	+125	°C

電氣的特性 (特に指定のない限り Ta=-40°C to +125°C、V<sub>BAT</sub>=7V to 18V)

Table 8. 電氣的特性(その 1)

項目	記号	Min	Typ	Max	単位	条件
BAT 端子						
動作電流 1	I <sub>BAT_SLP</sub>	-	3	10	μA	NSLP=H から L に遷移後
動作電流 2	I <sub>BAT_NOR</sub>	-	3	10	mA	NSLP=H、MS=H、 CLK=20kHz(Duty=50%) TXD=10kHz(Duty=50%)
TXD 端子、NLSP 端子、CLK 端子(入力時)						
H レベル入力電圧	V <sub>IHM<sub>CU</sub>_IN</sub>	2.0	-	-	V	
L レベル入力電圧	V <sub>ILM<sub>CU</sub>_IN</sub>	-	-	0.8	V	
入力 H 電流	I <sub>IHM<sub>CU</sub>_IN</sub>	6.0	14.0	40.0	μA	入力電圧=5V
入力 L 電流	I <sub>ILM<sub>CU</sub>_IN</sub>	-5.0	0.0	+5.0	μA	
Wakeup 入力検出時間 (TXD 端子)	t <sub>TXD_WAKEUP</sub>	30	100	150	μs	H 幅
入力クロック Duty (CLK 端子)	D <sub>DUTYCLK</sub>	48	50	95	%	H 幅の Duty 規定
MS 端子						
H レベル入力電圧	V <sub>IHMS_IN</sub>	V <sub>BAT</sub> -1.0	-	-	V	
L レベル入力電圧	V <sub>ILMS_IN</sub>	-	-	V <sub>BAT</sub> -3.0	V	
入力 H 電流	I <sub>IHMS_IN</sub>	-5.0	-	+5.0	μA	入力電圧=V <sub>BAT</sub> =18V
入力 L 電流	I <sub>ILMS_IN</sub>	-5.0	-	+5.0	μA	パワーオフモード時
RXD 端子、CLK 端子(出力時)						
出力オン電流	I <sub>OLM<sub>CU</sub>_OUT</sub>	1.3	3.5	-	mA	出力端子=0.4V
出力オフ電流	I <sub>OHM<sub>CU</sub>_OUT</sub>	-5.0	0.0	+5.0	μA	出力端子=5V
BUS 端子(DC 特性)						
Recessive 出力電圧 (Note 19)	V <sub>BUS_RES</sub>	V <sub>BAT</sub> x 0.9	-	-	V	R <sub>L</sub> =500Ω
Dominant 出力電圧 1 (Note 19)	V <sub>BUS_DOM_1</sub>	-	-	1.2	V	V <sub>BAT</sub> =7V、R <sub>L</sub> =500Ω
Dominant 出力電圧 2 (Note 19)	V <sub>BUS_DOM_2</sub>	0.6	-	-	V	V <sub>BAT</sub> =7V、R <sub>L</sub> =1kΩ
Dominant 出力電圧 3 (Note 19)	V <sub>BUS_DOM_3</sub>	-	-	2.0	V	V <sub>BAT</sub> =18V、R <sub>L</sub> =500Ω
Dominant 出力電圧 4 (Note 19)	V <sub>BUS_DOM_4</sub>	0.8	-	-	V	V <sub>BAT</sub> =18V、R <sub>L</sub> =1kΩ
H レベルリーク電流	I <sub>IHBUS</sub>	-5.0	0.0	+5.0	μA	Recessive 出力時、 V <sub>BAT</sub> =V <sub>BUS</sub> =18V
プルアップ抵抗	R <sub>BUS</sub>	20	30	50	kΩ	V <sub>BAT</sub> =12V
短絡時出力電流 (Note 19)	I <sub>OC<sub>PBUS</sub></sub>	40	-	200	mA	V <sub>BAT</sub> =V <sub>BUS</sub> =18V、R <sub>L</sub> =0Ω
レシーバ動作時 L 電流	I <sub>OLBUS</sub>	-1	-	-	mA	V <sub>BAT</sub> =12V、V <sub>BUS</sub> =0V
レシーバ動作時入力リーク電流	I <sub>LBUS</sub>	-	-	20	μA	V <sub>BAT</sub> =8V、V <sub>BUS</sub> =18V
NO_GND 時リーク電流	I <sub>LBUS_NO_GND</sub>	-1	-	+1	mA	GND=V <sub>BAT</sub> =12V、 V <sub>BUS</sub> =0V to 18V
NO_BAT 時リーク電流	I <sub>LBUS_NO_BAT</sub>	-	-	100	μA	V <sub>BAT</sub> =0V、V <sub>BUS</sub> =0V to 18V
入力 H 閾値電圧	V <sub>IHBUS_REC</sub>	V <sub>BAT</sub> x 0.556	-	-	V	
入力 L 閾値電圧	V <sub>ILBUS_DOM</sub>	-	-	V <sub>BAT</sub> x 0.423	V	
入力閾値電圧(センター値)	V <sub>TH<sub>CBUS</sub></sub>	V <sub>BAT</sub> x 0.475	V <sub>BAT</sub> x 0.5	V <sub>BAT</sub> x 0.525	V	
入力ヒステリシス電圧	V <sub>HYSBUS</sub>	-	-	V <sub>BAT</sub> x 0.133	V	

(Note 19) R<sub>L</sub> は IC 外部に接続する BAT、BUS 端子間のプルアップ抵抗。

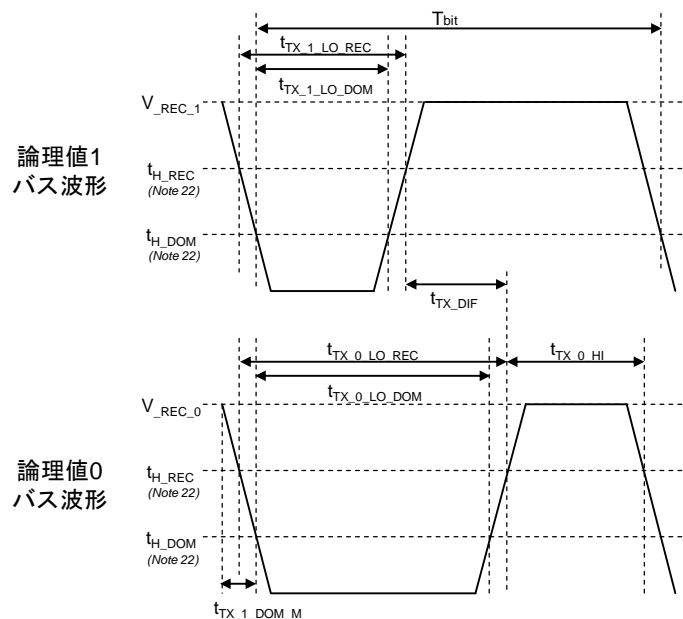
## 電気的特性 — 続き

Table 9. 電気的特性(その 2)

項目	記号	Min	Typ	Max	単位	条件
BUS 端子(AC 特性)						
論理値 1 の LO 時間 1 <sup>(Note 20)</sup>	$t_{TX\_1\_LO\_REC}$	-	-	$0.39T_{bit} + 0.6\tau$	-	$t_{H\_REC}=70\%$
論理値 1 の LO 時間 2	$t_{TX\_1\_LO\_DOM}$	0.11	-	-	$T_{bit}$	$t_{H\_DOM}=30\%$
受信時 HI 検出時間	$t_{TX\_0\_HI}$	0.06	-	-	$T_{bit}$	$t_{H\_REC}=55.6\%$
受信時 HI/LO 判別時間	$t_{TX\_DIF}$	0.06	-	-	$T_{bit}$	$t_{TX\_DIF}=t_{TX\_0\_LO}-t_{TX\_1\_LO}$
論理値 0 出力時、LO 出力遅延時間	$t_{TX\_0\_PD}$	-	-	0.11	$T_{bit}$	$t_{H\_DOM}=30\%$
論理値 0 の LO 時間 1	$t_{TX\_0\_LO\_REC}$	$t_{TX\_1\_LO\_REC} + 0.06$	-	-	$T_{bit}$	$t_{H\_REC}=70\%$
論理値 0 の LO 時間 2	$t_{TX\_0\_LO\_DOM}$	$t_{TX\_1\_LO\_DOM} + 0.06$	-	-	$T_{bit}$	$t_{H\_DOM}=30\%$
BUS 立下り時間	$t_{TX\_1\_DOM\_M}$	-	-	0.16	$T_{bit}$	$t_{H\_DOM}=30\%$
論理値 0 の Recessive 電圧	$V_{REC\_0}$	93	-	-	%	論理値 1 の Recessive 電圧( $V_{REC\_1}$ )に対する割合
Wakeup パルス検出 LO 時間 (マスタ使用時)	$t_{RX\_WAKEUP\_MASTER}$	30	100	150	$\mu s$	$t_{H\_DOM}=42.3\%$
Wakeup パルス検出 LO 時間 (スレーブ使用時)	$t_{RX\_WAKEUP\_SLAVE}$	0.5	3	5	$\mu s$	$t_{H\_DOM}=42.3\%$
TSD						
TSD 検知温度 <sup>(Note 21)</sup>	$T_{TSD}$	150	-	200	$^{\circ}C$	
TSD ヒステリシス温度 <sup>(Note 21)</sup>	$T_{TSD\_HYS}$	-	14	-	$^{\circ}C$	
UVLO						
UVLO 判定電圧	$V_{UVLO}$	5.0	-	6.7	V	
POR						
POR 判定電圧	$V_{POR}$	-	-	5.0	V	
DTC						
ドミナントタイムアウト時間	$t_{DTC}$	9	13	22	ms	

(Note 20)  $\tau$  はバスの時定数。(1 $\mu s \leq \tau \leq 5\mu s$ )

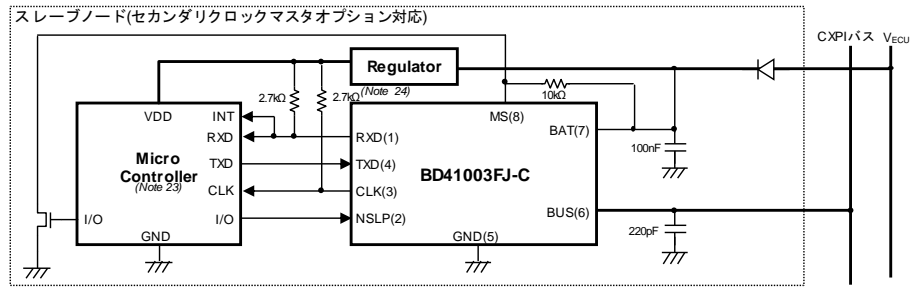
(Note 21) 設計保証項目であり、出荷時の測定は実施していません。



(Note 22)  $V_{BAT}$  に対する割合を示しています。

Figure 19. 論理値 1、0 バス波形

## 応用回路例



(Note 23) INT: Interrupt, RxD: UART RxD, TxD: UART TxD, CLK: Clock, I/O: General Purpose I/O

(Note 24) スレーブ使用時、CLK 出力を使用しない場合は CLK 端子オープンでも問題ありません。

Figure 20. セカンダリクロックマスタオプション回路例

入出力等価回路図

形式	等価回路構成	形式	等価回路構成
A	<p>出力端子:RXD</p>	B	<p>入力端子:NSLP、TXD</p>
C	<p>入出力端子:CLK</p>	D	<p>CXPI バス入出力端子:BUS</p>
E	<p>入力端子:MS</p>		



## 使用上の注意

**1. 電源の逆接続について**

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れるなどの対策を施してください。

**2. 電源ラインについて**

基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。グラウンドラインについても、同様のパターン設計を考慮してください。また、LSI のすべての電源端子について電源-グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量低下が起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

**3. グラウンド電位について**

グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。

**4. グラウンド配線パターンについて**

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

**5. 推奨動作条件について**

推奨動作条件で規定される範囲で IC の機能・動作を保証します。また、特性値は電気的特性で規定される各項目の条件下においてのみ保証されます。

**6. ラッシュカレントについて**

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

**7. 強電磁界中の動作について**

強電磁界中でのご使用では、まれに誤動作する可能性がありますのでご注意ください。

**8. セット基板での検査について**

セット基板での検査時に、インピーダンスの低いピンにコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

**9. 端子間ショートと誤装着について**

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けた場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

**10. 未使用の入力端子の処理について**

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

## 使用上の注意 — 続き

## 11. 各入力端子について

本 IC はモノリシック IC であり、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、GND > (端子 A)の時、トランジスタ(NPN)では GND > (端子 B)の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ(NPN)では、GND > (端子 B)の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に GND(P 基板)より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子が GND にショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

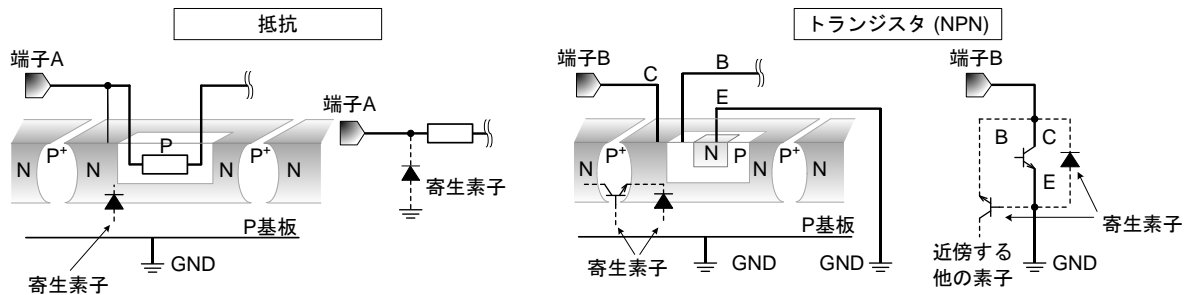


Figure 21. モノリシック IC 構造例

## 12. セラミック・コンデンサの特性変動について

外付けコンデンサに、セラミック・コンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮のうえ定数を決定してください。

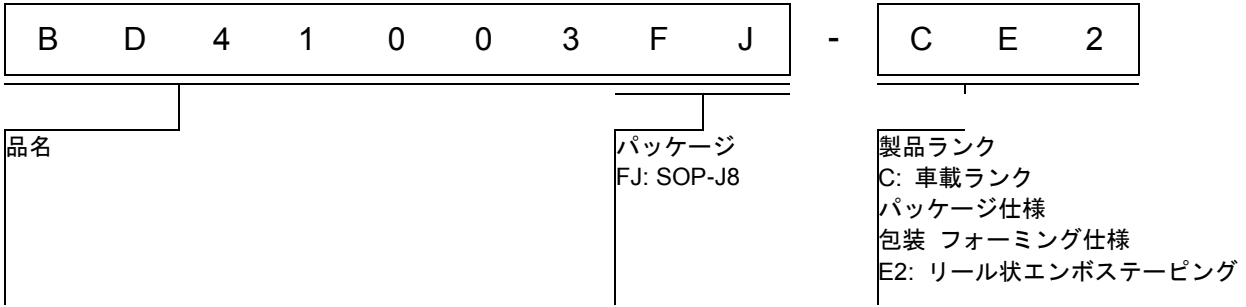
## 13. 安全動作領域について

本製品を使用する際には、出力トランジスタが絶対最大定格及び ASO を超えないよう設定してください。

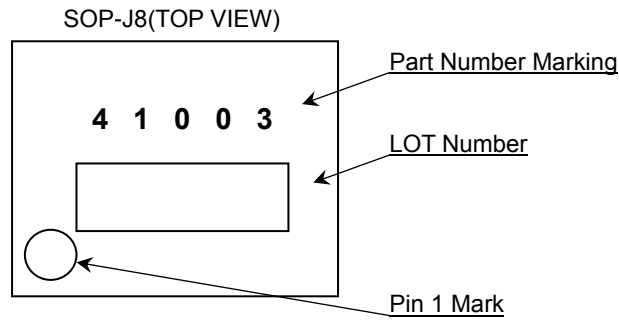
## 14. 温度保護回路について

IC を熱破壊から防ぐための温度保護回路を内蔵しております。最高接合部温度内でご使用いただきますが、万が一最高接合部温度を超えた状態が継続すると、温度保護回路が動作し出力パワー素子が OFF します。その後チップ温度  $T_j$  が低下すると回路は自動で復帰します。なお、温度保護回路は絶対最大定格を超えた状態での動作となりますので、温度保護回路を使用したセット設計などは、絶対に避けてください。

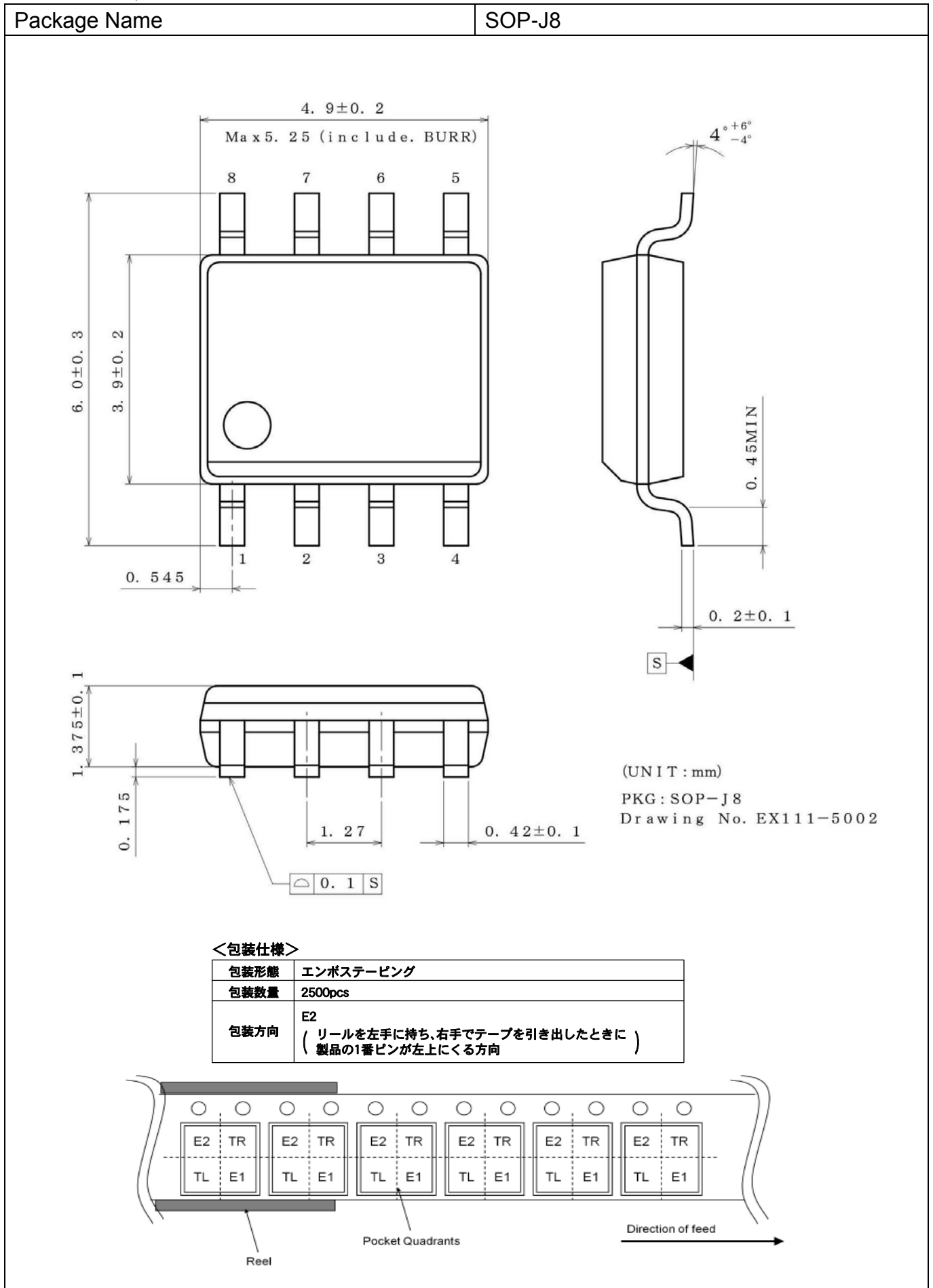
発注形名情報



標印図



外形寸法図と包装・フォーミング仕様



## 改訂履歴

日付	版	変更内容
2020.12.22	001	新規作成

# ご注意

## ローム製品取扱い上の注意事項

- 極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器<sup>(Note 1)</sup>、航空宇宙機器、原子力制御装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

- 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
  - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
  - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
- 本製品は、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
  - ①水・油・薬液・有機溶剤等の液体中でのご使用
  - ②直射日光・屋外暴露、塵埃中でのご使用
  - ③潮風、Cl<sub>2</sub>、H<sub>2</sub>S、NH<sub>3</sub>、SO<sub>2</sub>、NO<sub>2</sub>等の腐食性ガスの多い場所でのご使用
  - ④静電気や電磁波の強い環境でのご使用
  - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合
  - ⑥本製品を樹脂等で封止、コーティングしてのご使用
  - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用される場合は除く。ただし、残渣については十分に確認をお願いします。)又は、はんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合
  - ⑧結露するような場所でのご使用
- 本製品は耐放射線設計はなされておられません。
- 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
- パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
- 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
- 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
- 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

## 実装及び基板設計上の注意事項

- ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
- はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

## **応用回路、外付け回路等に関する注意事項**

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

## **静電気に対する注意事項**

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。(人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等)

## **保管・運搬上の注意事項**

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
  - ① 潮風、Cl<sub>2</sub>、H<sub>2</sub>S、NH<sub>3</sub>、SO<sub>2</sub>、NO<sub>2</sub>等の腐食性ガスの多い場所での保管
  - ② 推奨温度、湿度以外での保管
  - ③ 直射日光や結露する場所での保管
  - ④ 強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き(梱包箱に表示されている天面方向)で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

## **製品ラベルに関する注意事項**

本製品に貼付されている製品ラベルに2次元バーコードが印字されていますが、2次元バーコードはロームの社内管理のみを目的としたものです。

## **製品廃棄上の注意事項**

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

## **外国為替及び外国貿易法に関する注意事項**

本製品は、外国為替及び外国貿易法に定めるリスト規制貨物等に該当するおそれがありますので、輸出する場合には、ロームへお問い合わせください。

## **知的財産権に関する注意事項**

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等(ソフトウェア含む)との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

## **その他の注意事項**

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

**一般的な注意事項**

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。