

三相ブラシレスモータプリドライバ

BD63001AMUV

概要

BD63001AMUV は、ホールセンサ信号から駆動信号を生成し、入力された制御信号により PWM 駆動する三相ブラシレスモータプリドライバです。外付け FET に上 Pch 下 Nch MOS トランジスタを使用することができます。また、電源は 12V 系・24V 系どちらにも対応しており、各種制御・保護機能の内蔵により、様々なアプリケーションへの対応が可能となっています。小型パッケージの採用により、小径モータへの搭載も可能です。

特長

- 120°通電ロジック回路内蔵
- 上 Pch 下 Nch MOS トランジスタ駆動可能
- PWM 制御方式/DC 制御方式
- ショートブレーキ可能
- 回転方向切り換え可能
- FG 出力 (1FG 出力)
- 電流制限回路内蔵 (CL)
- 過熱保護回路内蔵 (TSD)
- 不足電圧保護回路内蔵 (UVLO)
- 過電圧保護回路内蔵 (OVLO)
- 拘束保護回路内蔵 (MLP)

用途

- OA 機器
- その他一般民生機器

基本アプリケーション回路

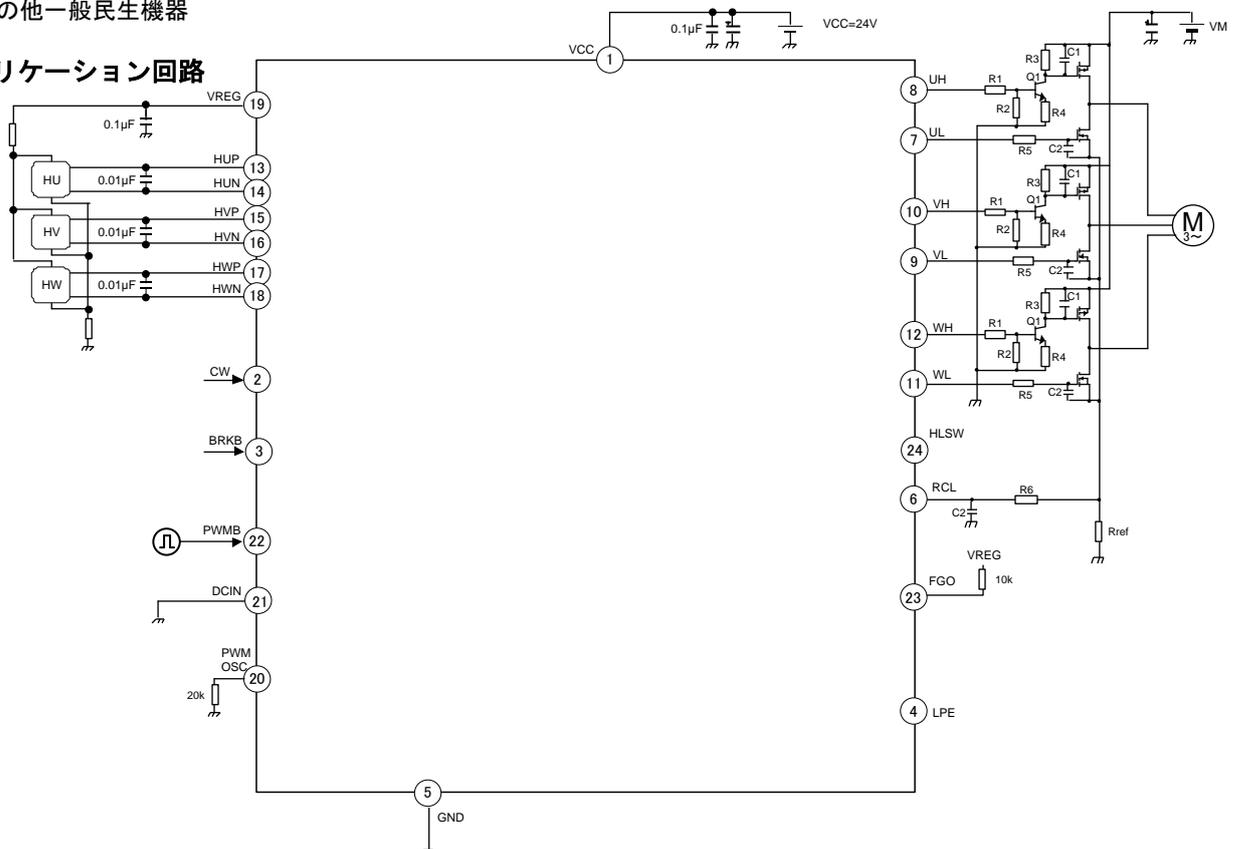


Figure 1. HLSW=OPEN("H")時アプリケーション回路図

重要特性

- 電源電圧定格: 33V
 - 動作温度範囲: -40~+85°C
 - プリドライバ出力定格電流(連続): ±30mA
 - プリドライバ出力定格電流(瞬間) (Note 1): ±200mA
 - 電流制限検出電圧: 0.2V±10%
 - UVLO ロックアウト電圧: 3.7V(Typ)
- (Note 1) パルス幅 $tw \leq 1\mu s$, 50kHz

パッケージ

W(Typ) x D(Typ) x H(Max)



目次

概要	1
特長	1
用途	1
重要特性	1
パッケージ	1
基本アプリケーション回路	1
端子配置図/ブロック図	4
端子説明	4
絶対最大定格	5
推奨動作条件	5
熱抵抗	6
機能説明	7
保護機能	10
電気的特性	11
特性データ	12
タイミングチャート	13
状態遷移図	15
入出力等価回路図	16
アプリケーション使用上の注意	17
使用上の注意	18
発注形名情報	20
標印図	20
外形寸法図と包装・フォーミング仕様	21
改訂履歴	22

端子配置図

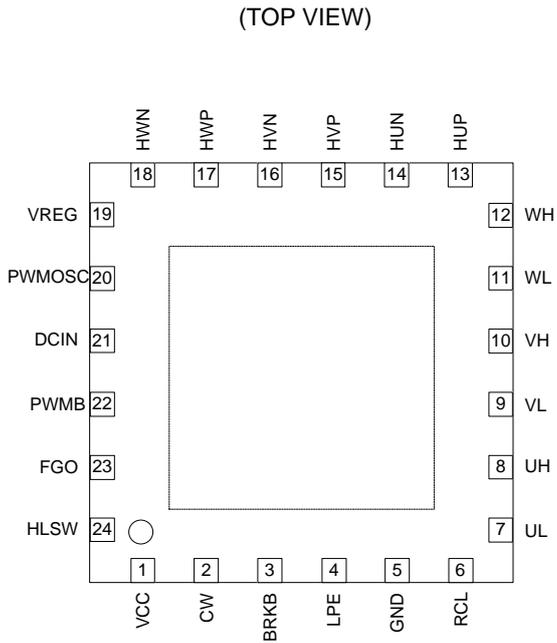


Figure 4. 端子配置図

ブロック図

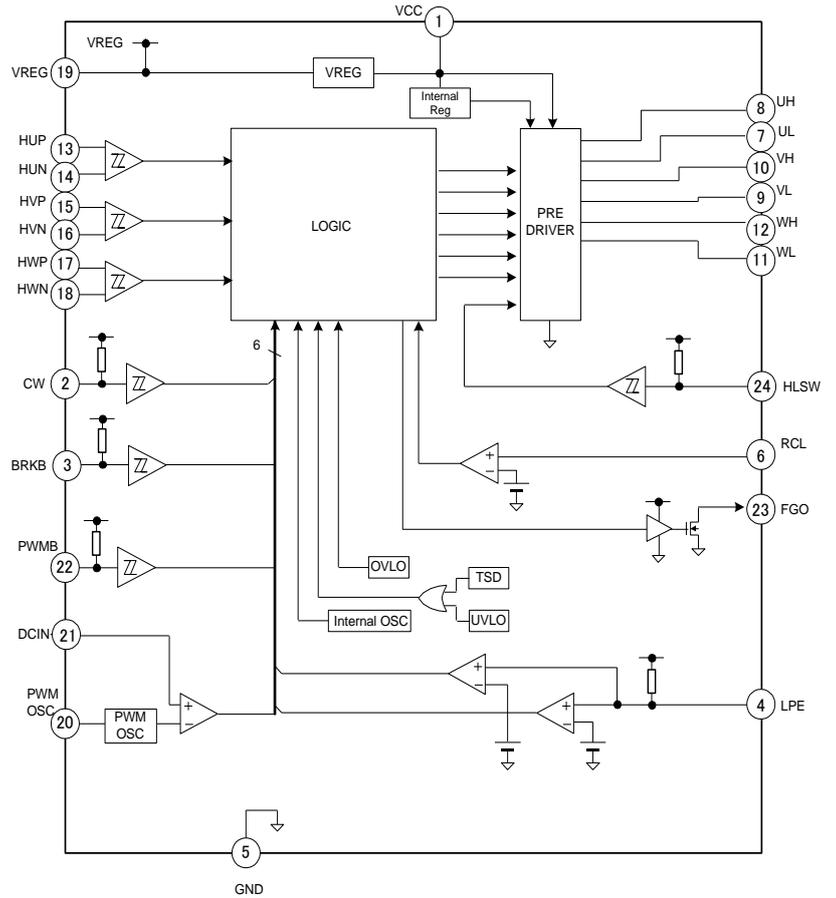


Figure 5. ブロック図

端子説明

端子番号	端子名	機能	端子番号	端子名	機能
1	VCC	電源	13	HUP	U相ホール入力+
2	CW	回転方向切り換え(H: CW、L: CCW)	14	HUN	U相ホール入力-
3	BRKB	ブレーキ入力(負論理)	15	HVP	V相ホール入力+
4	LPE	ロック保護設定端子(H/M/L)	16	HVN	V相ホール入力-
5	GND	グラウンド	17	HWP	W相ホール入力+
6	RCL	出力電流検出コンパレータ入力	18	HWN	W相ホール入力-
7	UL	プリドライバ出力 UL 端子	19	VREG	レギュレータ出力
8	UH	プリドライバ出力 UH 端子	20	PWMOSC	PWM 発振周波数設定端子
9	VL	プリドライバ出力 VL 端子	21	DCIN	DC 入力
10	VH	プリドライバ出力 VH 端子	22	PWMB	PWM 入力(負論理)
11	WL	プリドライバ出力 WL 端子	23	FGO	FG(1相出力)端子
12	WH	プリドライバ出力 WH 端子	24	HLSW	上側 MOS ゲート出力切替え端子

絶対最大定格(Ta = 25°C)

項目	記号	定格	単位
電源電圧	V _{CC}	-0.3~+33.0	V
プリドライバ出力電圧	V _(UH,VH,WH)	-0.3~+V _{CC}	V
プリドライバ出力電圧	V _(UL,VL,WL)	-0.3~10.5	V
FGO 端子電圧	V _{FGO}	-0.3~+7.0	V
その他入出力端子電圧	V _{I/O}	-0.3~+5.5	V
プリドライバ出力電流(連続)	I _{OUT1}	±30	mA
プリドライバ出力電流(瞬間)	I _{OUT2}	±200 ^(Note 1)	mA
FGO 出力電流	I _{FGO}	5	mA
VREG 出力電流	I _{VREG}	-30	mA
動作温度範囲	T _{OPR}	-40~+85	°C
保存温度範囲	T _{STG}	-55~+150	°C
接合部温度	T _{jmax}	150	°C

(Note 1) tw≤1μs,50kHz

注意：印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。

また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。

絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施して頂けるようご検討をお願いします。

推奨動作条件(Ta= -40°C~85°C)

項目	記号	最小	標準	最大	単位
電源電圧	V _{CC1}	6	24	28	V
電源電圧(V _{CC} =V _{REG} 時)	V _{CC2}	4.5	5	5.5	V

熱抵抗(Notes 1)

項目	記号	熱抵抗(Typ)		単位
		1層基板(Notes 3)	4層基板(Notes 4)	
VQFN024V4040				
ジャンクション—周囲温度間熱抵抗	θ_{JA}	150.6	37.9	°C/W
ジャンクション—パッケージ上面中心間熱特性パラメータ(Notes 2)	Ψ_{JT}	20	9	°C/W

(Notes 1) JESD51-2A(Still-Air) に準拠。

(Notes 2) ジャンクションからパッケージ（モールド部分）上面中心までの熱特性パラメータ。

(Notes 3) JESD51-3 に準拠した基板を使用。

測定基板	基板材	基板寸法
1層	FR-4	114.3mm x 76.2mm x 1.57mmt

1層目（表面）銅箔	
銅箔パターン	銅箔厚
実装ランドパターン + 電極引出し用配線	70 μ m

(Notes 4) JESD51-7 に準拠した基板を使用。

測定基板	基板材	基板寸法
4層	FR-4	114.3mm x 76.2mm x 1.6mmt

1層目（表面）銅箔		2層目、3層目（内層）銅箔		4層目（裏面）銅箔	
銅箔パターン	銅箔厚	銅箔パターン	銅箔厚	銅箔パターン	銅箔厚
実装ランドパターン + 電極引出し用配線	70 μ m	74.2mm \square （正方形）	35 μ m	74.2mm \square （正方形）	70 μ m

機能説明

1. 通電ロジック

本 IC は 120°通電方式を採用しており、真理値表は以下のようになります。

①HLSW="H" or OPEN

HU	HV	HW	CW (CW="H" or OPEN)						CCW (CW="L")						FGO
			UH	UL	VH	VL	WH	WL	UH	UL	VH	VL	WH	WL	
H	L	H	L	PWM	H	L	L	L	H	L	L	PWM	L	L	L
H	L	L	L	PWM	L	L	H	L	H	L	L	L	L	PWM	L
H	H	L	L	L	L	PWM	H	L	L	L	H	L	L	PWM	L
L	H	L	H	L	L	PWM	L	L	L	PWM	H	L	L	L	Hi-z
L	H	H	H	L	L	L	L	PWM	L	PWM	L	L	H	L	Hi-z
L	L	H	L	L	H	L	L	PWM	L	L	L	PWM	H	L	Hi-z

②HLSW="L"

HU	HV	HW	CW (CW="H" or OPEN)						CCW (CW="L")						FGO
			UH	UL	VH	VL	WH	WL	UH	UL	VH	VL	WH	WL	
H	L	H	H	PWM	L	L	H	L	L	L	H	PWM	H	L	L
H	L	L	H	PWM	H	L	L	L	L	L	H	L	H	PWM	L
H	H	L	H	L	H	PWM	L	L	H	L	L	L	H	PWM	L
L	H	L	L	L	H	PWM	H	L	H	PWM	L	L	H	L	Hi-z
L	H	H	L	L	H	L	H	PWM	H	PWM	H	L	L	L	Hi-z
L	L	H	H	L	L	L	H	PWM	H	L	H	PWM	L	L	Hi-z

* PWMB=H 時 PWM="L"、PWMB=L 時 PWM="H"となります

注意:以降の文章では上側ブリドライバ出力は、HLSW=OPEN(または"H")の条件での出力となります。
HLSW="L"時は上側ブリドライバ出力論理 H/L が逆になります。

2. レギュレータ出力端子 (VREG)

5V(Typ)の定電圧出力端子です。0.01 μ F~1 μ F 程度のコンデンサを接続することを推奨します。ホール素子のバイアス用電源などに使用される際は、VREG 電流が定格を超えることのないようにご注意ください。

3. PWM 入力端子 (PWMB)

PWMB 端子に入力する PWM 信号の Duty で速度制御することが可能です(負論理)。PWMB="L"でホールの入力論理に応じた下側ブリドライバ出力が"H"となり、PWMB="H"もしくは OPEN で下側ブリドライバ出力が"L"となります。なお、PWMB 端子は 100k Ω (Typ) \pm 30k Ω の抵抗で VREG に pull-up されています。PWMB を使用する場合は DCIN を 1V(Typ)以下または GND とショートして使用ください。

PWMB	下側ブリドライバ出力論理
H or OPEN	L
L	H

4. DC 入力端子(DCIN)

DCIN に入力する DC 信号により速度制御することが可能です。DCIN が 3.0V(Typ)の時、100%Duty となり、1V(Typ)の時、0%Duty となります。DCIN を使用する場合は PWMB を"H"または OPEN にして使用ください。

DCIN	Duty
1V(Typ)	0%
3V(Typ)	100%

機能説明 — 続き

5. PWMOSC 入力端子 (PWMOSC)

DCIN 使用時の PWM 周波数 F_{pwm} [kHz] は PWMOSC 端子に接続する外付け抵抗値 R [k Ω] により決まります。

$$F_{pwm}[\text{kHz}] = 400/R$$

6. 回転方向切り換え端子 (CW)

回転方向の切り換えは CW 端子で行います。CW="H" もしくは OPEN で CW 方向、CW="L" で CCW 方向となります。モータ回転中の回転方向切り換えは推奨しませんが、回転中に回転方向を切り換えた場合、モータの回転数がホール周波数にして約 40Hz(Typ) 以下になるまでショートブレーキ動作を経由した後、設定した回転方向に切り換わります。なお、CW 端子は 1010k Ω (Typ) \pm 300k Ω の抵抗で VREG に pull-up されています。

CW	Direction
H or OPEN	CW
L	CCW

7. ブレーキ入力端子 (BRKB)

BRKB 端子にてモータの回転を急速に停止させることが可能です(負論理)。BRKB="L" で上側プリドライバ出力がすべて "H", 下側プリドライバ出力がすべて "L" のショートブレーキ動作となり、BRKB="H" もしくは OPEN でショートブレーキ動作を解除します。なお、BRKB 端子は 100k Ω (Typ) \pm 30k Ω の抵抗で VREG に pull-up されています。

BRKB	Operation
H or OPEN	Normal
L	Short brake

8. ホール入力端子 (HALL: HUP、HUN、HVP、HVN、HWP、HWN)

ホール入力端子がつながる IC 内部のホールコンパレータにはノイズによる誤動作を防止するため、ヒステリシス (\pm 12mV(Typ)) を設けております。したがって、ホール入力電圧振幅は、最小入力電圧 ($V_{HALLMIN}$) 以上になるよう、ホール素子へのバイアス電流を設定してください。なお、ホールアンプの差動入力端子間には、100pF~0.01 μ F 程度のセラミック・コンデンサを接続することを推奨します。また、ホールコンパレータには同相入力電圧範囲 ($V_{HALLCM1}$: 0V~ V_{REG} -1.7V, $V_{HALLCM2}$: 0V~ V_{REG}) が設けられていますので、ホール素子にバイアスする場合は、この範囲内になるように設定してください。

また、通電ロジックにおける HU, HV, HW の "H" と "L" は以下を意味しております。

HU	HV	HW	HUP	HUL	HVP	HVN	HWP	HWN
H	L	H	H	L	L	H	H	L
H	L	L	H	L	L	H	L	H
H	H	L	H	L	H	L	L	H
L	H	L	L	H	H	L	L	H
L	H	H	L	H	H	L	H	L
L	L	H	L	H	L	H	H	L

HU, HV, HW がすべて "H" もしくは "L" になった場合、ホール入力異常検出回路により、上側プリドライバ出力をすべて "L" に、下側プリドライバ出力をすべて "L" 状態にします。

9. FG 出力端子 (FGO)

ホール信号から合成された 1FG 信号が FGO 端子から出力されます。FGO 端子はオープンドレインのため、外部にて 10k Ω ~100k Ω 程度の抵抗で pull-up してご使用ください。その際、FGO 電圧及び電流が定格を超えることのないようご注意ください。

機能説明 — 続き

10. 電源端子 (VCC)

- ・ 本 IC を 4.5V~5.5V で動作させる場合は、VCC 端子と VREG 端子を短絡して電源と接続してください。6V~28V で動作させる場合は、VCC 端子のみに電源を接続してください。
- ・ モータの逆起電力や PWM スwitchングノイズなどで VCC が大きく振れる可能性がある場合、バイパスコンデンサを極力端子近くに必ず配置し、VCC 電圧が安定するように調整してください。大電流使用時や逆起電力の大きいモータを使用される際には、必要に応じてコンデンサの容量を追加してください。VCC が瞬時たりとも定格を超えることのないようにご注意ください。
- ・ 広帯域で電源のインピーダンスを下げる目的から、並列に 0.01 μ F~0.1 μ F 程度の積層セラミック・コンデンサを配置することを推奨します。
- ・ VCC 端子には静電破壊防止用のクランプ素子が内蔵されています。定格以上のサージなどの急峻なパルス信号や電圧が印加された場合、このクランプ素子が動作し、破壊に至る恐れがありますので、定格は絶対に超えないでください。定格程度のツェナーダイオードを付けることも有効です。また、VCC 端子と GND 端子に逆電圧が印加された場合も、IC が破壊に至る恐れがありますのでご注意ください。

11. グラウンド端子 (GND)

スイッチング電流によるノイズの低減や IC 内部の基準電圧安定化のために、この端子からの配線インピーダンスはできるだけ低くし、いかなる動作状態においても最低電位になるようにしてください。また、他の GND パターンと共通インピーダンスを持たないようにパターン設計をしてください。

12. プリドライバ出力端子 (UH、UL、VH、VL、WH、WL)

上側プリドライバ出力の"H"電圧は VCC となり、下側プリドライバ出力の"H"電圧は 9.5V(Typ)となります。VCC=5V で使用される場合、下側プリドライバ出力の"H"電圧は VCC-0.2V(Typ)となります。

PWM 動作時における上下外付け FET の同時 ON を防ぐため、デッドタイム(1 μ s(Typ))を設けております。

13. 出力電流検出コンパレータ入力端子 (RCL)

RCL 端子と GND 端子間に電流検出用の低抵抗を接続することにより、出力の電流制限(Current Limit : CL)回路を実現することができます。ノイズの飛び込みなどの少ない配線を考慮してパターン設計してください。なお、RCL 端子は GND にショートされた場合、正常な電流制限動作ができずに大電流が流れる恐れがありますのでご注意ください。

14. 上側 MOS ゲート出力切替え端子(HLSW)

HLSW を変更することで上側の出力のゲート論理を切り替えることが可能です。HLSW="H"または OPEN で下側プリドライバ出力と同論理、HLSW="L"で下側プリドライバ出力と逆論理となります。なお、HLSW 端子は 200k Ω (Typ) \pm 60k Ω の抵抗で VREG に pull-up されています。

15. 制御信号シーケンス

DCIN、PWMB、CW 端子への制御信号は VCC を投入してから入力することを推奨します。LPE 端子が、"H"もしくは "M"に設定している場合、起動時に設定時間内にモータの回転が検出されない(FGO 信号のエッジが入力されない)と MLP 回路が動作してモータを起動できませんのでご注意ください。なお、制御信号と IC 内部信号には優先順位が設けられていますので、下表をご参照ください。

制御信号優先順位

Priority	Input / Internal Signals
1 st	UVLO
2 nd	BRKB \uparrow ↓, CW \uparrow ↓, PWMB ↓, DCIN \uparrow
3 rd	TSD、MLP、HALLERR
4 th	OVLO
5 th	BRKB
6 th	CL
7 th	PWMB、CW、HLSW、DCIN

注) \uparrow ↓ は信号の立ち上がり/立ち下がりエッジを意味します。
信号名は状態遷移図を参照ください。

保護機能

1. 電流制限回路(CL 回路)
出力電流を抵抗により電圧変換し、その電圧を RCL 端子に入力することで、出力の電流制限(Current Limit : CL)回路を実現することができます。出力 ON 時に起こる RNF スパイクノイズによる電流検出コンパレータの誤検出を避けるため、マスク時間 0.5 μ s(Typ)を設けており、RCL 電圧が 0.2V(Typ)以上になってからマスク時間の間は電流検出を無効にします。その後、下側ブリドライバ出力をすべて"L"にし、一定時間(32 μ s(Typ))後に自己復帰します。この動作は PWMB 端子に入力される PWM 信号とは同期しません。また、マスク時間を超えるノイズが発生する場合は、RCL と RNF 間にローパスフィルタを装着してください。
2. 過熱保護回路 (TSD 回路)
本 IC のチップ温度が上昇し、設定温度(175°C(Typ))を超えると過熱保護(Thermal Shut Down : TSD)回路が動作します。このとき、上側ブリドライバ出力はすべて"L"に、下側ブリドライバ出力はすべて"L"状態になります。また、TSD 回路にはヒステリシス(25°C(Typ))を設けており、チップ温度が下がると通常動作に戻ります。なお、TSD 回路はあくまでも熱的暴走から本 IC を遮断することを目的とした回路であり、この回路が動作する時点で動作保証温度を超えています。したがって、この回路を動作させて以降の連続使用、及び動作を前提とした使用にならないよう、十分マージンを持った熱設計をしてください。
3. 不足電圧保護回路 (UVLO 回路)
本 IC が動作できる最低電源電圧を確保して IC の誤動作を防ぐため、不足電圧保護(Under Voltage Lock Out : UVLO)回路を内蔵しています。V_{CC}が V_{UVL}(3.7V(Typ))まで下がると、上側ブリドライバ出力はすべて"L"に、下側ブリドライバ出力はすべて"L"状態になります。また、UVLO 回路にはヒステリシスを設けており、V_{CC}が V_{UVH}(4.15V(Typ))以上になると、通常動作に入ります。
4. 過電圧保護回路 (OVLO 回路)
本 IC には過電圧保護(Over Voltage Lock Out : OVLO)回路を内蔵しています。V_{CC}が V_{OVH}(31V(Typ))以上で一定時間(4ms(Typ))ショートブレーキ動作となります。また、OVLO 回路にはヒステリシスを設けており、V_{CC}が V_{OVL}(30V(Typ))以下になると、一定時間のショートブレーキ動作を経て通常動作に戻ります。
5. モータ拘束保護回路 (MLP 回路)
モータ拘束保護(Motor Lock Protection : MLP)回路を内蔵しており、LPE 端子にて MLP 回路の ON/OFF 及び検出時間を設定することが可能です。LPE="H"時、ホール信号の論理が 1.1sec(Typ) 以上変化しない場合、もしくは LPE="M"時 2.2sec(Typ)以上変化しない場合、上側ブリドライバ出力をすべて"L"に、下側ブリドライバ出力をすべて"L"状態にラッチします。
以下の方法にて、ラッチを解除することができます。
 - ・ BRKB の論理を切り換える
 - ・ CW の論理を切り換える
 - ・ PWMB="H" または OPEN の状態を約 15ms(Typ)検出したのち PWMB の立ち下がりエッジ
 - ・ DCIN=GND または 1V(typ)以下の状態を約 15ms(Typ)検出したのち DCIN の立ち上がりエッジ
 ただし、LPE="L"時、ショートブレーキ動作時(回転方向切り換え時含む)や TSD 回路動作時には MLP 回路は動作しません。なお、LPE 端子は 100k Ω (Typ) \pm 30k Ω の抵抗で VREG に pull-up されています。

LPE	Monitoring Time
H or OPEN	1.1sec(Typ) \pm 30%
M	2.2sec(Typ) \pm 30%
L	Disable

電氣的特性(特に指定のない限り、 $T_a=25^\circ\text{C}$ 、 $V_{CC}=24\text{V}$)

項目	記号	規格値			単位	条件
		最小	標準	最大		
[全体]						
回路電流	I_{CC}	-	2.5	5.0	mA	
VREG 電圧	V_{REG}	4.5	5.0	5.5	V	$I_{VREG}=-10\text{mA}$
[ブリドライバ出力]						
出力 H 電圧(上側)	V_{OHH}	$V_{CC}-0.6$	$V_{CC}-0.2$	V_{CC}	V	$I_o=-5\text{mA}$
出力 L 電圧(上側)	V_{OHL}	0	0.2	0.6	V	$I_o=5\text{mA}$
出力 H 電圧(下側) 1	V_{OLH1}	8.1	9.5	10.5	V	$I_o=-5\text{mA}$, 負荷容量なし
出力 H 電圧(下側) 2	V_{OLH2}	$V_{CC}-0.6$	$V_{CC}-0.2$	V_{CC}	V	$V_{CC}=5\text{V}$, $I_o=-5\text{mA}$
出力 L 電圧(下側)	V_{OLL}	0	0.2	0.6	V	$I_o=5\text{mA}$
[ホール入力]						
入力バイアス電流	I_{HALL}	-2.0	-0.1	+2.0	μA	$V_{HALL}=0\text{V}$
同相入力電圧範囲 1	$V_{HALLCM1}$	0	-	$V_{REG}-1.7$	V	
同相入力電圧範囲 2	$V_{HALLCM2}$	0	-	V_{REG}	V	入力片側バイアス時 (ホール IC 使用時)
最小入力電圧	$V_{HALLMIN}$	50	-	-	mV _{p-p}	
ヒステリシス幅	ΔV_{HALL}	15	24	40	mV	
HYS レベル+	$V_{HALLHY+}$	5	12	22	mV	
HYS レベル-	$V_{HALLHY-}$	-22	-12	-5	mV	
[制御入力 : BRKB]						
入力電流	I_{IN}	-80	-50	-30	μA	$V_{BRKB}=0\text{V}$
入力 H 電圧	V_{BRKBH}	2.0	-	V_{REG}	V	
入力 L 電圧	V_{BRKBL}	0	-	0.8	V	
最小入力パルス幅	$t_{PLSMIN1}$	1	-	-	msec	
[制御入力 : CW]						
入力電流	I_{CW}	-8	-5	-3	μA	$V_{CW}=0\text{V}$
入力 H 電圧	V_{CWH}	2.0	-	V_{REG}	V	
入力 L 電圧	V_{CWL}	0	-	0.8	V	
最小入力パルス幅	$t_{PLSMIN2}$	1	-	-	msec	
[制御入力 : HLSW]						
入力電流	I_{HLSW}	-40	-25	-15	μA	$V_{HLSW}=0\text{V}$
入力 H 電圧	V_{HLSWH}	2.0	-	V_{REG}	V	
入力 L 電圧	V_{HLSWL}	0	-	0.8	V	
[制御入力 : LPE]						
入力電流	I_{LPE}	-80	-50	-30	μA	$V_{LPE}=0\text{V}$
入力 H 電圧	V_{LPH}	$0.8 \times V_{REG}$	-	V_{REG}	V	
入力 M 電圧	V_{LPM}	$0.4 \times V_{REG}$	-	$0.6 \times V_{REG}$	V	
入力 L 電圧	V_{LPL}	0	-	$0.2 \times V_{REG}$	V	
[制御入力 : PWMOSC]						
外付け抵抗流入電流	I_{RHG}	-30	-20	-10	μA	$R=20\text{k}\Omega$
発振周波数	F_{pwm}	14	20	26	kHz	$R=20\text{k}\Omega$
[制御入力 : PWMB]						
入力電流	I_{PWMB}	-80	-50	-30	μA	$V_{PWMB}=0\text{V}$
入力 H 電圧	V_{PWMBH}	2.0	-	V_{REG}	V	
入力 L 電圧	V_{PWMBL}	0	-	0.8	V	

電气的特性 — 続き (特に指定のない限り、 $T_a=25^\circ\text{C}$ 、 $V_{CC}=24\text{V}$)

項目	記号	規格値			単位	条件
		最小	標準	最大		
[制御入力 : DCIN]						
入力バイアス電圧	V_{BIAS}	-1	0	1	μA	$V_{DCIN}=0\text{V}$
入力電圧 1	V_{DCIN1}	0.75	1	1.25	V	出力 Duty 0%
入力電圧 2	V_{DCIN2}	2.75	3	3.25	V	出力 Duty 100%
同相入力電圧範囲	V_{ICM}	0	-	$V_{REG}-1.7$	V	
[FGO]						
出力 L 電圧	V_{FGOL}	0	0.1	0.3	V	$I=2\text{mA}$
[電流制限:RCL]						
検出電圧	V_{CL}	0.18	0.20	0.22	V	
[UVLO]						
リリース電圧	V_{UVH}	3.95	4.15	4.35	V	
ロックアウト電圧	V_{UVL}	3.5	3.7	3.9	V	
[OVLO]						
リリース電圧	V_{OVL}	28.0	30.0	32.0	V	
ロックアウト電圧	V_{OVH}	29.0	31.0	33.0	V	

特性データ(参考データ)

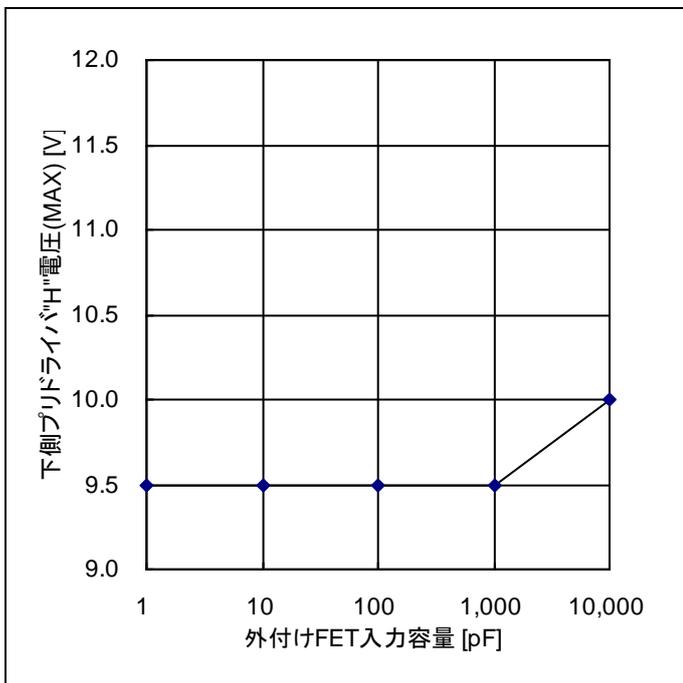


Figure 6. 下側プリドライバ"H"電圧(MAX) vs
外付け FET 入力容量
($V_{CC}=24\text{V}$, PWM:20kHz, 50%)

タイミングチャート

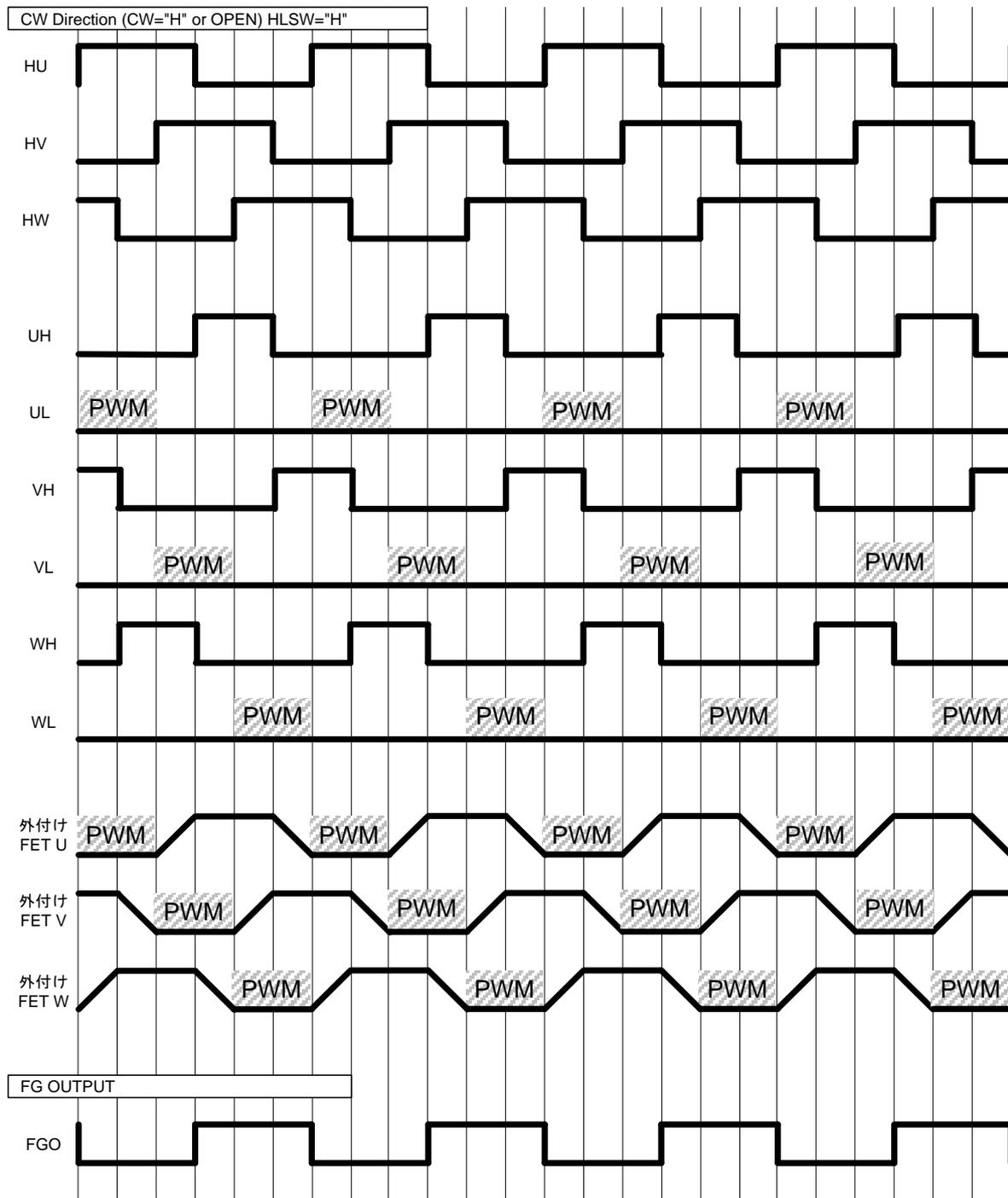


Figure 7. タイミングチャート 1

注意: HLSW="L"時はUH、VH、WHの論理H/Lが逆になります。

タイミングチャート — 続き

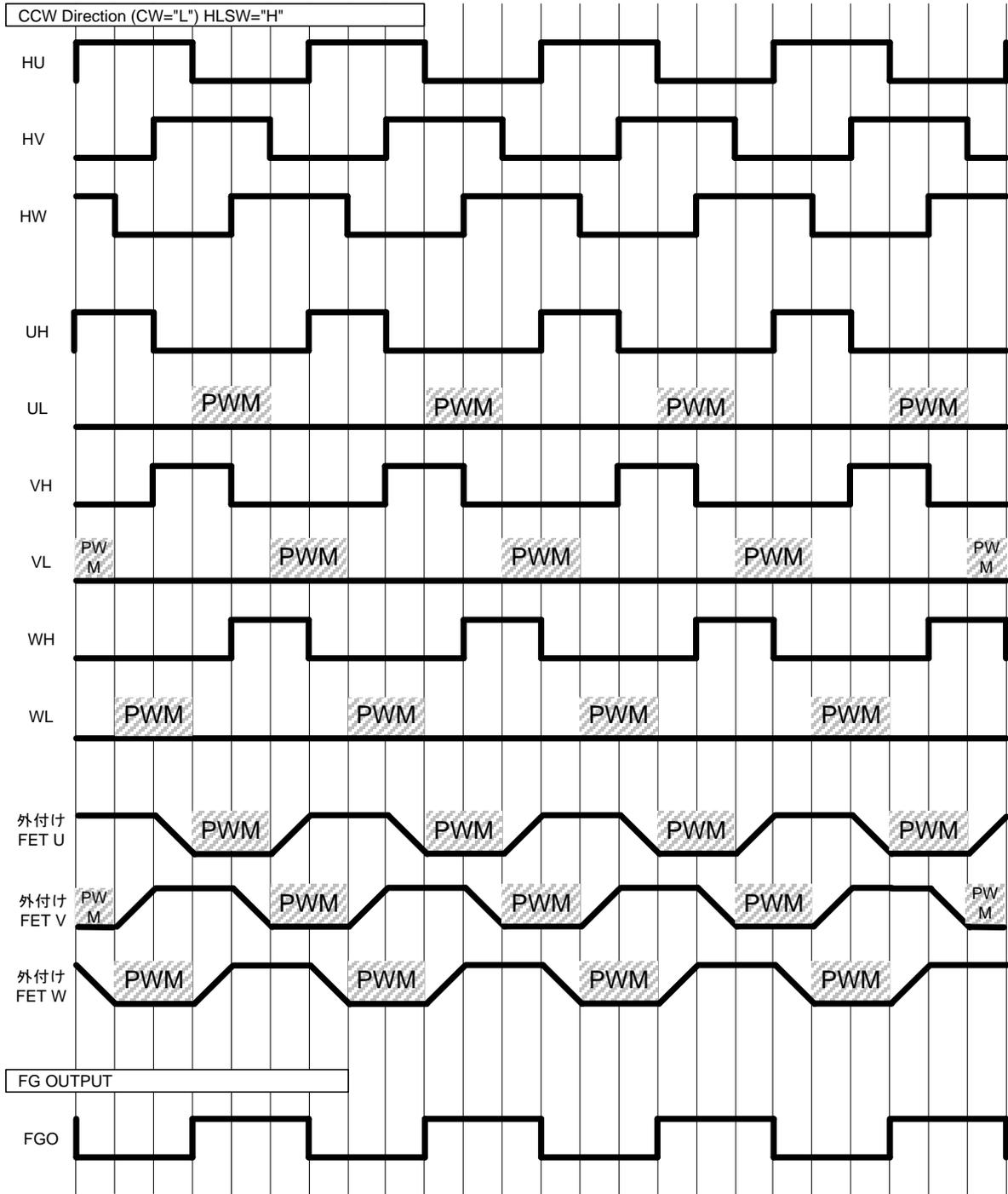


Figure 8. タイミングチャート 2

注意: HLSW="L"時はUH、VH、WHの論理H/Lが逆になります。

状態遷移図

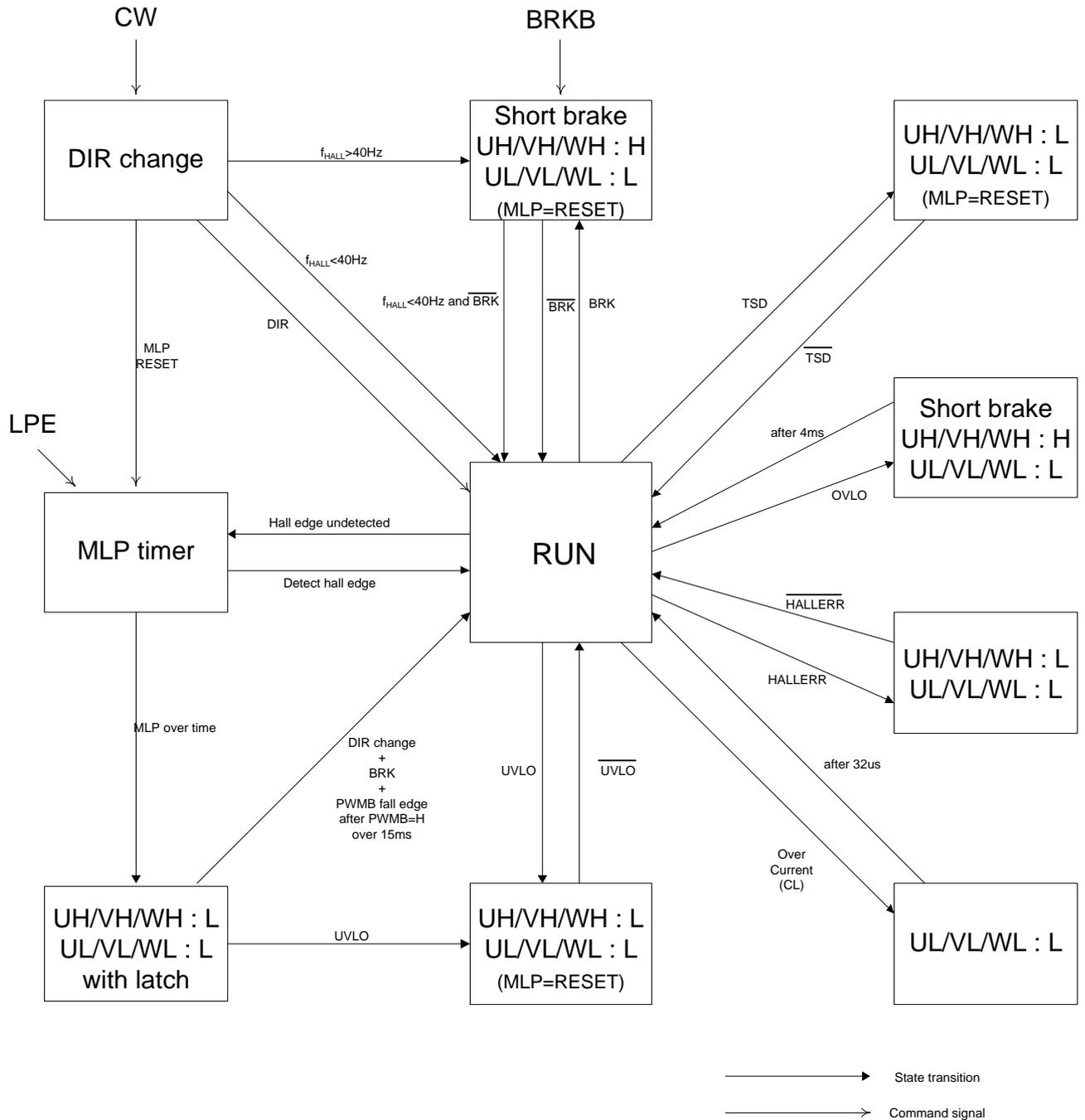


Figure 9. 状態遷移図

注意: HLSW="L"時はUH、VH、WHの論理H/Lが逆になります。

Legend:

- DIR: motor rotational direction
- MLP: motor lock protection
- State transition
- f_{HALL} : hall signal frequency
- HALLERR: HU=HV=HW
- &: logical "AND"
- +: logical "OR"

Note) all values are Typical

入出力等価回路図

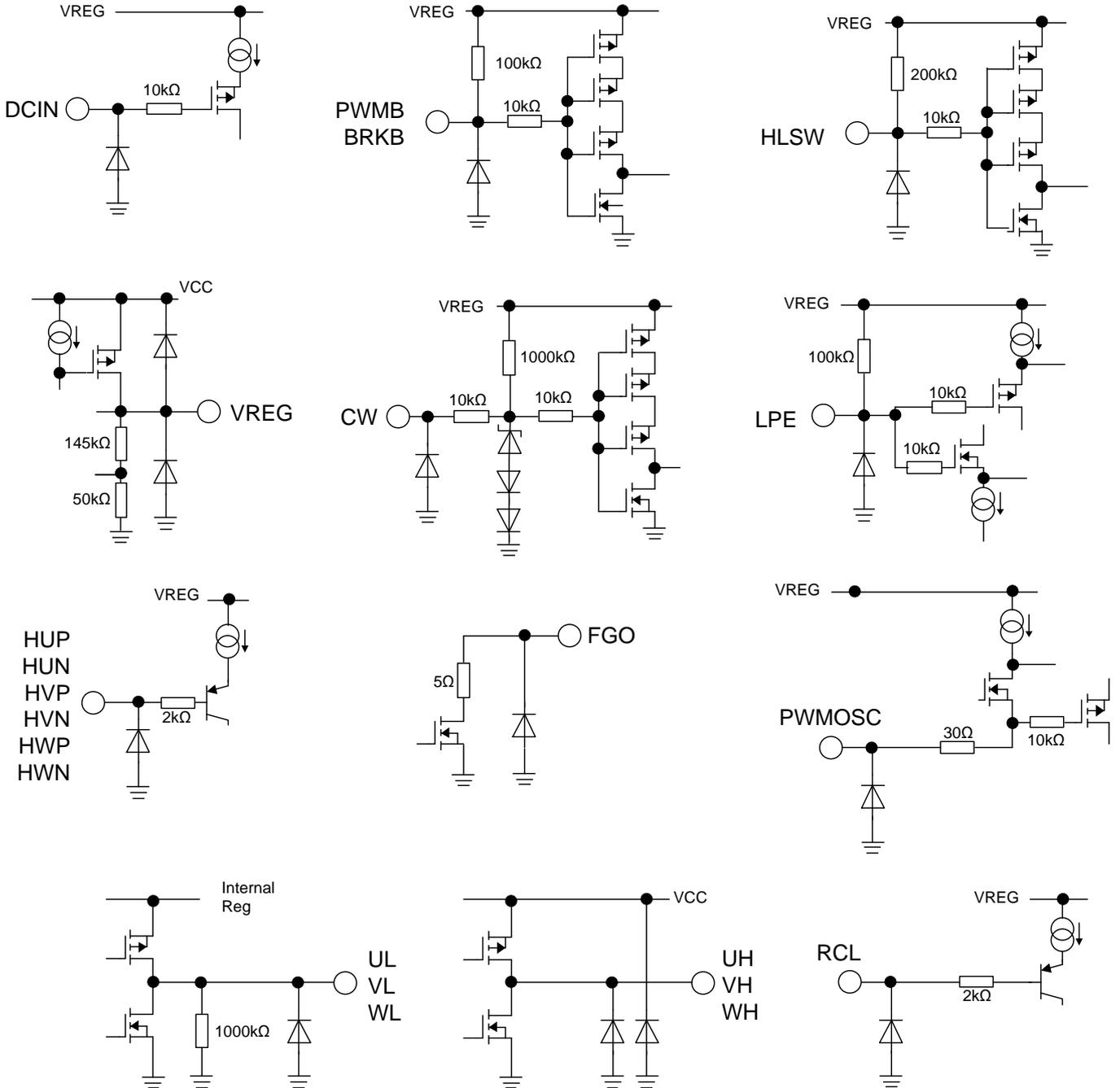


Figure 10. 入出力等価回路図

アプリケーション使用上の注意

1. VREG 端子から電流を引く際の注意事項
VREG 端子から HALL 等に電流供給を行う場合、熱にご注意ください。
HALL への電流値が多く、熱上昇が厳しい場合は、以下のような回路を使用することをご検討ください。

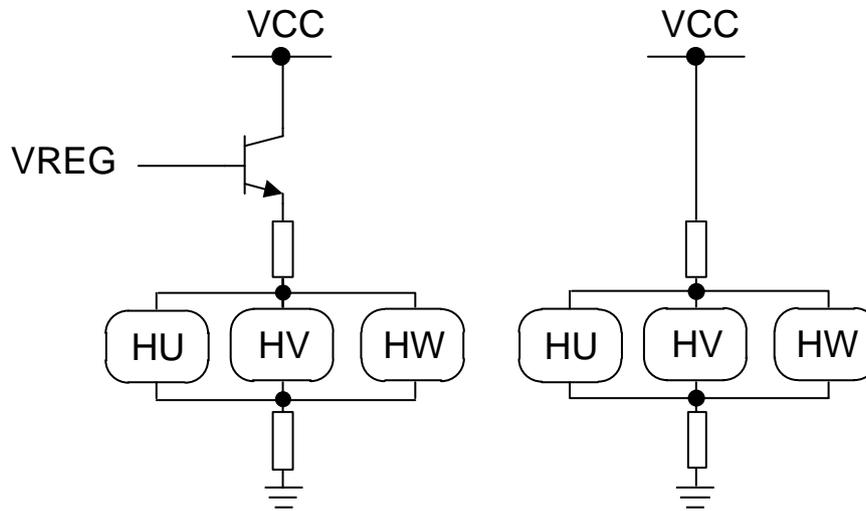


Figure 11. HALL 電源回路図例

使用上の注意**1. 電源の逆接続について**

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れるなどの対策を施してください。

2. 電源ラインについて

基板パターン設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。グラウンドラインについても、同様のパターン設計を考慮してください。また、LSI のすべての電源端子について電源-グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量低下が起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

3. グラウンド電位について

グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。

4. グラウンド配線パターンについて

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

5. 熱設計について

万一、最高接合部温度を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。本仕様書の絶対最大定格に記載しています最高接合部温度を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用するなどの対策をして、最高接合部温度を超えないようにしてください。

6. 推奨動作条件について

この範囲であればほぼ期待通りの特性を得ることができる範囲です。電気特性については各項目の条件下において保証されるものです。

7. ラッシュカレントについて

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

8. 強電磁界中の動作について

強電磁界中でのご使用では、まれに誤動作する可能性がありますのでご注意ください。

9. セット基板での検査について

セット基板での検査時に、インピーダンスの低いピンにコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

10. 端子間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けられた場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

11. 未使用の入力端子の処理について

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

使用上の注意 — 続き

12. 各入力端子について

本 IC はモノリシック IC であり、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、GND > (端子 A) の時、トランジスタ (NPN) では GND > (端子 B) の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ (NPN) では、GND > (端子 B) の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に GND (P 基板) より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子が GND にショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

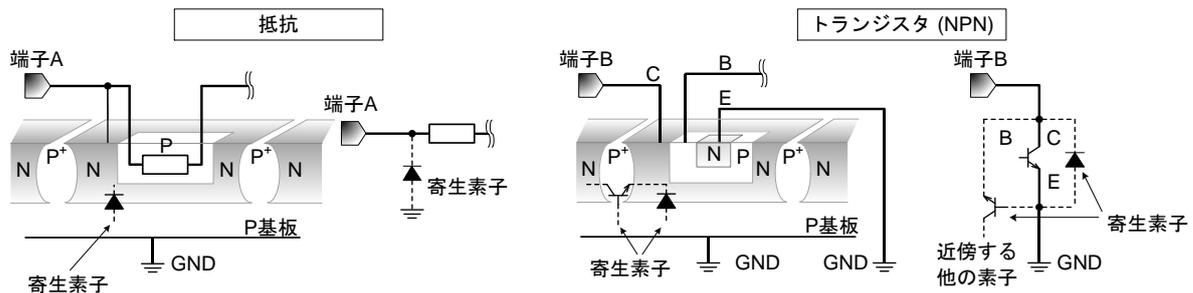


Figure 12. モノリシック IC 構造例

13. セラミック・コンデンサの特性変動について

外付けコンデンサに、セラミック・コンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮のうえ定数を決定してください。

14. 安全動作領域について

本製品を使用する際には、出力トランジスタが絶対最大定格及び ASO を超えないよう設定してください。

15. 温度保護回路について

IC を熱破壊から防ぐための温度保護回路を内蔵しております。最高接合部温度内でご使用いただきますが、万が一最高接合部温度を超えた状態が継続すると、温度保護回路が動作し出力パワー素子が OFF します。その後チップ温度 T_j が低下すると回路は自動で復帰します。なお、温度保護回路は絶対最大定格を超えた状態での動作となりますので、温度保護回路を使用したセット設計などは、絶対に避けてください。

16. 過電流保護回路について

出力には電流能力に応じた過電流保護回路が内部に内蔵されているため、負荷ショート時には IC 破壊を防止しますが、この保護回路は突発的な事故による破壊防止に有効なもので、連続的な保護回路動作、過渡時でのご使用に対応するものではありません。

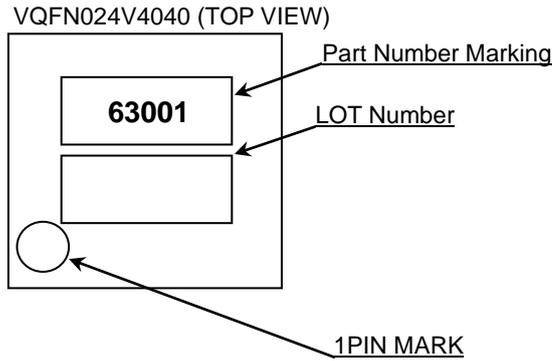
17. 外乱光の影響について

WL-CSP のようにシリコン面の一部が露出しているデバイスは、外乱光が当たると光電効果により特性に影響を与える恐れがあります。フィルタの設置や遮光など外乱光の影響を受けない設計をしてください。

発注形名情報



標印図

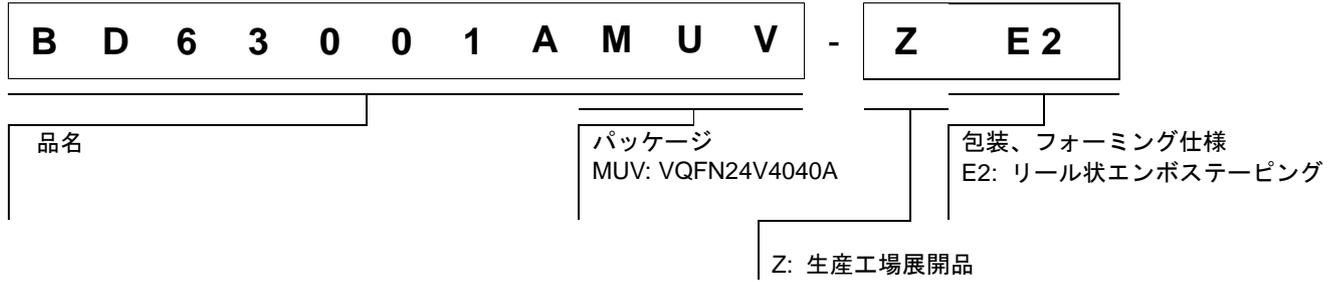


標印	パッケージ	発注可能形名
63001	VQFN024V4040	BD63001AMUV-E2

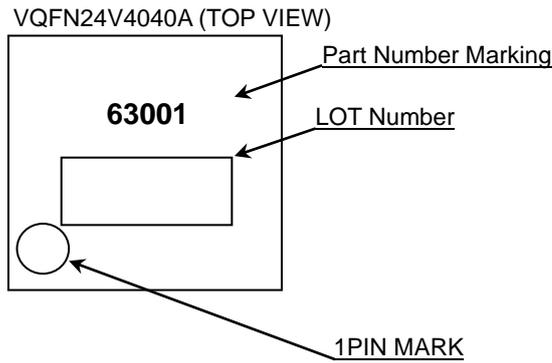
改訂履歴

日付	版	変更内容
2016.3.23	001	新規作成
2016.5.30	002	英語版修正に伴い、rev を変更
2020.12.25	003	パッケージ(VQFN24V4040A)生産工場展開品の追加 (限定)

発注形名情報



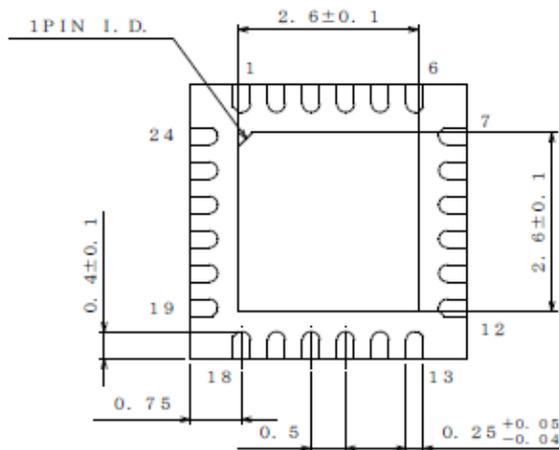
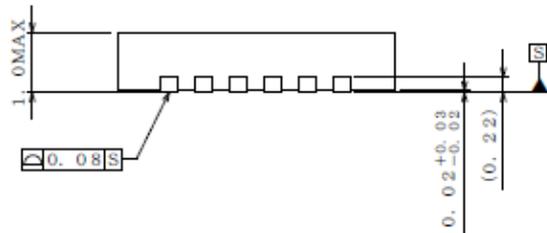
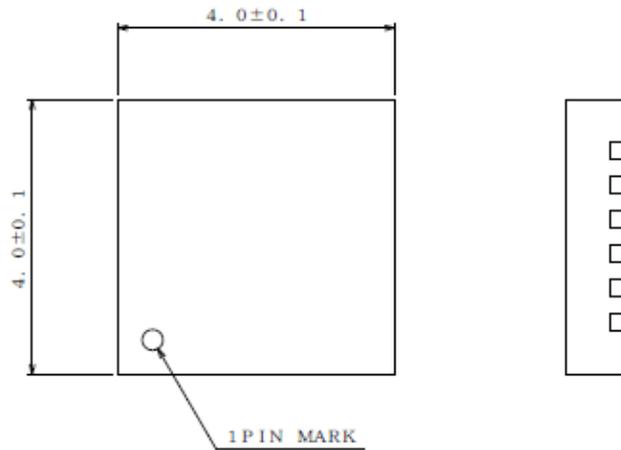
標印図



標印	パッケージ	発注可能形名
63001	VQFN24V4040A	BD63001AMUV-ZE2

外形寸法図と包装・フォーミング仕様

Package Name	VQFN24V4040A
--------------	--------------

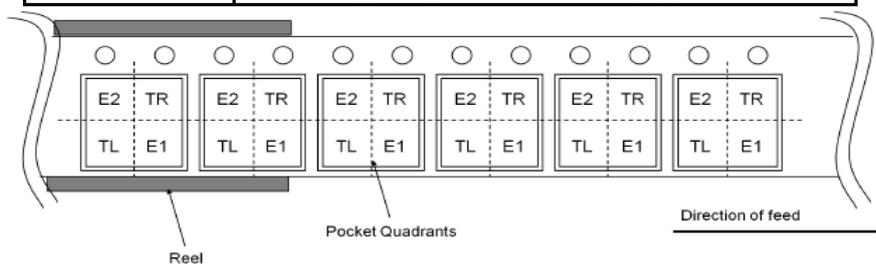


(UNIT : mm)

PKG : VQFN24V4040A
Drawing No. EX001-0098

<包装形態、包装数量、包装方向>

包装形態	エンボステーピング
包装数量	2500pcs
包装方向	E2 (リールを左手に持ち、右手でテープを引き出したときに、製品の1番ピンが左上にくる方向。)



ご注意

ローム製品取扱い上の注意事項

1. 本製品は一般的な電子機器（AV 機器、OA 機器、通信機器、家電製品、アミューズメント機器等）への使用を意図して設計・製造されております。したがって、極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器^(Note 1)、輸送機器、交通機器、航空宇宙機器、原子力制御装置、燃料制御、カーアクセサリを含む車載機器、各種安全装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

2. 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、かかる誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
3. 本製品は、一般的な電子機器に標準的な用途で使用されることを意図して設計・製造されており、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合。
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用。
 - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用される場合は除く。ただし、残渣については十分に確認をお願いします。)又は、はんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合
 - ⑧本製品が結露するような場所でのご使用。
4. 本製品は耐放射線設計はなされておられません。
5. 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
6. パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
7. 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
8. 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
9. 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

1. ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
2. はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。(人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等)

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
 - ①潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ②推奨温度、湿度以外での保管
 - ③直射日光や結露する場所での保管
 - ④強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き(梱包箱に表示されている天面方向)で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルに2次元バーコードが印字されていますが、2次元バーコードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は外国為替及び外国貿易法に定める規制貨物等に該当するおそれがありますので輸出する場合には、ロームにお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等(ソフトウェア含む)との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。