

3相 DC ブラシレスモータ用 レベルシフタ

BD67891MUV

概要

BD67891MUV は、3相 DC ブラシレスモータを駆動する際に ASIC から出力される制御ロジック信号を外付け FET のゲート駆動信号に変換するレベルシフタ、及びモータ側から出力されるホール信号や FG 信号を ASIC への入力信号に変換するレベルシフタです。

外付け CR で OFF 時間を設定できるカレントリミット機能や、保護機能として温度保護回路・低電圧時誤動作防止回路を内蔵しているため、高信頼性のドライブ回路を作成できます。

また、パワーセーブ機能を内蔵しているため、待機時の回路電流を低減する事ができ、セットの低消費電力化に役立ちます。

特長

- 2.5 V ~ 5.0 V 仕様の ASIC に対応
- 20 V ~ 40 V のモータ電源仕様に対応
- パワーセーブ機能(待機時回路電流 $I_{MM} = 200 \mu A$ (Max))
- カレントリミット機能(外付け CR にて OFF 時間設定可能)
- 外付け Pch / Nch FET をダイレクトに駆動可能
- ロジック入力プルダウン抵抗内蔵
- 温度保護回路(TSD)
- 低電圧時誤動作防止回路(UVLO)
- 超小型・超薄型・高放熱(裏面放熱) パッケージ

用途

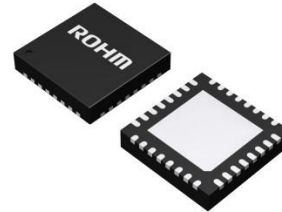
- 3相モータ用プリドライバ
- レベルシフタ

パッケージ

VQFN032V5050

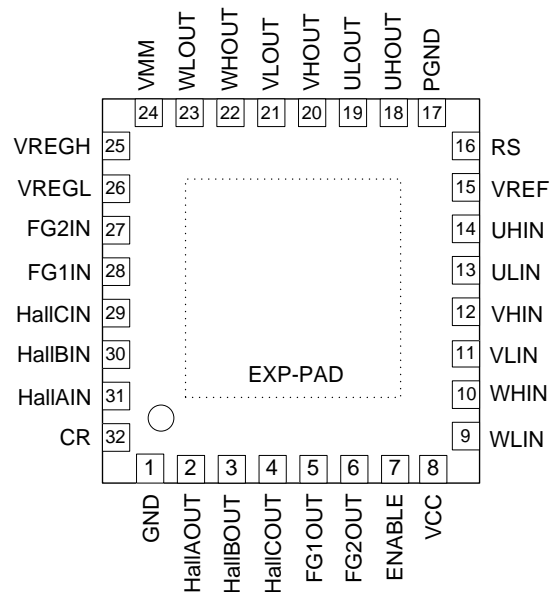
W (Typ) x D (Typ) x H (Max)

5.0 mm x 5.0 mm x 1.0 mm



端子配置図

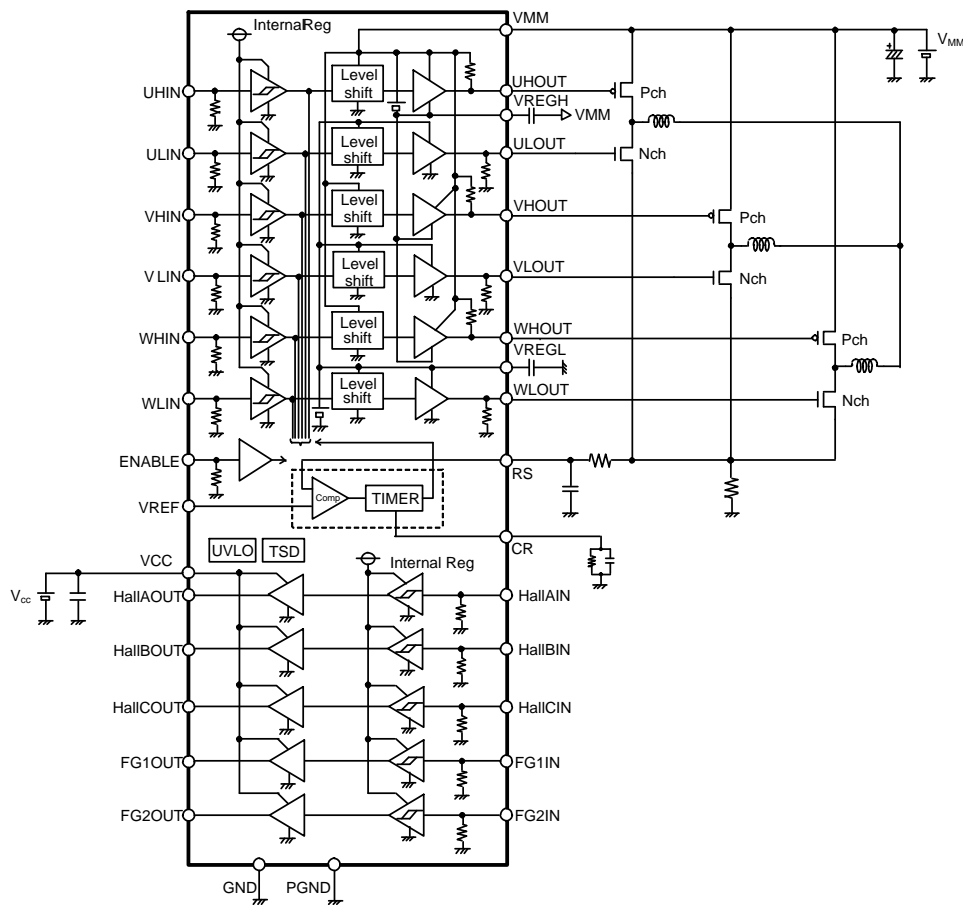
(TOP VIEW)



端子説明

端子番号	端子名	機能	端子番号	端子名	機能
1	GND	グラウンド端子	17	PGND	グラウンド端子
2	HallAOUT	ホール信号出力端子	18	UHOUT	外付け FET ゲート駆動端子
3	HallBOUT	ホール信号出力端子	19	ULOUT	外付け FET ゲート駆動端子
4	HallCOUT	ホール信号出力端子	20	VHOUT	外付け FET ゲート駆動端子
5	FG1OUT	FG 信号出力端子	21	VLOUT	外付け FET ゲート駆動端子
6	FG2OUT	FG 信号出力端子	22	WHOUT	外付け FET ゲート駆動端子
7	ENABLE	パワーセーブ端子	23	WLOUT	外付け FET ゲート駆動端子
8	VCC	電源端子	24	VMM	電源端子
9	WLIN	ロジック入力端子	25	VREGH	外付け FET ゲート駆動用基準電圧端子
10	WHIN	ロジック入力端子	26	VREGL	外付け FET ゲート駆動用基準電圧端子
11	VLIN	ロジック入力端子	27	FG2IN	FG 信号入力端子
12	VHIN	ロジック入力端子	28	FG1IN	FG 信号入力端子
13	ULIN	ロジック入力端子	29	HallCIN	Hall 信号入力端子
14	UHIN	ロジック入力端子	30	HallBIN	Hall 信号入力端子
15	VREF	電流制限値設定端子	31	HallAIN	Hall 信号入力端子
16	RS	電流制限コンパレータ入力端子	32	CR	電流制限 OFF 時間設定端子
-	EXP-PAD	EXP-PAD は、 GND に接続してください	-	-	-

ブロック図・応用回路図



絶対最大定格 (Ta = 25 °C)

項目	記号	定格	単位
電源電圧	V _{MM}	45	V
電源電圧	V _{CC}	7	V
制御入力電圧	V _{IN}	-0.2 ~ +7.0	V
許容損失	P _d	880 ^(Note 1)	mW
出力電流	I _{OUT(DC)}	50 ^(Note 2)	mA
保存温度範囲	T _{stg}	-55 ~ +150	°C
最高接合部温度	T _{jmax}	150	°C

注意 1: 印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施していただくようお願いいたします。

注意 2: 最高接合部温度を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。最高接合部温度を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用するなど、最高接合部温度を超えないよう許容損失にご配慮ください。

(Note 1) 74.2 mm × 74.2 mm × 1.6 mm ガラスエポキシ基板実装 (1-layer board: Copper foil on the front 20.2 mm²)。

Ta = 25 °C 以上で使用する場合は、1 °C につき 7.04 mW を減じる。

(Note 2) Pd 及び Tj = 150 °C を越えないこと。

推奨動作条件

項目	記号	最小	標準	最大	単位
電源電圧	V _{MM}	20	24	40	V
電源電圧	V _{CC}	2.3	3.3	5.5	V
動作温度	T _{opr}	-25	+25	+85	°C

電氣的特性 (特に指定のない限り $V_{MM} = 24\text{ V}$, $T_a = 25\text{ }^\circ\text{C}$, $V_{CC} = 3.3\text{ V}$)

項目	記号	規格値			単位	条件
		最小	標準	最大		
全体						
回路電流 1	I_{MM1}	-	2.5	4.0	mA	ENABLE = L
回路電流 2	I_{MM2}	-	90	200	μA	ENABLE = H
回路電流 3	I_{CC}	-	65	200	μA	
駆動部						
〈入力〉 (UHIN, ULIN, VHIN, VLIN, WHIN, WLIN)						
H レベル流入電流	I_{INH}	40	55	80	μA	$xHIN = 5.5\text{ V}$, $xLIN = 5.5\text{ V}$
H レベル入力電圧	V_{INH}	2.0	-	V_{CC}	V	
L レベル入力電圧	V_{INL}	0	-	0.8	V	
〈上側 FET ドライバ〉 (UHOUT, VHOUT, WHOUT, VREGH)						
VREGH 電圧	V_{REGH}	$V_{MM} - 8.95$	$V_{MM} - 8.15$	$V_{MM} - 7.35$	V	
H レベル出力電圧	$V_{OH}HOUT$	$V_{MM} - 0.50$	$V_{MM} - 0.25$	$V_{MM} - 0.10$	V	$I_o = -10\text{ mA}$
L レベル出力電圧	$V_{OL}HOUT$	$V_{MM} - 8.75$	$V_{MM} - 7.80$	$V_{MM} - 6.75$	V	$I_o = 10\text{ mA}$
〈下側 FET ドライバ〉 (ULOUT, VLOUT, WLOUT, VREGL)						
VREGL 電圧	V_{REGL}	7.35	8.15	8.95	V	
H レベル出力電圧	$V_{OH}LOUT$	6.75	7.80	8.75	V	$I_o = -10\text{ mA}$
L レベル出力電圧	$V_{OL}LOUT$	0.10	0.25	0.50	V	$I_o = 10\text{ mA}$
電流制限部						
RS 流入電流	I_{RS}	-2.0	-0.1	-	μA	$RS = 0\text{ V}$, $V_{REF} = 1.0\text{ V}$
VREF 流入電流	I_{VREF}	-2.0	-0.1	-	μA	$RS = 1.0\text{ V}$, $V_{REF} = 0\text{ V}$
VREF 入力電圧	V_{REF}	0	-	1.0	V	
コンパレータ入力オフセット電圧	V_{OFS}	-8	-	8	mV	$T_a = -25\text{ }^\circ\text{C} \sim +85\text{ }^\circ\text{C}$
Hall/FG 信号部 (HallAIN, HallBIN, HallCIN, FG1IN, FG2IN, HallAOUT, HallBOUT, HallCOUT, FG1OUT, FG2OUT)						
H レベル流入電流	I_{INH}	40	55	80	μA	$HallxIN = 5.5\text{ V}$, $FGxIN = 5.5\text{ V}$
H レベル入力電圧	V_{INH}	2.0	-	5.5	V	
L レベル入力電圧	V_{INL}	0	-	0.8	V	
H レベル出力電圧	V_{OH}	$V_{CC} - 0.08$	$V_{CC} - 0.04$	-	V	$I_o = -1\text{ mA}$
L レベル出力電圧	V_{OL}	-	0.04	0.08	V	$I_o = 1\text{ mA}$
ENABLE 信号部						
H レベル流入電流	I_{ENH}	70	100	140	μA	ENABLE = 5.5 V
H レベル入力電圧	V_{ENH}	2.0	-	V_{CC}	V	
L レベル入力電圧	V_{ENL}	0	-	0.8	V	

機能説明

1 ENABLE 端子

パワーセーブ端子です。

ENABLE 端子に H 電圧を印加する事でパワーセーブモードとなり、回路電流 I_{MM} を 200 μ A 以下に抑えます。内部にはプルダウン抵抗が内蔵されています。パワーセーブ時、ドライブ段はすべて OFF しますが、出力端子内部にプルダウン及びプルアップ抵抗が内蔵されているため、外付け FET が ON することはありません。ENABLE = H \Rightarrow L 時、スタンバイ状態から通常状態へ復帰し、ドライブ段が ACTIVE になるまで 40 μ s (Max) の遅延がありますのでご注意ください。

ENABLE	State
L	ACTIVE
H	STAND-BY

2 UHIN, ULIN, VHIN, VLIN, WHIN, WLIN 端子

ドライブ段の論理を制御するための入力信号端子です。

ENABLE	xHIN	xLIN	xHOUT	xLOUT
L	L	L	V_{MM}	0 V
L	L	H	V_{MM}	8.15 V (Typ)
L	H	L	$V_{MM} - 8.15$ V (Typ)	0 V
L	H	H	V_{MM}	0 V
H	Don't care	Don't care	V_{MM} (OPEN)	0 V (OPEN)

内部には 100 k Ω のプルダウン抵抗が内蔵されています。また、200 mV (Typ) のヒステリシスを設けています。外付け FET の同時 ON 防止対策として、(xHIN, xLIN) = (H, H) 時は外付け FET すべてを OFF する機能となっています。ただし、モータ制御時における同時 ON 防止のためのデッドタイムは、ASIC からの信号により制御してください。

3 VREGH 端子

外付け上側 Pch FET のゲートをドライブするための基準電圧が発生する端子です。
デカップリング用に 0.1 μ F ~ 0.22 μ F のコンデンサを対 V_{MM} 間に必ず挿入してください。

4 VREGL 端子

外付け下側 Nch FET のゲートをドライブするための基準電圧が発生する端子です。
デカップリング用に 0.1 μ F ~ 0.22 μ F のコンデンサを対 GND 間に必ず挿入してください。

5 UHOUT, VHOUT, WHOUT 端子

外付け上側 Pch FET のゲートをドライブする端子です。
出力端子 - V_{MM} 間に 200 k Ω のプルアップ抵抗が内蔵されています。

6 ULOUT, VLOUT, WLOUT 端子

外付け下側 Nch FET のゲートをドライブする端子です。
出力端子 - GND 間に 200 k Ω のプルダウン抵抗が内蔵されています。

7 HallAIN, HallBIN, HallCIN, FG1IN, FG2IN 端子

ホール信号、及び FG 信号を入力する端子です。
内部には 100 k Ω のプルダウン抵抗が内蔵されています。また、200 mV (Typ) のヒステリシスを設けています。

8 HallAOUT, HallBOUT, HallCOUT, FG1OUT, FG2OUT 端子

HallAIN, HallBIN, HallCIN, FG1IN, FG2IN 端子に入力された信号をレベルシフトして出力する端子です。
出力信号の H レベルは V_{CC} となっています。VCC 端子に次段 ASIC の電源を接続する (VCC 端子電圧と ASIC 電源電圧を同じにする) 事により、ASIC の I/F 仕様に合った信号を IC から出力させる事ができます。

機能説明 — 続き

9 VREF 端子

カレントリミットが動作する電流値を設定する端子です。
VREF 端子電圧と電流検出用抵抗(RNF)によって電流リミット値を設定することができます。
電流リミット値 I_{LIMIT} は以下の式で表されます。

$$I_{LIMIT} = \{(V_{REF} + V_{OFS})\} \times \frac{1}{RNF} \quad [A]$$

I_{LIMIT} : 出力電流
 V_{REF} : 出力電流値設定端子電圧
 V_{OFS} : コンパレータ入力オフセット電圧
 RNF : 電流検出用抵抗

VREF 端子電圧は、VREF 入力電圧範囲(0 V ~ 1.0 V)内で設定してください。
VREF 端子がオープンの場合、入力が不定となって VREF 端子電圧が上昇し、設定電流が増加して大電流が流れるなど、誤動作の可能性がありますので、VREF 端子がオープンでの使用は避けてください。また、抵抗分割で入力される場合、流出電流(2 μ A (Max))を考慮して抵抗値を選択してください。

10 RS 端子

モータに流れる電流を電流検出用抵抗で電圧に変換し、その信号を入力する端子です。電流検出用抵抗を対 GND に接続してください。

その際、 $W = I_{out}^2 \cdot R$ [W] が抵抗の定格消費電力を超えないように抵抗値を決定ください。VREF 端子電圧と RS 端子電圧の比較によってカレントリミット動作が行われますが、RS 端子への信号は PWM スwitchingの影響でノイズがのっている場合がありますので、ローパスフィルタを通したうえで RS 端子に入力してください。
また、外付け Nch FET のソース端子→電流検出用抵抗→GND へのパターンはモータの駆動電流が流れるため、低インピーダンス配線にし、他の GND パターンと共通インピーダンスを持たないようにしてください。

11 CR 端子

カレントリミット動作での OFF 時間を設定する端子です。

外付け C(330 pF ~ 1500 pF), R(15 k Ω ~ 200 k Ω)を対 GND に接続してください。

OFF 時間は t_{OFF} [s] = $C \cdot R \cdot 0.916$ で決定されます。外付け CR から GND への配線は他の GND パターンと共通インピーダンスを持たないようにしてください。また、矩形波などの急峻なパルスの配線に近づけないようにし、ノイズの飛び込みなどの少ない配線になるようにパターン設計をしてください。

12 IC 裏面メタル

VQFN032V5050 パッケージは IC 裏面に放熱用メタルを設けております。このメタルに放熱処理を施して使用することが前提となっておりますので、必ず基板上的 GND プレーンとはんだにて接続し、できるだけ GND パターンを広くとり放熱面積を十分確保しご使用ください。また、裏面メタルは IC チップの裏面とショートしており、GND 電位となっています。GND 以外の電位とショートされると誤動作や破壊の可能性がありますので、IC 裏面に GND 以外の配線パターンは絶対に通さないでください。

カレントリミット動作について

1 カレントリミット動作

外付け FET の ON/OFF によりモータが回転し、モータ駆動電流が流れます。この電流は電流検出用抵抗により電圧変換され、ローパスフィルタにより PWM ノイズがフィルタリングされて RS 端子に入力されます。モータ駆動電流が増加し、RS 端子電圧が VREF 端子電圧に達すると、電流検出コンパレータが動作し、外付け FET が OFF するようにドライブ段を制御します。その後、CR タイマによる OFF 時間(t_{OFF})を経て出力を再び ON します。

2 最小 ON 時間

カレントリミットが動作して出力段が一旦 OFF し、次に ON する時の最小 ON 時間が外付け CR にて設定されます。

3 電流リミット値の設定例

電流検出用抵抗 RNF の値を 0.05Ω として、出力電流 5 A でカレントリミットが動作する場合を考えます。オフセットを 0 mV とすると、 $I_{LIMIT} = 5 \text{ A}$ 設定時の VREF 端子電圧は、

$$5 [\text{A}] = V_{REF} / 0.05 [\Omega] \rightarrow V_{REF} = 0.25 [\text{V}]$$

となります。

抵抗分割にて、VREF 端子電圧を 0.25 V に設定します。

VREF 端子の流出電流は電気的特性から最大 $2 \mu\text{A}$ になります。抵抗分割のバイアス電流としては、この $2 \mu\text{A}$ の電流で抵抗分割の基準電位が変動しない十分な電流値に設定する必要があります。

例として、 $2 \mu\text{A}$ の 100 倍の電流($200 \mu\text{A}$)が流れる場合を考えます。抵抗分割に印加する電圧を 5 V とすると、

$$5 [\text{V}] / 200 [\mu\text{A}] = 25 [\text{k}\Omega]$$

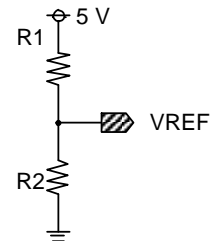
が R_1 と R_2 の抵抗値の和となります。 $(R_1 + R_2 = 25 [\text{k}\Omega])$

よって、VREF 端子電圧を 0.25 V にするには、

$$5 [\text{V}] \times \frac{R_2}{R_1 + R_2} = 0.25 [\text{V}]$$

$$\therefore R_2 = 1.25 [\text{k}\Omega]$$

従って、 $R_1 = 23.75 [\text{k}\Omega]$ 、 $R_2 = 1.25 [\text{k}\Omega]$ に設定すればよいことになります。



4 CR タイマについて

外付けの C と R によって CR 端子は VCRH 電圧と VCRL 電圧の間で充放電を繰り返します。

VCRL で充電が開始されてから VCRH になるまでの区間では、電流検出コンパレータの検出を無効にします。この充電区間が最小 ON 時間 t_{ONMIN} となります。

VCRH に到達後、放電開始となり、この放電区間で出力電流が設定電流値に達すると出力を OFF します。

その後、放電されて VCRL に達すると出力を ON し、それと同時に充電開始となります。最小 ON 時間 t_{ONMIN} 及び CR 放電時間 $t_{DISCHARGE}$ は、外付けの C、R により以下の式(Typ)で決定されます。

$$t_{ONMIN} \cong C \times \frac{R' \times R}{R' + R} \times \ln \left(\frac{V_{CR} - 1.0}{V_{CR} - 2.5} \right) [\text{s}]$$

t_{ONMIN}	: 最小 ON 時間
C	: 外付けキャパシタ
R	: 外付け抵抗
R'	: CR 端子内部インピーダンスで $5 \text{ k}\Omega$ (Typ)
V_{CR}	: CR 端子電圧

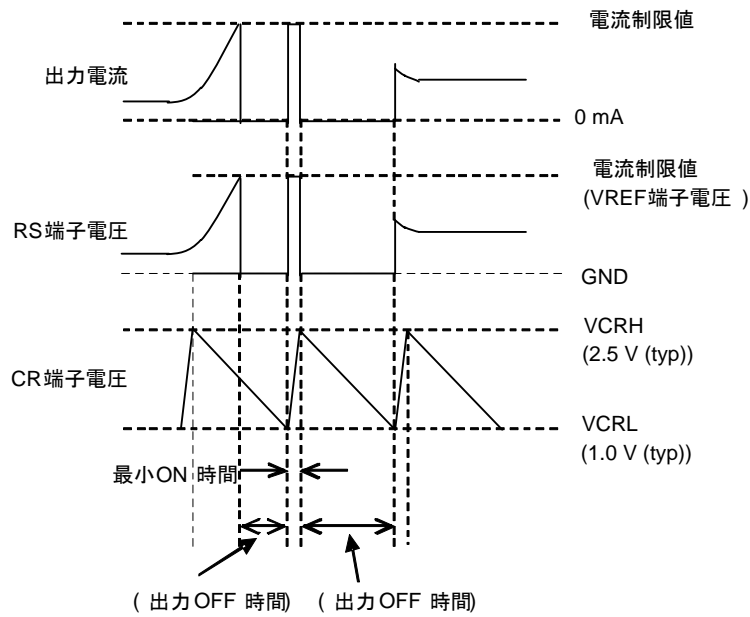
$$V_{CR} = V \times \frac{R}{R' + R} [\text{V}]$$

V : 内部レギュレータ電圧 5 V (Typ)

$$t_{DISCHARGE} \cong C \times R \times 0.916 [\text{s}]$$

$t_{DISCHARGE}$: CR 放電時間

4 CR タイマについて — 続き



入出力遅延時間について

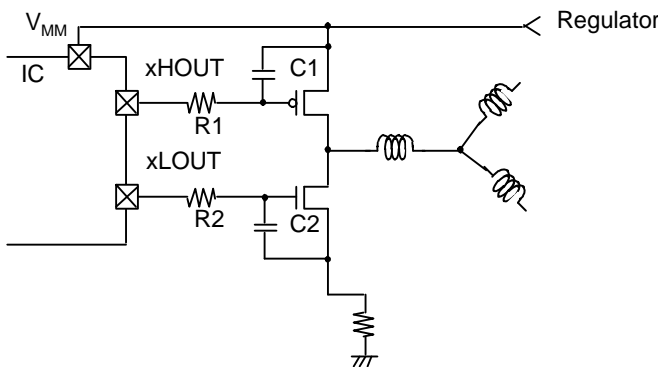
項目	記号	規格値			単位	条件
		最小	標準	最大		
駆動部						
〈上側 FET ドライバ〉 (UHOUT, VHOUT, WHOUT)						
伝播遅延時間 1	t_{1H}	-	50	100	ns	
伝播遅延時間 2	t_{2H}	-	60	100	ns	
〈下側 FET ドライバ〉 (ULOUT, VLOUT, WLOUT)						
伝播遅延時間 1	t_{1L}	-	40	100	ns	
伝播遅延時間 2	t_{2L}	-	50	100	ns	
Hall/FG 信号部 (HallAIN, HallBIN, HallCIN, FG1IN, FG2IN, HallAOUT, HallBOUT, HallCOUT, FG1OUT, FG2OUT)						
伝播遅延時間 1	t_1	-	20	100	ns	
伝播遅延時間 2	t_2	-	50	100	ns	

駆動部に関しては、遅延時間を考慮のうえ、外付け FET が同時 ON し、破壊する事のないように制御信号を入力してください。

Rise time, Fall time について

項目	記号	規格値			単位	条件
		最小	標準	最大		
駆動部						
〈上側 FET ドライバ〉 (UHOUT, VHOUT, WHOUT)						
出力遷移時間 1	tr_H	-	60	200	ns	 load = 1000 pF/3.8 MΩ
出力遷移時間 2	tf_H	-	80	200	ns	
〈下側 FET ドライバ〉 (ULOUT, VLOUT, WLOUT)						
出力遷移時間 1	tr_L	-	70	200	ns	 load = 1000 pF/3.8 MΩ
出力遷移時間 2	tf_L	-	70	200	ns	

それぞれの時間を長く設定したい場合は、下図のように外付けで CR を接続して時間を調整してください。



各種保護回路について

1 温度保護回路(TSD)

本 IC には、過熱保護対策としてサーマルシャットダウン回路を内蔵しています。IC のチップ温度が 175 °C (Typ) 以上になった場合、外付け FET が OFF するようにドライブ段を制御します。また、150 °C (Typ) 以下になると通常動作に自動的に復帰します。ただし、TSD が動作している状態でも外部から熱が加え続けられると熱暴走し、破壊に至ります。

2 低電圧時誤動作防止回路(UVLO)

本 IC には、電源低電圧時の IC 出力などの誤動作を防止するために低電圧時誤動作防止回路を内蔵しています。VMM 端子への印加電圧が 15 V (Typ) 以下になった場合、外付け FET が OFF するようにドライブ段を制御します。この切り換わり電圧はノイズなどの誤動作を防止するため、1 V (Typ) のヒステリシスを設けています。なお、スタンバイ時はこの回路は動作しませんのでご注意ください。

入出力等価回路図

No.	Pin Name	Equivalence Circuit	No.	Pin Name	Equivalence Circuit
31	HallAIN		2	HallAOUT	
30	HallBIN				
29	HallCIN				
28	FG1IN				
27	FG2IN				
18	UHOUT			15	
20	VHOUT				
22	WHOUT				
25	VREGH				
19	ULOUT		7	ENABLE	
21	VLOUT				
23	WLOUT				
26	VREGL				
14	UHIN		32	CR	
13	ULIN				
12	VHIN				
11	VLIN				
10	WHIN				
9	WLIN				

使用上の注意

- 1 電源の逆接続について**

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れるなどの対策を施してください。
- 2 電源ラインについて**

基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。グラウンドラインについても、同様のパターン設計を考慮してください。また、LSI のすべての電源端子について電源-グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量低下が起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。
- 3 グラウンド電位について**

グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。
- 4 グラウンド配線パターンについて**

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。
- 5 推奨動作条件について**

推奨動作条件で規定される範囲で IC の機能・動作を保証します。また、特性値は電気的特性で規定される各項目の条件下においてのみ保証されます。
- 6 ラッシュカレントについて**

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。
- 7 セット基板での検査について**

セット基板での検査時に、インピーダンスの低い端子にコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。
- 8 端子間ショートと誤装着について**

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けた場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。
- 9 未使用の入力端子の処理について**

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

使用上の注意 — 続き

10 各入力端子について

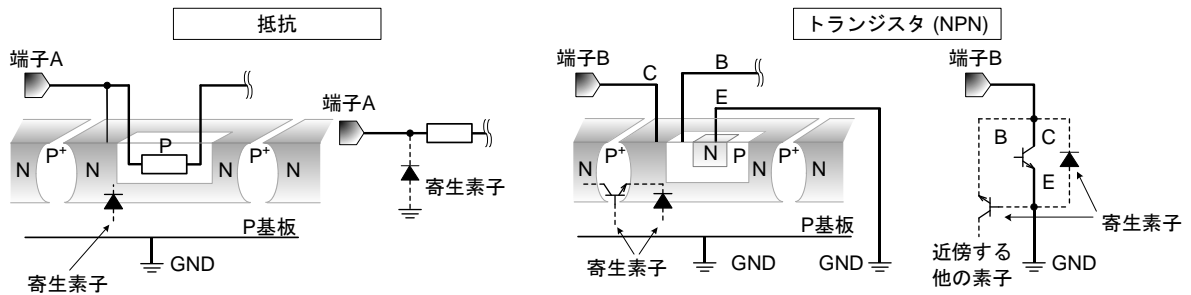
本 IC はモノリシック IC であり、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、 $GND > (\text{端子 A})$ の時、トランジスタ(NPN)では $GND > (\text{端子 B})$ の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ(NPN)では、 $GND > (\text{端子 B})$ の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできません。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に GND (P 基板)より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子が GND にショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。



モノリシック IC 構造例

11 セラミック・コンデンサの特性変動について

外付けコンデンサに、セラミック・コンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮のうえ、定数を決定してください。

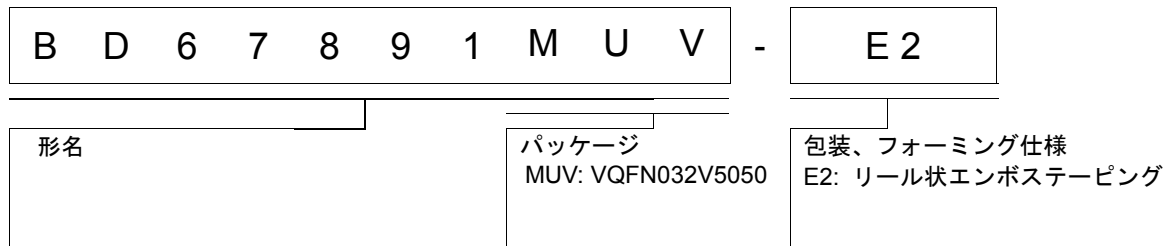
12 温度保護回路について

IC を熱破壊から防ぐための温度保護回路を内蔵しております。最高接合部温度内でご使用いただきますが、万が一最高接合部温度を超えた状態が継続すると、温度保護回路が動作し出力パワー素子が OFF します。その後チップ温度 T_j が低下すると回路は自動で復帰します。なお、温度保護回路は絶対最大定格を超えた状態での動作となりますので、温度保護回路を使用したセット設計などは、絶対に避けてください。

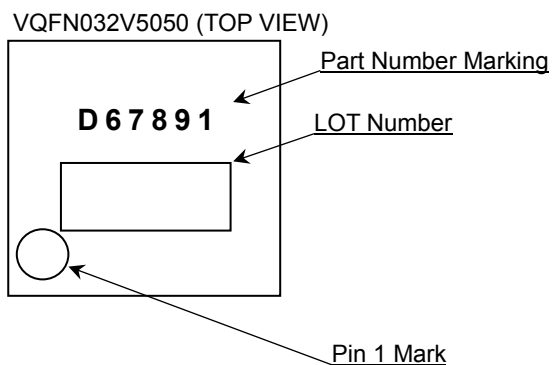
13 過電流保護回路について

出力には電流能力に応じた過電流保護回路が内部に内蔵されているため、負荷ショート時には IC 破壊を防止しますが、この保護回路は突発的な事故による破壊防止に有効なもので、連続的な保護回路動作、過渡時でのご使用に対応するものではありません。

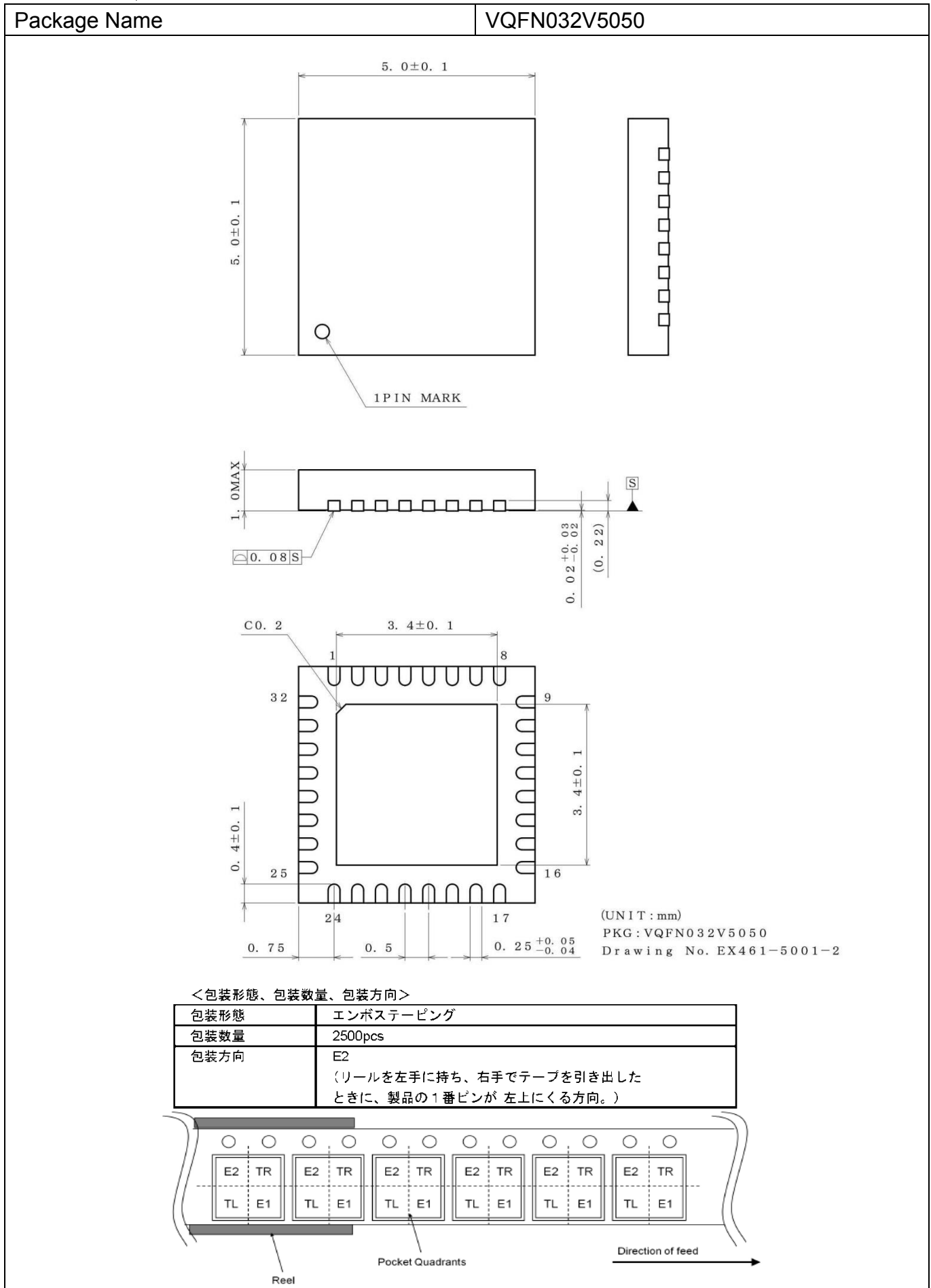
発注形名情報



標印図



外形寸法図と包装・フォーミング仕様



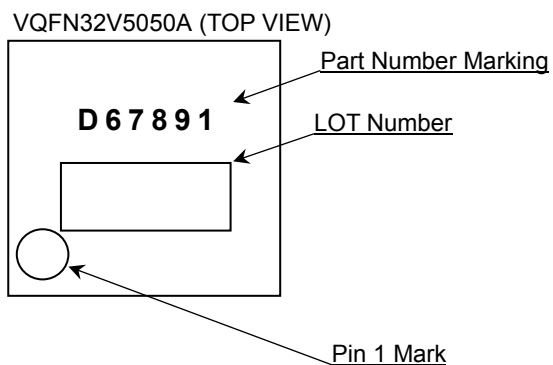
改訂履歴

日付	版	変更内容
2020.12.21	001	新規作成

発注形名情報

B D 6 7 8 9 1 M U V										-	Z E 2		
形名										パッケージ MUV: VQFN32V5050A		Z: 生産工場展開品	包装、フォーミング仕様 E2: リール状 エンボステーピング

標印図



ご注意

ローム製品取扱い上の注意事項

1. 本製品は一般的な電子機器（AV 機器、OA 機器、通信機器、家電製品、アミューズメント機器等）への使用を意図して設計・製造されております。したがって、極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器^(Note 1)、輸送機器、交通機器、航空宇宙機器、原子力制御装置、燃料制御、カーアクセサリを含む車載機器、各種安全装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

2. 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、かかる誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
3. 本製品は、一般的な電子機器に標準的な用途で使用されることを意図して設計・製造されており、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合。
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用。
 - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用される場合は除く。ただし、残渣については十分に確認をお願いします。)又は、はんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合
 - ⑧本製品が結露するような場所でのご使用。
4. 本製品は耐放射線設計はなされておられません。
5. 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
6. パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
7. 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
8. 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
9. 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

1. ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
2. はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。(人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等)

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
 - ①潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ②推奨温度、湿度以外での保管
 - ③直射日光や結露する場所での保管
 - ④強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルに2次元バーコードが印字されていますが、2次元バーコードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は外国為替及び外国貿易法に定める規制貨物等に該当するおそれがありますので輸出する場合には、ロームにお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等（ソフトウェア含む）との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。