

モータ/アクチュエータドライバ DC ブラシモータ用シリーズ

車載用 SPI 内蔵 8CH Half Bridge Driver

BD16938AEFV-C

概要

BD16938AEFV-C は車載アプリケーション向けに設計された 8ch ハーフブリッジドライバです。小型 DC ブラシモータを直接ドライブでき、各出力を High 出力、Low 出力、Hi-Z 出力の 3 モードに独立制御可能です。16bit シリアルインターフェース(SPI)により外部 MCU からの制御が可能です。

高耐圧(最大定格 40V)、低 ON 抵抗、小型パッケージを実現しており、セットの高信頼性、低消費電力化、低コスト化に貢献できます。

重要特性

■ 電源電圧動作範囲	6.3V ~ 32V
■ 動作温度範囲	-40°C ~ +125°C
■ 出力電流	1.0A(Max)
■ 出力 ON 抵抗(High side)	0.8Ω(Typ)
■ 出力 ON 抵抗(Low side)	0.6Ω(Typ)

特長

- AEC-Q100 対応^(Note 1)
- 1.0A DMOS ハーフブリッジ 8 回路
- 3 モード制御(High 出力, Low 出力, Hi-Z)
- 低スタンバイ電流
- 出力逆起電圧吸収ダイオード内蔵
- 過電流保護機能(OCP)
- OPEN 検出機能(ULD)
- VS 過電圧保護機能(OVP)
過電圧切り換え機能あり
- VS 減電圧保護機能(UVLO)
- サーマルシャットダウン機能(TSD)
- サーマルワーニング機能(TW)

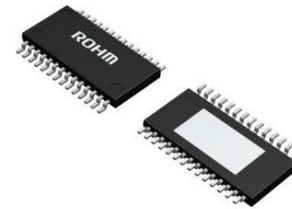
(Note 1)Grade 1

パッケージ

HTSSOP-B28

W(Typ) x D(Typ) x H(Max)

9.70mm x 6.40mm x 1.00mm



用途^(Note 2)

車載用(ボディ機器、エアコン、ドアミラー、etc.)

基本アプリケーション回路

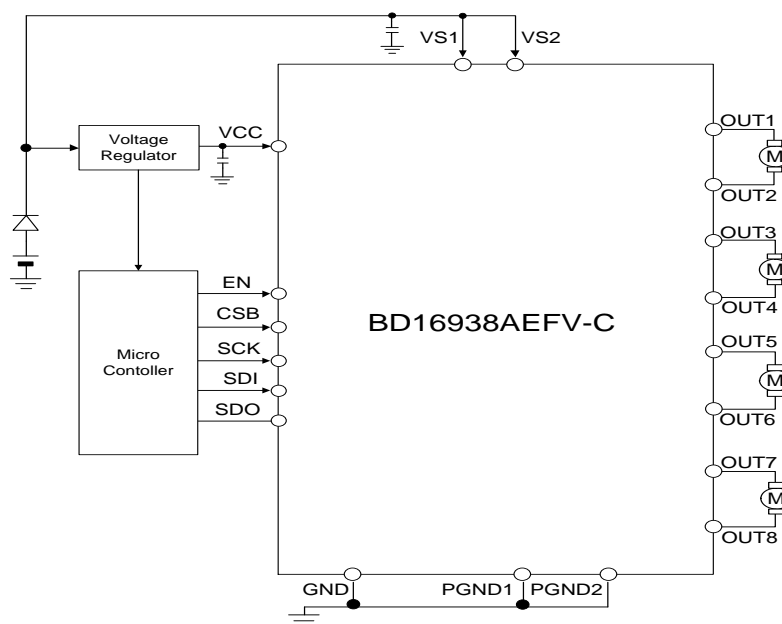


Figure 1. アプリケーション回路図

(Note 2)車載鏡面ミラー、エアコンダンパー以外で使用される場合は、お手数ですが弊社営業窓口までご相談頂きますようお願いいたします。

○製品構造：シリコンを主材料とした半導体集積回路 ○耐放射線設計はしていません

端子配置図

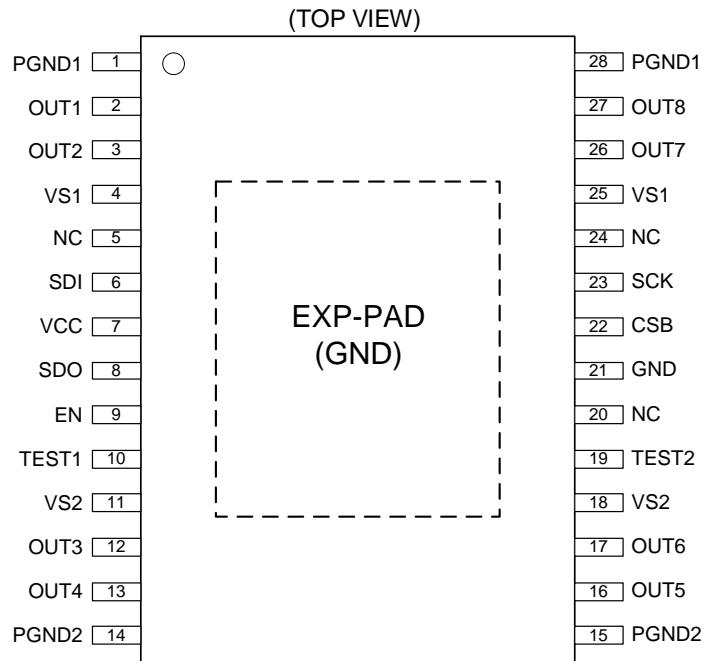


Figure 2. 端子配置図

端子説明

端子番号	端子名	機能	端子番号	端子名	機能
1	PGND1	出力部 GND	28	PGND1	出力部 GND
2	OUT1	ハーフブリッジ出力 1	27	OUT8	ハーフブリッジ出力 8
3	OUT2	ハーフブリッジ出力 2	26	OUT7	ハーフブリッジ出力 7
4	VS1	出力部電源	25	VS1	出力部電源
5	NC	-	24	NC	-
6	SDI	SPI データ入力	23	SCK	SPI クロック入力
7	VCC	制御部電源	22	CSB	SPI チップセレクト入力
8	SDO	SPI データ出力	21	GND	制御部 GND
9	EN	イネーブル端子	20	NC	-
10	TEST1	テストモード入力 1 ^(Note 1)	19	TEST2	テストモード入力 2 ^(Note 1)
11	VS2	出力部電源	18	VS2	出力部電源
12	OUT3	ハーフブリッジ出力 3	17	OUT6	ハーフブリッジ出力 6
13	OUT4	ハーフブリッジ出力 4	16	OUT5	ハーフブリッジ出力 5
14	PGND2	出力部 GND	15	PGND2	出力部 GND
-	EXP-PAD	中央の EXP-PAD は、GND に接続してください			

(Note 1) TEST1、TEST2 は GND に抵抗を介して Pull Down 接続してください。

ブロック図

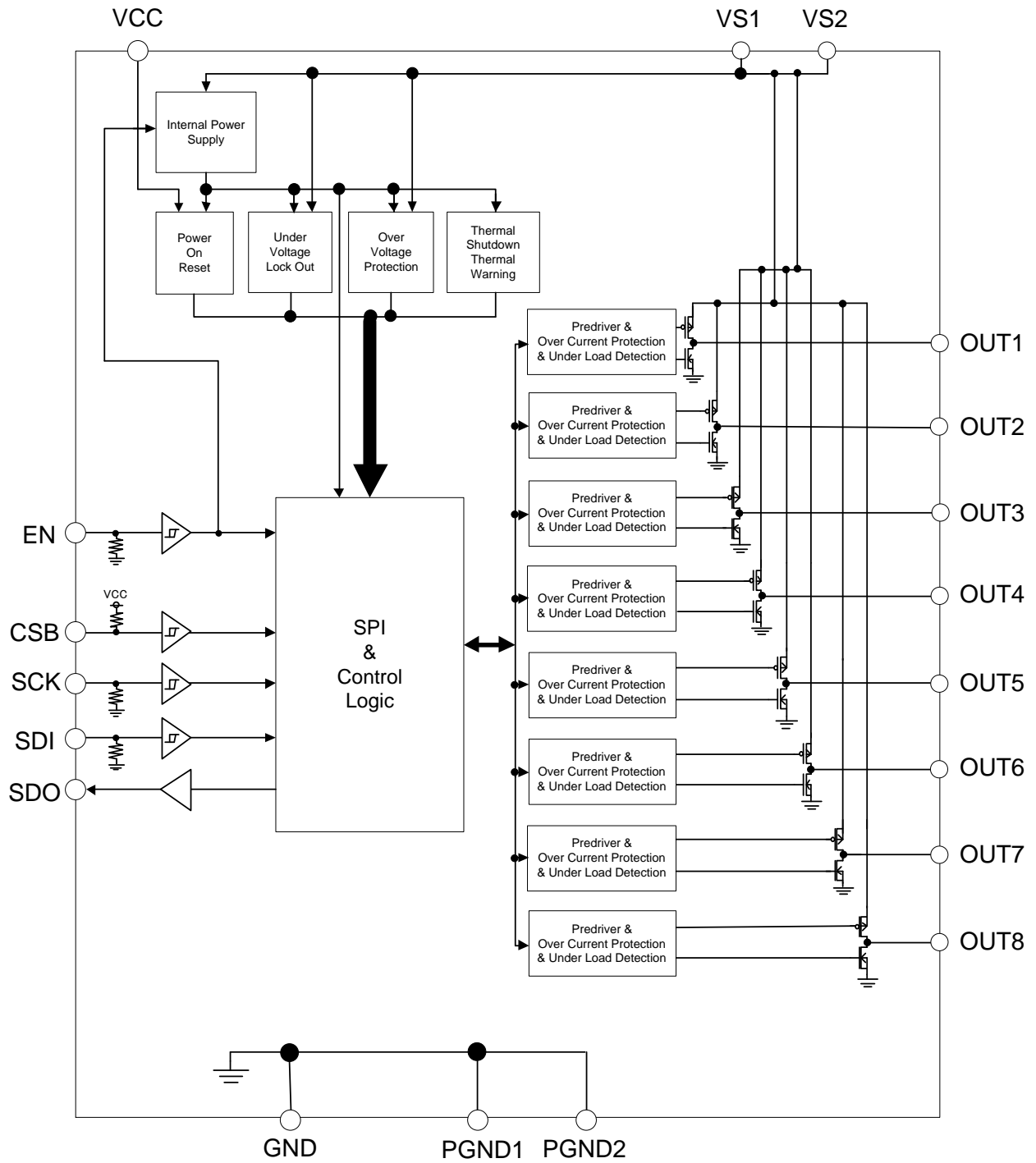


Figure 3. ブロック図

絶対最大定格 (Ta = 25°C)

項目	記号	定格	単位
パワー電源電圧	V_{VS} ^(Note 1)	-0.3 ~ +40	V
ドライバ電源電圧	V_{CC}	-0.3 ~ +7.0	V
出力電圧	$V_{OUT1} \sim V_{OUT8}$	-0.3 ~ +40	V
出力電流	I_O	1.0	A
ロジック入力電圧	$V_{SDI}, V_{SCK}, V_{CSB}, V_{EN}$	-0.3 ~ $V_{CC}+0.3$	V
テスト入力電圧	V_{TEST1}, V_{TEST2}	-0.3 ~ +40	V
ロジック出力電圧	V_{SDO}	-0.3 ~ $V_{CC}+0.3$	V
SDO 出力電流	I_{SDO}	5.0	mA
保存温度範囲	Tstg	-55 ~ +150	°C
最高接合部温度	Tjmax	150	°C

注意 1 : 印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施して頂くようお願いいたします。

注意 2 : 最高接合部温度を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。最高接合部温度を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用するなど、最高接合部温度を超えないよう熱抵抗にご配慮ください。

(Note 1) $V_{VS} = V_{VS1}, V_{VS2}$

熱抵抗^(Note 2)

項目	記号	熱抵抗(Typ)		単位
		1層基板 (Note 4)	4層基板 (Note 5)	
HTSSOP-B28				
ジャンクションー周囲温度間熱抵抗	θ_{JA}	107.0	25.1	°C/W
ジャンクションーパッケージ上面中心間熱特性パラメータ ^(Note 3)	Ψ_{JT}	6	3	°C/W

(Note 2) JESD51-2A(Still-Air)に準拠。

(Note 3) ジャンクションからパッケージ(モールド部分)上面中心までの熱特性パラメータ。

(Note 4) JESD51-3 に準拠した基板を使用

(Note 5) JESD51-5.7 に準拠した基板を使用。

測定基板	基板材	基板寸法
1層	FR-4	114.3mm x 76.2mm x 1.57mmt

1層目(表面)銅箔	
銅箔パターン	銅箔厚
実装ランドパターン + 電極引出し用配線	70µm

測定基板	基板材	基板寸法	サーマルビア ^(Note 6)	
			ピッチ	直径
4層	FR-4	114.3mm x 76.2mm x 1.6mmt	1.20mm	Φ0.30mm

1層目(表面)銅箔		2層目、3層目(内層)銅箔		4層目(裏面)銅箔	
銅箔パターン	銅箔厚	銅箔パターン	銅箔厚	銅箔パターン	銅箔厚
実装ランドパターン + 電極引出し用配線	70µm	74.2mm□(正方形)	35µm	74.2mm□(正方形)	70µm

(Note 6) 貫通ビア。全層目の銅箔と接続する。配置、寸法はランドパターンに従う。

推奨動作条件

項目	記号	最小	標準	最大	単位
動作温度	Topr	-40	+25	+125	°C
パワー電源電圧 ^(Note 7)	V_{VS}	6.3	12	32	V
ドライバ電源電圧 ^(Note 7)	V_{CC}	3.0	5	5.5	V
ロジック入力電圧 ^(Note 7)	$V_{EN}, V_{CSB}, V_{SCK}, V_{SDI}$	0	-	V_{CC}	V

(Note 7) VS 電圧が最小動作電圧範囲(6.3V)を超えた後 VCC 電圧を投入することを推奨しております。

VCC 電圧が最小動作電圧範囲(3V)を超えた後、各ロジック入力を印加することを推奨しております。

電氣的特性

(特に指定のない限り $V_{VS} = 6.3V \sim 32V$, $V_{CC} = 3.0V \sim 5.5V$, $-40^{\circ}C \leq T_j \leq +150^{\circ}C$)

項目	記号	規格値			単位	条件
		最小	標準	最大		
回路電流						
VS 回路電流 1	I_{VS1}	-	0	10	μA	EN = 0V
VS 回路電流 2	I_{VS2}	-	7	15	mA	
VCC 回路電流 1	I_{VCC1}	-	0	10	μA	EN = 0V
VCC 回路電流 2	I_{VCC2}	-	0.1	0.5	mA	
出力端子						
出力 ON 抵抗 High side 1	R_{ONH1}	-	0.8	1.5	Ω	$I_{Load} = 0.1A \sim 0.8A$, $-40^{\circ}C \leq T_j < +25^{\circ}C$
出力 ON 抵抗 High side 2	R_{ONH2}	-	1.2	1.85	Ω	$I_{Load} = 0.1A \sim 0.8A$, $25^{\circ}C \leq T_j \leq 150^{\circ}C$
出力 ON 抵抗 Low side 1	R_{ONL1}	-	0.6	1.4	Ω	$I_{Load} = 0.1A \sim 0.8A$, $-40^{\circ}C \leq T_j < +25^{\circ}C$
出力 ON 抵抗 Low side 2	R_{ONL2}	-	1.1	1.65	Ω	$I_{Load} = 0.1A \sim 0.8A$, $25^{\circ}C \leq T_j \leq 150^{\circ}C$
出力リーク High side	I_{LH}	-	0	10	μA	OUT1 ~ OUT8 = 0V
出力リーク Low side	I_{LL}	-	0	10	μA	OUT1 ~ OUT8 = V_{VS}
出力ダイオード電圧 High side	V_{FH}	0.2	0.8	1.4	V	$I_{Load} = 0.6A$
出力ダイオード電圧 Low side	V_{FL}	0.2	0.8	1.4	V	$I_{Load} = -0.6A$
シリアル入力端子						
入力 High 電圧	V_{IH}	$V_{CC} \times 0.6$	-	-	V	
入力 Low 電圧	V_{IL}	-	-	$V_{CC} \times 0.2$	V	
入力 High 電流 1	I_{IH1}	-	50	100	μA	(SDI, SCK, EN) = $V_{CC} = 5V$
入力 High 電流 2	I_{IH2}	-	0	10	μA	CSB = $V_{CC} = 5V$
入力 Low 電流 1	I_{IL1}	-	0	10	μA	(SDI, SCK, EN) = 0V
入力 Low 電流 2	I_{IL2}	-	50	100	μA	CSB = 0V, $V_{CC} = 5V$
シリアル出力端子						
出力 High 電圧	V_{OH}	$V_{CC} - 0.6$	-	-	V	$I_{Load} = -1.0mA$
出力 Low 電圧	V_{OL}	-	-	0.6	V	$I_{Load} = 1.0mA$
保護機能						
VS 減電圧保護検出(ON⇒OFF)	V_{UVDH}	5.3	5.8	6.3	V	
VS 減電圧保護検出(OFF⇒ON)	V_{UVDL}	5.0	5.5	6.0	V	
VS 過電圧保護検出 1(OFF⇒ON)	V_{OVPH1}	32.5	36	39.5	V	OVPSEL = 0
VS 過電圧保護検出 1(ON⇒OFF)	V_{OVPL1}	30	33.5	37	V	OVPSEL = 0
VS 過電圧保護検出 2(OFF⇒ON)	V_{OVPH2}	18	20	22	V	OVPSEL = 1
VS 過電圧保護検出 2(ON⇒OFF)	V_{OVPL2}	16.2	18	19.8	V	OVPSEL = 1
VCC POR 検出(ON⇒OFF)	V_{PORH}	2.6	2.8	3.0	V	
VCC POR 検出(OFF⇒ON)	V_{PORL}	2.4	2.6	2.8	V	
過電流検出	I_{OCP}	1.05	1.55	2.05	A	
過電流検出 Delay Time	t_{DOC}	10	25	50	μs	
OPEN 検出 ^(Note 1)	I_{UD}	2	11	20	mA	
OPEN 検出 Delay Time	t_{DUD}	200	370	600	μs	

(Note 1)他 CH 無負荷設定

電気的特性 — 続き

(特に指定のない限り $V_{VS} = 6.3V \sim 32V$, $V_{CC} = 3.0V \sim 5.5V$, $-40^{\circ}C \leq T_j \leq +150^{\circ}C$)

項目	記号	規格値			単位	条件
		最小	標準	最大		
保護機能						
サーマルワーニング検出 ^(Note 1)	T_{TW}	100	125	150	$^{\circ}C$	
サーマルワーニングヒステリシス ^(Note 1)	T_{TWHYS}	-	10	-	$^{\circ}C$	
サーマルシャットダウン検出 ^(Note 1)	T_{TSD}	150	175	200	$^{\circ}C$	
サーマルシャットダウンヒステリシス ^(Note 1)	T_{TSDHYS}	-	25	-	$^{\circ}C$	
ドライバ出力タイミング						
High side Turn On 時間	t_{ONH}	-	-	38.0	μs	$V_{VS} = 12V$, No Load
Low side Turn On 時間	t_{ONL}	-	-	38.0	μs	$V_{VS} = 12V$, No Load
OUT 立ち上がり時間	t_{LHR}	-	1.0	8.0	μs	$V_{VS} = 12V$, No Load
OUT 立ち下がり時間	t_{HLF}	-	1.0	8.0	μs	$V_{VS} = 12V$, No Load

(Note 1)設計保証項目であり、出荷時の検査は実施しておりません。

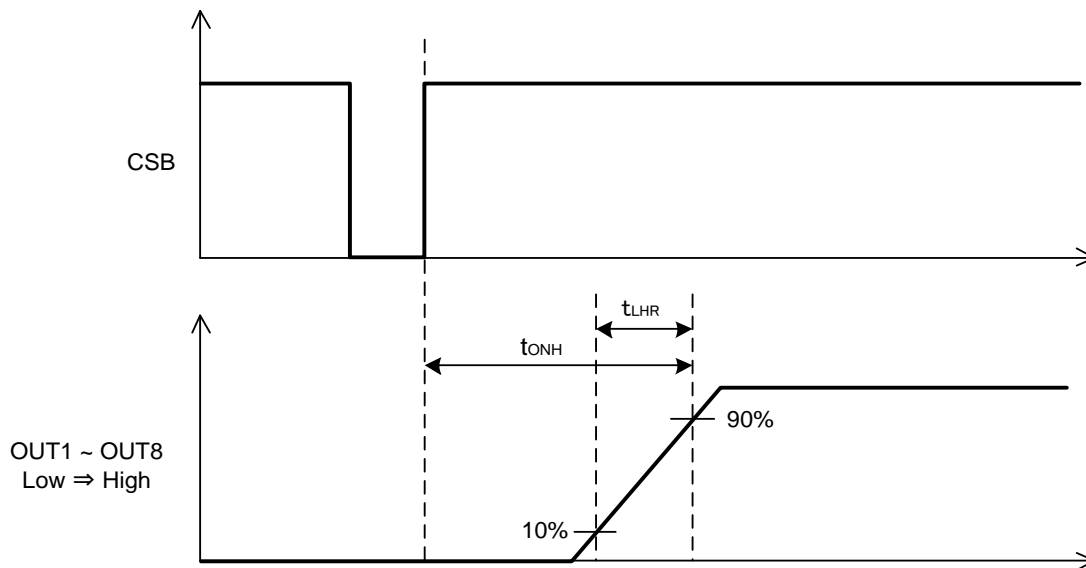


Figure 4. ドライバ出力タイミング (Low⇒High)

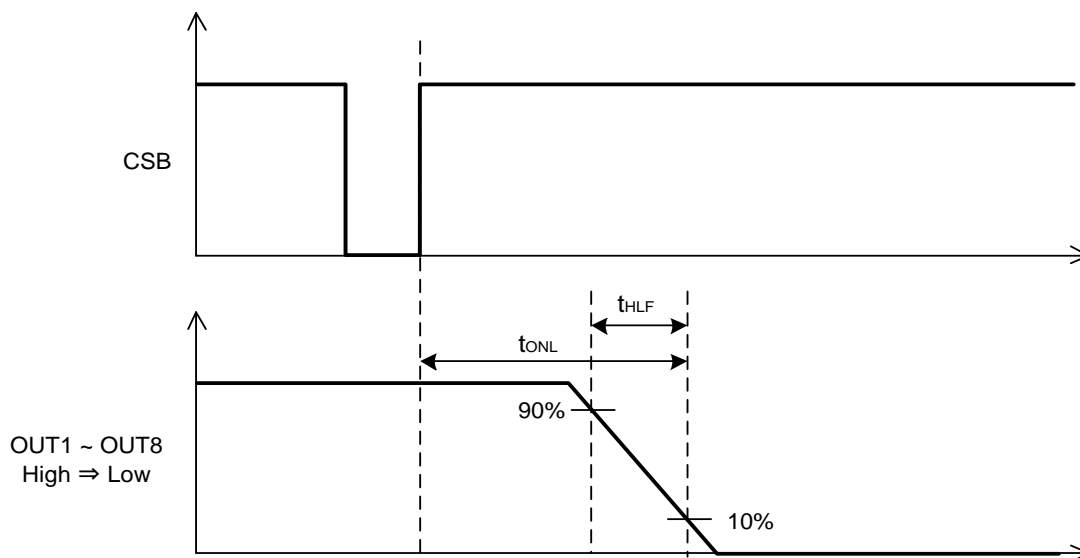


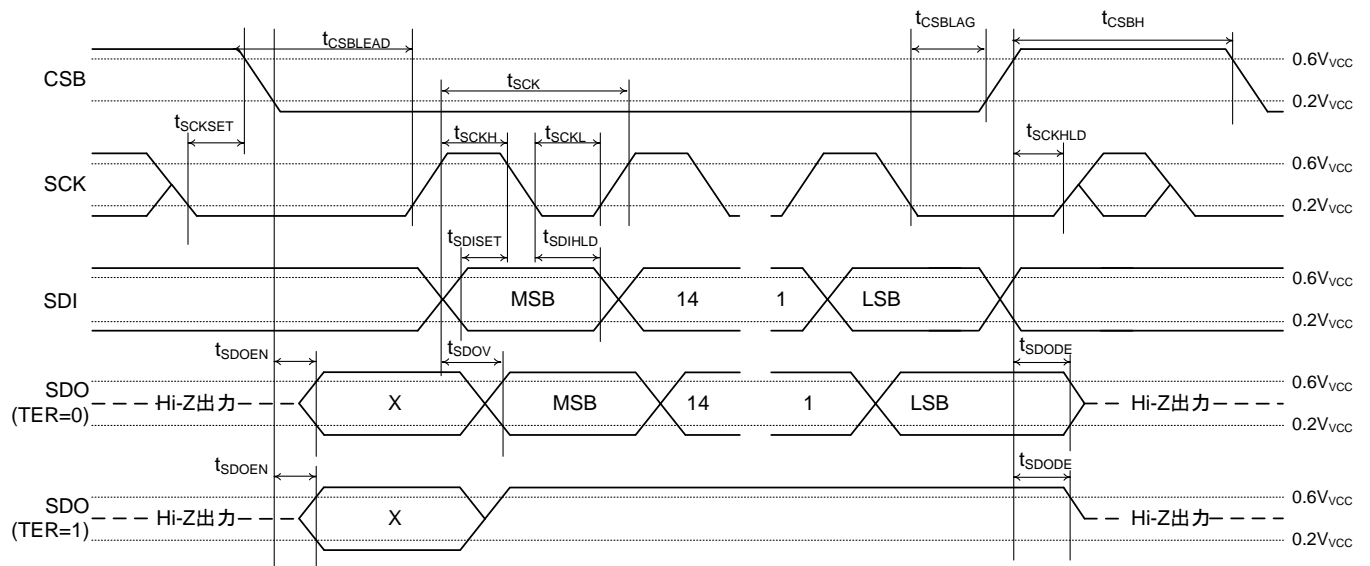
Figure 5. ドライバ出力タイミング (High⇒Low)

電気的特性 — 続き

(特に指定のない限り $V_{VS} = 6.3V \sim 32V$, $V_{CC} = 3.0V \sim 5.5V$, $-40^{\circ}C \leq T_j \leq +150^{\circ}C$)

項目	記号	規格値			単位	条件
		最小	標準	最大		
シリアルインターフェース						
SCK Frequency	f_{SCK}	-	-	4.1	MHz	
SCK Period	t_{SCK}	243	-	-	ns	
SCK High Time	t_{SCKH}	87.5	-	-	ns	
SCK Low Time	t_{SCKL}	87.5	-	-	ns	
SCK Setup Time	t_{SCKSET}	125	-	-	ns	
SCK Hold Time	t_{SCKHLD}	125	-	-	ns	
CSB Lead Time	$t_{CSBLEAD}$	125	-	-	ns	
CSB Lag Time	t_{CSBLAG}	125	-	-	ns	
CSB High Time	t_{CSBH}	20	-	-	μs	
SDI Setup Time	t_{SDISET}	50	-	-	ns	
SDI Hold Time	t_{SDIHLD}	50	-	-	ns	
SDO Valid Time	t_{SDOV}	-	-	100	ns	No Load
SDO Enable After CSB Falling Edge	t_{SDOEN}	-	-	125	ns	(Note 1)
SDO Disable After CSB Rising Edge	t_{SDODE}	-	-	500	ns	(Note 1)

(Note 1) V_{CC} の 0% 及び 100% を基準にして規定します。



X: 不定状態
 TER(内部信号): 通常時 "0"、SPI 転送エラー検出時 "1"

Figure 6. シリアルインターフェースタイミング

特性データ(参考データ)

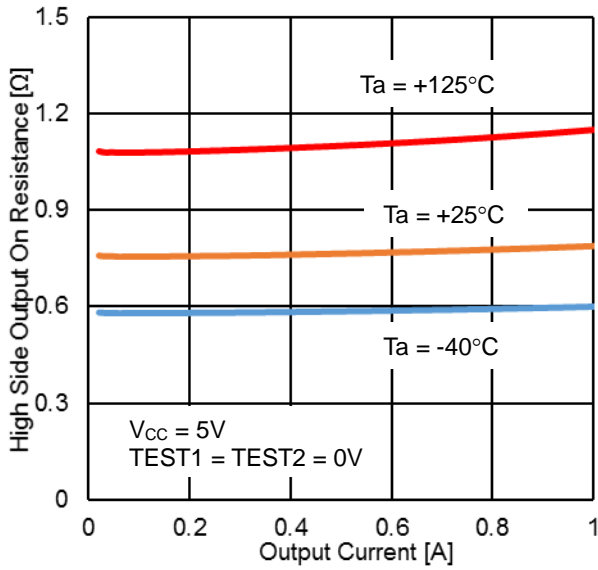


Figure 7. 出力 ON 抵抗 vs 出力電流
(出力 ON 抵抗 High Side, $V_{VS} = 12V$)

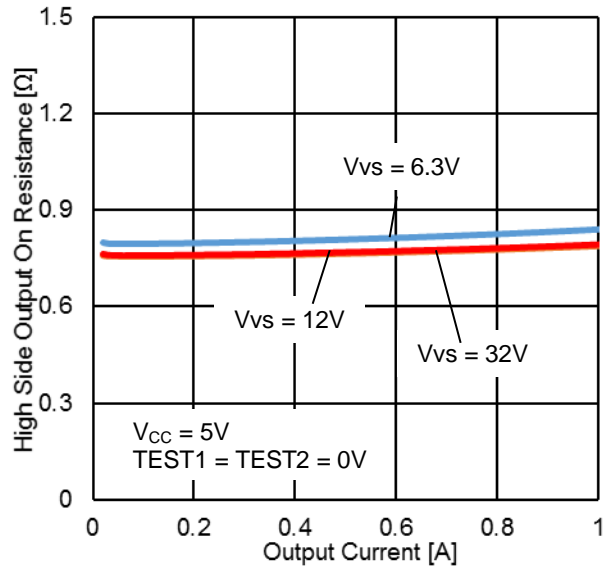


Figure 8. 出力 ON 抵抗 vs 出力電流
(出力 ON 抵抗 High Side, $T_a = 25^\circ C$)

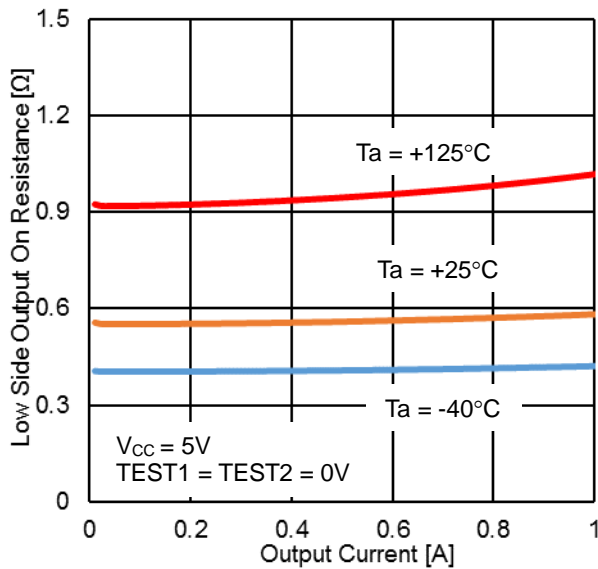


Figure 9. 出力 ON 抵抗 vs 出力電流
(出力 ON 抵抗 Low Side, $V_{VS} = 12V$)

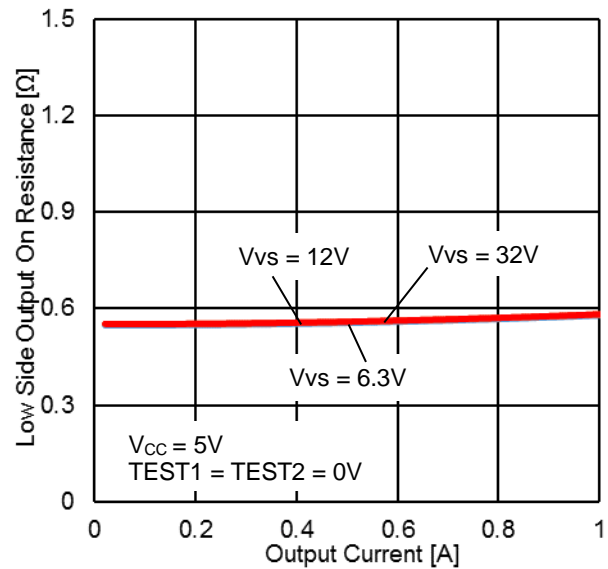


Figure 10. 出力 ON 抵抗 vs 出力電流
(出力 ON 抵抗 Low Side, $T_a = 25^\circ C$)

各ブロック動作説明

1. シリアルインターフェース(Serial Peripheral Interface : SPI)

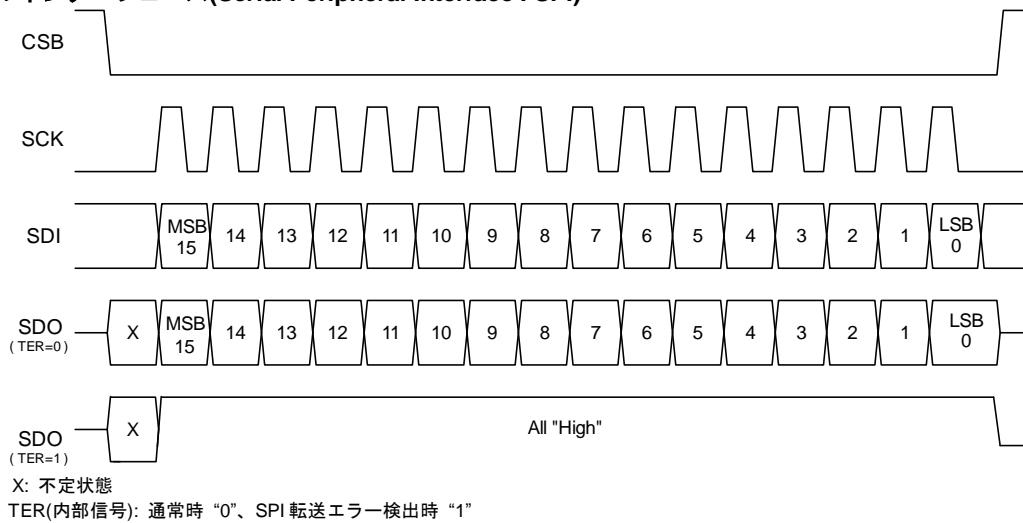


Figure 11. SPI 通信フォーマット

ドライバの ON / OFF 制御、各種保護の制御及び保護状態の読み出しのために 16bit シリアルインターフェースを搭載しています。入出力レジスタ及び機能の詳細を以下に示します。

(1) 入力データレジスタ 1 (Bit15 = 1, Bit14 = 0)

Bit Number	Name	Description	Bit Status	Initial Value
15	WE	Write Enable	0 : Read 1 : Write & Read	-
14	WR_AD	Write Address	0 : Address A 1 : Address B	-
13	RD_AD	Read Address	0 : Address A 1 : Address B	-
12	SRR	Status Reset Register (This bit will self-clear)	0 : Normal 1 : Reset	0
11	HSC4	Control High Side 4 (OUT4)	0 : High Side Off 1 : High Side On	0
10	LSC4	Control Low Side 4 (OUT4)	0 : Low Side Off 1 : Low Side On	0
9	HSC3	Control High Side 3 (OUT3)	0 : High Side Off 1 : High Side On	0
8	LSC3	Control Low Side 3 (OUT3)	0 : Low Side Off 1 : Low Side On	0
7	HSC2	Control High Side 2 (OUT2)	0 : High Side Off 1 : High Side On	0
6	LSC2	Control Low Side 2 (OUT2)	0 : Low Side Off 1 : Low Side On	0
5	HSC1	Control High Side 1 (OUT1)	0 : High Side Off 1 : High Side On	0
4	LSC1	Control Low Side 1 (OUT1)	0 : Low Side Off 1 : Low Side On	0
3	UNDERLOAD	Under Loads Register Mode (OUT1 ~ OUT8)	0 : On 1 : Off	0
2	TSDSTH	TSDS Register Mode	0 : Latch 1 : Through	0
1	PSSTH	OVPS / UVLOS Register Mode	0 : Latch 1 : Through	0
0	RESERVE	Reserve	0 : Normal 1 : Prohibit	0

各ブロック動作説明 — 続き

(2) 入力データレジスタ 2 (Bit15 = 1, Bit14 = 1)

Bit Number	Name	Description	Bit Status	Initial Value
15	WE	Write Enable	0 : Read 1 : Write & Read	-
14	WR_AD	Write Address	0 : Address A 1 : Address B	-
13	RD_AD	Read Address	0 : Address A 1 : Address B	-
12	SRR	Status Reset Register (This bit will self-clear)	0 : Normal 1 : Reset	0
11	HSC8	Control High Side 8 (OUT8)	0 : High Side Off 1 : High Side On	0
10	LSC8	Control Low Side 8 (OUT8)	0 : Low Side Off 1 : Low Side On	0
9	HSC7	Control High Side 7 (OUT7)	0 : High Side Off 1 : High Side On	0
8	LSC7	Control Low Side 7 (OUT7)	0 : Low Side Off 1 : Low Side On	0
7	HSC6	Control High Side 6 (OUT6)	0 : High Side Off 1 : High Side On	0
6	LSC6	Control Low Side 6 (OUT6)	0 : Low Side Off 1 : Low Side On	0
5	HSC5	Control High Side 5 (OUT5)	0 : High Side Off 1 : High Side On	0
4	LSC5	Control Low Side 5 (OUT5)	0 : Low Side Off 1 : Low Side On	0
3	OVPSEL	OVP Threshold Select	0 : V_{OVPH1} , V_{OVPL1} 1 : V_{OVPH2} , V_{OVPL2}	0
2	RESERVE	Reserve	-	-
1	RESERVE	Reserve	-	-
0	RESERVE	Reserve	0 : Normal 1 : Prohibit	0

High side ON、Low side ON 入力は禁止しております。
(High side ON、Low side ON 入力されると High side OFF、Low side OFF の状態となります。)

入力データレジスタに書き込みを行うときは、WE(Bit15: Write Enable)に 1 を設定してください。
この場合、入力データレジスタの書き込みと出力データレジスタの読み出しが同時に行われます。

入力データレジスタは、WR_AD(Bit14: Write Address)の設定にて、書き込むレジスタを選択することができます。
また出力データレジスタは、WR_AD(Bit14: Write Address)と RD_AD(Bit13: Read Address)で設定した出力データレジスタの値を読み出すことができます。読み出されるデータは、出力データレジスタ 1 ~ 4 を参照してください。

入力データレジスタ WE(Bit15: Write Enable)に 0 を設定した場合、入力データレジスタ (Bits12-0)には書き込みは行われず、WR_AD(Bit14: Write Address)と RD_AD(Bit13: Read Address)で設定した出力データレジスタの値を読み出すことができます。

Daisy Chain には対応していません。

各ブロック動作説明 — 続き

(3) 出力データレジスタ 1 (Bit15 = 0, Bit14 = 0, Bit13 = 0)

Bit Number	Name	Description	Bit Status	Initial Value
15	-	-	-	0
14	TSDS	Thermal Shutdown Status	0 : Normal 1 : Fault	1 (Note 1)
13	TWS	Thermal Warning Status	0 : Normal 1 : Fault	1 (Note 1)
12	-	-	-	0
11	HSS4	Status High Side 4 (OUT4)	0 : High Side Off 1 : High Side On	0
10	LSS4	Status Low Side 4 (OUT4)	0 : Low Side Off 1 : Low Side On	0
9	HSS3	Status High Side 3 (OUT3)	0 : High Side Off 1 : High Side On	0
8	LSS3	Status Low Side 3 (OUT3)	0 : Low Side Off 1 : Low Side On	0
7	HSS2	Status High Side 2 (OUT2)	0 : High Side Off 1 : High Side On	0
6	LSS2	Status Low Side 2 (OUT2)	0 : Low Side Off 1 : Low Side On	0
5	HSS1	Status High Side 1 (OUT1)	0 : High Side Off 1 : High Side On	0
4	LSS1	Status Low Side 1 (OUT1)	0 : Low Side Off 1 : Low Side On	0
3	OCPS	Over Current Protection Status (OUT1 ~ OUT4)	0 : Normal 1 : Fault	1 (Note 1)
2	UNDERLOADS	Under Loads Status (OUT1 ~ OUT4)	0 : Normal 1 : Fault	1 (Note 1)
1	OVPS	Over Voltage Protection Status	0 : Normal 1 : Fault	1 (Note 1)
0	UVLOS	UVLO(VS) Status	0 : Normal 1 : Fault	1 (Note 1)

(Note 1)初期値は“1(Fault)”になります。使用前に、一度 SRR レジスタを“1”に設定し、値をリセットしてください。

各ブロック動作説明 — 続き

(4) 出力データレジスタ 2 (Bit15 = 0, Bit14 = 0, Bit13 = 1)

Bit Number	Name	Description	Bit Status	Initial Value
15	-	-	-	0
14	TSDS	Thermal Shutdown Status	0 : Normal 1 : Fault	1 (Note 1)
13	TWS	Thermal Warning Status	0 : Normal 1 : Fault	1 (Note 1)
12	-	-	-	0
11	UNDERLOAD4	Under Load Status OUT4	0 : Normal 1 : Fault	1 (Note 1)
10	UNDERLOAD3	Under Load Status OUT3	0 : Normal 1 : Fault	1 (Note 1)
9	UNDERLOAD2	Under Load Status OUT2	0 : Normal 1 : Fault	1 (Note 1)
8	UNDERLOAD1	Under Load Status OUT1	0 : Normal 1 : Fault	1 (Note 1)
7	OCPH4	Over Current Protection High Side Status OUT4	0 : Normal 1 : Fault	1 (Note 1)
6	OCPL4	Over Current Protection Low Side Status OUT4	0 : Normal 1 : Fault	1 (Note 1)
5	OCPH3	Over Current Protection High Side Status OUT3	0 : Normal 1 : Fault	1 (Note 1)
4	OCPL3	Over Current Protection Low Side Status OUT3	0 : Normal 1 : Fault	1 (Note 1)
3	OCPH2	Over Current Protection High Side Status OUT2	0 : Normal 1 : Fault	1 (Note 1)
2	OCPL2	Over Current Protection Low Side Status OUT2	0 : Normal 1 : Fault	1 (Note 1)
1	OCPH1	Over Current Protection High Side Status OUT1	0 : Normal 1 : Fault	1 (Note 1)
0	OCPL1	Over Current Protection Low Side Status OUT1	0 : Normal 1 : Fault	1 (Note 1)

(Note 1)初期値は "1(Fault)" になります。使用前に、一度 SRR レジスタを "1" に設定し、値をリセットしてください。

各ブロック動作説明 — 続き

(5) 出力データレジスタ 3 (Bit15 = 0, Bit14 = 1, Bit13 = 0)

Bit Number	Name	Description	Bit Status	Initial Value
15	-	-	-	0
14	TSDS	Thermal Shutdown Status	0 : Normal 1 : Fault	1 (Note 1)
13	TWS	Thermal Warning Status	0 : Normal 1 : Fault	1 (Note 1)
12	-	-	-	0
11	HSS8	Status High Side 8 (OUT8)	0 : High Side Off 1 : High Side On	0
10	LSS8	Status Low Side 8 (OUT8)	0 : Low Side Off 1 : Low Side On	0
9	HSS7	Status High Side 7 (OUT7)	0 : High Side Off 1 : High Side On	0
8	LSS7	Status Low Side 7 (OUT7)	0 : Low Side Off 1 : Low Side On	0
7	HSS6	Status High Side 6 (OUT6)	0 : High Side Off 1 : High Side On	0
6	LSS6	Status Low Side 6 (OUT6)	0 : Low Side Off 1 : Low Side On	0
5	HSS5	Status High Side 5 (OUT5)	0 : High Side Off 1 : High Side On	0
4	LSS5	Status Low Side 5 (OUT5)	0 : Low Side Off 1 : Low Side On	0
3	OCPS	Over Current Protection Status (OUT5 ~ OUT8)	0 : Normal 1 : Fault	1 (Note 1)
2	UNDERLOADS	Under Loads Status (OUT5 ~ OUT8)	0 : Normal 1 : Fault	1 (Note 1)
1	OVPS	Over Voltage Protection Status	0 : Normal 1 : Fault	1 (Note 1)
0	UVLOS	UVLO(VS) Status	0 : Normal 1 : Fault	1 (Note 1)

(Note 1)初期値は“1(Fault)”になります。使用前に、一度 SRR レジスタを“1”に設定し、値をリセットしてください。

各ブロック動作説明 — 続き

(6) 出力データレジスタ 4 (Bit15 = 0, Bit14 = 1, Bit13 = 1)

Bit Number	Name	Description	Bit Status	Initial Value
15	-	-	-	0
14	TSDS	Thermal Shutdown Status	0 : Normal 1 : Fault	1 (Note 1)
13	TWS	Thermal Warning Status	0 : Normal 1 : Fault	1 (Note 1)
12	-	-	-	0
11	UNDERLOAD8	Under Load Status OUT8	0 : Normal 1 : Fault	1 (Note 1)
10	UNDERLOAD7	Under Load Status OUT7	0 : Normal 1 : Fault	1 (Note 1)
9	UNDERLOAD6	Under Load Status OUT6	0 : Normal 1 : Fault	1 (Note 1)
8	UNDERLOAD5	Under Load Status OUT5	0 : Normal 1 : Fault	1 (Note 1)
7	OCPH8	Over Current Protection High Side Status OUT8	0 : Normal 1 : Fault	1 (Note 1)
6	OCPL8	Over Current Protection Low Side Status OUT8	0 : Normal 1 : Fault	1 (Note 1)
5	OCPH7	Over Current Protection High Side Status OUT7	0 : Normal 1 : Fault	1 (Note 1)
4	OCPL7	Over Current Protection Low Side Status OUT7	0 : Normal 1 : Fault	1 (Note 1)
3	OCPH6	Over Current Protection High Side Status OUT6	0 : Normal 1 : Fault	1 (Note 1)
2	OCPL6	Over Current Protection Low Side Status OUT6	0 : Normal 1 : Fault	1 (Note 1)
1	OCPH5	Over Current Protection High Side Status OUT5	0 : Normal 1 : Fault	1 (Note 1)
0	OCPL5	Over Current Protection Low Side Status OUT5	0 : Normal 1 : Fault	1 (Note 1)

(Note 1)初期値は "1(Fault)" になります。使用前に、一度 SRR レジスタを "1" に設定し、値をリセットしてください。

各ブロック動作説明 — 続き

(7)エラー出力レジスタ設定

< PSSTH , TSDSTH >	減電圧保護 UVLOS	過電圧保護 OVPS	サーマルシャットダウン TSDS	過電流保護 OCPS
< 0 , 0 >	ラッチ	ラッチ	ラッチ	ラッチ
< 0 , 1 >	ラッチ	ラッチ	自己復帰	ラッチ
< 1 , 0 >	自己復帰	自己復帰	ラッチ	ラッチ
< 1 , 1 >	自己復帰	自己復帰	自己復帰	ラッチ

PSSTH, TSDSTH は、最初に設定し、動作途中で切り替えないでください。

保護エラー出力レジスタ TSDS、OVPS、UVLOS は、ラッチ・自己復帰を選択することが可能です。

なお、過電流保護エラー出力レジスタ OCPS は、ラッチ動作のみになります。

(出力レジスタの動作設定のみ選択が可能で、OUT1 ~ OUT8 出力の動作設定は行えません。)

OUT1 ~ OUT8 出力の動作に関しては、各保護機能の説明を参照してください。

(8) SPI 転送エラー (Transmission Error : TER)

CSB が Low→High になったときに SPI の転送が完結したものとし、内部レジスタの更新を開始します。

CSB が Low の区間に SCK の Hパルスが 16, 24, 32, ... (8+8xN)以外であった場合、SPI 転送エラーとして検出します。

SPI 転送エラーが検出されると、OUT1 ~ OUT8 出力はすべて Hi-Z 出力となり、各保護エラー出力レジスタ(OCPS、UNDERLOADS、TSDS、TWS、OVPS、UVLOS)は前状態を保持します。ただし、次の SPI アクセス時に SDO 出力は、TER(ALL High)出力になります。

また、CSB の High 区間(t_{CSBH})が、規格値 20 μ s を下回った場合にも、SPI 転送エラーが検出される場合があります。

SPI 転送エラーは CSB の立ち上がりごとに更新されます。

TER(内部信号): 通常時 "0"、SPI 転送エラー検出時 "1"

各ブロック動作説明 — 続き

2. 過電圧保護 (Over Voltage Protection: OVP)

VS 端子への印加電圧が OVPSEL = 0 のとき $V_{OVPH1} = 36V(Typ)$ 以上、OVPSEL = 1 のとき $V_{OVPH2} = 20V(Typ)$ 以上になった場合、全出力を Hi-Z にします。このとき、OVPS レジスタが 1 にセットされます。

VS 端子への印加電圧が OVPSEL = 0 のとき $V_{OVPL1} = 33.5V(Typ)$ 以下、OVPSEL = 1 のとき $V_{OVPL2} = 18V(Typ)$ 以下になると出力を復帰し、通常動作に戻ります。

そのとき、出力データレジスタ OVPS の状態は、入力データレジスタ PSSTH の設定によってラッチもしくは自己復帰を選択できます。

入力データレジスタ PSSTH = 0 のとき、出力データレジスタ OVPS は 1 でラッチ、入力データレジスタ PSSTH = 1 のとき、出力データレジスタ OVPS は、VS 端子への印加電圧が OVPSEL = 0 のとき $33.5V(Typ)$ 以下、OVPSEL = 1 のとき、 $18V(Typ)$ 以下になると自己復帰します。OVPS ラッチは SRR にて解除できます。

なお、過電圧保護は EN 端子が Low レベルのときは動作しません。電源電圧の絶対最大定格を越えた場合は破壊の可能性があるので、絶対最大定格を越えないようにしてください。

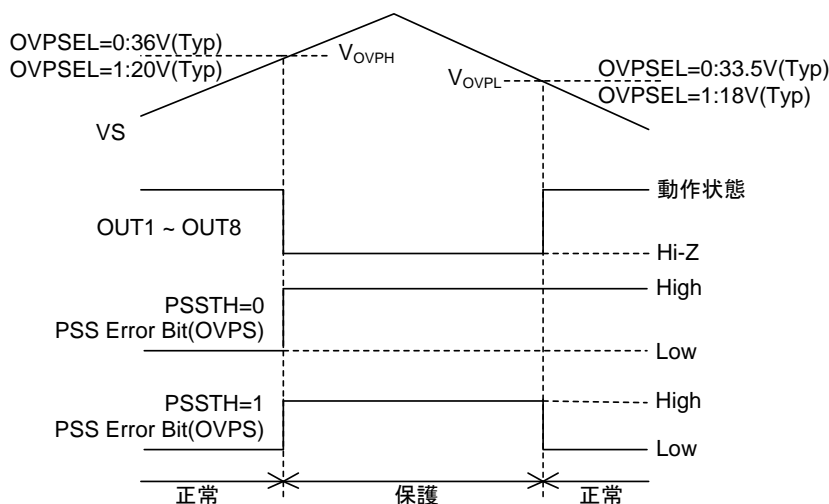


Figure 12. 過電圧保護タイミングチャート

3. 減電圧保護 (Under Voltage Lock Out: UVLO)

VS 端子への印加電圧が $5.5V(Typ)$ 以下になった場合、全出力を Hi-Z にします。このとき、出力データレジスタ UVLOS が 1 にセットされます。VS 端子への印加電圧が $5.8V(Typ)$ 以上になると出力を復帰し、通常動作に戻ります。そのとき、入力データレジスタ PSSTH の設定によって出力データレジスタ UVLOS の状態はラッチもしくは自己復帰を選択できます。

入力データレジスタ PSSTH = 0 のとき、出力データレジスタ UVLOS は 1 でラッチ、入力データレジスタ PSSTH = 1 のとき、出力データレジスタ UVLOS は、VS 端子への印加電圧が $5.8V(Typ)$ 以上になると自己復帰します。なお、UVLOS レジスタのラッチは SRR にてリセットできます。

ただし、デジタル回路(SPI & Control Logic)が VS 電源下で動作する内部電源(Internal Power Supply)で動作しているため、VS 電源が UVLO 電圧を大きく超えて低下すると、全てのレジスタがリセットされ、VS 電圧復帰後も出力は Hi-Z のままです。そのため、再度レジスタを設定してください。

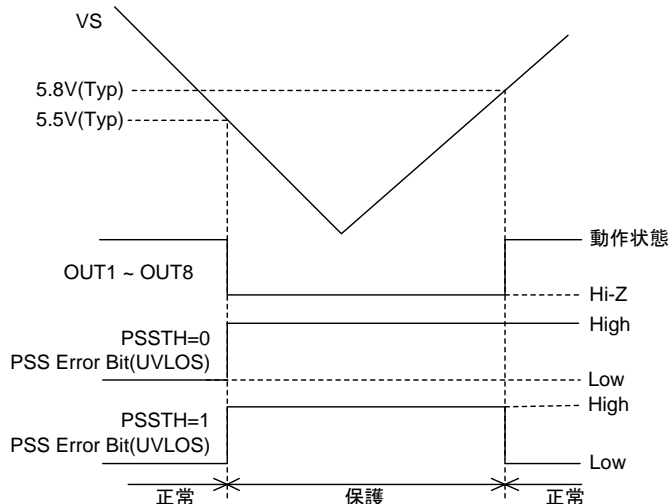


Figure 13. 減電圧保護タイミングチャート

各ブロック動作説明 — 続き

4. 過電流保護 (Over Current Protection: OCP)

出力端子に 1.55A(Typ)以上の電流が流れ 25 μ s(Typ)経過すると過電流検出し OCPS レジスタが 1 にセットされます。なお、過電流検出した出力段のみ Hi-Z でラッチします。

この場合、ラッチ解除するには SRR レジスタもしくは EN 端子によるリセットを行う必要があります。

また、ノイズなどでの誤動作を防止するため、Delay time を 25 μ s(Typ)設けております。

過電流保護は出力ショートなどによる IC の破壊を防ぐ機能ですが、過電流状態が続きますと IC の発熱や劣化などが考えられますので、過電流が流れ続けるような状態が続くときはアプリケーションで IC をスタンバイにするなどの対策を行ってください。過電流保護箇所の詳細を特定できるようにレジスタ OCPH1 ~ OCPH8, OCPL1 ~ OCPL8 も設けており OCPS 同様の動作を行います。(出力レジスタ表を参照してください。)

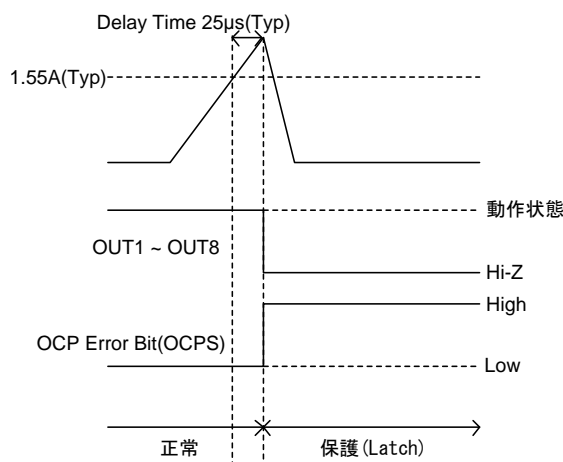


Figure 14. 過電流保護タイミングチャート

5. サーマルシャットダウン (Thermal Shutdown: TSD) / サーマルワーニング (Thermal Warning: TW)

サーマルシャットダウンは、ジャンクション温度が上昇し 175 $^{\circ}$ C (Typ)以上になった場合、全出力を Hi-Z にします。このとき、TSDS レジスタが 1 にセットされます。その後、150 $^{\circ}$ C(Typ)以下になると出力を復帰させ、通常動作に戻ります。また、出力データレジスタ TSDS の状態は、入力データレジスタ TSDSTH の設定によってラッチもしくは自己復帰を選択できます。入力データレジスタ TSDSTH = 0 のときは、出力データレジスタ TSDS は 1 でラッチ、入力データレジスタ TSDSTH = 1 のときは、出力データレジスタ TSDS は 150 $^{\circ}$ C 以下になると自己復帰します。TSDS ラッチは SRR にて解除できます。

サーマルワーニングは、ジャンクション温度が上昇し 125 $^{\circ}$ C (Typ)以上になった場合、TWS レジスタが 1 にセットされます。

また、出力データレジスタ TWS の状態は、入力データレジスタ TSDSTH の設定によってラッチもしくは自己復帰を選択できます。入力データレジスタ TSDSTH = 0 のときは、出力データレジスタ TWS は 1 でラッチ、入力データレジスタ TSDSTH = 1 のときは、出力データレジスタ TWS は 115 $^{\circ}$ C (Typ)以下になると自己復帰します。

TWS ラッチは SRR にて解除できます。なお、サーマルワーニングは出力状態には影響を与えません。

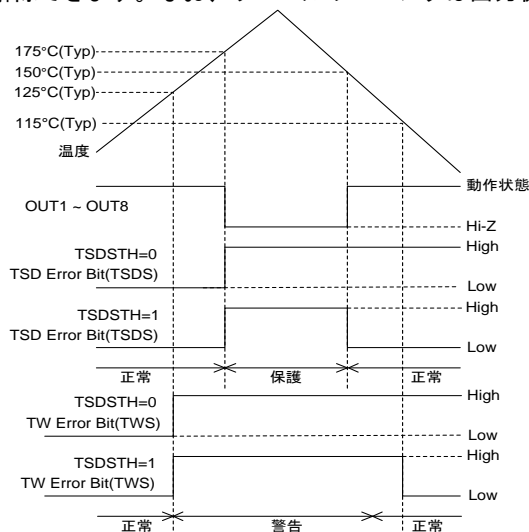


Figure 15. サーマルシャットダウン / サーマルワーニングタイミングチャート

各ブロック動作説明 — 続き

6. OPEN 検出保護 (Under Load Detection: ULD)

出力端子電流が 11mA(Typ)以下になり、370μs(Typ)経過すると、OPEN 検出を行います。検出時は UNDERLOADS レジスタに 1 がセットされます。なお、OPEN 検出しても出力段は OFF しません。ラッチ解除するには SRR レジスタによるリセットを行う必要があります。また、ノイズなどでの誤動作を防止するため、Delay time を 370μs(Typ) 設けております。OPEN 検出箇所の詳細を特定できるようにレジスタ UNDERLOAD1 ~ UNDERLOAD8 も設けており、UNDERLOADS 同様の動作を行います。(出力レジスタ表を参照してください。)

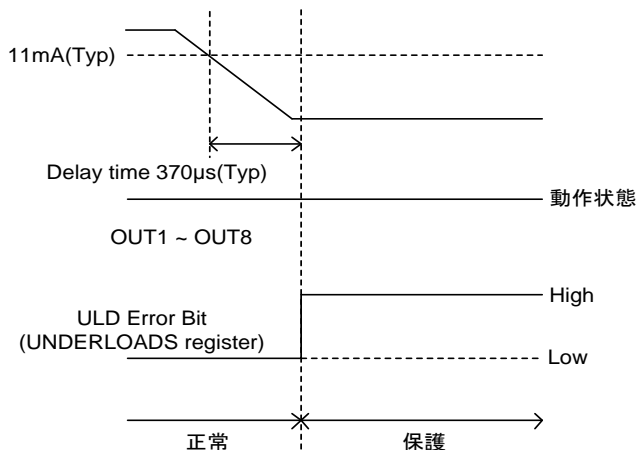


Figure 16. OPEN 検出タイミングチャート 1

(使用上における注意)

Figure 17 のように 370μs の検出時間を超える負荷をご使用されるときは、UNDERLOAD レジスタに 1 をセットし、出力電流安定後、UNDERLOAD レジスタを '0'(ON) に設定してご使用ください。

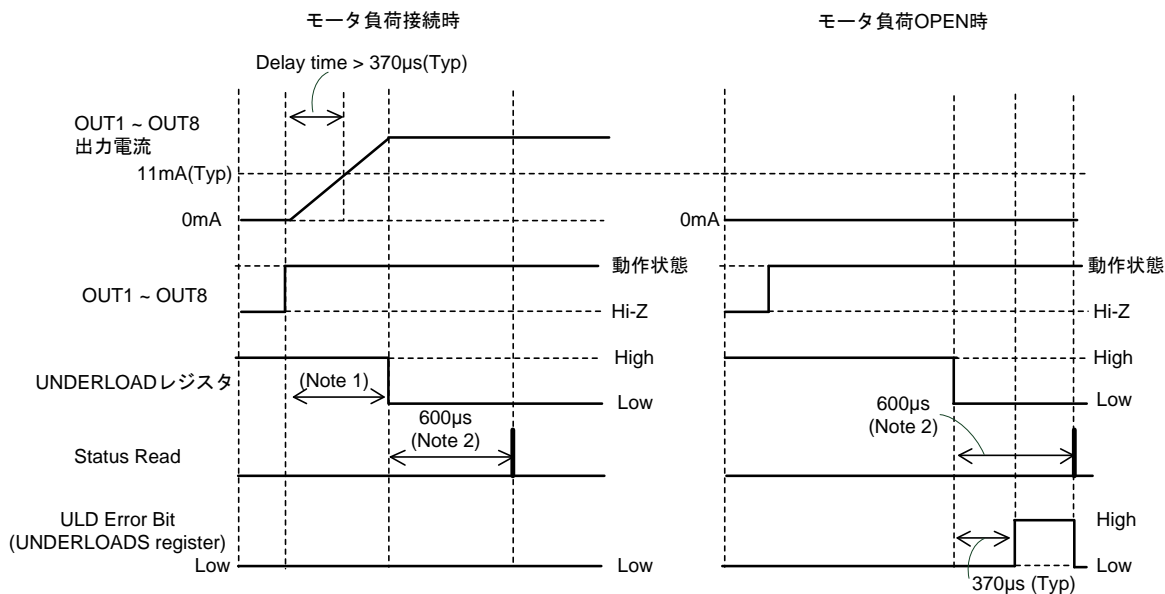
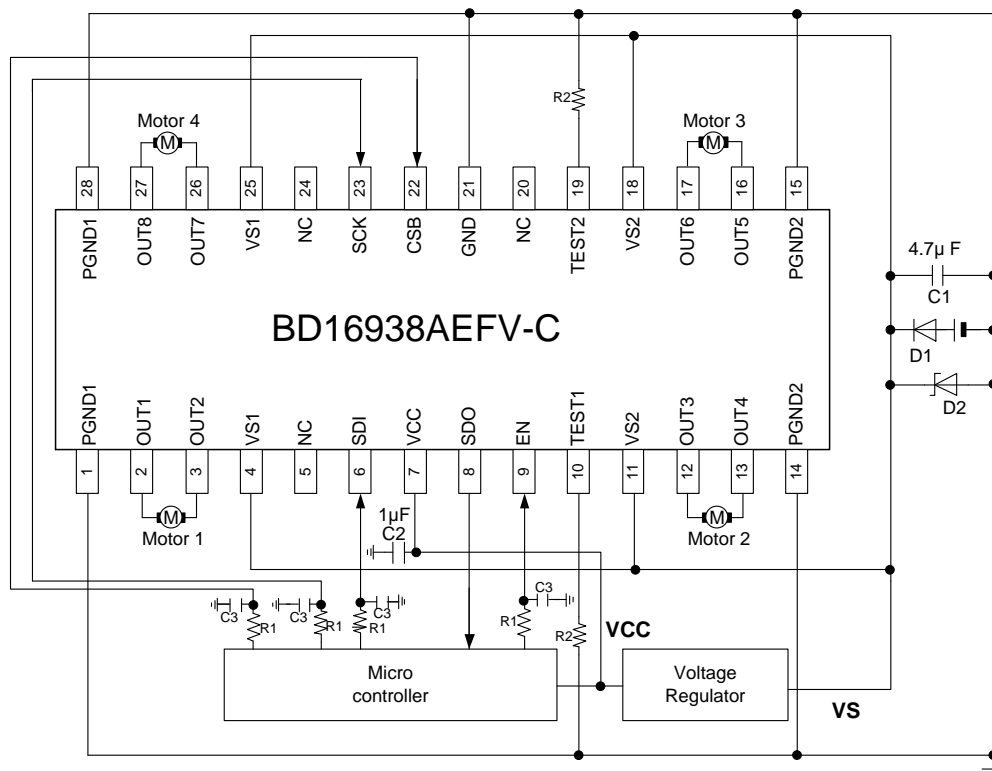


Figure 17. OPEN 検出タイミングチャート 2

(Note 1) 応答負荷に応じて決定してください。

(Note 2) OPEN 検出時間は最低でも 600μs 必要です。600μs 以上の間隔を空けてご使用ください。

推奨回路例



※図中の外付け回路定数は推奨値となっております。
(NC 端子は、OPEN を推奨します。)

Figure 18. 推奨回路例

アプリケーション回路設計上の注意

1. 使用可能なモータについて

BD16938AEFV-C が駆動できるモータは DC モータのみとなっております。ステッピングモータは駆動できませんのでご注意ください。

2. VS, VCC について

電源-GND 間には必ず電源デカップリングコンデンサを IC のピン近くに配線してください。容量値は、諸特性に問題のないことを十分にご確認のうえ、決定してください。(VS-GND 間 4.7µF 以上、VCC-GND 間 1.0µF 以上) また、VS 端子はショートして使用してください。(同電位としてください。)

3. 逆起電力について

使用条件、環境、及びモータの個々特性により逆起電力が変化する場合があります。逆起電力により IC の動作などに問題のないことを十分ご確認ください。

4. 出力端子の電圧変動について

発熱条件、電源電圧、使用モータなどの条件により、出力端子が大きく GND 以下の電位に振れた場合、誤動作などの不具合が発生する可能性があります。そのような場合、出力-GND 間にショットキーダイオードを付加するなどの対策を施してください。

5. ラッシュカレントについて

本 IC は電源印加時及び動作モード変更時に生じるラッシュカレントを制限する回路は内蔵しておりません。したがって VS-電源間に電流制限抵抗を付加するなどの物理的対策をお願いします。

6. 放熱パッドについて

放熱パッドは IC の sub に接続されておりますので、GND 電位に接続してください。また、放熱パッドを GND 配線として使用しないでください。

入出力等価回路図

端子番号	端子名	端子等価回路図
6 9 23	SDI EN SCK	
8	SDO	
22	CSB	
2, 3 12, 13 16, 17 26, 27	OUT1 ~ OUT8	
10 19	TEST1 TEST2	

※図中の抵抗値は Typ 値となっています。

使用上の注意

1. 電源の逆接続について

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れるなどの対策を施してください。

2. 電源ラインについて

基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。その際、デジタル系電源とアナログ系電源は、それらが同電位であっても、デジタル系電源パターンとアナログ系電源パターンは分離し、配線パターンの共通インピーダンスによるアナログ電源へのデジタル・ノイズの回り込みを抑制してください。グラウンドラインについても、同様のパターン設計を考慮してください。

また、LSI のすべての電源端子について電源-グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量低下が起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

3. グラウンド電位について

L 負荷駆動端子（例：モータドライバの出力、DC-DC コンバータの出力など）については、L 負荷の逆起電圧の影響でグラウンド以下に振れることが考えられます。L 負荷駆動端子が逆起電圧によって負電位になる場合を除き、グラウンド端子はいかなる動作状態においても最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子、L 負荷駆動端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。使用条件、環境及び L 負荷個々の特性によっては誤動作などの不具合が発生する可能性があります。IC の動作などに問題のないことを十分ご確認ください。グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。

4. グラウンド配線パターンについて

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

5. 推奨動作条件について

推奨動作条件で規定される範囲で IC の機能・動作を保証します。また、特性値は電気的特性で規定される各項目の条件下においてのみ保証されます。

6. ラッシュカレントについて

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

7. セット基板での検査について

セット基板での検査時に、インピーダンスの低い端子にコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

8. 端子間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けられた場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

9. 未使用の入力端子の処理について

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

使用上の注意 — 続き

10. 各入力端子について

本 IC はモノリシック IC であり、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、GND > (端子 A)の時、トランジスタ(NPN)では GND > (端子 B)の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ(NPN)では、GND > (端子 B)の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に GND(P 基板)より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子が GND にショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

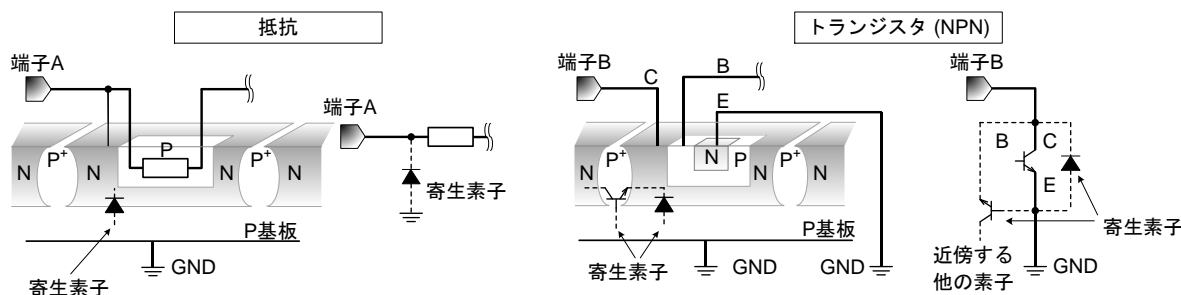


Figure 19. モノリシック IC 構造例

11. セラミック・コンデンサの特性変動について

外付けコンデンサに、セラミック・コンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮のうえ定数を決定してください。

12. 温度保護回路について

IC を熱破壊から防ぐための温度保護回路を内蔵しております。最高接合部温度内でご使用いただきますが、万が一最高接合部温度を超えた状態が継続すると、温度保護回路が動作し出力パワー素子が OFF します。その後チップ温度 T_j が低下すると回路は自動で復帰します。なお、温度保護回路は絶対最大定格を超えた状態での動作となりますので、温度保護回路を使用したセット設計などは、絶対に避けてください。

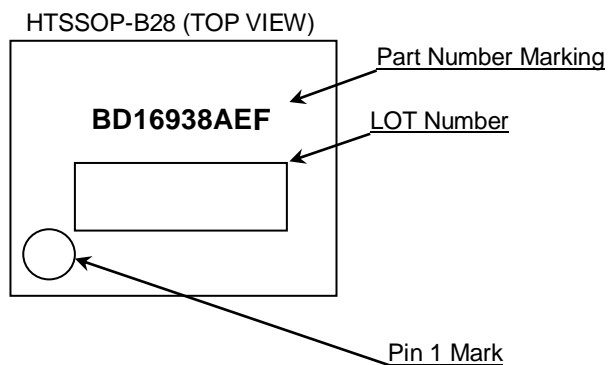
13. 過電流保護回路について

出力には電流能力に応じた過電流保護回路が内部に内蔵されているため、負荷ショート時には IC 破壊を防止しますが、この保護回路は突発的な事故による破壊防止に有効なもので、連続的な保護回路動作、過渡時でのご使用に対応するものではありません。

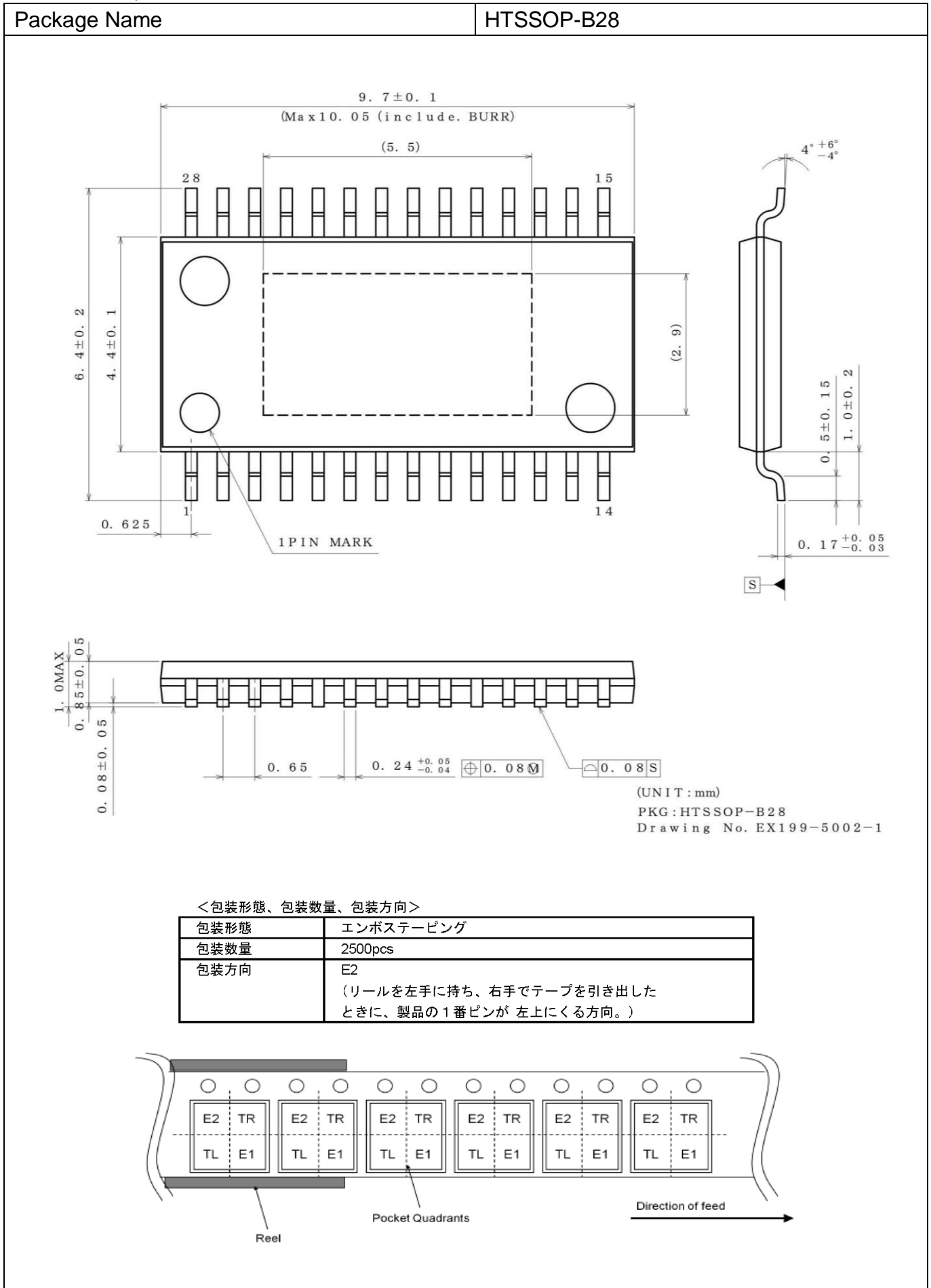
発注形名情報



標印図



外形寸法図と包装・フォーミング仕様



改訂履歴

日付	版	変更内容
2019.08.31	001	新規作成

ご注意

ローム製品取扱い上の注意事項

- 極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器^(Note 1)、航空宇宙機器、原子力制御装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

- 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
- 本製品は、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用
 - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用される場合は除く。ただし、残渣については十分に確認をお願いします。)又は、はんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合
 - ⑧結露するような場所でのご使用
- 本製品は耐放射線設計はなされておられません。
- 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
- パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
- 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
- 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
- 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

- ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
- はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。(人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等)

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
 - ① 潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ② 推奨温度、湿度以外での保管
 - ③ 直射日光や結露する場所での保管
 - ④ 強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き(梱包箱に表示されている天面方向)で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルに2次元バーコードが印字されていますが、2次元バーコードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は、外国為替及び外国貿易法に定めるリスト規制貨物等に該当するおそれがありますので、輸出する場合には、ロームへお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等(ソフトウェア含む)との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。