

車載モータドライバシリーズ

車載用 SPI 内蔵 14CH Half Bridge Driver

BD16940MUF-C

概要

BD16940MUF-C は車載アプリケーション向けに設計された 14ch ハーフブリッジドライバです。小型 DC ブラシモータを直接ドライブでき、各出力を High 出力、Low 出力、Hi-Z 出力の 3 モードに独立制御可能です。16 bit シリアルインタフェース (SPI) により外部 MCU からの制御が可能です。

高耐圧 (最大定格 40 V)、低 ON 抵抗、小型パッケージを実現しており、セットの高信頼性、低消費電力化、低コスト化に貢献できます。

特長

- AEC-Q100 対応 (Note 1)
- 機能安全をサポート
- 1.0 A DMOS ハーフブリッジ 14 回路
- 3 モード制御 (High 出力、Low 出力、Hi-Z)
- PWM 制御 (内蔵周波数選択型) モード
- 低スタンバイ電流
- 出力逆起電圧吸収ダイオード内蔵
- 過電流保護機能 (OCP)
- OPEN 検出機能 (UCD)
- VS 過電圧保護機能 (VSOV)
- 過電圧切り換え機能あり
- VS 減電圧保護機能 (VSUV)
- サーマルシャットダウン機能 (TSD)
- サーマルワーニング機能 (TW)
- Static Open/Short 検知機能 (SOS)
- 電流検出 AMP (2ch) 搭載
- Direct エラー出力信号/電流検出 AMP (1ch) 選択 (Note 1) Grade 1

用途

- 車載用 (ボディ機器、エアコン、ドアミラー、etc.)

重要特性

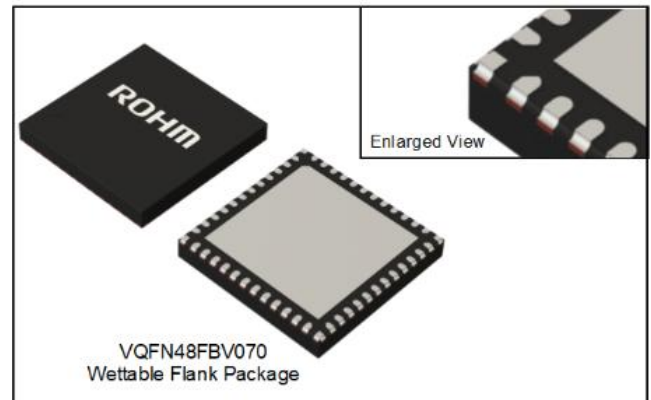
- 動作電源電圧範囲 (VS) : 6.3 V ~ 32 V
- 動作電源電圧範囲 (VCC) : 3.0 V ~ 5.5 V
- 電源静止電流 (VS) : 0 μ A (Typ)
- 電源静止電流 (VCC) : 0 μ A (Typ)
- 出力電流: 1 A (Max)
- 出力 ON 抵抗 (High Side) : 0.85 Ω (Typ)
- 出力 ON 抵抗 (Low Side) : 0.55 Ω (Typ)
- SPI クロック周波数: 4.1 MHz (Max)
- 接合部温度範囲: -40 $^{\circ}$ C ~ +150 $^{\circ}$ C

パッケージ

VQFN48FBV070

W (Typ) x D (Typ) x H (Max)

7.0 mm x 7.0 mm x 1.0 mm



基本アプリケーション回路

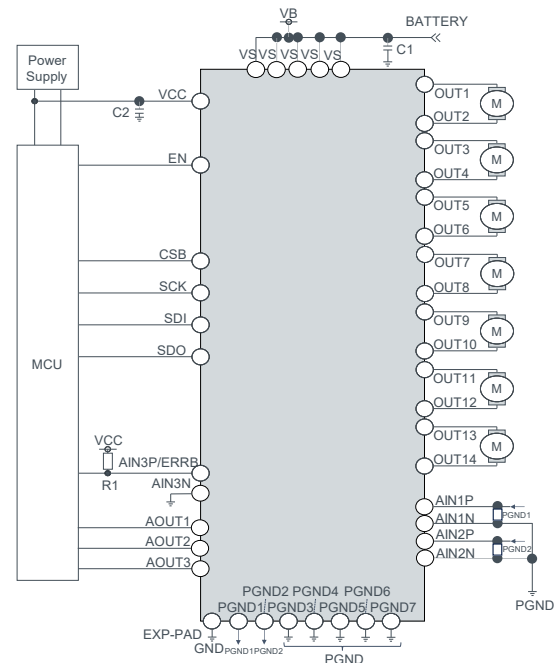


Figure 1. アプリケーション回路図

端子配置図

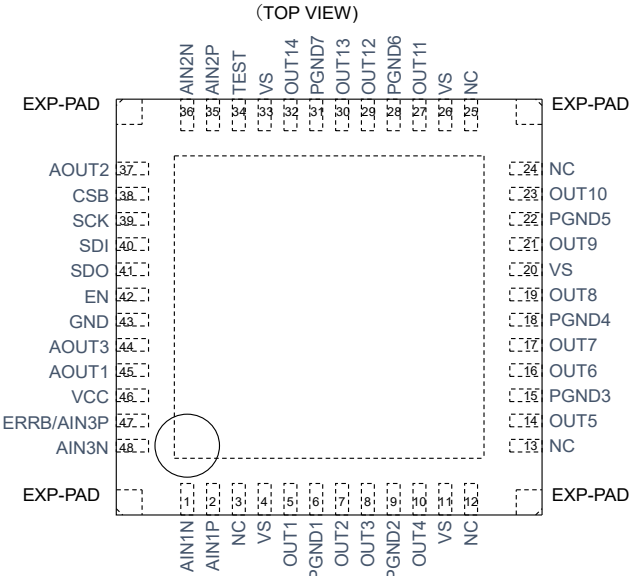


Figure 2. 端子配置図

ブロック図

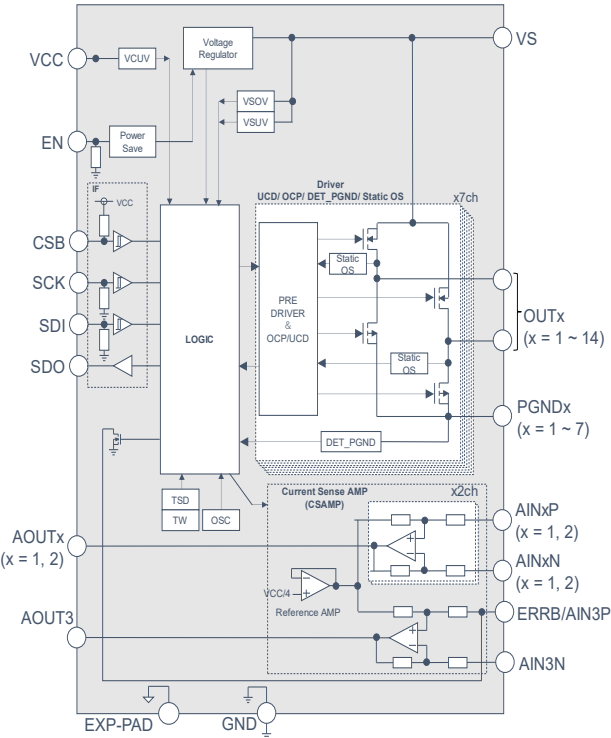


Figure 3. ブロック図

端子説明

No	端子名	機能	No	端子名	機能
1	AIN1N	電流検出アンプ 1 反転入力	25	NC	No connection
2	AIN1P	電流検出アンプ 1 非反転入力	26	VS	電源電圧入力
3	NC	No connection	27	OUT11	ハーフブリッジ出力 11
4	VS	電源電圧入力	28	PGND6	出力部 GND6 (OUT11, 12 Power GND)
5	OUT1	ハーフブリッジ出力 1	29	OUT12	ハーフブリッジ出力 12
6	PGND1	出力部 GND1 (OUT1, 2 Power GND)	30	OUT13	ハーフブリッジ出力 13
7	OUT2	ハーフブリッジ出力 2	31	PGND7	出力部 GND7 (OUT13, 14 Power GND)
8	OUT3	ハーフブリッジ出力 3	32	OUT14	ハーフブリッジ出力 14
9	PGND2	出力部 GND2 (OUT3, 4 Power GND)	33	VS	電源電圧入力
10	OUT4	ハーフブリッジ出力 4	34	TEST	テストモード入力 (Note 1)
11	VS	電源電圧入力	35	AIN2P	電流検出アンプ 2 非反転入力
12	NC	No connection	36	AIN2N	電流検出アンプ 2 反転入力
13	NC	No connection	37	AOUT2	電流検出アンプ 2 出力
14	OUT5	ハーフブリッジ出力 5	38	CSB	SPI チップセレクト入力 (Low Active)
15	PGND3	出力部 GND3 (OUT5, 6 Power GND)	39	SCK	SPI クロック入力
16	OUT6	ハーフブリッジ出力 6	40	SDI	SPI データ入力
17	OUT7	ハーフブリッジ出力 7	41	SDO	SPI データ出力
18	PGND4	出力部 GND4 (OUT7, 8 Power GND)	42	EN	イネーブル端子
19	OUT8	ハーフブリッジ出力 8	43	GND	制御部 GND
20	VS	電源電圧入力	44	AOUT3	電流検出アンプ 3 出力
21	OUT9	ハーフブリッジ出力 9	45	AOUT1	電流検出アンプ 1 出力
22	PGND5	出力部 GND5 (OUT9, 10 Power GND)	46	VCC	制御部電源入力
23	OUT10	ハーフブリッジ出力 10	47	ERRB/ AIN3P	エラー出力 (Low Active) / 電流検出アンプ 3 非反転入力
24	NC	No connection	48	AIN3N	電流検出アンプ 3 反転入力
	EXP-PAD	中央の EXP-PAD は、IC 外部にて GND 端子とショート接続が必要 中央の EXP-PAD とコーナの EXP-PAD は、IC 内部にてショート接続			

(Note 1) TEST 端子は GND に抵抗を介して Pull Down 接続してください。

応用回路例・部品表

応用回路図 (例: ブラシ付き DC モータ駆動, 3CH CSAMP 使用時)

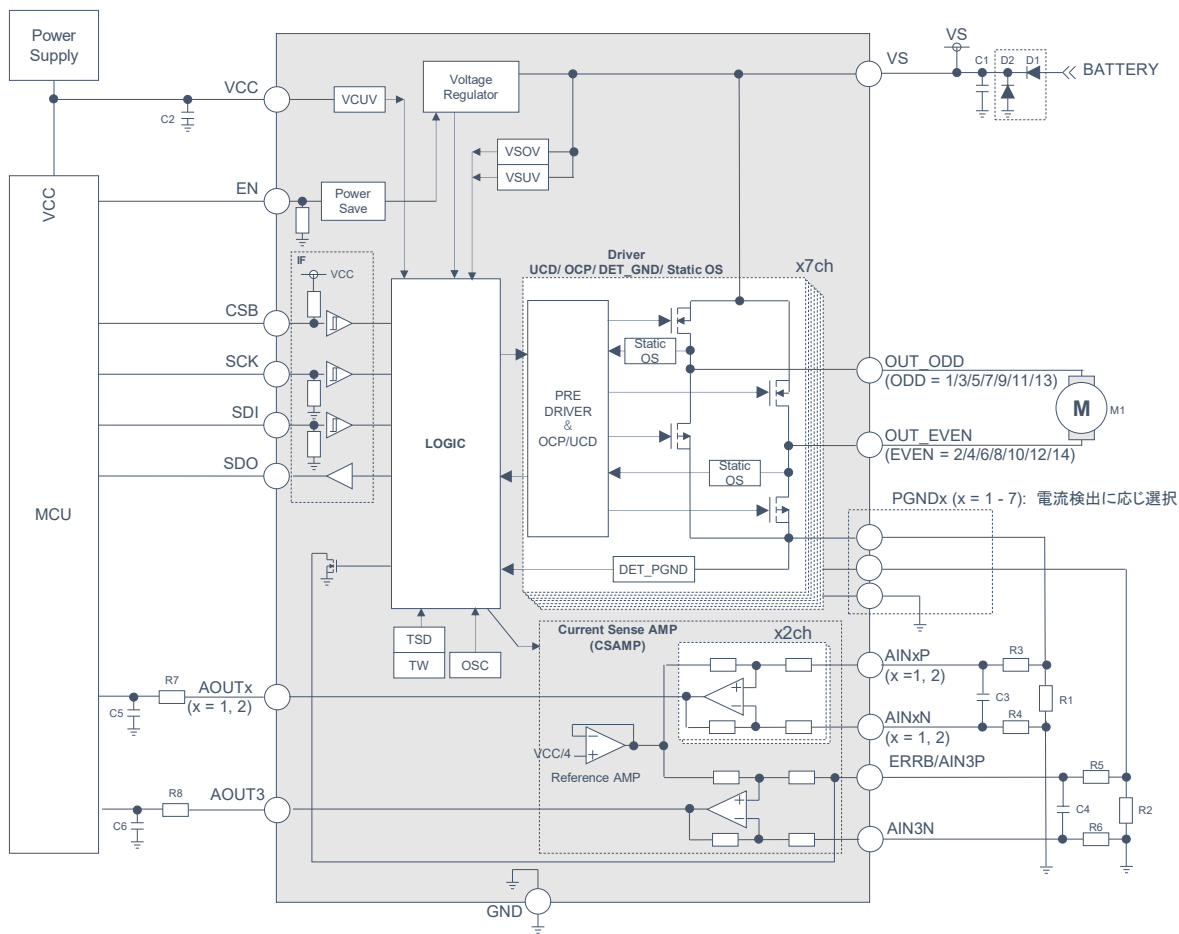


Figure 4. 応用回路例 1

部品表

No.	シンボル	機能	推奨値	単位	クラス (Note 1)
1	C1	デカップリング・バイパスコンデンサ	10 以上	μF	A
2	C2	デカップリング・バイパスコンデンサ	0.1	μF	A
3	C3, C4	入力電圧平滑化ローパスフィルタの一部	—	—	B
4	C5, C6	出力電圧平滑化ローパスフィルタの一部	—	—	B
5	R1, R2	モータ駆動電流検出用シャント抵抗	—	—	B
6	R3, R4, R5, R6	入力電圧平滑化ローパスフィルタの一部	—	—	B
7	R7, R8	出力電圧平滑化ローパスフィルタの一部	—	—	B
8	D1	バッテリー逆接続保護用ショットキーバリアダイオード	—	—	B
9	D2	バッテリー電圧クランプ用ツェナーダイオード	—	—	B

(Note 1) クラス A: モータドライバとして必要な部品、クラス B: システムでの考慮が必要な部品

応用回路図 (例: ブラシ付き DC モータ駆動, ERRB 使用時)

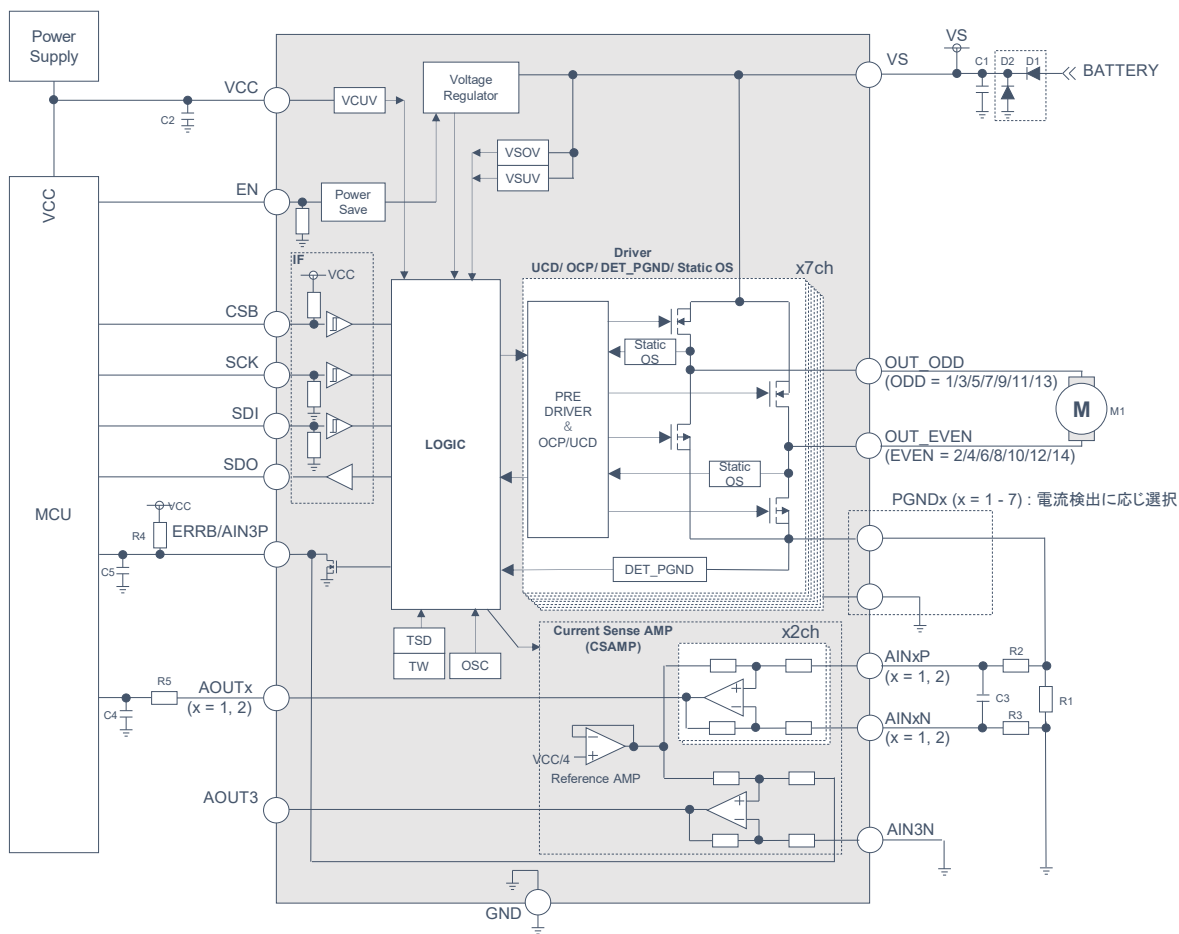


Figure 5. 応用回路例 2

部品表

No.	シンボル	機能	推奨値	単位	クラス (Note 1)
1	C1	デカップリング・バイパスコンデンサ	10 以上	μF	A
2	C2	デカップリング・バイパスコンデンサ	0.1	μF	A
3	C3	入力電圧平滑化ローパスフィルタの一部	—	—	B
4	C4	出力電圧平滑化ローパスフィルタの一部	—	—	B
5	C5	出力電圧平滑化ローパスフィルタの一部	—	—	B
6	R1	モータ駆動電流検出用シャント抵抗	—	—	B
7	R2, R3	入力電圧平滑化ローパスフィルタの一部	—	—	B
8	R4	電源ブルアップ抵抗	10	kΩ	A
9	R5	出力電圧平滑化ローパスフィルタの一部	—	—	B
10	D1	バッテリー逆接続保護用ショットキーバリアダイオード	—	—	B
11	D2	バッテリー電圧クランプ用ツェナーダイオード	—	—	B

(Note 1) クラス A: モータドライバとして必要な部品、クラス B: システムでの考慮が必要な部品

絶対最大定格

項目		記号	定格	単位
電源電圧	VS	V _S	-0.3 ~ +40	V
	VCC	V _{CC}	-0.3 ~ +7	V
入力電圧	EN, CSB, SCK, SDI	V _{EN} , V _{CSB} , V _{SCK} , V _{SDI}	-0.3 ~ +7 < VCC	V
	AIN1P, AIN1N, AIN2P, AIN2N	V _{AIN1P} , V _{AIN1N} , V _{AIN2P} , V _{AIN2N}	-0.3 ~ +7	V
	AIN3N	V _{AIN3N}	< VCC	V
テスト入力電圧	TEST	V _{TEST}	-0.3 ~ +7	V
出力電圧	OUT1~OUT14	V _{OUT1~14}	-0.3 ~ +40 < VS	V
	AOUT1, AOUT2, AOUT3	V _{AOUT1} , V _{AOUT2} , V _{AOUT3}	-0.3 ~ +7 < VCC	V
	SDO	V _{SDO}	-0.3 ~ +7 < VCC	V
入出力電圧	ERRB/AIN3P	V _{ERRB/AIN3P}	-0.3 ~ +7 < VCC	V
PGND 電圧 (Note 2)	PGND1, PGND2, PGND3, PGND4 PGND5, PGND6, PGND7	V _{PGND1} , V _{PGND2} , V _{PGND3} , V _{PGND4} V _{PGND5} , V _{PGND6} , V _{PGND7}	-0.3 ~ +2	V
出力電流 (Note 1)	OUTx (x = 1 ~ 14)	I _{OUTx} (x = 1 ~ 14)	-1 ~ +1	A
	SDO	I _{SDO}	-1 ~ +1	mA
	ERRB/AIN3P (Note 3)	I _{ERRB/AIN3P}	0 ~ +1	mA
保存温度範囲		T _{stg}	-55 ~ +150	°C
最高接合部温度		T _{jmax}	+150	°C

注意 1: 印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施していただけるようご検討をお願いします。

注意 2: 最高接合部温度を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。最高接合部温度を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用するなど、最高接合部温度を超えないよう熱抵抗にご配慮ください。

(Note 1) 電流項目については IC への電流流入を正表記、IC からの電流流出を負表記としています。

(Note 2) 電流モニタ AMP を使用しない端子は PGND へ接続してください。

(Note 3) ERRB 使用時の電流規定です。

推奨動作条件

項目	記号	規格値			単位
		最小	標準	最大	
動作温度	T _{opr}	-40	+25	+125	°C
VS 電源電圧 (Note 4)	V _S	6.3	12.0	32.0	V
VCC 電源電圧 (Note 4)	V _{CC}	3.0	5.0	5.5	V
EN, CSB, SCK, SDI 入力電圧	V _{EN} , V _{CSB} , V _{SCK} , V _{SDI}	0	-	VCC	V

(Note 4) VS 電圧が最小動作電圧範囲 (6.3 V) を超えた後に VCC 電圧を投入することを推奨します。

VCC 電圧が最小動作電圧範囲 (3 V) を超えた後に各ロジック入力を印加することを推奨します。

熱抵抗 (Note 1)

項目	記号	熱抵抗(Typ)		単位
		1 層基板 (Note 3)	4 層基板 (Note 4)	
VQFN48FBV070				
ジャンクション—周囲温度間熱抵抗	θ_{JA}	72.6	30.5	°C/W
ジャンクション—パッケージ上面中心間熱特性パラメータ (Note 2)	Ψ_{JT}	12.0	12.0	°C/W

(Note 1) JESD51-2A(Still-Air)に準拠。BD16940MUF-C チップを使用しています。
(Note 2) ジャンクションからパッケージ（モールド部分）上面中心までの熱特性パラメータ。
(Note 3) JESD51-3 に準拠した基板を使用。
(Note 4) JESD51-5,7 に準拠した基板を使用。

測定基板	基板材	基板寸法
1層	FR-4	114.3 mm x 76.2 mm x 1.57 mm

1層目（表面）銅箔	
銅箔パターン	銅箔厚
実装ランドパターン ＋電極引出し用配線	70 μm

測定基板	基板材	基板寸法	サーマルビア (Note 5)	
			ピッチ	直径
4層	FR-4	114.3 mm x 76.2 mm x 1.6 mm	1.20 mm	Φ0.30 mm

1層目（表面）銅箔		2層目、3層目（内層）銅箔		4層目（裏面）銅箔	
銅箔パターン	銅箔厚	銅箔パターン	銅箔厚	銅箔パターン	銅箔厚
実装ランドパターン ＋電極引出し用配線	70 μm	74.2 mm□（正方形）	35 μm	74.2 mm□（正方形）	70 μm

(Note 5) 貫通ビア。1,2,4層の銅箔と接続する。配置はランドパターンに従う。

電気的特性

特に指定のない限り $-40\text{ }^{\circ}\text{C} \leq T_j \leq +150\text{ }^{\circ}\text{C}$, $V_S = 6.3\text{ V} \sim 32\text{ V}$, $V_{CC} = 3.0\text{ V} \sim 5.5\text{ V}$,
 $\text{PGND1} = \text{PGND2} = \text{PGND3} = \text{PGND4} = \text{PGND5} = \text{PGND6} = \text{PGND7} = \text{GND}$, 各 V_S 端子はショート
 $\text{AIN1P} = \text{AIN2P} = \text{ERRB}/\text{AIN3P} = \text{AIN1N} = \text{AIN2N} = \text{AIN3N} = \text{GND}$

項 目	記号	規格値			単位	条 件
		最小	標準	最大		
回路電流						
VS 回路電流 1 (Note 1)	I _{VS1}	—	0	5	μA	EN = 0 V, -40 °C ≤ T _j ≤ +105 °C
VS 回路電流 2	I _{VS2}	—	—	17.5	μA	EN = 0 V, +105 °C < T _j ≤ +150 °C
VS 回路電流 3 (Note 2)	I _{VS3}	—	8.7	15.6	mA	EN = 5 V, CSAMP _x _EN (x = 1 ~ 3) = 1
VCC 回路電流 1 (Note 1)	I _{VCC1}	—	0	10	μA	EN = 0 V, -40 °C ≤ T _j ≤ +105 °C
VCC 回路電流 2	I _{VCC2}	—	—	100	μA	EN = 0 V, +105 °C < T _j ≤ +150 °C
VCC 回路電流 3 (Note 2)	I _{VCC3}	—	3.4	6.8	mA	EN = 5 V, CSAMP _x _EN (x = 1 ~ 3) = 0
VCC 回路電流 4 (Note 2)	I _{VCC4}	—	4.2	8.4	mA	EN = 5 V, CSAMP _x _EN (x = 1 ~ 3) = 1
出力端子						
出力 ON 抵抗 High side 1	R _{ONH1}	—	0.85	1.70	Ω	I _{Load} = 0.1 A ~ 0.8 A, -40 °C ≤ T _j < +25 °C
出力 ON 抵抗 High side 2	R _{ONH2}	—	1.25	2.05	Ω	I _{Load} = 0.1 A ~ 0.8 A, +25 °C ≤ T _j ≤ +150 °C
出力 ON 抵抗 Low side 1	R _{ONL1}	—	0.55	1.10	Ω	I _{Load} = 0.1 A ~ 0.8 A, -40 °C ≤ T _j < +25 °C
出力 ON 抵抗 Low side 2	R _{ONL2}	—	0.90	1.45	Ω	I _{Load} = 0.1 A ~ 0.8 A, +25 °C ≤ T _j ≤ +150 °C
出力リーク High side	I _{LH}	-10	0	—	μA	EN = 0 V, OUT _x (x = 1 ~ 14) = 0 V
出力リーク Low side	I _{LL}	—	0	10	μA	EN = 0 V, OUT _x (x = 1 ~ 14) = VS
出力ダイオード電圧 High side	V _{FH}	0.2	0.8	1.4	V	I _{Load} = +0.6 A
出力ダイオード電圧 Low side	V _{FL}	0.2	0.8	1.4	V	I _{Load} = -0.6 A
イネーブル入力 (EN) , SPI 入力 (CSB, SCK, SDI)						
入力 High 電圧	V _{IH}	V _{CC} x 0.7	—	V _{CC}	V	
入力 Low 電圧	V _{IL}	0	—	V _{CC} x 0.3	V	
入力 High 電流 1	I _{IH1}	25	50	100	μA	SDI, SCK, EN = V _{CC} = 5 V
入力 High 電流 2	I _{IH2}	—	0	10	μA	CSB = V _{CC} = 5 V
入力 Low 電流 1	I _{IL1}	-10	0	—	μA	SDI, SCK, EN = 0 V
入力 Low 電流 2	I _{IL2}	-25	-50	-100	μA	CSB = 0 V, V _{CC} = 5 V
SPI 出力 (SDO) , エラー出力 (ERRB/AIN3P)						
High レベル出力電圧 (SDO)	V _{SDOH}	V _{CC} x 0.8	—	V _{CC}	V	SDO = High, I _{SDO} = -1 mA
Low レベル出力電圧 (SDO)	V _{SDOL}	0	—	V _{CC} x 0.2	V	SDO = Low, I _{SDO} = +1 mA
Low レベル出力電圧 (ERRB/AIN3P)	V _{ERRB}	0	—	0.4	V	CSAMP3_EN = 0, ERRB/AIN3P = Low, I _{ERRB/AIN3P} = +1 mA
High レベル出力リーク電流 (ERRB/AIN3P)	I _{ERRBH}	—	0	10	μA	CSAMP3_EN = 0
Low レベル出力リーク電流 (SDO)	I _{SDOL}	-10	0	—	μA	
High レベル出力リーク電流 (SDO)	I _{SDOH}	—	0	10	μA	

(Note 1) 設計保証項目であり、出荷時の検査は実施していません

(Note 2) 各出力は Hi-Z 設定

(Note 3) 電流項目については IC への電流流入を正表記、IC からの電流流出を負表記とする

電氣的特性 — 続き

特に指定のない限り $-40\text{ }^{\circ}\text{C} \leq T_j \leq +150\text{ }^{\circ}\text{C}$, $V_S = 6.3\text{ V} \sim 32\text{ V}$, $V_{CC} = 3.0\text{ V} \sim 5.5\text{ V}$,
 $\text{PGND1} = \text{PGND2} = \text{PGND3} = \text{PGND4} = \text{PGND5} = \text{PGND6} = \text{PGND7} = \text{GND}$, 各 V_S 端子はショート
 $\text{AIN1P} = \text{AIN2P} = \text{ERRB}/\text{AIN3P} = \text{AIN1N} = \text{AIN2N} = \text{AIN3N} = \text{GND}$

項 目	記号	規格値			単位	条 件
		最小	標準	最大		
内部発振器 (オシレータ)						
発振周波数	f _{OSC}	8	10	12	MHz	
PWM 駆動						
PWM 周波数誤差	A _{fPWM}	-20	-	+20	%	
Dead Time 遅延時間	t _{ADeAd}	0.1	0.4	2.0	μs	PDEAD [1:0] = 0,0 時
Dead Time 精度 (レジスタ設定時)	A _{tDeAd}	-20	—	+20	%	PDEAD [1:0] = 0,0 以外
ドライバ出力タイミング						
伝搬遅延時間	t _{propg}	-	-	3	μs	VS = 12 V, No Load PDEAD [1:0] = 0,0 時
OUT 立ち上がり時間	t _{LHR}	-	0.4	2.0	μs	VS = 12 V, No Load
OUT 立ち下がり時間	t _{HLF}	-	0.4	2.0	μs	VS = 12 V, No Load
PGNDx (x = 1 ~ 7) 流出電流	I _{PGNDx} (x = 1 ~ 7)	-200	-120	-40	μA	LSC-OUTy (y = 1 ~ 14) = 1 (1ch のみ)

(Note 1) 設計保証項目であり、出荷時の検査は実施しておりません。

(Note 2) 電流項目については IC への電流流入を正表記、IC からの電流流出を負表記とする

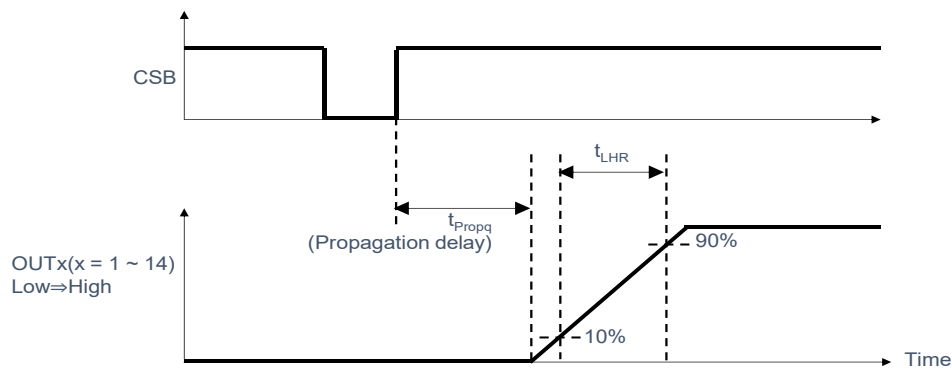


Figure 6. ドライバ出力タイミング (Low ⇒ High)

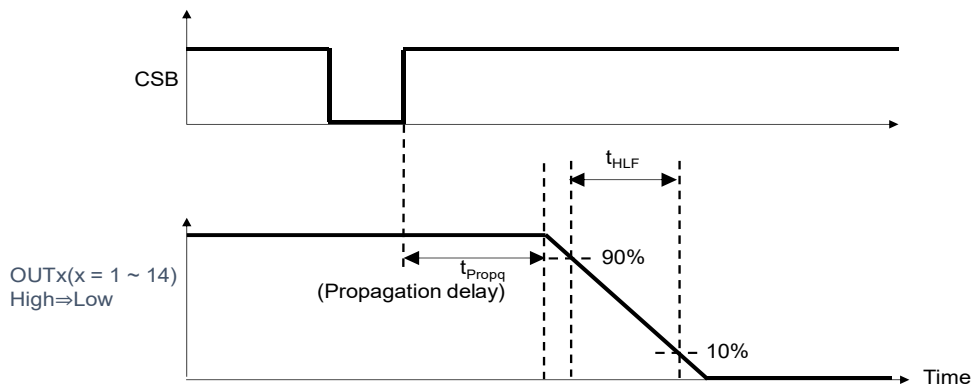


Figure 7. ドライバ出力タイミング (High ⇒ Low)

電気的特性 — 続き

特に指定のない限り $-40\text{ }^{\circ}\text{C} \leq T_j \leq +150\text{ }^{\circ}\text{C}$, $V_S = 6.3\text{ V} \sim 32\text{ V}$, $V_{CC} = 3.0\text{ V} \sim 5.5\text{ V}$,
 $\text{PGND1} = \text{PGND2} = \text{PGND3} = \text{PGND4} = \text{PGND5} = \text{PGND6} = \text{PGND7} = \text{GND}$, 各 VS 端子はショート
 $\text{AIN1P} = \text{AIN2P} = \text{ERRB}/\text{AIN3P} = \text{AIN1N} = \text{AIN2N} = \text{AIN3N} = \text{GND}$

項 目	記号	規格値			単位	条 件
		最小	標準	最大		
電流検出アンプ (AIN1P, AIN1N, AIN2P, AIN2N, ERRB/AIN3P, AIN3N)						
入力オフセット電圧 1	V _{AINOFS1}	-15	0	+15	mV	Tj = 25 °C, AINxP 入力時 (Note 2) V _{AINOFS} = (V _{AOx} - V _{CC} /4) / G _{AIOx} (x = 1 ~ 3)
入力オフセット電圧 2	V _{AINOFS2}	-20	0	+20	mV	Tj = 25 °C, PGND 入力時 (Note 3) V _{AINOFS} = (V _{AOx} - V _{CC} /4) / G _{AIOx} (x = 1 ~ 3)
入力オフセット電圧 温度ドリフト 1 (Note 1)	V _{AINDRFT 1}	-20	0	+20	μV/ °C	AINxP 入力時 (Note 2)
入力オフセット電圧 温度ドリフト 2 (Note 1)	V _{AINDRFT 2}	-40	0	+40	μV/ °C	PGND 入力時 (Note 3)
同相入力電圧範囲	V _{AINCMN}	-0.3	—	+1.0	V	
出力電圧範囲 1	V _{AO1}	0.3	—	4.4	V	VCC = 5 V
出力電圧範囲 2	V _{AO2}	0.3	—	2.7	V	VCC = 3.3 V
入出力ゲイン精度 1	G _{AIO1}	-3	—	+3	%	AINxP 入力時 (Note 2)
入出力ゲイン精度 2	G _{AIO2}	-3	—	+3	%	PGND 入力時 (Note 3)
出力立ち上がり時間 (Note 1)	t _{ARISE}	—	—	10	μs	AIN1P, AIN2P, ERRB/AIN3P = 0 V to +2 V/G _{AIO} , CAOUTx (x = 1 ~ 3) = 25 pF 負荷
出力立ち下がり時間 (Note 1)	t _{AFALL}	—	—	10	μs	AIN1P, AIN2P, ERRB/AIN3P = 2 V/G _{AIO} to 0 V CAOUTx (x = 1 ~ 3) = 25 pF 負荷
基準電圧生成アンプ出力電圧 (Note 1)	V _{REF}	V _{CC} /4 - 0.015	V _{CC} /4	V _{CC} /4 + 0.015	V	

(Note 1) 設計保証項目であり、出荷時の検査は実施しておりません。

(Note 2) AINxP 入力センス時の電流検出使用時特性。 $V_{\text{AINxP}} = V_{\text{AINxN}} = \text{GND}$ ($x = 1 \sim 3$)

(Note 3) PGND 入力センス時の電流検出使用時特性。 $\text{CSx_PGNDy_SEL} = 1$ ($x = 1 \sim 3, y = 1 \sim 7$)

電気的特性 — 続き

特に指定のない限り $-40\text{ }^{\circ}\text{C} \leq T_j \leq +150\text{ }^{\circ}\text{C}$, $V_S = 6.3\text{ V} \sim 32\text{ V}$, $V_{CC} = 3.0\text{ V} \sim 5.5\text{ V}$,
 $\text{PGND1} = \text{PGND2} = \text{PGND3} = \text{PGND4} = \text{PGND5} = \text{PGND6} = \text{PGND7} = \text{GND}$, 各 V_S 端子はショート
 $\text{AIN1P} = \text{AIN2P} = \text{ERRB}/\text{AIN3P} = \text{AIN1N} = \text{AIN2N} = \text{AIN3N} = \text{GND}$

項 目	記号	規格値			単位	条 件
		最小	標準	最大		
保護機能						
VS 減電圧保護検出 (ON $\Rightarrow$ OFF)	V_{UVDH}	5.3	5.8	6.3	V	
VS 減電圧保護検出 (OFF $\Rightarrow$ ON)	V_{UVDL}	5.0	5.5	6.0	V	
VS 過電圧保護検出 1 (OFF $\Rightarrow$ ON)	V_{OVPH1}	32.5	36.0	39.5	V	OVPSEL = 0
VS 過電圧保護検出 1 (ON $\Rightarrow$ OFF)	V_{OVPL1}	30.0	33.5	37.0	V	OVPSEL = 0
VS 過電圧保護検出 2 (OFF $\Rightarrow$ ON)	V_{OVPH2}	18.0	20.0	22.0	V	OVPSEL = 1
VS 過電圧保護検出 2 (ON $\Rightarrow$ OFF)	V_{OVPL2}	16.2	18.0	19.8	V	OVPSEL = 1
VCCUV 検出 (ON $\Rightarrow$ OFF)	V_{CCUVR}	2.55	2.75	2.95	V	
VCCUV 検出 (OFF $\Rightarrow$ ON)	V_{CCUVD}	2.50	2.70	2.90	V	
過電流検出	I_{OCP}	1.05	1.55	2.05	A	
過電流検出 Delay Time	t_{DOC}	1.5	5.0	10.0	μs	
PGND 過電圧検知 DET PGND x ($x = 1 \sim 7$)	V_{DETPG}	0.8	1.0	1.2	V	
PGND 過電圧検知 Delay Time	t_{DETPG}	1.5	5.0	10.0	μs	
OPEN 検出 (Note 1)	I_{UD}	2	11	25	mA	
OPEN 検出 Delay Time	t_{DUD}	200	370	600	μs	
サーマルワーニング検出 (Note 1)	T_{TW}	100	125	150	$^{\circ}\text{C}$	
サーマルワーニング ヒステリシス (Note 1)	T_{TWHYS}	—	15	—	$^{\circ}\text{C}$	
サーマルシャットダウン検出 (Note 1)	T_{TSD}	155	180	205	$^{\circ}\text{C}$	
サーマルシャットダウン ヒステリシス (Note 1)	T_{TSDHYS}	—	30	—	$^{\circ}\text{C}$	
Static Open/Short 検知 Comp 判定電圧	V_{TH_SOS}	$V_S \times 0.4$	$V_S \times 0.5$	$V_S \times 0.6$	V	
Static Open/Short 検知 Pull Up 抵抗	R_{SOS}	2.5	5.0	10.0	k Ω	
Static Open/Short 検知 Comp Delay Time	t_{DSOS}	—	—	2.0	μs	

(Note 1) 設計保証項目であり、出荷時の検査は実施しておりません。

電気的特性 — 続き

特に指定のない限り $-40\text{ }^{\circ}\text{C} \leq T_J \leq +150\text{ }^{\circ}\text{C}$, $V_S = 6.3\text{ V} \sim 32\text{ V}$, $V_{CC} = 3.0\text{ V} \sim 5.5\text{ V}$,
 $\text{PGND1} = \text{PGND2} = \text{PGND3} = \text{PGND4} = \text{PGND5} = \text{PGND6} = \text{PGND7} = \text{GND}$, 各 V_S 端子はショート
 $\text{AIN1P} = \text{AIN2P} = \text{ERRB}/\text{AIN3P} = \text{AIN1N} = \text{AIN2N} = \text{AIN3N} = \text{GND}$

項 目	記号	規格値			単位	条 件
		最小	標準	最大		
シリアルインタフェース						
SCK Frequency	f _{SCK}	－	－	4.1	MHz	
SCK Period	t _{SCK}	243	－	－	ns	
SCK High Time	t _{SCKH}	87.5	－	－	ns	
SCK Low Time	t _{SCKL}	87.5	－	－	ns	
SCK Setup Time	t _{SCKSET}	125	－	－	ns	
SCK Hold Time	t _{SCKHLD}	125	－	－	ns	
CSB Setup Time	t _{CSBSET}	125	－	－	ns	
CSB Hold Time	t _{CSBHLD}	125	－	－	ns	
CSB High Time	t _{CSBH}	2	－	－	μs	
SDI Setup Time	t _{SDISET}	50	－	－	ns	
SDI Hold Time	t _{SDIHLD}	50	－	－	ns	
SDO Valid Time	t _{SDOV}	－	－	100	ns	No Load
SDO Enable After CSB Falling Edge	t _{SDOEN}	－	－	125	ns	
SDO Disable After CSB Rising Edge	t _{SDODE}	－	－	500	ns	(Note 1)

(Note 1) VCC の 0 % 及び 100 % を基準にして規定します。

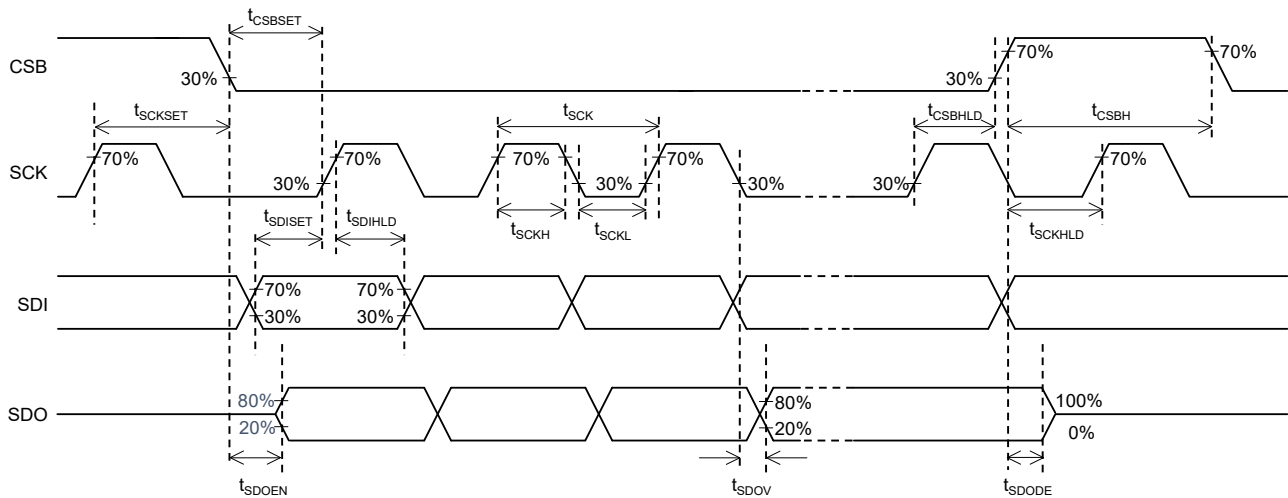


Figure 8. シリアルインタフェースタイミング

電源・駆動シーケンス タイミングチャート

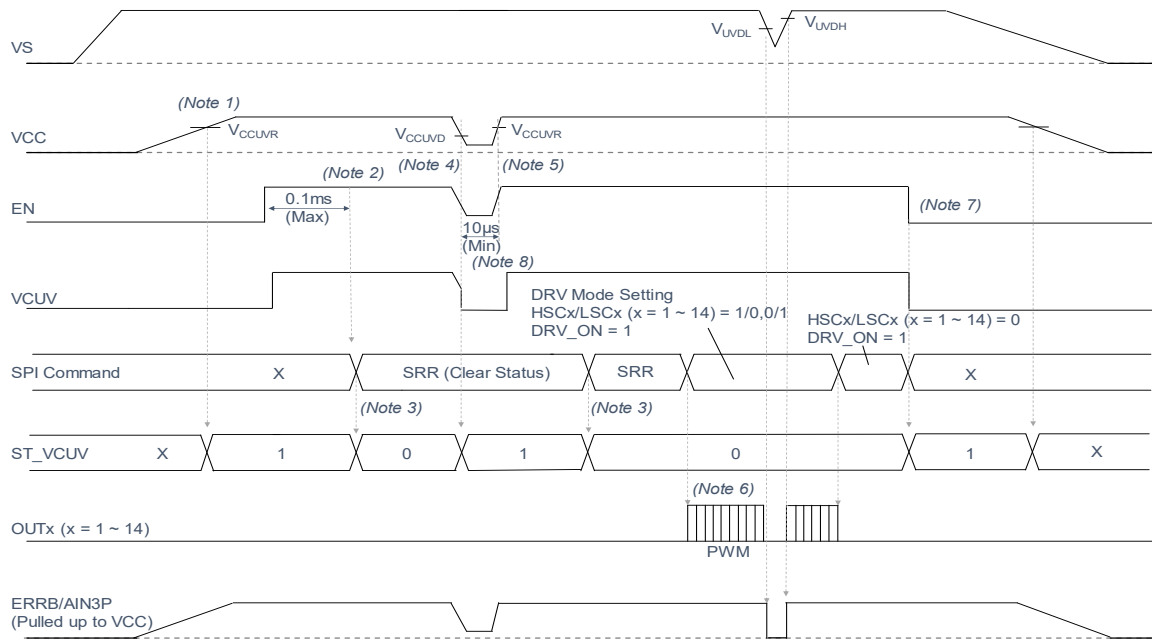


Figure 9. 電源・駆動シーケンス

- (Note 1) 低電圧誤動作防止機能 (VCCUV) は VCC 電圧を監視しています。
電源投入時、 $VCC \geq V_{CCUVR}$ になるとステータスレジスタの ST_VCUV は 1 に設定され、SPI で設定するまで値を保持します。
- (Note 2) EN を High に設定すると回路がアクティブ状態になります。また、SPI は $0.1ms$ (Max) 後から受信可能になります。
- (Note 3) SPI で SRR (ステータスクリア) レジスタに 1 を設定すると、各ステータスレジスタは 0 に設定されます。
- (Note 4) VCC 電圧が V_{CCUVD} 値を下回ると VCUV 電圧が Low になり、制御回路はリセット状態、アナログ回路は OFF 状態になります。
- (Note 5) VCC 電圧が V_{CCUVR} 値を上回ると VCUV 電圧が High になり、制御回路、アナログ回路ともアクティブ状態になります。
- (Note 6) SPI で SPI Address 12h ~ 28h の各設定を行い、DRV_ON = 1 が設定されると OUTx 出力 (x = 1 ~ 14) の設定が更新され、OUT 出力の動作を開始します。
- (Note 7) EN = Low に設定すると、回路は OFF 状態になります。この時、SPI の通信はできません。
- (Note 8) EN リセットをする場合は、EN = Low 区間を $10\mu s$ 以上入力してください。

駆動モード

FULL ON/OFF 制御

OUTx_PWMSEL [2:0] = 0,0,0 の設定をすると、OUT 出力は PWM 出力を使用しない ON/OFF 制御が行えます。ON/OFF の制御は HSC-OUTx, LSC-OUTx (x = 1 ~ 14) で OUT 出力毎に設定を行い、DRV_ON = 1 を送信するとデータの反映を行います。

Table 1. Full ON/OFF 制御時 OUTx 出力設定

OUTx_PWMSEL [2:0] (x = 1 ~ 14)	HSC-OUTx	LSC-OUTx	OUTx
0,0,0	0	0	Hi-Z
	0	1	LOW
	1	0	HIGH
	1	1	Hi-Z

PWM 制御

OUTx_PWMSEL [2:0] = 0,0,0 以外の設定を行うと OUT 出力は PWM 出力の設定になります。PWM 出力設定は、テーブル A ~ G の 7Ch 分の PWM テーブルを搭載しており、周波数、Duty、Deadtime をそれぞれ個別に設定できます。また、各 OUT 出力は、OUTx_PWMSEL (x = 1 ~ 14) で PWM テーブルの選択を行い、選択した PWM テーブルの設定に応じて PWM 出力を行います。これら PWM 制御設定は逐次反映はされず、DRV_ON = 1 を送信すると一括でデータの反映を行います。ただし、設定が反映されるまで PWM 周期の 1 周期分 (Table 4 参照) のズレが発生する場合があります。(PWM 制御駆動は H Bridge、Half Bridge、High Side SW、Low Side SW のどれでも使用可能です。)

また、PWM 制御選択時は、同期制御・非同期制御の選択が可能です。(同期・非同期制御参照)

Table 2. PWM 制御時 OUTx 出力設定

OUTx_PWMSEL [2:0] (x = 1 ~ 14)	HSC-OUTx	LSC-OUTx	OUTx
0,0,0 以外	0	0	Hi-Z
	0	1	PWM
	1	0	PWM
	1	1	Hi-Z

PWM テーブル : OUTx_PWMSEL [2:0] (x = 1 ~ 14)

各 OUT 出力の PWM テーブル設定を選択します。

Table 3 . PWM テーブル設定

OUTx_PWMSEL [2:0] (x = 1 ~ 14)			PWM テーブル設定
0	0	0	PWM MODE OFF
0	0	1	PWM_TABLE_A
0	1	0	PWM_TABLE_B
0	1	1	PWM_TABLE_C
1	0	0	PWM_TABLE_D
1	0	1	PWM_TABLE_E
1	1	0	PWM_TABLE_F
1	1	1	PWM_TABLE_G

PWM 周波数 : PWM_FREQ_y [1:0] (y = A ~ G)

各テーブルの周波数設定を行います。

Table 4. PWM 周波数設定

PWM_FREQ_y [1:0] (y = A ~ G)		周波数	単位	周期	単位
0	0	0.1	kHz	10000	μs
0	1	0.2		5000	
1	0	2.0		500	
1	1	22.5		44.4	

駆動モード — 続き

PWM Duty: PWM_DUTY_y [5:0] (y = A ~ G)
各テーブルの Duty 設定を行います。

$PWM_DUTY_y [5:0] / 63 \times 100 [\%], (y = A \sim G)$

Table 5. PWM Duty 設定

PWM_DUTY_y [5:0] (y = A ~ G)						Duty	単位
0	0	0	0	0	0	0.00	%
0	0	0	0	0	1	1.59	
0	0	0	0	1	0	3.17	
0	0	0	0	1	1	4.76	
:	:	:	:	:	:	:	
1	0	0	0	0	0	50.79	
1	0	0	0	0	1	52.38	
:	:	:	:	:	:	:	
1	1	1	1	1	0	98.41	
1	1	1	1	1	1	100.00	

駆動モード — 続き

同期・非同期制御

SYNC_EN-OUTx (x = 1 ~ 14) で非同期制御/同期制御の選択ができます。

0: 非同期モード

1: 同期モード

非同期制御時は、設定した Half Bridge の GxH、GxL のどちらかを PWM 駆動します。(Table 6 参照)

OUT 出力を Hi-Z 設定にした場合は、Body Diode を介して回生を行います。

同期制御時は、Half Bridge の GxH、GxL の両方を同期して PWM 駆動します。(Table 6 参照)

Duty 値は、HSC-OUTx, LSC-OUTx (x = 1 ~ 14) = 1 を設定した方を基に適用されます。また、OUTx_PWMSEL = 0,0,0 以外の設定時のみに有効になります。

Table 6. PWM 非同期制御・同期制御設定

SYNC_EN-OUTx	HSC-OUTx	LSC-OUTx	GxH (Note 3)	GxL (Note 3)	OUTx
0	0	0	OFF	OFF	Hi-Z
0	0	1	OFF	PWM	PWM (Note 1) (LOW⇔Hi-Z)
0	1	0	PWM	OFF	PWM (Note 2) (HIGH⇔Hi-Z)
0	1	1	OFF	OFF	Hi-Z
1	0	0	OFF	OFF	Hi-Z
1	0	1	PWMB (Note 4)	PWM	PWM (Note 1) (LOW⇔HIGH)
1	1	0	PWM	PWMB (Note 4)	PWM (Note 2) (HIGH⇔LOW)
1	1	1	OFF	OFF	Hi-Z

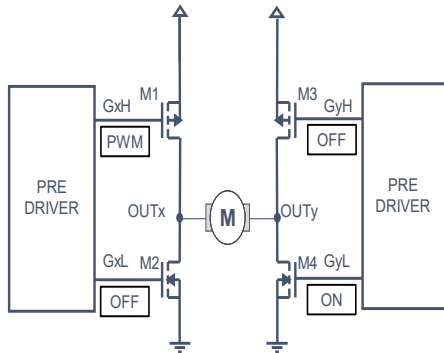
(Note 1) Duty 値は Low サイド (GxL) を基に適用されます。

(Note 2) Duty 値は High サイド (GxH) を基に適用されます。

(Note 3) IC の内部ノードです。ノード詳細は Figure 10 を参照してください。

(Note 4) 内部 PWM 信号に同期した反転論理信号です。

SYNC_EN-OUTx = 0,
HSC-OUTx,LSC-OUTx = 1,0設定事例
(x = 1 ~ 14)



SYNC_EN-OUTx = 1
HSC-OUTx,LSC-OUTx = 1,0設定事例
(x = 1 ~ 14)

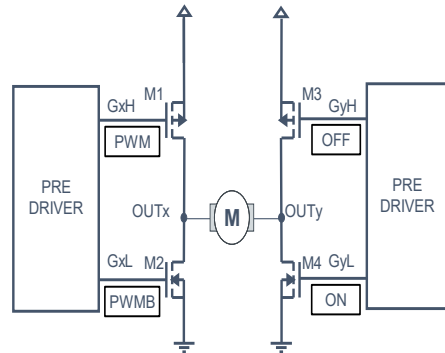


Figure 10. 同期・非同期制御モードについて

駆動モード — 続き

貫通電流防止回路

Half Bridge 単位でゲート電圧を監視し、貫通電流を防止する回路構成になっています。

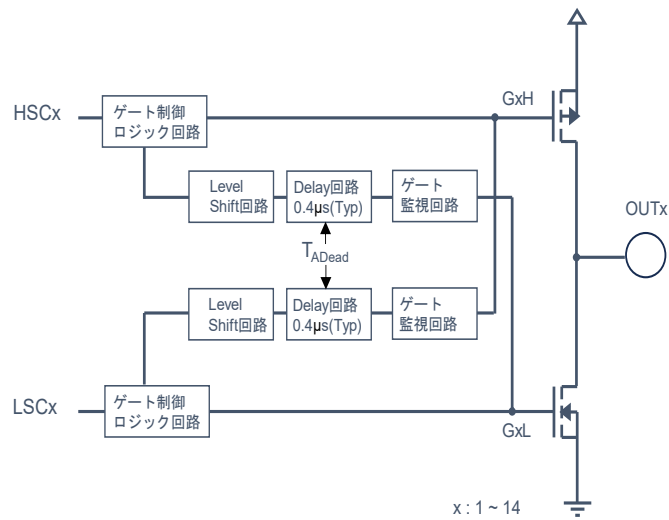


Figure 11. 貫通防止回路ブロック構成図

また、上記アナログ回路箇所以外に LOGIC 部でも貫通防止設定時間（Deadtime）の挿入を行うことができます。

貫通防止（Deadtime）設定: PDEADy [1:0] 設定 (y = A ~ G)
各テーブルの Deadtime 設定を行います。

Table 7. PWM deadtime 設定

PDEADy [1:0] (y = A ~ G)		SOS_EN	Deadtime	単位
0	0	0	0.4	μs
0	1	0	5	
1	0	0	10	
1	1	0	20	
*	*	1	20	

(Note) SOS_EN = 1 設定時、Deadtime は自動的に 20 μs になります。

OUT 出力ショートモードで使用する場合は、5 μs 以上の Deadtime 設定をしてください。

駆動モード — 続き

出力ショートモード・同期モード時の Dead Time について

OUT 出力ショートモード使用時は、Half Bridge 出力毎のばらつきを考慮し、貫通電流を防止するため Dead Time を挿入する必要があります。OUT 出力ショートモードを使用する際は、PDEAD [1:0] の設定時間を 5 μ s (Typ) 以上の設定にしてください。OUT 出力の切り替わり時に PDEAD レジスタで設定した Dead Time 時間が挿入されます。なお、OUT 出力の High / Low 出力時間は、Dead Time 挿入時間分、短くなります。

(例) PWM 周波数 = 22.5 kHz (周期: 約 44.4 μ s) , PWM Duty = 31.75 % , Dead Time = 5 μ s 設定時、OUT 出力の High 時間は
 High 時間 = 44.4 μ s x 31.75 % - 5 μ s = 14.1 μ s - 5 μ s = 9.1 μ s
 となり、実際の High 出力時間は Dead Time 分、短くなります。

また、Dead Time 設定値より OUT 出力の High/Low 時間が短い場合、OUT 出力の High/Low は Dead Time でマスクされ出力することができません。

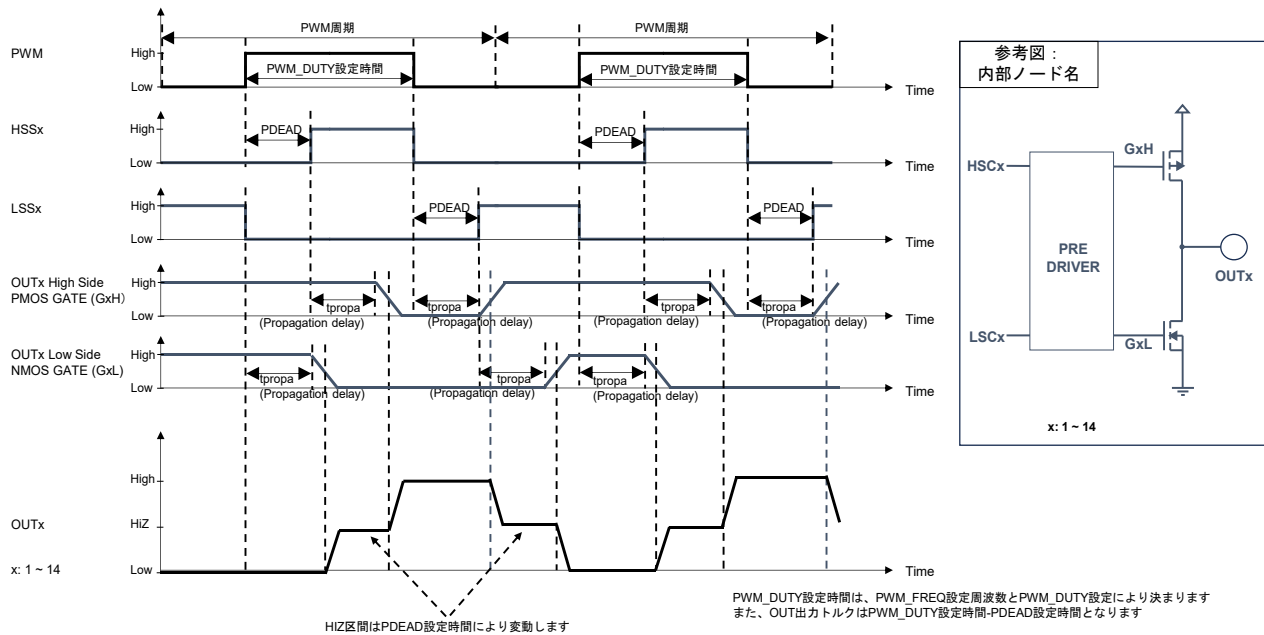


Figure 12. OUT 出力タイミングチャート (H-Bridge control MODE)

保護機能

Table 8 . 保護機能表

Protection	Detect Conditions (Typ)		Protect Operation (Latch/Recovery)	Status Register	Latch setting Register
	Detect	Release			
VCCUV <i>(Note 1)</i>	V _{CC} < 2.70 V	V _{CC} > 2.75 V	—	ST_VCUV	—
TW	T _j > 125 °C	T _j < 115 °C	No effect	ST_TW	LAT_TW
UCD	OUT 出力電流 ≤ 11 mA			ST_UCDHx ST_UCDLx (x = 1 ~ 14)	—
VSUV	V _s < 5.5 V	V _s > 5.8 V	Hi-Z (Auto recovery)	ST_VSUV	LAT_UV
VSOV	V _s > 20 V (OVPSEL = 1) or V _s > 36 V (OVPSEL = 0)	V _s < 18 V (OVPSEL = 1) or V _s < 33.5 V (OVPSEL = 0)		ST_VSOV	LAT_OV
TSD	T _j > 175 °C	T _j < 150 °C		ST_TSD	LAT_TSD
SPI_FAIL	SCK クロックパルス ≠ 16			ST_SPI	—
OCP (High Side)	OUT 出力電流 ≥ 1.55 A		検知 OUT 出力のみ Hi-Z (Latch) <i>(Note 2)</i>	ST_OCPHx (x = 1 ~ 14)	—
OCP (Low Side)	OUT 出力電流 ≥ 1.55 A or PGNDx > 1 V (Typ)			ST_OCPLx (x = 1 ~ 14)	—

(Note 1) VCCUV: VCC 減電圧保護、LOGIC RESET 信号

(Note 2) PGND 検知機能は、各 PGND に対応し出力保護を行います。Figure 16 の対応表を参照。

保護機能 — 続き

VCC 減電圧保護 (VCCUV)

VCC 電圧の低電圧検知 (VCCUV) を行う機能です。VCCUV を検知すると制御回路はリセットされます。そのため、低電圧状態では IC は動作しません。また、低電圧状態が解除され電圧が復帰すると、リセット状態も解除され、IC は動作可能状態に復帰します。ただし、制御回路がリセットされるため、各設定値は初期状態へ戻ります。

VCCUV 検知機能では、VCCUV 異常の発生を検出することができます。

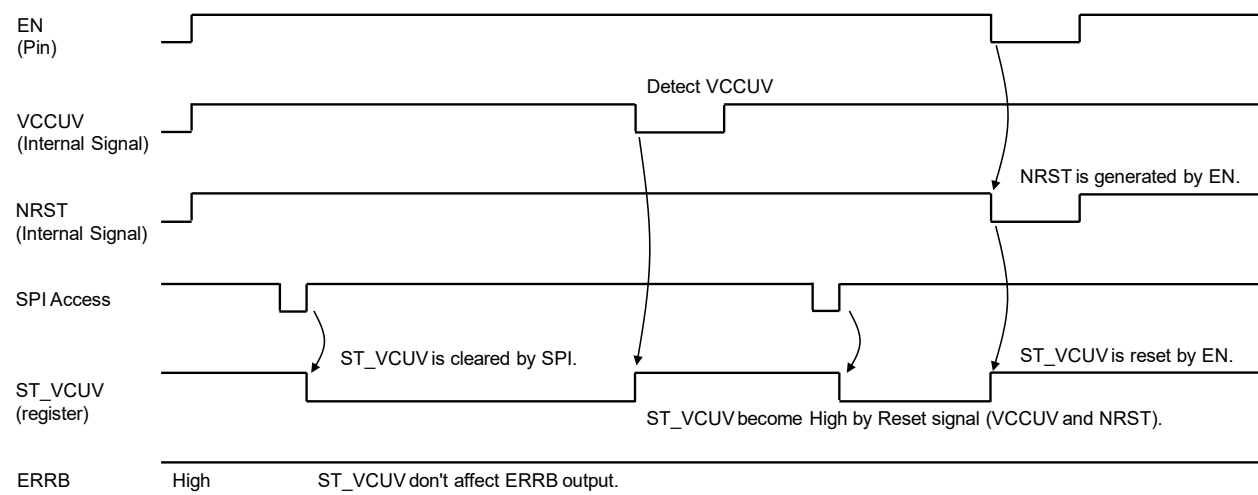


Figure 13. VCC 減電圧保護タイミングチャート

保護機能 — 続き

VS 過電圧保護 (VSOV)

VS 端子への印加電圧がレジスタ OVPSEL = 0 のとき $V_{OVPH1} = 36 \text{ V (Typ)}$ 以上、レジスタ OVPSEL = 1 のとき $V_{OVPH2} = 20 \text{ V (Typ)}$ 以上になった場合、全 OUT 出力を Hi-Z にします。このとき、レジスタ ST_VSOV = 1 がセットされます。

VS 端子への印加電圧が OVPSEL = 0 のとき $V_{OVPL1} = 33.5 \text{ V (Typ)}$ 以下、OVPSEL = 1 のとき $V_{OVPL2} = 18 \text{ V (Typ)}$ 以下になると、OUT 出力動作は復帰し、通常動作に戻ります。また、レジスタ ST_VSOV の状態は、レジスタ LAT_OV でラッチもしくは自動復帰を選択できます。

レジスタ LAT_OV = 1 のとき、レジスタ ST_VSOV = 1 で値をラッチします。レジスタ ST_VSOV の値をクリアするにはレジスタ SRR によるリセット、または、レジスタ ST_VSOV = 1 を設定することでレジスタ値のリセットが行えます。レジスタ LAT_OV = 0 のとき、レジスタ ST_VSOV は、VS 端子の印加電圧がレジスタ OVPSEL = 0 のとき 33.5 V (Typ) 以下、レジスタ OVPSEL = 1 のとき 18 V (Typ) 以下になると自動で ST_VSOV = 0 に復帰します。

なお、過電圧保護は EN 端子が Low レベルのときは動作しません。電源電圧の絶対最大定格を越えた場合は破壊の可能性があるので、絶対最大定格を越えないようにしてください。

Global Status: OVP, 出力レジスタ: ST_VSOV

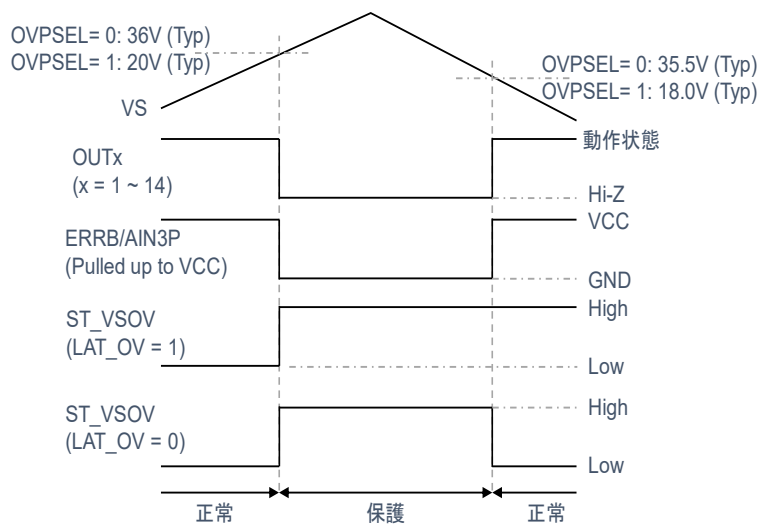


Figure 14. 過電圧保護タイミングチャート

保護機能 — 続き

VS 減電圧保護 (VSUV)

VS 端子への印加電圧が 5.5 V (Typ) 以下になった場合、全 OUT 出力を Hi-Z にします。このとき、レジスタ ST_VSUV = 1 がセットされます。VS 端子への印加電圧が 5.8 V (Typ) 以上になると OUT 出力動作は復帰し、通常動作に戻ります。

レジスタ ST_VSUV の状態は、レジスタ LAT_UV の設定でラッチもしくは自動復帰を選択できます。レジスタ LAT_UV = 1 のとき、レジスタ ST_VSUV = 1 でラッチします。レジスタ ST_VSUV の値をクリアするにはレジスタ SRR によるリセット、または、レジスタ ST_VSUV = 1 を設定することでレジスタ値のリセットが行えます。レジスタ LAT_UV = 0 のとき、レジスタ ST_VSUV は、VS 端子の印加電圧が 5.8 V (Typ) 以上になると自動で ST_VSUV = 0 に復帰します。

Global Status: UVP, 出力レジスタ: ST_VSUV

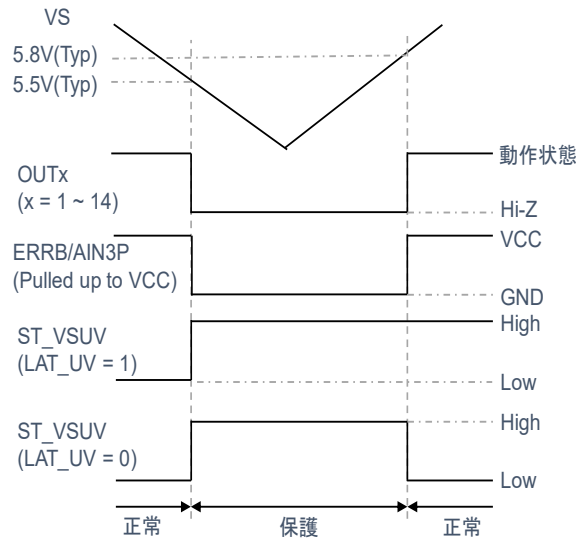


Figure 15. 減電圧保護タイミングチャート

保護機能 — 続き

過電流保護 (OCP)

過電流保護は、各 OUT 出力で独立して異常検知、及び保護動作を行います。また、ノイズ誤動作などを防止するため、5 μ s (Typ) の Filter 回路を搭載しています。

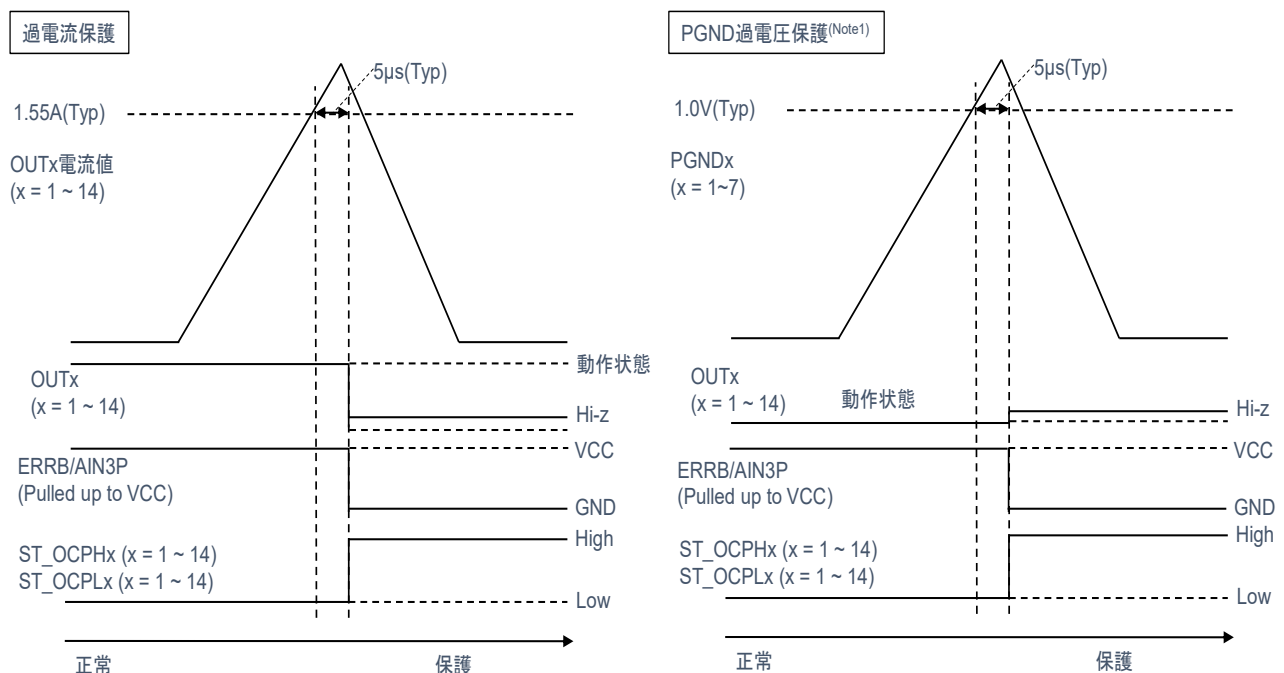
High 側の過電流検出保護は、High 側出力 MOS を駆動させる制御 (HSC-OUTx (x = 1 ~ 14) = 1 設定や同期制御設定) 時に OUT 出力端子に 1.55 A (Typ) 以上の電流が流れ 5 μ s (Typ) 経過すると過電流として検知し、OUTx 出力を Hi-Z でラッチします。また、レジスタ ST_OCPHx = 1 がセットされます。

Low 側の過電流検出保護は、LOW 側出力 MOS を駆動させる制御 (LSC-OUTx (x = 1 ~ 14) = '1' 設定や同期制御設定) 時に OUT 出力端子に 1.55 A (Typ) 以上の電流が流れるか、または、PGND 端子電圧が 1 V (Typ) 以上になった状態で 5 μ s (Typ) 経過すると過電流として検知し、OUTx 出力を Hi-Z でラッチします。また、レジスタ ST_OCPLx = 1 がセットされます。レジスタ ST_OCPHx/ST_OCPLx の値をクリアするにはレジスタ SRR によるリセット、または、レジスタ ST_OCPHx / ST_OCPLx = 1 を設定することでレジスタ値のリセットが行えます。

過電流保護は出力ショートなどによる IC の破壊を防ぐ機能ですが、過電流状態が継続すると IC の発熱や劣化などが考えられるので、過電流が継続する状態が続くときは、アプリケーションで IC をスタンバイにするなどの対策を行ってください。

Global Status: OCP, 出力レジスタ: ST_OCPHx, ST_OCPLx (x = 1 ~ 14)

同期制御時は High/Low 側の出力 MOS を駆動しているため、Half Bridge 単位で過電流時間検知し保護動作を行います。保護検出時は High/Low 側の出力 MOS を OFF にし、出力を Hi-Z でラッチします。



(Note1) PGND過電圧端子 - OUT出力Hi-Zラッチ対応表

PGND 過電圧検知端子	PGND1	PGND2	PGND3	PGND4	PGND5	PGND6	PGND7
OUT出力 Hi-Zラッチ端子	OUT1 OUT2	OUT3 OUT4	OUT5 OUT6	OUT7 OUT8	OUT9 OUT10	OUT11 OUT12	OUT13 OUT14

Figure 16. 過電流保護・PGND 過電圧検知タイミングチャート

保護機能 — 続き

サーマルシャットダウン (TSD) /サーマルワーニング (TW)

サーマルシャットダウンは、ジャンクション温度が上昇し 175 °C (Typ) 以上になった場合、全 OUT 出力を Hi-Z にします。このとき、レジスタ ST_TSD に '1' がセットされます。その後、150 °C (Typ) 以下になると OUT 出力を復帰させ、通常動作に戻ります。また、レジスタ ST_TSD は、レジスタ LAT_TSD の設定でラッチもしくは自動復帰を選択できます。

レジスタ LAT_TSD = 1 のときは、出力データレジスタ ST_TSD = 1 でラッチします。レジスタ ST_TSD の値をクリアするにはレジスタ SRR によるリセット、または、レジスタ ST_TSD = 1 を設定することでレジスタ値のリセットが行えます。レジスタ LAT_TSD = 0 のときは、レジスタ ST_TSD は 150 °C 以下になると自動で ST_TSD = 0 に復帰します。

Global Status: OT, 出力レジスタ: ST_TSD

サーマルワーニングは、ジャンクション温度が上昇し 125 °C (Typ) 以上になった場合、レジスタ ST_TW = 1 がセットされます。なお、サーマルワーニングを検出しても OUT 出力は OFF しません。また、レジスタ ST_TW は、レジスタ LAT_TW の設定でラッチもしくは自動復帰を選択できます。

レジスタ LAT_TW = 1 のときは、レジスタ ST_TW = 1 でラッチします。レジスタ ST_TW の値をクリアするにはレジスタ SRR によるリセット、または、レジスタ ST_TW = 1 を設定することでレジスタ値のリセットが行えます。レジスタ LAT_TW = 0 のときは、レジスタ ST_TW は 115 °C (Typ) 以下になると自動で ST_TW = 0 に復帰します。

Global Status: OT, 出力レジスタ: ST_TW

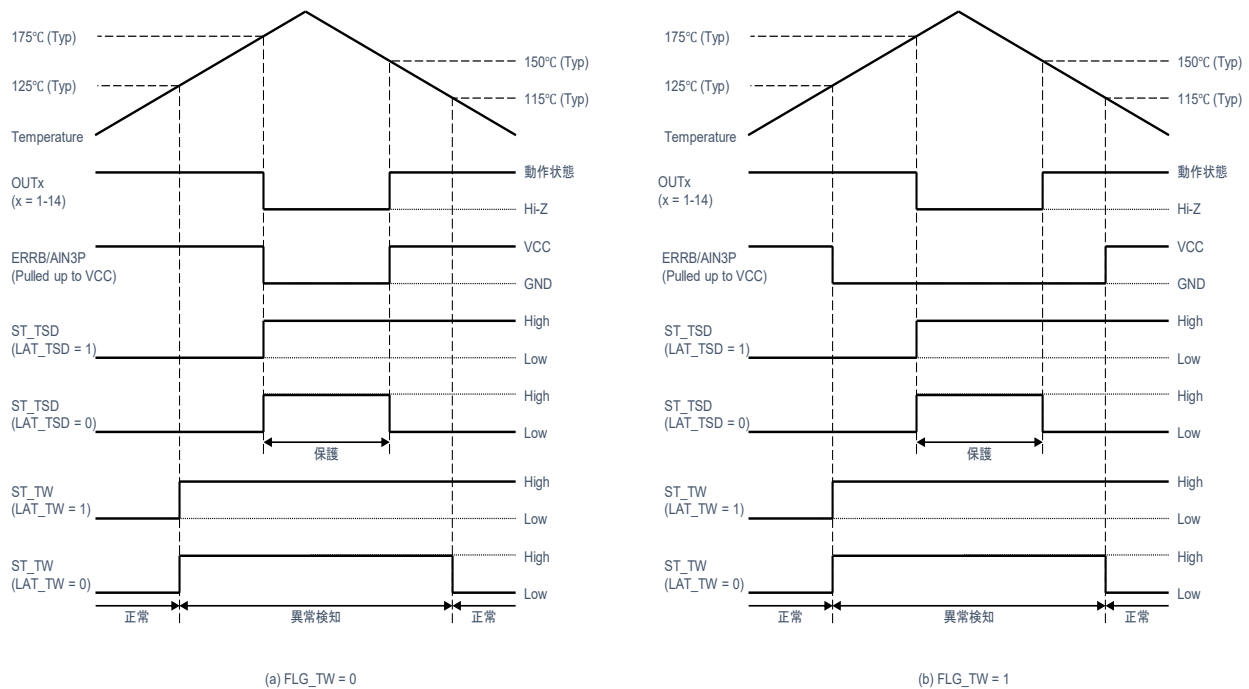


Figure 17. サーマルシャットダウン・サーマルワーニング タイミングチャート

保護機能 — 続き

OPEN 検出 (UCD)

OPEN 検出は、各 OUT 出力で独立して検知動作を行います。また、ノイズ誤動作などを防止するため、370 μ s (Typ) の Filter 回路を搭載しています。

OUT 出力端子の出力電流が 11 mA (Typ) 以下になり、370 μ s (Typ) 経過すると OPEN 検出を行います。このとき、レジスタ ST_UCDHx / ST_UCDLx = 1 がセットされます。なお、OPEN 検出しても OUT 出力は OFF しません。レジスタ ST_UCDHx / ST_UCDLx の値をクリアするにはレジスタ SRR によるリセット、または、レジスタ ST_UCDHx / ST_UCDLx = 1 を設定することでレジスタ値のリセットが行えます。

同期モード時は、HSC-OUTx or LSC-OUTx = 1 を設定している Status に Register Flag 出力します。

Global Status: UCD, 出力レジスタ: UCD, ST_UCDHx, ST_UCDLx (x = 1 ~ 14)

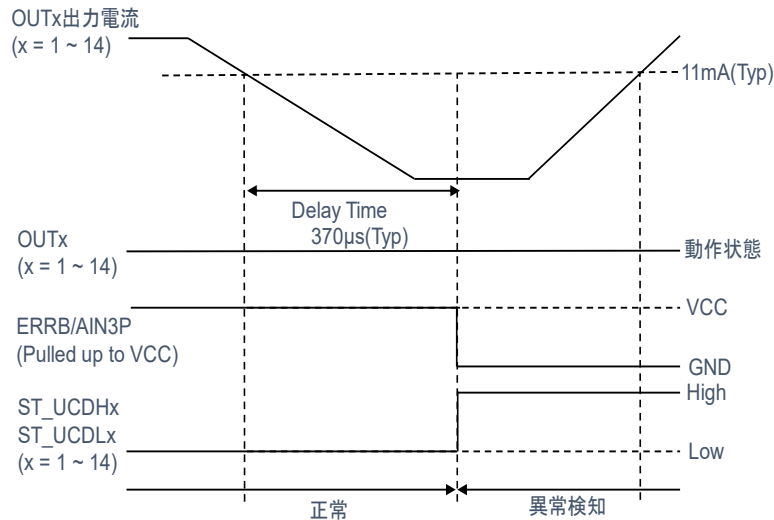


Figure 18. OPEN 検出タイミングチャート 1

(使用上における注意)

下図のように 600 μ s (Max) の検出時間を超える負荷をご使用されるときは、MASK_UCD = 1 をセットし、出力電流安定後、MASK_UCD = 0 (UCD ON) に設定してご使用ください。OPEN 検知は、出力 High, Low 固定時で判定を行ってください。PWM 駆動時やショートブレーキ時は、MASK_UCD = 1 をセットし使用ください。

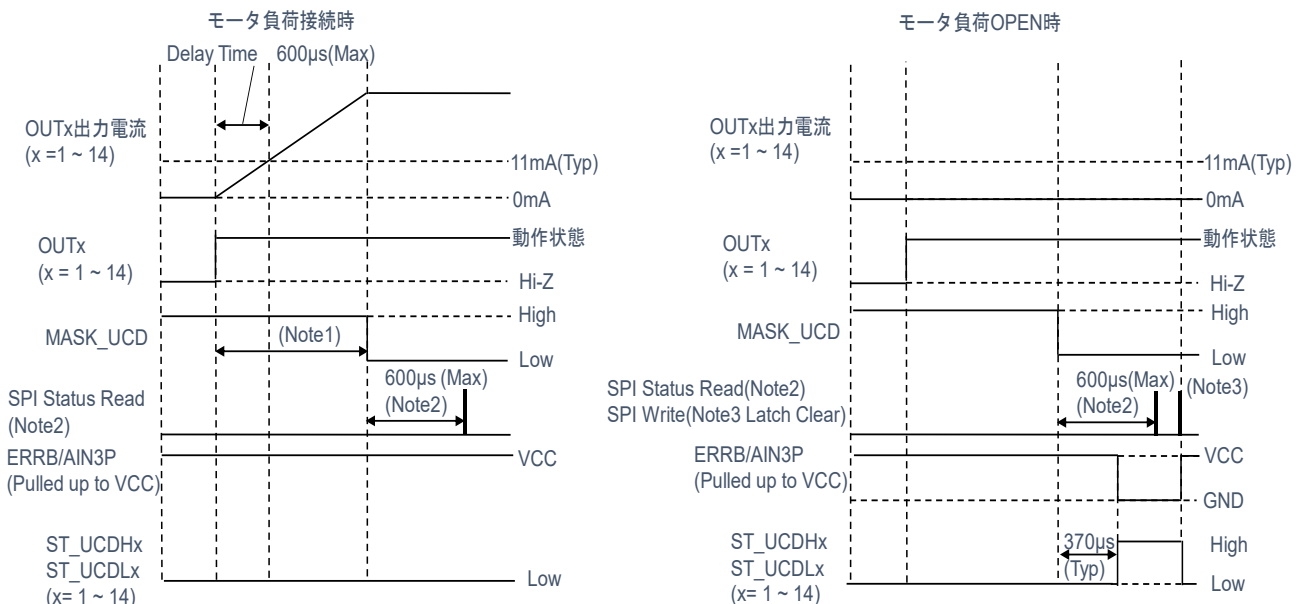


Figure 19. OPEN 検出タイミングチャート 2

(Note 1) 負荷に応じて決定してください。

(Note 2) OPEN 検出時間は最低でも 600 μ s が必要です。600 μ s 以上の間隔を空けてご使用ください。

(Note 3) ラッチ解除すると再度 OPEN 検知タイマカウントが再開します。

保護機能 — 続き**Static OPEN/SHORT 検知機能 (SOS)**

Static OPEN/SHORT 検知機能は、モータ駆動を行う前に大電流を流すことなく、出力 MOS のオープン、ショート状態やモータのオープンを検出することができる機能です。

- ・ OPEN/SHORT 確認用のスイッチ: SET_SOSx (x = 1 ~ 14)
- ・ OUTx 端子電圧の High or Low 判定用のコンパレータ: COMPx (x = 1 ~ 14)
- ・ コンパレータ出力結果を格納するレジスタ: CHK_SOSx (x = 1 ~ 14)

Half Bridge、または H Bridge 構成を自由に組み合わせできるため、OPEN/SHORT の異常判定を行う機能は搭載していません。MCU にて OPEN/SHORT 確認用のスイッチとコンパレータ出力を格納したレジスタ結果を用いて判定を行う機能を搭載いただくことで OPEN/SHORT の確認が可能です。構成に応じて判定機能を実装してください。

(H Bridge 接続時事例 参照)

(注意) Static OPEN/SHORT 検知の判定タイミングは、モータ負荷により充電放電時定数が増減するため、OUT 出力の応答速度を確認のうえ、判定タイミングの設定を行ってください。また、Static OPEN/SHORT 検知機能の使用時は Dead Time 時間は自動的に 20 μ s に設定されます。

保護機能 — 続き

(参考) H Bridge (OUT1, OUT2 使用) 構成時の例

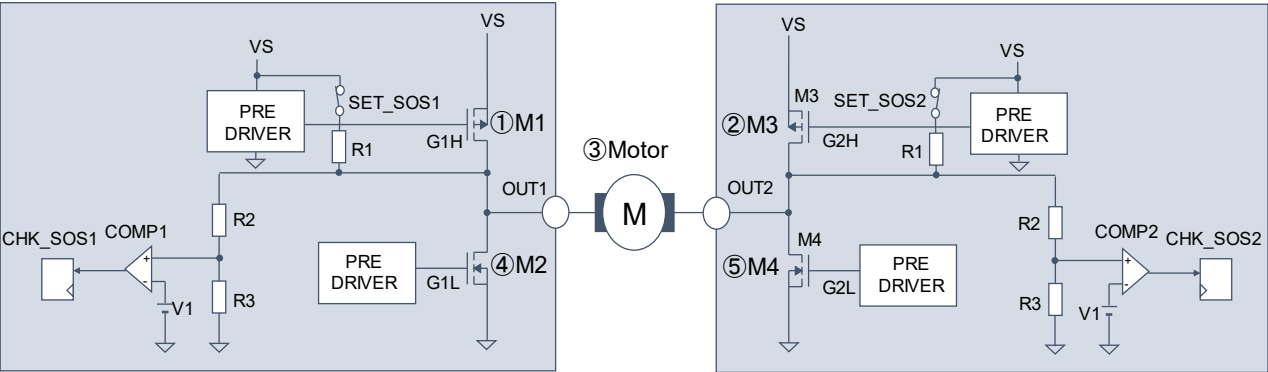


Figure 20. OPEN/SHORT 検出 ブロック図

Table 9. (参考事例) H Bridge (OUT1, OUT2) 使用時 Open/Short 検出判定表

測定順番	BD16940MUF-C 搭載機能							Hブリッジ判定方法 参考事例															
	設定						CHK_SOS(Not 1)		Open					Short					Status				
	SET_SOS1	SET_SOS2	G1H	G1L	G2H	G2L	1	2	①	②	③	④	⑤	①	②	③	④	⑤					
1	OFF	OFF	OFF	OFF	OFF	OFF	L	L												Normal			
							H	H							○	○					① or ② FET Short		
							Other														Illegal(Fail) (Note 2)		
2	ON	OFF	OFF	OFF	OFF	OFF	H	H												Normal			
							L	L										○	○			④ or ⑤ FET Short	
							H	L			○											③ Open	
							Other															Illegal(Fail) (Note 2)	
3	OFF	ON	OFF	OFF	OFF	OFF	H	H												Normal			
							L	L											○	○			④ or ⑤ FET Short
							L	H			○												③ Open
							Other																Illegal(Fail) (Note 2)
4	OFF	OFF	ON	OFF	OFF	OFF	H	H												Normal			
							L	L	○														① Open
							Other																Illegal(Fail) (Note 2)
5	ON	OFF	OFF	ON	OFF	OFF	L	L												Normal			
							H	H				○											④ Open
							Other																Illegal(Fail) (Note 2)
6	OFF	OFF	OFF	OFF	ON	OFF	H	H												Normal			
							L	L			○												② Open
							Other																Illegal(Fail) (Note 2)
7	OFF	ON	OFF	OFF	OFF	ON	L	L												Normal			
							H	H					○										⑤ Open
							Other																Illegal(Fail) (Note 2)

(Note 1) Static OPEN/SHORT Check レジスタ参照
(Note 2) 上記の確認手順 (1 ~ 7) で進めた場合、Illegal Fail はオープン/ショート故障以外の異常状態となります。

レジスタ SET_SOSx (x = 1 ~ 14) は、レジスタ SOS_EN = 1 の場合にのみ設定可能です。下記シーケンスを参照ください。

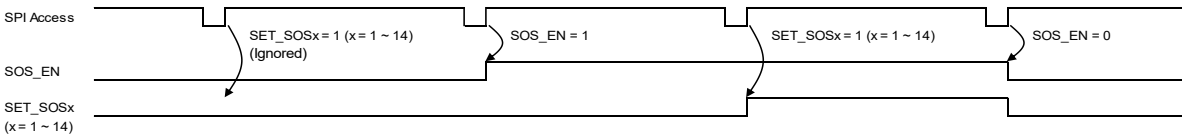


Figure 21. SOS_EN / SET_SOS タイミングチャート

保護機能 — 続き

SPI 転送エラー (SPI_FAIL)

CSB が Low → High になったときに SPI の転送が完結したものとし、内部レジスタの更新を開始します。(転送プロトコルの詳細については SPI プロトコルを参照ください。)

CSB が Low の区間に SCK のクロックパルスが 16 発以外であった場合、SPI 転送エラーとして検出します。SPI 転送エラーが検出されると、ステータスレジスタ ST_SPI = 1 となります。この時、OUT1 ~ OUT14 出力はすべて Hi-Z 出力となります。SPI 転送エラーは CSB の立ち上がりごとに更新されます。

Global Status: SPI_FL, 出力レジスタ: ST_SPI

電流検出アンプ

シャント抵抗に流れる電流を検出するための電流検出アンプを内蔵しています。ゲインはレジスタにて設定可能です。電流検出アンプの出力電圧は次の式で表されます。

$$AOUTx = (AINxP - AINxN) \times (\text{ゲイン設定}) + \frac{1}{4} \times VCC [V] (x = 1, 2, 3)$$

電流検出アンプ設定項目

電流検出アンプ 1 を使用するには CSAMP1_EN = 1 を設定してください。

電流検出アンプ 2 を使用するには CSAMP2_EN = 1 を設定してください。

使用しない場合はレジスタ CSAMP1_EN = 0, CSAMP2_EN = 0 を設定することで電力消費が削減できます。

CSAMP1_EN CSAMP2_EN	電流検出アンプ
0	無効
1	有効

電流検出アンプ 3 を使用するには CSAMP3_EN = 1 を設定してください。

使用しない場合はレジスタ CSAMP3_EN = 0 を設定することで電力消費が削減できます。

電流検出アンプ 3 の入力端子 (ERRB/AIN3P) は、エラー (ERRB) 出力機能と共用の端子のため、どちらか一方しか使用できません。(エラー出力機能については、ERRB/AIN3P 端子機能

CSAMP3_EN	電流検出アンプ
0	無効 (ERRB 機能有効)
1	有効 (ERRB 機能無効)

電流検出アンプのゲインは、CS1_GAIN_SEL [1:0], CS2_GAIN_SEL [1:0], CS3_GAIN_SEL [1:0] を設定することでアンプ毎に変更ができます。(AINxP, AINxN 端子入力を使用時のゲインになります。)(x = 1 ~ 3)

CS1_GAIN_SEL [1:0] CS2_GAIN_SEL [1:0] CS3_GAIN_SEL [1:0]	Gain
0 0	16 倍
0 1	24 倍
1 0	32 倍
1 1	48 倍

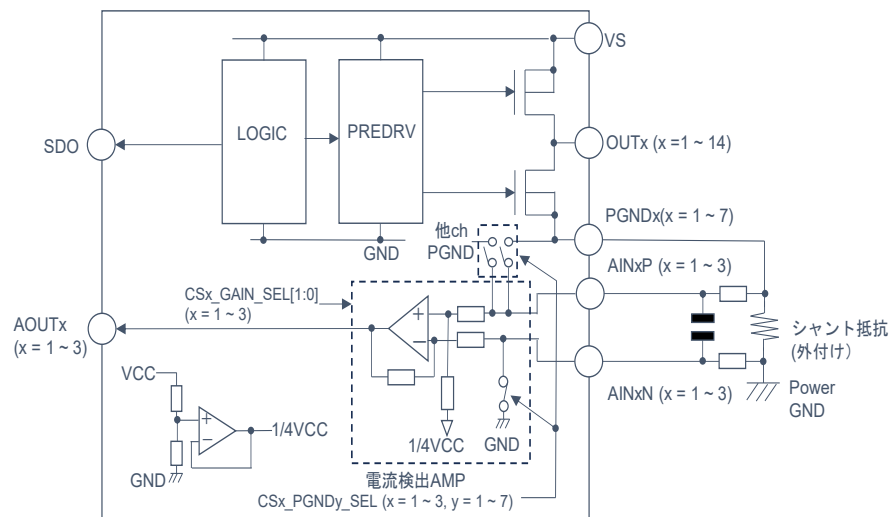


Figure 22. 電流検出アンプ 電流検出接続構成図 1

電流検出アンプ — 続き

また、シャント抵抗の精度が下図 (Figure 23) のように基板パターンの配線抵抗も含んでも問題がない場合は、IC 内部の経路を使用することで、AINxP (x = 1, 2), AINxN (x = 1, 2) 入力端子-シャント抵抗間の基板パターン配線を削減することができます。経路選択のスイッチは、電流検出アンプ 1 と PGNDx (x = 1 ~ 7) への接続スイッチ、電流検出アンプ 2 と PGNDy (y = 5 ~ 7) への接続スイッチ、電流検出アンプ 3 と PGNDz (z = 1 ~ 4) への接続スイッチを搭載しています (それぞれの接続スイッチの抵抗値は $200\ \Omega$ <Typ>)。これら IC 内部の経路選択は、レジスタ CS1_PGNDx_SEL (x = 1 ~ 7)、CS2_PGNDy_SEL (y = 5 ~ 7)、CS3_PGNDz_SEL (z = 1 ~ 4) で各電流検出アンプと PGND との接続経路の選択ができます。

モニタしたい出力のドライバ電流を接続する以外にも、電流検出 AMP1 では PGNDx (x = 1 ~ 7) への接続スイッチをすべて ON させることで、全 Ch の合計電流をモニタすることも可能です。

CS1_PGNDx_SEL (x = 1 ~ 7)	センスラインスイッチ
0	Open
1	Short

CS2_PGNDy_SEL (y = 5 ~ 7)	センスラインスイッチ
0	Open
1	Short

CS3_PGNDz_SEL (z = 1 ~ 4)	センスラインスイッチ
0	Open
1	Short

電流検出アンプゲインは、CS1_GAIN_SEL [1:0], CS2_GAIN_SEL [1:0], CS3_GAIN_SEL [1:0] を設定することでアンプ毎に変更できます。(IC 内部のスイッチを使用した場合のゲインになります。)

CS1_GAIN_SEL [1:0] CS2_GAIN_SEL [1:0] CS3_GAIN_SEL [1:0]	Gain
0 0	15.8 倍
0 1	23.7 倍
1 0	31.6 倍
1 1	47.4 倍

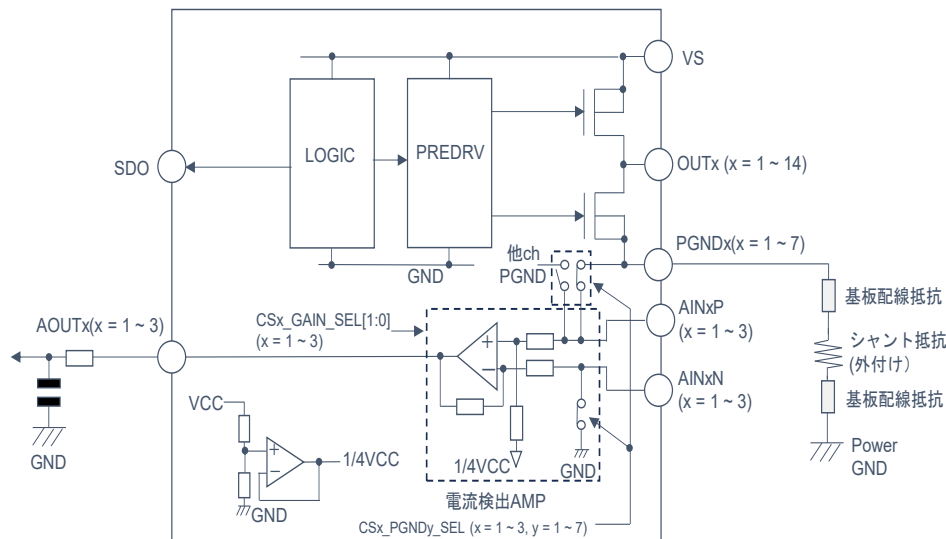


Figure 23. 電流検出アンプ 電流検出接続構成図 2

EN 端子とリセット動作

下記のようなリセット動作があります。各レジスタ設定はリセットされ、初期状態に戻ります。

Table 10. リセット動作

Item	Detail
EN = Low	IC の回路動作が停止します。EN = High 設定時に初期化され動作を開始します。
VCUV (VCC 減電圧検知)	LOGIC 回路がリセット状態になります。減電圧状態が解除されると動作を開始します。
Software Reset	EN = High 設定時に LOGIC 回路の初期化を実施します。 SPI コマンドで、レジスタアドレス 00h に 5Ah のデータを送信すると、直ちにすべてのレジスタを初期化します。

EN = High → Low → High によるリセットや再起動をする際は、EN = Low の区間を 10 μs 以上保持してください。

ERRB/AIN3P 端子機能

ERRB/AIN3P 端子は、エラー出力 (ERRB) と電流検出アンプ 3 の入力 (AIN3P) を兼ねた端子機能になっており、同時の使用はできません。レジスタ CSAMP3_EN の設定に応じて、機能が切り替わります。

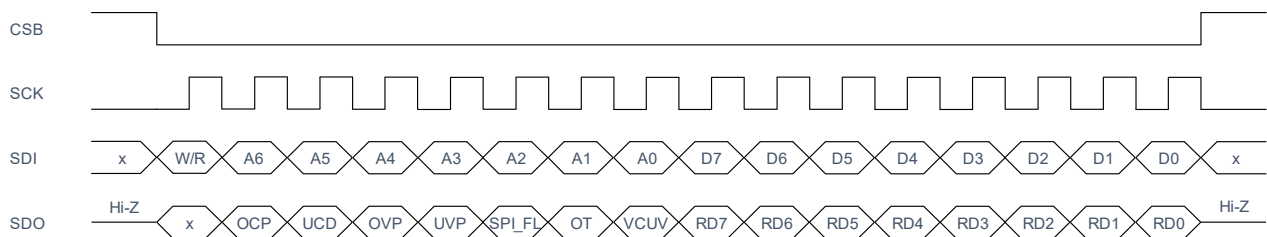
CSAMP3_EN	ERRB 機能	CSAMP3 機能
0	有効	無効
1	無効	有効

ERRB 機能は、異常を検知した際に ERRB/AIN3P 端子からエラーを通知します。エラー出力のタイミングについては、各保護機能のタイミングチャートを参照してください。

シリアルインタフェース

SPI プロトコル

シリアルインタフェースでステータスレジスタの読み取りや IC の各設定が可能です。入力端子は CSB、SCK、SDI を使用します。CSB が Low の時、シリアルデータを受け付けます。書き込みデータ (SDI) は、8 ビットのアドレスと 8 ビットのデータの計 16 ビットで構成されます。SDI データは SCK の立ち上がりエッジで取り込みを行い、16 ビットのデータを完全に受信した後にレジスタに書き込みをします。読み出しデータ (SDO) は、指定したアドレスの各ステータスや設定されたレジスタ値が出力されます。SDO データも SCK の立ち上がりエッジで出力を開始します。CSB が Low→High になったときに SPI の転送が完結したものとし、内部レジスタの更新を開始します。



W/R: リード/ライト 指定ビット

A6 - A0: アドレスデータ

D7 - D0: A6 - A0 ビットで指定したアドレスに書き込むデータ

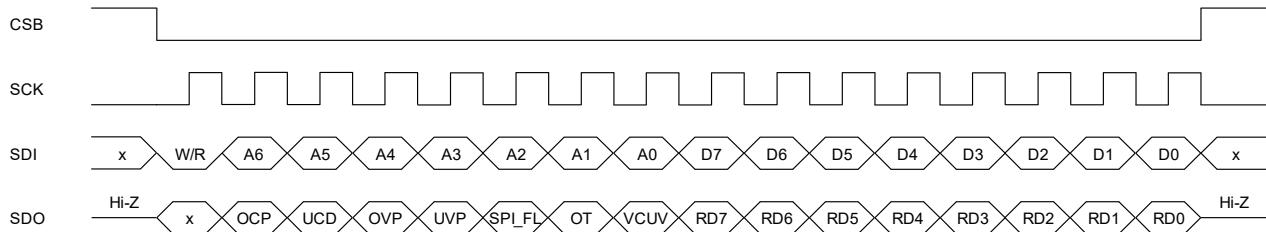
RD7 - RD0: A6 - A0 ビットで指定したアドレスのレジスタ値 (書き込みする直前のデータ)

Figure 24. SPI Protocol

シリアルインタフェース — 続き

書き込み

レジスタ書き込みでは、W/R ビットを Low に設定します。A6 - A0 ビットは書き込みするレジスタのアドレス指定、D7 - D0 はレジスタに書き込むデータを指定します。また、書き込みの場合も、SDO からデータが出力されます。SDO 出力データの OCP, UCD, OVP, UVP, SPI_FL, OT, VCUV ビットは、グローバルステータスレジスタと呼び、保護状態のステータスが出力されます。RD7 - RD0 ビットは、A6 - A0 ビットで指定したアドレスのレジスタ値 (書き込み直前の値) が出力されます。



W/R: リード/ライト 指定ビット

A6 - A0: アドレスデータ

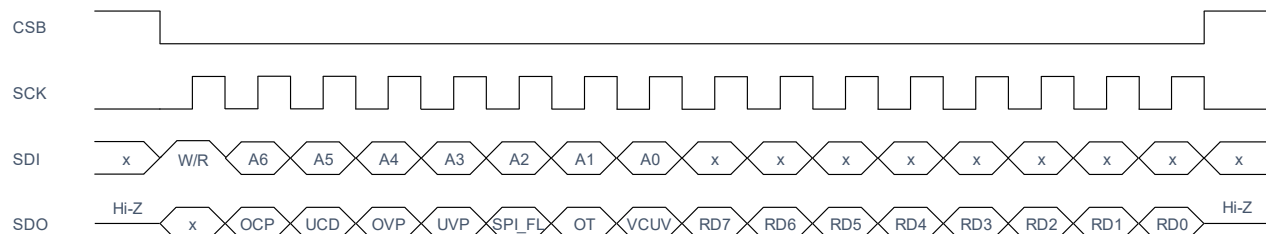
D7 - D0: A6 - A0 ビットで指定したアドレスに書き込むデータ

RD7 - RD0: A6 - A0 ビットで指定したアドレスのレジスタ値 (書き込みする直前のデータ)

Figure 25. Register Write Protocol

読み出し

レジスタ読み出しでは、W/R ビットを High に設定します。A6 - A0 ビットは読み出したいレジスタのアドレスを指定します。それ以降の SDI データは無視されます。SDO から各レジスタデータが出力されます。書き込み時と同様に SDO 出力データの OCP, UCD, OVP, UVP, SPI_FL, OT, VCUV ビットはグローバルステータスレジスタで、保護状態のステータスが出力されます。RD7 - RD0 ビットは、A6 - A0 ビットで指定したアドレスのレジスタ値 (書き込み直前の値) が出力されます。



W/R: リード/ライト 指定ビット

A6 - A0: アドレスデータ

RD7 - RD0: A6 - A0 ビットで指定したアドレスのレジスタ値 (書き込みする直前のデータ)

Figure 26. Register Read Protocol

グローバルステータスレジスタ

SDO 出力データの OCP, UCD, OVP, UVP, SPI_FL, OT, VCUV ビットは、グローバルステータスレジスタと呼び、保護状態のステータスが出力されます。グローバルステータスレジスタは、通常のステータスレジスタ (ST_XXX) と連動しており、下記の割り当てになります。

OCP ビット : ST_OCPHx, ST_OCPLx (x = 1 ~ 14)

UCD ビット : ST_UCDHx, ST_UCDLx (x = 1 ~ 14)

OVP ビット : ST_VSOV

UVP ビット : ST_VSUV

SPI_FL ビット : ST_SPI

OT ビット : ST_TW, ST_TSD

VCUV ビット : ST_VCUV

複数のステータスレジスタが割り当てられているグローバルステータスレジスタ (OCP, UCD, OT ビット) は、各ステータスレジスタの OR 論理を出力しているため、いずれかの保護を検知した場合にエラー通知 (High 出力) をします。異常が発生している箇所を特定したい場合は、ステータスレジスタを確認してください。

各ステータスレジスタ (ST_XXX) の値をクリアすると、対応するグローバルステータスレジスタの値もクリアされます。

レジスタマップ

下表はレジスタマップの一覧表です。各レジスタは SPI で設定ができます。

R/W	Address	Data								Initial Value
15	14-8	7	6	5	4	3	2	1	0	
W	00h	Software Reset								00h
R/W	01h	CSAMP			READ_SEL	-	-	DRV_SET_CLR	SRR	00h
		3_EN	2_EN	1_EN						
R/W	02h	ST_OCP								00h
		H4	L4	H3	L3	H2	L2	H1	L1	
R/W	03h	ST_OCP								00h
		H8	L8	H7	L7	H6	L6	H5	L5	
R/W	04h	ST_OCP								00h
		H12	L12	H11	L11	H10	L10	H9	L9	
R/W	05h	-	-	-	-	ST_OCP				00h
						H14	L14	H13	L13	
R/W	06h	ST_UCD								00h
		H4	L4	H3	L3	H2	L2	H1	L1	
R/W	07h	ST_UCD								00h
		H8	L8	H7	L7	H6	L6	H5	L5	
R/W	08h	ST_UCD								00h
		H12	L12	H11	L11	H10	L10	H9	L9	
R/W	09h	-	-	-	-	ST_UCD				00h
						H14	L14	H13	L13	
R/W	0Ah	ST_VSOV	ST_VSUV	-	ST_VCUV	-	ST_SPI	ST_TW	ST_TSD	10h
R/W	0Bh	-	-	-	-	-	-	-	-	00h
R/W	0Ch	-	-	-	-	-	-	-	-	00h
R/W	0Dh	-	-	-	-	-	-	-	MASK_UCD	00h
R/W	0Eh	-	-	-	-	-	-	-	-	00h
R/W	0Fh	-	-	-	-	-	-	-	-	00h

レジスタマップ – 続き

R/W	Address	Data								Initial Value
15	14-8	7	6	5	4	3	2	1	0	
R/W	10h	-	-	-	-	-	-	-	-	00h
R/W	11h	-	-	-	-	-	-	-	-	00h
R/W	12h	-	OUT2_PWMSEL			-	OUT1_PWMSEL			00h
			[2]	[1]	[0]		[2]	[1]	[0]	
R/W	13h	-	OUT4_PWMSEL			-	OUT3_PWMSEL			00h
			[2]	[1]	[0]		[2]	[1]	[0]	
R/W	14h	-	OUT6_PWMSEL			-	OUT5_PWMSEL			00h
			[2]	[1]	[0]		[2]	[1]	[0]	
R/W	15h	-	OUT8_PWMSEL			-	OUT7_PWMSEL			00h
			[2]	[1]	[0]		[2]	[1]	[0]	
R/W	16h	-	OUT10_PWMSEL			-	OUT9_PWMSEL			00h
			[2]	[1]	[0]		[2]	[1]	[0]	
R/W	17h	-	OUT12_PWMSEL			-	OUT11_PWMSEL			00h
			[2]	[1]	[0]		[3]	[1]	[0]	
R/W	18h	-	OUT14_PWMSEL			-	OUT13_PWMSEL			00h
			[2]	[1]	[0]		[2]	[1]	[0]	
R/W	19h	-	SYNC_ EN-OUT2	HSC-OUT 2	LSC-OUT 2	-	SYNC_ EN-OUT1	HSC-OUT 1	LSC-OUT 1	00h
R/W	1Ah	-	SYNC_ EN-OUT4	HSC-OUT 4	LSC-OUT 4	-	SYNC_ EN-OUT3	HSC-OUT 3	LSC-OUT 3	00h
R/W	1Bh	-	SYNC_ EN-OUT6	HSC-OUT 6	LSC-OUT 6	-	SYNC_ EN-OUT5	HSC-OUT 5	LSC-OUT 5	00h
R/W	1Ch	-	SYNC_ EN-OUT8	HSC-OUT 8	LSC-OUT 8	-	SYNC_ EN-OUT7	HSC-OUT 7	LSC-OUT 7	00h
R/W	1Dh	-	SYNC_ EN-OUT10	HSC-OUT 10	LSC-OUT 10	-	SYNC_ EN-OUT9	HSC-OUT 9	LSC-OUT 9	00h
R/W	1Eh	-	SYNC_ EN-OUT12	HSC-OUT 12	LSC-OUT 12	-	SYNC_ EN-OUT11	HSC-OUT 11	LSC-OUT 11	00h
R/W	1Fh	-	SYNC_ EN-OUT14	HSC-OUT 14	LSC-OUT 14	-	SYNC_ EN-OUT13	HSC-OUT 13	LSC-OUT 13	00h

レジスタマップ – 続き

R/W	Address	Data								Initial Value
15	14-8	7	6	5	4	3	2	1	0	
R/W	20h	PWM_FREQ_A		PWM_DUTY_A						00h
		[1]	[0]	[5]	[4]	[3]	[2]	[1]	[0]	
R/W	21h	PWM_FREQ_B		PWM_DUTY_B						00h
		[1]	[0]	[5]	[4]	[3]	[2]	[1]	[0]	
R/W	22h	PWM_FREQ_C		PWM_DUTY_C						00h
		[1]	[0]	[5]	[4]	[3]	[2]	[1]	[0]	
R/W	23h	PWM_FREQ_D		PWM_DUTY_D						00h
		[1]	[0]	[5]	[4]	[3]	[2]	[1]	[0]	
R/W	24h	PWM_FREQ_E		PWM_DUTY_E						00h
		[1]	[0]	[5]	[4]	[3]	[2]	[1]	[0]	
R/W	25h	PWM_FREQ_F		PWM_DUTY_F						00h
		[1]	[0]	[5]	[4]	[3]	[2]	[1]	[0]	
R/W	26h	PWM_FREQ_G		PWM_DUTY_G						00h
		[1]	[0]	[5]	[4]	[3]	[2]	[1]	[0]	
R/W	27h	PDEAD_D		PDEAD_C		PDEAD_B		PDEAD_A		55h
		[1]	[0]	[1]	[0]	[1]	[0]	[1]	[0]	
R/W	28h	-	-	PDEAD_G		PDEAD_F		PDEAD_E		15h
				[1]	[0]	[1]	[0]	[1]	[0]	
W	29h	-	-	-	-	-	-	-	DRV_ON	00h
R/W	2Ah	-	-	-	-	-	-	-	-	00h
R/W	2Bh	OVPSEL	-	LAT_UV	LAT_OV	-	-	LAT_TW	LAT_TSD	B3h
R/W	2Ch	-	-	-	-	-	-	FLG_UCD	FLG_TW	03h
R/W	2Dh	-	CS1_PGND							00h
			7_SEL	6_SEL	5_SEL	4_SEL	3_SEL	2_SEL	1_SEL	
R/W	2Eh	-	CS2_PGND			CS3_PGND				00h
			7_SEL	6_SEL	5_SEL	4_SEL	3_SEL	2_SEL	1_SEL	
R/W	2Fh	-	-	CS3_GAIN_SEL		CS2_GAIN_SEL		CS1_GAIN_SEL		00h
				[1]	[0]	[1]	[0]	[1]	[0]	

レジスタマップ – 続き

R/W	Address	Data								Initial Value
15	14-8	7	6	5	4	3	2	1	0	
R/W	30h	-	-	-	-	-	-	-	-	00h
R/W	31h	-	-	-	-	-	-	-	SOS_EN	00h
R/W	32h	SET SOS								00h
		8	7	6	5	4	3	2	1	
R/W	33h	-	-	SET SOS						00h
				14	13	12	11	10	9	
R	34h	CHK SOS								00h
		8	7	6	5	4	3	2	1	
R	35h	-	-	CHK SOS						00h
				14	13	12	11	10	9	
R/W	36h	-	-	-	-	-	-	-	-	00h
R/W	37h	Reserved1								00h
		[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]	
R/W	38h	Reserved2								00h
		[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]	
R/W	39h	-	-	-	-	-	-	-	-	00h
R/W	3Ah	-	-	-	-	-	-	-	-	00h
R/W	3Bh	-	-	-	-	-	-	-	-	00h
R/W	3Ch	-	-	-	-	-	-	-	-	00h
R/W	3Dh	-	-	-	-	-	-	-	-	00h
R/W	3Eh	-	-	-	-	-	-	-	-	00h
R/W	3Fh	-	-	-	-	-	-	-	-	00h

各レジスタの説明

Address = 00h

Symbol	Bit	Description
Software Reset	[7:0]	ソフトウェアリセットコマンドです。 デジタルブロックの初期化を実施します。すべてのレジスタは初期化されます。 5Ah のデータを送信すると、ソフトウェアリセットを実行します。 EN 端子が "1" の時、ソフトウェアリセットコマンドを使用することができます。

Address = 01h

Symbol	Bit	Description
CSAMP3_EN	7	電流検出アンプ 3 の Enable 設定です。 設定詳細については、電流検出アンプを参照ください。
CSAMP2_EN	6	電流検出アンプ 2 の Enable 設定です。 設定詳細については、電流検出アンプを参照ください。
CSAMP1_EN	5	電流検出アンプ 1 の Enable 設定です。 設定詳細については、電流検出アンプを参照ください。
READ_SEL	4	ドライバ設定レジスタ (Address = 12h ~ 28h) の読み出し操作制御です。 READ_SEL により、ドライバ設定レジスタ読み出し操作時に IC が出力する値を切り替えます。 READ_SEL = 0: ドライバ設定レジスタ値を出力 READ_SEL = 1: ゲート駆動設定値 (DRV_ON にて反映済の値) を出力
-	3	-
-	2	-
DRV_SET_CLR	1	ドライバ設定レジスタクリアです。 DRV_SET_CLR = 1 を書き込むことで、DRV_ON = 1 によって反映されたゲート駆動設定をクリアします。また、すべてのドライバ設定レジスタ (Address = 12h ~ 28h) も初期化します。
SRR	0	ステータスレジスタクリアです。 SRR = 1 を書き込むことで、すべてのステータスレジスタ (Address = 02h ~ 0Ah) = 0 にクリアします。 IC 起動後に SRR = 1 を書き込むことで全ステータスレジスタの値をクリアし、SPI 通信にてレジスタの制御ができていることを確認してください。

各レジスタの説明 — 続き

Address = 02h

Symbol	Bit	Description
ST_OCPH4	7	過電流保護 (OCP) の検知結果です。 ST_OCPHx / ST_OCPLx = 0: 未検知 (x = 1 ~ 4) ST_OCPHx / ST_OCPLx = 1: 検知 (x = 1 ~ 4) R/W bit で読み出し動作とクリア動作を切り替えます。 (Note 1) 保護機能については、 <u>過電流保護 (OCP)</u> を参照ください。
ST_OCPL4	6	
ST_OCPH3	5	
ST_OCPL3	4	
ST_OCPH2	3	
ST_OCPL2	2	
ST_OCPH1	1	
ST_OCPL1	0	

(Note 1) R/W = 1: リードモードです。各異常検知結果を読み出すことができます。書き込みデータは無視されます。

R/W = 0: ライトモードです。各レジスタ ST_OCPXX (ステータスレジスタ) に 1 を書き込むと異常検知結果を 0 にリセットすることができます。また、対応するグローバルステータスレジスタも 0 にリセットされます。異常検知中に ST_OCPXX = 1 を設定した場合、一度ステータスレジスタを 0 にリセットした後に再び異常検知結果がステータスレジスタに反映されます。

Address = 03h

Symbol	Bit	Description
ST_OCPH8	7	過電流保護 (OCP) の検知結果です。 ST_OCPHx / ST_OCPLx = 0: 未検知 (x = 5 ~ 8) ST_OCPHx / ST_OCPLx = 1: 検知 (x = 5 ~ 8) R/W bit で読み出し動作とクリア動作を切り替えます。 (Note 1) 保護機能については、 <u>過電流保護 (OCP)</u> を参照ください。
ST_OCPL8	6	
ST_OCPH7	5	
ST_OCPL7	4	
ST_OCPH6	3	
ST_OCPL6	2	
ST_OCPH5	1	
ST_OCPL5	0	

(Note 1) R/W = 1: リードモードです。各異常検知結果を読み出すことができます。書き込みデータは無視されます。

R/W = 0: ライトモードです。各レジスタ ST_OCPXX (ステータスレジスタ) に 1 を書き込むと異常検知結果を 0 にリセットすることができます。また、対応するグローバルステータスレジスタも 0 にリセットされます。異常検知中に ST_OCPXX = 1 を設定した場合、一度ステータスレジスタを 0 にリセットした後に再び異常検知結果がステータスレジスタに反映されます。

Address = 04h

Symbol	Bit	Description
ST_OCPH12	7	過電流保護 (OCP) の検知結果です。 ST_OCPHx / ST_OCPLx = 0: 未検知 (x = 9 ~ 12) ST_OCPHx / ST_OCPLx = 1: 検知 (x = 9 ~ 12) R/W bit で読み出し動作とクリア動作を切り替えます。 (Note 1) 保護機能については、 <u>過電流保護 (OCP)</u> を参照ください。
ST_OCPL12	6	
ST_OCPH11	5	
ST_OCPL11	4	
ST_OCPH10	3	
ST_OCPL10	2	
ST_OCPH9	1	
ST_OCPL9	0	

(Note 1) R/W = 1: リードモードです。各異常検知結果を読み出すことができます。書き込みデータは無視されます。

R/W = 0: ライトモードです。各レジスタ ST_OCPXX (ステータスレジスタ) に 1 を書き込むと異常検知結果を 0 にリセットすることができます。また、対応するグローバルステータスレジスタも 0 にリセットされます。異常検知中に ST_OCPXX = 1 を設定した場合、一度ステータスレジスタを 0 にリセットした後に再び異常検知結果がステータスレジスタに反映されます。

各レジスタの説明 — 続き

Address = 05h

Symbol	Bit	Description
-	[7:4]	-
ST_OCPH14	3	過電流保護 (OCP) の検知結果です。 ST_OCPHx / ST_OCPLx = 0: 未検知 (x = 13 ~ 14) ST_OCPHx / ST_OCPLx = 1: 検知 (x = 13 ~ 14) R/W bit で読み出し動作とクリア動作を切り替えます。 (Note 1) 保護機能については、 <u>過電流保護 (OCP)</u> を参照ください。
ST_OCPL14	2	
ST_OCPH13	1	
ST_OCPL13	0	

(Note 1) R/W = 1: リードモードです。各異常検知結果を読み出すことができます。書き込みデータは無視されます。

R/W = 0: ライトモードです。各レジスタ ST_OCPXX (ステータスレジスタ) に 1 を書き込むと異常検知結果を 0 にリセットすることができます。また、対応するグローバルステータスレジスタも 0 にリセットされます。異常検知中に ST_OCPXX = 1 を設定した場合、一度ステータスレジスタを 0 にリセットした後に再び異常検知結果がステータスレジスタに反映されます。

Address = 06h

Symbol	Bit	Description
ST_UCDH4	7	OPEN 検出 (UCD) の検知結果です。 ST_UCDHx / ST_UCDLx = 0: 未検知 (x = 1 ~ 4) ST_UCDHx / ST_UCDLx = 1: 検知 (x = 1 ~ 4) R/W bit で読み出し動作とクリア動作を切り替えます。 (Note 1) 検知機能については、 <u>OPEN 検出 (UCD)</u> を参照ください。
ST_UCDL4	6	
ST_UCDH3	5	
ST_UCDL3	4	
ST_UCDH2	3	
ST_UCDL2	2	
ST_UCDH1	1	
ST_UCDL1	0	

(Note 1) R/W = 1: リードモードです。各異常検知結果を読み出すことができます。書き込みデータは無視されます。

R/W = 0: ライトモードです。各レジスタ ST_UCDXX (ステータスレジスタ) に 1 を書き込むと異常検知結果を 0 にリセットすることができます。また、対応するグローバルステータスレジスタも 0 にリセットされます。異常検知中に ST_UCDXX = 1 を設定した場合、一度ステータスレジスタを 0 にリセットした後に再び異常検知結果がステータスレジスタに反映されます。

Address = 07h

Symbol	Bit	Description
ST_UCDH8	7	OPEN 検出 (UCD) の検知結果です。 ST_UCDHx / ST_UCDLx = 0: 未検知 (x = 5 ~ 8) ST_UCDHx / ST_UCDLx = 1: 検知 (x = 5 ~ 8) R/W bit で読み出し動作とクリア動作を切り替えます。 (Note 1) 検知機能については、 <u>OPEN 検出 (UCD)</u> を参照ください。
ST_UCDL8	6	
ST_UCDH7	5	
ST_UCDL7	4	
ST_UCDH6	3	
ST_UCDL6	2	
ST_UCDH5	1	
ST_UCDL5	0	

(Note 1) R/W = 1: リードモードです。各異常検知結果を読み出すことができます。書き込みデータは無視されます。

R/W = 0: ライトモードです。各レジスタ ST_UCDXX (ステータスレジスタ) に 1 を書き込むと異常検知結果を 0 にリセットすることができます。また、対応するグローバルステータスレジスタも 0 にリセットされます。異常検知中に ST_UCDXX = 1 を設定した場合、一度ステータスレジスタを 0 にリセットした後に再び異常検知結果がステータスレジスタに反映されます。

各レジスタの説明 — 続き

Address = 08h

Symbol	Bit	Description
ST_UCDH12	7	OPEN 検出 (UCD) の検知結果です。 ST_UCDHx / ST_UCDLx = 0: 未検知 (x = 9 ~ 12) ST_UCDHx / ST_UCDLx = 1: 検知 (x = 9 ~ 12) R/W bit で読み出し動作とクリア動作を切り替えます。 (Note 1) 検知機能については、 <u>OPEN 検出 (UCD)</u> を参照ください。
ST_UCDL12	6	
ST_UCDH11	5	
ST_UCDL11	4	
ST_UCDH10	3	
ST_UCDL10	2	
ST_UCDH9	1	
ST_UCDL9	0	

(Note 1) R/W = 1: リードモードです。各異常検知結果を読み出すことができます。書き込みデータは無視されます。

R/W = 0: ライトモードです。各レジスタ ST_UCDXX (ステータスレジスタ) に 1 を書き込むと異常検知結果を 0 にリセットすることができます。また、対応するグローバルステータスレジスタも 0 にリセットされます。異常検知中に ST_UCDXX = 1 を設定した場合、一度ステータスレジスタを 0 にリセットした後に再び異常検知結果がステータスレジスタに反映されます。

Address = 09h

Symbol	Bit	Description
-	[7:4]	-
ST_UCDH14	3	OPEN 検出 (UCD) の検知結果です。 ST_UCDHx / ST_UCDLx = 0: 未検知 (x = 13 ~ 14) ST_UCDHx / ST_UCDLx = 1: 検知 (x = 13 ~ 14) R/W bit で読み出し動作とクリア動作を切り替えます。 (Note 1) 検知機能については、 <u>OPEN 検出 (UCD)</u> を参照ください。
ST_UCDL14	2	
ST_UCDH13	1	
ST_UCDL13	0	

(Note 1) R/W = 1: リードモードです。各異常検知結果を読み出すことができます。書き込みデータは無視されます。

R/W = 0: ライトモードです。各レジスタ ST_UCDXX (ステータスレジスタ) に 1 を書き込むと異常検知結果を 0 にリセットすることができます。また、対応するグローバルステータスレジスタも 0 にリセットされます。異常検知中に ST_UCDXX = 1 を設定した場合、一度ステータスレジスタを 0 にリセットした後に再び異常検知結果がステータスレジスタに反映されます。

各レジスタの説明 — 続き

Address = 0Ah

Symbol	Bit	Description
ST_VSOV	7	VS 過電圧保護 (VSOV) の検知結果です。 ST_VSOV = 0: 未検知 ST_VSOV = 1: 検知 R/W bit で読み出し動作とクリア動作を切り替えます。 (Note 1) 保護機能については、 <u>VS 過電圧保護 (VSOV)</u> を参照ください。
ST_VSUV	6	VS 減電圧保護 (VSUV) の検知結果です。 ST_VSUV = 0: 未検知 ST_VSUV = 1: 検知 R/W bit で読み出し動作とクリア動作を切り替えます。 (Note 1) 保護機能については、 <u>VS 減電圧保護 (VSUV)</u> を参照ください。
-	5	-
ST_VCUV	4	VCC 減電圧保護 (VCCUV) の検知結果です。 ST_VCUV = 0: 未検知 ST_VCUV = 1: 検知 R/W bit で読み出し動作とクリア動作を切り替えます。 (Note 2) 保護機能については、 <u>VCC 減電圧保護 (VCCUV)</u> を参照ください。
-	3	-
ST_SPI	2	SPI 転送エラー (SPI_FAIL) の検知結果です。 ST_SPI = 0: 未検知 ST_SPI = 1: 検知 R/W bit で読み出し動作とクリア動作を切り替えます。 (Note 1) 保護機能については、 <u>SPI 転送エラー (SPI_FAIL)</u> を参照ください。
ST_TW	1	サーマルワーニングの検知結果です。 ST_TW = 0: 未検知 ST_TW = 1: 検知 R/W bit で読み出し動作とクリア動作を切り替えます。 (Note 1) 検知機能については、 <u>サーマルシャットダウン (TSD) /サーマルワーニング (TW)</u> を参照ください。
ST_TSD	0	サーマルシャットダウンの検知結果です。 ST_TSD = 0: 未検知 ST_TSD = 1: 検知 R/W bit で読み出し動作とクリア動作を切り替えます。 (Note 1) 保護機能については、 <u>サーマルシャットダウン (TSD) /サーマルワーニング (TW)</u> を参照ください。

(Note 1) R/W = 1: リードモードです。各異常検知結果を読み出すことができます。書き込みデータは無視されます。

R/W = 0: ライトモードです。各レジスタ ST_XXX (ステータスレジスタ) に 1 を書き込むと異常検知結果を 0 にリセットすることができます。また、対応するグローバルステータスレジスタも 0 にリセットされます。異常検知中に ST_XXX = 1 を設定した場合、一度ステータスレジスタを 0 にリセットした後に再び異常検知結果がステータスレジスタに反映されます。

(Note 2) R/W = 1: リードモードです。異常検知結果を読み出すことができます。書き込みデータは無視されます。

R/W = 0: ライトモードです。ST_VCUV (ステータスレジスタ) に 1 を書き込むと異常検知結果を 0 にセットすることができます。また、対応するグローバルステータスレジスタも 0 にセットされます。レジスタ ST_VCUV のみ、他のステータスレジスタと初期値が異なります。初期値は ST_VCUV = 1 (異常検知) になっているため、一度、値を ST_VCUV = 0 にセットする必要があります。その後、異常を検知すると ST_VCUV = 1 にリセットされます。なお、VCC 減電圧異常を検知した場合、LOGIC 回路全体がリセットされるため、他の異常検知結果や設定も値がリセットされます。

各レジスタの説明 – 続き

Address = 0Dh

Symbol	Bit	Description
-	[7:1]	-
MASK_UCD	0	OPEN 検出 (UCD) のマスク機能です。 MASK_UCD = 0: マスク機能無効 (OPEN 検出有効) MASK_UCD = 1: マスク機能有効 (OPEN 検出無効) 検知機能については、 <u>OPEN 検出 (UCD)</u> を参照ください。

Address = 12h

Symbol	Bit	Description
-	7	-
OUT2_PWMSEL	[6:4]	OUT2 端子の PWM 出力設定レジスタです。 Table 3 にある通り、PWM MODE OFF または PWM_TABLE_x (x = A ~ G) を選択します。
-	3	-
OUT1_PWMSEL	[2:0]	OUT1 端子の PWM 出力設定レジスタです。 Table 3 にある通り、PWM MODE OFF または PWM_TABLE_x (x = A ~ G) を選択します。

Address = 13h

Symbol	Bit	Description
-	7	-
OUT4_PWMSEL	[6:4]	OUT4 端子の PWM 出力設定レジスタです。 Table 3 にある通り、PWM MODE OFF または PWM_TABLE_x (x = A ~ G) を選択します。
-	3	-
OUT3_PWMSEL	[2:0]	OUT3 端子の PWM 出力設定レジスタです。 Table 3 にある通り、PWM MODE OFF または PWM_TABLE_x (x = A ~ G) を選択します。

Address = 14h

Symbol	Bit	Description
-	7	-
OUT6_PWMSEL	[6:4]	OUT6 端子の PWM 出力設定レジスタです。 Table 3 にある通り、PWM MODE OFF または PWM_TABLE_x (x = A ~ G) を選択します。
-	3	-
OUT5_PWMSEL	[2:0]	OUT5 端子の PWM 出力設定レジスタです。 Table 3 にある通り、PWM MODE OFF または PWM_TABLE_x (x = A ~ G) を選択します。

各レジスタの説明 — 続き

Address = 15h

Symbol	Bit	Description
-	7	-
OUT8_PWMSEL	[6:4]	OUT8 端子の PWM 出力設定レジスタです。 Table 3 にある通り、PWM MODE OFF または PWM_TABLE_x (x = A ~ G) を選択します。
-	3	-
OUT7_PWMSEL	[2:0]	OUT7 端子の PWM 出力設定レジスタです。 Table 3 にある通り、PWM MODE OFF または PWM_TABLE_x (x = A ~ G) を選択します。

Address = 16h

Symbol	Bit	Description
-	7	-
OUT10_PWMSEL	[6:4]	OUT10 端子の PWM 出力設定レジスタです。 Table 3 にある通り、PWM MODE OFF または PWM_TABLE_x (x = A ~ G) を選択します。
-	3	-
OUT9_PWMSEL	[2:0]	OUT9 端子の PWM 出力設定レジスタです。 Table 3 にある通り、PWM MODE OFF または PWM_TABLE_x (x = A ~ G) を選択します。

Address = 17h

Symbol	Bit	Description
-	7	-
OUT12_PWMSEL	[6:4]	OUT12 端子の PWM 出力設定レジスタです。 Table 3 にある通り、PWM MODE OFF または PWM_TABLE_x (x = A ~ G) を選択します。
-	3	-
OUT11_PWMSEL	[2:0]	OUT11 端子の PWM 出力設定レジスタです。 Table 3 にある通り、PWM MODE OFF または PWM_TABLE_x (x = A ~ G) を選択します。

Address = 18h

Symbol	Bit	Description
-	7	-
OUT14_PWMSEL	[6:4]	OUT14 端子の PWM 出力設定レジスタです。 Table 3 にある通り、PWM MODE OFF または PWM_TABLE_x (x = A ~ G) を選択します。
-	3	-
OUT13_PWMSEL	[2:0]	OUT13 端子の PWM 出力設定レジスタです。 Table 3 にある通り、PWM MODE OFF または PWM_TABLE_x (x = A ~ G) を選択します。

各レジスタの説明 — 続き

Address = 19h

Symbol	Bit	Description
-	7	-
SYNC_EN-OUT2	6	OUT2 端子の出力設定レジスタです。 同期・非同期制御にある通り、IC 内部の G2H と G2L の論理を選択することで、OUT2 端子の出力を決定します。
HSC-OUT2	5	
LSC-OUT2	4	
-	3	-
SYNC_EN-OUT1	2	OUT1 端子の出力設定レジスタです。 同期・非同期制御にある通り、IC 内部の G1H と G1L の論理を選択することで、OUT1 端子の出力を決定します。
HSC-OUT1	1	
LSC-OUT1	0	

Address = 1Ah

Symbol	Bit	Description
-	7	-
SYNC_EN-OUT4	6	OUT4 端子の出力設定レジスタです。 同期・非同期制御にある通り、IC 内部の G4H と G4L の論理を選択することで、OUT4 端子の出力を決定します。
HSC-OUT4	5	
LSC-OUT4	4	
-	3	-
SYNC_EN-OUT3	2	OUT3 端子の出力設定レジスタです。 同期・非同期制御にある通り、IC 内部の G3H と G3L の論理を選択することで、OUT3 端子の出力を決定します。
HSC-OUT3	1	
LSC-OUT3	0	

Address = 1Bh

Symbol	Bit	Description
-	7	-
SYNC_EN-OUT6	6	OUT6 端子の出力設定レジスタです。 同期・非同期制御にある通り、IC 内部の G6H と G6L の論理を選択することで、OUT6 端子の出力を決定します。
HSC-OUT6	5	
LSC-OUT6	4	
-	3	-
SYNC_EN-OUT5	2	OUT5 端子の出力設定レジスタです。 同期・非同期制御にある通り、IC 内部の G5H と G5L の論理を選択することで、OUT5 端子の出力を決定します。
HSC-OUT5	1	
LSC-OUT5	0	

各レジスタの説明 — 続き

Address = 1Ch

Symbol	Bit	Description
-	7	-
SYNC_EN-OUT8	6	OUT8 端子の出力設定レジスタです。 同期・非同期制御にある通り、IC 内部の G8H と G8L の論理を選択することで、OUT8 端子の出力を決定します。
HSC-OUT8	5	
LSC-OUT8	4	
-	3	-
SYNC_EN-OUT7	2	OUT7 端子の出力設定レジスタです。 同期・非同期制御にある通り、IC 内部の G7H と G7L の論理を選択することで、OUT7 端子の出力を決定します。
HSC-OUT7	1	
LSC-OUT7	0	

Address = 1Dh

Symbol	Bit	Description
-	7	-
SYNC_EN-OUT10	6	OUT10 端子の出力設定レジスタです。 同期・非同期制御にある通り、IC 内部の G10H と G10L の論理を選択することで、OUT10 端子の出力を決定します。
HSC-OUT10	5	
LSC-OUT10	4	
-	3	-
SYNC_EN-OUT9	2	OUT9 端子の出力設定レジスタです。 同期・非同期制御にある通り、IC 内部の G9H と G9L の論理を選択することで、OUT9 端子の出力を決定します。
HSC-OUT9	1	
LSC-OUT9	0	

Address = 1Eh

Symbol	Bit	Description
-	7	-
SYNC_EN-OUT12	6	OUT12 端子の出力設定レジスタです。 同期・非同期制御にある通り、IC 内部の G12H と G12L の論理を選択することで、OUT12 端子の出力を決定します。
HSC-OUT12	5	
LSC-OUT12	4	
-	3	-
SYNC_EN-OUT11	2	OUT11 端子の出力設定レジスタです。 同期・非同期制御にある通り、IC 内部の G11H と G11L の論理を選択することで、OUT11 端子の出力を決定します。
HSC-OUT11	1	
LSC-OUT11	0	

各レジスタの説明 — 続き

Address = 1Fh

Symbol	Bit	Description
-	7	-
SYNC_EN-OUT14	6	OUT14 端子の出力設定レジスタです。 同期・非同期制御にある通り、IC 内部の G14H と G14L の論理を選択することで、OUT14 端子の出力を決定します。
HSC-OUT14	5	
LSC-OUT14	4	
-	3	-
SYNC_EN-OUT13	2	OUT13 端子の出力設定レジスタです。 同期・非同期制御にある通り、IC 内部の G13H と G13L の論理を選択することで、OUT13 端子の出力を決定します。
HSC-OUT13	1	
LSC-OUT13	0	

Address = 20h

Symbol	Bit	Description
PWM_FREQ_A	[7:6]	PWM_TABLE_A の周波数設定レジスタです。 設定値については、 Table 4. PWM 周波数設定 を参照ください。
PWM_DUTY_A	[5:0]	PWM_TABLE_A の Duty 設定レジスタです。 設定値については、 Table 5. PWM Duty 設定 を参照ください。

Address = 21h

Symbol	Bit	Description
PWM_FREQ_B	[7:6]	PWM_TABLE_B の周波数設定レジスタです。 設定値については、 Table 4. PWM 周波数設定 を参照ください。
PWM_DUTY_B	[5:0]	PWM_TABLE_B の Duty 設定レジスタです。 設定値については、 Table 5. PWM Duty 設定 を参照ください。

Address = 22h

Symbol	Bit	Description
PWM_FREQ_C	[7:6]	PWM_TABLE_C の周波数設定レジスタです。 設定値については、 Table 4. PWM 周波数設定 を参照ください。
PWM_DUTY_C	[5:0]	PWM_TABLE_C の Duty 設定レジスタです。 設定値については、 Table 5. PWM Duty 設定 を参照ください。

Address = 23h

Symbol	Bit	Description
PWM_FREQ_D	[7:6]	PWM_TABLE_D の周波数設定レジスタです。 設定値については、 Table 4. PWM 周波数設定 を参照ください。
PWM_DUTY_D	[5:0]	PWM_TABLE_D の Duty 設定レジスタです。 設定値については、 Table 5. PWM Duty 設定 を参照ください。

Address = 24h

Symbol	Bit	Description
PWM_FREQ_E	[7:6]	PWM_TABLE_E の周波数設定レジスタです。 設定値については、 Table 4. PWM 周波数設定 を参照ください。
PWM_DUTY_E	[5:0]	PWM_TABLE_E の Duty 設定レジスタです。 設定値については、 Table 5. PWM Duty 設定 を参照ください。

各レジスタの説明 — 続き

Address = 25h

Symbol	Bit	Description
PWM_FREQ_F	[7:6]	PWM_TABLE_F の周波数設定レジスタです。 設定値については、Table 4. PWM 周波数設定を参照ください。
PWM_DUTY_F	[5:0]	PWM_TABLE_F の Duty 設定レジスタです。 設定値については、Table 5. PWM Duty 設定を参照ください。

Address = 26h

Symbol	Bit	Description
PWM_FREQ_G	[7:6]	PWM_TABLE_G の周波数設定レジスタです。 設定値については、Table 4. PWM 周波数設定を参照ください。
PWM_DUTY_G	[5:0]	PWM_TABLE_G の Duty 設定レジスタです。 設定値については、Table 5. PWM Duty 設定を参照ください。

Address = 27h

Symbol	Bit	Description
PDEAD_D	[7:6]	PWM_TABLE_D の Deadtime 設定レジスタです。 設定値については、Table 7. PWM deadtime 設定を参照ください。
PDEAD_C	[5:4]	PWM_TABLE_C の Deadtime 設定レジスタです。 設定値については、Table 7. PWM deadtime 設定を参照ください。
PDEAD_B	[3:2]	PWM_TABLE_B の Deadtime 設定レジスタです。 設定値については、Table 7. PWM deadtime 設定を参照ください。
PDEAD_A	[1:0]	PWM_TABLE_A の Deadtime 設定レジスタです。 設定値については、Table 7. PWM deadtime 設定を参照ください。

Address = 28h

Symbol	Bit	Description
-	[7:6]	-
PDEAD_G	[5:4]	PWM_TABLE_G の Deadtime 設定レジスタです。 設定値については、Table 7. PWM deadtime 設定を参照ください。
PDEAD_F	[3:2]	PWM_TABLE_F の Deadtime 設定レジスタです。 設定値については、Table 7. PWM deadtime 設定を参照ください。
PDEAD_E	[1:0]	PWM_TABLE_E の Deadtime 設定レジスタです。 設定値については、Table 7. PWM deadtime 設定を参照ください。

Address = 29h

Symbol	Bit	Description
-	[7:1]	-
DRV_ON	0	ドライバ設定を更新するためのレジスタです。 DRV_ON = 1 を書き込み後、IC はドライバ設定レジスタ (Address = 12h ~ 28h) の値をゲート駆動に反映します。設定反映後、IC は DRV_ON = 0 に設定します。 DRV_ON = 0 の間は、その時点で反映している設定値を用いてゲートを駆動します。

各レジスタの説明 — 続き

Address = 2Bh

Symbol	Bit	Description
OVPSEL	7	VS 過電圧保護 (VSOV) のしきい値設定レジスタです。 OVPSEL = 0 Detect: VS > 36 V (TYP) Release: VS < 33.5 V (TYP) OVPSEL = 1 Detect: VS > 20 V (TYP) Release: VS < 18 V (TYP) 保護機能については、 <u>VS 過電圧保護 (VSOV)</u> を参照ください。
-	6	-
LAT_UV	5	VS 減電圧保護 (VSUV) の検知結果に対するラッチ設定レジスタです。 LAT_UV = 0: 検知結果のラッチ機能 OFF LAT_UV = 1: 検知結果のラッチ機能 ON 保護機能については、 <u>VS 減電圧保護 (VSUV)</u> を参照ください。
LAT_OV	4	VS 過電圧保護 (VSOV) の検知結果に対するラッチ設定レジスタです。 LAT_OV = 0: 検知結果のラッチ機能 OFF LAT_OV = 1: 検知結果のラッチ機能 ON 保護機能については、 <u>VS 過電圧保護 (VSOV)</u> を参照ください。
-	[3:2]	-
LAT_TW	1	サーマルワーニングの検知結果に対するラッチ設定レジスタです。 LAT_TW = 0: 検知結果のラッチ機能 OFF LAT_TW = 1: 検知結果のラッチ機能 ON 検知機能については、 <u>サーマルシャットダウン (TSD) /サーマルワーニング (TW)</u> を参照ください。
LAT_TSD	0	サーマルシャットダウンの検知結果に対するラッチ設定レジスタです。 LAT_TSD = 0: 検知結果のラッチ機能 OFF LAT_TSD = 1: 検知結果のラッチ機能 ON 保護機能については、 <u>サーマルシャットダウン (TSD) /サーマルワーニング (TW)</u> を参照ください。

Address = 2Ch

Symbol	Bit	Description
-	[7:2]	-
FLG_UCD	1	ステータスレジスタ ST_UCDHx / ST_UCDLx (x = 1~14) に対して、ERRB 端子への出力を設定するレジスタです。 FLG_UCD = 0: 上記ステータスレジスタの値を ERRB 端子から出力しません。 FLG_UCD = 1: 上記ステータスレジスタの値を ERRB 端子から出力します。
FLG_TW	0	TW 検知信号に対して、ERRB 端子への出力を設定するレジスタです。 FLG_TW = 0: TW 検知信号の値を ERRB 端子から出力しません。 FLG_TW = 1: TW 検知信号の値を ERRB 端子から出力します。

各レジスタの説明 — 続き

Address = 2Dh

Symbol	Bit	Description
-	7	-
CS1_PGND7_SEL	6	電流検出アンプ 1 と PGNDx (x = 1 ~ 7) 間の接続 SW 設定です。 設定詳細については、 <u>電流検出アンプ</u> を参照ください。
CS1_PGND6_SEL	5	
CS1_PGND5_SEL	4	
CS1_PGND4_SEL	3	
CS1_PGND3_SEL	2	
CS1_PGND2_SEL	1	
CS1_PGND1_SEL	0	

Address = 2Eh

Symbol	Bit	Description
-	7	-
CS2_PGND7_SEL	6	電流検出アンプ 2 と PGNDy (y = 5 ~ 7) 間の接続 SW 設定です。 設定詳細については、 <u>電流検出アンプ</u> を参照ください。
CS2_PGND6_SEL	5	
CS2_PGND5_SEL	4	
CS3_PGND4_SEL	3	電流検出アンプ 3 と PGNDz (z = 1 ~ 4) 間の接続 SW 設定です。 設定詳細については、 <u>電流検出アンプ</u> を参照ください。
CS3_PGND3_SEL	2	
CS3_PGND2_SEL	1	
CS3_PGND1_SEL	0	

Address = 2Fh

Symbol	Bit	Description
-	[7:6]	-
CS3_GAIN_SEL [1]	5	電流検出アンプ 3 のゲイン設定です。 設定詳細については、 <u>電流検出アンプ</u> を参照ください。
CS3_GAIN_SEL [0]	4	
CS2_GAIN_SEL [1]	3	電流検出アンプ 2 のゲイン設定です。 設定詳細については、 <u>電流検出アンプ</u> を参照ください。
CS2_GAIN_SEL [0]	2	
CS1_GAIN_SEL [1]	1	電流検出アンプ 1 のゲイン設定です。 設定詳細については、 <u>電流検出アンプ</u> を参照ください。
CS1_GAIN_SEL [0]	0	

各レジスタの説明 — 続き

Address = 31h

Symbol	Bit	Description
-	[7:1]	-
SOS_EN	0	Static OPEN/SHORT 検知機能 (SOS) の起動レジスタです。 SOS_EN = 1 に設定した時、Static OPEN/SHORT 検知を起動します。 検知機能の詳細については、 <u>Static OPEN/SHORT 検知機能 (SOS)</u> を参照ください。

Address = 32h

Symbol	Bit	Description
SET_SOS8	7	各出力端子の OPEN/SHORT 検知確認用スイッチを駆動するレジスタです。 SET_SOSx = 0 (x = 1 ~ 8) : OUTx (x = 1 ~ 8) 付属スイッチ OFF SET_SOSx = 1 (x = 1 ~ 8) : OUTx (x = 1 ~ 8) 付属スイッチ ON 検知機能の詳細については、 <u>Static OPEN/SHORT 検知機能 (SOS)</u> を参照ください。
SET_SOS7	6	
SET_SOS6	5	
SET_SOS5	4	
SET_SOS4	3	
SET_SOS3	2	
SET_SOS2	1	
SET_SOS1	0	

Address = 33h

Symbol	Bit	Description
-	[7:6]	-
SET_SOS14	5	各出力端子の OPEN/SHORT 検知確認用スイッチを駆動するレジスタです。 SET_SOSx = 0 (x = 9 ~ 14) : OUTx (x = 9 ~ 14) 付属スイッチ OFF SET_SOSx = 1 (x = 9 ~ 14) : OUTx (x = 9 ~ 14) 付属スイッチ ON 検知機能の詳細については、 <u>Static OPEN/SHORT 検知機能 (SOS)</u> を参照ください。
SET_SOS13	4	
SET_SOS12	3	
SET_SOS11	2	
SET_SOS10	1	
SET_SOS9	0	

各レジスタの説明 – 続き

Address = 34h

Symbol	Bit	Description
CHK_SOS8	7	各出力端子の OPEN/SHORT 検知結果です。 CHK_SOSx (x = 1 ~ 8) : OUTx (x = 1 ~ 8) の検知結果 判定表及び検知機能の詳細については、 <u>Static OPEN/SHORT 検知機能 (SOS)</u> を参照ください。
CHK_SOS7	6	
CHK_SOS6	5	
CHK_SOS5	4	
CHK_SOS4	3	
CHK_SOS3	2	
CHK_SOS2	1	
CHK_SOS1	0	

Address = 35h

Symbol	Bit	Description
-	[7:6]	-
CHK_SOS14	5	各出力端子の OPEN/SHORT 検知結果です。 CHK_SOSx (x = 9 ~ 14) : OUTx (x = 9 ~ 14) の検知結果 判定表及び検知機能の詳細については、 <u>Static OPEN/SHORT 検知機能 (SOS)</u> を参照ください。
CHK_SOS13	4	
CHK_SOS12	3	
CHK_SOS11	2	
CHK_SOS10	1	
CHK_SOS9	0	

入出力等価回路図

端子番号	端子名	端子等価回路図
39 40	SCK SDI	
42	EN	
41	SDO	
38	CSB	
5, 7, 8, 10, 14, 16, 17, 19, 21, 23, 27, 29, 30, 32	OUT1 ~ OUT14	

入出力等価回路図 – 続き

端子番号	端子名	端子等価回路図
34	TEST	
2	AIN1P	
35	AIN2P	
47	ERRB/ AIN3P	

入出力等価回路図 – 続き

端子番号	端子名	端子等価回路図
1 36	AIN1N AIN2N	
48	AIN3N	
45 37 44	AOUT1 AOUT2 AOUT3	

特性データ

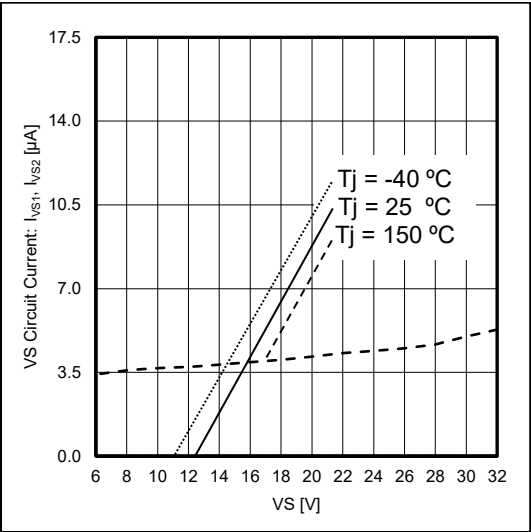


Figure 27. VS Circuit Current 1, 2 vs VS

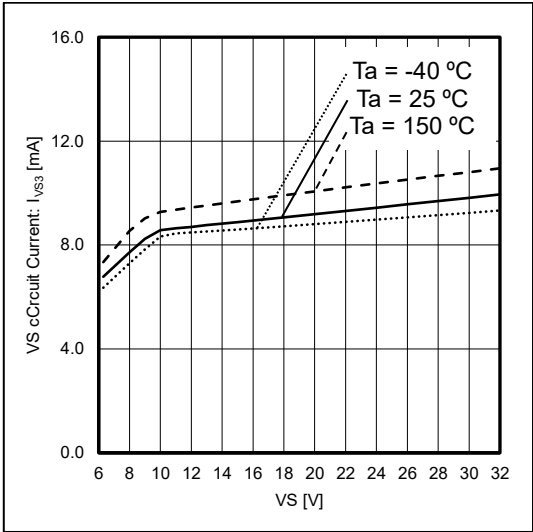


Figure 28. VS Circuit Current 3 vs VS

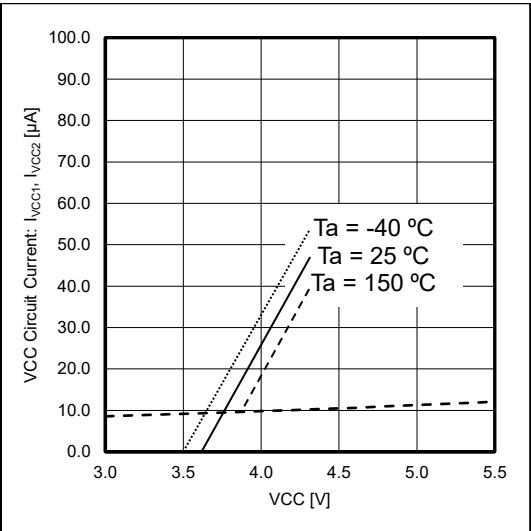


Figure 29. VCC Circuit Current 1, 2 vs VCC

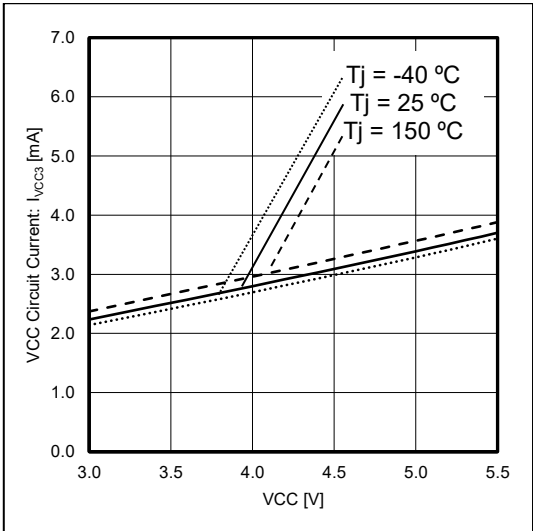


Figure 30. VCC Circuit Current 3 vs VCC

特性データ — 続き

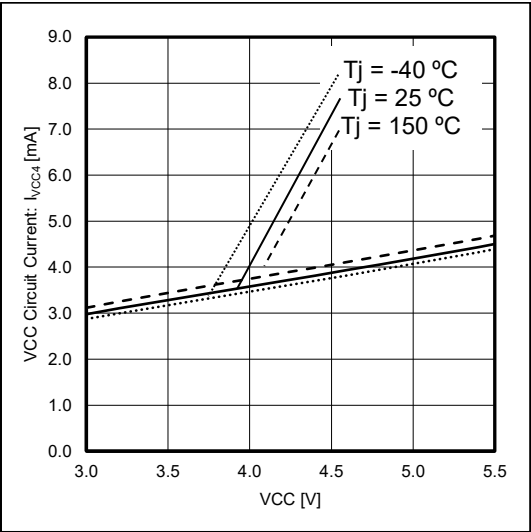


Figure 31. VCC Circuit Current 4 vs VCC

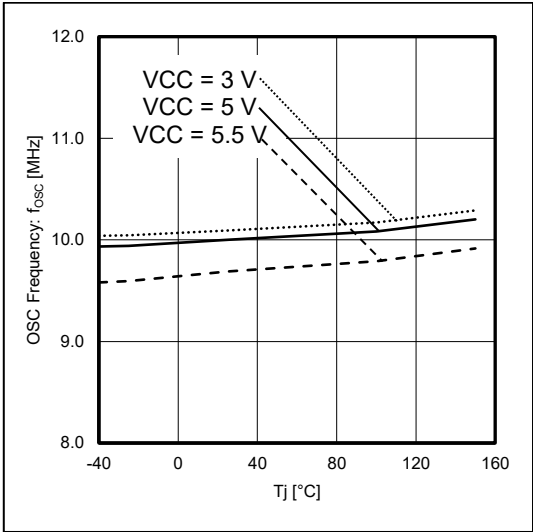


Figure 32. OSC Frequency vs Temperature

特性データ — 続き

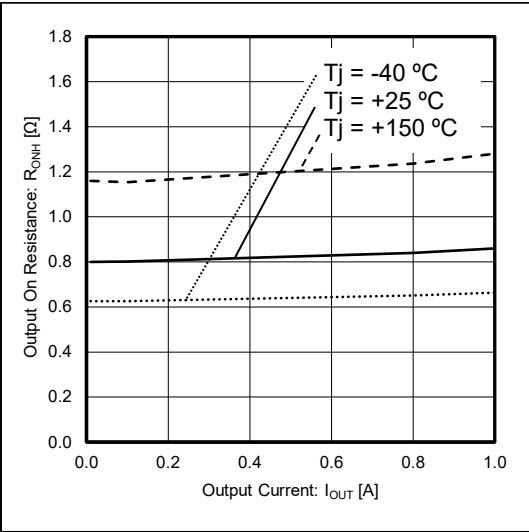


Figure 33. Output On Resistance vs Output Current
(High Side, VS = 12 V)

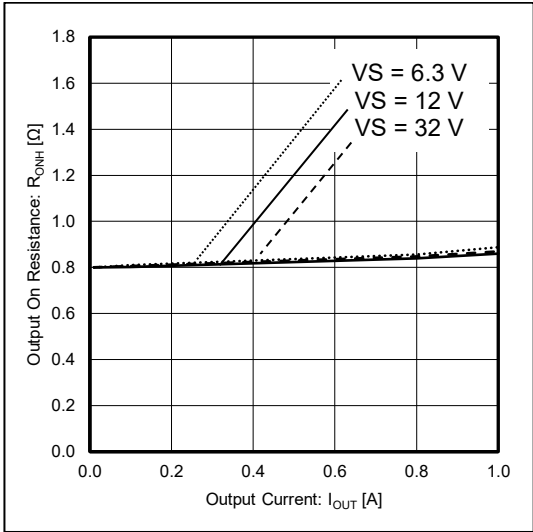


Figure 34. Output On Resistance vs Output Current
(High Side, Ta = 25 °C)

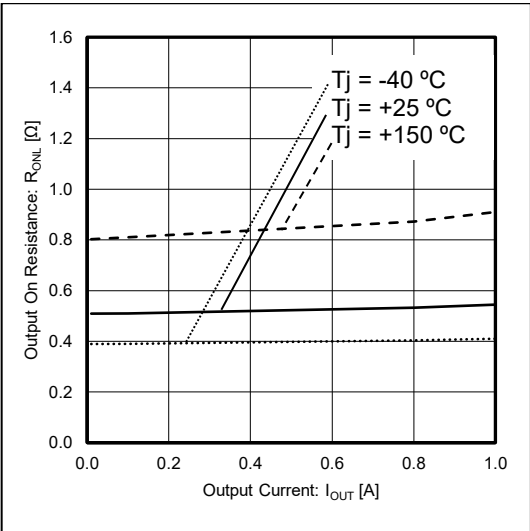


Figure 35. Output On Resistance vs Output Current
(Low Side, VS = 12 V)

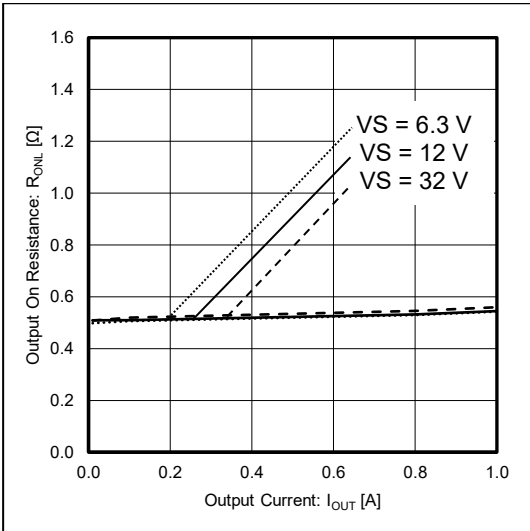


Figure 36. Output On Resistance vs Output Current
(Low Side, Ta = 25 °C)

特性データ — 続き

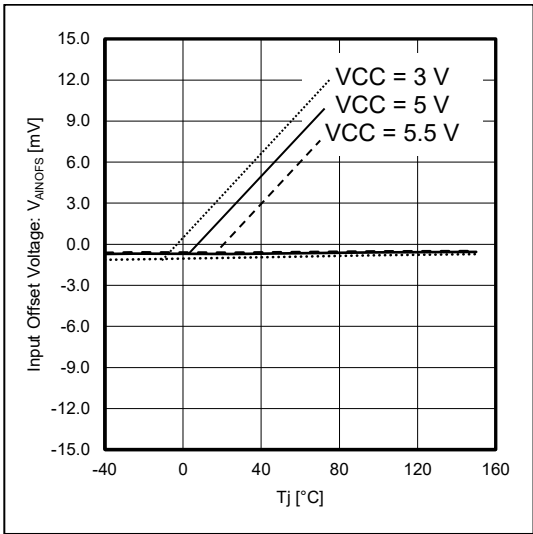


Figure 37. Input Offset Voltage vs Temperature
(CS1_GAIN_SEL [1:0] = 0h)

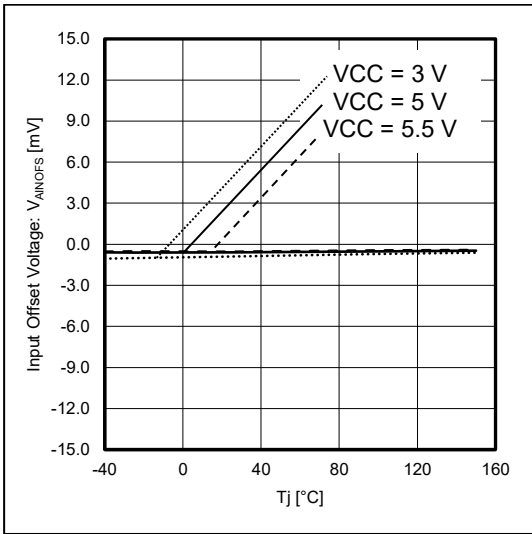


Figure 38. Input Offset Voltage vs Temperature
(CS1_GAIN_SEL [1:0] = 1h)

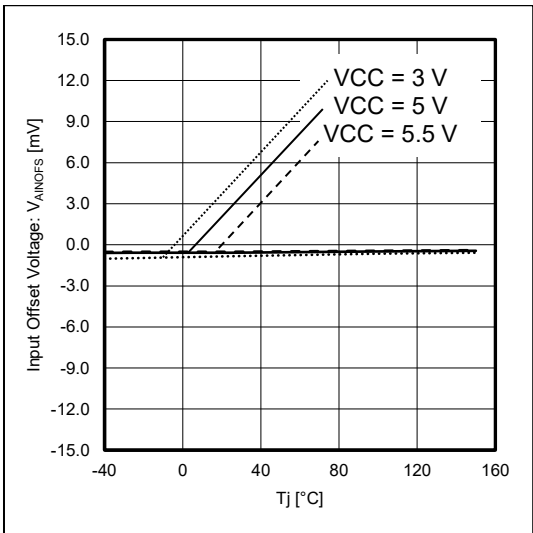


Figure 39. Input Offset Voltage vs Temperature
(CS1_GAIN_SEL [1:0] = 2h)

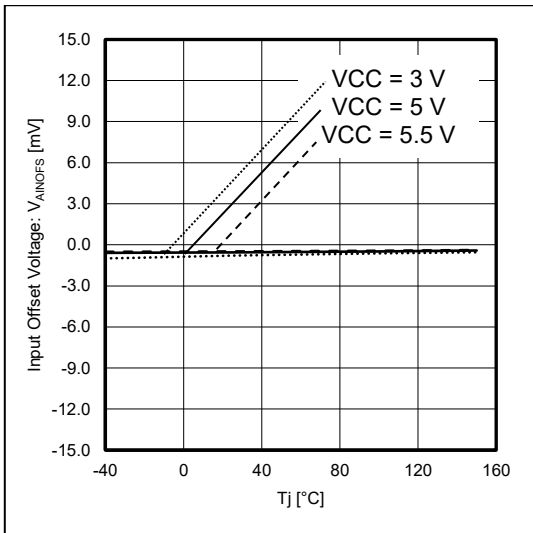


Figure 40. Input Offset Voltage vs Temperature
(CS1_GAIN_SEL [1:0] = 3h)

特性データ — 続き

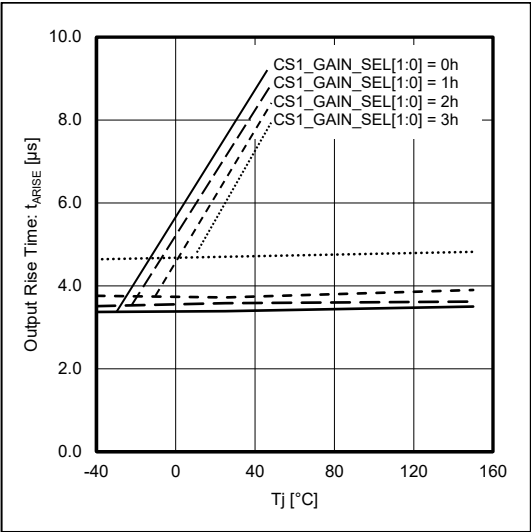


Figure 41. Output Rise Time vs Temperature
(VS = 12 V, VCC = 5 V)

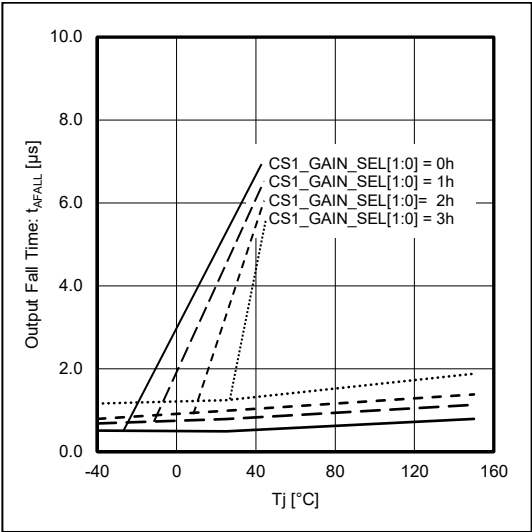


Figure 42. Output Fall Time vs Temperature
(VS = 12 V, VCC = 5 V)

使用上の注意

1. 電源の逆接続について

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れるなどの対策を施してください。

2. 電源ラインについて

基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。グラウンドラインについても、同様のパターン設計を考慮してください。また、LSI のすべての電源端子について電源-グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量低下が起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

3. グラウンド電位について

L 負荷駆動端子 (例: モータドライバの出力、DC-DC コンバータの出力など) については、L 負荷の逆起電圧の影響でグラウンド以下に振れることが考えられます。L 負荷駆動端子が逆起電圧によって負電位になる場合を除き、グラウンド端子はいかなる動作状態においても最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子、L 負荷駆動端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。使用条件、環境及び L 負荷個々の特性によっては誤動作などの不具合が発生する可能性があります。IC の動作などに問題のないことを十分ご確認ください。

4. グラウンド配線パターンについて

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

5. 推奨動作条件について

推奨動作条件で規定される範囲で IC の機能・動作を保証します。また、特性値は電気的特性で規定される各項目の条件下においてのみ保証されます。

6. ラッシュカレントについて

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

7. セット基板での検査について

セット基板での検査時に、インピーダンスの低い端子にコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

8. 端子間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けた場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

9. 未使用の入力端子の処理について

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

使用上の注意 — 続き

10. 各入力端子について

本 IC はモノリシック IC であり、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、GND > (端子 A) の時、トランジスタ (NPN) では GND > (端子 B) の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ (NPN) では、GND > (端子 B) の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に GND (P 基板) より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子が GND にショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

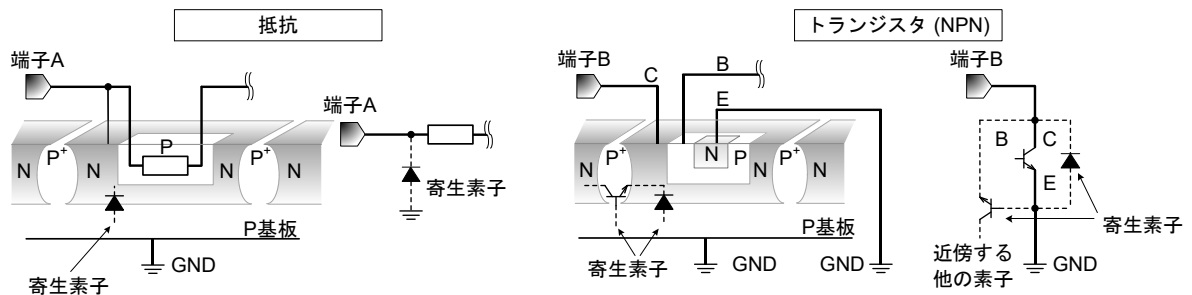


Figure 43. モノリシック IC 構造例

11. セラミック・コンデンサの特性変動について

外付けコンデンサに、セラミック・コンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮のうえ、定数を決定してください。

12. 温度保護回路について

IC を熱破壊から防ぐための温度保護回路を内蔵しております。最高接合部温度内でご使用いただきますが、万が一最高接合部温度を超えた状態が継続すると、温度保護回路が動作し出力パワー素子が OFF します。この IC は、リトライモードとラッチモードの2つのモードをサポートしています。リトライモードで構成されたとき、チップ温度 T_j が TSD スレッシュホールド以下になると出力は、自動で通常モードに復帰します。ラッチモードで構成されたとき、チップ温度 T_j が TSD スレッシュホールド以下になっても停止状態が継続するため、動作を再開するためには電源を再投入する必要があります。なお、温度保護回路は絶対最大定格を超えた状態での動作となりますので、温度保護回路を使用したセット設計などは、絶対に避けてください。

13. 過電流保護回路について

出力には電流能力に応じた過電流保護回路が内部に内蔵されているため、負荷ショート時には IC 破壊を防止しますが、この保護回路は突発的な事故による破壊防止に有効なもので、連続的な保護回路動作、過渡時でのご使用に対応するものではありません。

14. 機能安全について

「ISO 26262 ASIL-x に準拠したプロセスで開発」とは、記載した ASIL レベルに準拠した ISO 26262 対応プロセスで開発した LSI であることを示します。

「機能安全をサポートする安全機構を搭載 (ASIL-x)」とは、記載している ASIL レベルに必要な安全機構を搭載した LSI であることを示します。

「機能安全をサポート」とは、車載向けに開発した LSI で、機能安全に関する安全分析のサポートをすることが可能であることを示します。

※「ASIL-x」の「x」は、「A」、「B」、「C」、「D」のいずれかを表します。

発注形名情報

B D 1 6 9 4 0 M U F

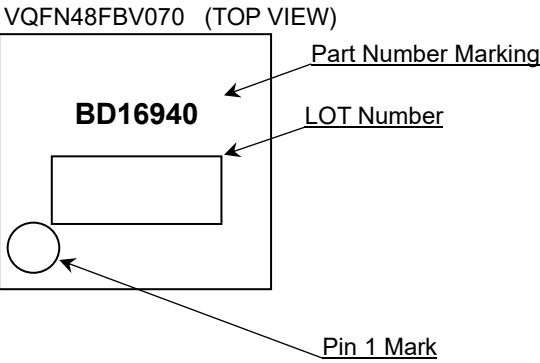
-

C E 2

パッケージ
MUF: VQFN48FBV070

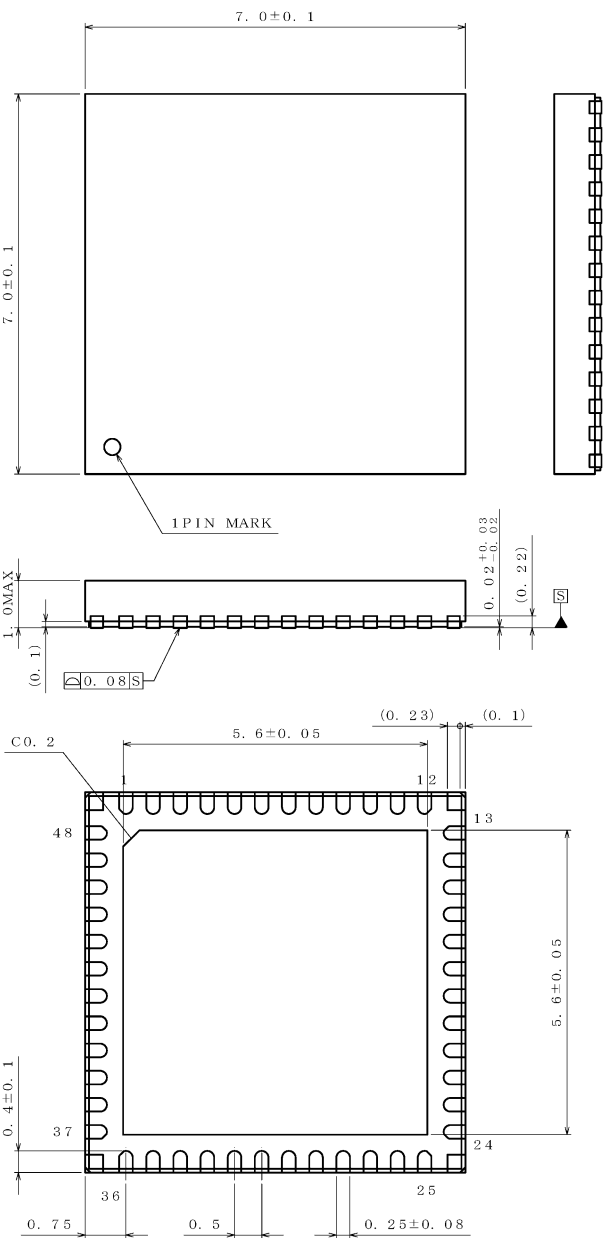
製品ランク
C: 車載ランク品
包装、フォーミング仕様
E2: リール状エンボステーパーピング

標印図



外形寸法図と包装・フォーミング仕様

Package Name	VQFN48FBV070
--------------	--------------

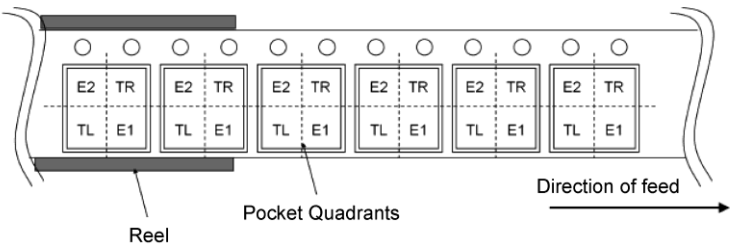


NOTE: Dimensions in () for reference only.

PKG: VQFN48FBV070
Drawing No. EX414-5001-1

＜包装形態、包装数量、包装方向＞

包装形態	エンボステーピング
包装数量	1500pcs
包装方向	E2 (リールを左手に持ち、右手でテープを引き出したときに、製品の1番ピンが左上にくる方向。)



改訂履歴

日付	版	変更内容
2026.03.13	001	新規作成

ご注意

ローム製品取扱い上の注意事項

- 極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器^(Note 1)、航空宇宙機器、原子力制御装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

- 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
- 本製品は、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用
 - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用される場合は除く。ただし、残渣については十分に確認をお願いします。)又は、はんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合
 - ⑧結露するような場所でのご使用
- 本製品は耐放射線設計はなされておられません。
- 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
- パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
- 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
- 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
- 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

- ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
- はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。
その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。（人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等）

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
 - ① 潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ② 推奨温度、湿度以外での保管
 - ③ 直射日光や結露する場所での保管
 - ④ 強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルに2次元バーコードが印字されていますが、2次元バーコードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は、外国為替及び外国貿易法に定めるリスト規制貨物等に該当するおそれがありますので、輸出する場合には、ロームへお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等（ソフトウェア含む）との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。