

車載モータドライバシリーズ

電流検出アンプ 2 回路内蔵

車載用 2ch ハーフブリッジゲートドライバ

BD16953MUF-C

概要

BD16953MUF-C は外付け NMOS FET を駆動するハーフブリッジゲートドライバです。
ゲートドライバ出力はシリアル通信インタフェースと PWM 入力で制御します。
異常検知は、異常の詳細結果を SPI にて読み出すことができます。
電流検出アンプを 2 回路内蔵し、各ハーフブリッジの負荷電流を常時モニタすることが可能です。

特長

- AEC-Q100 対応 (Note 1)
 - 機能安全をサポート
 - ハーフブリッジゲートドライバ 2ch
 - 1 段昇圧チャージポンプ
 - 定電流ゲートドライバ出力
 - 16 bit Serial Peripheral Interface (SPI)
 - PWM 制御 2 入力
 - イネーブル入力
 - 強制ショートブレーキ入力
 - 電流検出アンプ (2ch) 搭載
 - 異常検知/保護機能
(過電圧、過電流、サーマル、減電圧)
 - Static オープン/ショート検出機能
 - エラー出力
- (Note 1) Grade 1

用途

- 車載ブラシ付き DC モータ
 - 車載ソレノイド、リレースイッチ
 - ワイパー、パワーウィンドウ、ドアロック
 - パワースhift (スライド、リクライニング、リフト)
 - パワースライドドア、オートクローザ、パワーリフトゲート
 - サルーフ
 - シートベルトハイトアジャスタ、電動プリテンション
 - 電動チルトステアリング、テレスコピック
 - 電動ステアリングロック
 - 電動シェード、電動スポイラ
- etc.

重要特性

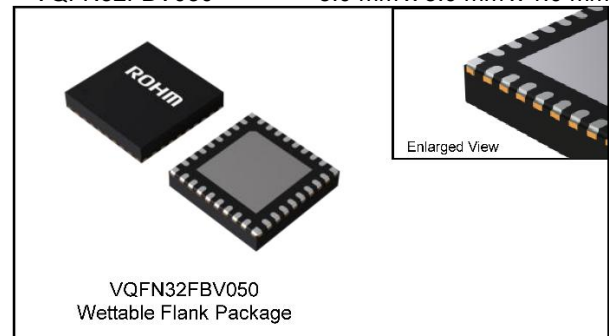
- 動作電源電圧範囲 (VB): 5.5 V ~ 30 V
- 動作電源電圧範囲 (VCC): 3.0 V ~ 5.5 V
- 電源静止電流 (VB): 0 μ A (Typ)
- 電源静止電流 (VCC): 0 μ A (Typ)
- ゲートドライバ出力電圧 (High): $V_B + 10.8$ V (Typ)
- ゲートドライバ出力電圧 (Low): 10.3 V (Typ)
- ゲートドライバ設定電流: ± 1.5 mA ~ ± 30 mA (Typ)
- 同時オン防止設定時間: 0 μ s ~ 96 μ s (Typ)
- SPI クロック周波数: 7 MHz (Max)
- 接合部温度範囲: -40 $^{\circ}$ C ~ +150 $^{\circ}$ C

パッケージ

VQFN32FBV050

W (Typ) x D (Typ) x H (Max)

5.0 mm x 5.0 mm x 1.0 mm



基本アプリケーション回路

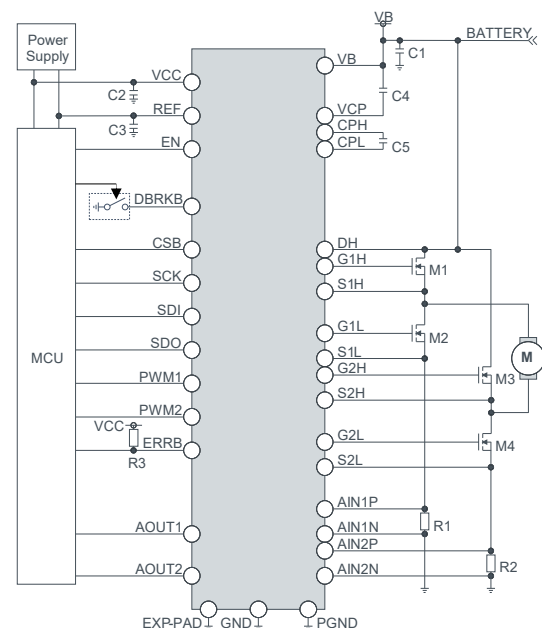


Figure 1. アプリケーション回路図

○製品構造：シリコンを主材料とした半導体集積回路 ○耐放射線設計はしてありません

www.rohm.co.jp

© 2022 ROHM Co., Ltd. All rights reserved.

TSZ22111 • 14 • 001

端子配置図

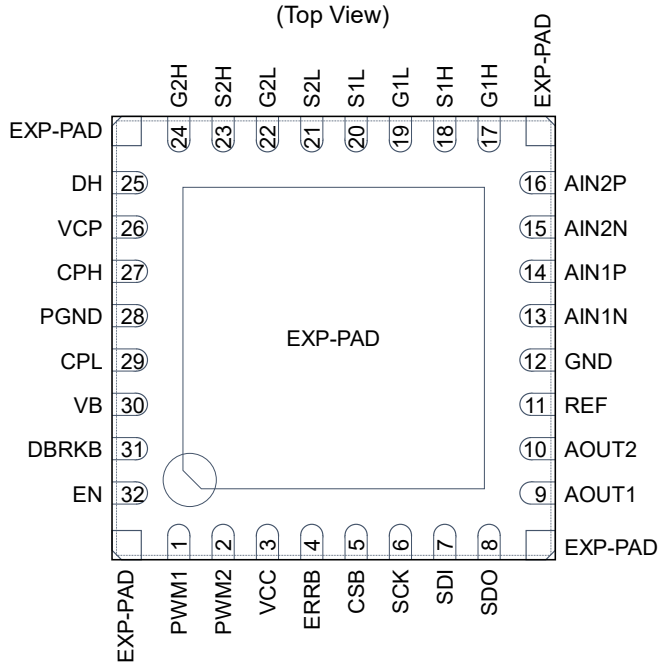


Figure 2. 端子配置図

ブロック図

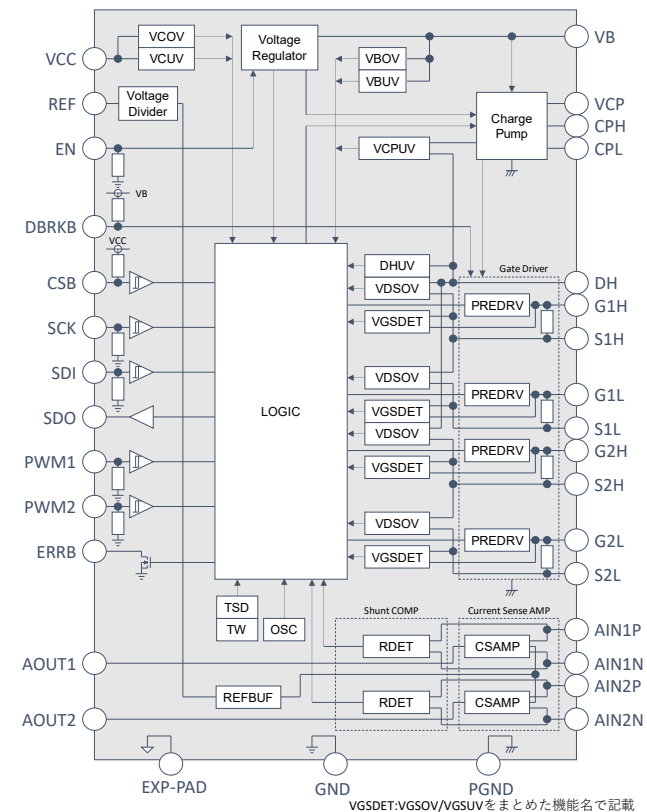


Figure 3. ブロック図

端子説明

No	端子名	機能	No	端子名	機能
1	PWM1	ハーフブリッジ 1 制御用 PWM 入力	17	G1H	ハーフブリッジ 1 上側ゲートドライバ出力
2	PWM2	ハーフブリッジ 2 制御用 PWM 入力	18	S1H	ハーフブリッジ 1 上側ソース / 下側ドレイン検知電圧入力
3	VCC	3.3 V or 5 V 電源電圧入力	19	G1L	ハーフブリッジ 1 下側ゲートドライバ出力
4	ERRB	エラー出力 (Low Active)	20	S1L	ハーフブリッジ 1 下側ソース検知電圧入力
5	CSB	SPI チップセレクト入力 (Low Active)	21	S2L	ハーフブリッジ 2 下側ソース検知電圧入力
6	SCK	SPI クロック入力	22	G2L	ハーフブリッジ 2 下側ゲートドライバ出力
7	SDI	SPI データ入力	23	S2H	ハーフブリッジ 2 上側ソース / 下側ドレイン検知電圧入力
8	SDO	SPI データ出力	24	G2H	ハーフブリッジ 2 上側ゲートドライバ出力
9	AOUT1	電流検出アンプ 1 出力	25	DH	ハーフブリッジ 1, 2 共通上側ドレイン検出電圧入力
10	AOUT2	電流検出アンプ 2 出力	26	VCP	昇圧電圧出力
11	REF	電流検出アンプ 1, 2 共通基準電圧入力	27	CPH	昇圧コンデンサ接続 プラス入力
12	GND	小信号グラウンド入力	28	PGND	パワーグラウンド入力
13	AIN1N	電流検出アンプ 1 反転入力	29	CPL	昇圧コンデンサ接続 マイナス入力
14	AIN1P	電流検出アンプ 1 非反転入力	30	VB	電源電圧入力
15	AIN2N	電流検出アンプ 2 反転入力	31	DBRKB	強制ショートブレーキ入力 (Low Active)
16	AIN2P	電流検出アンプ 2 非反転入力	32	EN	イネーブル入力 (High Active)
-	EXP-PAD	中央の EXP-PAD は、IC 外部にて GND 端子とショート接続が必要 中央の EXP-PAD とコーナの EXP-PAD は、IC 内部にてショート接続			

応用回路例・部品表

応用回路図 (例: ブラシ付き DC モータ駆動)

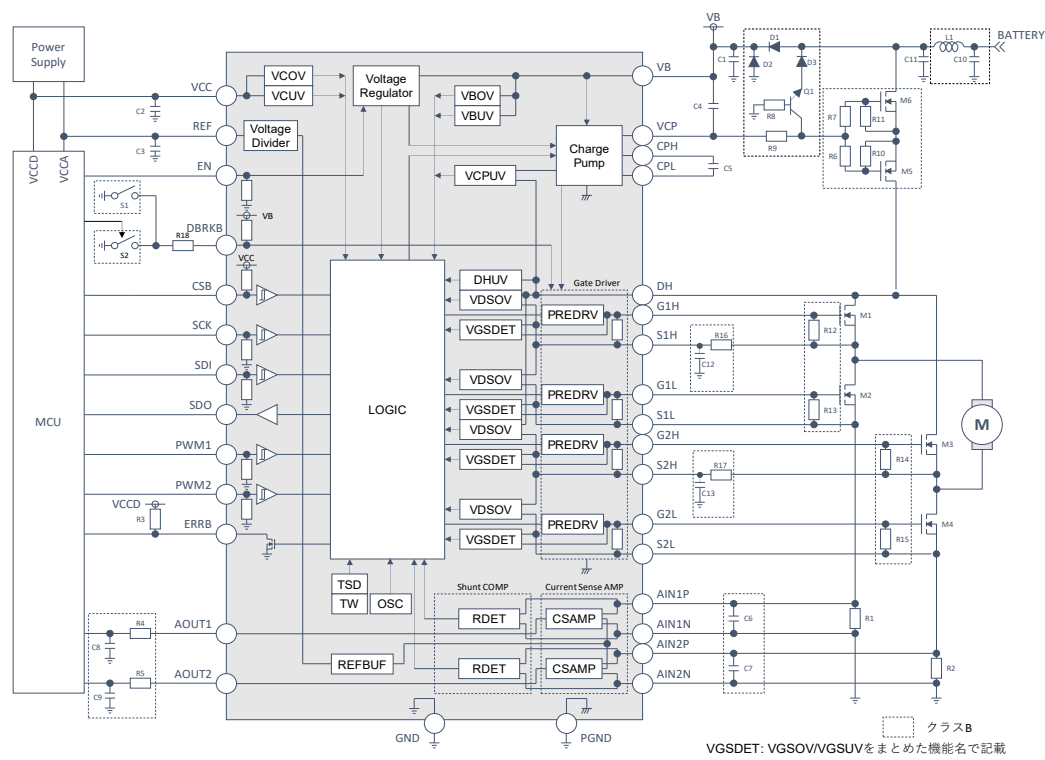


Figure 4. 応用回路例

No.	シンボル	機能	推奨値	単位	クラス (Note 1)
1	C1	デカップリング・バイパスコンデンサ	1.0 以上	μF	A
2	C2, C3	デカップリング・バイパスコンデンサ	0.1	μF	A
3	C4	昇圧電圧平滑化コンデンサ	0.1	μF	A
4	C5	昇圧電圧生成用フライングコンデンサ	0.1	μF	A
5	C6, C7	差動入力安定化コンデンサ	—	—	B
6	C8, C9	出力電圧平滑化ローパスフィルタの一部	—	—	B
7	C10	バッテリー電圧平滑化用 π 型 CLC フィルタの一部	—	—	B
8	C11	バッテリー電圧平滑化コンデンサ	10 以上	μF	A
9	C12, C13	MOS FET ソース電圧平滑化ローパスフィルタの一部	—	—	B
10	D1	バッテリー逆接続保護用ショットキーバリアダイオード	—	—	B
11	D2	バッテリー電圧クランプ用ツェナーダイオード	—	—	B
12	D3	逆流防止用ダイオード	—	—	B
13	L1	バッテリー電圧平滑化用 π 型 CLC フィルタの一部 フェライトビーズなどのインダクタ	—	—	B
14	M1, M2, M3, M4	モータ駆動用 NMOS FET	—	—	A
15	M5	バッテリー逆接続保護用 NMOS FET	—	—	B
16	M6	バッテリー電源リレー用 NMOS FET	—	—	B
17	R1, R2	モータ駆動電流検知用シャント抵抗	—	—	A
18	R3	電源プルアップ抵抗	10	kΩ	A
19	R4, R5	出力電圧平滑化ローパスフィルタの一部	—	—	B
20	R6, R7, R8, R9	電流制限抵抗	—	—	B
21	R10, R11, R12, R13, R14, R15	NMOS FET ゲート・ソース間プルダウン抵抗	—	—	B
22	R16, R17	MOS FET ソース電圧平滑化ローパスフィルタの一部	—	—	B
23	R18	DBRKB 設定時電流制限用抵抗	—	—	B
24	Q1	バッテリー逆接続保護用スイッチ	—	—	B
25	S1, S2	NMOS FET などのスイッチ (他システムから信号入力制御 or MCU 信号入力制御)	—	—	B

(Note 1) クラス A: ゲートドライバとして必要な部品, クラス B: システムでの考慮が必要な部品

絶対最大定格

項目		記号	定格	単位
電源電圧	VB	V_B	-0.3 ~ +40	V
	VCC	V_{CC}	-0.3 ~ +7	V
入力電圧	REF	V_{REF}	-0.3 ~ +7	V
	DBRKB	V_{DBRKB}	-0.3 ~ +40	V
	EN, CSB, SCK, SDI, PWM1, PWM2	$V_{EN}, V_{CSB}, V_{SCK}, V_{SDI}, V_{PWM1}, V_{PWM2}$	-0.3 ~ +7	V
	DH	V_{DH}	-0.3 ~ +40	V
	S1H, S2H	V_{S1H}, V_{S2H}	-5 ~ +40	V
	S1L, S2L	V_{S1L}, V_{S2L}	-2 ~ +2	V
	AIN1P, AIN1N, AIN2P, AIN2N	$V_{AIN1P}, V_{AIN1N}, V_{AIN2P}, V_{AIN2N}$	-5 ~ +7	V
出力電圧	VCP, CPH	V_{CP}, V_{CPH}	$V_B - 0.3 \sim V_B + 20$	V
	CPL	V_{CPL}	-0.3 ~ +12.3 < V_B	V
	SDO	V_{SDO}	-0.3 ~ +7	V
	ERRB	V_{ERRB}	-0.3 ~ +7	V
	G1H, G2H	V_{G1H}, V_{G2H}	-0.3 ~ +60 ($V_{GxH} - V_{SxH} < 12\text{ V}$)	V
	G1L, G2L	V_{G1L}, V_{G2L}	-0.3 ~ +12.3	V
	AOUT1, AOUT2	V_{AOUT1}, V_{AOUT2}	-0.3 ~ +7	V
出力電流 (Note 1)	SDO	I_{SDO}	-1 ~ +1	mA
	ERRB	I_{ERRB}	0 ~ +1	mA
	AOUT1, AOUT2	I_{AOUT1}, I_{AOUT2}	-5 ~ +5	mA
保存温度範囲		T_{stg}	-55 ~ +150	°C
最高接合部温度		T_{jmax}	+150	°C

(Note 1) 電流項目についてはICへの電流流入を正表記、ICからの電流流出を負表記とする。

注意 1: 印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施していただくようご検討をお願いします。

注意 2: 最高接合部温度を超えるようなご使用をされますと、チップ温度上昇により、IC本来の性質を悪化させることにつながります。最高接合部温度を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用するなど、最高接合部温度を超えないよう熱抵抗にご配慮ください。

推奨動作条件

項目	記号	規格値			単位
		最小	標準	最大	
動作温度	T_{opr}	-40	+25	+125	°C
VB 電源電圧	V_B	5.5	13.5	30.0	V
VCC 電源電圧	V_{CC}	3.0	5.0	5.5	V
REF 入力電圧	V_{REF}	3.0	5.0	5.5	V
EN, CSB, SCK, SDI, PWM1, PWM2 入力電圧	$V_{EN}, V_{CSB}, V_{SCK}, V_{SDI}, V_{PWM1}, V_{PWM2}$	3.0	-	V_{CC}	V

熱抵抗 (Note 1)

項目	記号	熱抵抗 (Typ)		単位
		1 層基板 (Note 3)	4 層基板 (Note 4)	
VQFN32FBV050				
ジャンクションー周囲温度間熱抵抗	θ_{JA}	103.0	39.3	°C/W
ジャンクションーパッケージ上面中心間熱特性パラメータ (Note 2)	Ψ_{JT}	14.0	13.0	°C/W

(Note 1) JESD51-2A (Still-Air) に準拠。
 (Note 2) ジャンクションからパッケージ (モールド部分) 上面中心までの熱特性パラメータ。
 (Note 3) JESD51-3 に準拠した基板を使用。
 (Note 4) JESD51-5,7 に準拠した基板を使用。

測定基板	基板材	基板寸法
1 層	FR-4	114.3 mm x 76.2 mm x 1.57 mmt

1 層目 (表面) 銅箔	
銅箔パターン	銅箔厚
実装ランドパターン + 電極引出し用配線	70 μ m

測定基板	基板材	基板寸法	サーマルビア (Note 5)	
			ピッチ	直径
4 層	FR-4	114.3 mm x 76.2 mm x 1.6 mmt	1.20 mm	Φ 0.30 mm

1 層目 (表面) 銅箔		2 層目、3 層目 (内層) 銅箔		4 層目 (裏面) 銅箔	
銅箔パターン	銅箔厚	銅箔パターン	銅箔厚	銅箔パターン	銅箔厚
実装ランドパターン + 電極引出し用配線	70 μ m	74.2 mm $\square$ (正方形)	35 μ m	74.2 mm $\square$ (正方形)	70 μ m

(Note 5) 貫通ビア。1,2,4 層の銅箔と接続する。配置はランドパターンに従う。

電気的特性

特に指定のない限り $-40\text{ }^{\circ}\text{C} \leq T_j \leq +150\text{ }^{\circ}\text{C}$, $V_B = 5.5\text{ V} \sim 30\text{ V}$, $V_{CC} = 3.0\text{ V} \sim 5.5\text{ V}$, $A_{INxP} = A_{INxN} = \text{GND}$,
 $\text{REF} = \text{EN} = V_{CC}$, $S_{xH} = S_{xL} = \text{PGND}$, $V_B - V_{CP} = 0.1\text{ }\mu\text{F}$, $\text{CPH} - \text{CPL} = 0.1\text{ }\mu\text{F}$ ($x = 1, 2$)

項目	記号	規格値			単位	条件
		最小	標準	最大		
全体						
VB 回路電流 1 (Note 1)	I _{VB1}	—	0	10	μA	EN = GND -40 °C ≤ T _j ≤ +105 °C
VB 回路電流 2	I _{VB2}	—	0	50	μA	EN = GND +105 °C < T _j ≤ +150 °C
VB 回路電流 3	I _{VB3}	—	3.4	5.9	mA	Register = Initial Value
VB 回路電流 4	I _{VB4}	—	9.8	17.2	mA	CP_EN = CS_EN = 1 DRV_GHIZ = 0 VBOV_SEL = 1
VB 回路電流 5	I _{VB5}	140	233	410	μA	VB = 13.5 V EN = DBRKB = GND
VCC 回路電流 1 (Note 1)	I _{VCC1}	—	0	10	μA	EN = GND -40 °C ≤ T _j ≤ +105 °C
VCC 回路電流 2	I _{VCC2}	—	2	100	μA	EN = GND +105 °C < T _j ≤ +150 °C
VCC 回路電流 3	I _{VCC3}	—	2.8	5.6	mA	CP_EN = CS_EN = 1 DRV_GHIZ = 0
電流検出アンプ 1, 2 共通基準電圧入力 (REF)						
High レベル入力電流 1 (Note 1)	I _{REFH1}	—	0	10	μA	EN = GND -40 °C ≤ T _j ≤ +105 °C
High レベル入力電流 2	I _{REFH2}	—	0	100	μA	EN = GND +105 °C < T _j ≤ +150 °C
High レベル入力電流 3	I _{REFH3}	—	40	180	μA	
Low レベル入力電流	I _{REFL}	-1	0	—	μA	REF = GND
電流検出アンプ 1, 2 共通基準電圧生成アンプ (REFBUF)						
基準電圧生成アンプ出力電圧 1	V _{REF1}	V _{REF} /2 - 0.025	V _{REF} /2	V _{REF} /2 + 0.025	V	AINxP = AINxN = GND CSAMP_REF = 0 (x = 1, 2)
基準電圧生成アンプ出力電圧 2	V _{REF2}	V _{REF} /8 - 0.025	V _{REF} /8	V _{REF} /8 + 0.025	V	AINxP = AINxN = GND CSAMP_REF = 1 (x = 1, 2)
ショートブレーキ入力 (DBRKB)						
High レベル入力電圧	V _{DBRKBH}	V _B - 0.8	—	V _B	V	
Low レベル入力電圧	V _{DBRKB L}	0	—	V _B - 2.2	V	
High レベル入力電流	I _{DBRKBH}	—	0	1	μA	DBRKB = VB
Low レベル入力電流	I _{DBRKB L}	-0.81	-0.10	-0.02	mA	DBRKB = GND

電流項目については IC への電流流入を正表記、IC からの電流流出を負表記とする。

(Note 1) 設計保証項目であり、出荷時の検査は実施しておりません。

電気的特性 — 続き

特に指定のない限り $-40\text{ }^{\circ}\text{C} \leq T_j \leq +150\text{ }^{\circ}\text{C}$, $V_B = 5.5\text{ V} \sim 30\text{ V}$, $V_{CC} = 3.0\text{ V} \sim 5.5\text{ V}$, $A_{INxP} = A_{INxN} = \text{GND}$,
 $\text{REF} = \text{EN} = V_{CC}$, $S_{xH} = S_{xL} = \text{PGND}$, $V_B - V_{CP} = 0.1\text{ }\mu\text{F}$, $\text{CPH} - \text{CPL} = 0.1\text{ }\mu\text{F}$ ($x = 1, 2$)

項目	記号	規格値			単位	条件
		最小	標準	最大		
イネーブル入力 (EN), SPI 入力 (CSB, SCK, SDI), PWM 入力 (PWM1, PWM2)						
High レベル入力電圧	V _{INH}	V _{CC} x 0.7	—	V _{CC}	V	
Low レベル入力電圧	V _{INL}	0	—	V _{CC} x 0.3	V	
入力ヒステリシス電圧	V _{INHYS}	—	V _{CC} x 0.1	—	V	
High レベル入力電流 (EN, SCK, SDI, PWM1, PWM2)	I _{INH}	25	50	100	μA	V _{CC} = 5 V EN, SCK, SDI, PWM1, PWM2 = V _{CC}
Low レベル入力電流 (EN, SCK, SDI, PWM1, PWM2)	I _{INL}	-1	0	—	μA	EN, SCK, SDI, PWM1, PWM2 = GND
High レベル入力電流 (CSB)	I _{CSBH}	—	0	1	μA	CSB = V _{CC}
Low レベル入力電流 (CSB)	I _{CSBL}	-100	-50	-25	μA	V _{CC} = 5 V CSB = GND
PWM 入力周波数 (PWM1, PWM2)	f _{PWM}	—	—	25	kHz	
SPI 出力 (SDO)						
High レベル出力電圧	V _{SDOH}	V _{CC} x 0.8	—	V _{CC}	V	I _{SDO} = -1 mA
Low レベル出力電圧	V _{SDOL}	0	—	V _{CC} x 0.2	V	I _{SDO} = +1 mA
High レベル出力リーク電流	I _{SDOH}	—	0	10	μA	SDO = V _{CC} (SDO 出力 Hi-Z 設定)
Low レベル出力リーク電流	I _{SDOL}	-10	0	—	μA	SDO = GND (SDO 出力 Hi-Z 設定)
エラー出力 (ERRB)						
Low レベル出力電圧	V _{ERRB}	0	—	0.4	V	I _{ERRB} = +1 mA
High レベル出力リーク電流	I _{ERRBH}	—	0	10	μA	ERRB = V _{CC} (ERRB 出力 Hi-Z 設定)
内部発振器 (オシレータ)						
発振周波数	f _{OSC}	9	10	11	MHz	

電流項目については IC への電流流入を正表記、IC からの電流流出を負表記とする。

電氣的特性 — 続き

特に指定のない限り $-40\text{ }^{\circ}\text{C} \leq T_j \leq +150\text{ }^{\circ}\text{C}$, $V_B = 5.5\text{ V} \sim 30\text{ V}$, $V_{CC} = 3.0\text{ V} \sim 5.5\text{ V}$, $A_{INxP} = A_{INxN} = \text{GND}$,
 $\text{REF} = \text{EN} = V_{CC}$, $S_{xH} = S_{xL} = \text{PGND}$, $V_B - V_{CP} = 0.1\text{ }\mu\text{F}$, $\text{CPH} - \text{CPL} = 0.1\text{ }\mu\text{F}$ ($x = 1, 2$)

項目	記号	規格値			単位	条件
		最小	標準	最大		
昇圧電圧出力 (VCP)						
VCP 回路電流 1 (Note 1)	I _{VCP1}	—	0	10	μA	EN = GND VCP = V _B -40 °C ≤ T _j ≤ +105 °C
VCP 回路電流 2	I _{VCP2}	—	0	50	μA	EN = GND VCP = V _B +105 °C < T _j ≤ +150 °C
出力電圧 1	V _{CP1}	V _B + 10.0	V _B + 10.8	V _B + 12.5	V	V _B = 13.5 V, 30 V, I _{VCP} = 0 mA
出力電圧 2	V _{CP2}	V _B + 5.5	V _B + 6.0	V _B + 6.5	V	V _B = 6 V, I _{VCP} = 0 mA
昇圧出力降下電圧 1 (Note 1)	V _{CP_drop1}	—	—	1	V	V _B = 13.5 V, 30 V, I _{VCP} = -10 mA
昇圧出力降下電圧 2 (Note 1)	V _{CP_drop2}	—	—	0.5	V	V _B = 6 V, I _{VCP} = -2 mA
動作周波数	f _{VCP}	360	400	440	kHz	CHP_FREQ_DFUE _{EN} = 0
ドレイン入力 (DH)						
入力電流 1 (Note 1)	I _{DH1}	—	0	1	μA	EN = GND -40 °C ≤ T _j ≤ +105 °C
入力電流 2	I _{DH2}	—	0	10	μA	EN = GND +105 °C < T _j ≤ +150 °C
DH 回路入力電流	V _{DH}	—	120	250	μA	

電流項目については IC への電流流入を正表記、IC からの電流流出を負表記とする。

(Note 1) 設計保証項目であり、出荷時の検査は実施していません。

電氣的特性 — 続き

特に指定のない限り $-40\text{ }^{\circ}\text{C} \leq T_j \leq +150\text{ }^{\circ}\text{C}$, $V_B = 5.5\text{ V} \sim 30\text{ V}$, $V_{CC} = 3.0\text{ V} \sim 5.5\text{ V}$, $A_{INxP} = A_{INxN} = \text{GND}$,
 $\text{REF} = \text{EN} = V_{CC}$, $S_{xH} = S_{xL} = \text{PGND}$, $V_B - V_{CP} = 0.1\text{ }\mu\text{F}$, $\text{CPH} - \text{CPL} = 0.1\text{ }\mu\text{F}$ ($x = 1, 2$)

項目	記号	規格値			単位	条件
		最小	標準	最大		
上/下側ソース電圧入力 (S1H, S2H, S1L, S2L), 上/下側ゲートドライバ出力 (G1H, G2H, G1L, G2L)						
上側ソース入力電流 1 (S1H, S2H)	I _{SxH1}	-10	0	—	μA	EN = GND GxH-SxH = GND (x = 1, 2)
上側ソース入力電流 2 (S1H, S2H) (Note 1)	I _{SxH2}	-1760	-880	-440	μA	VCC = 5 V, VB = 13.5 V SxH = VB CUR_SI_HxSEL = 1 CUR_SI_Hx [2:0] = 7h GxH_SEL = 0, GxH_FIX = 1 (x = 1, 2)
上側ソース入力電流 3 (S1H, S2H) (Note 1)	I _{SxH3}	-1500	-750	-375	μA	VCC = 5 V, VB = 13.5 V SxH = GND CUR_SI_HxSEL = 1 CUR_SI_Hx [2:0] = 7h GxH_SEL = 0, GxH_FIX = 0 (x = 1, 2)
下側ソース入力電流 1 (S1L, S2L)	I _{SxL1}	-10	0	—	μA	EN = GND GxL-SxL = GND (x = 1, 2)
下側ソース入力電流 2 (S1L, S2L) (Note 1)	I _{SxL2}	-540	-360	-180	μA	VCC= 5 V, VB= 13.5 V SxH = SxL = GND CUR_SO_LxSEL = 1 CUR_SO_Lx [2:0] = 7h GxL_SEL = 0, GxL_FIX = 1 (x = 1, 2)
上側ゲートドライバ出力 High 電圧 1	V _{GxHH1}	V _B + 10.0	V _B + 10.8	V _B + 12.0	V	VB = 13.5 V, 30 V, I _{VCP} = 0 mA S1H = S2H = VB
上側ゲートドライバ出力 High 電圧 2	V _{GxHH2}	V _B + 4.5	V _B + 5.5	V _B + 6.5	V	VB = 5.5 V, I _{VCP} = 0 mA S1H = S2H = VB
下側ゲートドライバ出力 High 電圧 1	V _{GxLH1}	9.3	10.3	11.3	V	VB = 13.5 V, 30 V
下側ゲートドライバ出力 High 電圧 2	V _{GxLH2}	4	5	6	V	VB = 5.5 V
上/下側ゲートドライバ出力 ソース電流設定精度 1	A _{ISR1}	-30	—	+30	%	VB = 13.5 V, 30 V VCP = VB + 10.8 V 上側: GxH = SxH = VB 下側: GxL = SxL = GND (x = 1, 2)
上/下側ゲートドライバ出力 ソース電流設定精度 2	A _{ISR2}	-30	—	+30	%	VB = 6.0 V, VCP = 12 V 上側: GxH = SxH = VB 下側: GxL = SxL = GND (x = 1, 2)

電流項目については IC への電流流入を正表記、IC からの電流流出を負表記とする
 (Note 1) $V_B = 13.5\text{ V}$ 時の SxH, SxL 端子外部へ流れる参考値規定。 ($x = 1, 2$)

電気的特性 — 続き

特に指定のない限り $-40\text{ }^{\circ}\text{C} \leq T_j \leq +150\text{ }^{\circ}\text{C}$, $V_B = 5.5\text{ V} \sim 30\text{ V}$, $V_{CC} = 3.0\text{ V} \sim 5.5\text{ V}$, $A_{INxP} = A_{INxN} = \text{GND}$,
 $\text{REF} = \text{EN} = V_{CC}$, $S_{xH} = S_{xL} = \text{PGND}$, $V_B - V_{CP} = 0.1\text{ }\mu\text{F}$, $\text{CPH} - \text{CPL} = 0.1\text{ }\mu\text{F}$ ($x = 1, 2$)

項目	記号	規格値			単位	条件
		最小	標準	最大		
上/下側ソース電圧入力 (S1H, S2H, S1L, S2L), 上/下側ゲートドライバ出力 (G1H, G2H, G1L, G2L)						
上/下側ゲートドライバ出力 シンク電流設定精度 1 (Note 1)	A _{ISI1}	-35	—	+35	%	VB = 13.5 V, 30 V VCP = VB + 10.8 V 上側: GxH = SxH + 10.8 V 下側: GxL = SxL = GND (x = 1, 2) CP_EN = 0
上/下側ゲートドライバ出力 シンク電流設定精度 2 (Note 1)	A _{ISI2}	-35	—	+35	%	VB = 6.0 V, VCP = 12 V 上側: GxH = SxH + 6.0 V 下側: GxL = SxL + 6.0 V (x = 1, 2) CP_EN = 0
上/下側ゲート-ソース間 プルダウン抵抗 (Note 2)	R _{GSxHL}	80	160	260	kΩ	GxH-SxH = 2 V GxL-SxL = 2 V DRV_GHIZ = 1 (x = 1, 2)
同時オン防止時間誤差 (Note 6)	t _{DEAD_err}	—	—	0.25	μs	
同期遅延時間 (Note 3)	t _{syn}	—	—	1.25	μs	
伝搬遅延時間 1 (Note 4)	t _{propa1}	—	—	400	ns	SxH = VB Output Current Settings1 ~ 4 = All High (Initial Value)
伝搬遅延時間 2 (Note 5)	t _{propa2}	—	—	2	μs	SxH = VB Output Current Settings1 ~ 4 = All High (Initial Value)
上側/下側ゲート-シンク フルオン 時オン抵抗	R _{GON_ds}	—	50	100	Ω	

電流項目については IC への電流流入を正表記、IC からの電流流出を負表記とする

(Note 1) 上側シンク電流: I_{sink} ($G1H = G2H = 11\text{ V}$, $S1H = S2H = \text{PGND}$) – プルダウン電流

下側シンク電流: I_{sink} ($G1L = G2L = 11\text{ V}$, $S1L = S2L = \text{PGND}$) – プルダウン電流

(Note 2) ゲートドライバ出力電流 = ゲートドライバ出力設定電流 – ゲート-ソース間プルダウン電流

例) ゲートドライバ出力設定電流: 10 mA とすると、ゲートドライバ出力電流は 10 mA (Typ) - 13 μA = 9.987 mA

(Note 3) PWM 入力信号と LOGIC 回路との間の同期遅延時間。設計保証項目であり、出荷時の検査は実施していません

(Note 4) 上側/下側ロジック制御信号と G_{xH}/G_{xL} 出力信号との間の内部遅延時間。設計保証項目であり、出荷時の検査は実施していません

(Note 5) ($G_{xH} - S_{xH}$) / ($G_{xL} - S_{xL}$) 電圧検知信号と上側/下側ロジック信号との間の内部遅延時間。設計保証項目であり、出荷時の検査は実施していません

(Note 6) 上側/下側ロジック制御信号から G_{xH} と G_{xL} 出力への時間差。設計保証項目であり、出荷時の検査は実施していません

電気的特性 — 続き

特に指定のない限り $-40\text{ }^{\circ}\text{C} \leq T_j \leq +150\text{ }^{\circ}\text{C}$, $V_B = 5.5\text{ V} \sim 30\text{ V}$, $V_{CC} = 3.0\text{ V} \sim 5.5\text{ V}$, $A_{INxP} = A_{INxN} = \text{GND}$,
 $\text{REF} = \text{EN} = V_{CC}$, $S_{xH} = S_{xL} = \text{PGND}$, $V_B - V_{CP} = 0.1\text{ }\mu\text{F}$, $\text{CPH} - \text{CPL} = 0.1\text{ }\mu\text{F}$ ($x = 1, 2$)

項目	記号	規格値			単位	条件
		最小	標準	最大		
電流検出アンプ (AIN1P, AIN1N, AIN2P, AIN2N, AOUT1, AOUT2)						
入力電流 AINxP (Note 1)	I _{AINxP}	-16.8	-10.0	-5.8	μA	REF = GND (x = 1, 2)
入力電流 AINxN (Note 1)	I _{AINxN}	-20.2	-12.0	-7.0	μA	REF = GND, RDET _x [2:0] = 7h (x = 1, 2)
入力オフセット電圧	V _{AINOFS}	-1	0	+1	mV	T _j = 25 °C, AINxP = AINxN = GND (x = 1, 2) V _{AINOFS} = (V _{AOx} - V _{REF1}) / G _{AIOy} (y = 1 ~ 4)
入力オフセット 電圧温度ドリフト (Note 2)	V _{AINDRFT}	-15	0	+15	μV /°C	V _{AINxP} = V _{AINxN} = GND (x = 1, 2)
同相入力電圧範囲	V _{AINCMN}	-0.3	–	+2.5	V	
出力電圧範囲 1	V _{AO1}	0.3	–	4.4	V	REF = 5.0 V
出力電圧範囲 2	V _{AO2}	0.3	–	2.7	V	REF = 3.3 V
出カクランプ電圧	V _{CLP}	2.8	3.2	3.6	V	REF = 3.3 V
入出力ゲイン 1	G _{AIO1}	–	8	–	V/V	CSAMP_GAIN [1:0] = 0h
入出力ゲイン 2	G _{AIO2}	–	16	–	V/V	CSAMP_GAIN [1:0] = 1h
入出力ゲイン 3	G _{AIO3}	–	32	–	V/V	CSAMP_GAIN [1:0] = 2h
入出力ゲイン 4	G _{AIO4}	–	48	–	V/V	CSAMP_GAIN [1:0] = 3h
入出力ゲイン精度	A _{G_{AIO}_err}	-2	–	+2	%	
同相信号除去比 1 (Note 2)	CMRR _{DC1}	60	–	–	dB	Common mode ripple < 100 Hz CSAMP_GAIN [1:0] = 0h
同相信号除去比 2 (Note 2)	CMRR _{DC2}	67	–	–	dB	Common mode ripple < 100 Hz CSAMP_GAIN [1:0] = 1h
同相信号除去比 3 (Note 2)	CMRR _{DC3}	72	–	–	dB	Common mode ripple < 100 Hz CSAMP_GAIN [1:0] = 2h
同相信号除去比 4 (Note 2)	CMRR _{DC4}	75	–	–	dB	Common mode ripple < 100 Hz CSAMP_GAIN [1:0] = 3h
同相信号除去比 5 (Note 2)	CMRR _{20k1}	55	–	–	dB	Common mode ripple = 20 kHz CSAMP_GAIN [1:0] = 0h
同相信号除去比 6 (Note 2)	CMRR _{20k2}	64	–	–	dB	Common mode ripple = 20 kHz CSAMP_GAIN [1:0] = 1h
同相信号除去比 7 (Note 2)	CMRR _{20k3}	72	–	–	dB	Common mode ripple = 20 kHz CSAMP_GAIN [1:0] = 2h
同相信号除去比 8 (Note 2)	CMRR _{20k4}	75	–	–	dB	Common mode ripple = 20 kHz CSAMP_GAIN [1:0] = 3h
電源電圧除去比 1 (Note 2)	PSRR _{DC1}	75	–	–	dB	Power supply ripple < 100 Hz 7 V ≤ V _B ≤ 30 V
電源電圧除去比 2 (Note 2)	PSRR _{DC2}	50	–	–	dB	Power supply ripple < 100 Hz V _B = 5.5 V
電源電圧除去比 3 (Note 2)	PSRR _{20k1}	70	–	–	dB	Power supply ripple = 20 kHz 7 V ≤ V _B ≤ 30 V
電源電圧除去比 4 (Note 2)	PSRR _{20k2}	25	–	–	dB	Power supply ripple = 20 kHz V _B = 5.5 V
出力立ち上がり時間	t _{ARISE}	–	–	2	μs	AINxP = -2 V/G _{AIOy} to +2 V/G _{AIOy} (y = 1 ~ 4) AINxN = 0 V, CSAMP_REF = 0 C _{AOUTx} = 25 pF 負荷 (x = 1, 2)
出力立ち下がり時間	t _{AFALL}	–	–	2	μs	AINxP = +2 V/G _{AIOy} to -2 V/G _{AIOy} (y = 1 ~ 4) AINxN = 0 V, CSAMP_REF = 0 C _{AOUTx} = 25 pF 負荷 (x = 1, 2)

電流項目については IC への電流流入を正表記、IC からの電流流出を負表記とする。

(Note 1) 端子のオープン検出のためバイアス電流が流れます。

(Note 2) 設計保証項目であり、出荷時の検査は実施していません。

電気的特性 — 続き

特に指定のない限り $-40\text{ }^{\circ}\text{C} \leq T_j \leq +150\text{ }^{\circ}\text{C}$, $V_B = 5.5\text{ V} \sim 30\text{ V}$, $V_{CC} = 3.0\text{ V} \sim 5.5\text{ V}$, $A_{INxP} = A_{INxN} = \text{GND}$,
 $\text{REF} = \text{EN} = V_{CC}$, $S_{xH} = S_{xL} = \text{PGND}$, $V_B\text{-}V_{CP} = 0.1\text{ }\mu\text{F}$, $\text{CPH}\text{-}\text{CPL} = 0.1\text{ }\mu\text{F}$ ($x = 1, 2$)

項目	記号	規格値			単位	条件
		最小	標準	最大		
異常検知/保護機能						
VB 減電圧保護 解除電圧	V _{BUVR}	4.5	5.0	5.5	V	
VB 減電圧保護ヒステリシス電圧	V _{BUV_hys}	300	500	700	mV	検知電圧: V _{BUVR} - V _{BUV_hys}
VB 減電圧検知ブランキング時間	t _{VBUVBLK}	48	64	80	μs	
VB 過電圧保護 検知電圧 1	V _{BOVD1}	20.0	22.0	24.0	V	V _{BOV_SEL} = 0
VB 過電圧保護 検知電圧 2	V _{BOVD2}	30.0	32.5	35.0	V	V _{BOV_SEL} = 1
VB 過電圧保護ヒステリシス電圧	V _{BOV_hys}	0.6	1.0	1.4	V	解除電圧: V _{BOVD1, 2} - V _{BOV_hys}
VB 過電圧検知ブランキング時間	t _{VBOVBLK}	48	64	80	μs	
VCC 減電圧保護 解除電圧	V _{CCUVR}	2.55	2.75	2.95	V	
VCC 減電圧保護ヒステリシス電圧	V _{CCUV_hys}	10	50	100	mV	検知電圧: V _{CCUVR} - V _{CCUV_hys}
VCC 減電圧検知ブランキング時間 (Note 1)	t _{VCCUVBLK}	1.0	2.5	5.0	μs	VCC = 2.2 V ~ 3.0 V
VCC 過電圧保護 検知電圧	V _{CCOVD}	5.5	6.0	6.5	V	
VCC 過電圧保護ヒステリシス電圧	V _{CCOV_hys}	50	200	400	mV	解除電圧: V _{CCOVD} - V _{CCOV_hys}
VCC 過電圧検知ブランキング時間	t _{VCCOVBLK}	48	64	80	μs	
VCP 減電圧保護 解除電圧	V _{CPUVR}	2.6	3.2	3.8	V	V _{CPUVR} : VCP-DH
VCP 減電圧保護ヒステリシス電圧	V _{CPUV_hys}	50	200	400	mV	検知電圧: V _{CPUVR} - V _{CPUV_hys}
VCP 減電圧検知ブランキング時間	t _{VCPUVBLK}	48	64	80	μs	
DH 減電圧保護 検知電圧	V _{DHUV}	4.4	4.9	5.4	V	
DH 減電圧保護 検知ブランキング時間設定精度 (Note 1, 2)	A _{tVDHUV}	-10	—	+10	%	

電流項目については IC への電流流入を正表記、IC からの電流流出を負表記とする。

(Note 1) 設計保証項目であり、出荷時の検査は実施していません。

(Note 2) レジスタで設定した設定値の精度規定。アナログ回路の遅延を含めた時間は DHUV ブランキング設定レジスタ説明を参照してください。

[Address = 1Ch <DHUV Blanking Setting>](#)

電気的特性 — 続き

特に指定のない限り $-40^{\circ}\text{C} \leq T_j \leq +150^{\circ}\text{C}$, $V_B = 5.5\text{ V} \sim 30\text{ V}$, $V_{CC} = 3.0\text{ V} \sim 5.5\text{ V}$, $A_{INxP} = A_{INxN} = \text{GND}$,
 $\text{REF} = \text{EN} = V_{CC}$, $S_{xH} = S_{xL} = \text{PGND}$, $V_B - V_{CP} = 0.1\text{ }\mu\text{F}$, $\text{CPH} - \text{CPL} = 0.1\text{ }\mu\text{F}$ ($x = 1, 2$)

項目	記号	規格値			単位	条件
		最小	標準	最大		
異常検知/異常保護						
上/下側ドレイン-ソース間 (Note 2) 過電圧 (過電流) 保護 検知電圧精度 1	A _{VDSOVD1}	-25	—	+25	%	VDS setting: VDS_Hx [2:0] = 0h, 1h VDS_Lx [2:0] = 0h, 1h (x = 1, 2)
上/下側ドレイン-ソース間 (Note 2) 過電圧 (過電流) 保護 検知電圧精度 2	A _{VDSOVD2}	-15	—	+15	%	VDS setting: VDS_Hx [2:0] = 2h ~ 7h VDS_Lx [2:0] = 2h ~ 7h (x = 1, 2)
上/下側ドレイン-ソース間 過電圧 (過電流) 保護 検知ブランキング時間設定精度 (Note 3)	A _{IVDSOVD}	-10	—	+10	%	
上/下側ゲート-ソース間 減電圧保 護検知電圧	V _{GSUVD}	2.1	3.0	3.9	V	GxH, GxL = High 出力時 (x = 1, 2)
上/下側ゲート-ソース間 減電圧保 護検知ブランキング時間設定精度 (Note 3)	A _{IVGSUVD}	-10	—	+10	%	
上/下側ゲート-ソース間 過電圧保 護検知電圧	V _{GSOVD}	0.4	1.2	2.4	V	GxH, GxL = Low 出力時 (x = 1, 2)
上/下側ゲート-ソース間 過電圧保 護検知ブランキング時間設定精度 (Note 3)	A _{IVGSOVD}	-10	—	+10	%	
シャント抵抗間 過電圧保護 検知電圧精度 1 (Note 1)	A _{VROVD1}	-35	—	+35	%	RDET setting: RDETx [2:0] = 0h, 1h (x = 1, 2)
シャント抵抗間 過電圧保護 検知電圧精度 2 (Note 1)	A _{VROVD2}	-25	—	+25	%	RDET setting: RDETx [2:0] = 2h ~ 7h (x = 1, 2)
シャント抵抗間 過電圧保護 検知ブランキング時間設定精度 (Note 2)	A _{IVROVD}	-10	—	+10	%	
Static オープン/ショート検出 検出電圧	V _{SxHD_off}	V _{DH} x 0.4	V _{DH} x 0.5	V _{DH} x 0.6	V	S1H, S2H モニタ
Static オープン/ショート検出 Pull Down 抵抗 1	R _{SxHD_off1}	0.66	1.33	2.66	kΩ	VB < 14 V
Static オープン/ショート検出 Pull Down 抵抗 2	R _{SxHD_off2}	2.07	4.15	8.30	kΩ	VB > 18 V
サーマルワーニング検知温度 (Note 3)	T _{TWD}	115	132.5	150	°C	
サーマルワーニング ヒステリシス 温度 (Note 3)	T _{TW_hys}	—	10	—	°C	解除温度: T _{TWD} - T _{TW_hys}
サーマル保護 検知温度 (Note 3)	T _{TSDD}	150	175	200	°C	
サーマル保護 ヒステリシス温度 (Note 3)	T _{TSD_hys}	—	15	—	°C	解除温度: T _{TSDD} - T _{TSD_hys}

電流項目については IC への電流流入を正表記、IC からの電流流出を負表記とする。

(Note 1) シャント抵抗間電圧 ($A_{INxP} - A_{INxN}$ [$x = 1, 2$]) の電圧検知用コンパレータの精度。

(Note 2) レジスタで設定した設定値の精度規定。アナログ回路の遅延を含めた時間は VDS、VGS、RDET ブランキング設定レジスタ説明を参照してください。
[Address = 1Ah <VDS, VGS, RDET Blanking Settings1>](#), [Address = 1Bh <VDS, VGS RDET Blanking Settings2>](#)

(Note 3) 設計保証項目であり、出荷時の検査は実施しておりません。

電気的特性 — 続き

特に指定のない限り $-40\text{ }^{\circ}\text{C} \leq T_j \leq +150\text{ }^{\circ}\text{C}$, $V_B = 5.5\text{ V} \sim 30\text{ V}$, $V_{CC} = 3.0\text{ V} \sim 5.5\text{ V}$, $A_{INxP} = A_{INxN} = \text{GND}$,
 $\text{REF} = \text{EN} = V_{CC}$, $S_{xH} = S_{xL} = \text{PGND}$, $V_B - V_{CP} = 0.1\text{ }\mu\text{F}$, $\text{CPH} - \text{CPL} = 0.1\text{ }\mu\text{F}$ ($x = 1, 2$)

項目	記号	規格値			単位	条件
		最小	標準	最大		
SPI I/O (CSB, SCK, SDI, SDO)						
SCK Frequency	f _{SCK}	-	-	7.0	MHz	
SCK Period	t _{SCK}	142	-	-	ns	
SCK High Time	t _{SCKH}	65	-	-	ns	
SCK Low Time	t _{SCKL}	65	-	-	ns	
SCK Setup Time	t _{SCKSET}	125	-	-	ns	
SCK Hold Time	t _{SCKHLD}	125	-	-	ns	
CSB Setup Time	t _{CSBSET}	142	-	-	ns	
CSB Hold Time	t _{CSBHLD}	142	-	-	ns	
CSB High Time	t _{CSBH}	2	-	-	μs	
SDI Setup Time	t _{SDISET}	50	-	-	ns	
SDI Hold Time	t _{SDIHLD}	50	-	-	ns	
SDO Valid Time	t _{SDOV}	-	-	60	ns	No Load
SDO Enable after CSB Falling Edge	t _{SDOEN}	-	-	125	ns	
SDO Disable after CSB Rising Edge (Note 1)	t _{SDODE}	-	-	500	ns	

(Note 1) VCC の 0 % 及び 100 % を基準にして規定します。

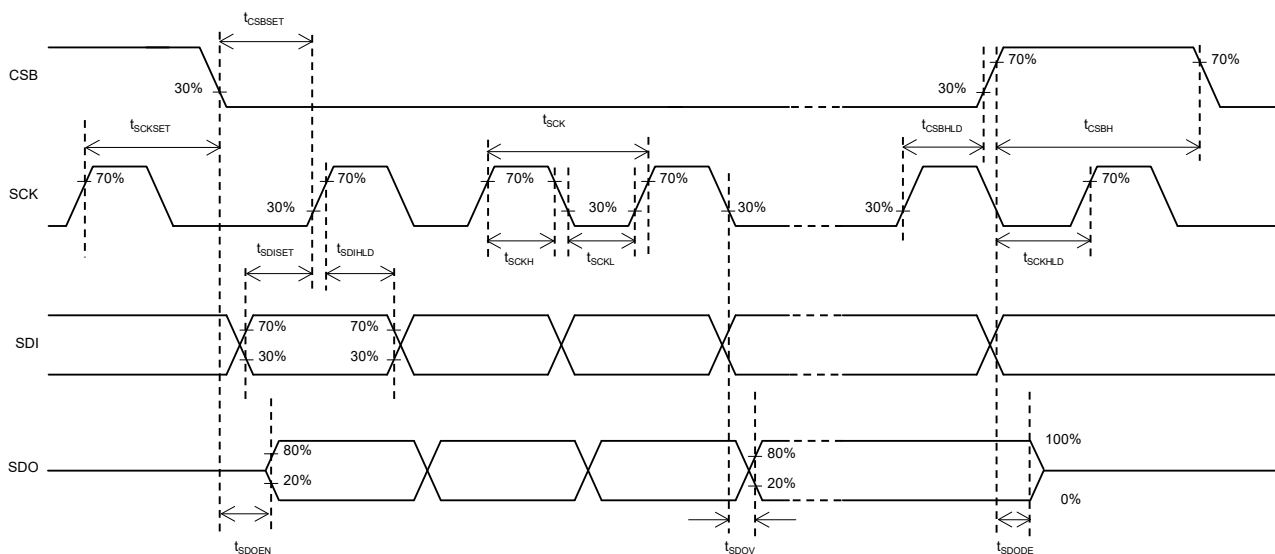


Figure 5. シリアルインタフェース タイミングチャート

電源・駆動シーケンス タイミングチャート

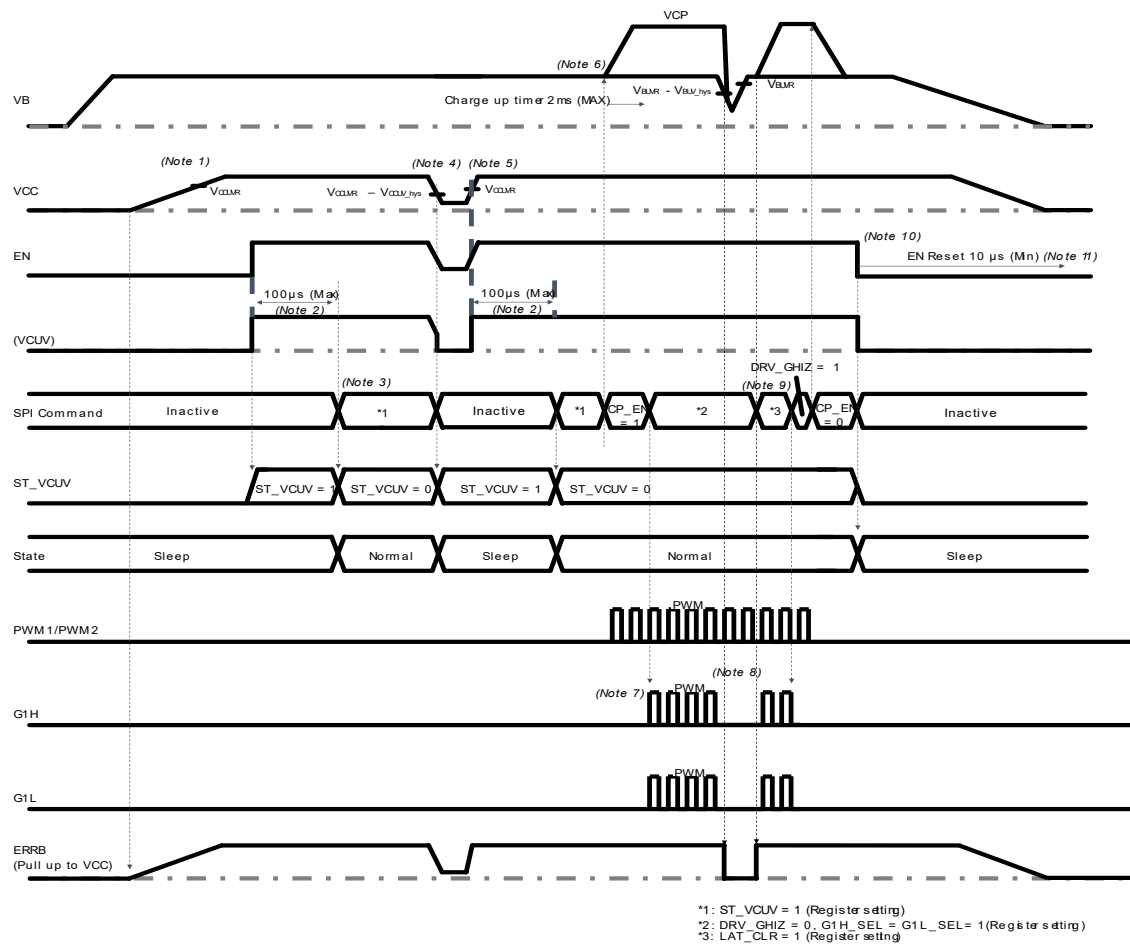


Figure 6. 電源・起動シーケンス

- (Note 1) VCC 減電圧保護 (VCCUV) は VCC 電圧を監視しています。電源投入時、 $VCC \geq V_{CCUV}$ かつ EN = High になるとステータスレジスタ ST_VCCUV = 1 が設定され、値を保持します。VCCUV 回路はノイズによる誤検知を防止するために、ブランキング時間 2.5 μ s (Typ) を設けています。
- (Note 2) VCC を立ち上げた後、EN = High に設定されると Normal State に遷移し、アナログ回路がアクティブになります。SPI コマンドは 100 μ s (Max) 後に送信可能となります。Sleep State から Normal State への遷移時間は 100 μ s (Max) です。
- (Note 3) SPI コマンドでレジスタ ST_VCCUV = 1 を設定することで、レジスタ ST_VCCUV の値はクリアされます。
- (Note 4) VCC 電圧が $(V_{CCUV} - V_{CCUV_hys})$ 電圧を下回ると VCCUV 異常を検知し、LOGIC 回路はリセット状態になり、アナログ回路は OFF します。
- (Note 5) VCC 電圧が異常解除電圧 (V_{CCUV}) を上回ると、VCCUV 異常が解除され、LOGIC 回路は動作状態になり、アナログ回路はアクティブになります。
- (Note 6) CP_EN = 1 に設定されるとチャージポンプ回路が起動します。起動時間は 2 ms (Max) です。チャージポンプが 2 ms 以内に立ち上がらず VCPUV が解除されないとタイムアウトとなり昇圧動作が停止します。
- (Note 7) DRV_GHIZ = 0, G1H_SEL = G1L_SEL = 1 に設定されると G1H, G1L 出力は PWM 駆動します
- (Note 8) VBUV を検知するとチャージポンプ回路は OFF し、G1H, G1L 出力は Low になります。
- (Note 9) VBUV を検知してチャージポンプ回路が OFF し VCPUV 検知した場合は、SPI コマンドでレジスタ LAT_CLR = 1 を設定することでチャージポンプ動作、及びゲートドライバ出力動作を再開させることができます。
- (Note 10) EN = Low に設定されると Sleep State に移行しアナログ回路は OFF になります。SPI の通信はできません。
- (Note 11) EN でリセットをする場合は、EN = Low 区間を 10 μ s 以上入力してください。

定電流制御

ゲートドライバの定電流制御は、SPI レジスタ (SPI Address 10h ~ 13h) により個別に電流値の設定をすることができます。電流値の設定は 2 モードあり、非線形ステップ 1.5 mA ~ 10 mA (Typ) と 4.5 mA ~ 30 mA (Typ) から選択することができます。ソース/シンク電流値には 160 kΩ (Typ) のプルダウン電流は含まれていません。

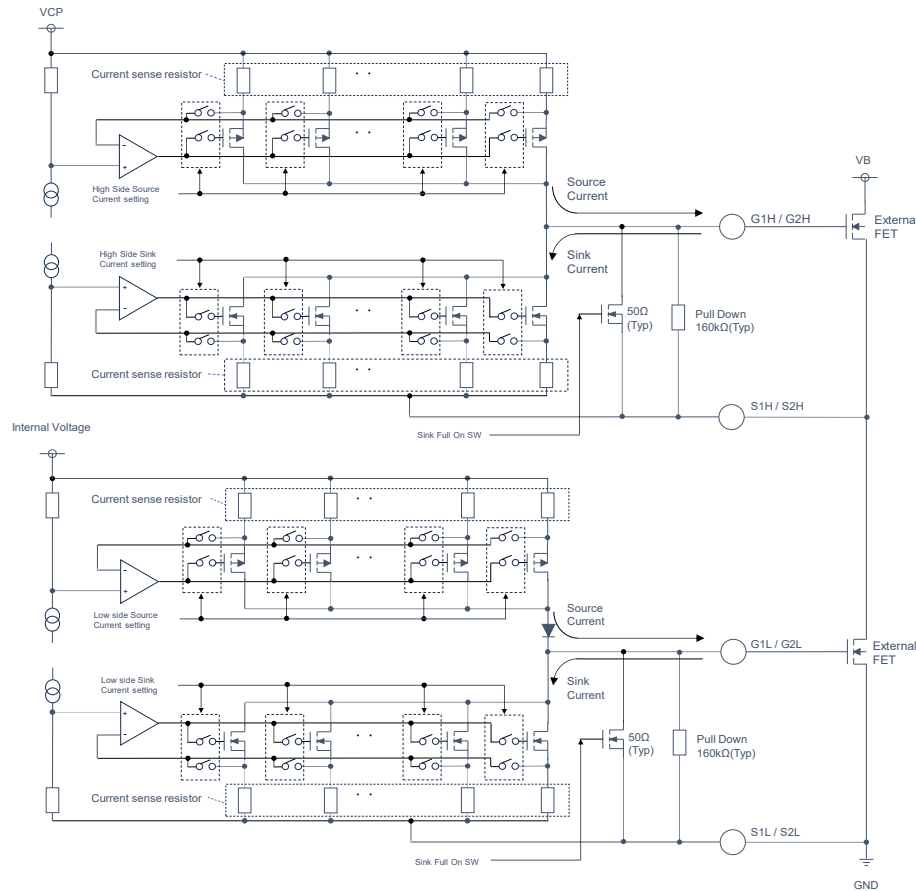
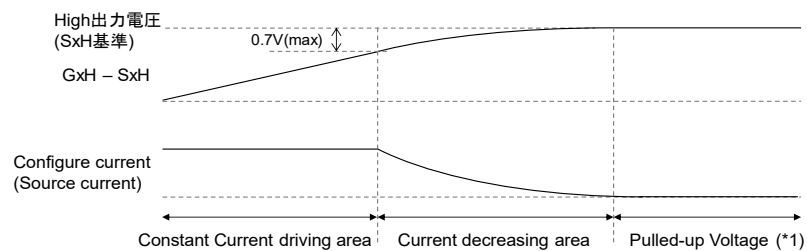


Figure 7. 定電流駆動回路構成図

High-Side ゲートドライバ出力ソース電流制御

(GxH-SxH) 電圧が (High 出力電圧 <SxH 基準>) - 0.7 V (Max) を超えると、ソース電流は設定値よりも減少します。そのため、定電流駆動が可能な範囲は (GxH-SxH) 電圧 < (High 出力電圧 <SxH 基準>) - 0.7 V (Max) となります。定電流駆動後、ゲートドライバ出力 G1H 及び G2H は、電流検出抵抗と PMOS によってプルアップされます。(x = 1, 2)



(Note) x = 1, 2

*1 : Pulled-up Voltage determined by Current sense resistor and PMOS Ron

Figure 8. High-Side ゲートドライバ出力ソース電流制御波形

Low-Side ゲートドライバ出力ソース電流制御

(GxL-SxL) 電圧が (High 出力電圧 <SxL 基準>) - 0.7 V (Max) を超えると、ソース電流は設定値よりも減少します。そのため、定電流駆動が可能な範囲は (GxL-SxL) 電圧 < (High 出力電圧 <SxL 基準>) - 0.7 V (Max) となります。定電流駆動後、ゲートドライバ出力 G1L 及び G2L は、電流検出抵抗と PMOS によってプルアップされます。(x = 1, 2)

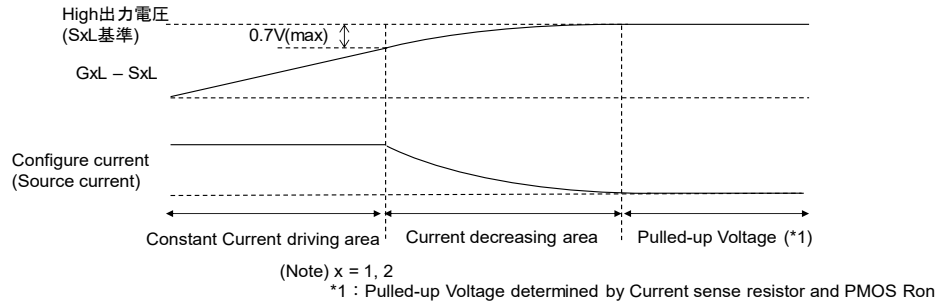


Figure 9. Low-Side ゲートドライバ出力ソース電流制御波形

High-Side ゲートドライバ出力シンク電流制御

(GxH-SxH) 電圧が SxH 電圧 + 0.7 V (Max) を下回ると、シンク電流は設定値よりも減少します。そのため、定電流駆動が可能な範囲は (GxH-SxH) 電圧 > SxH 電圧 + 0.7 V (Max) となります。この範囲を下回ると、ゲートドライバ出力 G1H 及び G2H は、電流検出抵抗と NMOS によってプルダウンされます。また、ゲートドライバ出力が過電圧保護検知電圧 (V_{GSovD}) 以下になり、伝搬遅延時間 2 (t_{propa2}) を経過すると Full ON 用の NMOS が ON し 50 Ω (Typ) でプルダウンを行います。(x = 1, 2)

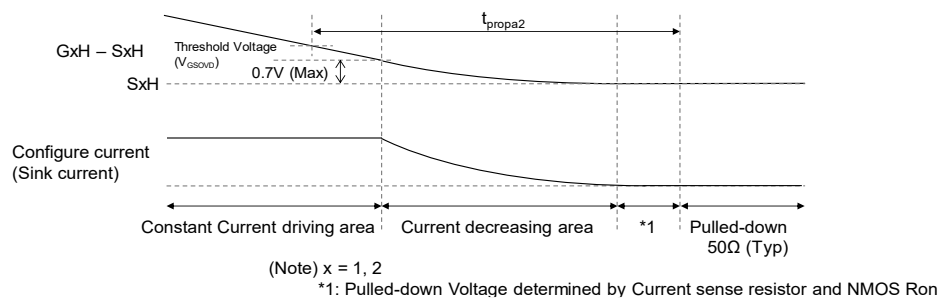


Figure 10 High-Side ゲートドライバ出力シンク電流制御波形

Low-Side ゲートドライバ出力シンク電流制御

(GxL-SxL) 電圧が SxL 電圧 + 0.7 V (Max) を下回ると、シンク電流は設定値よりも減少します。そのため、定電流駆動が可能な範囲は (GxL-SxL) 電圧 > SxL 電圧 + 0.7 V (Max) となります。この範囲を下回ると、ゲートドライバ出力 G1L 及び G2L は、電流検出抵抗と NMOS によってプルダウンされます。また、ゲートドライバ出力が過電圧保護検知電圧 (V_{GSovD}) 以下になり、伝搬遅延時間 2 (t_{propa2}) を経過すると Full ON 用の NMOS が ON し 50 Ω (Typ) でプルダウンを行います。(x = 1, 2)

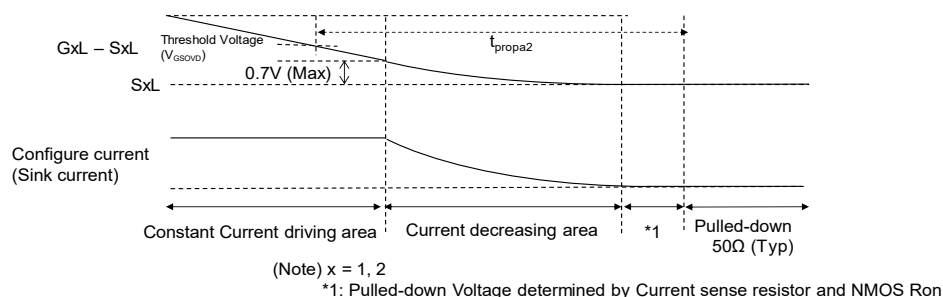


Figure 11 Low-Side ゲートドライバ出力シンク電流制御波形

駆動モード

ゲートドライバ出力の制御には、独立制御モードと H ブリッジ制御モードの 2 モードがあります。独立制御モードでは、High サイドゲートドライバと Low サイドゲートドライバを独立に制御することができます。H ブリッジ制御モードでは、モータを H ブリッジ接続して駆動することを想定しており、High サイドと Low サイドのゲートドライバ出力が同時 ON しないように制御されます。

また、各ゲートドライバ出力の制御は、PWM1 端子、または PWM2 端子から直接制御するモードとレジスタ設定値で制御するモードがあります。レジスタ GxH_SEL, GxL_SEL で選択ができます。

レジスタ GxH_SEL/GxL_SEL = 0 のとき、ゲートドライバ出力はレジスタ設定値で駆動制御ができます。

レジスタ GxH_SEL/GxL_SEL = 1 のとき、ゲートドライバ出力は PWM1/PWM2 端子で駆動制御ができます。PWM1 端子は、G1H/G1L 出力の制御を行い、PWM2 端子は、G2H/G2L 出力の制御を行います。また、PWM 制御とレジスタ設定値制御を組み合わせる駆動制御することも可能です。組み合わせの詳細については [Table 6. ゲートドライバ出力制御モード](#) を参照してください。

独立制御モード

レジスタ MODE_SEL = 0 を設定すると独立制御モードになります。独立制御モードでは、High サイドゲートドライバ出力と Low サイドゲートドライバ出力をそれぞれ独立で制御することができるため、様々な駆動形態が実現でき、色々なアプリケーションに対応することができます。下図のような接続例があります。

誘導負荷を使用する場合、S1H, S2H 端子の絶対最大定格を超える可能性があります。そのため S1H, S2H 端子は下図のように保護ダイオードを接続して絶対最大定格を超えないようにクランプしてください。接続する負荷に応じて適切なクランプ素子を選定して絶対最大定格を超えないようにしてください。

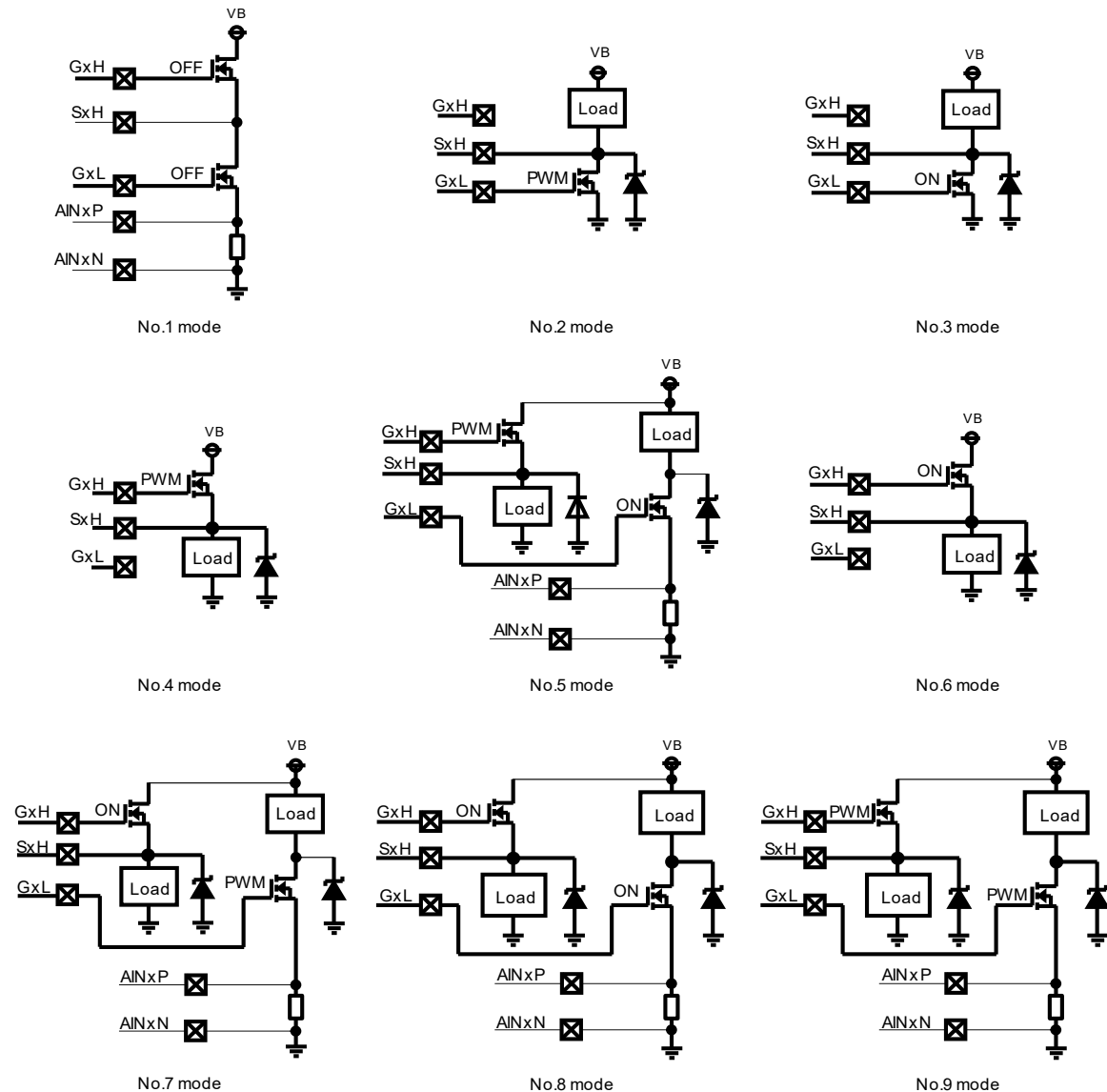
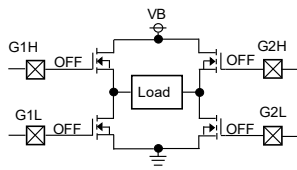


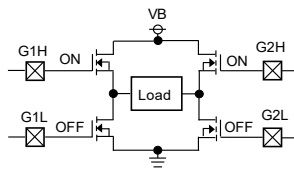
Figure 12. 独立制御モード 回路例

H ブリッジ制御モード

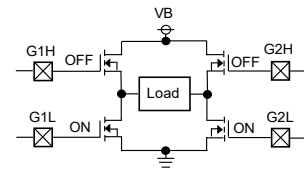
レジスタ `MODE_SEL = 1` を設定すると H ブリッジ制御モードになります。H ブリッジ接続を想定したモードです。High サイド/ Low サイドゲートドライバはレジスタ設定値、または、PWM1 端子入力、PWM2 端子入力から制御することができます。



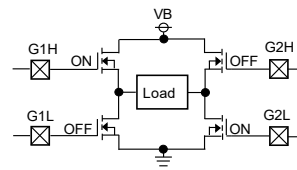
No.10 mode



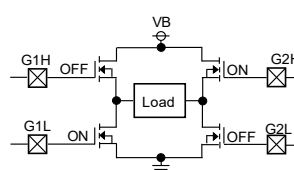
No.11 mode



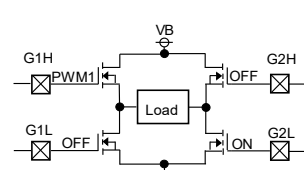
No.12 mode



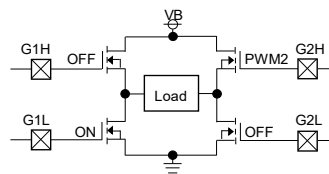
No.13 mode



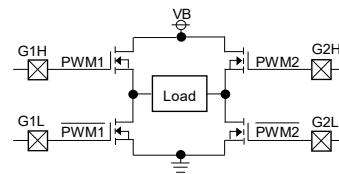
No.14 mode



No.15 mode



No.16 mode



No.17 mode

Figure 13. H ブリッジ制御モード 回路例

PWM 制御

ゲートドライバ出力の PWM 制御は、独立制御モードと H ブリッジ制御モードで異なります。独立制御モードでは、High サイドゲートドライバと Low サイドゲートドライバを同タイミングで制御しますが、H ブリッジ制御モードでは、High サイドと Low サイドのゲートドライバ出力が同時 ON しないように Dead Time が挿入されます。

独立制御モードの場合

PWMx 入力、GxH、GxL 出力信号の関係を下図に示します。レジスタ $\text{MODE_SEL} = 0$, $\text{GxH_SEL} = \text{GxL_SEL} = 1$ 設定の場合、PWM1 端子に入力された論理により、G1H 及び G1L が同極性で High/Low 出力します。同様に、PWM2 端子に入力された論理により、G2H 及び G2L が同極性で High/Low 出力します。PWMx 端子に入力された信号は、内部クロックにて同期化しているため、同期遅延時間 (t_{syn}) が発生します。また、GxH 及び GxL が出力を開始するまでには伝搬遅延時間 1 (t_{propa1}) があります。 ($x = 1, 2$)

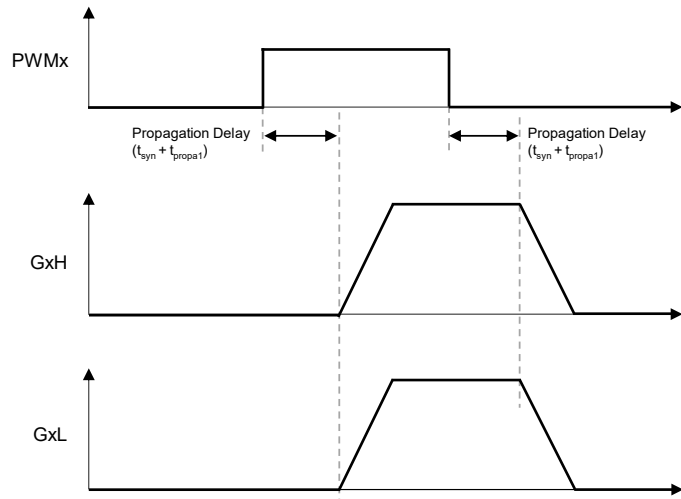


Figure 14. PWM 出力タイミングチャート (独立制御モード)

H ブリッジ制御モードの場合

PWMx 入力、GxH、GxL 出力信号の関係を下図に示します。レジスタ $\text{MODE_SEL} = 1$, $\text{GxH_SEL} = \text{GxL_SEL} = 1$ の場合、PWM1 端子入力の論理により、G1H 及び G1L が逆極性で High/Low 出力します。同様に、PWM2 端子入力の論理により、G2H 及び G2L が逆極性で High/Low 出力します。PWMx 端子に入力された信号は、内部クロックにて同期化しているため、同期遅延時間 (t_{syn}) が発生します。また、GxH 及び GxL が出力を開始するまでには伝搬遅延時間 1 (t_{propa1}) があります。H ブリッジ制御モード時は、外付け MOS FET の貫通電流を防ぐためゲートドライバ電圧を監視しており、ゲートドライバ電圧が $V_{\text{GSovd}} = 1.2 \text{ V (Typ)}$ になったタイミングからレジスタ $\text{TDEAD} [3:0]$ で設定した Dead Time (t_{DEAD}) を挿入することで貫通電流の防止をします。 ($x = 1, 2$)

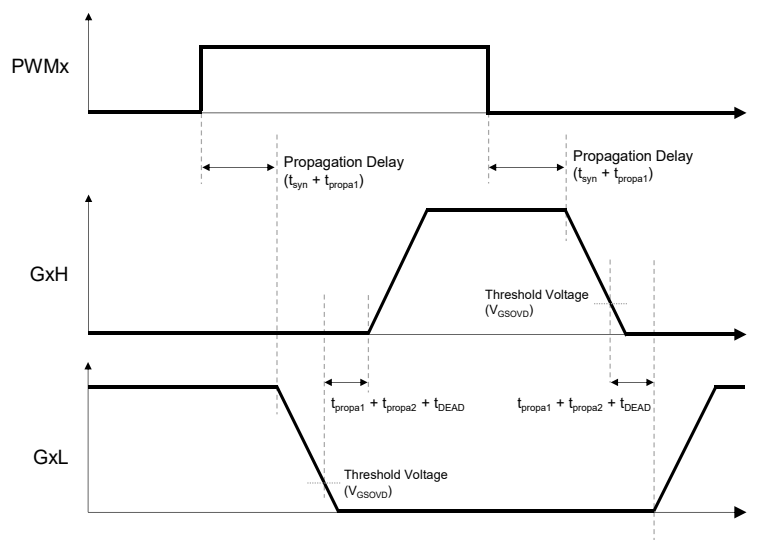


Figure 15. PWM 出力タイミングチャート (H ブリッジ制御モード)

チャージポンプ回路 (CP)

High サイドの外付け MOS FET トランジスタのゲートドライバを駆動するための電圧を生成するチャージポンプ回路を搭載しています。CPH 端子と CPL 端子の間に $0.1\ \mu\text{F}$ のコンデンサ、VCP 端子と VB 端子の間に $0.1\ \mu\text{F}$ のコンデンサを接続する必要があります。無負荷時や VB 電源電圧が $13.5\ \text{V}$ 以上の時は、VCP 端子電圧が VB 電圧 + $10.8\ \text{V}$ (Typ) まで昇圧されます。チャージポンプは内蔵発振器により $400\ \text{kHz}$ (Typ) クロックで駆動されます。

レジスタ CP_EN = 0 の時、VCPUV, DHUV, VGSOV (High サイド), VGSUV (High サイド), VD SOV (High サイド) の保護機能は無効になります。

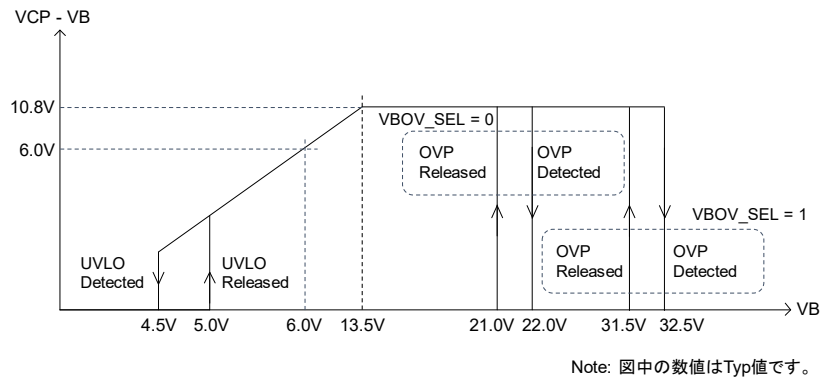


Figure 16. チャージポンプ出力電位関係図

電流検出アンプ (CSAMP)

シャント抵抗に流れる電流を検出するための電流検出アンプを搭載しています。ゲインはレジスタ CSAMP_GAIN で設定ができます。基準電圧 VREF は、REF 端子の入力電圧とレジスタ CSAMP_REF で設定ができます。電流検出アンプ出力電圧は次の式で表されます。

$$AOUT1 = (AIN1P - AIN1N) \times Gain + VREF$$

$$AOUT2 = (AIN2P - AIN2N) \times Gain + VREF$$

電流検出アンプは、下記の設定が可能です。

電流検出アンプを使用するにはレジスタ CS_EN = 1 を設定してください。使用しない場合はレジスタ CS_EN = 0 を設定することで電力消費が削減できます。

CS_EN	電流検出アンプ機能
0	無効
1	有効

電流検出アンプのゲインを変更するにはレジスタ CSAMP_GAIN [1:0] を設定してください。

CSAMP_GAIN [1:0]	ゲイン (Gain) 設定
0h	x 8
1h	x 16
2h	x 32
3h	x 48

電流検出アンプの基準電圧 VREF を変更するにはレジスタ CSAMP_REF を設定してください。

CSAMP_REF	基準電圧 (VREF) 設定
0	REF/2
1	REF/8

電流検出アンプの入力端子 OPEN 検知は、AOUTx 電圧の電圧異常を確認することで検知することができます。

(例) モータ電流が流れていない状態 ($AINxP = AINxN = GND$) での通常時、AOUTx 出力電圧は $VREF + \text{出力オフセット電圧}$ になりますが $AINxP$ OPEN 時 AOUTx 出力は High、 $AINxN$ OPEN 時 AOUTx 出力は Low になるため異常検知を確認することができます。($x = 1, 2$)

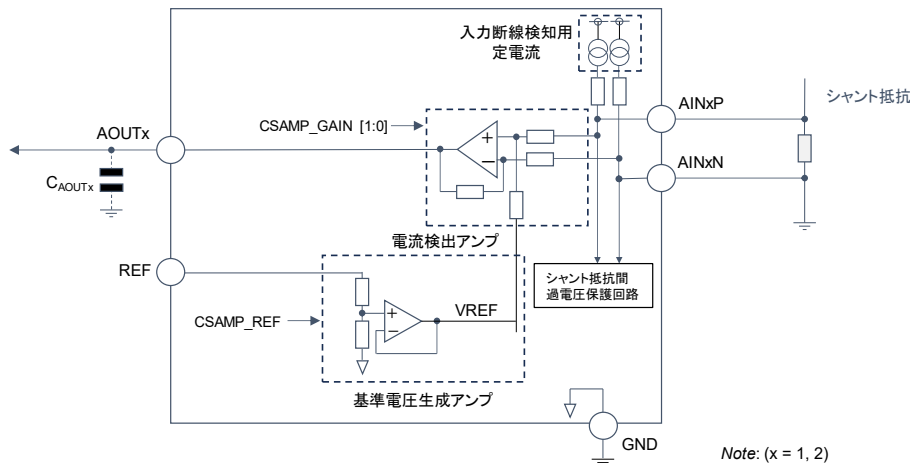


Figure 17. 電流検出アンプ 電流検出接続構成図

DBRKB 機能

SPI 通信ができない Sleep State (EN = Low) 時であっても DBRKB 端子入力により、内部 LOGIC 回路を経由せずにゲートドライバ出力を強制的にショートブレーキにする機能です。

DBRKB 端子を Low に設定すると、ゲートドライバ出力 G1H 及び G2H は Low 出力、G1L 及び G2L は High 出力になります。本機能は Sleep State (EN = Low) 時の使用を推奨しております。Normal State (EN = High) 時に使用した場合、制御入力とゲートドライバ出力に不整合が起きる場合があります。その場合、LOGIC 回路により各種異常を検知しますのでご注意ください。

また、Sleep State (EN = Low) 設定時 DBRKB 端子に Pull Down 抵抗挿入し GND 接続することで VB 電流を低減させることもできます。Pull Down 抵抗は 220 k Ω (Typ) 以下でご使用ください。

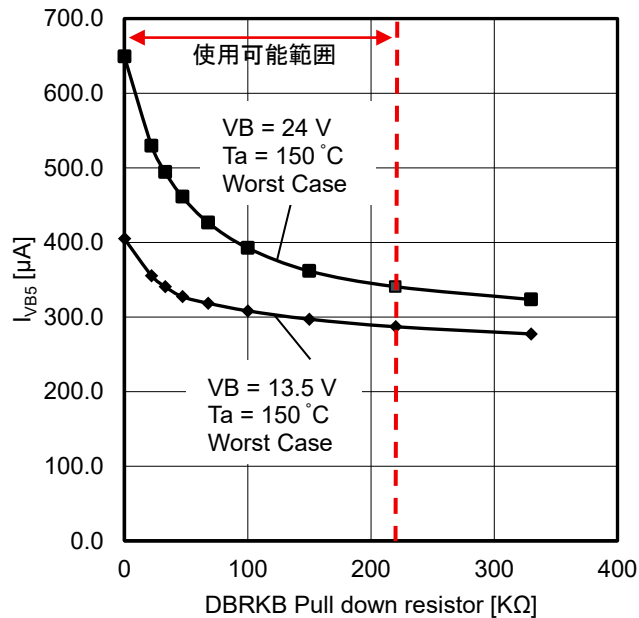


Figure 18. EN = L, DBRKB Pull Down 抵抗挿入時 VB 電流特性 (参考値)

Static オープン/ショート検出機能

Static オープン/ショート検出機能は、モータ駆動を行う前に大電流を流すことなく、外付け MOS FET のオープン、ショート状態を検出することができる機能です。本機能を使用する場合はチャージポンプ回路を起動してからスタートしてください。オープン、またはショート状態を検出してもエラー通知信号 (ERRB 端子) は Low 出力されません。検出結果は、レジスタ ST_OSCHK_FAIL 及びレジスタ ST_OSCHK の値を確認してください。

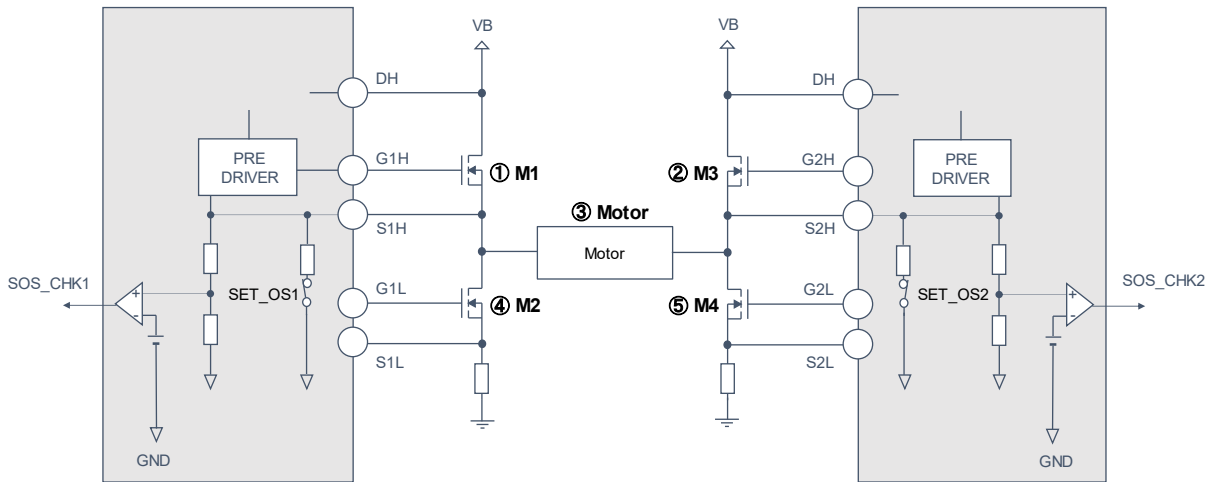


Figure 19. Static オープン/ショート検出機能ブロック図

検出機能には、自動検出モードと、マニュアル検出モードの 2 つのモードがあります。これらの機能は以下のレジスタ DRV_GHIZ, OS_EN, AUTO_OS_START にて、検出モードを制御することができます。

Table 1. Static オープン/ショート検出機能設定表

レジスタ設計			説明
DRV_GHIZ	OS_EN	AUTO_OS_START	
0	X	X	Function is inactive
1	0	X	Function is inactive
1	1	1	Auto Detection mode (See Table 2)
1	1	0	Manual Detection mode (See Table 3)

Static オープン/ショート検出機能の使用時は、VGSOV, VGSUV, VDSOV の保護機能は無効になります。

自動検出モード

自動検出モードでは、Table 2. のシーケンスをステップ順に自動的に実行されます。ステップの周期は 2 ms (Typ) です。シーケンスが実行され終了すると、レジスタ ST_OSCHK_END = 1 がセットされます。異常が検出された場合は、その時点でチェックシーケンスを終了し、レジスタ ST_OSCHK_FAIL = 1 がセットされます。また、レジスタ ST_OSCHK_STEP には、終了したシーケンスのステップ値がセットされます。レジスタ ST_OSCHK_END, ST_OSCHK_FAIL は、自動検出モード時のみ有効です。IC の起動時及び検出シーケンス開始時に初期化され、シーケンス実行後は結果を保持します。使用するモータ負荷によっては SxH 端子電圧の変化が遅くなり故障を正常に検出できない場合があります。SxH 端子電圧が 1.5 ms 以内に安定しない場合はマニュアル検出モードを使用してください。

Table 2. 自動検出モード表 (DRV_GHIZ = OS_EN = AUTO_OS_START = 1 設定)

Step	Setting (Note 4)						H-bridge Determination Method									
	Output Signal				Internal Switch		Detection Part									
	G2H	G2L	G1H	G1L	SET_OS2	SET_OS1	Open					Short				
							①	②	③	④	⑤	①	②	③	④	⑤
1	L	L	L	L	0	0										
2	L	L	L	L	0	1										
3	L	L	L	L	1	0										
4	L	L	H	L	0	1										
5	H	L	L	L	1	0										
6	L	L	L	H	0	0										
7	L	H	L	L	0	0										

(Note 1) レジスタ説明 Table 19. Static オープン/ショートチェック結果参照

(Note 2) レジスタ説明 Table 18. Static オープン/ショートチェック 検出ステップ参照

(Note 3) Illegal (Fail) は Figure .19 記載 ① ~ ⑤の単一オープン/ショート故障以外の異常状態となります。

(Note 4) 自動検出モード時、ゲート出力制御モード(Address = 03h <Mode Settings>) 設定は無効になります。

マニュアル検出モード

マニュアル検出モードでは、レジスタ書き込みにより Internal Switch とゲートドライバ出力端子を制御することでオープン/ショートの検出が可能になります。マニュアル検出モードでは外付け MOS FET の貫通電流による破壊を防ぐため故障の確認を Table 3. マニュアル検出の Step 順で実行してください。

Table 3. マニュアル検出モード表 (DRV_GHIZ = OS_EN = 1, AUTO_OS_START = 0 設定)

(Example) Step	Setting (Note 3)						H-bridge Determination Method													
	Output Signal				Internal Switch		Detection Part										Detection Results (Status Register)			
							Open					Short								
	G2H	G2L	G1H	G1L	SET_OS2	SET_OS1	①	②	③	④	⑤	①	②	③	④	⑤	ST_OSCHK2 (Note 1)	ST_OSCHK1 (Note 1)	Remark (Note 2)	
1	L	L	L	L	0	0											0	0	Normal	
															○	○	1	0	④ or ⑤ FET Short	
																	Other		Illegal (Fail) (Note2)	
																	0	0	Normal	
2	L	L	L	L	0	1						○	○				0	1	① or ② FET Short	
									○							1	0	③ Open		
																	Other		Illegal (Fail)	
																	0	0	Normal	
3	L	L	L	L	1	0						○	○				0	1	① or ② FET Short	
									○							0	1	③ Open		
																	Other		Illegal (Fail)	
																	0	0	Normal	
4	L	L	H	L	0	1	○										1	0	① Open	
																	Other		Illegal (Fail)	
																	0	0	Normal	
																	○		② Open	
5	H	L	L	L	1	0		○									1	1	② Open	
																	Other		Illegal (Fail)	
																	0	0	Normal	
																		○		④ Open
6	L	L	L	H	0	0				○							1	1	④ Open	
																	Other		Illegal (Fail)	
																	0	0	Normal	
																				⑤ Open
7	L	H	L	L	0	0						○					0	1	⑤ Open	
																	Other		Illegal (Fail)	
																	0	0	Normal	

(Note 1) Static オープン/ショート チェックレジスタ参照 [Table 19. Static オープン/ショートチェック結果](#)

(Note 2) Illegal (Fail) は Figure .19 記載 ① ~ ⑤の単一オープン/ショート故障以外の異常状態となります。

(Note 3) マニュアルモード検出時、外部 PWM 制御モード(GxH_SEL, GxL_SEL) 設定は無効になります。(x = 1, 2)

Static オープン/ショート機能にて検出されたオープン/ショート故障に対し、確認・対策を行った後は、自動検出またはマニュアル検出モードなどで状態を再確認し、オープン/ショート故障が除去されていることを確認してください。自動検出またはマニュアル検出の確認を省き、ゲートドライバ出力を ON させる場合は、外付け MOS FET 特性保証範囲を考慮し、マージンをもったブランキング時間や駆動電流の設定を行ってください。

EN 端子とリセット動作

下記のようなリセット動作があります。各レジスタ設定はリセットされ、初期状態に戻ります。

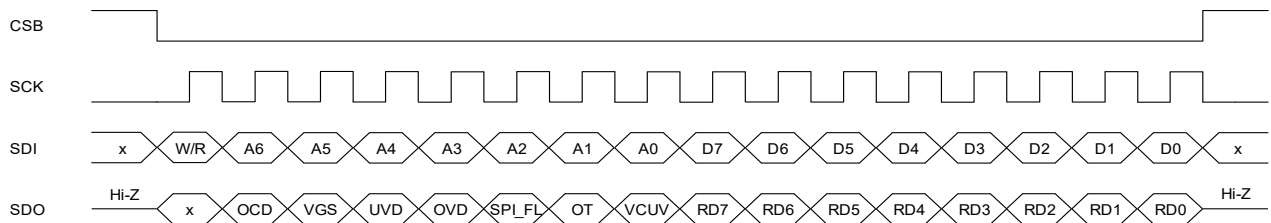
Table 4. リセット動作

Item	Detail
EN = Low	IC の回路動作が停止します。EN = High 設定時に初期化され動作を開始します。
VCUV (VCC 減電圧検知)	LOGIC 回路がリセット状態になります。減電圧状態が解除されると動作を開始します。
Software Reset	EN = High 設定時に LOGIC 回路の初期化を実施します。 SPI コマンドで、レジスタアドレス 00h に 5Ah のデータを送信すると、直ちにすべてのレジスタを初期化します。

シリアルインタフェース

SPI プロトコル

シリアルインタフェースでステータスレジスタの読み取りや IC の各設定が可能です。入力端子は CSB、SCK、SDI を使用します。CSB が Low の時、シリアルデータを受け付けます。書き込みデータ (SDI) は、8 ビットのアドレスと 8 ビットのデータの計 16 ビットで構成されます。SDI データは SCK の立ち上がりエッジで取り込みを行い、16 ビットのデータを完全に受信した後にレジスタに書き込みをします。読み出しデータ (SDO) は、指定したアドレスの各ステータスや設定されたレジスタ値が出力されます。SDO データも SCK の立ち上がりエッジで出力を開始します。CSB が Low→High になったときに SPI の転送が完結したものと、内部レジスタの更新を開始します。



W/R: リード/ライト 指定ビット

A6-A0: アドレスデータ

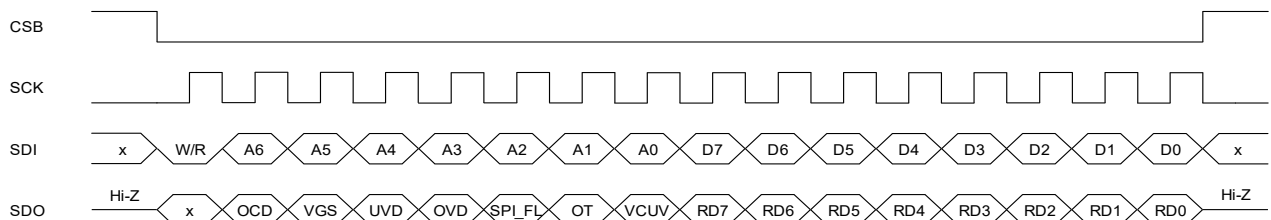
D7-D0: A6-A0 ビットで指定したアドレスに書き込むデータ

RD7-RD0: A6-A0 ビットで指定したアドレスのレジスタ値 (書き込みする直前のデータ)

Figure 20. SPI Protocol

書き込み

レジスタ書き込みでは、W/R ビットを Low に設定します。A6-A0 ビットは書き込みするレジスタのアドレス指定、D7-D0 はレジスタに書き込むデータを指定します。また、書き込みの場合も、SDO からはデータが出力されます。SDO 出力データの OCD, VGS, UVD, OVD, SPI_FL, OT, VCUV ビットは、グローバルステータスレジスタと呼び、保護状態のステータスが出力されます。RD7-RD0 ビットは、A6-A0 ビットで指定したアドレスのレジスタ値 (書き込み直前の値) が出力されます。



W/R: リード/ライト 指定ビット

A6-A0: アドレスデータ

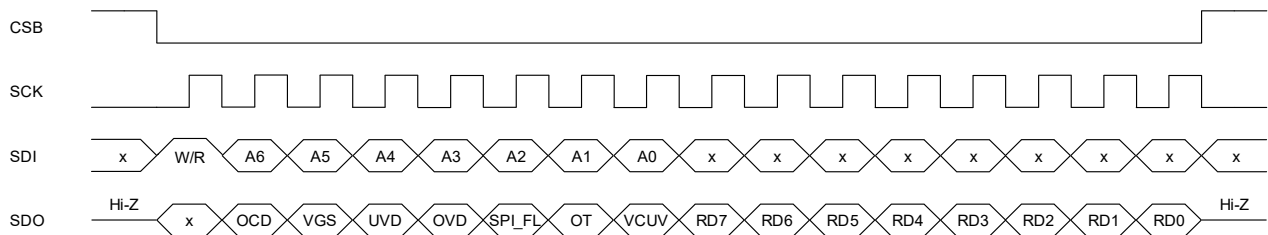
D7-D0: A6-A0 ビットで指定したアドレスに書き込むデータ

RD7-RD0: A6-A0 ビットで指定したアドレスのレジスタ値 (書き込みする直前のデータ)

Figure 21. Register Write Protocol

読み出し

レジスタ読み出しでは、W/R ビットを High に設定します。A6–A0 ビットは読み出したいレジスタのアドレスを指定します。それ以降の SDO データは無視されます。SDO から各レジスタデータが出力されます。書き込み時と同様に SDO 出力データの OCD, VGS, UVD, OVD, SPI_FL, OT, VCUV ビットはグローバルステータスレジスタで、保護状態のステータスが出力されます。RD7–RD0 ビットは、A6–A0 ビットで指定したアドレスのレジスタ値 (書き込み直前の値) が出力されます。



W/R: リード/ライト 指定ビット

A6–A0: アドレスデータ

RD7–RD0: A6–A0 ビットで指定したアドレスのレジスタ値 (書き込みする直前のデータ)

Figure 22. Register Read Protocol

グローバルステータスレジスタ

SDO 出力データの OCD, VGS, UVD, OVD, SPI_FL, OT, VCUV ビットは、グローバルステータスレジスタと呼び、保護のステータスが出力されます。グローバルステータスレジスタは、通常のステータスレジスタ (ST_XXX) と連動しており、下記の割り当てになります。

OCD ビット : ST_VDS_Hx, ST_VDS_Lx, ST_VRDETx (x = 1, 2)

VGS ビット : ST_VGS_Hx_OV, ST_VGS_Lx_OV, ST_VGS_Hx_UV, ST_VGS_Lx_UV (x = 1, 2)

UVD ビット : ST_VBUV, ST_VCPUV, ST_DHUV

OVD ビット : ST_VBOV, ST_VCOV

SPI_FL ビット : ST_SPI

OT ビット : ST_TW, ST_TSD

VCUV ビット : ST_VCUV

複数のステータスレジスタが割り当てられているグローバルステータスレジスタ (OCD, VGS, UVD, OVD, OT ビット) は、各ステータスレジスタの OR 論理を出力しているため、いずれかの保護を検知した場合にエラー通知をします。異常が発生している箇所を特定したい場合は、ステータスレジスタを確認してください。

各ステータスレジスタ (ST_XXX) の値をクリアすると、対応するグローバルステータスレジスタの値もクリアされます。

エラー通知信号 (ERRB)

ERRB 信号は、選択した各保護機能が異常を検知した際にリアルタイムに通知をします。この信号は、NMOS のオープンドレイン出力になっており、異常を検知すると Low 出力します。また、他の CHIP での NMOS のオープンドレインと共通で使用することも可能です。ERRB 信号で異常通知をしたい項目は、レジスタ (SPI Address 0Dh–0Fh) で選択することが可能です。また、ERRB 信号に Low が検知された場合、各ステータスレジスタ (SPI Address 04h–06h) の値を確認することで何の異常を検知したのか確認することができます。なお、ERRB 信号の解除は、各ステータスレジスタの値に連動はしていません。また、保護動作制御レジスタ (LAT_XXX) の設定値により動作が異なります。

レジスタ LAT_XXX = 0 のとき、異常検知状態をリアルタイムに出力し、異常検知状態に連動して ERRB 信号の通知が解除されます。

レジスタ LAT_XXX = 1 のとき、異常検知状態が解除されても ERRB 信号の異常通知を継続します。異常通知状態を解除するにはレジスタ LAT_CLR = 1 を設定してリセットする必要があります。ただし、異常検知中は LAT_CLR = 1 を設定しても、保護動作及び異常通知は解除されません。また、レジスタ LAT_CLR の値は、LAT_CLR = 1 設定後、自動で LAT_CLR = 0 に初期化されます。

保護動作制御レジスタ (LAT_XXX) については、各保護機能動作説明、または各レジスタ説明 [Address = 07h <Latch Settings1>](#)、[Address = 08h <Latch Settings2>](#)、[Address = 09h <Latch Settings3>](#) を参照してください。

保護機能

Table 5. 保護機能表

Protection	Detect Conditions (Typ)		Protect Operation		Status Register
	Detect	Release	チャージ ポンプ	ゲートドライバ出力 (G1H, G2H, G1L, G2L)	
VCUV	$VCC \leq 2.70 \text{ V}$	$VCC \geq 2.75 \text{ V}$	OFF	全レジスタ初期化 全出力をプルダウン (Note 5)	ST_VCUV
VCOV	$VCC \geq 6.0 \text{ V}$	$VCC \leq 5.8 \text{ V}$	ON	Low 出力	ST_VCOV
VBUV	$VB \leq 4.5 \text{ V}$	$VB \geq 5.0 \text{ V}$	OFF	全出力をプルダウン (Note 5)	ST_VBUV
VBOV	$VB \geq 22.0 \text{ V}$ (VBOV_SEL = 0) or $VB \geq 32.5 \text{ V}$ (VBOV_SEL = 1)	$VB \leq 21.0 \text{ V}$ (VBOV_SEL = 0) or $VB \leq 31.5 \text{ V}$ (VBOV_SEL = 1)	OFF	MODE_SEL = 0 設定時 全出力をプルダウン (Note 5) MODE_SEL = 1 設定時 ショートブレーキ出力 (Note 3)	ST_VBOV
VCPUV	$VCP \leq 3.0 \text{ V}$ (VCP-DH)	$VCP \geq 3.2 \text{ V}$ (VCP-DH)	OFF	MODE_SEL = 0 設定時 G1H, G2H は Low 出力 G1L, G2L は通常動作 MODE_SEL = 1 設定時 ショートブレーキ出力 (Note 3)	ST_VCPUV
DHUV	$DH \leq 4.9 \text{ V}$	$DH > 4.9 \text{ V}$	OFF	G1H, G2H は Low 出力 G1L, G2L は通常動作	ST_DHUV
VDSOV	(Drain-Source) (Note 4) $\geq V_{VDSx}$ (Note 1)	(Drain-Source) (Note 4) $< V_{VDSx}$ (Note 1)	ON	検知した出力のみ Low 出力	ST_VDS_H1 ST_VDS_H2 ST_VDS_L1 ST_VDS_L2
RDET	$(A1NXP-A1NXN) \geq V_{RDET_X}$ (Note 2) (X = 1, 2)	$(A1NXP-A1NXN) < V_{RDET_X}$ (Note 2) (X = 1, 2)	ON	検知した相の Low サイド出力 のみ Low 出力	ST_VRDET1 ST_VRDET2
TSD	$T_j \geq 175^\circ\text{C}$	$T_j \leq 160^\circ\text{C}$	OFF	全出力をプルダウン (Note 5)	ST_TSD
TW	$T_j \geq 132.5^\circ\text{C}$	$T_j \leq 122.5^\circ\text{C}$	ON	通常動作	ST_TW
VGSUV	(Gate-Source) (Note 4) $\leq 3.0 \text{ V}$	(Gate-Source) (Note 4) $> 3.0 \text{ V}$	ON	検知した出力のみ Low 出力	ST_VGS_H1_UV ST_VGS_L1_UV ST_VGS_H2_UV ST_VGS_L2_UV
VGSOV	(Gate-Source) (Note 4) $\geq 1.2 \text{ V}$	(Gate-Source) (Note 4) $< 1.2 \text{ V}$	ON	検知した出力のみプルダウン	ST_VGS_H1_OV ST_VGS_L1_OV ST_VGS_H2_OV ST_VGS_L2_OV
SPI_FAIL	SCK パルス数 $\neq 16$	SCK パルス数 = 16	ON	通常動作	ST_SPI

(Note 1) レジスタ VDS_H1, VDS_H2, VDS_L1, VDS_L2 にて検知電圧の閾値を設定できます。 (Address = 17h <VDS Settings1>, Address = 18h <VDS Settings2>)

(Note 2) レジスタ RDET1, RDET2 にて検知電圧の閾値を設定できます。 (Address = 19h <RDET Settings>)

(Note 3) ショートブレーキ出力は、LOW サイド外付け MOS FET を ON するモードになります。

(Note 4) 外付け MOS FET の (Gate-Source), (Drain-Source) を監視します。

(Note 5) 160 k Ω (Typ) でプルダウンします。

(Note) レジスタ CP_EN = 0 の時、VCPUV, DHUV, VGSOV (High サイド), VGSUV (High サイド), VDSOV (High サイド) の保護機能は無効になります。

レジスタ DRV_GHIZ = 1 の時、VGSOV, VGSUV, VDSOV の保護機能は無効になります。

レジスタ OS_EN = 1 の時、VGSOV, VGSUV, VDSOV の保護機能は無効になります。

VCC 減電圧保護 (VCUV)

VCC 端子の減電圧を監視し、保護動作を行います。VCC 端子の印加電圧が ($V_{CCUVR} - V_{CCUV_hys}$) = 2.70 V (Typ) 以下になった場合、異常を検知し、(V_{CCUVR}) = 2.75 V (Typ) 以上になると異常検知を解除します。またノイズによる誤検知を防止するために、ブランキング時間 2.5 μ s (Typ) を設けています。異常検知するとゲートドライバ出力を 160 k Ω (Typ) でプルダウンし、チャージポンプ出力も停止します。このとき、LOGIC 回路はリセット状態となるため、SPI 通信はできず、ERRB 信号は初期値を出力し続けます。また、ステータスレジスタ ST_VCUV = 1 がセットされます。異常検知が解除されると、LOGIC 回路は動作状態となり、SPI 通信が可能になります。

ステータスレジスタは、ST_VCUV = 1 を書き込むことで値をリセットすることができます。

なお、ステータスレジスタ ST_VCUV は、他のステータスレジスタと初期値が異なり、初期値は ST_VCUV = 1 (異常検知) になっているため、一度、ST_VCUV = 0 にセットする必要があります。

Global Status: VCUV

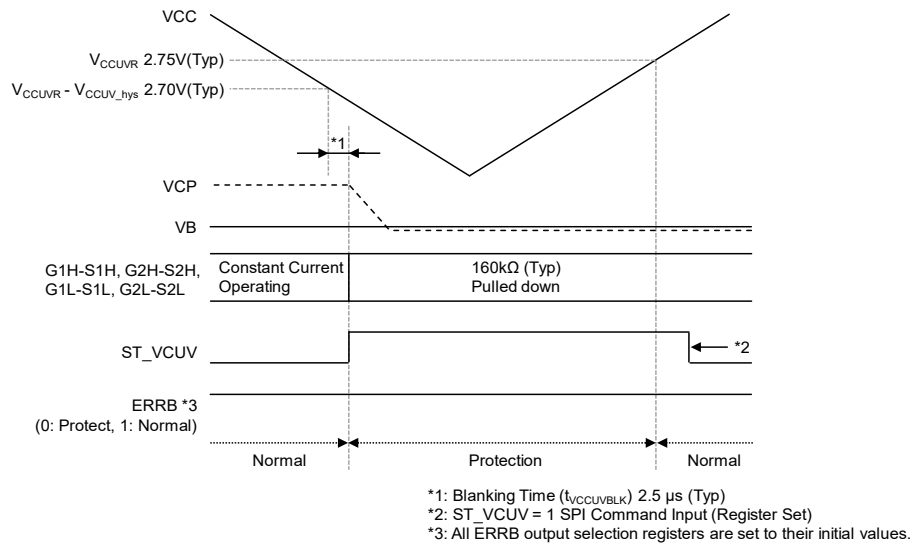


Figure 23. VCC 減電圧保護タイミングチャート

VCC 過電圧保護 (VCOV)

VCC 端子の過電圧を監視し、保護動作を行います。VCC 端子の印加電圧が (V_{CCOVD}) = 6.0 V (Typ) 以上になった場合、異常を検知し、($V_{CCOVD} - V_{CCOV_hys}$) = 5.8 V (Typ) 以下になると異常検知を解除します。またノイズによる誤検知を防止するため、ブランキング時間 64 μ s (Typ) を設けています。異常を検知するとゲートドライバ出力を Low にします。このとき、ステータスレジスタ ST_VCOV = 1 がセットされます。異常検知が解除された場合の動作は、レジスタ LAT_VCOV の設定値により異なります。

レジスタ LAT_VCOV = 0 のとき、異常検知が解除されるとゲートドライバ出力は自己復帰します。

レジスタ LAT_VCOV = 1 のとき、異常検知が解除されてもゲートドライバ出力は保護動作を継続します。

保護動作状態を解除するにはレジスタ LAT_CLR = 1 を設定してリセットすることで保護動作の解除ができます。ただし異常検知中は LAT_CLR = 1 を設定しても、保護動作は解除されません。また、レジスタ LAT_CLR の値は、LAT_CLR = 1 設定後、自動で LAT_CLR = 0 に初期化されます。

ステータスレジスタ ST_VCOV は、ST_VCOV = 1 を書き込むことで値をリセットすることができます。

電源電圧の絶対最大定格を越えた場合は破壊の可能性があるため、絶対最大定格を越えないようにしてください。

Global Status: OVD

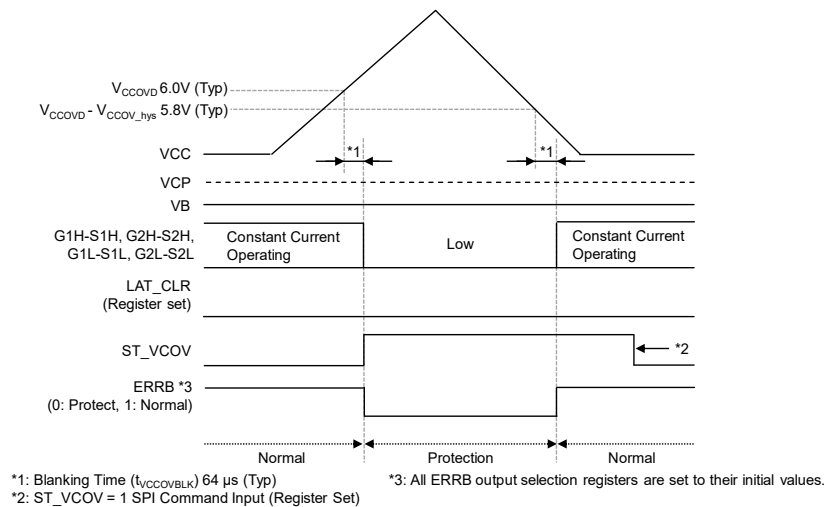


Figure 24. VCC 過電圧保護タイミングチャート (LAT_VCOV = 0)

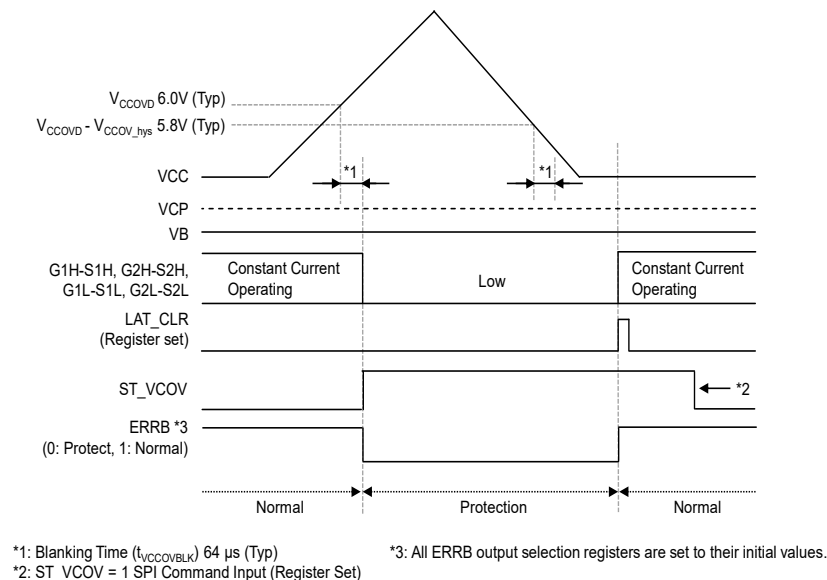


Figure 25. VCC 過電圧保護タイミングチャート (LAT_VCOV = 1)

VB 減電圧保護 (VBUV)

VB 端子の減電圧を監視し、保護動作を行います。VB 端子の印加電圧が $(V_{BUVR} - V_{BUV_hys}) = 4.5\text{ V (Typ)}$ 以下になった場合、異常を検知し、 $(V_{BUVR}) = 5.0\text{ V (Typ)}$ 以上になると異常検知を解除します。またノイズによる誤検知を防止するため、ブラッキング時間 $64\text{ }\mu\text{s (Typ)}$ を設けています。異常検知するとゲートドライバ出力を $160\text{ k}\Omega\text{ (Typ)}$ でプルダウンし、チャージポンプ出力も停止します。このとき、ステータスレジスタ $ST_VBUV = 1$ がセットされます。異常検知が解除された場合の動作は、レジスタ LAT_VBUV の設定値により異なります。

レジスタ $LAT_VBUV = 0$ のとき、異常検知が解除された際にチャージポンプ回路が減電圧を検知していない場合、ゲートドライバ出力は自己復帰します。チャージポンプ回路が減電圧を検知していた場合は、チャージポンプ回路を起動させることによって、ゲートドライバ出力は復帰します。チャージポンプ回路を起動させるには、レジスタ $LAT_CLR = 1$ を設定する必要があります。

レジスタ $LAT_VBUV = 1$ のとき、異常検知が解除されてもゲートドライバ出力は保護動作を継続します。保護動作状態を解除するにはレジスタ $LAT_CLR = 1$ を設定してリセットすることで保護動作が解除され、チャージポンプ回路が起動し、ゲートドライバ出力が復帰します。ただし異常検知中は $LAT_CLR = 1$ を設定しても、保護動作は解除されません。また、レジスタ LAT_CLR は、 $LAT_CLR = 1$ 設定後、自動で $LAT_CLR = 0$ に初期化されます。

ステータスレジスタ ST_VBUV は、 $ST_VBUV = 1$ を設定することで値をリセットすることができます。

Global Status: UVD

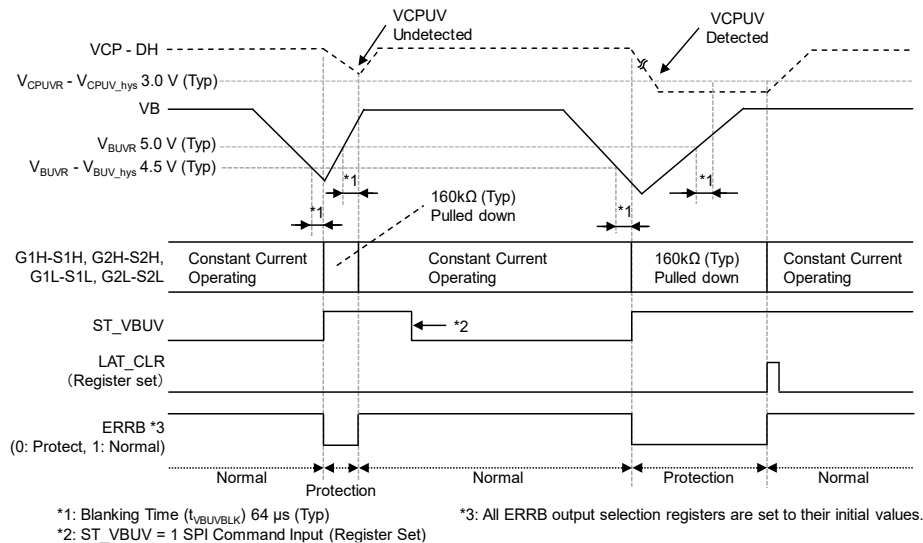


Figure 26. VB 減電圧保護タイミングチャート ($LAT_VBUV = 0$)

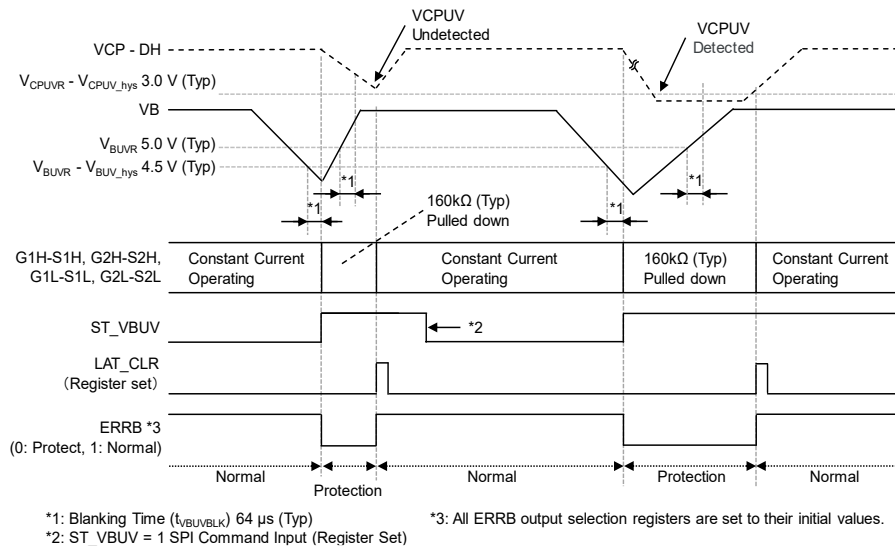


Figure 27. VB 減電圧保護タイミングチャート ($LAT_VBUV = 1$)

VB 過電圧保護 (VBOV)

VB 端子の過電圧を監視し、保護動作を行います。異常を検知する電圧は、
 レジスタ VBOV_SEL = 0 のとき、VB 端子の印加電圧が (V_{BOVD1}) = 22.0 V (Typ) 以上になった場合、
 レジスタ VBOV_SEL = 1 のとき、VB 端子の印加電圧が (V_{BOVD2}) = 32.5 V (Typ) 以上になった場合に検知します。
 異常検知を解除する電圧は、

レジスタ VBOV_SEL = 0 のとき、VB 端子の印加電圧が ($V_{BOVD1} - V_{BOV_hys}$) = 21.0 V (Typ) 以下になった場合、
 レジスタ VBOV_SEL = 1 のとき、VB 端子の印加電圧が ($V_{BOVD2} - V_{BOV_hys}$) = 31.5 V (Typ) 以下になった場合に検知を解除します。

またノイズによる誤検知を防止するため、ブランキング時間 64 μ s (Typ) を設けています。異常検知するとゲートドライバ出力の保護動作を行い、チャージポンプ出力を停止します。ゲートドライバ出力の保護動作は、駆動モード (レジスタ MODE_SEL で設定) により異なります。

MODE_SEL = 0 (独立制御モード) 時は、ゲートドライバ出力を 160 k Ω (Typ) でプルダウンします。

MODE_SEL = 1 (Hブリッジ制御モード) 時は、ゲートドライバ出力はショートブレーキ動作します。

また、このとき、ステータスレジスタ ST_VBOV = 1 がセットされます。異常検知が解除された際の動作は、レジスタ LAT_VBOV の設定値により異なります。

レジスタ LAT_VBOV = 0 のとき、異常検知が解除された際にチャージポンプ回路が減電圧を検知していない場合、ゲートドライバ出力は自己復帰します。チャージポンプ回路が減電圧を検知していた場合は、チャージポンプ回路を起動させることによって、ゲートドライバ出力は復帰します。チャージポンプ回路を起動させるには、レジスタ LAT_CLR = 1 を設定する必要があります。

レジスタ LAT_VBOV = 1 のとき、異常検知が解除されてもゲートドライバ出力は保護動作を継続します。保護動作状態を解除するには、レジスタ LAT_CLR = 1 を設定してリセットすることで、保護動作が解除され、チャージポンプ回路が起動し、ゲートドライバ出力が復帰します。ただし異常検知中は LAT_CLR = 1 を設定しても、保護動作は解除されません。また、レジスタ LAT_CLR は、LAT_CLR = 1 設定後、自動で LAT_CLR = 0 に初期化されます。

ステータスレジスタ ST_VBOV は、ST_VBOV = 1 を書き込むことで値をリセットすることができます。

Global Status: OVD

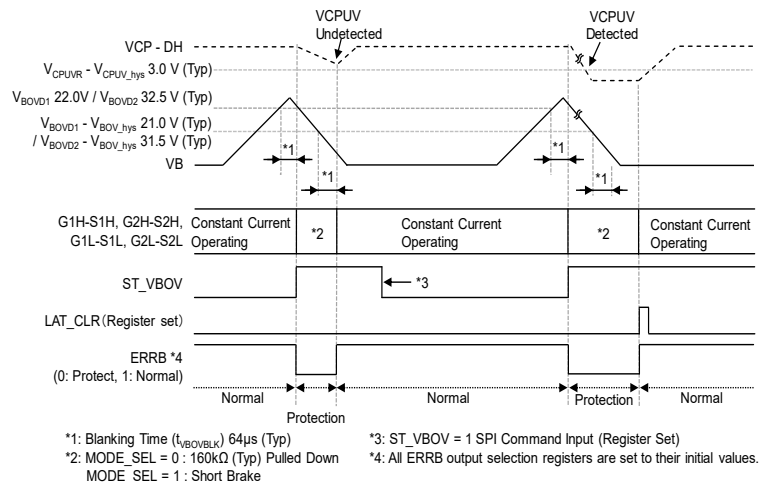


Figure 28. VB 過電圧保護タイミングチャート (LAT_VBOV = 0)

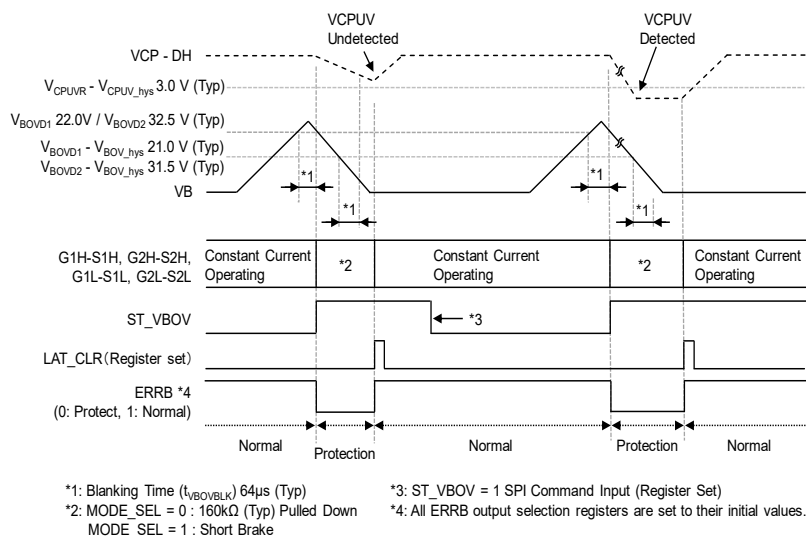


Figure 29. VB 過電圧保護タイミングチャート (LAT_VBOV = 1)

VCP 減電圧保護 (VCPUV)

VCP 端子の減電圧を監視し、保護動作を行います。VCP-DH 端子間の電圧差が ($V_{\text{CPUVR}} - V_{\text{CPUV_hys}} = 3.0 \text{ V (Typ)}$) 以下になった場合、異常を検知し、($V_{\text{CPUVR}} = 3.2 \text{ V (Typ)}$) 以上になると異常検知を解除します。またノイズによる誤検知を防止するため、ブランキング時間 $64 \mu\text{s}$ (Typ) を設けています。異常検知するとゲートドライバ出力の保護動作を行い、チャージポンプ出力を停止します。ゲートドライバ出力の保護動作は、駆動モード (レジスタ MODE_SEL で設定) により異なります。

$\text{MODE_SEL} = 0$ (独立制御モード) 時は、G1H, G2H のゲートドライバ出力を Low にし、チャージポンプ出力を停止します。

$\text{MODE_SEL} = 1$ (Hブリッジ制御モード) 時は、G1H, G2H のゲートドライバ出力を Low、G1L, G2L のゲートドライバ出力を High にし、チャージポンプ出力を停止します。このとき、ステータスレジスタ $\text{ST_VCPUV} = 1$ がセットされます。

VCPUV は、異常検知が解除されてもゲートドライバ出力は保護動作を継続します。保護動作状態を解除するには、レジスタ $\text{LAT_CLR} = 1$ を設定してリセットすることで、保護動作が解除され、チャージポンプ回路が起動し、ゲートドライバ出力が復帰します。ただし異常検知中は $\text{LAT_CLR} = 1$ を設定しても、保護動作は解除されません。また、レジスタ LAT_CLR の値は、 $\text{LAT_CLR} = 1$ 設定後、自動で $\text{LAT_CLR} = 0$ に初期化されます。

ステータスレジスタ ST_VCPUV は、 $\text{ST_VCPUV} = 1$ を書き込むことで値をリセットすることができます。

Global Status: UVD

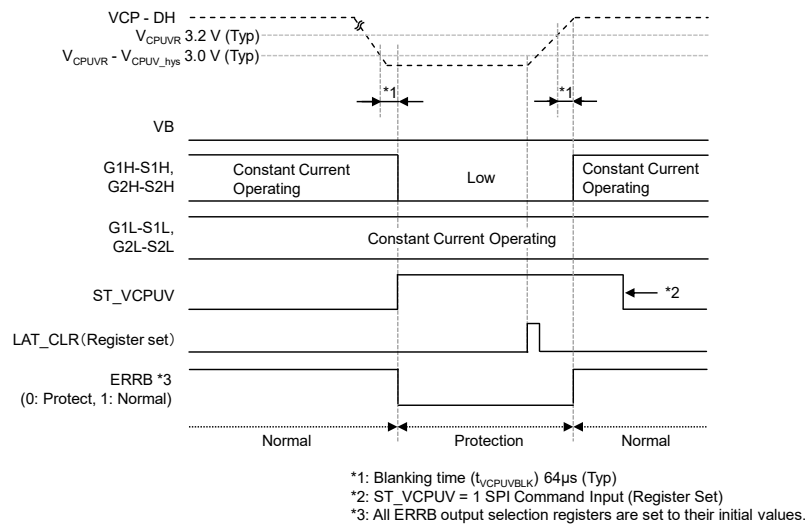


Figure 30. VCP 減電圧保護タイミングチャート ($\text{MODE_SEL} = 0$)

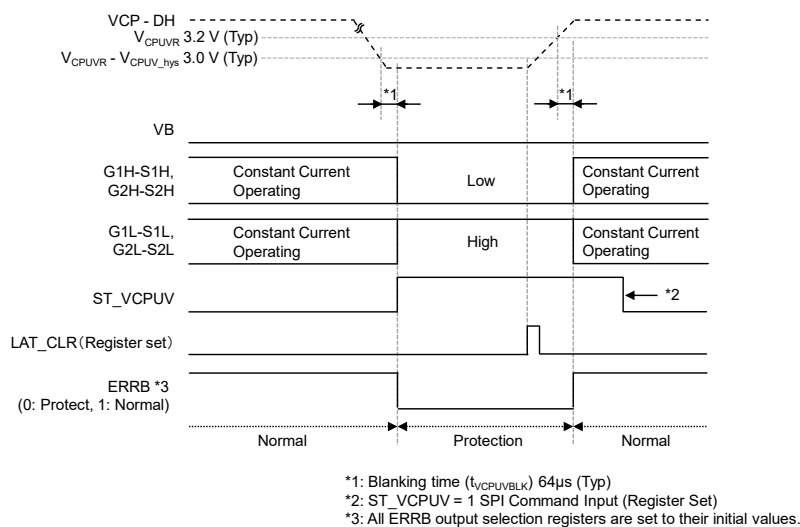


Figure 31. VCP 減電圧保護タイミングチャート ($\text{MODE_SEL} = 1$)

DH 減電圧保護 (DHUV)

DH 端子の減電圧を監視し、保護動作を行います。DH 端子の印加電圧が (V_{DHUV}) = 4.9 V (Typ) 以下になった場合、異常を検知し、(V_{DHUV}) = 4.9 V (Typ) より大きくなると異常検知を解除します。またノイズや、ゲートドライバ出力遷移時の誤検知を防止するため、ブランキング時間 (レジスタ DHUV_FLT で設定) を設けています。異常検知するとゲートドライバ出力を Low にし、チャージポンプ出力も停止します。このとき、ステータスレジスタ ST_DHUV = 1 がセットされます。異常検知後、ゲートドライバ出力は Protect Period (保護動作期間になります。レジスタ DHUV_FLT で設定を行います。) で設定された時間の間、保護動作状態を維持します。異常検知が解除された際の動作は、レジスタ LAT_DHUV の設定値により異なります。

レジスタ LAT_DHUV = 0 のとき、異常検知が解除され Protect Period 後にチャージポンプ回路が減電圧を検知していない場合、ゲートドライバ出力は自己復帰します。チャージポンプ回路が減電圧を検知していた場合は、チャージポンプ回路を起動させることによって、ゲートドライバ出力は復帰します。チャージポンプ回路を起動させるには、レジスタ LAT_CLR = 1 を設定する必要があります。

レジスタ LAT_DHUV = 1 のとき、Protect Period 後に異常検知が解除されてもゲートドライバ出力、チャージポンプ出力は保護動作を継続します。保護動作状態を解除するには、レジスタ LAT_CLR = 1 を設定してリセットすることで、保護動作が解除され、チャージポンプ回路が起動し、ゲートドライバ出力が復帰します。ただし Protect Period 中及び異常検知中は、LAT_CLR = 1 を設定しても、保護動作は解除されません。また、レジスタ LAT_CLR の値は、LAT_CLR = 1 設定後、自動で LAT_CLR = 0 に初期化されます。

ステータスレジスタ ST_DHUV は、ST_DHUV = 1 を書き込むことで値をリセットすることができます。

Global Status: UVD

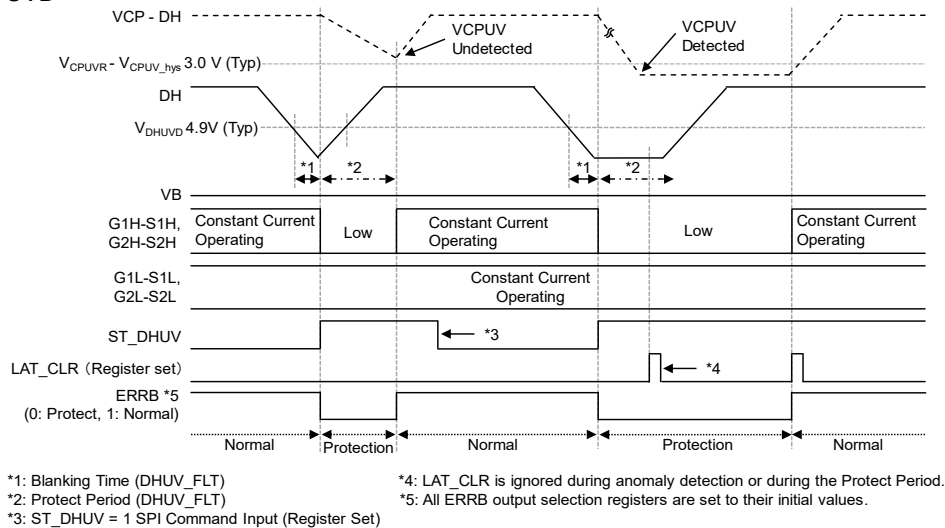


Figure 32. DH 減電圧保護タイミングチャート (LAT_DHUV = 0)

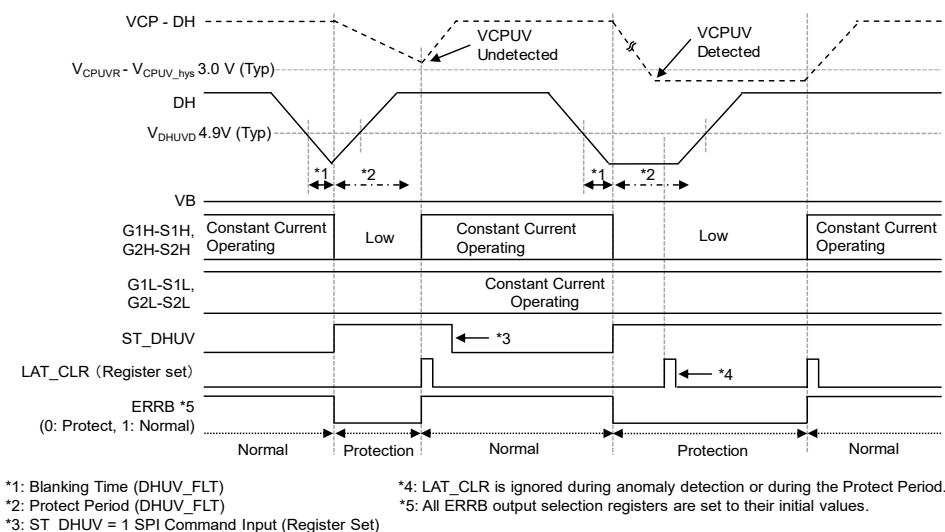


Figure 33. DH 減電圧保護タイミングチャート (LAT_DHUV = 1)

ドレインソース間 過電圧 (過電流) 保護 (VDSOV)

外付け MOS FET のドレインソース間の過電圧 (過電流) を監視し、保護動作を行います。異常検知、保護動作は各ゲートドライバ出力 (G1H, G1L, G2H, G2L) で独立しており、それぞれ個別に動作します。

ドレインソース間に過電流が流れ、ドレインソース間電圧が検知電圧 V_{VDSx} (レジスタ VDS_Hx , VDS_Lx で設定) 以上になると異常を検知し、 V_{VDSx} より小さくなると、異常検知を解除します。またノイズや、ゲートドライバ出力遷移時の誤検知を防止するため、ブランキング時間 (レジスタ FET_GxH_FLT , FET_GxL_FLT で設定) を設けています。異常検知すると検知した出力のみゲートドライバ出力を Low にします。このとき、異常検知したゲートドライバ出力に対応したステータスレジスタ $ST_VDS_Hx = 1$ (または $ST_VDS_Lx = 1$) がセットされます。異常検知後、ゲートドライバ出力は Protect Period (保護動作期間) になります。レジスタ FET_GxH_FLT , FET_GxL_FLT で設定を行います。) で設定された期間、保護動作を継続します。異常検知が解除された際の動作は、レジスタ LAT_VDS_Hx , LAT_VDS_Lx の設定値により異なります。レジスタ $LAT_VDS_Hx = 0$ (または $LAT_VDS_Lx = 0$) のとき、Protect Period 後に異常検知が解除されていればゲートドライバ出力は自己復帰します。

レジスタ $LAT_VDS_Hx = 1$ (または $LAT_VDS_Lx = 1$) のとき、Protect Period 後に異常検知が解除されていてもゲートドライバ出力は保護動作を継続します。保護動作状態を解除するには、レジスタ $LAT_CLR = 1$ を設定してリセットすることで、保護動作の解除ができます。

ステータスレジスタは、 $ST_VDS_Hx = 1$ (または $ST_VDS_Lx = 1$) を書き込むことで値をリセットすることができます。

レジスタ LAT_CLR の値は、 $LAT_CLR = 1$ 設定後、自動で $LAT_CLR = 0$ に初期化されます。ただし Protect Period 期間中及び異常検知中は $LAT_CLR = 1$ を設定しても、保護動作は解除されません。 ($x = 1, 2$)

過電流保護は出力ショートなどによる IC の破壊を防ぐ機能ですが、過電流状態が続くと IC の発熱や劣化などが考えられるので、過電流が流れ続けるような状態が続くときは IC をスタンバイにするなどの対策を行ってください。

Global Status: OCD

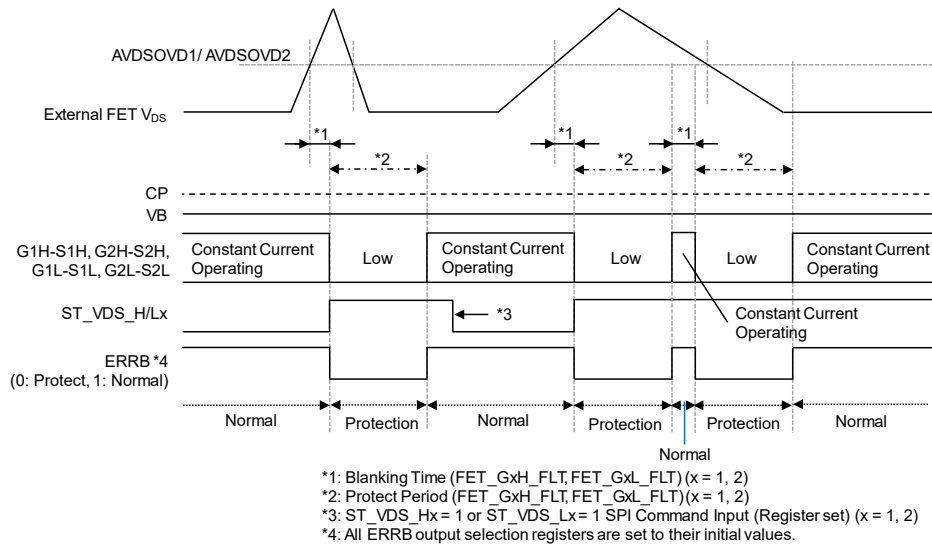


Figure 34. ドレインソース間 過電圧保護タイミングチャート ($LAT_VDS_Hx = 0$, $LAT_VDS_Lx = 0$)

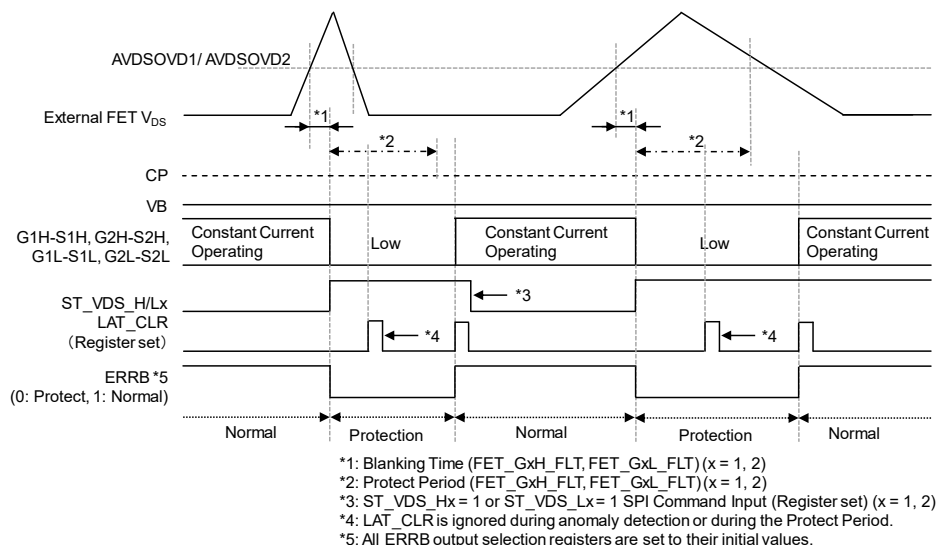


Figure 35. ドレインソース間 過電圧保護タイミングチャート ($LAT_VDS_Hx = 1$, $LAT_VDS_Lx = 1$)

シャント抵抗間過電圧保護 (RDET)

外付けのシャント抵抗間の過電圧 (過電流) を監視し、保護動作を行います。過電圧 (過電流) 異常検知、及び保護動作はゲートドライバ出力 G1L, G2L で独立しており、それぞれ個別に動作します。

シャント抵抗に過電流が流れ、AINxP-AINxN 端子間が検知電圧 V_{RDET_x} (レジスタ RDET_x で設定) 以上になると異常を検知し、 V_{RDET_x} より小さくなると、異常検知を解除します。またノイズや、ゲートドライバ出力遷移時の誤検知を防止するため、ブランキング時間 (レジスタ FET_G1L_FLT, FET_G2L_FLT で設定) を設けています。AIN1P-AIN1N 端子間に異常を検知するとゲートドライバ出力 G1L を、AIN2P-AIN2N 端子間に異常を検知するとゲートドライバ出力 G2L を Low にします。このとき、異常検知した AINxP-AINxN 端子間に対応したステータスレジスタ ST_VRDET_x = 1 がセットされます。異常検知後、ゲートドライバ出力は Protect Period (保護動作期間) になります。レジスタ FET_G1L_FLT, FET_G2L_FLT で設定を行います。) で設定された時間の間、保護動作を継続します。異常検知が解除された際の動作は、レジスタ LAT_VRDET_x 設定値により異なります。

レジスタ LAT_VRDET_x = 0 のとき、Protect Period 後に異常検知が解除されている場合、ゲートドライバ出力は自己復帰し、異常検知が継続している場合、保護動作を継続します。

レジスタ LAT_VRDET_x = 1 のとき、Protect Period 後に異常検知が解除されてもゲートドライバ出力は保護動作を継続します。保護動作状態を解除するには、レジスタ LAT_CLR = 1 を設定してリセットすることで保護動作の解除ができます。ただし Protect Period 期間中及び異常検知中は、LAT_CLR = 1 を設定しても、保護動作は解除されません。

ステータスレジスタは、ST_VRDET_x = 1 を設定することで値をリセットすることができます。レジスタ LAT_CLR は、LAT_CLR = 1 設定後に自動で LAT_CLR = 0 に初期化されます。

(x = 1, 2)

ドレイン-ソース間過電圧保護と同様に、過電流状態が続くと IC の発熱や劣化などが考えられるため、過電流が流れ続けるような状態が続くときは IC をスタンバイにするなどの対策を行ってください。

Global Status: OCD

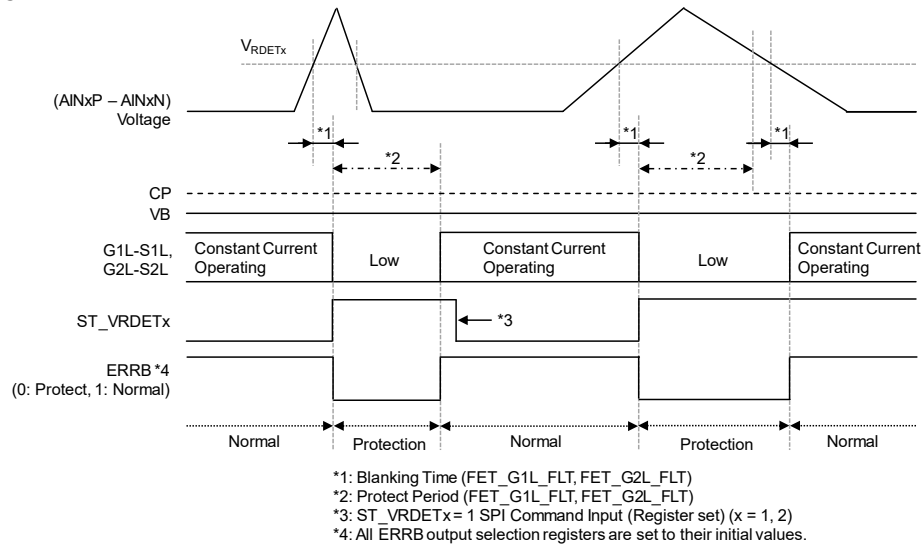


Figure 36. シャント抵抗間 過電圧保護タイミングチャート (LAT_VRDET_x = 0)

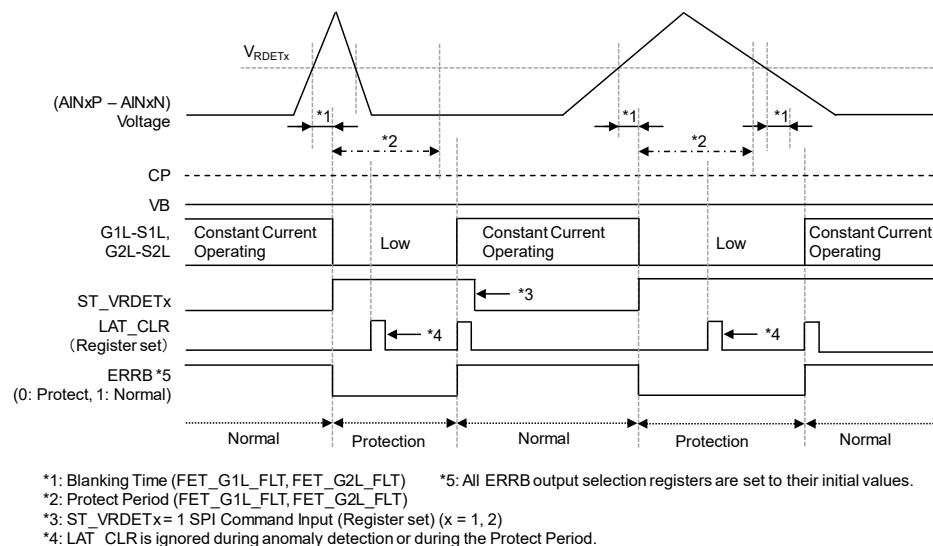


Figure 37. シャント抵抗間 過電圧保護タイミングチャート (LAT_VRDET_x = 1)

サーマルシャットダウン (TSD)

IC の温度を監視し、保護動作を行います。ジャンクション温度が上昇し (T_{TSD}) = 175 °C (Typ) 以上になった場合、異常を検知し、($T_{TSD} - T_{TSD_hys}$) = 160 °C (Typ) 以下になると異常検知を解除します。異常検知するとゲートドライバ出力を 160 k Ω (Typ) でプルダウンし、チャージポンプ出力も停止します。このとき、ステータスレジスタ ST_TSD = 1 がセットされます。異常検知が解除された場合の動作は、レジスタ LAT_TSD の設定値により異なります。

レジスタ LAT_TSD = 0 のとき、異常検知が解除された際にチャージポンプ回路が減電圧を検知していない場合、ゲートドライバ出力は自己復帰します。チャージポンプ回路が減電圧を検知していた場合は、チャージポンプ回路を起動させることによって、ゲートドライバ出力は復帰します。チャージポンプ回路を起動させるには、レジスタ LAT_CLR = 1 を設定する必要があります。

レジスタ LAT_TSD = 1 のとき、異常検知が解除されてもゲートドライバ出力は保護動作を継続します。保護動作状態を解除するには、レジスタ LAT_CLR = 1 を設定してリセットすることで保護動作が解除され、チャージポンプ回路が起動し、ゲートドライバ出力が復帰します。ただし異常検知中は、LAT_CLR = 1 を設定しても、保護動作は解除されません。

ステータスレジスタ ST_TSD は、ST_TSD = 1 を設定することで値をリセットすることができます。レジスタ LAT_CLR は、LAT_CLR = 1 設定後、自動で LAT_CLR = 0 に初期化されます。

Global Status: OT

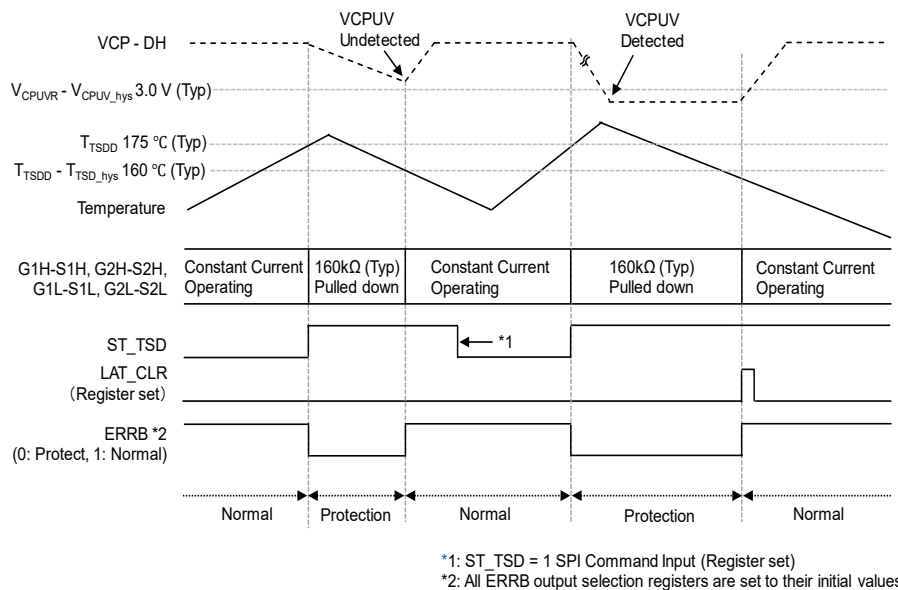


Figure 38. サーマルシャットダウンタイミングチャート (LAT_TSD = 0)

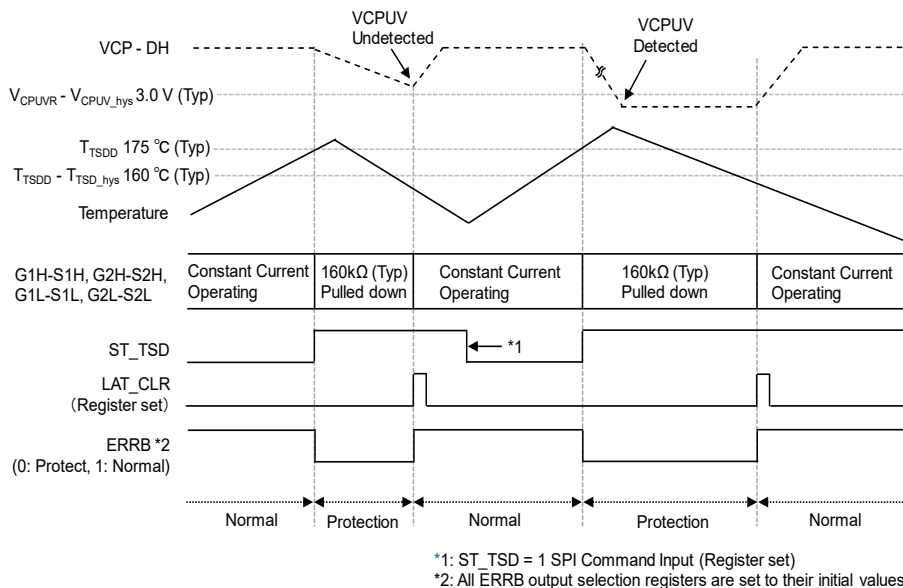


Figure 39. サーマルシャットダウンタイミングチャート (LAT_TSD = 1)

サーマルワーニング (TW)

ICの温度を監視し、通知を行います。ジャンクション温度が上昇し (T_{TWD}) = 132.5 °C (Typ) 以上になった場合、異常を検知し、($T_{TWD} - T_{TW_hys}$) = 122.5 °C (Typ) 以下になると異常検知を解除します。異常を検知するとステータスレジスタ ST_TW = 1 がセットされます。ステータスレジスタ ST_TW は、ST_TW = 1 を書き込むことで値をリセットすることができます。なお、異常を検知してもゲートドライバ出力とチャージポンプは動作を継続します。

エラー通知信号(ERRB)の動作は、レジスタ LAT_TW の設定値により異なります。

レジスタ LAT_TW = 0 のとき、異常を検知すると Low 出力し、異常が解除されると ERRB 信号は自己復帰します。

レジスタ LAT_TW = 1 のとき、異常を検知すると Low 出力し、異常が解除されても Low 出力を継続します。異常通知(Low 出力)は、サーマルワーニング検知がされていない状態でレジスタ LAT_CLR = 1 を設定することで解除ができます。レジスタ LAT_CLR は、LAT_CLR = 1 設定後、自動で LAT_CLR = 0 に初期化されます。

Global Status: OT

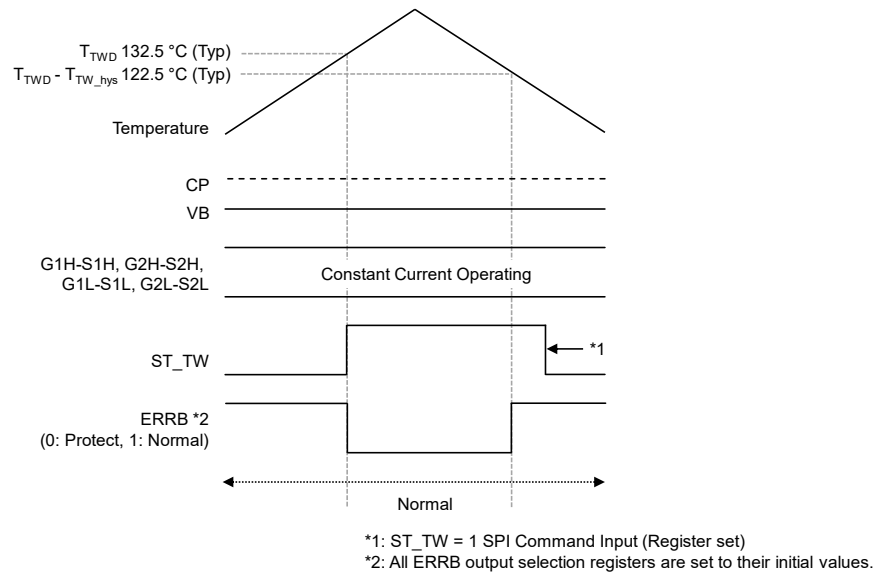


Figure 40. サーマルワーニングタイミングチャート (LAT_TW = 0)

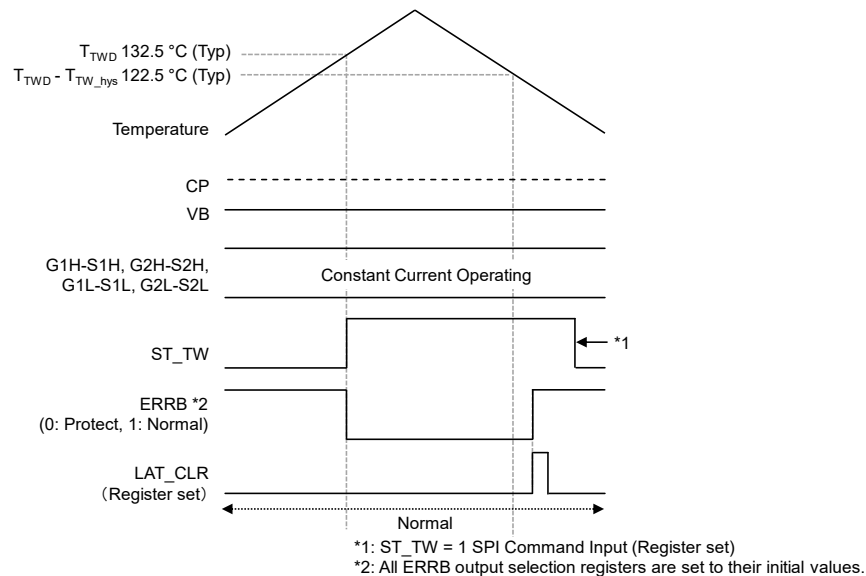


Figure 41. サーマルワーニングタイミングチャート (LAT_TW = 1)

ゲート-ソース間減電圧異常検知 (VGSUV)

ゲートドライバ出力 High 設定時、外付け MOS FET のゲート-ソース間の減電圧を監視し、保護動作を行います。異常検知、保護動作は各ゲートドライバ出力 G1H, G1L, G2H, G2L で独立しており、それぞれ個別に動作します。上下ゲートドライバ出力 High 電圧 (V_{GxHx} , V_{GxLx}) 出力時に、外付け MOS FET のゲート-ソース間電圧が (V_{GSUVd}) = 3.0 V (Typ) 以下になった場合、異常を検知し、(V_{GSUVd}) = 3.0 V (Typ) より大きくなると異常検知を解除します。またノイズや、ゲートドライバ出力遷移時の誤検知を防止するため、ブランキング時間 (レジスタ FET_GxH_FLT, FET_GxL_FLT で設定) を設けています。異常を検知すると、異常検知されたゲートドライバ出力のみ Low になります。また、このとき、異常検知したゲートドライバ出力に対応したステータスレジスタ ST_VGS_Hx_UV = 1 (または ST_VGS_Lx_UV = 1) がセットされます。異常検知後、ゲートドライバ出力は Protect Period (保護動作期間) になります。レジスタ FET_GxH_FLT, FET_GxL_FLT で設定を行います。) で設定された時間の間、保護動作を継続します。異常検知が解除された際の動作は、レジスタ LAT_VGS_Hx, LAT_VGS_Lx の設定値により異なります。

レジスタ LAT_VGS_Hx = 0 (または LAT_VGS_Lx = 0) のとき、Protect Period 後に異常検知が解除されている場合、ゲートドライバ出力は自己復帰し、異常検知が継続している場合、保護動作を継続します。(自己復帰のタイミングは、Protect Period の設定時間によります。)

レジスタ LAT_VGS_Hx = 1 (または LAT_VGS_Lx = 1) のとき、Protect Period 後に異常検知が解除されてもゲートドライバ出力は保護動作を継続します。保護動作状態を解除するには、レジスタ LAT_CLR = 1 を設定してリセットすることで保護動作の解除ができます。ただし Protect Period 期間中及び異常検知中は、LAT_CLR = 1 を設定しても、保護動作は解除されません。

ステータスレジスタは、ST_VGS_Hx_UV = 1 (または ST_VGS_Lx_UV = 1) を書き込むことで値をリセットすることができます。

レジスタ LAT_CLR の値は、LAT_CLR = 1 設定後、自動で LAT_CLR = 0 に初期化されます。

(x = 1, 2)

Global Status: VGS

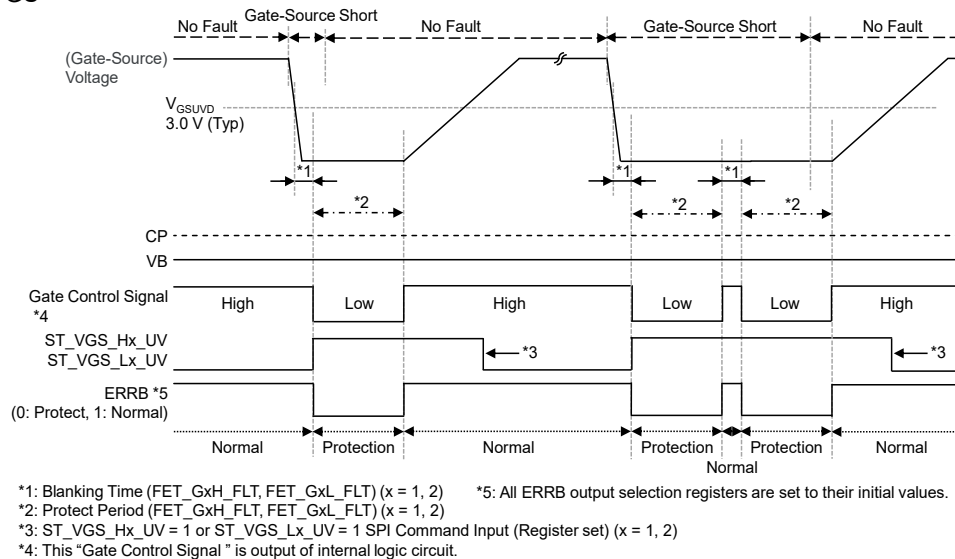


Figure 42. ゲート-ソース間 減電圧異常検知タイミングチャート (LAT_VGS_Hx = 0, LAT_VGS_Lx = 0)

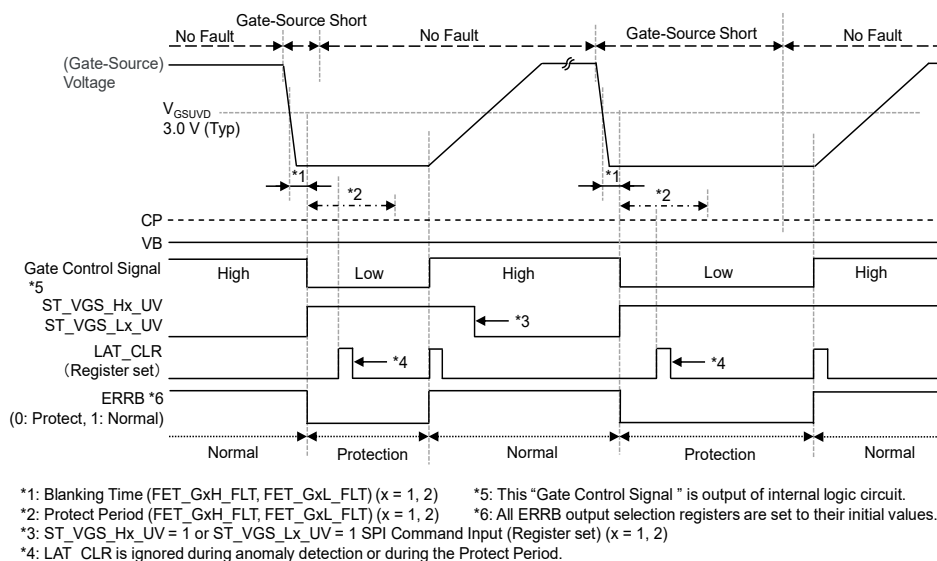


Figure 43. ゲート-ソース間 減電圧異常検知タイミングチャート (LAT_VGS_Hx = 1, LAT_VGS_Lx = 1)

ゲート-ソース間過電圧異常検知 (VGSOV)

ゲート出力 Low 設定時、外付け MOS FET のゲート-ソース間の過電圧を監視し、保護動作を行います。異常検知、保護動作は各ゲートドライバ出力 G1H, G1L, G2H, G2L で独立しており、それぞれ個別に動作します。上下ゲートドライバ出力 Low 電圧 (V_{GxHLx} , V_{GxLLx}) 出力時に、外付け MOS FET のゲート-ソース間電圧が (V_{GSOVD}) = 1.2 V (Typ) 以上になった場合、異常を検知し、(V_{GSOVD}) = 1.2 V (Typ) より小さくなると異常検知を解除します。またノイズや、ゲートドライバ出力遷移時の誤検知を防止するために、ブランキング時間 (レジスタ FET_GxH_FLT, FET_GxL_FLT で設定) を設けています。異常を検知すると、異常検知されたゲートドライバ出力のみ 160 k Ω (Typ) でプルダウンします。また、このとき、異常検知したゲートドライバ出力に対応したステータスレジスタ ST_VGS_Hx_OV = 1 (または ST_VGS_Lx_OV = 1) がセットされます。異常検知後、ゲートドライバ出力は Protect Period (保護動作期間) になります。レジスタ FET_GxH_FLT, FET_GxL_FLT で設定を行います。) で設定された時間の間、保護動作を継続します。異常検知が解除された際の動作は、レジスタ LAT_VGS_Hx, LAT_VGS_Lx の設定値により異なります。

レジスタ LAT_VGS_Hx = 0 (または LAT_VGS_Lx = 0) のとき、Protect Period 後に異常検知が解除されている場合、ゲートドライバ出力は自己復帰し、異常検知が継続している場合、保護動作を継続します。(自己復帰のタイミングは、Protect Period の設定時間と、タイミングにより異なります。)

レジスタ LAT_VGS_Hx = 1 (または LAT_VGS_Lx = 1) のとき、Protect Period 後に異常検知が解除されてもゲートドライバ出力は保護動作を継続します。保護動作状態を解除するには、レジスタ LAT_CLR = 1 を設定してリセットすることで保護動作の解除ができます。ただし Protect Period 期間中及び異常検知中は、LAT_CLR = 1 を設定しても、保護動作は解除されません。

ステータスレジスタは、レジスタ ST_VGS_Hx_OV = 1 (または ST_VGS_Lx_OV = 1) を書き込むことで値をリセットすることができます。レジスタ LAT_CLR の値は、LAT_CLR = 1 設定後、自動で LAT_CLR = 0 に初期化されます。

(x = 1, 2)

Global Status: VGS

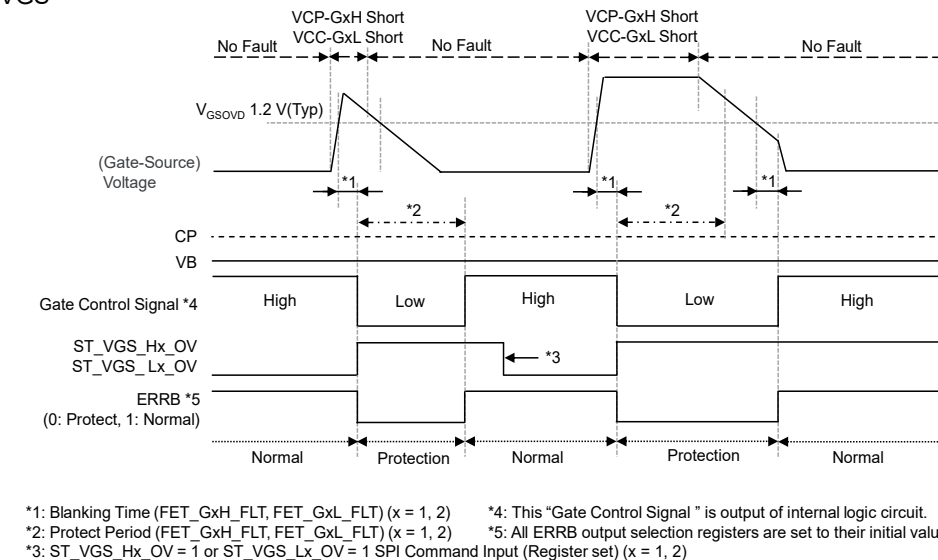


Figure 44. ゲート-ソース間 過電圧異常検知タイミングチャート (LAT_VGS_Hx = 0, LAT_VGS_Lx = 0)

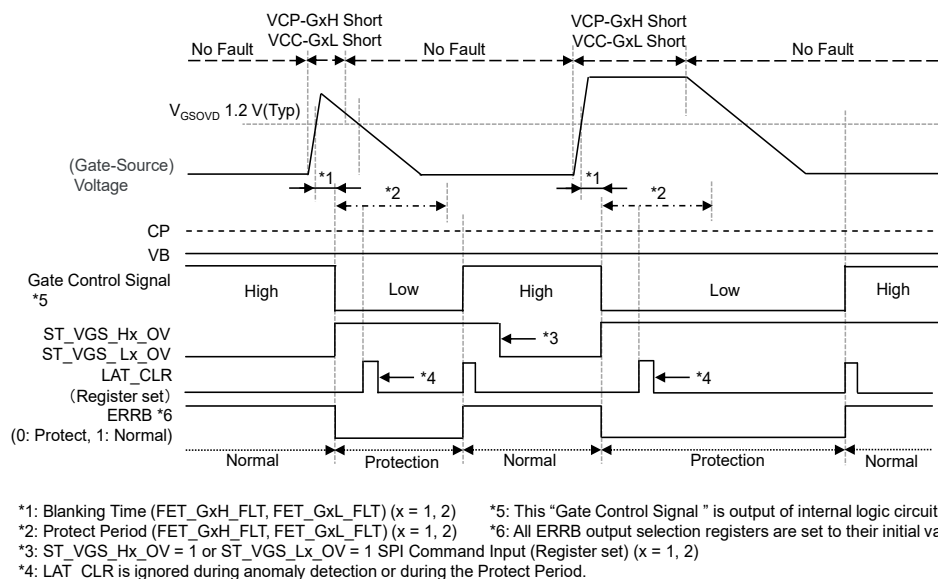


Figure 45. ゲート-ソース間 過電圧異常検知タイミングチャート (LAT_VGS_Hx = 1, LAT_VGS_Lx = 1)

Dead Time 保護

外付け MOS FET のゲート-ソース間の電圧を監視し、上下 MOS FET の同時 ON を防止します。H ブリッジ制御モード時は、ゲート-ソース間電圧をモニタしながら、ゲートドライバ制御信号 GxH, GxL を制御します。上側 MOS FET を ON する際は、下側 MOS FET が OFF していることを確認できた後、上側 MOS FET を ON します。逆に、下側 MOS FET を ON する際は、上側 MOS FET が OFF していることを確認できた後、下側 MOS FET を ON します。

このゲート-ソース間電圧の監視回路にはコンパレータ遅延 t_{propa2} があり、また、この t_{propa2} 時間中は正確にゲート-ソース間電圧を監視できないため、MOS FET の貫通電流防止のため強制的に 2 μ s (Typ) の Dead Time を挿入し、ゲートドライバ-ソース間電圧の誤認識による貫通電流の発生を防止します。(下記、[Figure 46. Dead Time 保護 タイミングチャート \(VGS 応答無し\)](#) 参照)このため、PWM 入力信号とモータ駆動出力信号の PWM Duty に差ができる場合があります。なお、PWMx 端子に入力された信号は、内部クロックにて同期化しているため、同期遅延時間 (t_{syn}) も発生します。

コントロールロジック回路がゲートドライバ出力制御信号を ON した後、ゲートドライバ回路が応答するまでの時間 t_{propa1} 、またゲートドライバ信号の立ち上がり/立ち下がり時間、VGS コンパレータの応答時間 t_{propa2} 及び、逆サイドのゲートドライバ回路が応答するまでの時間 t_{propa1} 、Dead Time 保護時間 $t_{propa2mask}$ 2 μ s (Typ)、ゲートドライバ回路が応答するまでの時間 t_{propa1} 、PWMx 端子入力信号の内部クロック同期遅延時間 (t_{syn}) のトータル時間 t_{pwml} が PWM Low 出力の最小パルス幅になります。(下記、[Figure 47. Dead Time 保護 タイミングチャート \(VGS 応答あり\)](#) 参照) ゲートドライバ信号の立ち下がり/立ち上がり時間は、ゲートドライバ出力の電流設定 (レジスタ CUR_SO_HxSEL, CUR_SO_Hx, CUR_SI_HxSEL, CUR_SI_Hx, CUR_SO_LxSEL, CUR_SO_Lx, CUR_SI_LxSEL, CUR_SI_Lx で設定) や、MOS FET の容量値などによって変動するため、システムでこれらの値を検証し、PWM 周波数、Duty を決定して PWM 制御を行ってください。

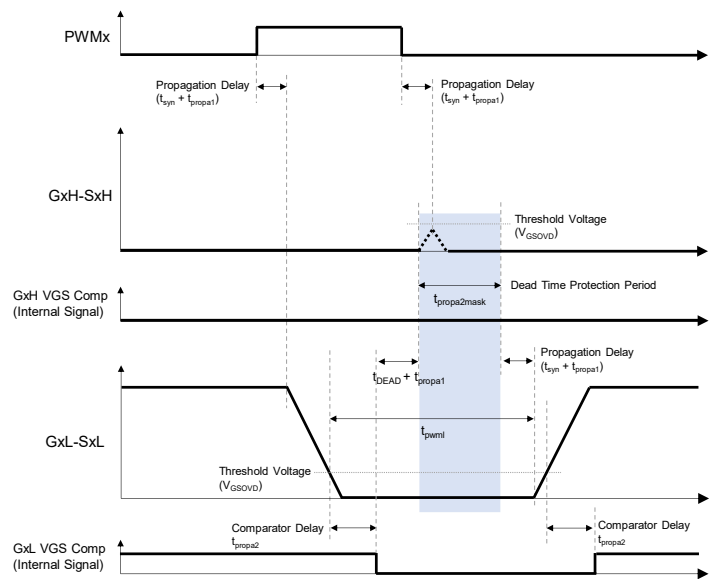


Figure 46. Dead Time 保護 タイミングチャート (VGS 応答無し)

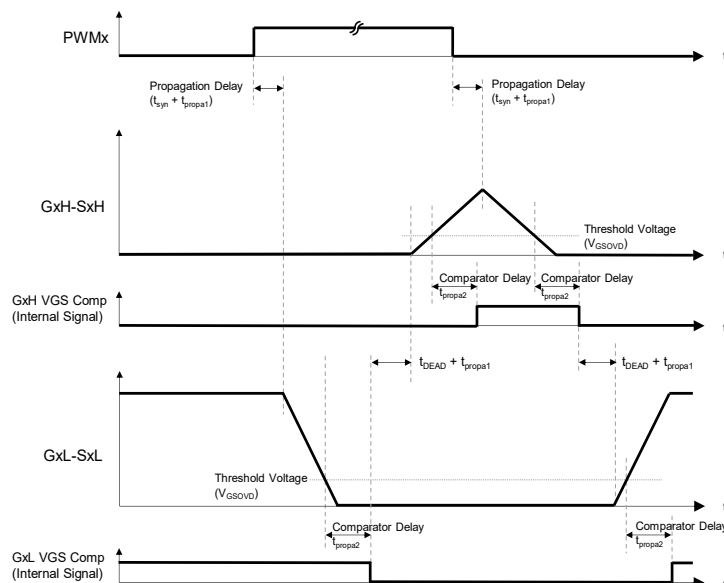


Figure 47. Dead Time 保護 タイミングチャート (VGS 応答あり)

SPI 転送エラー (SPI_FAIL)

SPI 転送中の動作を監視し、保護動作を行います。CSB が Low の区間に SCK のクロックパルスが 16 発以外の場合、異常を検知します。このとき、ステータスレジスタ ST_SPI = 1 がセットされます。ステータスレジスタ ST_SPI は CSB の立ち上がり毎に更新されます。ステータスレジスタ ST_SPI は、ST_SPI = 1 を書き込むことでステータスレジスタをリセットすることができます。なお、異常検知してもゲートドライバ出力は OFF しません。

Global Status: SPI_FL

レジスタマップ

下表はレジスタマップの一覧表です。各レジスタはSPIで設定可能です。

Description	R/W	Address	DATA bit								Initial Value
	15	14-8	7	6	5	4	3	2	1	0	
Software Reset	W	00h	Software Reset								00h
Fault Protection State Reset	W	01h	-	-	-	-	-	-	LAT_CLR	-	00h
Enable Settings	R/W	02h	-	-	-	-	-	CP_EN	DRV_GHIZ	CS_EN	02h
Mode Settings	R/W	03h	G2H_SEL	G2H_FIX	G2L_SEL	G2L_FIX	G1H_SEL	G1H_FIX	G1L_SEL	G1L_FIX	00h
Fault Status1	R/W	04h	ST_VCPUV	ST_DHUV	ST_VBOV	ST_VBUV	ST_VCOV	ST_VCUV	ST_TW	ST_TSD	04h
Fault Status2	R/W	05h	ST_VDS_H2	ST_VDS_L2	ST_VDS_H1	ST_VDS_L1	ST_SPI	-	ST_VRDET2	ST_VRDET1	00h
Fault Status3	R/W	06h	ST_VGS_H2_OV	ST_VGS_L2_OV	ST_VGS_H2_UV	ST_VGS_L2_UV	ST_VGS_H1_OV	ST_VGS_L1_OV	ST_VGS_H1_UV	ST_VGS_L1_UV	00h
Latch Settings1	R/W	07h	-	LAT_DHUV	LAT_VBOV	LAT_VBUV	LAT_VCOV	-	LAT_TW	LAT_TSD	00h
Latch Settings2	R/W	08h	LAT_VDS_H2	LAT_VDS_L2	LAT_VDS_H1	LAT_VDS_L1	-	-	LAT_VRDET2	LAT_VRDET1	00h
Latch Settings3	R/W	09h	-	-	LAT_VGS_H2	LAT_VGS_L2	-	-	LAT_VGS_H1	LAT_VGS_L1	00h
Mask Settings1	R/W	0Ah	MASK_VCPUV	MASK_DHUV	MASK_VBOV	MASK_VBUV	MASK_VCOV	-	-	-	00h
Mask Settings2	R/W	0Bh	MASK_VDS_H2	MASK_VDS_L2	MASK_VDS_H1	MASK_VDS_L1	-	-	MASK_VRDET2	MASK_VRDET1	00h
Mask Settings3	R/W	0Ch	-	-	MASK_VGS_H2	MASK_VGS_L2	-	-	MASK_VGS_H1	MASK_VGS_L1	00h
Flag Settings1	R/W	0Dh	FLG_VCPUV	FLG_DHUV	FLG_VBOV	FLG_VBUV	FLG_VCOV	-	FLG_TW	FLG_TSD	FBh
Flag Settings2	R/W	0Eh	FLG_VDS_H2	FLG_VDS_L2	FLG_VDS_H1	FLG_VDS_L1	FLG_SPI	-	FLG_VRDET2	FLG_VRDET1	FBh
Flag Settings3	R/W	0Fh	-	-	FLG_VGS_H2	FLG_VGS_L2	-	-	FLG_VGS_H1	FLG_VGS_L1	33h

レジスタマップ – 続き

Description	R/W	Address	DATA bit								Initial Value
	15	14-8	7	6	5	4	3	2	1	0	
Output Current Settings1	R/W	10h	CUR_SO_H1SEL	CUR_SO_H1 [2]	CUR_SO_H1 [1]	CUR_SO_H1 [0]	CUR_SI_H1SEL	CUR_SI_H1 [2]	CUR_SI_H1 [1]	CUR_SI_H1 [0]	FFh
Output Current Settings2	R/W	11h	CUR_SO_L1SEL	CUR_SO_L1 [2]	CUR_SO_L1 [1]	CUR_SO_L1 [0]	CUR_SI_L1SEL	CUR_SI_L1 [2]	CUR_SI_L1 [1]	CUR_SI_L1 [0]	FFh
Output Current Settings3	R/W	12h	CUR_SO_H2SEL	CUR_SO_H2 [2]	CUR_SO_H2 [1]	CUR_SO_H2 [0]	CUR_SI_H2SEL	CUR_SI_H2 [2]	CUR_SI_H2 [1]	CUR_SI_H2 [0]	FFh
Output Current Settings4	R/W	13h	CUR_SO_L2SEL	CUR_SO_L2 [2]	CUR_SO_L2 [1]	CUR_SO_L2 [0]	CUR_SI_L2SEL	CUR_SI_L2 [2]	CUR_SI_L2 [1]	CUR_SI_L2 [0]	FFh
Analog Settings1	R/W	14h	MODE_SEL	VBOV_SEL	-	CHP_FREQ_DFU_EN	-	CSAMP_REF	CSAMP_GAIN [1]	CSAMP_GAIN [0]	01h
Dead Time Settings	R/W	16h	-	-	-	-	TDEAD [3]	TDEAD [2]	TDEAD [1]	TDEAD [0]	00h
VDS Settings1	R/W	17h	-	VDS_H1 [2]	VDS_H1 [1]	VDS_H1 [0]	-	VDS_L1 [2]	VDS_L1 [1]	VDS_L1 [0]	44h
VDS Settings2	R/W	18h	-	VDS_H2 [2]	VDS_H2 [1]	VDS_H2 [0]	-	VDS_L2 [2]	VDS_L2 [1]	VDS_L2 [0]	44h
RDET Settings	R/W	19h	-	RDET2 [2]	RDET2 [1]	RDET2 [0]	-	RDET1 [2]	RDET1 [1]	RDET1 [0]	44h
VDS, VGS, RDET Blanking Settings1	R/W	1Ah	FET_G1H_FLT [3]	FET_G1H_FLT [2]	FET_G1H_FLT [1]	FET_G1H_FLT [0]	FET_G1L_FLT [3]	FET_G1L_FLT [2]	FET_G1L_FLT [1]	FET_G1L_FLT [0]	33h
VDS, VGS, RDET Blanking Settings2	R/W	1Bh	FET_G2H_FLT [3]	FET_G2H_FLT [2]	FET_G2H_FLT [1]	FET_G2H_FLT [0]	FET_G2L_FLT [3]	FET_G2L_FLT [2]	FET_G2L_FLT [1]	FET_G2L_FLT [0]	33h
DHUV Blanking Setting	R/W	1Ch	-	-	-	-	DHUV_FLT [3]	DHUV_FLT [2]	DHUV_FLT [1]	DHUV_FLT [0]	00h
Static OPEN/SHORT Check	W	1Eh	-	-	-	-	OS_EN	AUTO_OS_START	SET_OS2	SET_OS1	00h
Static OPEN/SHORT Status	R	1Fh	-	ST_OSCHK_STEP [2]	ST_OSCHK_STEP [1]	ST_OSCHK_STEP [0]	ST_OSCHK_END	ST_OSCHK_FAIL	ST_OSCHK2	ST_OSCHK1	00h

Address = 00h <Software Reset>

Address	R/W	DATA bit							
		7	6	5	4	3	2	1	0
00h	W	Software Reset							
Initial Value	00h	0	0	0	0	0	0	0	0

ソフトウェアリセットコマンドです。LOGIC 回路の初期化を実施します。すべてのレジスタは初期化されます。5Ah のデータを送信すると、ソフトウェアリセットを実行します。EN = H の時、ソフトウェアリセットコマンドを使用することができます。

Address = 01h <Fault Protection State Reset>

Address	R/W	DATA bit							
		7	6	5	4	3	2	1	0
01h	W	-	-	-	-	-	-	LAT_CLR	-
Initial Value	00h	0	0	0	0	0	0	0	0

LAT_CLR: 異常検知後、保護状態から復帰させる場合に LAT_CLR = 1 を設定してください。LAT_CLR の値は、'1' を設定後、自動で '0' に初期化されます。なお、異常検知中または Protect Period による保護動作期間中は、LAT_CLR = 1 を設定しても保護状態は解除されません。保護動作を継続します。

Address = 02h <Enable Settings>

Address	R/W	DATA bit							
		7	6	5	4	3	2	1	0
02h	R/W	-	-	-	-	-	CP_EN	DRV_GHIZ	CS_EN
Initial Value	02h	0	0	0	0	0	0	1	0

CP_EN: チャージポンプイネーブル

0: 昇圧動作を停止し、G1H, G2H は 160 kΩ (Typ) でプルダウンされます。

G1L, G2L は、設定に応じて動作します。

1: 昇圧動作を開始し、G1H, G2H も出力ができるようになります。

DRV_GHIZ: ゲートドライバ出力イネーブル

0: G1H, G2H, G1L, G2L は設定に応じて出力動作します。

1: G1H, G2H, G1L, G2L は 160 kΩ (Typ) でプルダウンされます。

CS_EN: 電流検出アンプイネーブル

0: AOUT1, AOUT2 は Hi-Z になります。

1: AOUT1, AOUT2 は AIN1P, AIN1N, AIN2P, AIN2N の入力差を増幅して出力します。

Address = 03h <Mode Settings>

Address	R/W	DATA bit							
		7	6	5	4	3	2	1	0
03h	R/W	G2H_SEL	G2H_FIX	G2L_SEL	G2L_FIX	G1H_SEL	G1H_FIX	G1L_SEL	G1L_FIX
Initial Value	00h	0	0	0	0	0	0	0	0

各ゲートドライバ出力は、PWM 入力信号、または SPI レジスタ設定値で High/Low の駆動を制御することができます。

G2H_SEL, G2L_SEL, G1H_SEL, G1L_SEL

各ゲートドライバ出力の制御モードを変更します。

0: 各ゲートドライバ出力は、レジスタ G1H_FIX, G1L_FIX, G2H_FIX, G2L_FIX で設定した値に応じて出力します。

1: 各ゲートドライバ出力は、PWM1 端子、PWM2 端子の入力値に応じて出力します。

G2H_FIX, G2L_FIX, G1H_FIX, G1L_FIX

G2H_SEL, G2L_SEL, G1H_SEL, G1L_SEL = 0 の時、ゲートドライバ出力の論理を制御します。

G2H_SEL, G2L_SEL, G1H_SEL, G1L_SEL = 1 の時、設定値はゲートドライバ出力に影響しません。

0: ゲートドライバ出力は、Low 出力します。

1: ゲートドライバ出力は、High 出力します。

制御モードの詳細については、下表 Table 6. を参照してください。また PWM 制御に関しては、PWM 制御の章を参照してください。なお、下表 Table 6. に記載の無い組み合わせは、使用しないでください。もし使用禁止条件に設定した場合、すべてのゲートドライバ出力は Low になります。

Table 6. ゲートドライバ出力制御モード

Gate Driver Output Control Mode Configuration														
No.	MODE_SEL	G1H_SEL	G1H_FIX	G1L_SEL	G1L_FIX	G1H	G1L	G2H_SEL	G2H_FIX	G2L_SEL	G2L_FIX	G2H	G2L	Channel Control
1	0	0	0	0	0	Low	Low	0	0	0	0	Low	Low	Independent Control
2		0	0	1	x	Low	PWM1	0	0	1	x	Low	PWM2	
3		0	0	0	1	Low	High	0	0	0	1	Low	High	
4		1	x	0	0	PWM1	Low	1	x	0	0	PWM2	Low	
5		1	x	0	1	PWM1	High	1	x	0	1	PWM2	High	
6		0	1	0	0	High	Low	0	1	0	0	High	Low	
7		0	1	1	x	High	PWM1	0	1	1	x	High	PWM2	
8		0	1	0	1	High	High	0	1	0	1	High	High	
9		1	x	1	x	PWM1	PWM1	1	x	1	x	PWM2	PWM2	
10	1	0	0	0	0	Low	Low	0	0	0	0	Low	Low	H-bridge Control
11		0	1	0	0	High	Low	0	1	0	0	High	Low	
12		0	0	0	1	Low	High	0	0	0	1	Low	High	
13		0	1	0	0	High	Low	0	0	0	1	Low	High	
14		0	0	0	1	Low	High	0	1	0	0	High	Low	
15		1	x	0	0	PWM1	Low	0	0	0	1	Low	High	
16		0	0	0	1	Low	High	1	x	0	0	PWM2	Low	
17		1	x	1	x	PWM1	PWM1	1	x	1	x	PWM2	PWM2	

Address = 04h <Fault Status1>

Address	R/W	DATA bit							
		7	6	5	4	3	2	1	0
04h	R/W	ST_VCPUV	ST_DHUV	ST_VBOV	ST_VBUV	ST_VCOV	ST_VCUV	ST_TW	ST_TSD
Initial Value	04h	0	0	0	0	0	1	0	0

各異常を検知した結果を示すステータスレジスタです。

0: 異常未検知

1: 異常検知

ST_VCPUV : VCP 端子の減電圧検知結果

ST_DHUV : DH 端子の減電圧検知結果

ST_VBOV : VB 端子の過電圧検知結果

ST_VBUV : VB 端子の減電圧検知結果

ST_VCOV : VCC 端子の過電圧検知結果

ST_VCUV : VCC 端子の減電圧検知結果

ST_TW : サーマルワーニング検知結果

ST_TSD : サーマルシャットダウン検知結果

各レジスタ ST_XXX (ステータスレジスタ) に 1 を書き込むと異常検知結果を 0 にリセットすることができます。また、対応するグローバルステータスレジスタもリセットされます。なお、異常検知中または Protect Period による保護動作期間中は、ST_XXX = 1 を設定しても、ステータスレジスタを 0 にリセットすることはできません。継続して異常を検知し続けます。

レジスタ ST_VCUV のみ、他のステータスレジスタと初期値が異なります。初期値は ST_VCUV = 1 (異常検知) になっているため、一度、値を ST_VCUV = 0 にセットする必要があります。その後、異常を検知すると ST_VCUV = 1 にリセットされます。なお、VCC 減電圧異常を検知した場合、LOGIC 回路全体がリセットされるため、他の異常検知結果や設定も値がリセットされます。

Address = 05h <Fault Status2>

Address	R/W	DATA bit							
		7	6	5	4	3	2	1	0
05h	R/W	ST_VDS_H2	ST_VDS_L2	ST_VDS_H1	ST_VDS_L1	ST_SPI	-	ST_VRDET2	ST_VRDET1
Initial Value	00h	0	0	0	0	0	0	0	0

各異常を検知した結果を示すステータスレジスタです。

0: 異常未検知

1: 異常検知

ST_VDS_H2 : 外付け MOS FET (DH-S2H 端子間) 過電流 (過電圧) 検知結果

ST_VDS_L2 : 外付け MOS FET (S2H-S2L 端子間) 過電流 (過電圧) 検知結果

ST_VDS_H1 : 外付け MOS FET (DH-S1H 端子間) 過電流 (過電圧) 検知結果

ST_VDS_L1 : 外付け MOS FET (S1H-S1L 端子間) 過電流 (過電圧) 検知結果

ST_SPI : SPI 転送エラー検知結果

ST_VRDET2 : ショット抵抗 (AIN2P-AIN2N 端子間) 過電流 (過電圧) 検知結果

ST_VRDET1 : ショット抵抗 (AIN1P-AIN1N 端子間) 過電流 (過電圧) 検知結果

各レジスタ ST_XXX (ステータスレジスタ) に 1 を書き込むと異常検知結果を 0 にリセットすることができます。また、対応するグローバルステータスレジスタも 0 にリセットされます。なお、異常検知中または Protect Period による保護動作期間中は、ST_XXX = 1 を設定しても、ステータスレジスタを 0 にリセットすることはできません。継続して異常を検知し続けます。

Address = 06h <Fault Status3>

Address	R/W	DATA bit							
		7	6	5	4	3	2	1	0
06h	R/W	ST_VGS_H2_OV	ST_VGS_L2_OV	ST_VGS_H2_UV	ST_VGS_L2_UV	ST_VGS_H1_OV	ST_VGS_L1_OV	ST_VGS_H1_UV	ST_VGS_L1_UV
Initial Value	00h	0	0	0	0	0	0	0	0

各異常を検知した結果を示すステータスレジスタです。

0: 異常未検知

1: 異常検知

ST_VGS_H2_OV : G2H VGS 過電圧検知結果

ST_VGS_L2_OV : G2L VGS 過電圧検知結果

ST_VGS_H2_UV : G2H VGS 減電圧検知結果

ST_VGS_L2_UV : G2L VGS 減電圧検知結果

ST_VGS_H1_OV : G1H VGS 過電圧検知結果

ST_VGS_L1_OV : G1L VGS 過電圧検知結果

ST_VGS_H1_UV : G1H VGS 減電圧検知結果

ST_VGS_L1_UV : G1L VGS 減電圧検知結果

各レジスタ ST_XXX (ステータスレジスタ) に 1 を書き込むと異常検知結果を 0 にリセットすることができます。また、対応するグローバルステータスレジスタもリセットされます。なお、異常検知中または Protect Period による保護動作期間中は、ST_XXX = 1 を設定しても、ステータスレジスタを 0 にリセットすることはできません。継続して異常を検知し続けます。

Address = 07h <Latch Settings1>

Address	R/W	DATA bit							
		7	6	5	4	3	2	1	0
07h	R/W	-	LAT_ DHUV	LAT_ VBOV	LAT_ VBUV	LAT_ VCOV	-	LAT_ TW	LAT_ TSD
Initial Value	00h	0	0	0	0	0	0	0	0

各異常を検知した際の保護動作及びエラー通知信号 (ERRB) のモード選択が可能です。

0: 自己復帰モード 異常状態が解消すると出力動作が自動的に復帰します。

1: ラッチモード 異常状態が解消した場合でも、SPI コマンド (LAT_CLR) を設定するまで保護動作を継続します。

LAT_DHUV : DH 減電圧検知後の保護動作とエラー通知信号のモード選択

LAT_VBOV : VB 過電圧検知後の保護動作とエラー通知信号のモード選択

LAT_VBUV : VB 減電圧検知後の保護動作とエラー通知信号のモード選択

LAT_VCOV : VCC 過電圧検知後の保護動作とエラー通知信号のモード選択

LAT_TW : サーマルワーニング検知後のエラー通知信号のモード選択

LAT_TSD : サーマルシャットダウン検知後の保護動作とエラー通知信号のモード選択

Address = 08h <Latch Settings2>

Address	R/W	DATA bit							
		7	6	5	4	3	2	1	0
08h	R/W	LAT_ VDS_H2	LAT_ VDS_L2	LAT_ VDS_H1	LAT_ VDS_L1	-	-	LAT_ VRDET2	LAT_ VRDET1
Initial Value	00h	0	0	0	0	0	0	0	0

各異常を検知した際の保護動作及びエラー通知信号 (ERRB) のモード選択が可能です。

0: 自己復帰モード 異常状態が解消すると出力動作が自動的に復帰します。

1: ラッチモード 異常状態が解消した場合でも、SPI コマンド (LAT_CLR) を設定するまで保護動作を継続します。

LAT_VDS_H2 : 外付け MOS FET (DH-S2H 端子間) 過電流 (過電圧) 検知後の保護動作と
エラー通知信号のモード選択

LAT_VDS_L2 : 外付け MOS FET (S2H-S2L 端子間) 過電流 (過電圧) 検知後の保護動作と
エラー通知信号のモード選択

LAT_VDS_H1 : 外付け MOS FET (DH-S1H 端子間) 過電流 (過電圧) 検知後の保護動作と
エラー通知信号のモード選択

LAT_VDS_L1 : 外付け MOS FET (S1H-S1L 端子間) 過電流 (過電圧) 検知後の保護動作と
エラー通知信号のモード選択

LAT_VRDET2 : シャント抵抗間 (AIN2P-AIN2N 端子間) 過電流 (過電圧) 検知後の保護動作と
エラー通知信号のモード選択

LAT_VRDET1 : シャント抵抗間 (AIN1P-AIN1N 端子間) 過電流 (過電圧) 検知後の保護動作と
エラー通知信号のモード選択

Address = 09h <Latch Settings3>

Address	R/W	DATA bit							
		7	6	5	4	3	2	1	0
09h	R/W	-	-	LAT_VGS_H2	LAT_VGS_L2	-	-	LAT_VGS_H1	LAT_VGS_L1
Initial Value	00h	0	0	0	0	0	0	0	0

- 各異常を検知した際の保護動作及びエラー通知信号 (ERRB) のモード選択が可能です。
- 0: 自己復帰モード 異常状態が解消すると出力動作が自動的に復帰します。
 - 1: ラッチモード 異常状態が解消した場合でも、SPI コマンド (LAT_CLR) を設定するまで保護動作を継続します。

LAT_VGS_H2 : 外付け MOS FET (G2H-S2H 端子間) の電圧検知後の保護動作とエラー通知信号のモード選択
LAT_VGS_L2 : 外付け MOS FET (G2L-S2L 端子間) の電圧検知後の保護動作とエラー通知信号のモード選択
LAT_VGS_H1 : 外付け MOS FET (G1H-S1H 端子間) の電圧検知後の保護動作とエラー通知信号のモード選択
LAT_VGS_L1 : 外付け MOS FET (G1L-S1L 端子間) の電圧検知後の保護動作とエラー通知信号のモード選択

Address = 0Ah <Mask Settings1>

Address	R/W	DATA bit							
		7	6	5	4	3	2	1	0
0Ah	R/W	MASK_VCPUV	MASK_DHUV	MASK_VBOV	MASK_VBUV	MASK_VCOV	-	-	-
Initial Value	00h	0	0	0	0	0	0	0	0

各保護検知動作の選択が可能です。

0: 異常検知 Enable 異常が発生した場合、異常検知して保護動作を行います。

1: 異常検知 Disable 異常が発生しても検知されません。

MASK_VCPUV : VCP 減電圧検知マスク選択

MASK_DHUV : DH 減電圧検知マスク選択

MASK_VBOV : VB 過電圧検知マスク選択

MASK_VBUV : VB 減電圧検知マスク選択

MASK_VCOV : VCC 過電圧検知マスク選択

Address = 0Bh <Mask Settings2>

Address	R/W	DATA bit							
		7	6	5	4	3	2	1	0
0Bh	R/W	MASK_VDS_H2	MASK_VDS_L2	MASK_VDS_H1	MASK_VDS_L1	-	-	MASK_VRDET2	MASK_VRDET1
Initial Value	00h	0	0	0	0	0	0	0	0

各保護検知動作の選択が可能です。

0: 異常検知 Enable 異常が発生した場合、異常検知して保護動作を行います。

1: 異常検知 Disable 異常が発生しても検知されません。

MASK_VDS_H2 : 外付け MOS FET (DH-S2H 端子間) 過電流 (過電圧) 検知マスク選択

MASK_VDS_L2 : 外付け MOS FET (S2H-S2L 端子間) 過電流 (過電圧) 検知マスク選択

MASK_VDS_H1 : 外付け MOS FET (DH-S1H 端子間) 過電流 (過電圧) 検知マスク選択

MASK_VDS_L1 : 外付け MOS FET (S1H-S1L 端子間) 過電流 (過電圧) 検知マスク選択

MASK_VRDET2 : ショット抵抗間 (AIN2P-AIN2N 端子間) 過電流 (過電圧) 検知マスク選択

MASK_VRDET1 : ショット抵抗間 (AIN1P-AIN1N 端子間) 過電流 (過電圧) 検知マスク選択

Address = 0Ch <Mask Settings3>

Address	R/W	DATA bit							
		7	6	5	4	3	2	1	0
0Ch	R/W	-	-	MASK_VGS_H2	MASK_VGS_L2	-	-	MASK_VGS_H1	MASK_VGS_L1
Initial Value	00h	0	0	0	0	0	0	0	0

各保護検知動作の選択が可能です。

0: 異常検知 Enable 異常が発生した場合、異常検知して保護動作を行います。

1: 異常検知 Disable 異常が発生しても検知されません。

MASK_VGS_H2 : 外付け MOS FET (G2H-S2H 端子間) の電圧検知マスク選択

MASK_VGS_L2 : 外付け MOS FET (G2L-S2L 端子間) の電圧検知マスク選択

MASK_VGS_H1 : 外付け MOS FET (G1H-S1H 端子間) の電圧検知マスク選択

MASK_VGS_L1 : 外付け MOS FET (G1L-S1L 端子間) の電圧検知マスク選択

Address = 0Dh <Flag Settings1>

Address	R/W	DATA bit							
		7	6	5	4	3	2	1	0
0Dh	R/W	FLG_VCPUV	FLG_DHUV	FLG_VBOV	FLG_VBUV	FLG_VCOV	-	FLG_TW	FLG_TSD
Initial Value	FBh	1	1	1	1	1	0	1	1

ERRB 端子の出力動作の選択が可能です。

0: ERRB 端子に出力しない

1: ERRB 端子に出力する

FLG_VCPUV : VCP 減電圧検知の ERRB 端子への出力選択

FLG_DHUV : DH 減電圧検知の ERRB 端子への出力選択

FLG_VBOV : VB 過電圧検知の ERRB 端子への出力選択

FLG_VBUV : VB 減電圧検知の ERRB 端子への出力選択

FLG_VCOV : VCC 過電圧検知の ERRB 端子への出力選択

FLG_TW : サーマルワーニング検知の ERRB 端子への出力選択

FLG_TSD : サーマルシャットダウン検知の ERRB 端子への出力選択

Address = 0Eh <Flag Settings2>

Address	R/W	DATA bit							
		7	6	5	4	3	2	1	0
0Eh	R/W	FLG_VDS_H2	FLG_VDS_L2	FLG_VDS_H1	FLG_VDS_L1	FLG_SPI	-	FLG_VRDET2	FLG_VRDET1
Initial Value	FBh	1	1	1	1	1	0	1	1

ERRB 端子の出力動作の選択が可能です。

0: ERRB 端子に出力しない

1: ERRB 端子に出力する

FLG_VDS_H2 : 外付け MOS FET (DH-S2H 端子間) 過電流 (過電圧) 検知の ERRB 端子への出力選択

FLG_VDS_L2 : 外付け MOS FET (S2H-S2L 端子間) 過電流 (過電圧) 検知の ERRB 端子への出力選択

FLG_VDS_H1 : 外付け MOS FET (DH-S1H 端子間) 過電流 (過電圧) 検知の ERRB 端子への出力選択

FLG_VDS_L1 : 外付け MOS FET (S1H-S1L 端子間) 過電流 (過電圧) 検知の ERRB 端子への出力選択

FLG_SPI : SPI 転送エラー検知の ERRB 端子への出力選択

FLG_VRDET2 : ショット抵抗間 (AIN2P-AIN2N 端子間) 過電流 (過電圧) 検知の ERRB 端子への出力選択

FLG_VRDET1 : ショット抵抗間 (AIN1P-AIN1N 端子間) 過電流 (過電圧) 検知の ERRB 端子への出力選択

Address = 0Fh <Flag Settings3>

Address	R/W	DATA bit							
		7	6	5	4	3	2	1	0
0Fh	R/W	-	-	FLG_VGS_H2	FLG_VGS_L2	-	-	FLG_VGS_H1	FLG_VGS_L1
Initial Value	33h	0	0	1	1	0	0	1	1

ERRB 端子の出力動作の選択が可能です。

0: ERRB 端子に出力しない

1: ERRB 端子に出力する

FLG_VGS_H2 : 外付け MOS FET (G2H-S2H 端子間) の電圧検知結果 ERRB 端子への出力選択

FLG_VGS_L2 : 外付け MOS FET (G2L-S2L 端子間) の電圧検知結果 ERRB 端子への出力選択

FLG_VGS_H1 : 外付け MOS FET (G1H-S1H 端子間) の電圧検知結果 ERRB 端子への出力選択

FLG_VGS_L1 : 外付け MOS FET (G1L-S1L 端子間) の電圧検知結果 ERRB 端子への出力選択

Address = 10h <Output Current Settings1>

Address	R/W	DATA bit							
		7	6	5	4	3	2	1	0
10h	R/W	CUR_SO_H1SEL	CUR_SO_H1[2]	CUR_SO_H1[1]	CUR_SO_H1[0]	CUR_SI_H1SEL	CUR_SI_H1[2]	CUR_SI_H1[1]	CUR_SI_H1[0]
Initial Value	FFh	1	1	1	1	1	1	1	1

CUR_SO_H1SEL : ゲートドライバ出力 G1H ソース電流値範囲設定

CUR_SO_H1 [2:0] : ゲートドライバ出力 G1H ソース電流値設定

CUR_SI_H1SEL : ゲートドライバ出力 G1H シンク電流範囲設定

CUR_SI_H1 [2:0] : ゲートドライバ出力 G1H シンク電流設定

Table 7. ゲートドライバ出力ソース/シンク電流設定

CUR_SO_HxSEL CUR_SI_HxSEL CUR_SO_LxSEL CUR_SI_LxSEL (x = 1, 2)	CUR_SO_Hx [2:0] CUR_SI_Hx [2:0] CUR_SO_Lx [2:0] CUR_SI_Lx [2:0] (x = 1, 2)	Source Current Sink Current
0	0h	1.50 mA
	1h	1.75 mA
	2h	2.00 mA
	3h	2.50 mA
	4h	3.00 mA
	5h	4.00 mA
	6h	6.00 mA
	7h	10.00 mA
1	0h	4.50 mA
	1h	5.25 mA
	2h	6.00 mA
	3h	7.50 mA
	4h	9.00 mA
	5h	12.00 mA
	6h	18.00 mA
	7h	30.00 mA

ソース/シンク電流値には 160 kΩ (Typ) 抵抗によるプルダウン電流は含まれません。

Address = 11h <Output Current Settings2>

Address	R/W	DATA bit							
		7	6	5	4	3	2	1	0
11h	R/W	CUR_SO_L1SEL	CUR_SO_L1 [2]	CUR_SO_L1 [1]	CUR_SO_L1 [0]	CUR_SI_L1SEL	CUR_SI_L1 [2]	CUR_SI_L1 [1]	CUR_SI_L1 [0]
Initial Value	FFh	1	1	1	1	1	1	1	1

CUR_SO_L1SEL : ゲートドライバ出力 G1L ソース電流範囲選択

CUR_SO_L1 [2:0] : ゲートドライバ出力 G1L ソース電流値設定

CUR_SI_L1SEL : ゲートドライバ出力 G1L シンク電流範囲選択

CUR_SI_L1 [2:0] : ゲートドライバ出力 G1L シンク電流値設定

レジスタ設定値詳細は [Table 7. ゲートドライバ出力ソース/シンク電流設定](#) を参照してください。

Address = 12h <Output Current Settings3>

Address	R/W	DATA bit							
		7	6	5	4	3	2	1	0
12h	R/W	CUR_SO_H2SEL	CUR_SO_H2 [2]	CUR_SO_H2 [1]	CUR_SO_H2 [0]	CUR_SI_H2SEL	CUR_SI_H2 [2]	CUR_SI_H2 [1]	CUR_SI_H2 [0]
Initial Value	FFh	1	1	1	1	1	1	1	1

CUR_SO_H2SEL : ゲートドライバ出力 G2H ソース電流範囲選択

CUR_SO_H2 [2:0] : ゲートドライバ出力 G2H ソース電流値設定

CUR_SI_H2SEL : ゲートドライバ出力 G2H シンク電流範囲選択

CUR_SI_H2 [2:0] : ゲートドライバ出力 G2H シンク電流値設定

レジスタ設定値詳細は [Table 7. ゲートドライバ出力ソース/シンク電流設定](#) を参照してください。

Address = 13h <Output Current Settings4>

Address	R/W	DATA bit							
		7	6	5	4	3	2	1	0
13h	R/W	CUR_SO_L2SEL	CUR_SO_L2 [2]	CUR_SO_L2 [1]	CUR_SO_L2 [0]	CUR_SI_L2SEL	CUR_SI_L2 [2]	CUR_SI_L2 [1]	CUR_SI_L2 [0]
Initial Value	FFh	1	1	1	1	1	1	1	1

CUR_SO_L2SEL : ゲートドライバ出力 G2L ソース電流範囲選択

CUR_SO_L2 [2:0] : ゲートドライバ出力 G2L ソース電流値設定

CUR_SI_L2SEL : ゲートドライバ出力 G2L シンク電流範囲選択

CUR_SI_L2 [2:0] : ゲートドライバ出力 G2L シンク電流値設定

レジスタ設定値詳細は [Table 7. ゲートドライバ出力ソース/シンク電流設定](#) を参照してください。

Address = 14h <Analog Settings1>

Address	R/W	DATA bit							
		7	6	5	4	3	2	1	0
14h	R/W	MODE_SEL	VBOV_SEL	-	CHP_FREQ_DFUEEN	-	CSAMP_REF	CSAMP_GAIN [1]	CSAMP_GAIN [0]
Initial Value	01h	0	0	0	0	0	0	0	1

MODE_SEL: Hブリッジ制御モードと独立制御モードの選択を行います。

0: 独立制御モード

1: Hブリッジ制御モード

VBOV_SEL: VB 過電圧検知の閾値電圧設定

Table 8. VB 過電圧検知 閾値電圧設定

VBOV_SEL	閾値電圧 [V]
0	Detect: 22.0 V / Release: 21.0 V (Typ)
1	Detect: 32.5 V / Release: 31.5 V (Typ)

CHP_FREQ_DFUEEN: 周波数拡散設定

Table 9. 周波数拡散設定

CHP_FREQ_DFUEEN	周波数拡散設定
0	周波数拡散なし
1	周波数拡散あり

疑似的に周波数を拡散させる周波数拡散機能を搭載しています。周波数拡散機能を使用することにより、EMI 放射ノイズを抑制することが可能です。拡散周波数帯域は 333 kHz (Typ) ~ 455 kHz (Typ) $\pm 10\%$ で、8 Step の周波数拡散を行います。

CSAMP_REF: 電流検出アンプの REF 電圧設定

Table 10. 電流検出アンプ REF 電圧設定

CSAMP_REF	REF 電圧設定 [V]
0	REF/2
1	REF/8

CSAMP_GAIN [1:0]: 電流検出アンプのゲイン設定

Table 11. 電流検出アンプ ゲイン設定

CSAMP_GAIN [1:0]	ゲイン設定
0h	8 倍
1h	16 倍
2h	32 倍
3h	48 倍

Address = 16h <Dead Time Settings>

Address	R/W	DATA bit							
		7	6	5	4	3	2	1	0
16h	R/W	-	-	-	-	TDEAD [3]	TDEAD [2]	TDEAD [1]	TDEAD [0]
Initial Value	00h	0	0	0	0	0	0	0	0

TDEAD [3:0] : 貫通電流防止用の Dead Time 設定

Table 12. Dead Time 設定

TDEAD [3:0]	Dead Time
0h	0 μ s ^(Note 1)
1h	1 μ s
2h	2 μ s
3h	3 μ s
4h	4 μ s
5h	5 μ s
6h	6 μ s
7h	7 μ s
8h	8 μ s
9h	12 μ s
Ah	16 μ s
Bh	24 μ s
Ch	32 μ s
Dh	48 μ s
Eh	64 μ s
Fh	96 μ s

(Note 1) 貫通電流防止のため、TDEAD [3:0] = 0h 設定は使用しないでください。

Address = 17h <VDS Settings1>

Address	R/W	DATA bit							
		7	6	5	4	3	2	1	0
17h	R/W	-	VDS_H1 [2]	VDS_H1 [1]	VDS_H1 [0]	-	VDS_L1 [2]	VDS_L1 [1]	VDS_L1 [0]
Initial Value	44h	0	1	0	0	0	1	0	0

VDS_H1 [2:0] : 外付け MOS FET (DH-S1H 間) の過電圧 (過電流) 検知閾値電圧設定

VDS_L1 [2:0] : 外付け MOS FET (S1H-S1L 間) の過電圧 (過電流) 検知閾値電圧設定

Table 13. VDS 過電圧 (過電流) 検知閾値電圧設定

VDS_Hx [2:0] VDS_Lx [2:0] (x = 1, 2)	VDS 過電圧 (過電流) 検知閾値電圧設定 (V _{VDSx})
0h	200 mV
1h	300 mV
2h	400 mV
3h	500 mV
4h	750 mV
5h	1000 mV
6h	1250 mV
7h	1500 mV

Address = 18h <VDS Settings2>

Address	R/W	DATA bit							
		7	6	5	4	3	2	1	0
18h	R/W	-	VDS_H2 [2]	VDS_H2 [1]	VDS_H2 [0]	-	VDS_L2 [2]	VDS_L2 [1]	VDS_L2 [0]
Initial Value	44h	0	1	0	0	0	1	0	0

VDS_H2 [2:0]: 外付け MOS FET (DH-S2H 間) 過電圧 (過電流) 検知閾値電圧設定
VDS_L2 [2:0]: 外付け MOS FET (S2H-S2L 間) 過電圧 (過電流) 検知閾値電圧設定
レジスタ設定値詳細は [Table 13. VDS 過電圧 \(過電流\) 検知閾値電圧設定](#) を参照してください。

Address = 19h <RDET Settings>

Address	R/W	DATA bit							
		7	6	5	4	3	2	1	0
19h	R/W	-	RDET2 [2]	RDET2 [1]	RDET2 [0]	-	RDET1 [2]	RDET1 [1]	RDET1 [0]
Initial Value	44h	0	1	0	0	0	1	0	0

RDET2 [2:0] : ショット抵抗間 (AIN2P-AIN2N 間) の過電圧検知閾値電圧設定
RDET1 [2:0] : ショット抵抗間 (AIN1P-AIN1N 間) の過電圧検知閾値電圧設定

Table 14. ショット抵抗間過電圧検知閾値電圧設定

RDET2 [2:0] RDET1 [2:0]	ショット抵抗間過電圧検知閾値電圧設定 (V _{RDET_x})
0h	200 mV
1h	300 mV
2h	400 mV
3h	500 mV
4h	750 mV
5h	1000 mV
6h	1250 mV
7h	1500 mV

Address = 1Ah <VDS, VGS, RDET Blanking Settings1>

Address	R/W	DATA bit							
		7	6	5	4	3	2	1	0
1Ah	R/W	FET_G1H_FLT [3]	FET_G1H_FLT [2]	FET_G1H_FLT [1]	FET_G1H_FLT [0]	FET_G1L_FLT [3]	FET_G1L_FLT [2]	FET_G1L_FLT [1]	FET_G1L_FLT [0]
Initial Value	33h	0	0	1	1	0	0	1	1

FET_G1H_FLT [3:0]: 外付け MOS FET (DH-S1H 端子間) の VDS 異常検知と、
外付け MOS FET (G1H-S1H 端子間) の VGS 異常検知の、
異常検知ブランキング時間と保護期間の設定

FET_G1L_FLT [3:0]: 外付け MOS FET (DH-S1L 端子間) の VDS 異常検知と、
外付け MOS FET (G1L-S1L 端子間) の VGS 異常検知と、
シャント抵抗 (AIN1P-AIN1N 端子間) の過電流 (過電圧) 異常検知の、
異常検知ブランキング時間と保護期間の設定

Blanking Time の時間は、レジスタで設定した Blanking Time Setting の時間に加え、内部回路の遅延時間 2.4 μ s (Max) (Note) が発生します。そのため、実際の Blanking Time は、下記の計算式になります。

$$\text{Blanking Time} = \text{内部回路遅延 (2.4 } \mu\text{s} < \text{Max} >)^{\text{(Note)}} + \text{Blanking Time Setting}$$

Table 15. ブランキング時間 / 保護期間の設定 1

FET_G1H_FLT [3:0] FET_G1L_FLT [3:0]	Blanking Time Setting	Protect Period
0h	1 μ s	10 μ s
1h	2 μ s	20 μ s
2h	3 μ s	30 μ s
3h	4 μ s	40 μ s
4h	6 μ s	60 μ s
5h	8 μ s	80 μ s
6h	10 μ s	100 μ s
7h	12 μ s	120 μ s
8h	16 μ s	160 μ s
9h	24 μ s	240 μ s
Ah	28 μ s	280 μ s
Bh	32 μ s	320 μ s
Ch	40 μ s	400 μ s
Dh	48 μ s	480 μ s
Eh	56 μ s	560 μ s
Fh	64 μ s	640 μ s

(Note) 設計保証項目であり、出荷時の検査は実施していません。

Address = 1Bh <VDS, VGS RDET Blanking Settings2>

Address	R/W	DATA bit							
		7	6	5	4	3	2	1	0
1Bh	R/W	FET_G2H_FLT [3]	FET_G2H_FLT [2]	FET_G2H_FLT [1]	FET_G2H_FLT [0]	FET_G2L_FLT [3]	FET_G2L_FLT [2]	FET_G2L_FLT [1]	FET_G2L_FLT [0]
Initial Value	33h	0	0	1	1	0	0	1	1

FET_G2H_FLT [3:0]: 外付け MOS FET (DH-S2H 端子間) の VDS 異常検知と、
外付け MOS FET (G2H-S2H 端子間) の VGS 異常検知の、
異常検知ブランキング時間と保護期間の設定

FET_G2L_FLT [3:0]: 外付け MOS FET (DH-S2L 端子間) の VDS 異常検知と、
外付け MOS FET (G2L-S2L 端子間) の VGS 異常検知と、
シャント抵抗 (AIN2P-AIN2N 端子間) の過電流 (過電圧) 異常検知の、
異常検知ブランキング時間と保護期間の設定

Blanking Time の時間は、レジスタで設定した Blanking Time Setting の時間に加え、内部回路の遅延時間 2.4 μ s (Max) (Note) が発生します。そのため、実際の Blanking Time は、下記の計算式になります。

$$\text{Blanking Time} = \text{内部回路遅延 (2.4 } \mu\text{s} < \text{Max} >)^{(\text{Note})} + \text{Blanking Time Setting}$$

Table 16. ブランキング時間/保護期間の設定 2

FET_G2H_FLT [3:0] FET_G2L_FLT [3:0]	Blanking Time Setting	Protect Period
0h	1 μ s	10 μ s
1h	2 μ s	20 μ s
2h	3 μ s	30 μ s
3h	4 μ s	40 μ s
4h	6 μ s	60 μ s
5h	8 μ s	80 μ s
6h	10 μ s	100 μ s
7h	12 μ s	120 μ s
8h	16 μ s	160 μ s
9h	24 μ s	240 μ s
Ah	28 μ s	280 μ s
Bh	32 μ s	320 μ s
Ch	40 μ s	400 μ s
Dh	48 μ s	480 μ s
Eh	56 μ s	560 μ s
Fh	64 μ s	640 μ s

(Note) 設計保証項目であり、出荷時の検査は実施しておりません。

Address = 1Ch <DHUV Blanking Setting>

Address	R/W	DATA bit							
		7	6	5	4	3	2	1	0
1Ch	R/W	-	-	-	-	DHUV_FLT [3]	DHUV_FLT [2]	DHUV_FLT [1]	DHUV_FLT [0]
Initial Value	00h	0	0	0	0	0	0	0	0

DHUV_FLT[3:0]: DH 端子の減電圧検知ブランキング時間と保護期間の設定

Blanking Time の時間は、レジスタで設定した Blanking Time Setting の時間に加え、内部回路の遅延時間 2.4 μs (Max)
(Note) が発生します。そのため、実際の Blanking Time は、下記の計算式になります。

$$\text{Blanking Time} = \text{内部回路遅延 (2.4 } \mu\text{s} < \text{Max} >)^{(\text{Note})} + \text{Blanking Time Setting}$$

Table 17. DH 端子 減電圧検知ブランキング時間/保護期間の設定

DHUV_FLT [3:0]	Blanking Time Setting	Protect Period
0h	1 μs	10 μs
1h	2 μs	20 μs
2h	3 μs	30 μs
3h	4 μs	40 μs
4h	6 μs	60 μs
5h	8 μs	80 μs
6h	10 μs	100 μs
7h	12 μs	120 μs
8h	16 μs	160 μs
9h	24 μs	240 μs
Ah	28 μs	280 μs
Bh	32 μs	320 μs
Ch	40 μs	400 μs
Dh	48 μs	480 μs
Eh	56 μs	560 μs
Fh	64 μs	640 μs

(Note) 設計保証項目であり、出荷時の検査は実施しておりません。

Address = 1Eh <Static OPEN/SHORT Check>

Address	R/W	DATA bit							
		7	6	5	4	3	2	1	0
1Eh	W	-	-	-	-	OS_EN	AUTO_OS START	SET_OS2	SET_OS1
Initial Value	00h	0	0	0	0	0	0	0	0

OS_EN : Static オープン/ショートチェックのイネーブル設定
AUTO_OS_START : Static オープン/ショートチェックの自動検出モードのスタート
SET_OS2 : Static オープン/ショートチェック設定 2
SET_OS1 : Static オープン/ショートチェック設定 1

Address = 1Fh <Static OPEN/SHORT Status>

Address	R/W	DATA bit							
		7	6	5	4	3	2	1	0
1Fh	R	-	ST_OSCHK_STEP [2]	ST_OSCHK_STEP [1]	ST_OSCHK_STEP [0]	ST_OSCHK_END	ST_OSCHK_FAIL	ST_OSCHK2	ST_OSCHK1
Initial Value	00h	0	0	0	0	0	0	0	0

ST_OSCHK_STEP[2:0] : Static オープン/ショートチェック結果 (検出ステップ)

[Table 18. Static オープン/ショートチェック 検出ステップ](#) 参照

ST_OSCHK_END : Static オープン/ショートチェック完了フラグ

ST_OSCHK_FAIL : Static オープン/ショートチェック Fail フラグ

ST_OSCHK2 : Static オープン/ショートチェック結果

ST_OSCHK1 : Static オープン/ショートチェック結果

Table 18. Static オープン/ショートチェック 検出ステップ

ST_OSCHK_STEP [2:0]	Detection Part
1h	M2 or M4 MOS FET の Drain-Source ショート破壊
2h	M1 or M3 MOS FET の Drain-Source ショート破壊 / モータオープン故障
3h	M1 or M3 MOS FET の Drain-Source ショート破壊 / モータオープン故障
4h	G1H 接続 MOS FET のオープン故障
5h	G2H 接続 MOS FET のオープン故障
6h	G1L 接続 MOS FET のオープン故障
7h	G2L 接続 MOS FET のオープン故障

Table 19. Static オープン/ショートチェック結果

Detection Results (Status Register)			
ST_OSCHK2	ST_OSCHK1	ST_OSCHK_STEP [2:0]	Check Result
0	0	1h	Pass
1	0		Fail: M2 or M4 接続 MOS FET の Drain-Source ショート破壊
Other			Fail: Illegal (Fail)
0	0	2h	Pass
0	1		Fail: M1 or M3 接続 MOS FET の Drain-Source ショート破壊
1	0		Fail: モータオープン故障
Other			Fail: Illegal (Fail)
0	0	3h	Pass
0	1		Fail: M1 or M3 接続 MOS FET の Drain-Source ショート破壊 または、モータオープン故障
Other			Fail: Illegal (Fail)
0	0	4h	Pass
1	0		Fail: M1 (G1H) 接続 MOS FET のオープン故障
Other			Fail: Illegal (Fail)
0	0	5h	Pass
1	1		Fail: M3 (G2H) 接続 MOS FET のオープン故障
Other			Fail: Illegal (Fail)
0	0	6h	Pass
1	1		Fail: M3 (G2H) 接続 MOS FET のオープン故障
Other			Fail: Illegal (Fail)
0	0	7h	Pass
0	1		Fail: M4 (G2L) 接続 MOS FET のオープン故障
Other			Fail: Illegal (Fail)

入出力等価回路図

Pin No.	Pin name	Equivalence circuit	Pin No.	Pin name	Equivalence circuit
1 2 6 7	PWM1 PWM2 SCK SDI		3 32	VCC EN	
4	ERRB		5	CSB	
8	SDO		9 10	AOUT1 AOUT2	
11	REF		12 28	GND PGND	
13 14 15 16	AIN1N AIN1P AIN2N AIN2P		17 24 18 23	G1H G2H S1H S2H	
19 22 20 21	G1L G2L S1L S2L		25	DH	

入出力等価回路図 – 続き

Pin No.	Pin name	Equivalence circuit	Pin No.	Pin name	Equivalence circuit
26 30	VCP VB		27	CPH	
29	CPL		31	DBRKB	

特性データ

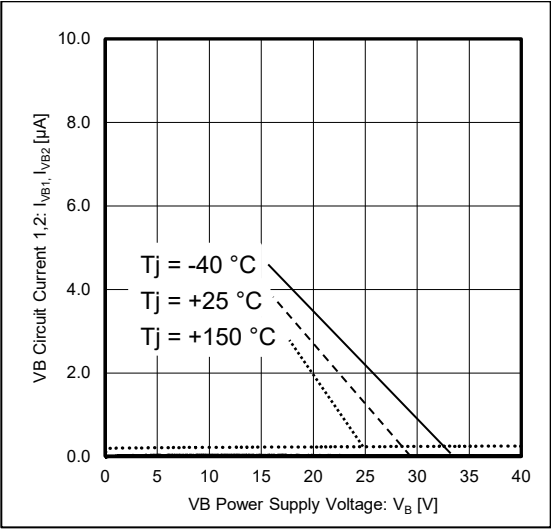


Figure 48. VB Circuit Current 1,2 vs VB Power Supply Voltage

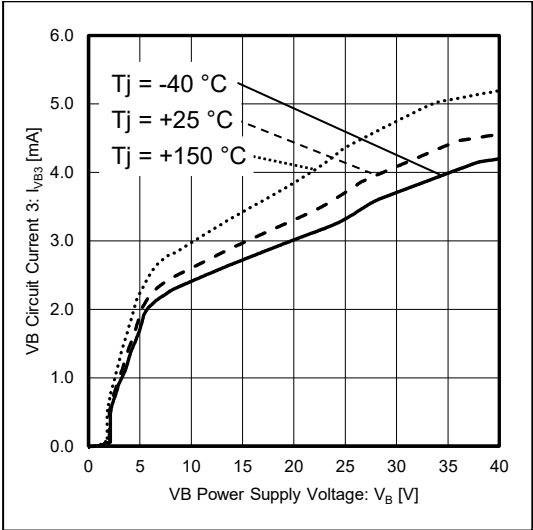


Figure 49. VB Circuit Current 3 vs VB Power Supply Voltage

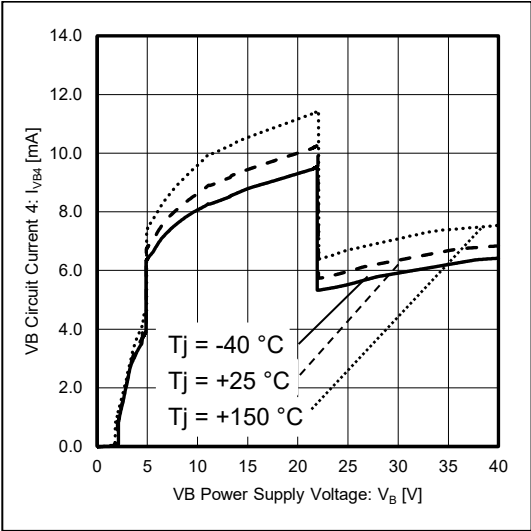


Figure 50. VB Circuit Current 4 vs VB Power Supply Voltage
(VBOV_SEL = 0)

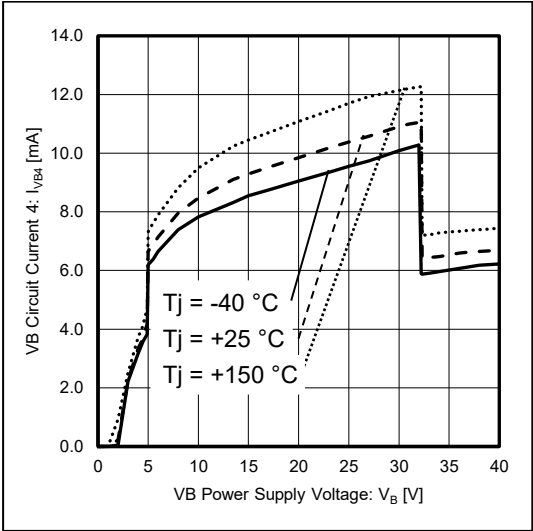


Figure 51. VB Circuit Current 4 vs VB Power Supply Voltage
(VBOV_SEL = 1)

特性データ — 続き

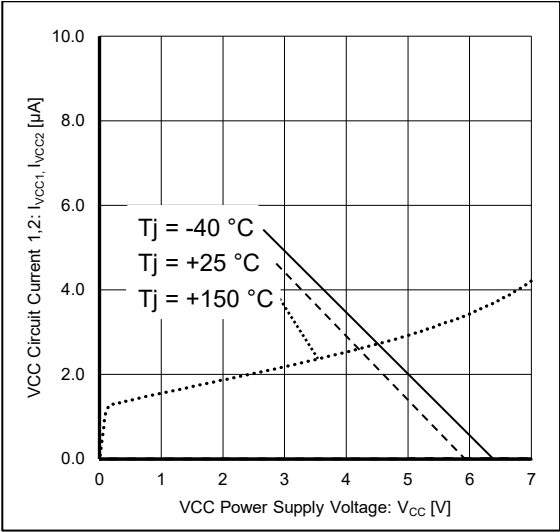


Figure 52. VCC Circuit Current 1,2 vs VCC Power Supply Voltage

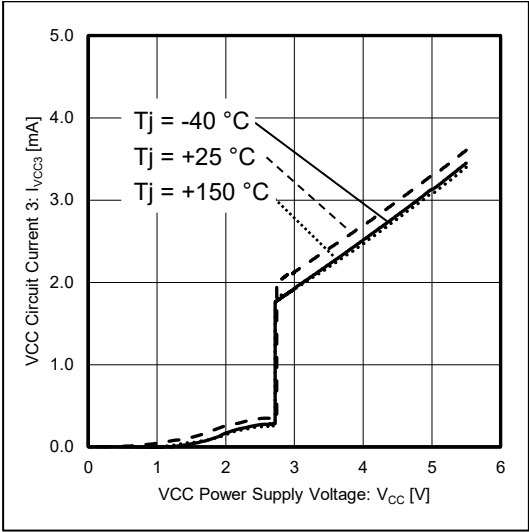


Figure 53. VCC Circuit Current 3 vs VCC Power Supply Voltage

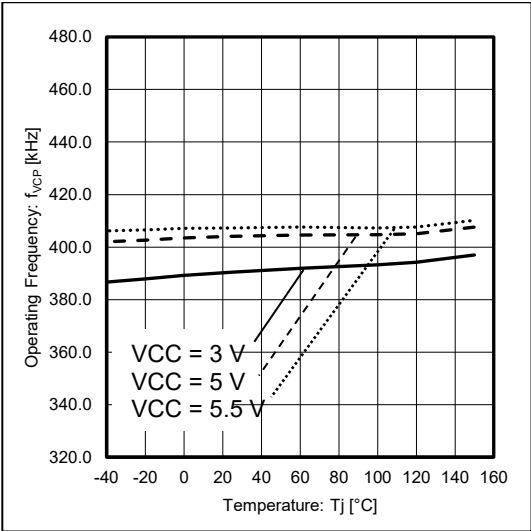


Figure 54. Operating Frequency vs Temperature

特性データ — 続き

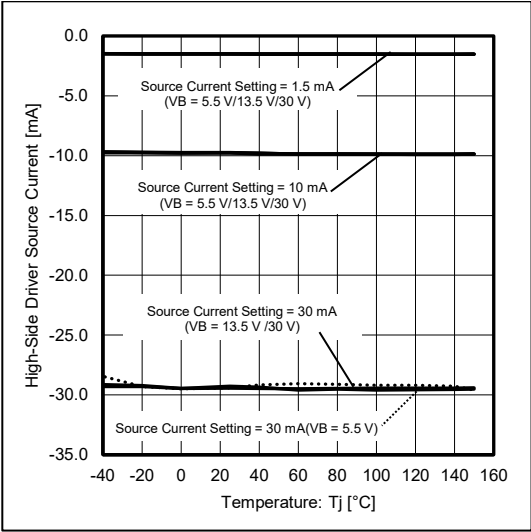


Figure 55. High-Side Driver Source Current vs Temperature

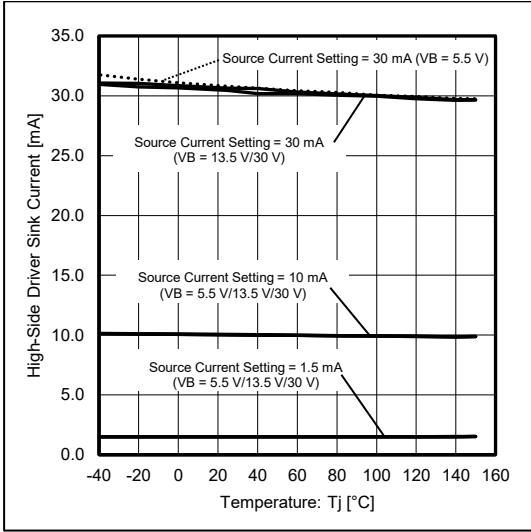


Figure 56. High-Side Driver Sink Current vs Temperature

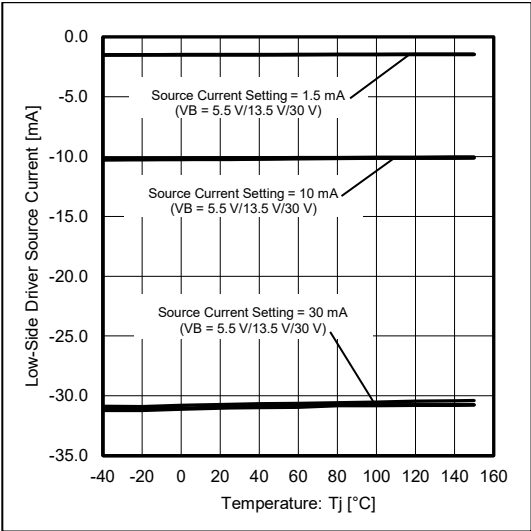


Figure 57. Low-Side Driver Source Current vs Temperature

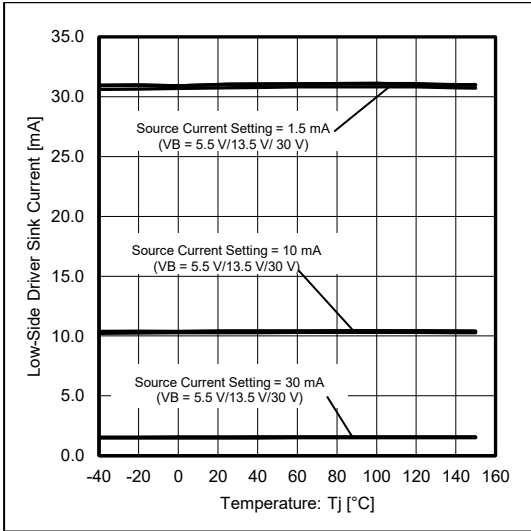


Figure 58. Low-Side Driver Sink Current vs Temperature

特性データ — 続き

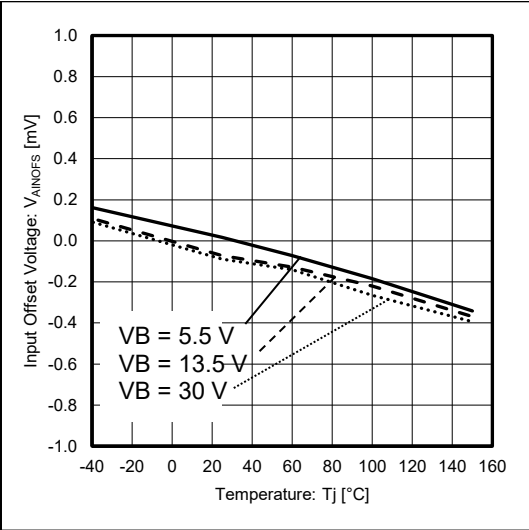


Figure 59. Input Offset Voltage vs Temperature (CSAMP_GAIN [1:0] = 0h)

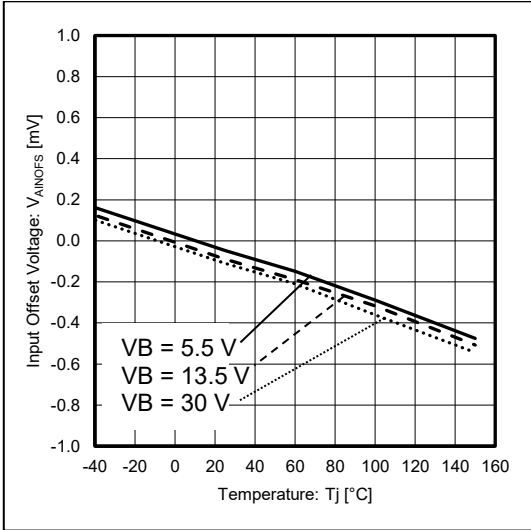


Figure 60. Input Offset Voltage vs Temperature (CSAMP_GAIN [1:0] = 1h)

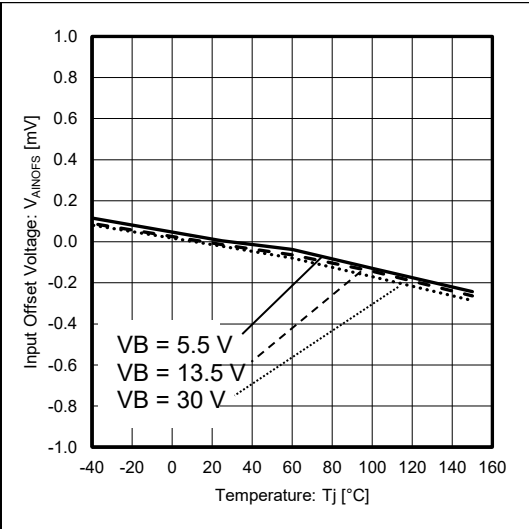


Figure 61. Input Offset Voltage vs Temperature (CSAMP_GAIN [1:0] = 2h)

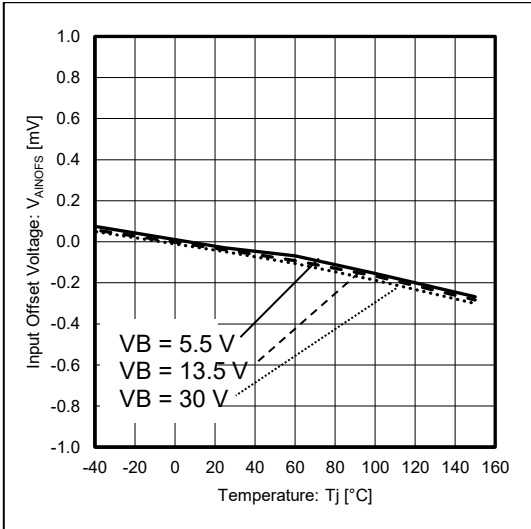


Figure 62. Input Offset Voltage vs Temperature (CSAMP_GAIN [1:0] = 3h)

特性データ — 続き

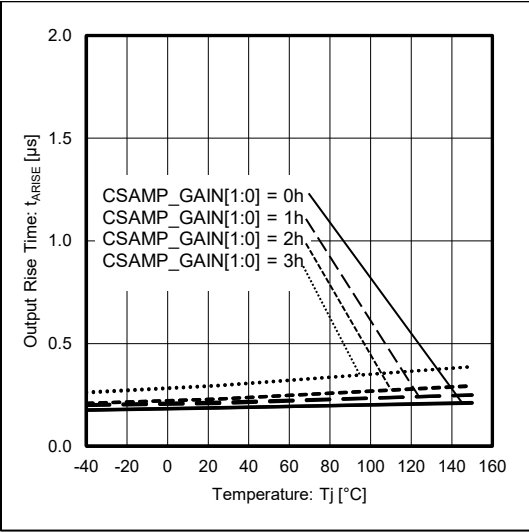


Figure 63. Output Rise Time vs Temperature
(VB = 13.5 V, VCC = 5 V)

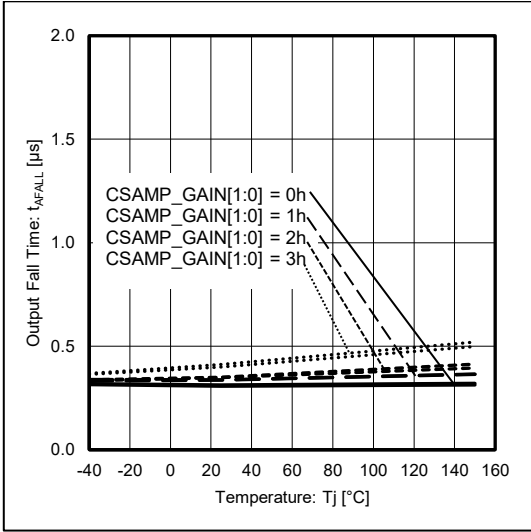


Figure 64. Output Fall Time vs Temperature
(VB = 13.5 V, VCC = 5 V)

使用上の注意

1. 電源の逆接続について

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れるなどの対策を施してください。

2. 電源ラインについて

基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。グラウンドラインについても、同様のパターン設計を考慮してください。また、LSI のすべての電源端子について電源-グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量低下が起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

3. グラウンド電位について

L 負荷駆動端子 (例: モータドライバの出力、DC-DC コンバータの出力など) については、L 負荷の逆起電圧の影響でグラウンド以下に振れることが考えられます。L 負荷駆動端子が逆起電圧によって負電位になる場合を除き、グラウンド端子はいかなる動作状態においても最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子、L 負荷駆動端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。使用条件、環境及び L 負荷個々の特性によっては誤動作などの不具合が発生する可能性があります。IC の動作などに問題のないことを十分ご確認ください。

4. グラウンド配線パターンについて

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

5. 推奨動作条件について

推奨動作条件で規定される範囲で IC の機能・動作を保証します。また、特性値は電気的特性で規定される各項目の条件下においてのみ保証されます。

6. ラッシュカレントについて

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

7. セット基板での検査について

セット基板での検査時に、インピーダンスの低い端子にコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

8. 端子間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けした場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

9. 未使用の入力端子の処理について

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

使用上の注意 — 続き

10. 各入力端子について

本 IC はモノリシック IC であり、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、 $GND > (\text{端子 A})$ の時、トランジスタ (NPN) では $GND > (\text{端子 B})$ の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ (NPN) では、 $GND > (\text{端子 B})$ の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に GND (P 基板) より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子が GND にショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

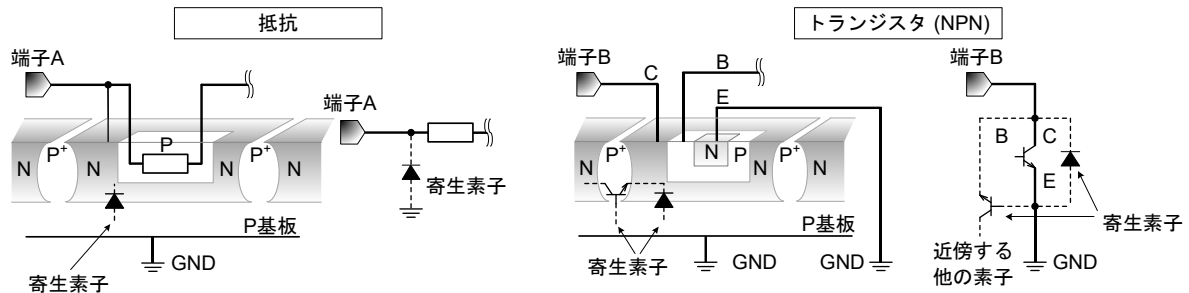


Figure 65. モノリシック IC 構造例

11. セラミック・コンデンサの特性変動について

外付けコンデンサに、セラミック・コンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮のうえ、定数を決定してください。

12. 温度保護回路について

IC を熱破壊から防ぐための温度保護回路を内蔵しております。最高接合部温度内でご使用いただきますが、万が一最高接合部温度を超えた状態が継続すると、温度保護回路が動作し出力パワー素子が OFF します。この IC は、リトライモードとラッチモードの2つのモードをサポートしています。リトライモードで構成されたとき、チップ温度 T_j が TSD スレッシュホールド以下になると出力は、自動で通常モードに復帰します。ラッチモードで構成されたとき、チップ温度 T_j が TSD スレッシュホールド以下になっても停止状態が継続するため、動作を再開するためには電源を再投入する必要があります。なお、温度保護回路は絶対最大定格を超えた状態での動作となりますので、温度保護回路を使用したセット設計などは、絶対に避けてください。

13. 過電流保護回路について

出力には電流能力に応じた過電流保護回路が内部に内蔵されているため、負荷ショート時には IC 破壊を防止しますが、この保護回路は突発的な事故による破壊防止に有効なもので、連続的な保護回路動作、過渡時でのご使用に対応するものではありません。

14. 機能安全について

「ISO 26262 ASIL-x に準拠したプロセスで開発」とは、記載した ASIL レベルに準拠した ISO 26262 対応プロセスで開発した LSI であることを示します。

「機能安全をサポートする安全機構を搭載 (ASIL-x)」とは、記載している ASIL レベルに必要な安全機構を搭載した LSI であることを示します。

「機能安全をサポート」とは、車載向けに開発した LSI で、機能安全に関する安全分析のサポートをすることが可能であることを示します。

※「ASIL-x」の「x」は、「A」、「B」、「C」、「D」のいずれかを表します。

発注形名情報

B D 1 6 9 5 3 M U F

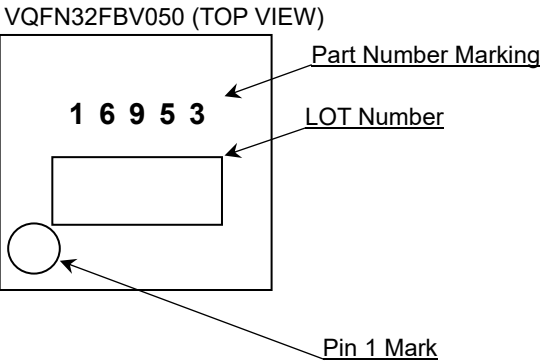
-

C E 2

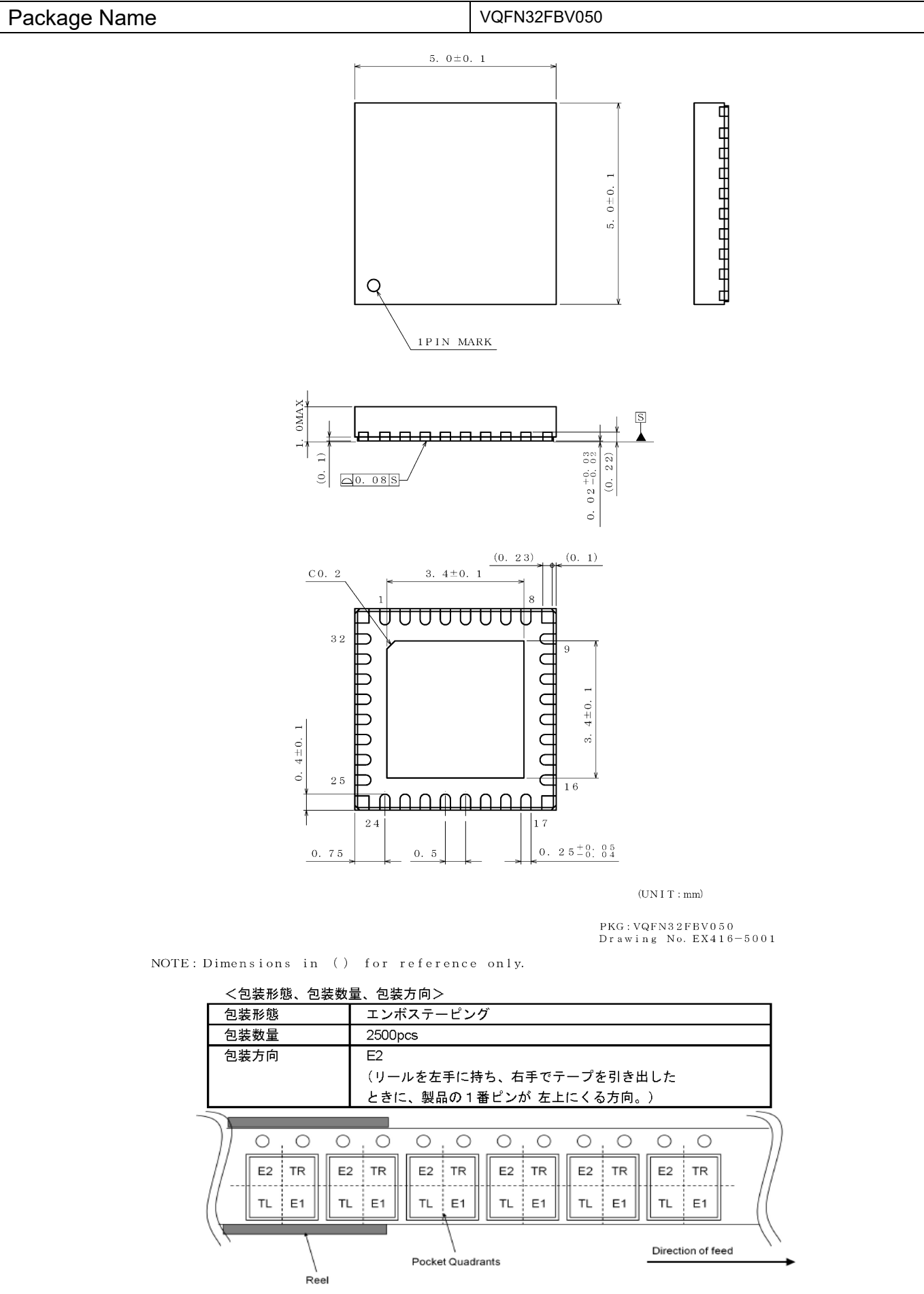
パッケージ
MUF: VQFN32FBV050

製品ランク
C: 車載ランク品
包装、フォーミング仕様
E2: リール状エンボステーパーピング

標印図



外形寸法図と包装・フォーミング仕様



改訂履歴

日付	版	変更内容
2026.03.16	001	新規作成

ご注意

ローム製品取扱い上の注意事項

- 極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器^(Note 1)、航空宇宙機器、原子力制御装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

- 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
- 本製品は、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用
 - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用される場合は除く。ただし、残渣については十分に確認をお願いします。)又は、はんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合
 - ⑧結露するような場所でのご使用
- 本製品は耐放射線設計はなされておられません。
- 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
- パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
- 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
- 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
- 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

- ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
- はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。
その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数、ソフトウェア等の情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。（人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等）

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
 - ① 潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ② 推奨温度、湿度以外での保管
 - ③ 直射日光や結露する場所での保管
 - ④ 強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱いください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルに2次元バーコードが印字されていますが、2次元バーコードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は、外国為替及び外国貿易法に定めるリスト規制貨物等に該当するおそれがありますので、輸出する場合には、ロームへお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等（ソフトウェア含む）との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

一般的な注意事項

1. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
2. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。