

デジタルスチルカメラ用ドライバ

1~2ch 一眼レフカメラ用
レンズドライバ

BD65499MUV

●概要

BD65499MUVは、昇圧スイッチングコントローラとFULL ON 駆動 H ブリッジ 1ch を内蔵した IC です。
昇圧機能を内蔵し H ブリッジは高耐圧+大電流出力により、特にモバイル機器向けのピエゾ素子駆動用として小型システムに小型面実装パッケージでお応えします。

●特長

- 低 ON 抵抗 DMOS 出力
- 昇圧用 DC/DC コンバータ内蔵
- 出力スイッチングスピード可変機能
(DC/DC コンバータ : 4 段階、H ブリッジ : 2 段階)
- 出力上側 Pch. DMOS 採用によりチャージポンプレス (H ブリッジ)
- コントロール入力端子は 1.8V 系へも対応
- 低電圧誤動作防止機能、温度保護回路、過電流保護回路内蔵

●用途

- 小型モバイル機器
- 家電機器
- アミューズメント機器など

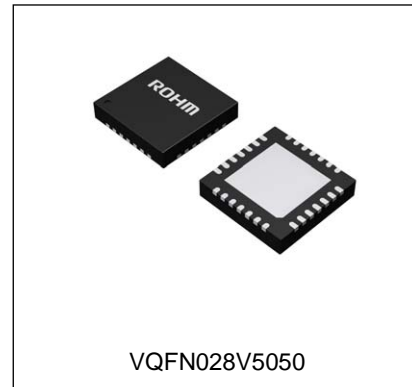
●重要特性

- | | |
|-------------------------------|---------------------|
| ■ 制御電源電圧範囲(V _{CC}): | 2.7~3.6V |
| ■ モータ電源電圧範囲(V _P): | 4.0~27.0V |
| ■ 回路電流: | 2.8mA(Typ.) |
| ■ スタンバイ電流: | 1μA (Max.) |
| ■ 制御入力電圧範囲: | 0~V _{CC} V |
| ■ 制御入力周波数: | 300kHz(Max.) |
| ■ シリアルクロック入力周波数: | 5MHz(Max.) |
| ■ Turn On 時間: | 150ns(Typ.) |
| ■ Turn Off 時間: | 50ns(Typ.) |
| ■ H ブリッジ出力電流(DC): | 500mA |
| ■ モータ電源出力電流(DC): | 300mA |
| ■ DC/DC コンバータ発振周波数: | 750kHz(Typ.) |
| ■ 出力 ON 抵抗 | |
| ・ DC/DC コンバータ Nch.DMOS: | 0.20Ω(Typ.) |
| ・ H ブリッジ(上下合計値): | 0.60Ω(Typ.) |
| ■ 動作温度範囲: | -30~85°C |

●パッケージ

VQFN028V5050

W(Typ.) x D(Typ.) x H(Max.)
5.00mm x 5.00mm x 1.00mm



●発注形名情報

B D 6 5 4 9 9 M U V

-

E 2

Part Number

パッケージ
MUV: VQFN028V5050

包装、フォーミング仕様
E2: リール状エンボステーピング

●ブロック図/応用回路例

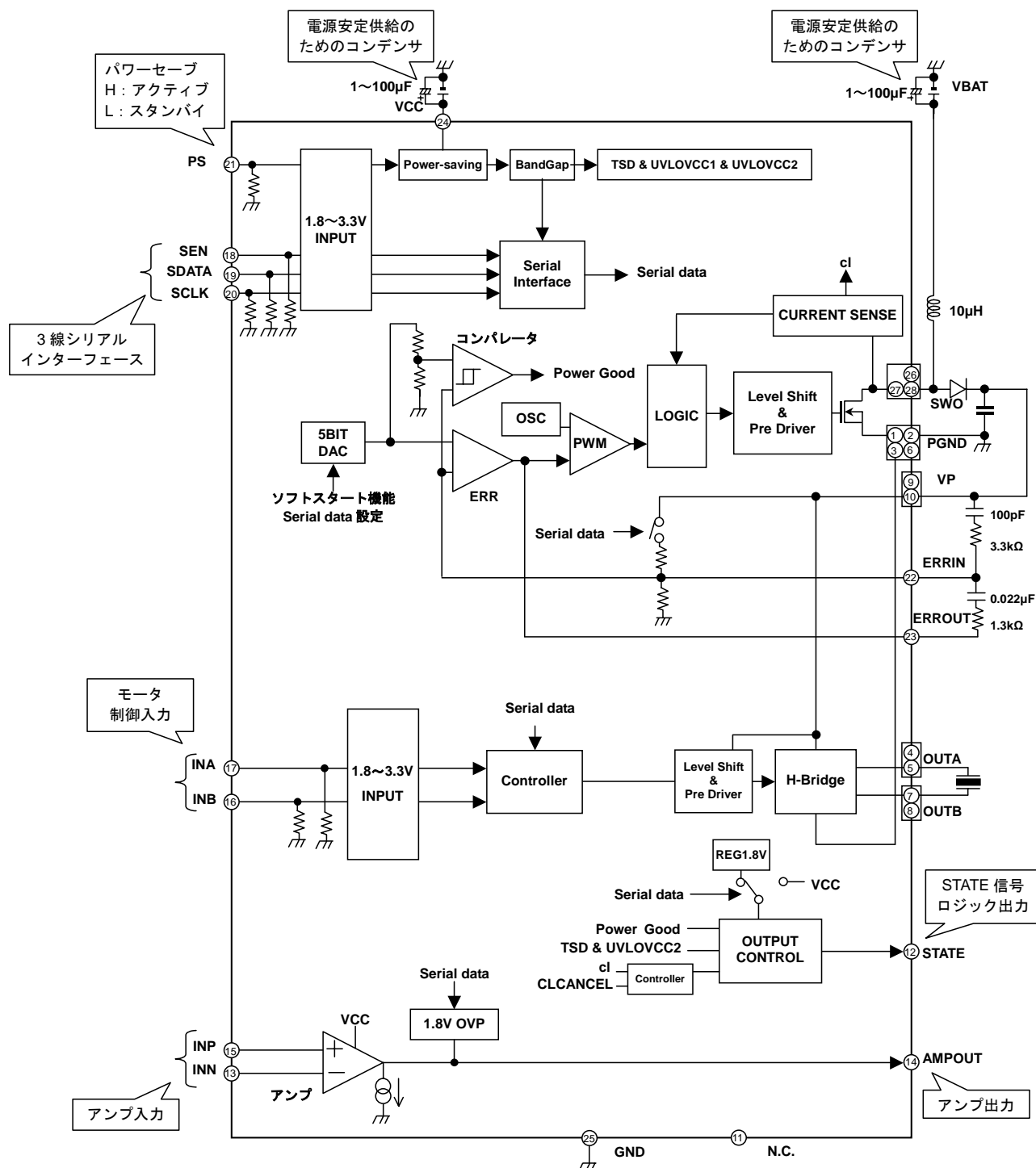


Figure 1. ブロック図

●端子配置図

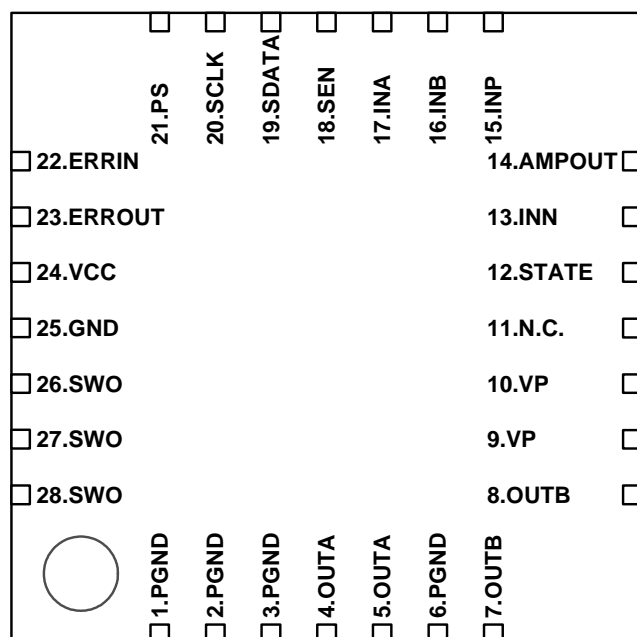


Figure 2. 端子配置図(Top View)

●端子説明

端子番号	端子名	機能	PS=Lo の状態
25	GND	グランド	-
1,2,3,6	PGND	パワーグランド	-
24	VCC	小信号系電源端子	-
11	N.C.	N.C.	-
9,10	VP	VP 電源端子	-
26,27,28	SWO	Nch パワーFET 出力端子	HiZ
4,5	OUTA	Hブリッジ出力端子 ch.A	HiZ
7,8	OUTB	Hブリッジ出力端子 ch.B	HiZ
17	INA	制御入力 A	Lo
16	INB	制御入力 B	Lo
12	STATE	STATE 出力	Lo
15	INP	アンププラス入力端子	HiZ
13	INN	アンプマイナス入力端子	HiZ
14	AMPOUT	バッファアンプ出力端子	HiZ
22	ERRIN	誤差増幅器入力端子	Lo
23	ERROUT	誤差増幅器出力端子	Lo
21	PS	パワーセーブ端子	Lo
18	SEN	3線シリアルイネーブル入力	Lo
19	SDATA	3線シリアルデータ入力	Lo
20	SCLK	3線シリアルクロック入力	Lo

※ 同一端子名のパワーグランド (PGND)、VP 電源端子 (VP)、Nch パワーFET 出力端子(SWO)、Hブリッジ出力端子 ch.A(OUTA)、Hブリッジ出力端子 ch.B(OUTB)については実装パターン上でショートしてください。

●絶対最大定格

項目	記号	定格	単位
電源電圧	V_{CC}	-0.3~+4.5	V
VP 電源電圧	V_P	-0.3~+30.0	V
SWO 印加電圧	V_{SWO}	-0.3~+30.0	V
制御入力電圧	V_{IN}	-0.3~ $V_{CC}+0.3$	V
アンプ入出力電圧	V_{AMP}	-0.3~ $V_{CC}+0.3$	V
許容損失 1	Pd1	880 ^{※1}	mW
許容損失 2	Pd2	3260 ^{※2}	mW
許容損失 3	Pd3	4560 ^{※3}	mW
接合部温度	T_{jmax}	150	°C
保存温度範囲	T_{stg}	-55~+150	°C
VP 電源負荷電流(DC)	I_{VPDC}	±300 ^{※4}	mA
VP 電源負荷電流(ピーク ^{※5})	I_{VPP}	±500 ^{※4}	mA
Hブリッジ出力電流(DC)	I_{OUT}	±500 ^{※4}	mA
Hブリッジ出力電流(ピーク 1 ^{※6})	I_{OUTP1}	±1000 ^{※4}	mA
Hブリッジ出力電流(ピーク 2 ^{※7})	I_{OUTP2}	±2000 ^{※4}	mA

※1 74.2mm×74.2mm×1.6mm ガラスエポキシ 1層基板 (表裏放熱銅箔 20.2mm²) 実装。

Ta=25°C以上で使用する場合は、1°Cにつき 7.0mW を減じる。

※2 74.2mm×74.2mm×1.6mm ガラスエポキシ 4層基板実装 (表裏放熱銅箔 20.2mm²、2、3層:放熱銅箔 5505mm²)。

Ta=25°C以上で使用する場合は、1°Cにつき 26.0mW を減じる。

※3 74.2mm×74.2mm×1.6mm ガラスエポキシ 4層基板実装 (全層:放熱銅箔 5505mm²)。

Ta=25°C以上で使用する場合は、1°Cにつき 36.4mW を減じる。

※4 Pd, ASO 及び $T_{jmax}=150^{\circ}\text{C}$ を越えないこと。

※5 OUTA と OUTB 端子間に容量性負荷、VP と GND 端子間に 20μF+20μF のバイパスコンデンサーを接続し、Hブリッジを正転⇄逆転動作時に流れる電流を 20μF のバイパスコンデンサーで平滑化した後のピーク電流値。

※6 オン時間≤10μs かつ Duty≤30%。

※7 オン時間≤5μs かつ Duty≤15%。

●推奨動作範囲

項目	記号	定格	単位
電源電圧	V_{CC}	2.7~3.6	V
VP 電源電圧	V_P	4.0~27.0	V
SWO 印加電圧	V_{SWO}	4.0~27.0	V
制御入力電圧	V_{IN}	0~ V_{CC}	V
アンプ入出力電圧	V_{AMP}	0~ V_{CC}	V
INA,INB 入力周波数	F_{IN}	0~300	kHz
SCLK 周波数	S_{CL}	0~5	MHz
動作温度範囲	T_{opr}	-30~85	°C

※ VP 電源動作電圧は、ソフトスタート時($V_P=4\sim14\text{V}$)も含まれます。VP 設定電圧は、14~25V になります。

●電気的特性 (特に指定のない限り Ta=25°C, V_{CC}=3.3V, V_{BAT}=8V, V_P=20V)

項目	記号	規格値			単位	条件
		最小	標準	最大		
全体						
スタンバイ時回路電流	I _{CCST}	-	0	1	μA	スタンバイ時 PS=0V
回路電流	I _{CC}	1.5	2.8	5.0	mA	動作時 PS =Hi,ERRIN=V _{CC} INP=V _{CC} /2,INN=AMPOUT
制御入力 (IN= PS, INA, INB, SEN, SCLK, SDATA)						
High レベル入力電圧	V _{INH}	1.45	-	V _{CC}	V	
Low レベル入力電圧	V _{INL}	0	-	0.5	V	
High レベル入力電流	I _{INH}	15	30	60	μA	V _{IN} =3V
Low レベル入力電流	I _{INL}	-1	0	1	μA	V _{IN} =0V
ロジック出力 (OUT=STATE)						
Hi 出力 0	H _{O0}	1.6	1.8	2.0	V	LSET=1'b0 無負荷時
Hi 出力 1	H _{O1}	V _{CC} -0.3	V _{CC} -0.15	-	V	LSET=1'b1 0.5mA 流出時
Lo 出力	L _O	-	0.15	0.3	V	0.5mA 流入時
低電圧誤動作防止回路(UVLO 回路)						
UVLO 電圧 1(VCC)	V _{UVLO1VCC}	1.8	-	2.2	V	シリアルデーターリセット
UVLO 電圧 2(VCC)	V _{UVLO2VCC}	2.25	-	2.65	V	出力 OFF (SWO 出力、H ブリッジ出力、AMPOUT)
UVLO 電圧差 12(VCC)	V _{UVLOD12VCC}	0.1	0.4	0.75	V	シリアルデーターリセットと出力 OFF の それぞれの UVLO が動作する電圧の差
FULL ON ドライバ部						
出力 ON 抵抗	R _{ON}	-	0.60	0.85	Ω	上下 ON 抵抗合計
Turn On 時間 0	T _{on0}	-	300	700	ns	TR=1'h0
Turn On 時間 1	T _{on1}	-	150	500	ns	TR=1'h1
Turn Off 時間	T _{off0}	-	50	400	ns	TR=1'hx
アンプ						
同相入力電圧範囲	V _{LOPI}	0.1	-	V _{CC} -0.1	V	INP 電圧印加,INN=AMPOUT(無負荷時)
入力バイアス電流	I _{BI}	-3	0	3	μA	
出力ソース電流	I _{OH}	2.5	-	-	mA	INP=V _{CC} /2,INN=AMPOUT
出力シンク電流	I _{OL}	0.2	0.3	-	mA	INP=V _{CC} /2,INN=AMPOUT
Slew Rate	S _R	0.7	1.5	-	V/μs	INP=1⇔2V 入力,INN=AMPOUT の反応速度
GB 積	G _B	1.0	3.0	-	MHz	
過電圧保護回路	O _{VP}	1.6	1.8	2.0	V	AMPOVP=1'd1 の場合
STEP UP DC/DC コンバータ部						
出力 Nch. ON 抵抗	D _{CRON}	-	0.20	0.50	Ω	
発振周波数	D _{COSC}	600	750	900	kHz	
ソフトスタート	SS _{ST}	4.26	5.33	6.40	ms	SSSET=3'd5
基準電圧 14	S _{V14}	13.58	14.0	14.42	V	VPSET=5'd14
基準電圧 20	S _{V20}	19.5	20.0	20.5	V	VPSET=5'd20
基準電圧 25	S _{V25}	24.5	25.0	25.5	V	VPSET=5'd25
Power Good	P _G	83	90	97	%	(ソフトスタート終了後の V _P)[V]×PG[%]
Power Good ヒステリシス	P _{GHYS}	63	70	77	%	(ソフトスタート終了後の V _P)[V]×PGHYS[%]
カレントリミット	D _{CLIM}	2.0	3.6	-	A	SWO 電流

●特性データ(参考データ)

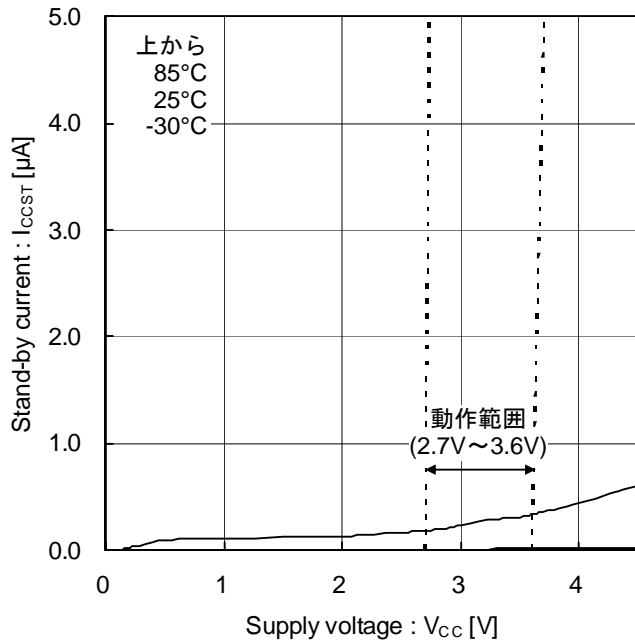


Figure 3. スタンバイ時回路電流

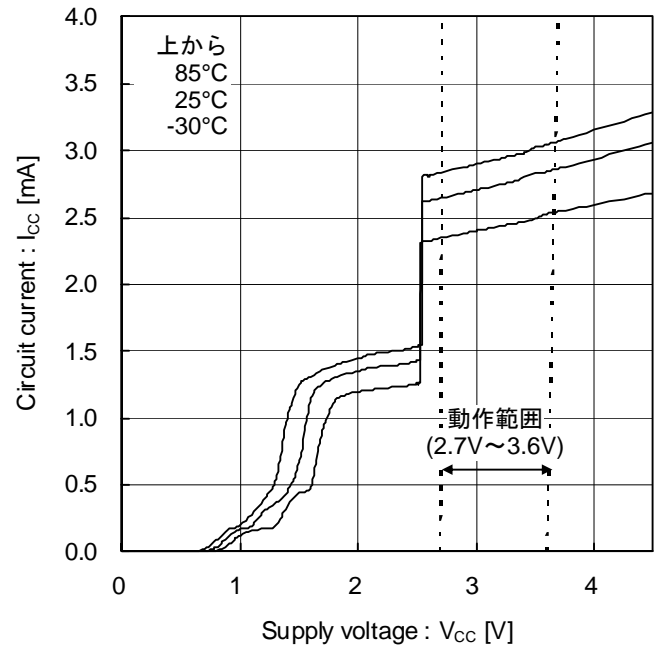
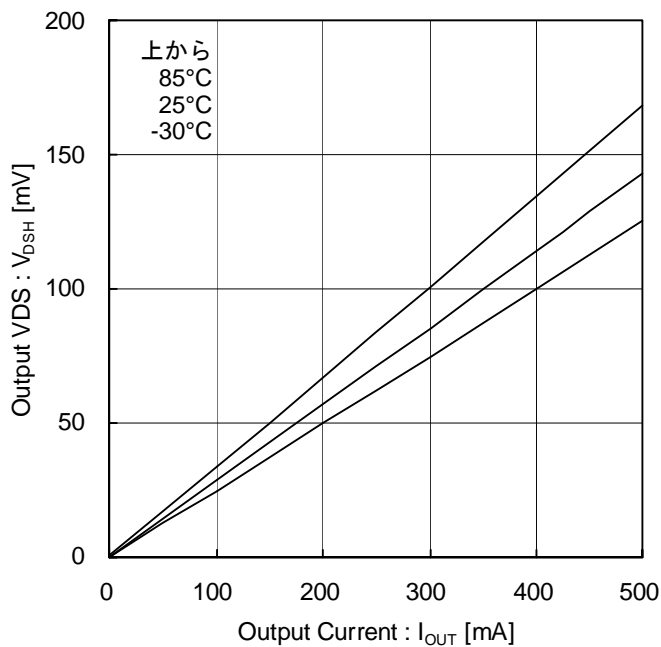
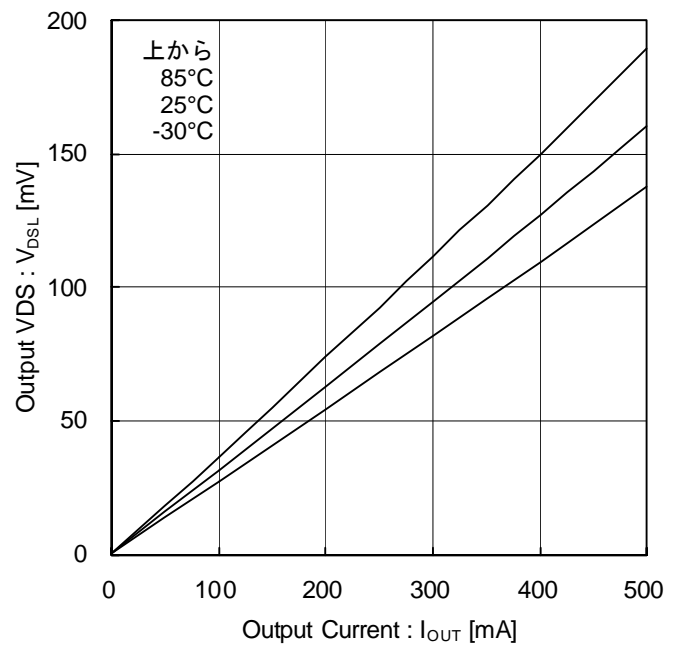


Figure 4. 回路電流

Figure 5. H ブリッジ出力上側 ON 抵抗
($V_P=20V$, $V_{CC}=3.3V$)Figure 6. H ブリッジ出力下側 ON 抵抗
($V_P=20V$, $V_{CC}=3.3V$)

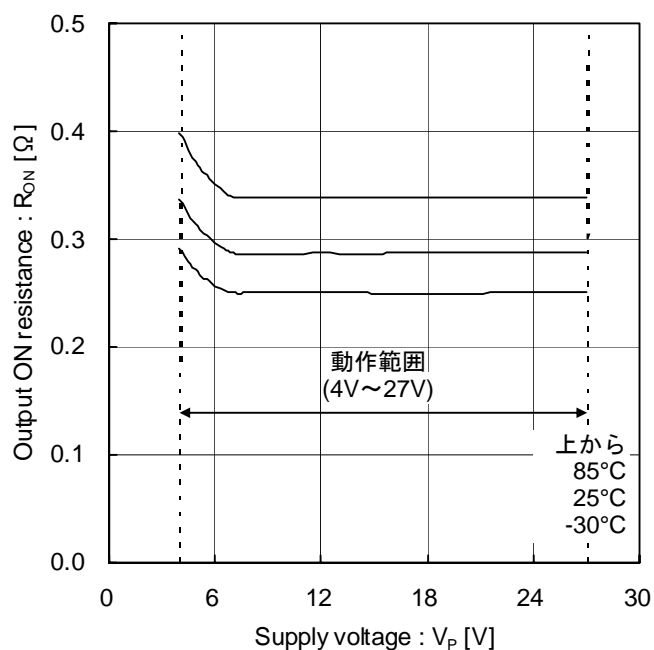


Figure 7. H ブリッジ出力上側 ON 抵抗
(V_P 依存性, $V_{CC}=3.3V$)

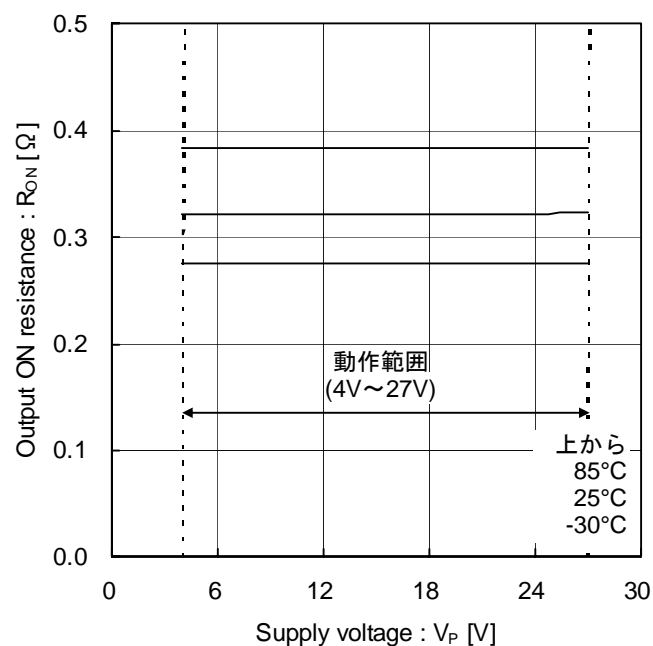


Figure 8. H ブリッジ出力下側 ON 抵抗
(V_P 依存性, $V_{CC}=3.3V$)

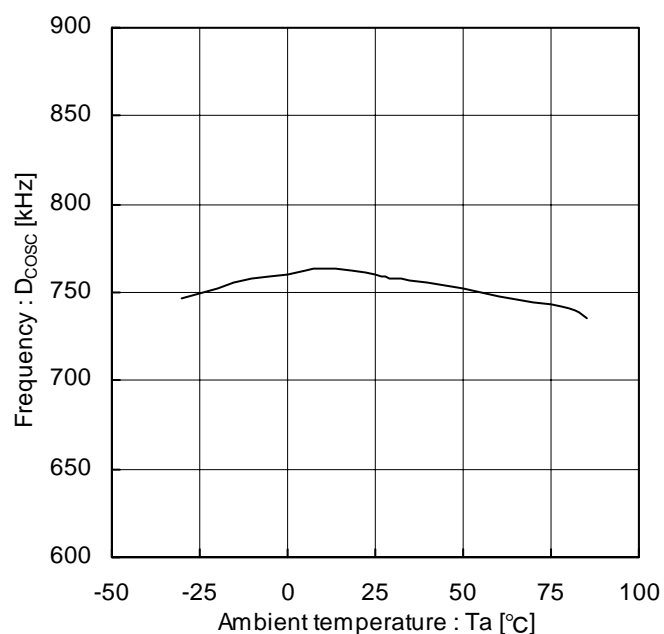


Figure 9. DC/DC 発振周波数
(温度依存性)

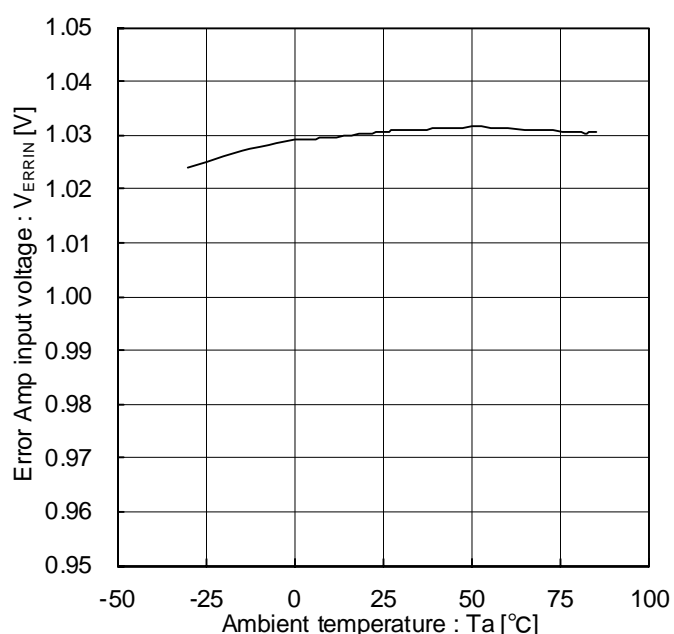


Figure 10. エラーアンプ基準電圧
(温度依存性)

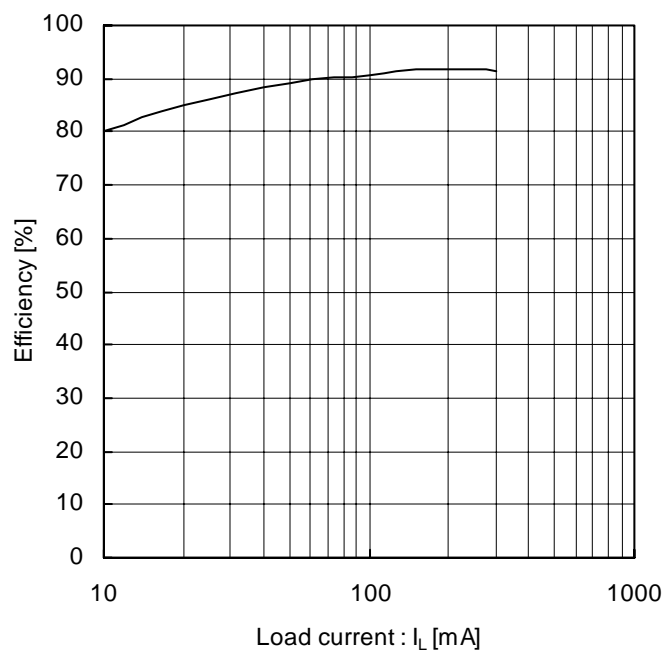


Figure 11. 電力変換効率
($V_{BAT}=6V$, $V_P=20V$)

●各ブロック動作説明

(1) リセットについて

モード	PS 端子	CLCANCEL	cl	STATE 端子 (STATESEL=3'd0)	SWO 出力	Hブリッジ 出力
スタンバイモード	L	0 (リセット)	1	L	HiZ	HiZ
回路起動昇圧スタート	H (ic=1 後)	0	1	L	通常動作	通常動作
昇圧完了時	H	0	1	H	通常動作	通常動作
UVLOVCC1 がかった場合 (シリアルデーターリセット)	H	0 (リセット)	1	L	HiZ	HiZ
UVLOVCC2 or TSD が かった場合	H	0	1	L	HiZ	HiZ
SWO 電流カレントリミット	H	0	0	L	HiZ にラッチ	HiZ にラッチ
STATE 端子出力 cl 無効	H	1	1(セット)	H	通常動作 or ※8	通常動作

※ UVLOVCC2、TSD の復帰は、VP 電圧設定用 DAC 出力が 0V からソフトスタート動作します。

※ CLCANCEL=1'b0 でカレントリミットが 3 回連続でかかった場合 SWO 出力、H ブリッジ出力をとめます。

カレントリミットの復帰は、PS 端子のリセットになります(Figure 12 参照)。

※8 SWO 出力オンで SWO 出力電流をセンスし、カレントリミット値以上で SWO 出力を HiZ にします。CLCANCEL=1'b1 での動作は Figure 13 になります。

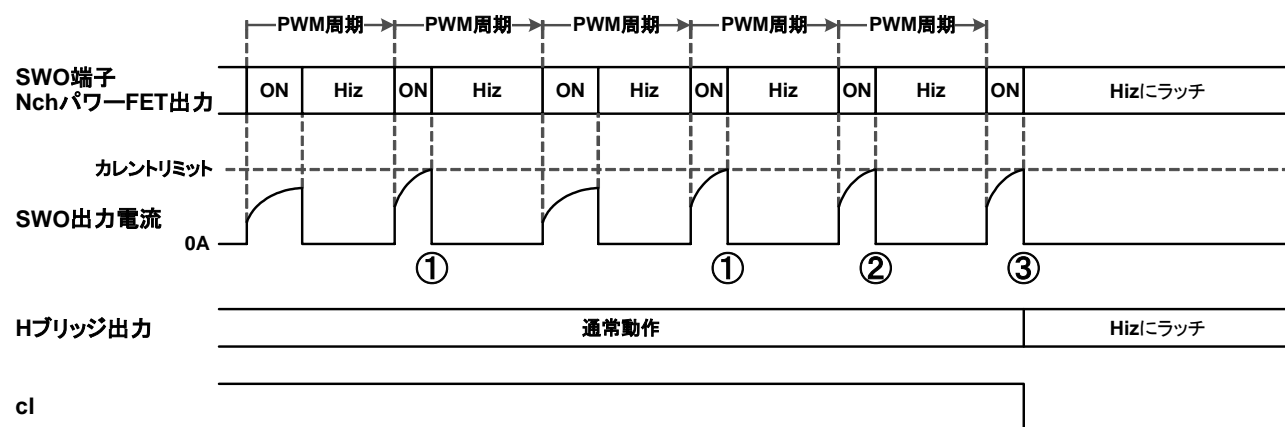


Figure 12. SWO 出力電流カレントリミット タイミングチャート

CLCANCEL=1'd0 cl 有効 3 回連続でカレントリミットがかかった場合 SWO と H ブリッジを HiZ にラッチします。

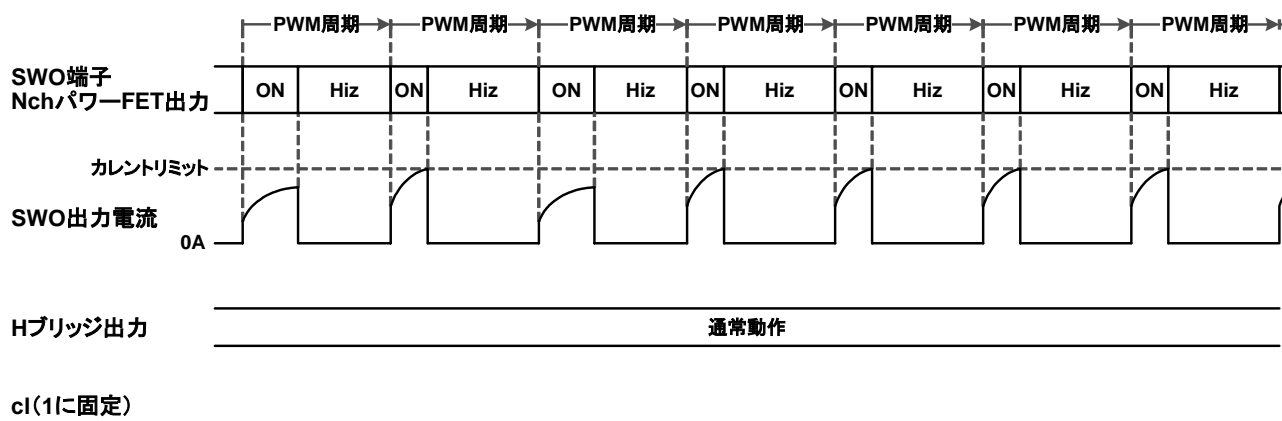


Figure 13. SWO 出力電流カレントリミット タイミングチャート

CLCANCEL=1'd1 cl 無効

(2) ロジック出力設定 STATE 端子出力電圧設定

LSET	STATE 端子出力
0	0⇔1.8V 出力
1	0⇔V _{CC} 出力

(3) STATE 端子出力内部信号選択について

STATESEL =3'd	信号名	機能名
0	ic & Power Good & uvlovcc2 & tsd & (cl CLCANCEL)	ic、Power Good、uvlovcc2、tsd、(cl CLCANCEL)の信号で一つでも 0(スタンバイ or 異常動作)の論理の場合に Lo を出力します。
1	S_POWERGOOD & S_UVLOVCC2 & S_TSD & S_(cl CLCANCEL)	S_POWERGOOD、S_UVLOVCC2、S_TSD、S_(cl CLCANCEL)の信号で一つでも 0(スタンバイ or 異常動作)の論理の場合に Lo を出力します。
2	ic	回路通常動作信号(スタンバイ時 Lo 出力)
3	S_POWERGOOD	ラッチ用パワーグッド信号(オリジナル信号は Power Good)
4	S_UVLOVCC2	ラッチ用 VCCUVLO2 信号(オリジナル信号は uvlovcc2) (UVLO 動作時 Lo 出力)
5	-	-
6	S_TSD	ラッチ用サーマルシャットダウン信号(オリジナル信号は tsd) (サーマルシャットダウン動作時 Lo 出力)
7	S_(cl CLCANCEL)	ラッチ用カレントリミット信号(オリジナル信号は(cl CLCANCEL)

※ &は and 論理、|は or 論理です。

(4) STATE 端子出力設定

モード	PS 端子	STATE SET	S_POWER GOOD & S_UVLOVCC2 & S_TSD & S_(cl CLCANCEL)	S_POWER GOOD	S_UVLOVCC 2	S_TSD	S_(cl CLCANCEL)
			STATESEL =3'd1	STATESEL =3'd3	STATESEL =3'd4	STATESEL =3'd6	STATESEL =3'd7
スタンバイモード	L	0	L (リセット)	L (リセット)	L (リセット)	L (リセット)	L (リセット)
V _{CC} <V _{UVLO1VCC} の場合	H	0	L (リセット)	L (リセット)	L (リセット)	L (リセット)	L (リセット)
回路起動昇圧スタート	H (ic=1 後)	0	L	L	H	H	H
昇圧完了時	H	0	L→H	L→H	H	H	H
昇圧電圧<(設定値が 70%) の場合	H	0	H→L (ラッチ)	H→L (ラッチ)	H (固定)	H (固定)	H (固定)
V _{UVLO1VCC} <V _{CC} <V _{UVLO2VCC} の場合	H	0	H→L (ラッチ)	H (固定)	H→L (ラッチ)	H (固定)	H (固定)
TSD 動作の場合	H	0	H→L (ラッチ)	H (固定)	H (固定)	H→L (ラッチ)	H (固定)
CLCANCEL=1'b0 かつ カレントリミット動作の 場合	H	0	H→L (ラッチ)	H (固定)	H (固定)	H (固定)	H→L (ラッチ)
STATESET=1'b1 の場合	H	1	H (セット)	H (セット)	H (セット)	H (セット)	H (セット)

※ STATE 端子の立下りエッジ時に S_POWERGOOD、S_UVLOVCC2、S_TSD、S_(cl | CLCANCEL)で初めに 1→0 に変化した信号をラッチし、他の信号は 1 に固定します。

※ VPSET[3:0]変更時の STATE 端子の立ち下がりエッジは無視される設定です。

(5) 動作タイミングチャート

項目	記号	最大	単位
$V_{CC} > V_{UVLO1VCC}$ かつ起動(PS=Lo→Hi)後 3線シリアル通信までの時間	T_{EN}	100	μs
起動(PS=Lo→Hi)し $V_{CC} > V_{UVLO2VCC}$ かつ TSD 解除後 通常出力動作までの時間	T_{RETURN}	100	μs

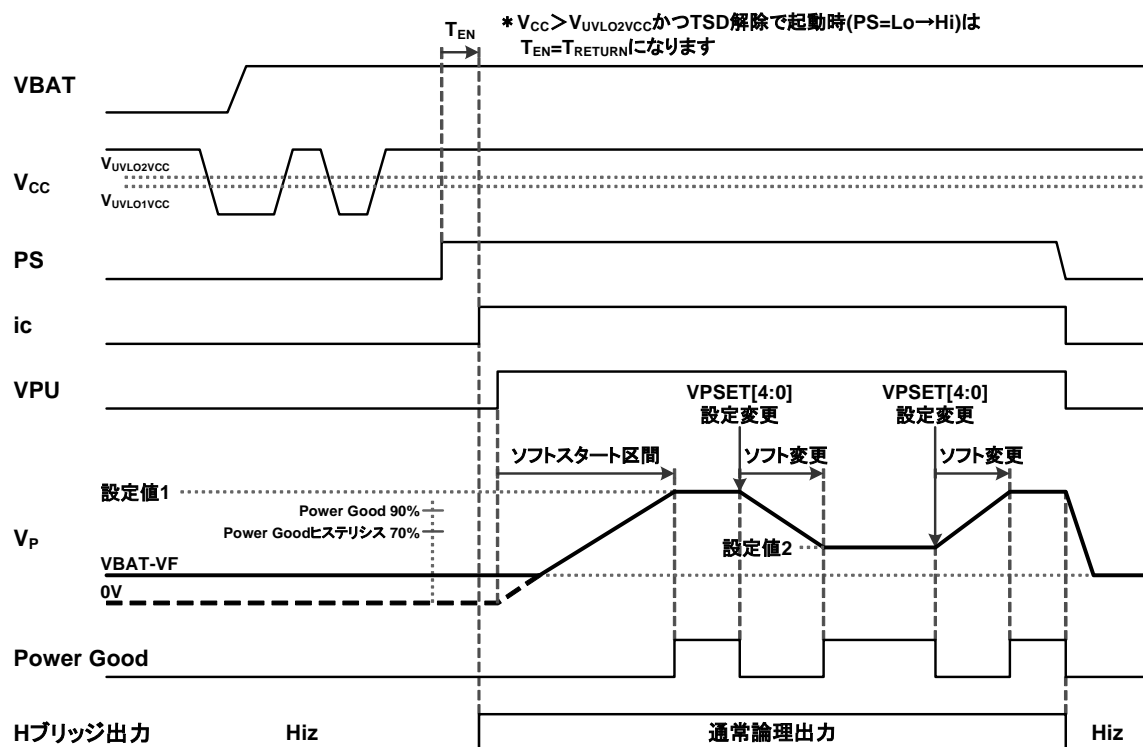


Figure 14. 起動及びSTOPシーケンス

※ ソフトスタート及びソフト変更期間は Power Good=1'b0(固定)になります。

ソフトスタート及びソフト変更後は、設定値に対して 90%で Power Good=1'b1 ヒステリシスつきで 70%で Power Good=1'b0 です。

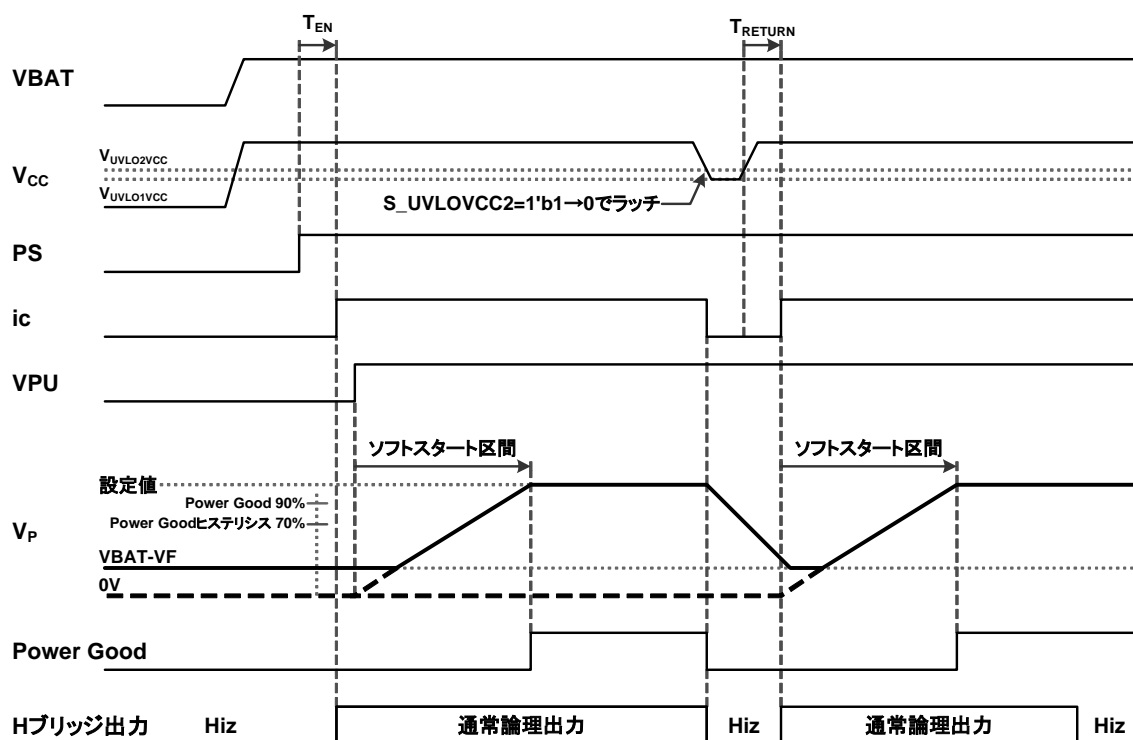


Figure 15. UVLOVCC2 (or TSD)動作及び解除シーケンス

(6) AMPOUT 端子過電圧保護回路について

1. AMPOUT 電圧モニターし 1.8V 以上になった場合、A 級アンプの出力 Pch.CMOS(M1)を OFF させ VCC 電源からのエネルギー供給を止めます。
2. I の定電流は動作しているため、高くなっている AMPOUT 電圧を GND 方向に下げます。
3. AMPOUT 電圧が 1.8V(typ.)以下になったら復帰します。

AMPOVP	AMPOUT1.8V 過電圧保護機能
0	OFF (デフォルト)
1	ON

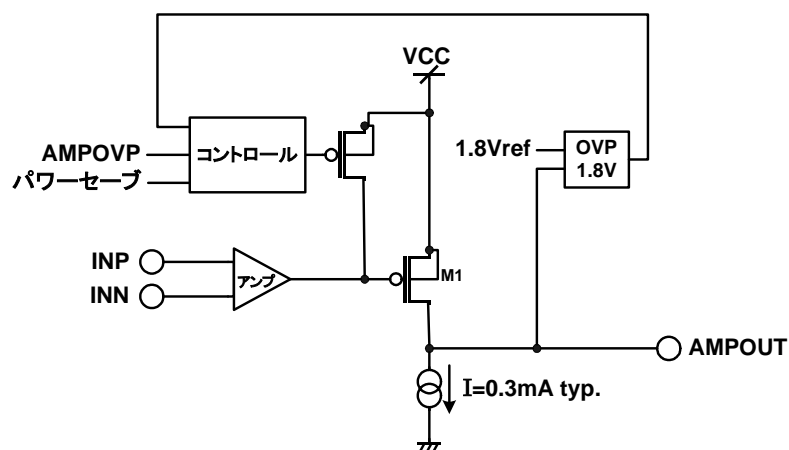


Figure 16. AMP 部の過電圧保護周辺回路

(7) アンプ未使用時の処理について

INN 端子= AMPOUT 端子、INP 端子=GND に接続してください。

●電源機能説明

(1)昇圧電源電圧設定

VPSET=5'd	VP 電圧設定	VPSET=5'd	VP 電圧設定	VPSET=5'd	VP 電圧設定	VPSET=5'd	VP 電圧設定
-	V	-	V	-	V	-	V
0	SWO HiZ 出力設定	8	設定禁止	16	16	24	24
1	設定禁止	9		17	17	25	25
2		10		18	18	26	設定禁止
3		11		19	19	27	
4		12		20	20	28	
5		13		21	21	29	
6		14	14	22	22	30	
7		15	15	23	23	31	

※ Figure 1 のアプリケーションの場合、VPU=1'b0 では $V_P=V_{BAT}-V_F$ 出力になります。

(2)ソフトスタート/ソフト変更について

SSSET=4'd	ソフトスタート/ソフト変更設定	SSSET=4'd	ソフトスタート/ソフト変更設定
-	ms/25V	-	ms/25V
0	5.33(デフォルト)	8	8.53
1	1.07	9	9.60
2	2.13	10	10.67
3	3.20	11	11.73
4	4.27	12	12.80
5	5.33	13	13.87
6	6.40	14	14.93
7	7.47	15	16.00

※ VPSET[4:0]=5'd25 (25V)設定時の昇圧スタートからソフトスタート完了までの typ.の時間です。

例 VPSET[4:0]=5'd14 (=14V 設定)、SSSET[3:0]=4'd5 (=5.33ms/25V 設定)の場合
 (ソフトスタート時間) = (VPSET 設定[V]) × (SSSET 設定[ms/25V]) / 25[V]
 = 14[V] × 5.33[ms/25V] / 25[V]
 = 2.98ms

(3) SWO スイッチングスピード可変機能について

※ 効率と VCC 電源へのノイズを考慮し、PON と NON[1:0]のデフォルトを設定しています。

PON=1'b	VCC 側 スイッチングスピード可変機能	備考
0	P2 動作	デフォルト設定
1	P3 動作	SWO が ON 時のノイズをより軽減させたい場合に使用してください。

NON=2'b	PGND 側 スイッチングスピード可変機能	備考
00	N1 動作	デフォルト設定
01	N2 動作	SWO が OFF 時のノイズをより軽減させたい場合に使用してください。
1x	N3 動作	SWO が OFF 時のノイズをより軽減させたい場合に使用してください。

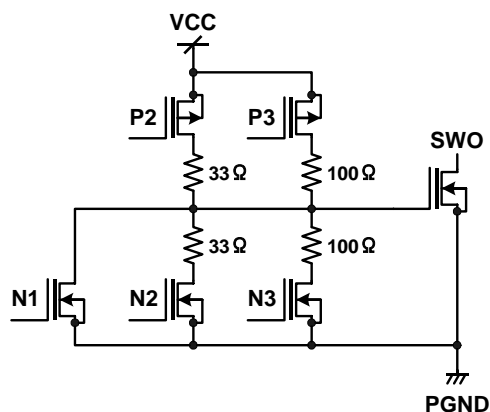


Figure 17. SWO周辺回路図

(4) パワーグッドフィルタについて

パワーグッドフィルタは V_P が設定の 70%(typ.)以下で動作し、復帰は 90%(typ.)以上でフィルタをリセットします。
 V_P が設定の 70%以下になり、復帰に 5.3ms(typ.)以上かかった場合 Power Good が Hi→Lo を出力します。
※ PGFIL=1'b0(デフォルト)でパワーグッドフィルタ機能有効。PGFIL=1'b1 で無効です。

条件 Ta=25°C, VCC=3.3V

項目	設計値			単位
	最小	標準	最大	
パワーグッドフィルタ時間	4.2	5.3	6.4	ms

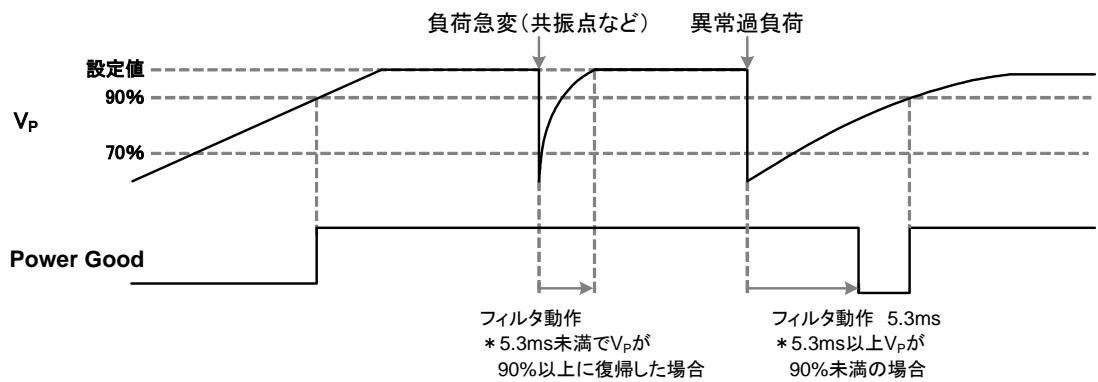


Figure 18. パワーグッドフィルタ タイミングチャート
PGFIL=1'b0 (デフォルト) 設定時

(5) 過電圧保護 (OVP 回路)

V_P が設定電圧(ソフトスタート、ソフト変更時は指令電圧設定値)の+15%(typ.)を超えると SWO 出力は HiZ になります。
また OVP 回路の検出スレッシュホールド電圧にはヒステリシスがあり、OVP 回路動作後 V_P が設定電圧よりも +10%(typ.)を下回ると OVP が解除され、SWO 端子のスイッチング動作が再開されます。
OVP 回路は、スタンバイモード、VPU=1'b0 では動作しません。

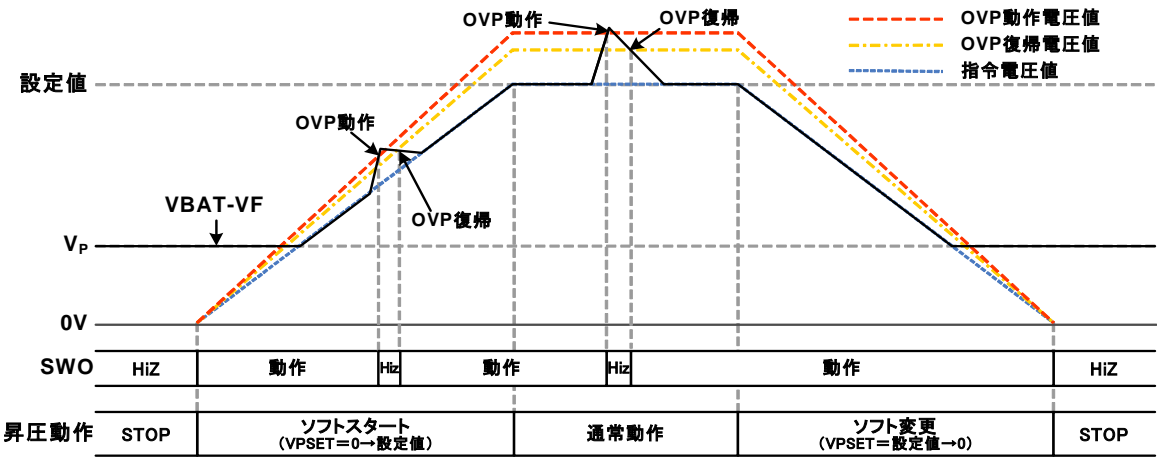


Figure 19. OVP動作タイミングチャート

●Hブリッジ機能説明

(1) Hブリッジ入出力真理値表

入力方式	INPUT				OUTPUT		
	PS※ ⁹	MODE	INA	INB	OUTA	OUTB	出力モード
EN/IN	H	0 (デフォルト)	L	X	L	L	ショートブレーキ
			H	L	H	L	正転
			H	H	L	H	逆転
IN/IN		1	L	L	Z	Z	オープン(デフォルト)
			H	L	H	L	正転
			L	H	L	H	逆転
			H	H	L	L	ショートブレーキ
-	L	X	X	X	Z	Z	オープン

L; Low, H; High, X; Don't care, Z; Hi impedance
※⁹ PS 端子入力論値 High; IC 動作状態、Low; IC スタンバイ状態

(2) 出力スイッチング速度について

条件 Ta=25℃, V_{CC}=3.3V, V_P=20V, 負荷=100Ω 単位:ns

TR	Turn On 時間 (T _{ON})	Turn Off 時間 (T _{OFF})	Rise Time (T _R)	Fall Time (T _F)	Dead Time (Dead Time)
1'h0	300	50	350	20	80
1'h1	150	50	50	20	70

※ Dead Time は、内部のタイマーで生成しています。
※ Rise Time 及び Fall Time は、Hブリッジ前段のブリドライブの能力で決まります。

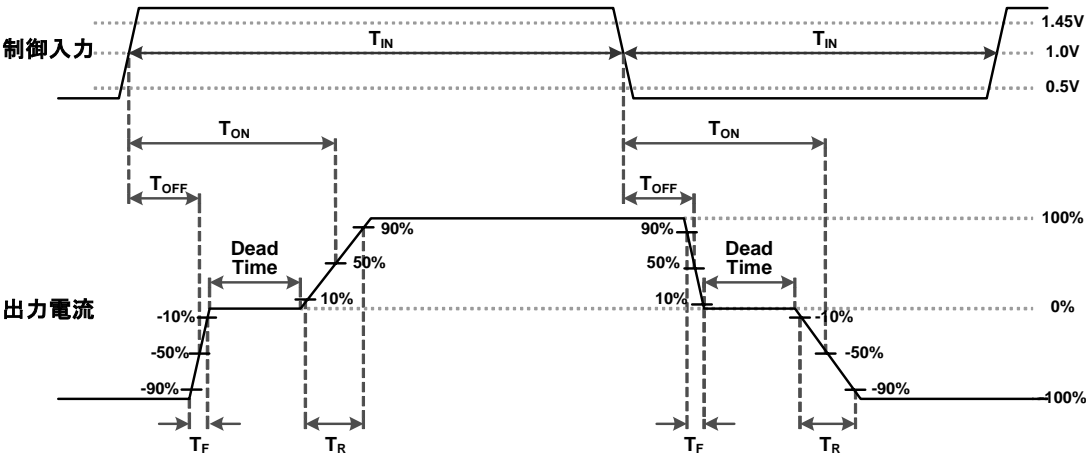


Figure 20. 入出力 AC 特性定義

●3 線シリアル機能説明

(1) 3 線シリアル通信仕様

モード	PS	SEN	SCLK	SDATA
スタンバイ モード	Lo	Input disable	Input disable	Input disable
通信無効 モード	Hi	Hi	Input disable	Input disable
Write モード	Hi	Lo	立ち上がりエッジで SDATA データラッチ	データラッチ

※ $V_{CC} > V_{UVLO1VCC}$ かつ起動 (PS=Lo→Hi) 後 3 線シリアル通信までの時間(T_{EN})は、SCLK=Lo を入力してください。

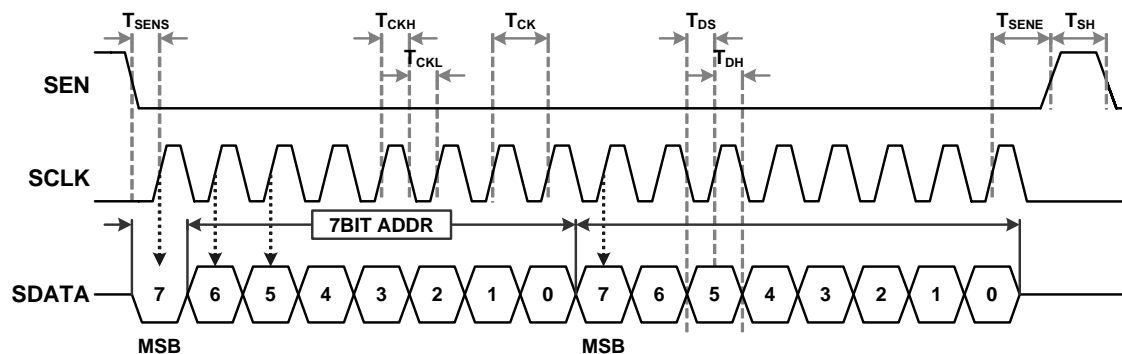


Figure 21. 3 線シリアル通信

項目	記号	最小	単位
SCLK 周期	T_{CK}	200	ns
SCLK ハイパルス幅	T_{CKH}	80	ns
SCLK ローパルス幅	T_{CKL}	80	ns
SEN START セットアップ時間	T_{SENS}	120	ns
SEN END セットアップ時間	T_{SENE}	120	ns
STROBE ハイ 時間	T_{SH}	300	ns
DATA セットアップ時間(SCLK 立下りから立上りまでの DATA)	T_{DS}	80	ns
DATA ホールド時間(SCLK 立上りから立下りまでの DATA)	T_{DH}	80	ns

(2) レジスタマップ

アドレス	W6	W5	W4	W3	W2	W1	W0	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	0	0	STATE SET	STATE SEL[2]	STATE SEL[1]	STATE SEL[0]	CLCANCEL	MODE	LSET	VPU
1	0	0	0	0	0	0	1	PON	NON[1]	NON[0]	VPSET[4]	VPSET[3]	VPSET[2]	VPSET[1]	VPSET[0]
2	0	0	0	0	0	1	0	AMPOVP	TEST	TR	TEST	SSSET[3]	SSSET[2]	SSSET[1]	SSSET[0]
3	0	0	0	0	0	1	1	TEST	TEST	TEST	TEST	TEST	TEST	TEST	TEST
4	0	0	0	0	1	0	0	TEST	TEST	TEST	TEST	TEST	TEST	TEST	TEST
5	0	0	0	0	1	0	1	TEST	TEST	PGFIL_	TEST	TEST	TEST	TEST	TEST

※ レジスタのデフォルト値はすべて 0 になります。

スタンバイ状態 (PS=Lo) または $V_{CC} < V_{UVLO1VCC}$ でデータはデフォルト値にリセットされすべてのビットが 0 になります。

※ TEST_Bit 及びアドレス 0~2 以外にはいかなる時も 0(デフォルト)を入力してください。

(3) シリアルレジスタ アドレス別用途表

アドレス	用途
0	昇圧スタート信号、ロジック出力電圧設定、Hブリッジ出力論理設定、STATE 端子出力 cI 無効信号、STATE 端子出力内部信号選択、STATE 端子出力セット信号
1	昇圧回路電圧設定、SWO スイッチングスピード設定
2	ソフトスタート/ソフト変更設定、AMPOUT 過電圧保護イネーブル、スルーレートコントロール設定
3	TEST
4	TEST
5	パワーグッドフィルタ イネーブル信号

(4) シリアルレジスタビット機能表

端子名	機能	端子名	機能
VPU	昇圧スタート信号	LSET	ロジック出力電圧設定
MODE	Hブリッジ出力論理設定	CLCANCEL	STATE 端子出力 cI 無効信号
STATESEL[2:0]	STATE 端子出力内部信号選択	STATESET	STATE 端子出力セット信号
VPSET[4:0]	昇圧回路電圧設定	PON、NON[1:0]	SWO スイッチングスピード設定
SSSET[3:0]	ソフトスタート/ソフト変更設定	TR	スルーレートコントロール設定
AMPOVP	AMPOUT 過電圧保護イネーブル	PGFIL_	パワーグッドフィルタ イネーブル信号
TEST	テスト用データ	-	-

●熱損失について

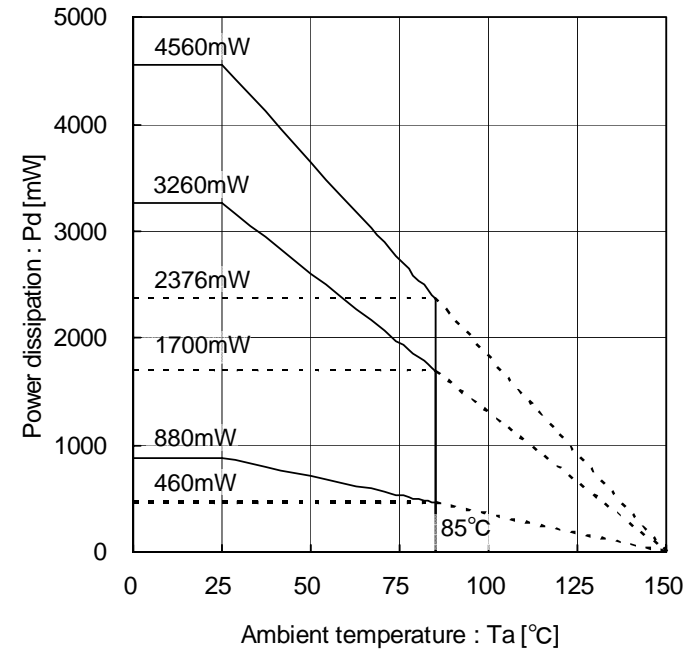


Figure 22. パッケージ熱軽減曲線

●入出力等価回路図

PS	SCLK, SDATA, SEN, INA, INB	STATE
SWO, PGND	ERRIN, ERROUT	VP, OUTA, OUTB, PGND
INP, INN	AMPOUT	VCC, N.C., GND

Figure 23. 入出力回路図

●使用上の注意

- 1) 絶対最大定格について
印加電圧及び動作温度範囲などの絶対最大定格を越えた場合、破壊する恐れがあります。その場合ショート、もしくはオープンなどの破壊モードが特定できませんので、絶対最大定格を越えるような特殊モードが想定される場合には、ヒューズなどの物理的な安全対策を施すようお願い致します。
- 2) 電源端子及び電源配線について
VP 用電源端子 VP と制御ロジック及びアナログ回路の小信号系電源端子 VCC とは IC 内部では相互の結線はされておりませんのでそれぞれ異なった電圧で駆動することが可能です。電源端子はオープンにせず必ず IC 外部で接続してください。逆起電力により回生した電流の戻りが生じるため、回生電流の経路として電源-グランド間にコンデンサを入れるなどの対策を施し、電解コンデンサの低温における容量値低下などの諸特性に問題のないことを十分ご確認のうえ決定してください。なお接続されている電源が十分な電流吸収能力を持たない場合、回生電流によって電源ラインの電圧が上昇し、本製品及びその周辺回路を含め絶対最大定格を越える恐れがあります。よって電圧クランプ用のツェナーダイオードを電源-グランド間に入れるなどの物理的な安全対策を施すようお願い致します。本 IC の電源は 2 系統存在します。電源の投入順序、及び遅れにより瞬間的にラッシュ電流が流れる場合がありますので、電源カップリング容量や電源配線幅、及び引き回しにご注意ください。また IC 内部では CMOS 素子により構成している部分があります。電源投入時に内部論理は不定状態になりますので、ラッシュ電流が流れる場合があります。上記同様ご注意ください。
- 3) グランド端子及びグランド配線について
GND 端子の電位はいかなる動作状態においても最低電位になるようにしてください。また実際に過渡現象を含め GND 以下の電圧になっている端子がないかご確認ください。モータグランド端子 PGND、小信号グランド端子 GND は IC 内部では相互結線されておりません。大電流 PGND パターンと小信号 GND パターンとは分離し、パターン配線抵抗と大電流による電圧変動が小信号 GND 電圧を変動させないようにセットの基準点で 1 点アースすることを推奨します。また外付け部品のグランド配線パターンも電圧変動しないようご注意ください。電源・グランド配線は太く短くして低インピーダンス化してください。
- 4) 熱設計について
実際の使用状態での許容損失を考慮、十分マージンを持った熱設計を行ってください。
- 5) 強電磁界中の動作について
強電磁界中でのご使用では誤動作をする可能性がありますのでご注意ください。
- 6) ASO について
本 IC を使用する際にはモータへの出力トランジスタが絶対最大定格及び ASO を越えないよう設定してください。
- 7) 熱遮断回路(TSD 回路)について
本 IC は熱遮断回路(TSD 回路)を内蔵しており、接合部温度(T_{jmax})が下記の温度になるとモータへの出力トランジスタをオープン状態にします。熱遮断回路はあくまでも熱的暴走から IC を遮断することを目的とした回路であり、IC の保護及び保証を目的とはしておりません。よってこの回路を動作させて以降の連続使用及び動作をご使用の前提とししないでください。

TSD ON 温度[°C] (typ.)	ヒステリシス温度[°C] (typ.)
175	20

- 8) 低電圧誤動作防止回路 (UVLO 回路)、熱遮断回路 (TSD 回路) 解除後の復帰について
UVLO、TSD が解除された場合、最大 100 μ s 後通常動作になります。
- 9) VBAT 外部電源について
本 IC には VBAT 端子がなく、VBAT 外部電源が VP 動作電圧の min 4V より低い場合も動作します。VBAT 外部電源が低く VP 設定電圧が高いもしくは負荷が大きい時、SWO 端子に過電流が流れる恐れがありカレントリミット、TSD 等の動作になる場合があるためご注意ください。また昇圧動作時に VBAT 外部電源が変化した場合(VBAT=HiZ になるなど)には、ソフトスタート/ソフト変更はかからずに VP 設定電圧に昇圧するため SWO 端子に過電流が流れる恐れがあります。VBAT 外部電源が変化する場合は PS=0V や VPU=1'b0 で昇圧を STOP し、VBAT 電源が安定してからソフトスタート機能を使用し昇圧してください。
- 10) N.C.ピンについて
N.C.ピンは必ずオープンにしてご使用ください。

11) ご使用に際して

応用回路例は推奨すべきものと確信しておりますが、精度が要求される部分などのご使用にあたってはさらに特性のご確認を十分に願います。 外付け回路定数を決定及び変更する時は、静特性のみならず過渡特性も含め外付け部品及び当社 IC のバラツキなどを考慮して十分なマージンを確保してください。

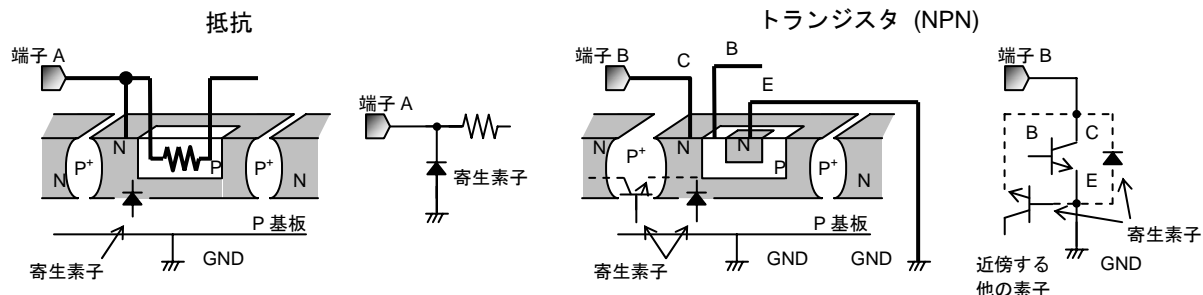


Figure 24. IC の簡易構造例

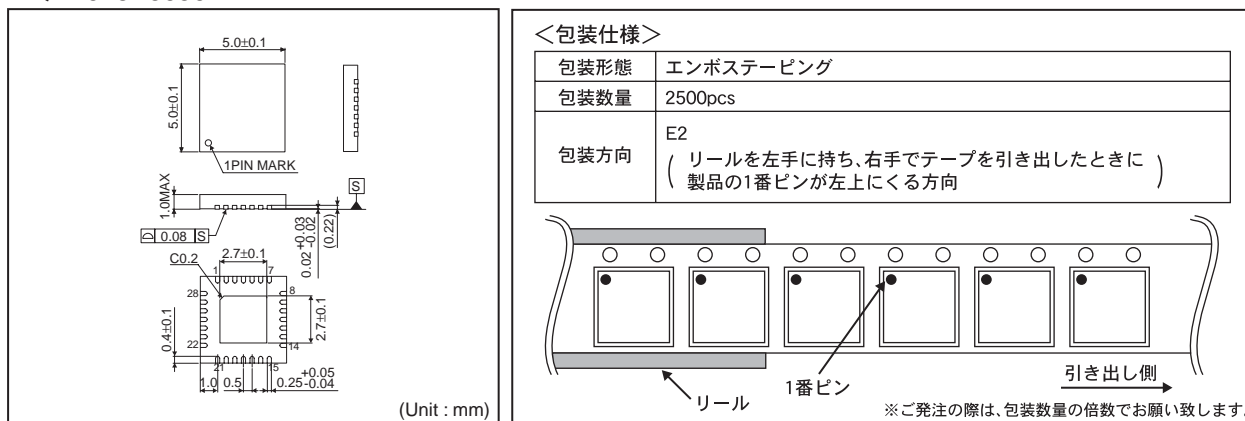
この文書の取り扱いに対して

この文書の日本語版が、正式な仕様書です。この文書の翻訳版は、正式な仕様書を読むための参考としてください。

なお、相違が生じた場合は、正式な仕様書を優先してください。

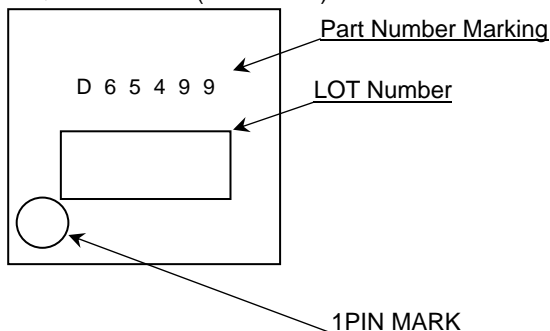
●外形寸法図と包装・フォーミング仕様

VQFN028V5050



●標印図

VQFN028V5050 (TOP VIEW)



●改訂記録

Date	Revision	Changes
3.Aug.2012	001	New Release

ご注意

ローム製品取扱い上の注意事項

1. 本製品は一般的な電子機器（AV 機器、OA 機器、通信機器、家電製品、アミューズメント機器等）への使用を意図して設計・製造されております。従いまして、極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険若しくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器^(Note 1)、輸送機器、交通機器、航空宇宙機器、原子力制御装置、燃料制御、カーアクセサリを含む車載機器、各種安全装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

2. 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、かかる誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
3. 本製品は、一般的な電子機器に標準的な用途で使用されることを意図して設計・製造されており、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。従いまして、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂ 等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合。
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用。
 - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用された場合も、残渣の洗浄は確実にを行うことをお勧め致します)、又ははんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合。
 - ⑧本製品が結露するような場所でのご使用。
4. 本製品は耐放射線設計はなされておられません。
5. 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
6. パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
7. 許容損失(Pd)は周囲温度(Ta)に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、ディレーティングカーブ範囲内であることをご確認ください。
8. 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
9. 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

1. ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
2. はんだ付けはリフローはんだを原則とさせていただきます。なお、フロー方法でのご使用につきましては別途ロームまでお問い合わせください。
詳細な実装及び基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。従いまして、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施の上、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。(人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等)

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
 - ①潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ②推奨温度、湿度以外での保管
 - ③直射日光や結露する場所での保管
 - ④強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認した上でご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行った上でご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルに QR コードが印字されていますが、QR コードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は外国為替及び外国貿易法に定める規制貨物等に該当するおそれがありますので輸出する場合には、ロームにお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。従いまして、上記第三者の知的財産権侵害の責任、及び本製品の使用により発生するその他の責任に関し、ロームは一切その責任を負いません。
2. ロームは、本製品又は本資料に記載された情報について、ローム若しくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社若しくは第三者の商標又は登録商標です。

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。