

# CD・DVD・BD プレーヤ用 システムモータドライバシリーズ カーAV 用 9ch システムモータドライバ

## BD8256EFV-M

### ● 概要

BD8256EFV-M はスピンドル用三相ブラシレスモータ、送りモータ(2ch)、アクチュエータ用コイル(3ch)、及びローディングモータ駆動用に開発されたシステムモータドライバです。球面収差ドライバ用に LVDS 方式の出力(2ch)も内蔵しているので、Blu-ray ドライブを構成する合計 9ch のモータとコイルを駆動することが可能です。

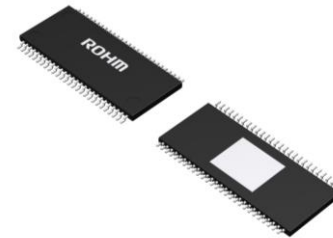
Serial Peripheral Interface (SPI) を内蔵し、マイコンから 3 線信号を受け取ることで、すべてのドライバに入力することが可能です。

### ● 重要特性

- R<sub>ON</sub> (スピンドル部) 1.0 Ω (Typ)
- R<sub>ON</sub> (ローディング部) 1.5 Ω (Typ)
- ドライバ電源電圧範囲 4.5 V ~ 10.5 V

### ● パッケージ

- HTSSOP-B54 W(Typ) D(Typ) H(Max)  
18.50mm × 9.50mm × 1.00mm



HTSSOP-B54

### ● 特長

- Serial Peripheral Interface (SPI) 内蔵
- 180° PWM 駆動方式の採用により高効率ドライブが可能(スピンドル用ドライバ)
- 送りモータ用に 2ch のドライバを内蔵しており、ステッピングモータ駆動に対応
- ローディング部天地絡保護回路内蔵
- アクチュエータ部過電流保護機能内蔵
- AEC-Q100 対応

### ● 用途

カーナビ、カーAV

### ● アプリケーション回路

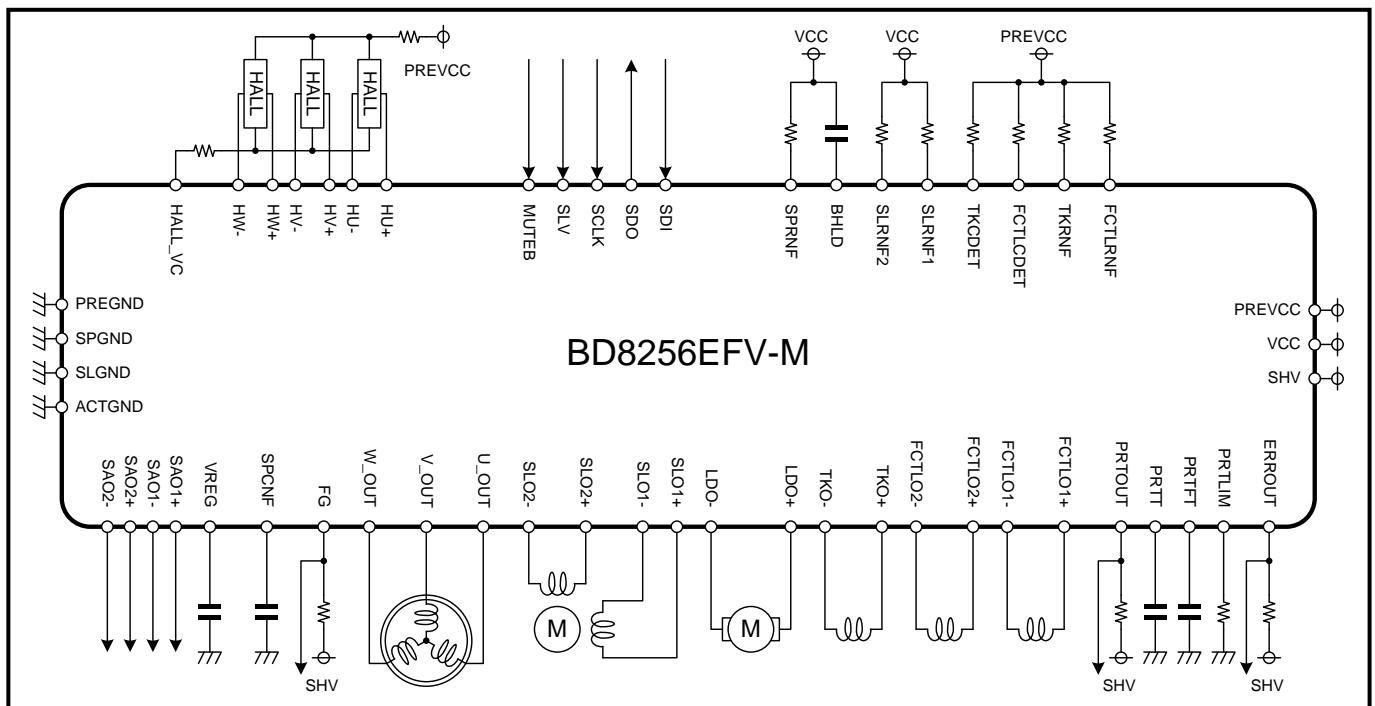


Figure 1. アプリケーション回路

○製品構造：シリコンモノリシック集積回路 ○耐放射線設計はしていません

● 端子配置図 (TOP VIEW)

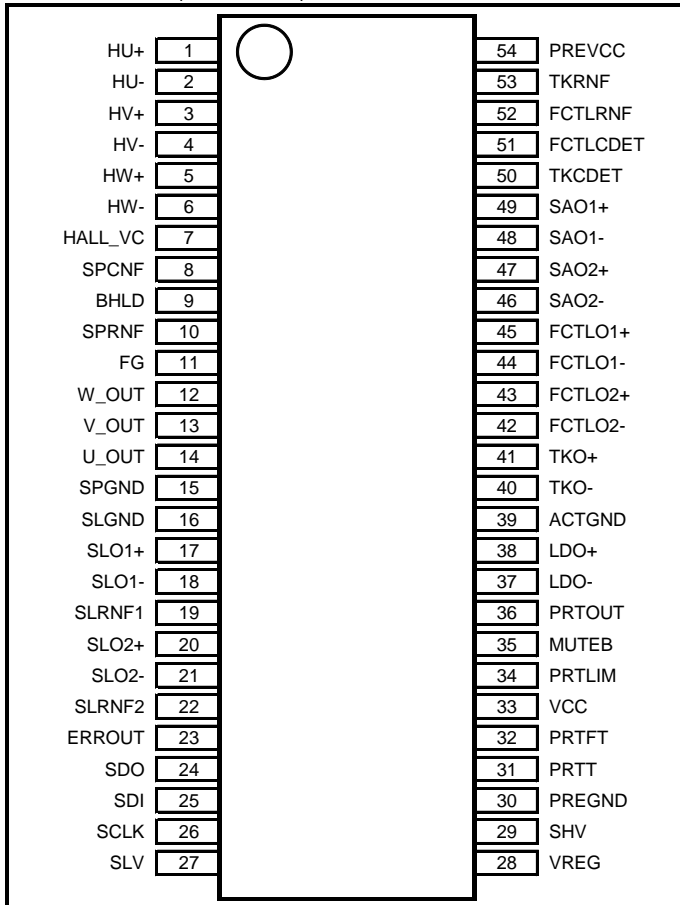


Figure 2. 端子配置図

● ブロック図

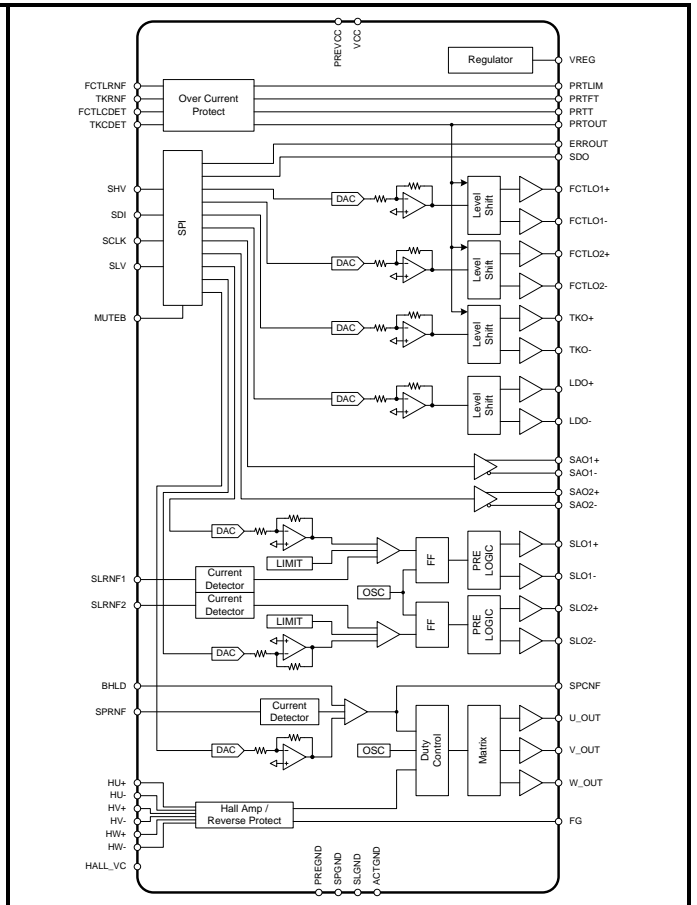


Figure 3. ブロック図

● 端子説明

No.	端子名	機能	No.	端子名	機能
1	HU+	ホール信号U+入力	28	VREG	SPI・DAC用内部レギュレータ出力
2	HU-	ホール信号U-入力	29	SHV	SDO出力部電源
3	HV+	ホール信号V+入力	30	PREGND	プリドライバ部GND
4	HV-	ホール信号V-入力	31	PRTT	トラッキング部保護機能 ON時間設定
5	HW+	ホール信号W+入力	32	PRTFT	フォーカス・チルト部保護機能 ON時間設定
6	HW-	ホール信号W-入力	33	VCC	プリドライバ・ローディングパワー部電源
7	HALL_VC	ホールバイアス	34	PRTLIM	過電流保護スレッシュホールド設定
8	SPCNF	スピンドルドライバフィルタ端子	35	MUTEB	ミュート入力
9	BHLD	スピンドル電流ボトムホールド用コンデンサ接続端子	36	PRTOUT	過電流保護信号出力
10	SPRNF	スピンドル部電源兼電流検出端子	37	LDO-	ローディングドライバ部 負出力
11	FG	FG出力	38	LDO+	ローディングドライバ部 正出力
12	W_OUT	スピンドルドライバW 相出力	39	ACTGND	アクチュエータ・ローディング部パワーGND
13	V_OUT	スピンドルドライバV 相出力	40	TKO-	トラッキングドライバ部 負出力
14	U_OUT	スピンドルドライバU 相出力	41	TKO+	トラッキングドライバ部 正出力
15	SPGND	スピンドル部パワーGND	42	FCTLO2-	フォーカス・チルトドライバ部2 負出力
16	SLGND	送りモータドライバ部パワーGND	43	FCTLO2+	フォーカス・チルトドライバ部2 正出力
17	SLO1+	送りモータドライバ部1 正出力	44	FCTLO1-	フォーカス・チルトドライバ部1 負出力
18	SLO1-	送りモータドライバ部1 負出力	45	FCTLO1+	フォーカス・チルトドライバ部1 正出力
19	SLRNF1	送りモータドライバ部1 電源兼電流検出端子	46	SAO2-	球面収差モータドライバ部2 LVDS負出力
20	SLO2+	送りモータドライバ部2 正出力	47	SAO2+	球面収差モータドライバ部2 LVDS正出力
21	SLO2-	送りモータドライバ部2 負出力	48	SAO1-	球面収差モータドライバ部1 LVDS負出力
22	SLRNF2	送りモータドライバ部2 電源兼電流検出端子	49	SAO1+	球面収差モータドライバ部1 LVDS正出力
23	ERROUT	保護信号/シリアルデータ通信エラー出力	50	TKCDET	トラッキングドライバ部 電流検出センス端子
24	SDO	シリアルデータ出力	51	FCTLCDET	フォーカス・チルトドライバ部 電流検出センス端子
25	SDI	シリアルデータ入力	52	FCTLRNF	フォーカス・チルトドライバ部 電源兼電流検出端子
26	SCLK	シリアルクロック入力	53	TKRNF	トラッキングドライバ部電源兼電流検出端子
27	SLV	シリアルスレーブ入力	54	PREVCC	プリドライバ部電源

## ● 絶対最大定格 (Ta = 25°C)

項目	記号	定格	単位
ブリ部電源電圧	V <sub>VCC</sub>	15	V
パワーMOS部電源電圧	V <sub>SPRNF</sub> , V <sub>SLRNF1</sub> , V <sub>SLRNF2</sub>	15	V
PWM制御部/BTL部電源電圧	V <sub>PREVCC</sub> , V <sub>TKRNF</sub> , V <sub>FCTLRNF</sub>	7	V
シリアル出力部電源	V <sub>SHV</sub>	7	V
入力端子電圧 1	V <sub>IN1</sub> <sup>(1)</sup>	15	V
入力端子電圧 2	V <sub>IN2</sub> <sup>(2)</sup>	7	V
出力端子電圧 1	V <sub>OUT1</sub> <sup>(3)</sup>	15	V
出力端子電圧 2	V <sub>OUT2</sub> <sup>(4)</sup>	7	V
許容損失	P <sub>d</sub>	2.0 <sup>(5)</sup>	W
動作温度範囲	T <sub>opr</sub>	-40 ~ +90	°C
保存温度範囲	T <sub>stg</sub>	-55 ~ +150	°C
接合部温度	T <sub>jmax</sub>	150	°C

(1) BHLD, SPCNF の各端子を示す。

(2) HU+, HU-, HV+, HV-, HW+, HW-, HALL\_VC, PRTFT, PRTT, SLV, SCLK, SDI, TKCDET, FCTLCDET, MUTE<sub>B</sub> の各端子を示す。

(3) FG, U\_OUT, V\_OUT, W\_OUT, SLO1+, SLO1-, SLO2+, SLO2-, ERROUT, PRTLIM, PRTOU, LDO+, LDO- の各端子を示す。

(4) SDO, VREG, FCTLO1+, FCTLO1-, FCTLO2+, FCTLO2-, TKO+, TKO-, SAO1+, SAO1-, SAO2+, SAO2- の各端子を示す。

(5) Ta = 25°C, PCB (70mm×70mm×1.6mm ガラスエポキシ 1層基板) 実装時。

Ta = 25°C 以上で使用する場合は、1°Cにつき 16mW を減じる。

**注意:** 印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施して頂けるようご検討をお願いします。

## ● 推奨動作範囲 (Ta = -40 ~ +90°C)

項目	記号	最小	標準	最大	単位
ブリ部/ローディングドライバ電源電圧 <sup>(6)</sup>	V <sub>VCC</sub>	4.5	8	10.5	V
スピンドルドライバパワー部電源電圧 <sup>(6)(7)</sup>	V <sub>SPRNF</sub>	-	V <sub>VCC</sub>	-	V
送りモータドライバパワー部電源電圧 <sup>(6)(7)</sup>	V <sub>SLRNF1</sub> , V <sub>SLRNF2</sub>	-	V <sub>VCC</sub>	-	V
ブリ部/PWM制御部電源電圧 <sup>(6)</sup>	V <sub>PREVCC</sub>	4.5	5	5.5	V
アクチュエータドライバパワー部電源電圧 <sup>(6)</sup>	V <sub>FCTLRNF</sub> , V <sub>TKRNF</sub>	4.5	5	V <sub>PREVCC</sub>	V
シリアル出力部電源 <sup>(6)</sup>	V <sub>SHV</sub>	3.0	3.3	3.6	V

(6) 電源電圧は許容損失を考慮のうえ、決定してください

(7) V<sub>SPRNF</sub>, V<sub>SLRNF1</sub>, V<sub>SLRNF2</sub> は V<sub>VCC</sub> と同じ電圧に設定してください

## ● 電気的特性

(特に指定のない限り Ta=25°C, V<sub>VCC</sub>=V<sub>SPRNF</sub>=V<sub>SLRNF1</sub>=V<sub>SLRNF2</sub>=8V, V<sub>PREVCC</sub>=V<sub>TKRNF</sub>=V<sub>FCTLRNF</sub>=5V, V<sub>SHV</sub>=3.3V, R<sub>SPRNF</sub>=0.33Ω, R<sub>SLRNF</sub>=0.56Ω)

項目	記号	規格値			単位	条件	
		最小	標準	最大			
回路電流	無入力時 PREVCC	I <sub>Q1</sub>	-	18	30	mA	MUTEB=High SPI=72h FE, 70h FE
	無入力時 VCC	I <sub>Q2</sub>	-	7	14	mA	
	スタンバイ時 PREVCC	I <sub>ST1</sub>	-	3	6	mA	MUTEB=Low
	スタンバイ時 VCC	I <sub>ST2</sub>	-	1	2	mA	
スピンドル ドライバ部	ホールバイアス電圧	V <sub>HB</sub>	0.45	0.9	1.35	V	IHB=10mA
	入力バイアス電流	I <sub>HIB</sub>	-	0.5	3	μA	
	入力レベル	V <sub>HIM</sub>	50	-	-	mVpp	
	同相入力電圧範囲	V <sub>HICM</sub>	1.5	-	3.8	V	
	入力不感帯幅 (片側)	V <sub>DZSP</sub>	0	10	40	mV	
	入出力ゲイン	gm <sub>SP</sub>	0.98	1.24	1.50	A/V	R <sub>SPRNF</sub> =0.33Ω, R <sub>L</sub> =2Ω
	出力 ON 抵抗 (上下の和)	R <sub>ONSP</sub>	-	1	1.8	Ω	IL=500mA
	出力リミット電流	I <sub>LIMSP</sub>	0.85	1.06	1.27	A	R <sub>SPRNF</sub> =0.33Ω
	PWM 周波数	f <sub>OSC</sub>	-	100	-	kHz	R <sub>L</sub> =2Ω
	FG 出力 Low レベル電圧	V <sub>FGL</sub>	-	0.1	0.3	V	33kΩ プルアップ(3.3V)
送りモータ ドライバ部	入力不感帯幅 (片側)	V <sub>DZSL</sub>	5	15	30	mV	
	入出力ゲイン	gm <sub>SL</sub>	0.84	1.10	1.36	A/V	R <sub>SLRNF1,2</sub> =0.56Ω, R <sub>L</sub> =8Ω
	出力 ON 抵抗 (上下の和)	R <sub>ONSL</sub>	-	2.2	3.3	Ω	IL=500mA
	出力リミット電流	I <sub>LIMSL</sub>	0.79	0.93	1.07	A	R <sub>SLRNF1,2</sub> =0.56Ω
	PWM 周波数	f <sub>OSC</sub>	-	100	-	kHz	R <sub>L</sub> =8Ω
アクチュエータ ドライバ部	出力オフセット電圧	V <sub>OFACT</sub>	-50	0	50	mV	Low ゲインモード, R <sub>L</sub> =8Ω
	出力 ON 抵抗 (上下の和)	R <sub>ONACT</sub>	-	1.5	2.0	Ω	IL=500mA
	電圧利得 1	G <sub>VACT1</sub>	10.5	11.7	12.9	dB	Low ゲインモード, R <sub>L</sub> =8Ω
	電圧利得 2	G <sub>VACT2</sub>	16.4	17.7	18.9	dB	High ゲインモード, R <sub>L</sub> =8Ω
ローディング ドライバ部	出力オフセット電圧	V <sub>OFLD</sub>	-100	0	100	mV	Low ゲインモード, R <sub>L</sub> =8Ω
	出力 ON 抵抗 (上下の和)	R <sub>ONLD</sub>	-	1.5	2.5	Ω	IL=500mA
	電圧利得 1	G <sub>VLD1</sub>	15.2	17.2	19.2	dB	Low ゲインモード, R <sub>L</sub> =8Ω
	電圧利得 2	G <sub>VLD2</sub>	16.7	18.7	20.7	dB	High ゲインモード, R <sub>L</sub> =8Ω
アクチュエータ 保護回路部	PRTT/PRTF デフォルト電圧	V <sub>PRTREF</sub>	1.00	1.06	1.12	V	
	PRTT/PRTF 保護検知電圧	V <sub>PRTDET</sub>	2.77	2.95	3.13	V	
	PRTLIM 電圧	V <sub>PRTLIM</sub>	500	530	560	mV	
	検出アンプ入力オフセット電圧	V <sub>OFDET</sub>	-5	0	5	mV	
保護信号出力部	PRTOUT Low レベル出力電圧	V <sub>OL1</sub>	-	0.1	0.3	V	33kΩ プルアップ(3.3V)
	ERRROUT Low レベル出力電圧	V <sub>OL2</sub>	-	0.1	0.3	V	33kΩ プルアップ(3.3V)
ロジック入力 (SDI,SCLK, SLV,MUTEB)	Low レベル入力電圧	V <sub>INL</sub>	-	-	0.5	V	
	High レベル入力電圧	V <sub>INH</sub>	2.2	-	-	V	
	High レベル流入電流 (SDI,SCLK,MUTEB)	I <sub>INH</sub>	-	33	66	μA	SDI,SCLK,MUTEB=3.3V
	Low レベル流入電流 (SLV)	I <sub>INL</sub>	-60	-30	-	μA	SLV=0V
Function	VCC 降下時ミュート電圧	V <sub>MVCC</sub>	3.4	3.8	4.2	V	
LVDS 出力	差動出力電圧	V <sub>OD</sub>	250	-	950	mV	R <sub>L</sub> =100Ω
	オフセット電圧	V <sub>OC</sub>	0.95	1.25	1.55	V	R <sub>L</sub> =100Ω
TSD 部	TSD 動作温度 <sup>(1)</sup>	T <sub>TSD</sub>	150	175	200	°C	
	TSD ヒステリシス温度 <sup>(1)</sup>	T <sub>HYS</sub>	-	25	-	°C	

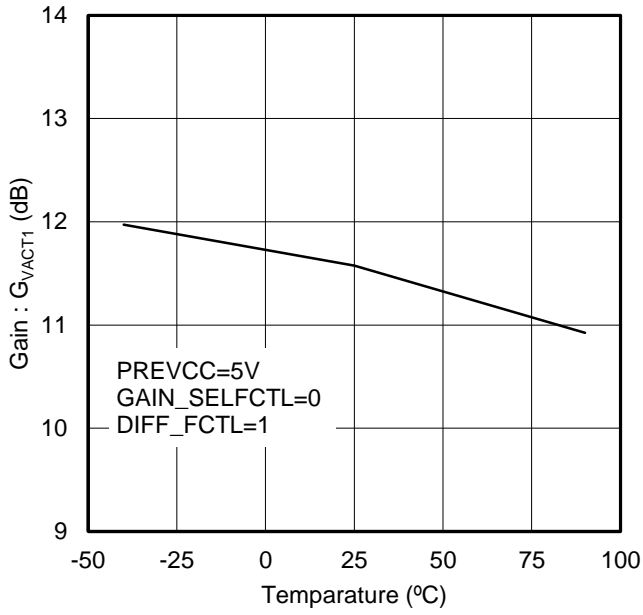
(1) 設計保証項目であり、出荷時の全数測定は実施していません。

## ● 電気的特性

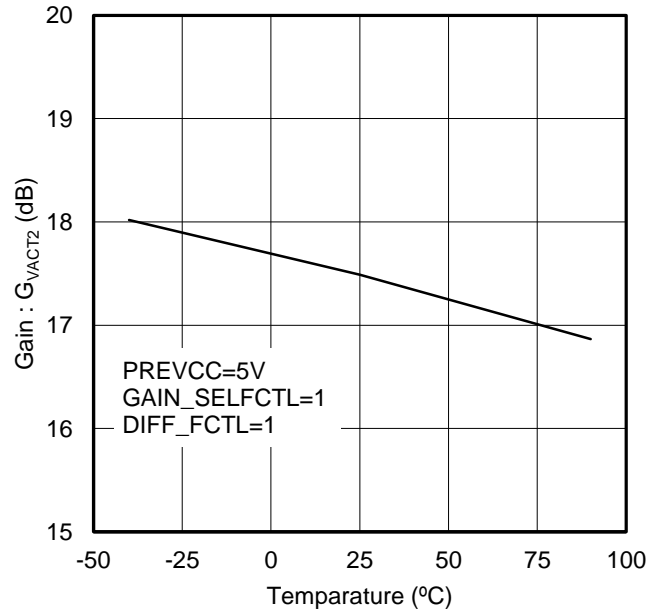
(特に指定のない限り Ta=-40°C~90°C, V<sub>VCC</sub>=V<sub>SPRNF</sub>=V<sub>SLRNF1</sub>=V<sub>SLRNF2</sub>=8V, V<sub>PREVCC</sub>=V<sub>TKRNF</sub>=V<sub>FCTLRNF</sub>=5V, V<sub>SHV</sub>=3.3V, R<sub>SPRNF</sub>=0.33Ω, R<sub>SLRNF</sub>=0.56Ω)

項目	記号	規格値			単位	条件	
		最小	標準	最大			
回路電流	無入力時 PREVCC	I <sub>Q1</sub>	-	18	36	mA	MUTEB=High SPI=72h FE, 70h FE
	無入力時 VCC	I <sub>Q2</sub>	-	7	14	mA	
	スタンバイ時 PREVCC	I <sub>ST1</sub>	-	3	6	mA	MUTEB=Low
	スタンバイ時 VCC	I <sub>ST2</sub>	-	1	2	mA	
スピンドル ドライバ部	ホールバイアス電圧	V <sub>HB</sub>	0.45	0.9	1.35	V	IHB=10mA
	入力バイアス電流	I <sub>HIB</sub>	-	0.5	3	μA	
	入力レベル	V <sub>HIM</sub>	50	-	-	mVpp	
	同相入力電圧範囲	V <sub>HICM</sub>	1.5	-	3.8	V	
	入力不感帯幅 (片側)	V <sub>DZSP</sub>	0	10	45	mV	
	入出力ゲイン	gm <sub>SP</sub>	0.85	1.24	1.63	A/V	R <sub>SPRNF</sub> =0.33Ω, R <sub>L</sub> =2Ω
	出力 ON 抵抗 (上下の和)	R <sub>ONSP</sub>	-	1	1.8	Ω	IL=500mA
	出力リミット電流	I <sub>LIMSP</sub>	0.85	1.06	1.27	A	R <sub>SPRNF</sub> =0.33Ω
	PWM 周波数	f <sub>OSC</sub>	-	100	-	kHz	R <sub>L</sub> =2Ω
	FG 出力 Low レベル電圧	V <sub>FGL</sub>	-	0.1	0.3	V	33kΩ プルアップ(3.3V)
送りモータ ドライバ部	入力不感帯幅 (片側)	V <sub>DZSL</sub>	3	15	35	mV	
	入出力ゲイン	gm <sub>SL</sub>	0.84	1.10	1.36	A/V	R <sub>SLRNF1,2</sub> =0.56Ω, R <sub>L</sub> =8Ω
	出力 ON 抵抗 (上下の和)	R <sub>ONSL</sub>	-	2.2	3.3	Ω	IL=500mA
	出力リミット電流	I <sub>LIMSL</sub>	0.79	0.93	1.07	A	R <sub>SLRNF1,2</sub> =0.56Ω
	PWM 周波数	f <sub>OSC</sub>	-	100	-	kHz	R <sub>L</sub> =8Ω
アクチュエータ ドライバ部	出力オフセット電圧	V <sub>OFACT</sub>	-50	0	50	mV	Low ゲインモード, R <sub>L</sub> =8Ω
	出力 ON 抵抗 (上下の和)	R <sub>ONACT</sub>	-	1.5	2.0	Ω	IL=500mA
	電圧利得 1	G <sub>VACT1</sub>	9.4	11.7	13.5	dB	Low ゲインモード, R <sub>L</sub> =8Ω
	電圧利得 2	G <sub>VACT2</sub>	15.4	17.7	19.5	dB	High ゲインモード, R <sub>L</sub> =8Ω
ローディング ドライバ部	出力オフセット電圧	V <sub>OFLD</sub>	-110	0	110	mV	Low ゲインモード, R <sub>L</sub> =8Ω
	出力 ON 抵抗 (上下の和)	R <sub>ONLD</sub>	-	1.5	2.5	Ω	IL=500mA
	電圧利得 1	G <sub>VLD1</sub>	14.1	17.2	19.5	dB	Low ゲインモード, R <sub>L</sub> =8Ω
	電圧利得 2	G <sub>VLD2</sub>	15.6	18.7	21.0	dB	High ゲインモード, R <sub>L</sub> =8Ω
アクチュエータ 保護回路部	PRTT/PRTF デフォルト電圧	V <sub>PRTREF</sub>	0.98	1.06	1.14	V	
	PRTT/PRTF 保護検知電圧	V <sub>PRTDET</sub>	2.65	2.95	3.25	V	
	PRTLIM 電圧	V <sub>PRTLIM</sub>	490	530	570	mV	
	検出アンプ入力オフセット電圧	V <sub>OFDET</sub>	-7	0	7	mV	
保護信号出力部	PRTOUT Low レベル出力電圧	V <sub>OL1</sub>	-	0.1	0.3	V	33kΩ プルアップ(3.3V)
	ERRROUT Low レベル出力電圧	V <sub>OL2</sub>	-	0.1	0.3	V	33kΩ プルアップ(3.3V)
ロジック入力 (SDI,SCLK, SLV,MUTEB)	Low レベル入力電圧	V <sub>INL</sub>	-	-	0.5	V	
	High レベル入力電圧	V <sub>INH</sub>	2.2	-	-	V	
	High レベル流入電流 (SDI,SCLK,MUTEB)	I <sub>INH</sub>	-	33	75	μA	SDI,SCLK,MUTEB=3.3V
	Low レベル流入電流 (SLV)	I <sub>INL</sub>	-75	-30	-	μA	SLV=0V
Function	VCC 降下時ミュート電圧	V <sub>MVCC</sub>	3.4	3.8	4.2	V	
LVDS 出力	差動出力電圧	V <sub>OD</sub>	250	-	950	mV	R <sub>L</sub> =100Ω
	オフセット電圧	V <sub>OC</sub>	0.95	1.25	1.55	V	R <sub>L</sub> =100Ω

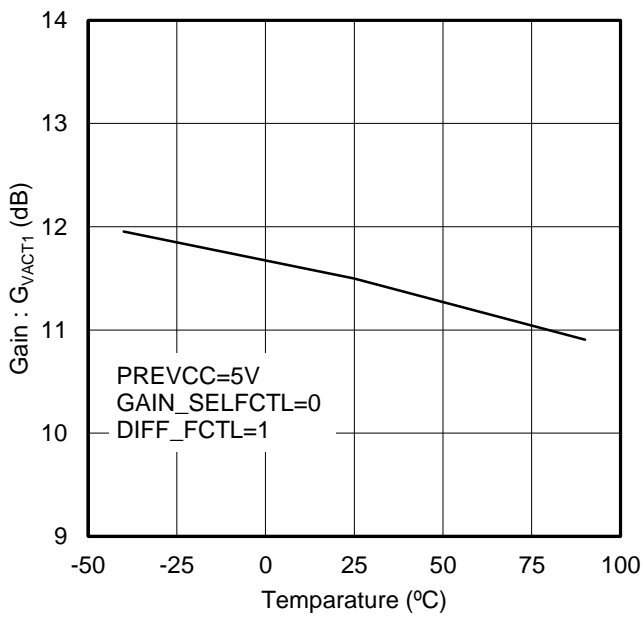
● 特性データ (参考データ)



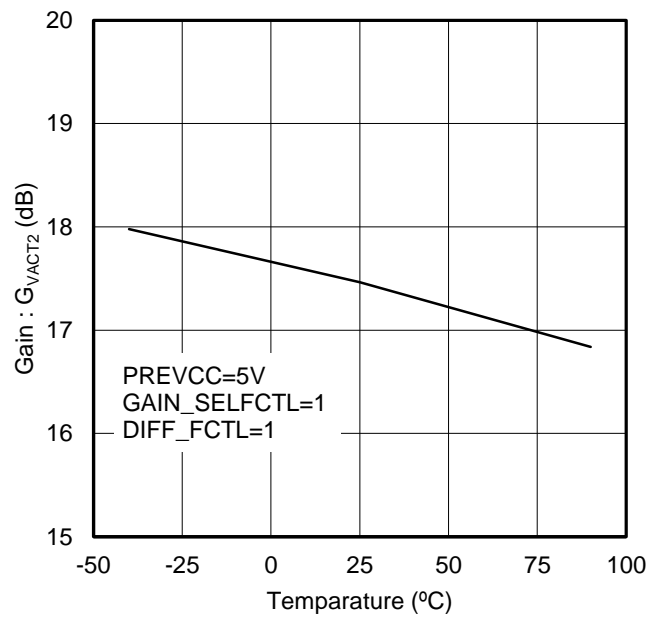
FCTL1 電圧利得 1 (Low ゲインモード)



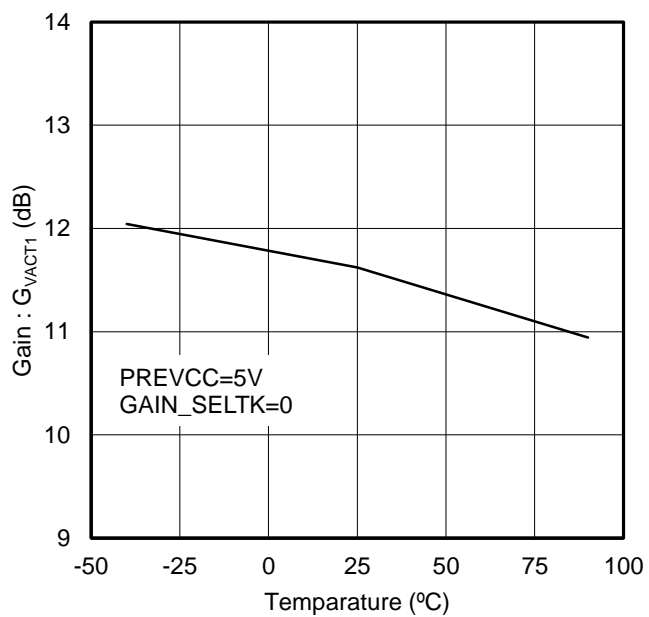
FCTL1 電圧利得 2 (High ゲインモード)



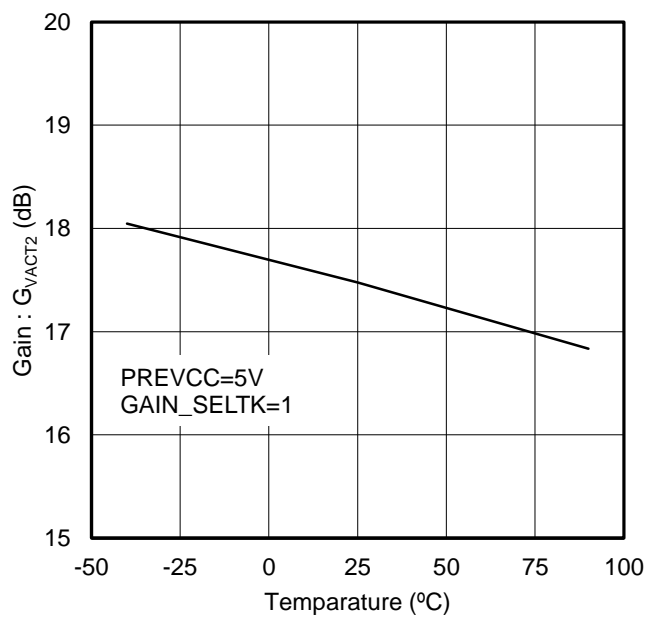
FCTL2 電圧利得 1 (Low ゲインモード)



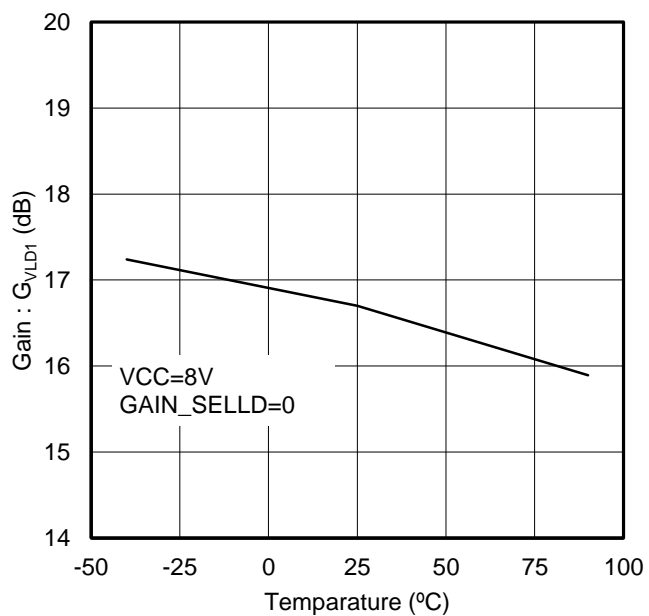
FCTL2 電圧利得 2 (High ゲインモード)



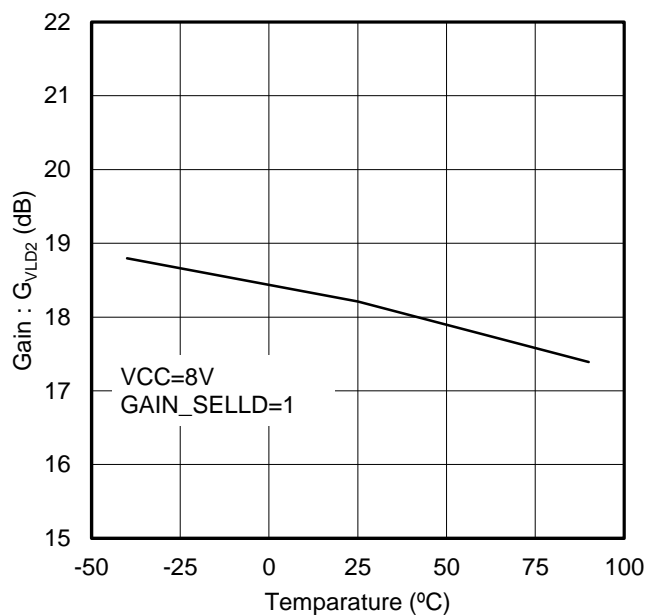
TK 電圧利得 1 (Low ゲインモード)



TK 電圧利得 2 (High ゲインモード)



LD 電圧利得 1 (Low ゲインモード)



LD 電圧利得 2 (High ゲインモード)

● 各ブロック動作説明

■ Serial Peripheral Interface (SPI)

動作の設定及び各出力レベル値を設定するため、16bit 4 線式シリアルインターフェース(SLV, SCLK, SDI, SDO)を備えています。SDI の論理が SLV 端子の L 区間に SCLK 端子の立ち上がりエッジで内部シフトレジスタに送られます。シフトレジスタのデータはアドレスマップに従い、SLV 端子の立ち上がりエッジで 12bit の内部レジスタにデータを書き込みます。また、読み出しビットを 1 に設定することで読み出し動作を行います。この時 SCLK 端子の立ち下がりエッジでステータスを読み出し、SDO 端子に出力します。

◆ 入出力タイミング

シリアルポートの書き込み、読み出しタイミングは Figure 4. のようになります。

また各々の最小タイミングは以下の通りです。SPI 入出力タイミング遅延の増加を防ぐため、SLV, SCLK, SDI, SDO の配線は可能な限りマイコンとの距離を短くし、配線容量がつかないようにレイアウトしてください。

記号	項目	最小	標準	最大	単位
A	SDI setup time *	9	-	-	ns
B	SDI hold time *	9	-	-	ns
C	Setup SLV to SCLK rising edge *	9	-	-	ns
D	SCLK high pulse width *	10	-	-	ns
E	SCLK low pulse width *	10	-	-	ns
F	Setup SCLK rising edge to SLV *	9	-	-	ns
G	SLV pulse width *	15	-	-	ns
H	SDO delay time *	-	-	10	ns
I	SDO hold time *	2	-	-	ns
J	SDO OFF time *	-	-	20	ns
K	SCLK frequency	-	-	35	MHz

\* 設計保証項目

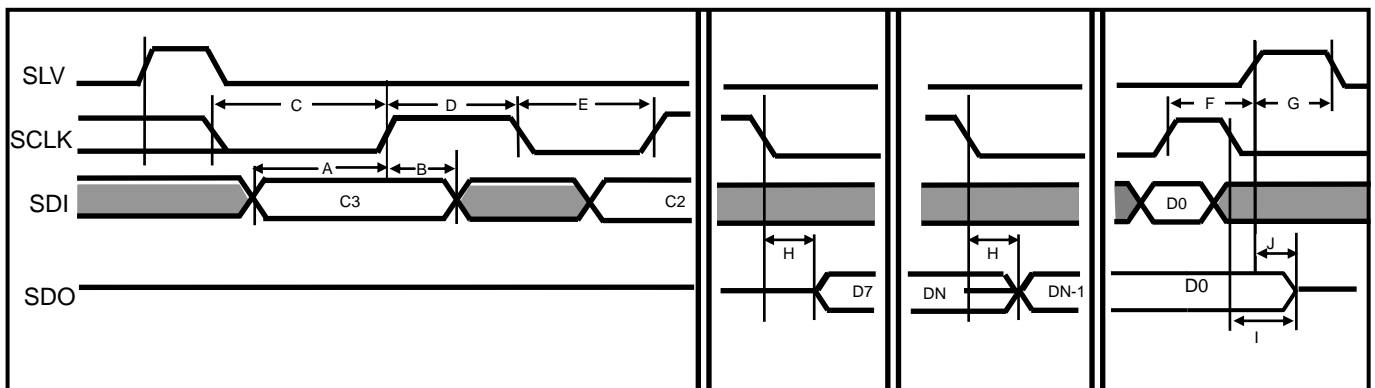


Figure 4. SPI 入力タイミング



◆ DAC レジスタ

1. 入出力シーケンス

SDI 入力上位 4bit はレジスタアドレス、下位 12bit は DAC 電圧指定用のデータを入力してください。  
 REG=02h(フォーカス用アドレス)指定時は、SDO より REG 77h のデータ(ステータス情報)が出力されます。  
 REG≠02h(フォーカス以外のアドレス)指定時は、SDO は Hi-Z となります。

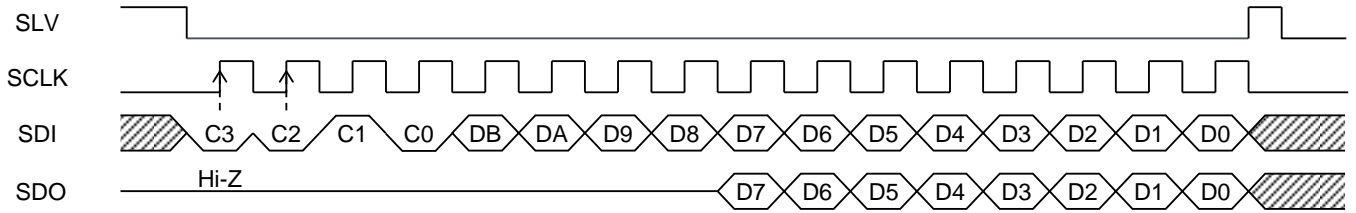


Figure 5. 12bit 書き込み / 8bit 読み出しシーケンス (REG=02h 指定時)

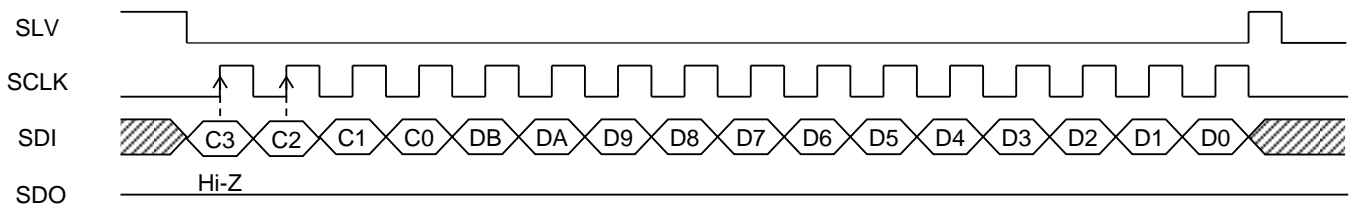


Figure 6. 12bit 書き込みシーケンス (REG≠02h 指定時, C3, C2 ≠ 1, 1)

2. アドレスマップ (以降、レジスタアドレス=REG と記載)

DAC レジスタ アドレスマップ

REG	NAME	R/W	DB	DA	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	Reset ※※
00h	N/A	-	-	-	-	-	-	-	-	-	-	-	-	-	-
01h	DFCTL1	W	11	10	9	8	7	6	5	4	3	2	1	0	B
02h	DFCTL2	W	11	10	9	8	7	6	5	4	3	2	1	0	B
03h	DTK	W	11	10	9	8	7	6	5	4	3	2	1	0	B
04h	DSL1	W	11	10	9	8	7	6	5	4	3	2	1 ※	0 ※	B
05h	DSL2	W	11	10	9	8	7	6	5	4	3	2	1 ※	0 ※	B
06h	DSA1	W	11	-	-	-	-	-	-	-	-	-	-	-	B
07h	DSA2	W	11	-	-	-	-	-	-	-	-	-	-	-	B
08h	DSP	W	11	10	9	8	7	6	5	4	3	2	1	0	B
09h	DLD	W	11	10	9	8	7	6	5	4	3	2	1	0	B
0Ah	N/A	-	-	-	-	-	-	-	-	-	-	-	-	-	-
0Bh	N/A	-	-	-	-	-	-	-	-	-	-	-	-	-	-

default:0  
 ※ : 0 固定  
 ※※ : リセットについては P.15 参照  
 - : データ入力されても無視されます

◆ 制御レジスタ

1. 入出力シーケンス

制御レジスタへのデータ書き込み時は、SDI 入力上位 7bit にレジスタアドレス、R/W 設定 1bit に 0、下位 8bit は各設定データを入力してください。なお、R/W=0 時は、SDO は Hi-Z となります。

制御レジスタからのデータ読み出し時は、SDI 入力上位 7bit にレジスタアドレス、R/W 設定 1bit に 1 を入力してください。下位 8bit は Don't care として無視されます。R/W=1 時は、SDO より指定アドレスの 8bit データが出力されます。

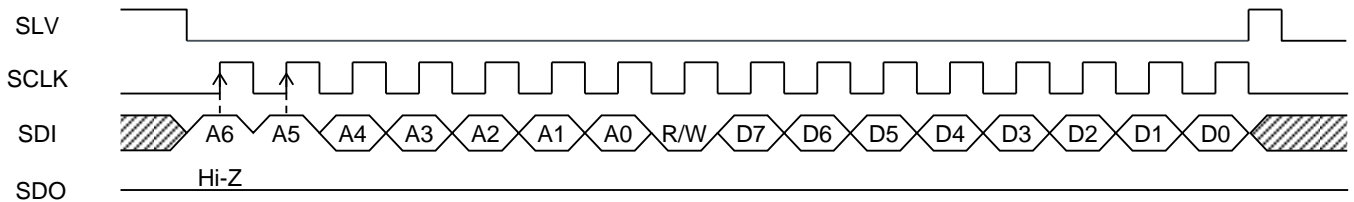


Figure 7. 制御レジスタ 8bit 書き込みシーケンス (A6,A5=1,1、R/W=0)

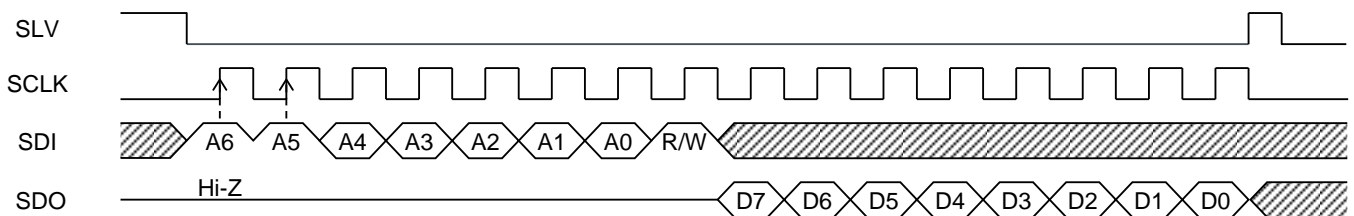


Figure 8. 制御用レジスタ 8bit 読み出しシーケンス (A6,A5=1,1、R/W=1)

2. アドレスマップ

制御レジスタアドレスマップ

REG	NAME	R/W	D7	D6	D5	D4	D3	D2	D1	D0
70h	OUTPUT_EN1	R/W	FCTL1_OUTEN	FCTL2_OUTEN	TK_OUTEN	SL_OUTEN	SA_OUTEN	SP_OUTEN	LD_OUTEN	N/A
71h	-	-	-	-	-	-	-	-	-	-
72h	POWER_SAVE1	R/W	FCTL1_PSB	FCTL2_PSB	TK_PSB	SL_PSB	SA_PSB	SP_PSB	LD_PSB	N/A
73h	-	-	-	-	-	-	-	-	-	-
74h	DRIVER_SET	R/W	N/A	SP_BRAKE	GAIN_SELFCTL	GAIN_SELTK	DIFF_FCTL	LD_BRAKE	GAIN_SELLD	N/A
75h	RESET	W	RST_DAC	RST_CTLREG	RST_PKTERR	RST_PKTSTOP	RST_OCP	RST_SHORT	N/A	N/A
76h	PKT_TIME	R/W	N/A	N/A	PKTSTOP_TIME1	PKTSTOP_TIME0	N/A	N/A	N/A	N/A
77h	STATUS_FLAG1	R	ALL_ERR	OCP_FCTL	OCP_TK	SHORT_LD	TSD	PKT_ERR	PKT_STOP	UVLO_VCC
78h	TEST0	R/W	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
79h	TEST1	R/W	Reserved	Reserved	Reserved	Reserved	Reserved	N/A	N/A	N/A
7Ah	TEST2	R/W	N/A	N/A	Reserved	N/A	Reserved	Reserved	Reserved	N/A
7Bh	RST_CHECK	R/W	RST_CHECKA	RST_CHECKB	N/A	N/A	N/A	N/A	N/A	N/A
7Ch	-	-	-	-	-	-	-	-	-	-
7Dh	-	-	-	-	-	-	-	-	-	-
7Eh	-	-	-	-	-	-	-	-	-	-
7Fh	-	-	-	-	-	-	-	-	-	-

Reserved について入力を行う場合は 0 入力でご使用ください  
N/A に対して Read を行った場合、常に 0 を返します。

## 3. 制御レジスタ詳細

各レジスタの機能を以下に示します。

- REG 70h OUTPUT\_EN1 (Read / Write)  
REG 70h では、各ドライバ出力の Hi-Z / Active を変更可能です。

Bit	Name	Default	Function	Set "0"	Set "1"	Reset
7	FCTL1_OUTEN	0	FCTL1 出力 Enable	Disable	Enable	A
6	FCTL2_OUTEN	0	FCTL2 出力 Enable	Disable	Enable	A
5	TK_OUTEN	0	TK 出力 Enable	Disable	Enable	A
4	SL_OUTEN	0	SL1,SL2 出力 Enable	Disable	Enable	A
3	SA_OUTEN	0	SA1,SA2 出力 Enable	Disable	Enable	A
2	SP_OUTEN	0	SP 出力 Enable	Disable	Enable	A
1	LD_OUTEN	0	LD 出力 Enable	Disable	Enable	A
0	N/A	0	-	-	-	-

- REG 71h -

Bit	Name	Default	Function	Set "0"	Set "1"	Reset
7	-	-	-	-	-	-
6	-	-	-	-	-	-
5	-	-	-	-	-	-
4	-	-	-	-	-	-
3	-	-	-	-	-	-
2	-	-	-	-	-	-
1	-	-	-	-	-	-
0	-	-	-	-	-	-

- REG 72h POWER\_SAVE1 (Read / Write)  
REG 72h では、各ブロックをパワーセーブモードに設定可能です。  
パワーセーブモードでは出力は Hi-Z となり、かつ内部回路を OFF させて消費電流を低減します。

Bit	Name	Default	Function	Set "0"	Set "1"	Reset
7	FCTL1_PSB	0	FCTL1 ブロック パワーセーブ	Enable	Disable	A
6	FCTL2_PSB	0	FCTL2 ブロック パワーセーブ	Enable	Disable	A
5	TK_PSB	0	TK ブロック パワーセーブ	Enable	Disable	A
4	SL_PSB	0	SL1,SL2 ブロック パワーセーブ	Enable	Disable	A
3	SA_PSB	0	SA1,SA2 ブロック パワーセーブ	Enable	Disable	A
2	SP_PSB	0	SP ブロック パワーセーブ	Enable	Disable	A
1	LD_PSB	0	LD ブロック パワーセーブ	Enable	Disable	A
0	N/A	0	-	-	-	-

## ・ REG 73h -

Bit	Name	Default	Function	Set "0"	Set "1"	Reset
7	-	-	-	-	-	-
6	-	-	-	-	-	-
5	-	-	-	-	-	-
4	-	-	-	-	-	-
3	-	-	-	-	-	-
2	-	-	-	-	-	-
1	-	-	-	-	-	-
0	-	-	-	-	-	-

## ・ REG 74h DRIVER\_SET (Read / Write)

REG 74h では、ドライバの動作モード設定変更が可能です。

Bit	Name	Default	Function	Set "0"	Set "1"	Reset
7	N/A	0	-	-	-	-
6	SP_BRAKE	0	SP ブレーキモード	ショートブレーキ	逆転ブレーキ	A
5	GAIN_SELFCTL	0	ゲイン選択 FCTL	Low ゲイン	High ゲイン	A
4	GAIN_SELTK	0	ゲイン選択 TK	Low ゲイン	High ゲイン	A
3	DIFF_FCTL	0	差動 FCTL 制御モード	差動制御	独立制御	A
2	LD_BRAKE	0	LD ブレーキモード	LD 出力 Active	LD 出力 ショートブレーキ	A
1	GAIN_SELLD	0	ゲイン選択 LD	Low ゲイン	High ゲイン	A
0	N/A	0	-	-	-	-

<Bit6> スピンドルブレーキモードのショートブレーキ / 逆転ブレーキ選択が可能です。

<Bit5> フォーカス、チルトドライバ入出力ゲインの Low / High ゲインモード一括切り替えが可能です。

<Bit4> トラッキングドライバ入出力ゲインの Low / High ゲインモード切り替えが可能です。

<Bit3> フォーカスとチルトドライバの差動 / 独立駆動選択が可能です。詳細は P.18 を参照してください。

<Bit2> ローディング出力が Active の場合にショートブレーキ状態(正負出力共に Low)にすることが可能です。

<Bit1> ローディングドライバ入出力ゲインの Low / High ゲインモード切り替えが可能です。

## ・ REG 75h RESET (Write)

REG 75h では、各設定のリセット及びラッチタイプのエラーフラグのリセットが可能です。

Bit	Name	Default	Function	Set "0"	Set "1"	Reset
7	RST_DAC	0	DAC リセット	Normal	Reset	E
6	RST_CTLREG	0	制御レジスタリセット	Normal	Reset	E
5	RST_PKTERR	0	パケットビット数エラーリセット	Normal	Reset	E
4	RST_PKTSTOP	0	パケット入力無しエラーリセット	Normal	Reset	E
3	RST_OCP	0	アクチュエータ過電流保護ラッチ OFF リセット	Normal	Reset	E
2	RST_SHORT	0	LD 天地絡保護ラッチ OFF リセット	Normal	Reset	E
1	N/A	0	-	-	-	-
0	N/A	0	-	-	-	-

<Bit7> DAC レジスタ値をすべて 0 にリセットします。

<Bit6> 制御レジスタ値をすべてデフォルトにリセットします。

<Bit5> パケットビット数エラーフラグレジスタ値を 0 にリセットします。

<Bit4> パケット入力無しエラーフラグレジスタ値を 0 にリセットします。

<Bit3> アクチュエータ過電流保護フラグレジスタ値を 0 にリセットします。

<Bit2> ローディング天地絡保護フラグレジスタ値を 0 にリセットします。

・ REG 76h PKT\_TIME (Read / Write)

REG 76h では、シリアル通信入力がない場合のエラー動作までの待ち時間指定、無効化が可能です。

Bit	Name	Default	Function	Set "0"	Set "1"	Reset
7	N/A	0	-	-	-	-
6	N/A	0	-	-	-	-
5	PKTSTOP_TIME1	0	シリアル通信パケット ウォッチドッグタイマ動作時間選択	(00)=無効, (01)=1ms, (10)=100 $\mu$ s, (11)=30 $\mu$ s		A
4	PKTSTOP_TIME0	0				A
3	N/A	0	-	-	-	-
2	N/A	0	-	-	-	-
1	N/A	0	-	-	-	-
0	N/A	0	-	-	-	-

・ REG 77h STATUS\_FLAG (Read)

REG 77h では、各種保護動作フラグが出力されます。

Bit	Name	Default	Function	Set "0"	Set "1"	Reset
7	ALL_ERR	0	全エラーフラグの論理和	Normal	Abnormal	*
6	OCP_FCTL	0	FCTL 過電流検出フラグ (FCTL1, 2, TK 出力 Hi-Z)	Normal	Abnormal	C
5	OCP_TK	0	TK 過電流検出フラグ (FCTL1, 2, TK 出力 Hi-Z)	Normal	Abnormal	C
4	SHORT_LD	0	LD 天地絡保護検出フラグ(LD 出力 Hi-Z)	Normal	Abnormal	C
3	TSD	0	TSD 検出フラグ(全出力 Hi-Z)	Normal	Abnormal	F
2	PKT_ERR	0	パケットビット数エラーフラグ (フラグ動作のみ)	Normal	Abnormal	C
1	PKT_STOP	0	パケットウォッチドッグタイマ(全出力 Hi-Z)	Normal	Abnormal	C
0	UVLO_VCC	0	VCC 低電圧異常フラグ(全出力 Hi-Z)	Normal	Abnormal	D

<Bit7> \*リセットについて : ALL\_ERR は全エラーフラグ(OCP\_FCTL, OCP\_TK, SHORT\_LD, TSD, PKT\_ERR, PKT\_STOP, UVLO\_VCC)の論理和が出力されます。このため、リセット条件も各信号に依存します。

・ REG 78h TEST0 (Read / Write)

Bit	Name	Default	Function	Set "0"	Set "1"	Reset
7	Reserved	0	-	-	-	D
6	Reserved	0	-	-	-	D
5	Reserved	0	-	-	-	D
4	Reserved	0	-	-	-	D
3	Reserved	0	-	-	-	D
2	Reserved	0	-	-	-	D
1	Reserved	0	-	-	-	D
0	Reserved	0	-	-	-	D

• REG 79h TEST1 (Read / Write)

Bit	Name	Default	Function	Set "0"	Set "1"	Reset
7	Reserved	0	-	-	-	F
6	Reserved	0	-	-	-	F
5	Reserved	0	-	-	-	F
4	Reserved	0	-	-	-	F
3	Reserved	0	-	-	-	F
2	N/A	0	-	-	-	-
1	N/A	0	-	-	-	-
0	N/A	0	-	-	-	-

• REG 7Ah TEST2 (Read / Write)

Bit	Name	Default	Function	Set "0"	Set "1"	Reset
7	N/A	0	-	-	-	-
6	N/A	0	-	-	-	-
5	Reserved	0	-	-	-	F
4	N/A	0	-	-	-	-
3	Reserved	0	-	-	-	F
2	Reserved	0	-	-	-	F
1	Reserved	0	-	-	-	F
0	N/A	0	-	-	-	-

• REG 7Bh RST\_CHECK (Read / Write)

REG 7Bh は、P.15 記載の各種レジスタリセット完了確認用フラグです。

Bit	Name	Default	Function	Set "0"	Set "1"	Reset
7	RST_CHECKA	0	リセット A 完了チェックフラグ	0	1	A
6	RST_CHECKB	0	リセット B 完了チェックフラグ	0	1	B
5	N/A	0	-	-	-	-
4	N/A	0	-	-	-	-
3	N/A	0	-	-	-	-
2	N/A	0	-	-	-	-
1	N/A	0	-	-	-	-
0	N/A	0	-	-	-	-

◆ レジスタリセット動作について

**Type "A"** : MODE 設定ビット (REG 70h, 72h, 74h, 76h, 7Bh[7])

- リセット条件 : VCC < 3.8V
- or PREVCC < 3.8V
- or VREG < 2.0V
- or MUTEBC < 0.5V
- or RST\_CTLREG(75h[6]) = 1

**Type "B"** : DAC 設定ビット (REG 01h~09h, 7Bh[6])

- リセット条件 : VCC < 3.8V
- or PREVCC < 3.8V
- or VREG < 2.0V
- or MUTEBC < 0.5V
- or RST\_DAC(75h[7]) = 1

**Type "C"** : 動作状態(ラッチ形式)出力ビット (REG 77h[1,2,4,5,6])

- リセット条件 : VCC < 3.8V
- or PREVCC < 3.8V
- or VREG < 2.0V
- or MUTEBC < 0.5V
- or RST\_CTLREG (75h[6]) = 1
- or RST\_PKTERR (75h[5]) = 1 (for PKT\_ERR(77h[2]))
- or RST\_PKTSTOP (75h[4]) = 1 (for PKT\_STOP(77h[1]))
- or RST\_OCP (75h[3]) = 1 (for OCPFCTL(77h[6]) and OCPK(77h[5]))
- or RST\_SHORT (75h[2]) = 1 (for SHORT\_LD(77h[4]))

**Type "D"** : 動作状態(随時更新)出力ビット 1 (REG 77h[0])

- リセット条件 : PREVCC < 2.0V
- or VREG < 1.2V
- or MUTEBC < 0.5V

**Type "E"** : リセット設定ビット (REG 75h)

- リセット条件 : 自己リセット(1 設定でリセット動作を行った後に自動で 0 に戻る)

**Type "F"** : 動作状態(随時更新)出力ビット 2 (REG 77h[3])

- リセット条件 : VCC < 3.8V
- or PREVCC < 3.8V
- or VREG < 2.0V
- or MUTEBC < 0.5V

リセット動作一覧

Reset condition		DAC REG	Control REG															
		01h ~ 09h	70h	72h	74h	75h	76h	77h								7Bh		
								D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	
Hard	VCC < 3.8V	○	○	○	○		○	○	○	○	○	○	○	○	○	○	○	○
	PREVCC < 2.0V	○	○	○	○		○	○	○	○	○	○	○	○	○	○	○	○
	PREVCC < 3.8V	○	○	○	○		○	○	○	○	○	○	○	○	○	○	○	○
	MUTEBC < 0.5V	○	○	○	○		○	○	○	○	○	○	○	○	○	○	○	○
Soft	RST_SHORT 75h[2] = 1						*1			○								
	RST_OCP 75h[3] = 1						*1	○	○									
	RST_PKTSTOP 75h[4] = 1						*1						○					
	RST_PKTERR 75h[5] = 1						*1					○						
	RST_CTLREG 75h[6] = 1		○	○	○		○	*1									○	
	RST_DAC 75h[7] = 1	○						*1										○
Self reset						○												

\*1 REG 77h[7]のリセット条件は REG 77h[6]~77h[0]に依存

**■ SPI 入出力端子処理**

シリアルインターフェースとして、入力端子 SLV, SCLK, SDI と出力端子 SDO を備えております。入力端子 SLV, SCLK, SDI は  $100\text{k}\Omega(\text{Typ})$  のプルアップ、プルダウン抵抗を内蔵しております。また、出力端子 SDO は High レベル電圧として SHV で設定された電圧を出力することが可能な 3-state CMOS 出力形式としております。

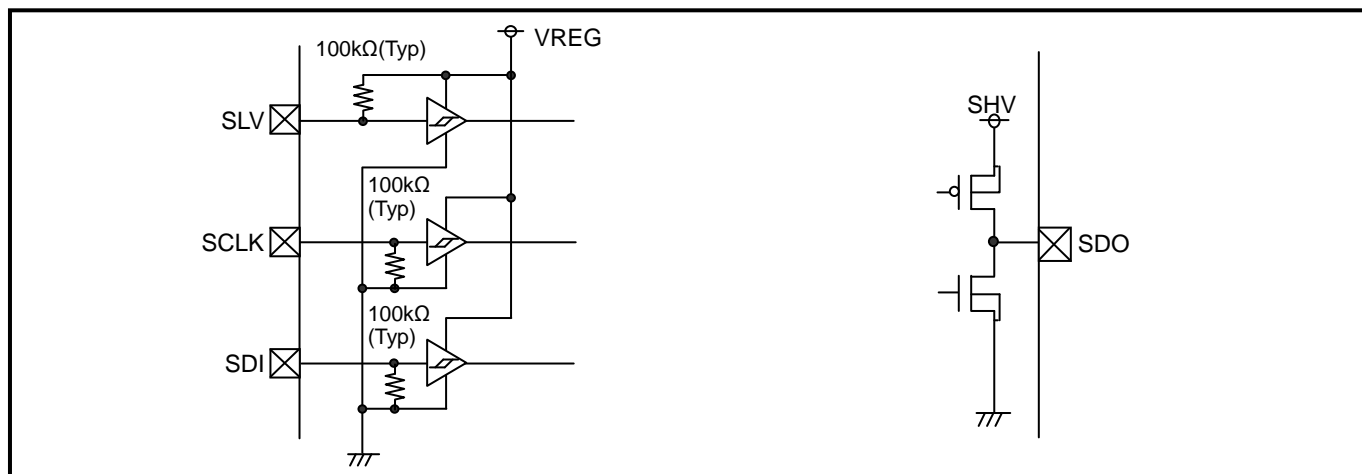


Figure 9. SPI 入出力端子処理



■ DAC 及びゲイン設定

◆ アクチュエータ (FCTL1, FCTL2, TK)

正負出力間電位差を  $V_{OUT}$  とすると、 $V_{OUT}$  は次のようになります。

$$V_{OUT} = G_{VACT} \times V_{DAC}$$

ここで、 $G_{VACT}$  はゲインモード設定値により異なり、それぞれ以下の値となります。

Low ゲインモード (REG 74h[5] GAIN\_SELFCNTL, REG74h[4] GAIN\_SELTK = 0 (デフォルト))  
 $G_{VACT1} = 3.85$  倍 (11.7dB)

High ゲインモード (GAIN\_SELFCNTL, GAIN\_SELTK = 1)  
 $G_{VACT2} = 7.67$  倍 (17.7dB)

また、DAC 出力電圧  $V_{DAC}$  は DAC レジスタ設定値より以下のように求められます。

MSB=0 の場合 :

$$V_{DAC} = 1.0 \times (\text{bit}[10] \times 0.5^1 + \text{bit}[9] \times 0.5^2 + \text{bit}[8] \times 0.5^3 + \dots + \text{bit}[0] \times 0.5^{11})$$

MSB=1 の場合 :

$$V_{DAC} = (-1.0) \times (\text{bit}[10] \times 0.5^1 + \text{bit}[9] \times 0.5^2 + \text{bit}[8] \times 0.5^3 + \dots + \text{bit}[0] \times 0.5^{11} + 0.5^{11})$$

DAC format (DFCTL1, DFCTL2, DTK)

REG	MSB	Digital input (BIN)	LSB	Hex	Dec	$V_{DAC}$ [V]	$V_{OUT}$ [V]※
01h(DFCTL1), 02h(DFCTL2), 03h(DTK)		1000_0000_0000		800h	-2048	-0.9995	-3.848
		1000_0000_0001		801h	-2047	-0.9995	-3.848
		1000_0000_0010		802h	-2046	-0.9990	-3.846
		1111_1111_1111		FFFh	-1	-0.0005	-0.002
		0000_0000_0000		000h	0	0	0.000
		0000_0000_0001		001h	+1	+0.0005	+0.002
		0111_1111_1110		7FEh	+2046	+0.9990	+3.846
		0111_1111_1111		7FFh	+2047	+0.9995	+3.848

※Low ゲインモード設定時。表内では出力の電圧飽和を考慮しておりません

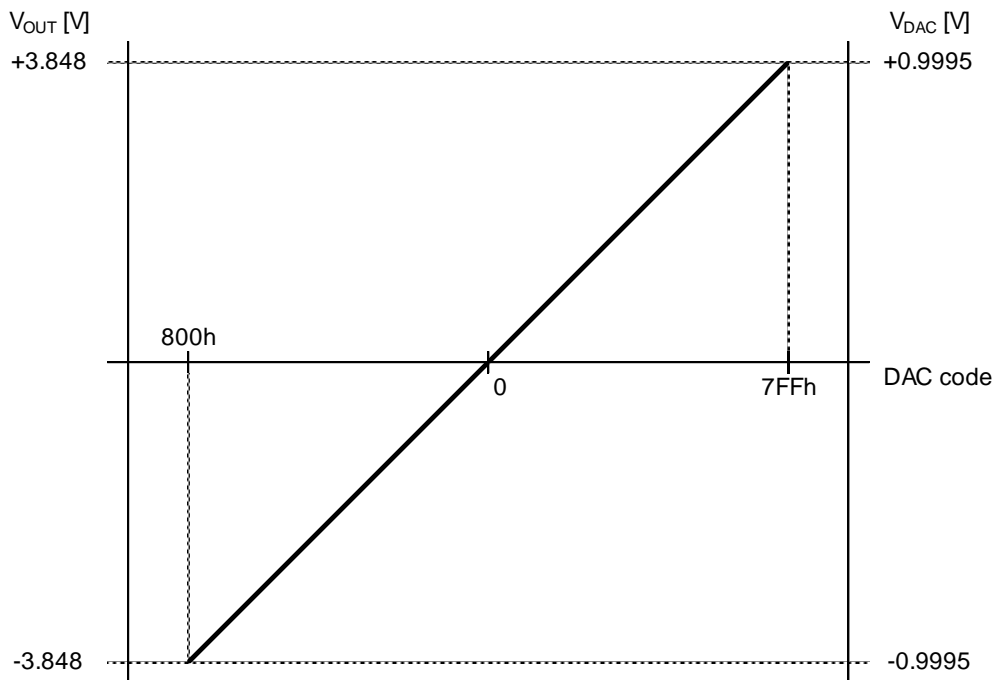


Figure 10. DAC 設定値対  $V_{DAC} / V_{OUT}$  (Low ゲインモード時)

◆ FCTL1, FCTL2 差動駆動モード

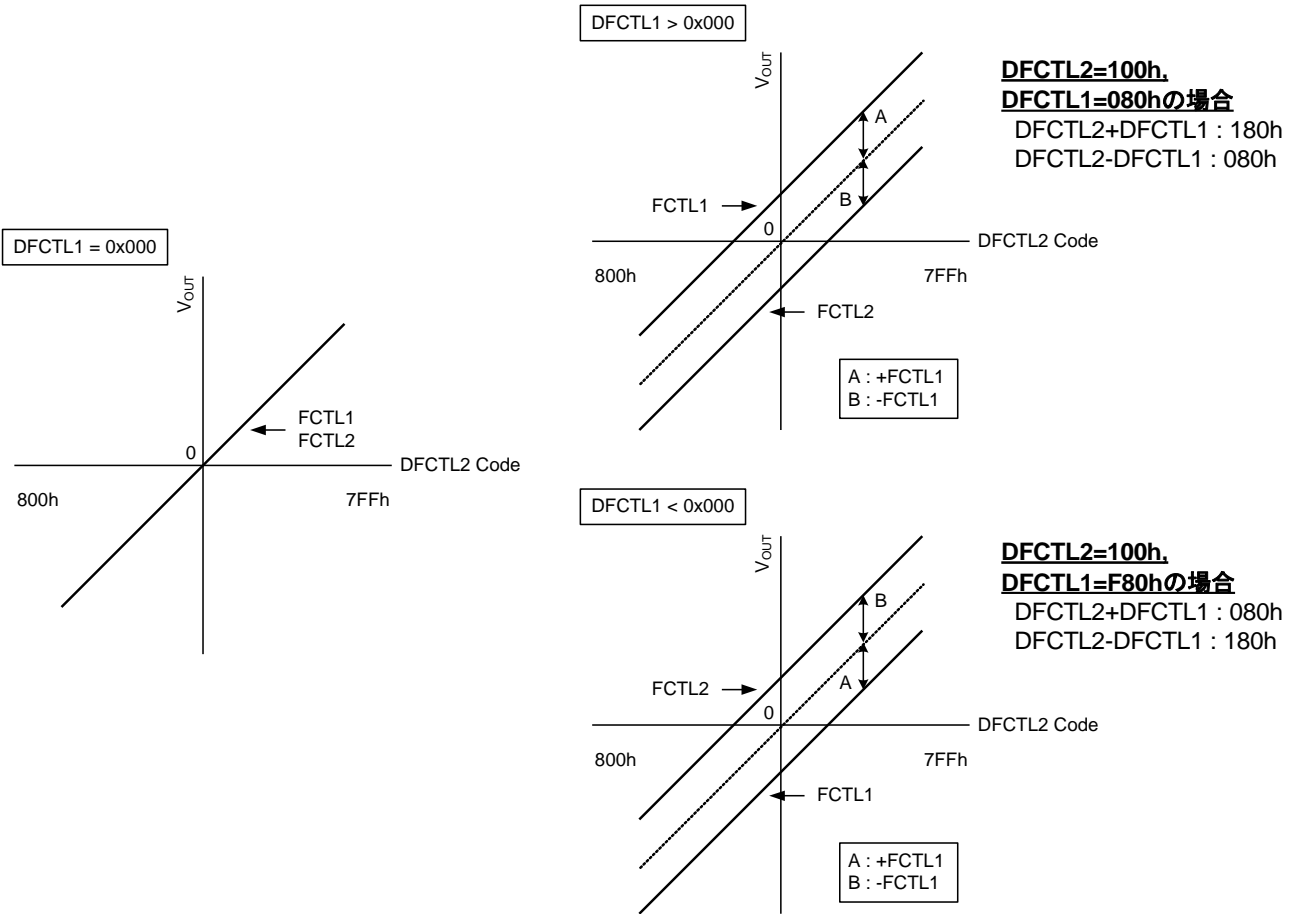
REG 74h[3] DIFF\_FCTL を 0 に設定すると、FCTL1 と FCTL2 が差動駆動モードとなります。このモードでは FCTL1 及び FCTL2 の DAC へ入力される 12bit データが次に示す演算後の値となります。DAC<sub>FCTL1,2</sub> は各 DAC へ入力される 12bit データを示します。なお、DAC 出力電圧 V<sub>DAC</sub>、ゲイン G<sub>VACT</sub>、出力電圧 V<sub>OUT</sub> は P.17 に従います。

$$DAC_{FCTL1} = DFCTL2 + DFCTL1$$

$$DAC_{FCTL2} = DFCTL2 - DFCTL1$$

差動駆動モード時の動作イメージを次に示します。

DIFF\_FCTL=0 設定時、FCTL1,2 差動動作イメージ



◆ ローディング (LD)

正負出力間電位差を  $V_{OUT}$  とすると、 $V_{OUT}$  は次のようになります。

$$V_{OUT} = G_{VLD} \times V_{DAC}$$

ここで、 $G_{VLD}$  はゲインモード設定値により異なり、それぞれ以下の値となります。

Low ゲインモード (REG 74h[1] GAIN\_SELLD = 0 (デフォルト))

$$G_{VLD1} = 7.24 \text{ 倍 (17.2dB)}$$

High ゲインモード (GAIN\_SELLD = 1)

$$G_{VLD2} = 8.51 \text{ 倍 (18.7dB)}$$

また、DAC 出力電圧  $V_{DAC}$  は DAC レジスタ設定値より以下のように求められます。

MSB=0 の場合 :

$$V_{DAC} = 1.0 \times (\text{bit}[10] \times 0.5^1 + \text{bit}[9] \times 0.5^2 + \text{bit}[8] \times 0.5^3 + \dots + \text{bit}[0] \times 0.5^{11})$$

MSB=1 の場合 :

$$V_{DAC} = (-1.0) \times (\text{bit}[10] \times 0.5^1 + \text{bit}[9] \times 0.5^2 + \text{bit}[8] \times 0.5^3 + \dots + \text{bit}[0] \times 0.5^{11} + 0.5^{11})$$

DAC format (DLD)

REG	MSB	Digital input (BIN)	LSB	Hex	Dec	$V_{DAC}$ [V]	$V_{OUT}$ [V]※
09h(DLD)		1000_0000_0000		800h	-2048	-0.9995	-7.236
		1000_0000_0001		801h	-2047	-0.9995	-7.236
		1000_0000_0010		802h	-2046	-0.9990	-7.233
		1111_1111_1111		FFFh	-1	-0.0005	-0.004
		0000_0000_0000		000h	0	0	0.000
		0000_0000_0001		001h	+1	+0.0005	+0.004
		0111_1111_1110		7FEh	+2046	+0.9990	+7.233
		0111_1111_1111		7FFh	+2047	+0.9995	+7.236

※Low ゲインモード設定時。表内では出力の電圧飽和を考慮していません

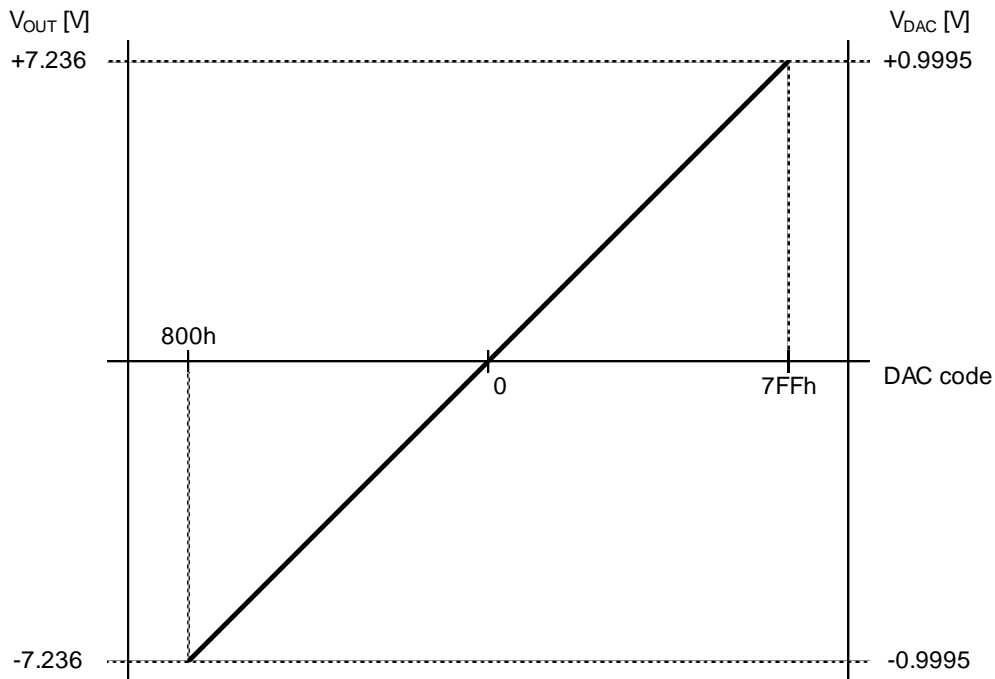


Figure 11. DAC 設定値対  $V_{DAC}$  /  $V_{OUT}$  (Low ゲインモード時)

◆ 送りモータ (SL1, SL2)

出力ピーク電流を  $I_{O\ PEAK}$  とすると、 $I_{O\ PEAK}$  は次のようになります。

$$\begin{aligned}
 I_{O\ PEAK} &= 0 && (|V_{DAC}| < V_{DZSL}) \\
 I_{O\ PEAK} &= g_{mSL} \times |V_{DAC}| && (g_{mSL} \times |V_{DAC}| < I_{LIMSL}) \\
 I_{O\ PEAK} &= I_{LIMSL} && (g_{mSL} \times |V_{DAC}| > I_{LIMSL})
 \end{aligned}$$

ここで  $V_{DZSL}$  は入力不感帯幅(片側)で、15mV (Typ)です。  $g_{mSL}$  は入出力ゲイン、  $I_{LIMSL}$  は出力リミット電流で、それぞれ以下のように求められます。

$$\begin{aligned}
 g_{mSL} &= 0.616 / R_{SLRNF} \text{ [A/V]} \\
 I_{LIMSL} &= 0.52 / R_{SLRNF} \text{ [A]}
 \end{aligned}$$

また、DAC 出力電圧  $V_{DAC}$  は DAC レジスタ設定値より以下のように求められます。

MSB=0 の場合

$$V_{DAC} = 1.0 \times (\text{bit}[10] \times 0.5^1 + \text{bit}[9] \times 0.5^2 + \text{bit}[8] \times 0.5^3 + \dots + \text{bit}[2] \times 0.5^9)$$

MSB=1 の場合

$$V_{DAC} = (-1.0) \times (\text{bit}[10] \times 0.5^1 + \text{bit}[9] \times 0.5^2 + \text{bit}[8] \times 0.5^3 + \dots + \text{bit}[2] \times 0.5^9 + 0.5^9)$$

DAC format (DSL1, DSL2)

REG	MSB	Digital input (BIN)	LSB	Hex	Dec	$V_{DAC}$ [V]	$I_{O\ PEAK}$ [A]※
04h(DSL1), 05h(DSL2)		1000_0000_0000		800h	-2048	-0.9980	-1.098
		1000_0000_0100		804h	-2044	-0.9980	-1.098
		1111_1110_0000		FE0h	-32	-0.0156	-0.017
		1111_1110_0100		FE4h	-28	-0.0137	0
		1111_1111_1100		FFCh	-4	0.0020	0
		0000_0000_0000		000h	0	0	0
		0000_0000_0100		004h	+4	+0.0020	0
		0000_0001_1100		01Ch	+28	+0.0137	0
		0000_0010_0000		020h	+32	+0.0156	+0.017
		0111_1111_1000		7F8h	+2040	+0.9961	+1.096
		0111_1111_1100		7FCh	+2044	+0.9980	+1.098

※表内では出力の電圧飽和、リミット電流設定を考慮していません。  $R_{SLRNF}=0.56\Omega$  設定時

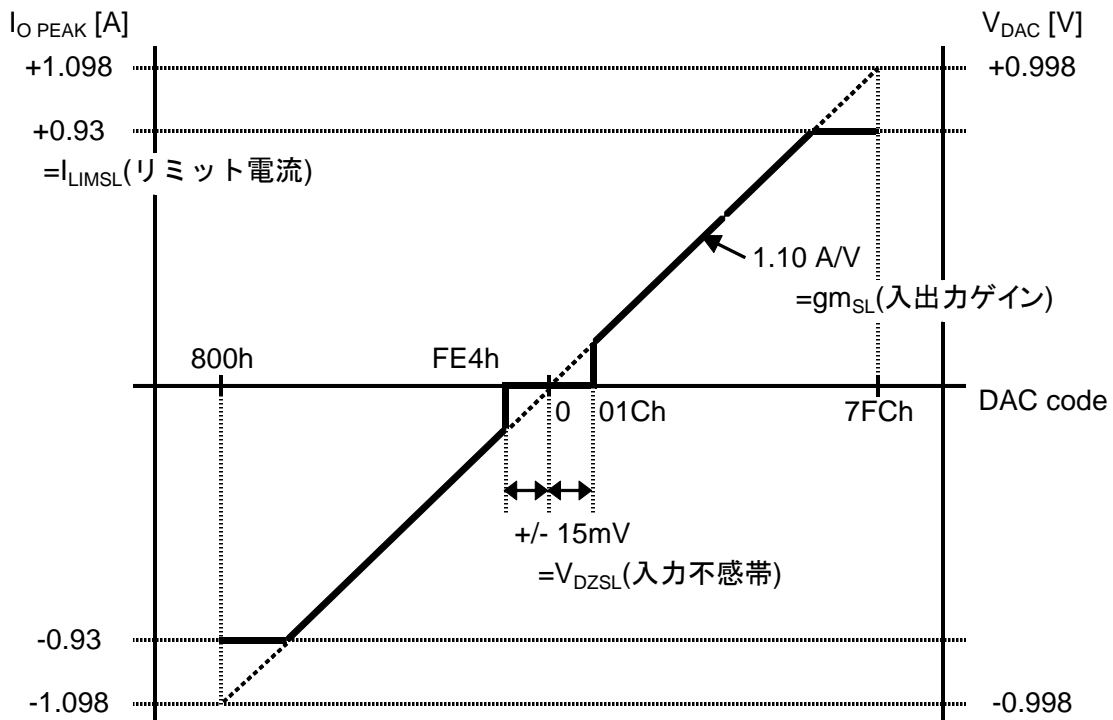


Figure 12.  $I_{O\ PEAK}$  特性 ( $R_{SLRNF} = 0.56\Omega$  設定時)

◆ スピンドル (SP)

出力ピーク電流を  $I_{O\ PEAK}$  とすると、 $I_{O\ PEAK}$  は次のようになります。

$$\begin{aligned}
 I_{O\ PEAK} &= 0 && (|V_{DAC}| < V_{DZSP}) \\
 I_{O\ PEAK} &= g_{mSP} \times |V_{DAC}| && (g_{mSP} \times |V_{DAC}| < I_{LIMSP}) \\
 I_{O\ PEAK} &= I_{LIMSP} && (g_{mSP} \times |V_{DAC}| > I_{LIMSP})
 \end{aligned}$$

ここで  $V_{DZSP}$  は入力不感帯幅(片側)で、10mV (Typ)です。  $g_{mSP}$  は入出力ゲイン、  $I_{LIMSP}$  は出力リミット電流で、それぞれ以下のように求められます。

$$\begin{aligned}
 g_{mSP} &= 0.409 / R_{SPRNF} \text{ [A/V]} \\
 I_{LIMSP} &= 0.35 / R_{SPRNF} \text{ [A]}
 \end{aligned}$$

また、DAC 出力電圧  $V_{DAC}$  は DAC レジスタ設定値より以下のように求められます。

MSB=0 の場合 :

$$V_{DAC} = 1.0 \times (\text{bit}[10] \times 0.5^1 + \text{bit}[9] \times 0.5^2 + \text{bit}[8] \times 0.5^3 + \dots + \text{bit}[0] \times 0.5^{11})$$

MSB=1 の場合 :

$$V_{DAC} = (-1.0) \times (\text{bit}[10] \times 0.5^1 + \text{bit}[9] \times 0.5^2 + \text{bit}[8] \times 0.5^3 + \dots + \text{bit}[0] \times 0.5^{11} + 0.5^{11})$$

DAC format (DSP)

REG	MSB	Digital input (BIN)	LSB	Hex	Dec	$V_{DAC}$ [V]	$I_{O\ PEAK}$ [A]※
08h(DSP)		1000_0000_0000		800h	-2048	-0.9995	-1.239
		1000_0000_0001		801h	-2047	-0.9995	-1.239
		1111_1110_1011		FEb	-21	-0.0103	-0.013
		1111_1110_1100		FECh	-20	-0.0098	0
		1111_1111_1111		FFFh	-1	-0.0005	0
		0000_0000_0000		000h	0	0	0
		0000_0000_0001		001h	+1	+0.0005	0
		0000_0001_0100		014h	+20	+0.0098	0
		0000_0001_0101		015h	+21	+0.0103	+0.013
		0111_1111_1110		7FEh	+2046	+0.9990	+1.238
		0111_1111_1111		7FFh	+2047	+0.9995	+1.239

※表内では出力の電圧飽和、リミット電流設定を考慮しておりません。  $R_{SPRNF}=0.33\Omega$  設定時

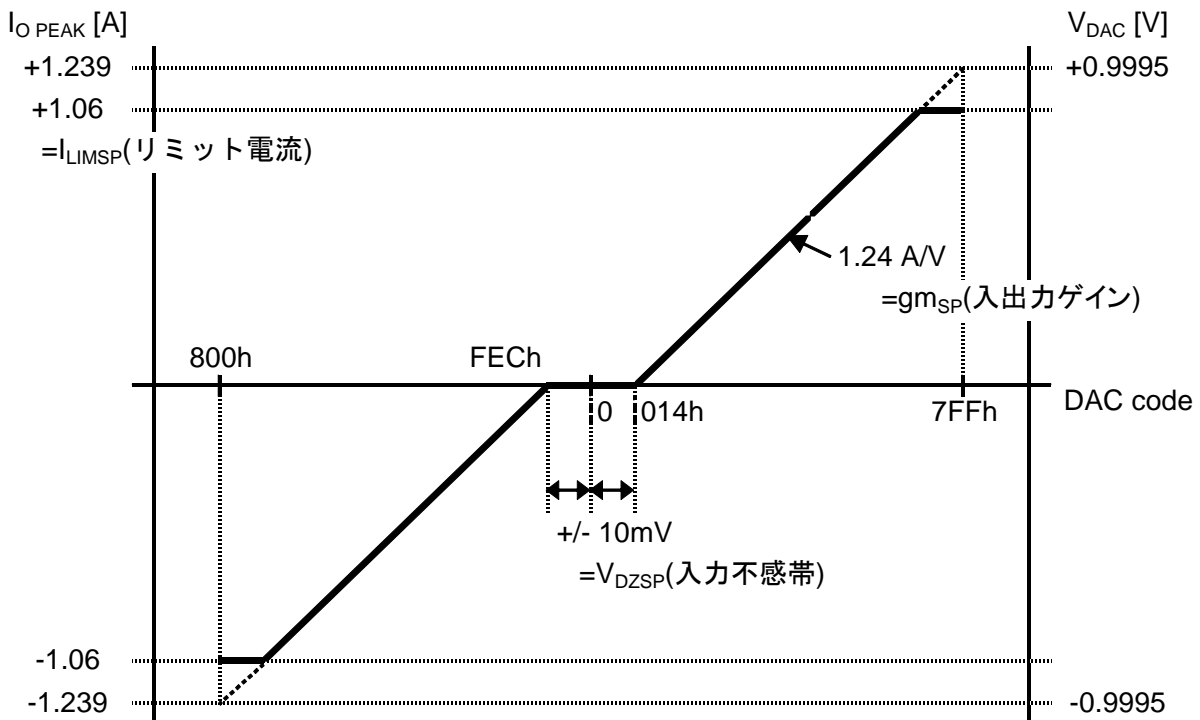


Figure 13.  $I_{O\ PEAK}$  特性 ( $R_{SPRNF} = 0.33\Omega$  設定時)

■ ドライバ動作説明

◆ 球面収差ドライバ用 LVDS 出力 (SA1, SA2)

球面収差ドライバ用 LVDS 出力は DSA1, DSA2 に格納されたデータに応じた出力をし、下表に従います。SAO1+, SAO1-は DSA1、SAO2+, SAO2-は DSA2 に対応しており、それぞれ独立に制御が可能です。なお、各出力の動作周波数は 10kHz 以下を推奨します。

DAC format (DSA1, DSA2)

REG	MSB	Digital input (BIN)	LSB	Hex	Dec	SAO+	SAO-
06h(DSA1), 07h(DSA2)	0	---_-----_-----		000h	0	L	H
	1	---_-----_-----		800h	-2048	H	L

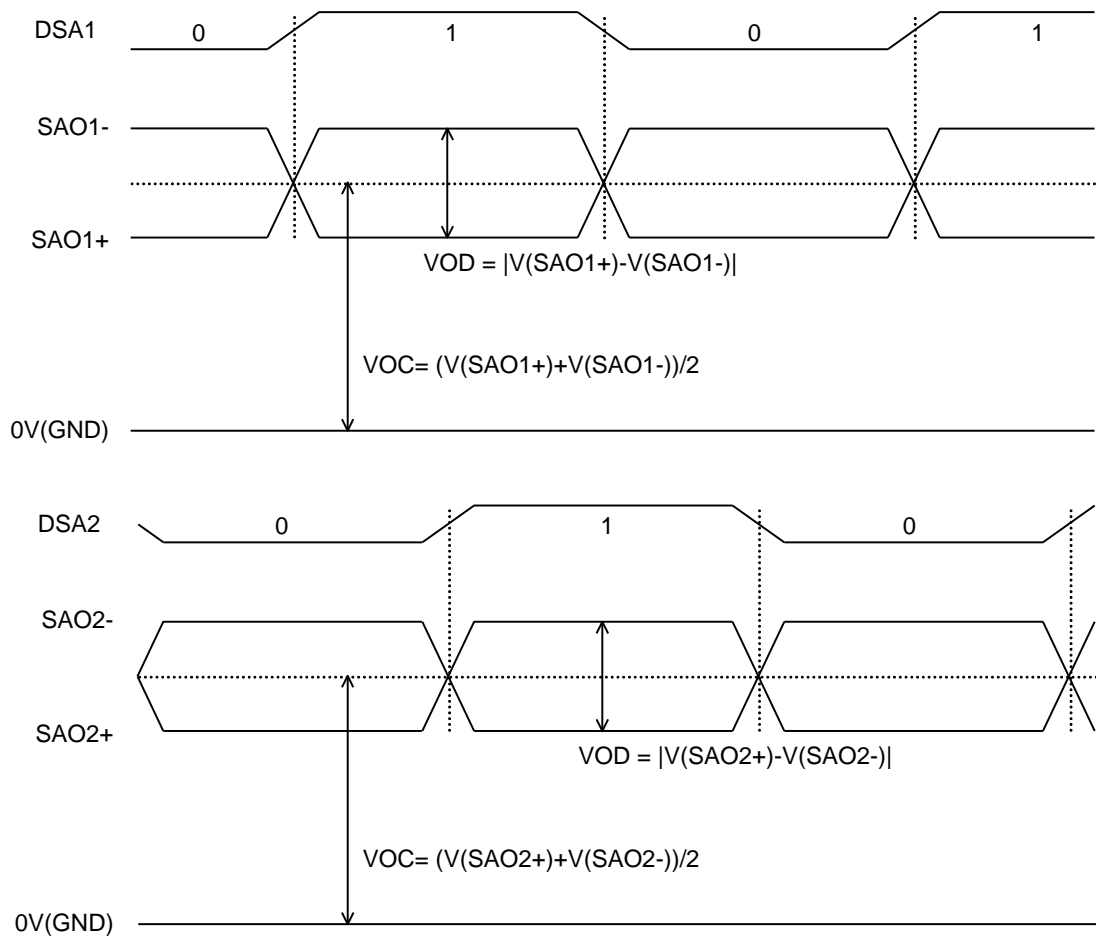


Figure 14. 球面収差ドライバ用 LVDS 出力タイミングチャート

◆ 送りモータドライバ

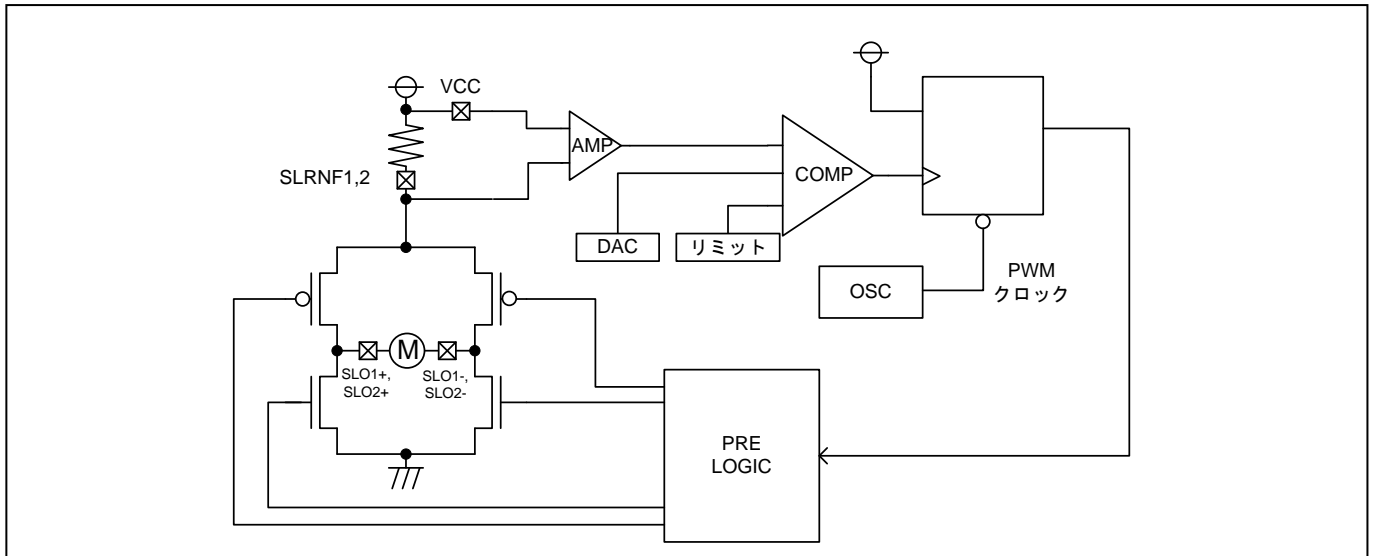


Figure 15. 送りモータドライバブロック図

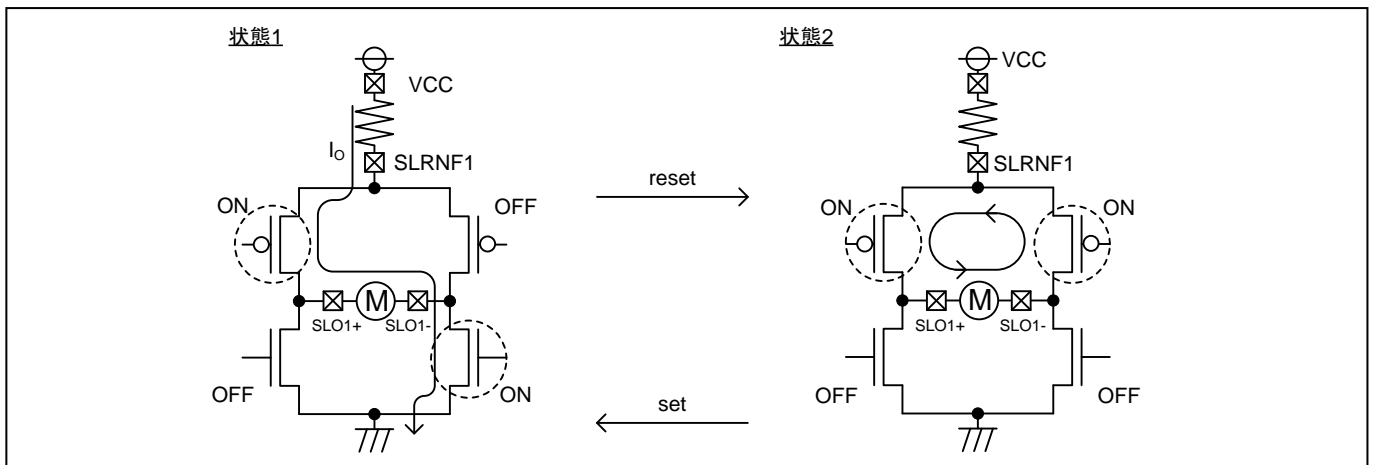


Figure 16. set[状態 1]、reset[状態 2]での電流経路

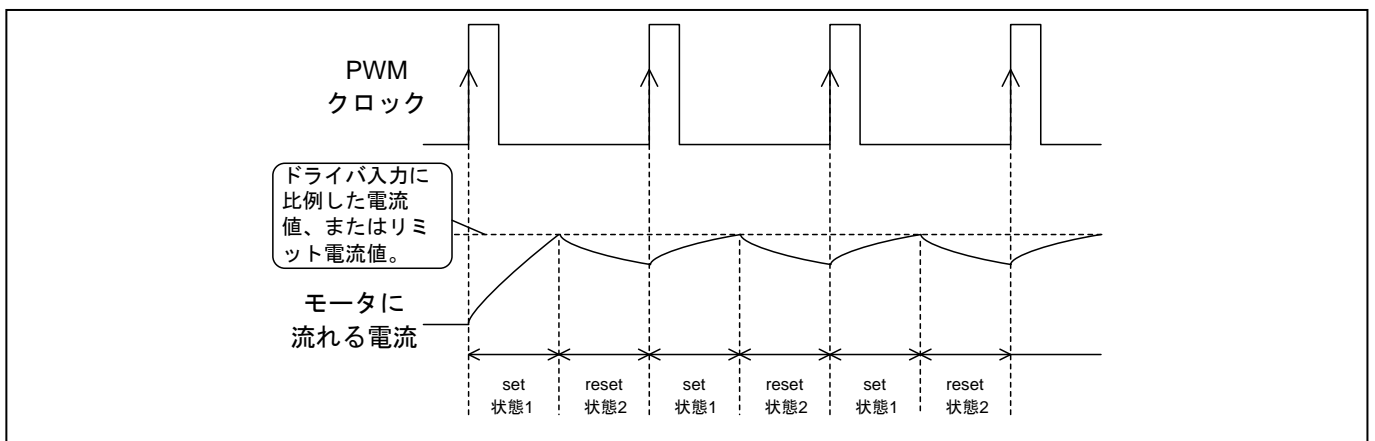


Figure 17. 送りモータドライバ動作 タイミングチャート

set[状態 1] : PWM クロックの立ち上がりで出力 ON→VCC より負荷電流が供給されます。

reset[状態 2] : 負荷電流が増加し、入力に比例した電流値またはリミット電流値に達すると出力 OFF→モータの L 成分により負荷電流が状態 2 図の経路で再生します。

◆ スピンドルドライバ

1. スピンドルドライバ入出力特性

Figure 18.は、平均電流検出制御とピーク電流検出制御の入出力特性を示しています。本 IC ではピーク電流検出により出力制御を行っています。Figure 18. (a)及び(b)を比較すると、平均電流検出方式に比べ入出力特性のリニアリティが改善されています。

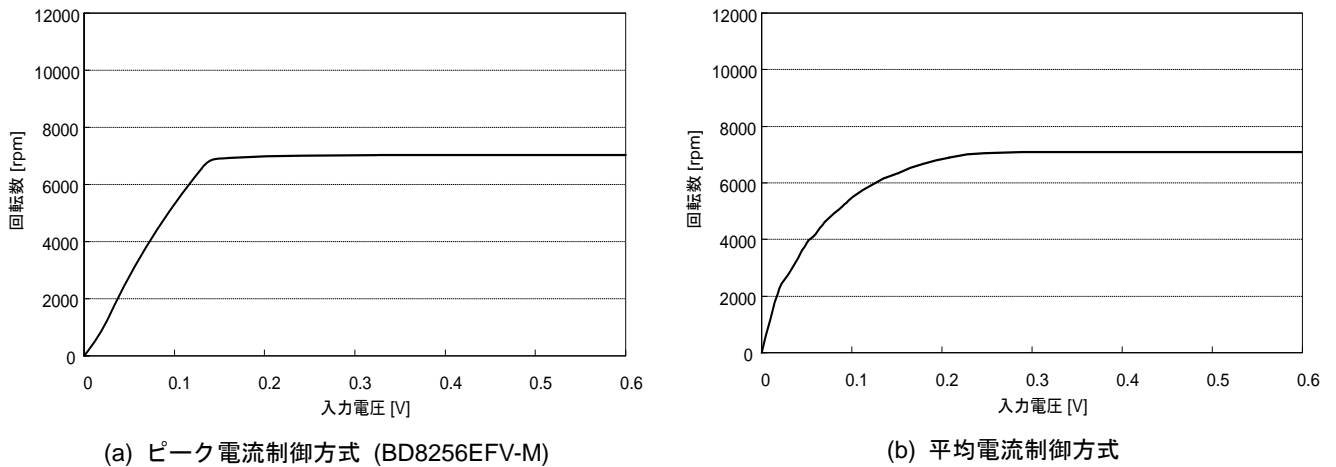


Figure 18. スピンドルドライバ入出力特性

この方式の違いによる入出力特性の差は、以下のように説明できます。モータのコイルは純粋なインダクタンス成分だけではなく、インピーダンス成分も含まれています。ここで、出力パルスの波高値を  $V_o$  とすると、出力パルス ON 時にモータに流れる電流  $I_o$  は以下のように表せます。

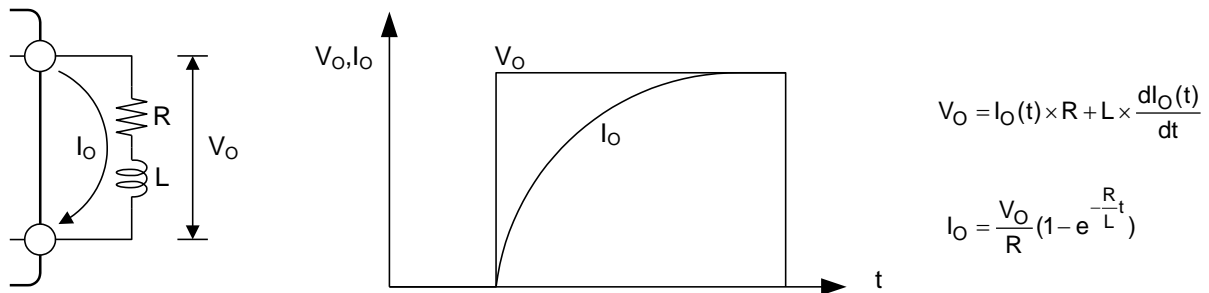


Figure 19. インピーダンス成分を含む電流波形

モータに流れる電流  $I_o$  は上式より自然対数のカーブを描くことがわかります。これをそれぞれの制御方法により入力電圧対モータに流れる電流の特性として表すと、Figure 20.のようになります。スピンドルモータの回転数はモータに流れる電流に比例します。PWM ドライバの場合、モータに流れる電流は再生電流も含まれるため、およそピーク電流がモータに流れる電流と等しくなります。そのためピーク電流制御では、入力に対してモータに流れる電流(回転数)は比例関係になります。これに対して平均電流制御では、入力に対して電源からの供給電流の平均値(供給電流の積分値)が比例関係になります。そのため入力に対してモータに流れる電流(回転数)は、およそ自然対数のカーブを描くことになります(Figure 20. (b))。したがって、低速回転領域ではゲインが高くなります。



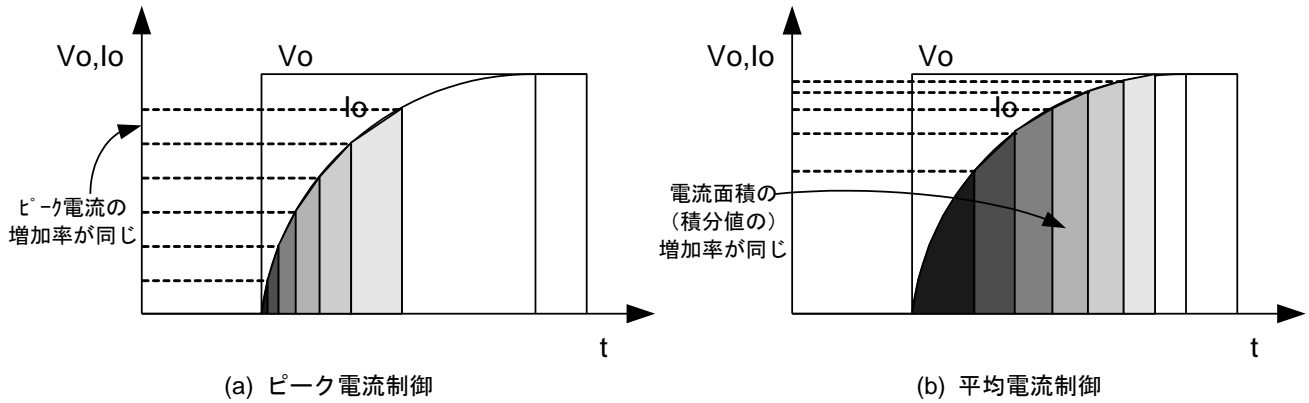


Figure 20. 入力電圧対モータ電流

2. 電流リミット動作について

Figure 21. に動作タイミングチャートを示します。

本 IC では、内蔵の三角波から生成されたクロックを基準にフリップフロップが動作し、PWM パルスを生成しています。スピンドルドライバ部は内部クロックの立ち上がりで動作を開始し、リミット電流またはゲインによって決まるピーク電流を検出するとショートブレーキ状態となり、次のクロックが入力されるまで出力パルスは出ません。リミット電流検出時も通常のピーク電流検出時も、同じ内部クロックによる PWM 発振周波数で動作します。

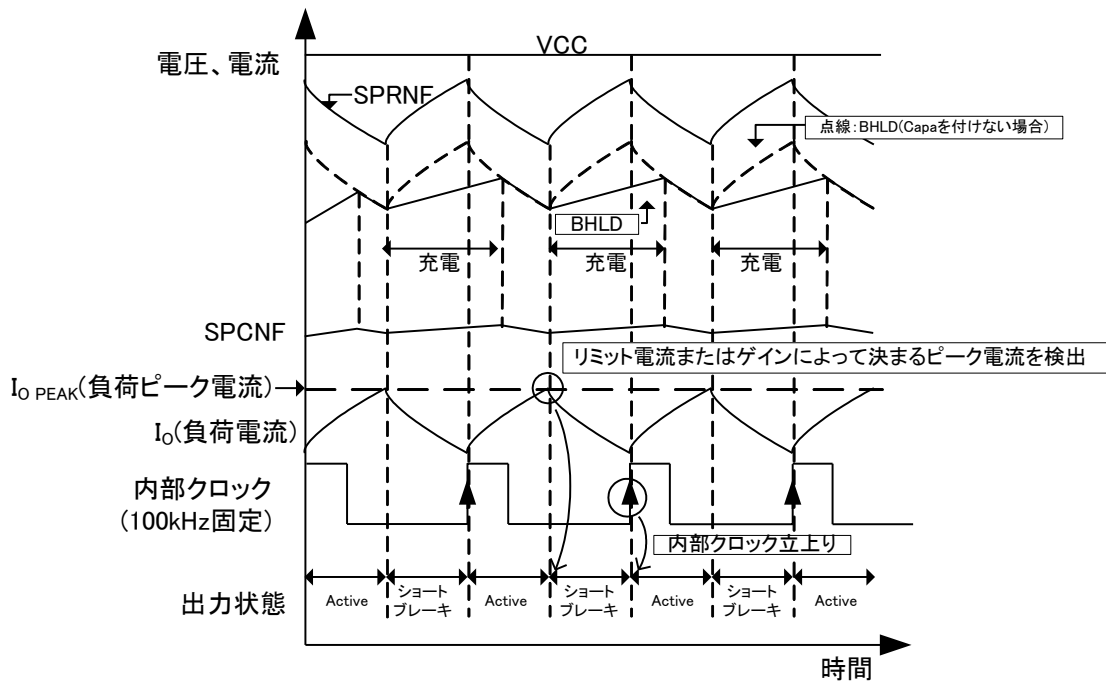


Figure 21. スピンドルドライバ動作タイミングチャート

3. BHLD 端子、SPCNF 端子のコンデンサの役割

Figure 22.にスピンドルドライバ部のブロック図を示します。

本 IC では、スピンドルモータに流れる負荷電流  $I_o$  を SPRNF 端子でモニタし、そのピーク電流を BHLD 端子に接続されたコンデンサ  $C_{BHLD}$  でホールドすることによってピーク電流制御方式を実現しています。BHLD 端子の充電時間は、 $C_{BHLD}$  容量と内部抵抗  $200k\Omega$  (Typ)によって決まる時定数となります。

SPCNF 端子のコンデンサ  $C_{SPCNF}$  は、スピンドルドライバ制御ループのカットオフ周波数  $f_c$  に影響します。 $f_c$  は次式で示されます。ここで、 $R_{OERR}$  は内部エラーアンプ出力インピーダンスで、約  $700k\Omega$ (Typ)です。

$$f_c = \frac{1}{2\pi C_{SPCNF} R_{OERR}}$$

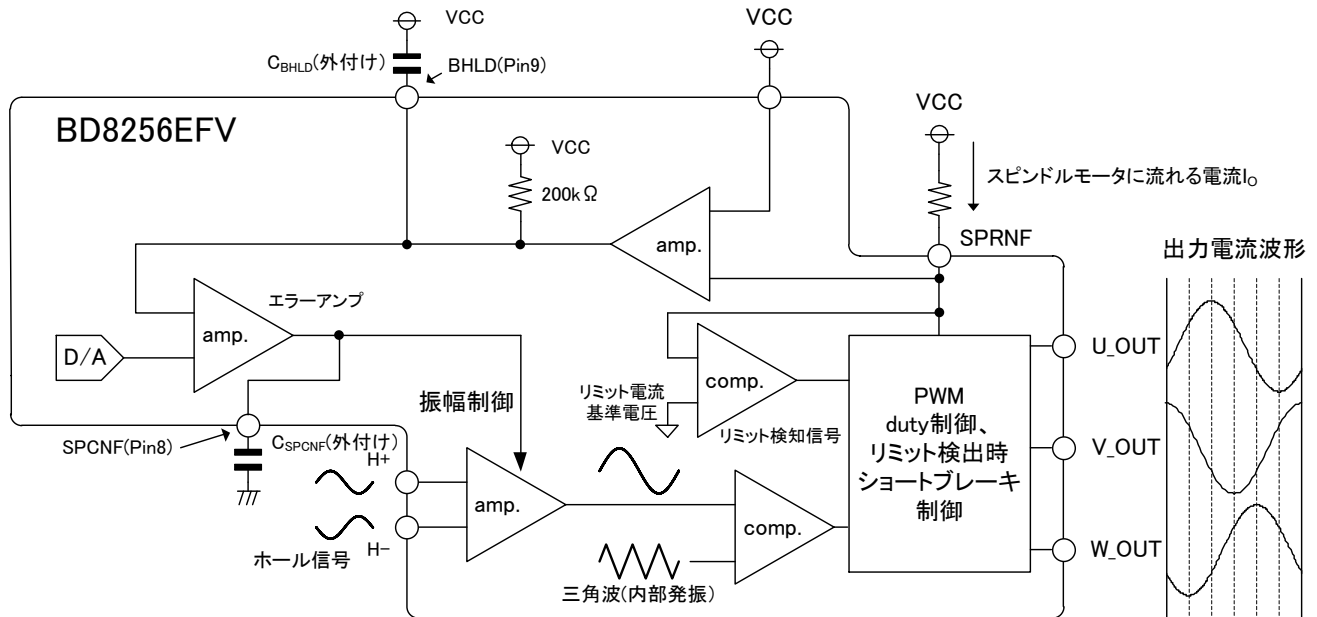


Figure 22. スピンドルドライバ ブロック図

4. スピンドルホール信号の設定について

本 IC では、Figure 22.にあるように、出力電流を正弦波形状に制御することで低ノイズ(静音)を実現しています。出力電流の制御には、ホール信号を REG 08h DSP に応じて増幅させた信号を用いています。そのため、ホール信号の振幅が小さすぎると出力電流の振幅も小さくなり、回転数が下がることがあります。したがってホール信号の入力レベルは、Figure 23.のように  $50mV$  以上(ホールアンプ入力レベル :  $V_{HIM}$ )にしてください。また、ホール信号の波形はなるべく正弦波に近い波形にしてください。

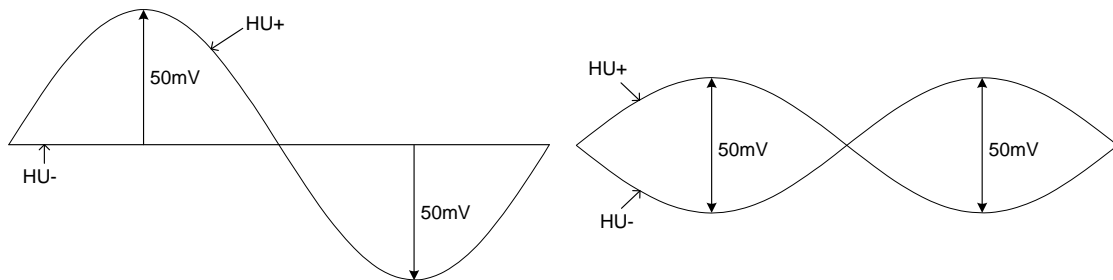


Figure 23. ホール入力振幅の最小値 (HU+, HU-入力例)

### 5. ホール入力 (Pin 1~6) / ホールバイアス(Pin 7) (スピンドル)

ホール素子は Figure 24.に示すようにシリーズ接続、パラレル接続どちらでも使用できます。

ただし、ホール入力電圧範囲は 1.5 ~ 3.8V (ホールアンプ同相入力電圧範囲 :  $V_{HICM}$ )に設定してください。

ホール素子の特性ばらつきによってホール入力電圧範囲を満たせない場合、ホール素子に並列に抵抗を接続する方法があります。さらに、ホールバイアス(Pin7)の代わりに GND へ接続する方法もあります。この場合の GND は PREGND(Pin30)とし、ホールバイアス(Pin7)は OPEN としてください。具体的な接続方法は、応用回路例をご参照ください。

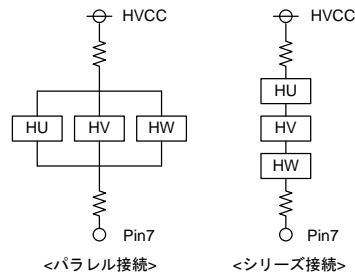


Figure 24. ホール素子の接続例

### 6. FG パルスについて

FG 端子には 3FG が出力されます。FG プルアップ抵抗は 3.3k $\Omega$  以下を推奨します。これより大きい抵抗に設定しますと、スピンドル出力が Hi-Z となる瞬間に FG 出力 High 論理が反転し、Low となる可能性があります。

FG パルスはホール出力信号から生成しているため、ホール信号にノイズが乗ると、FG 出力がバタつくことがあります。基板パターン上やフレキシブルケーブルでの輻射ノイズはできるだけ防止してください。それでも残るノイズに関しては、ホール信号正負間にコンデンサ(0.01 $\mu$ F 程度)を挿入することを推奨いたします。

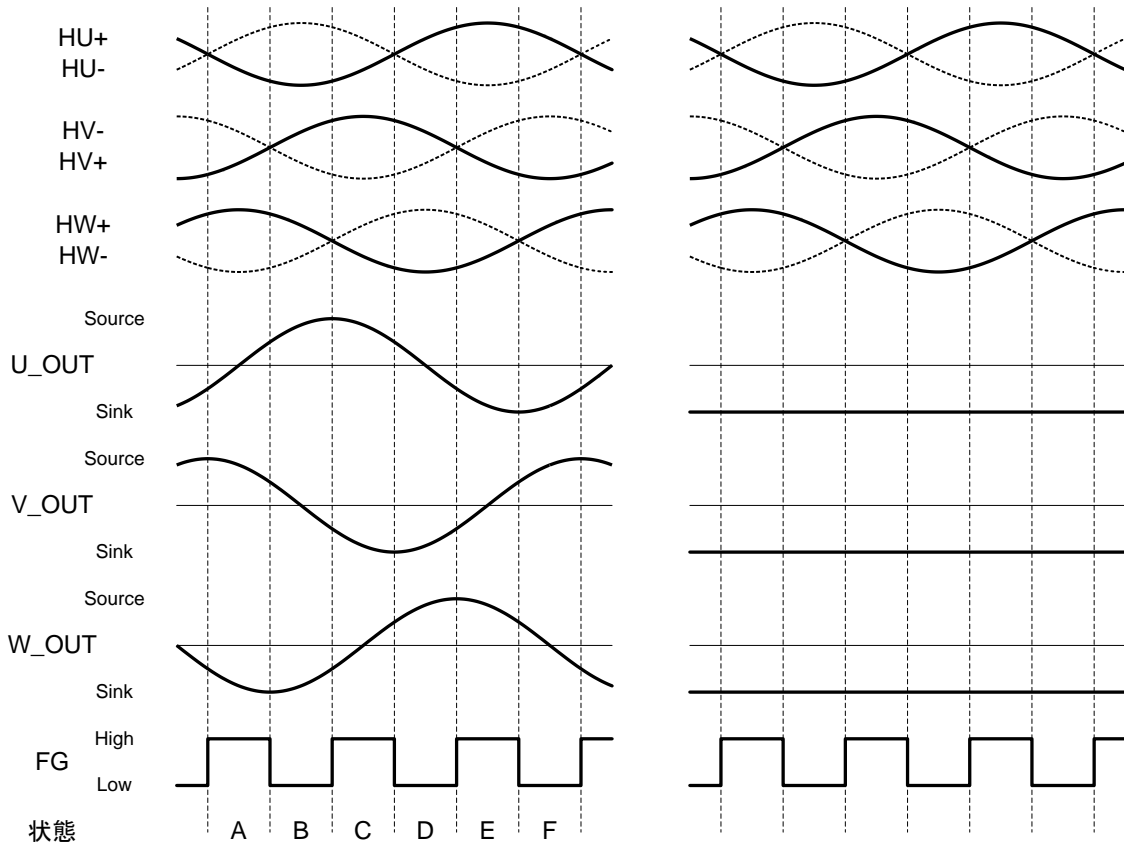
### 7. 逆転ブレーキ

高速回転から逆転ブレーキを行うときは、逆起電力に注意してください。また、出力電流を十分確認し、逆転ブレーキを使用する回転数を検討してください。

### 8. SPVM-SPGND 間コンデンサについて

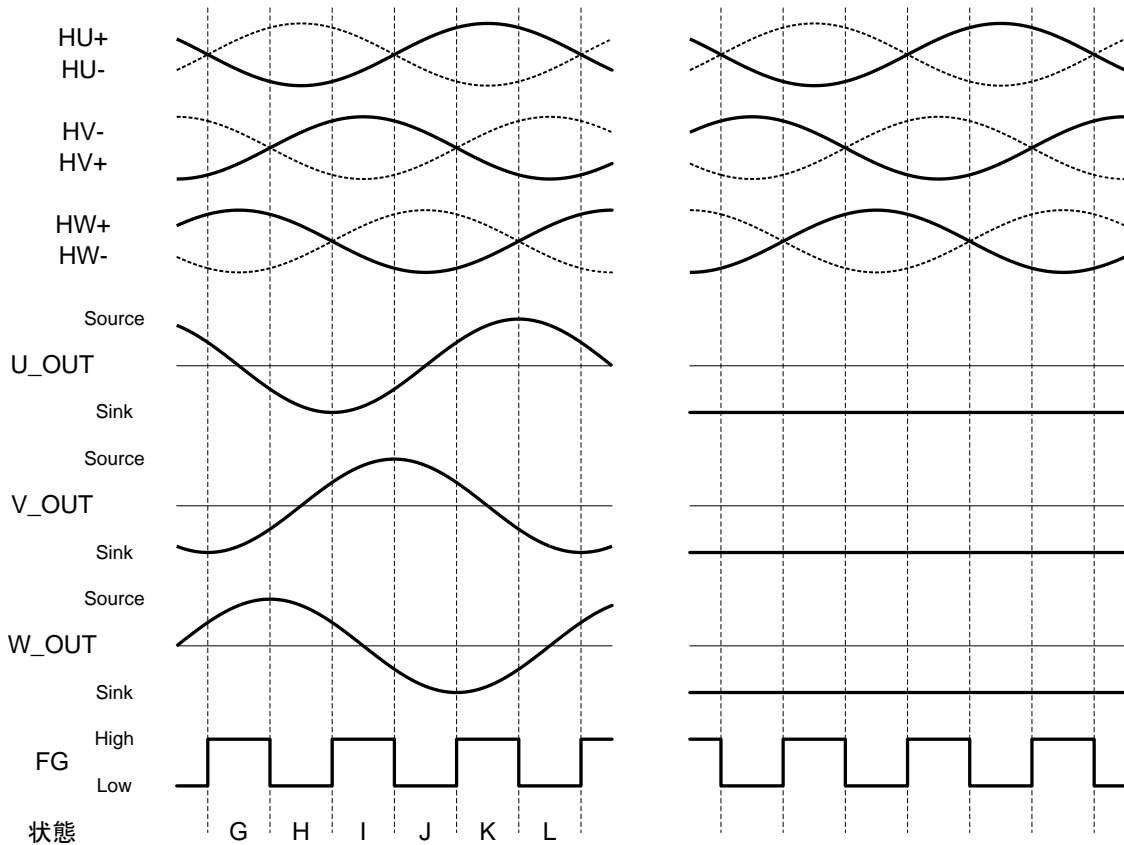
SPVM-SPGND 間コンデンサは PWM 駆動ゆえの急峻な電圧・電流の変化を吸収し、これにより SPVM 電圧の乱れを抑える役割があります。ただし、コンデンサが IC から遠くなれば、配線インピーダンス等の影響により、その効果は低下します。SPVM-SPGND 間コンデンサは IC の近くに配置して頂くようお願い致します。

9. スピンドル入出カタイミングチャート



(a) 正転モード  
(DSP>000h)

(b) ショートブレーキモード  
(DSP<000h, REG 74h[6]=0)



(c) 逆転ブレーキモード  
(DSP<000h, REG 74h[6]=1)

(b) 逆転防止モード  
(DSP<000h, REG 74h[6]=1, 逆転検出後)

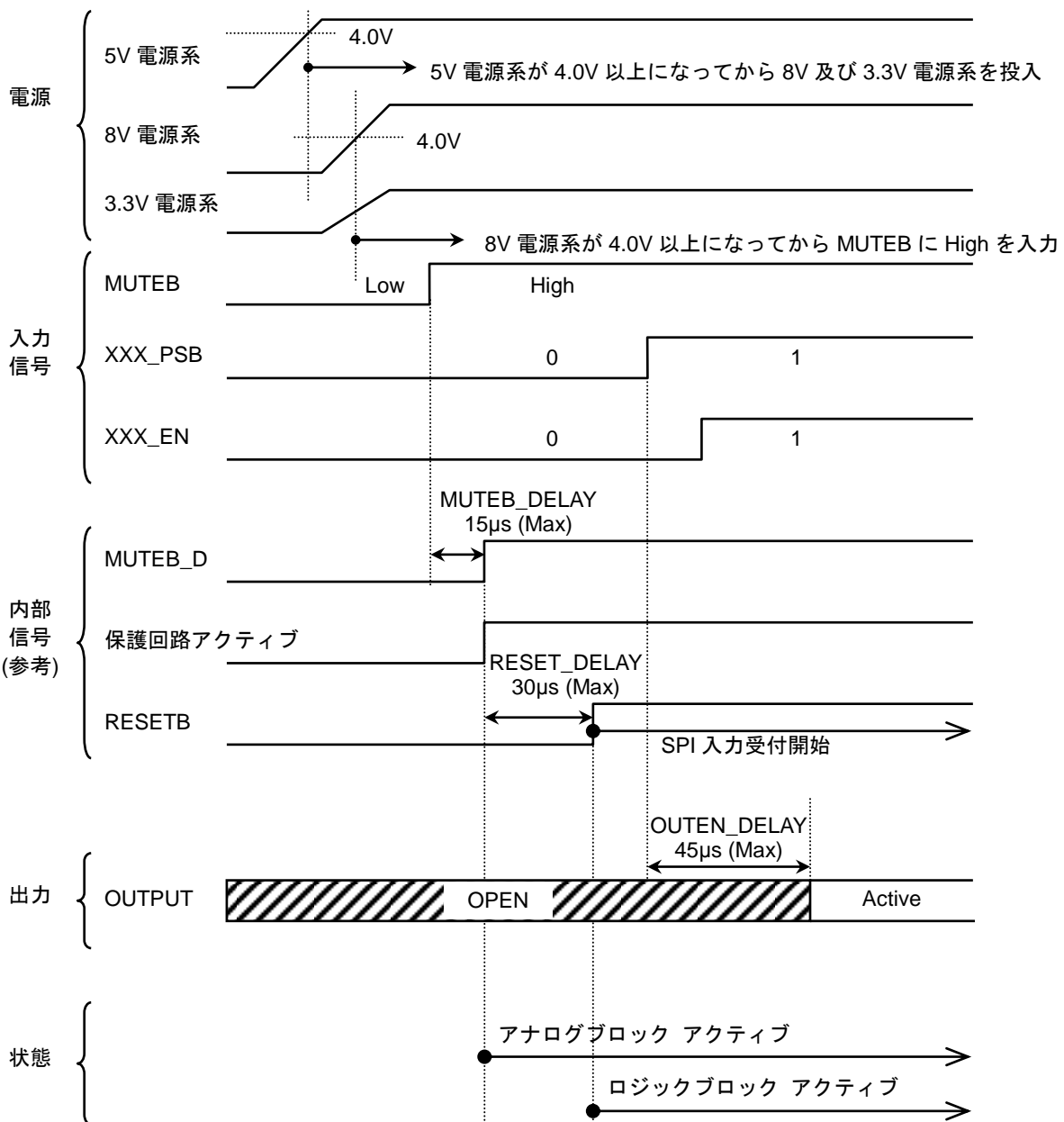
● 起動動作について

① 起動信号の種類

- ・ 5V 電源系 : PREVCC, FCTLRNF, TKRNF
- ・ 8V 電源系 : VCC, SPRNF, SLRNF1, SLRNF2
- ・ 3.3V 電源系 : SHV
- ・ MUTE<sub>B</sub> (入力端子) : IC 全体のスタンバイ (Low) / アクティブ (High) を設定
- ・ XXX\_PSB (SPI 制御信号) : 9ch 各ブロックの制御回路のパワーセーブ (0) / アクティブ (1) を設定
- ・ XXX\_EN (SPI 制御信号) : 9ch 各ブロックの出力の OPEN (0) / アクティブ (1) を設定
- ・ MUTE<sub>B</sub>\_D (内部信号) : アナログブロックのスタンバイ / アクティブを制御  
MUTE<sub>B</sub> から 15μs (Max) の Delay 有り
- ・ RESET<sub>B</sub> (内部信号) : SPI ブロック、ロジックブロックのリセット / アクティブを制御

② 起動シーケンス及び立ち下げ順序について

必ず 5V 電源系を投入後に 8V 電源系及び 3.3V 電源系を投入してください。順序が逆転しますと内部論理が不定となり、異常出力が発生する可能性があります。5V 電源投入後であれば、8V 電源系と 3.3V 電源系の投入順序はフリーです。また、電源立ち下げ順序については、特に規定はありません。



● 機能解説

1. 出力電圧状態(スピンドル / 送りモータ)

	スピンドル	送りモータ
入力不感帯時	Hi-Z	ショートブレーキ
リミット動作時	ショートブレーキ	ショートブレーキ

2. PWM 発振周波数(スピンドル/送りモータ)

スピンドル部及び送りモータ部の PWM 発振は内部で自走発振しています。発振周波数は 100kHz (Typ)です。

3. UVLO

VCC または PREVCC 端子電圧が 3.8V (Typ)以下または VREG 端子電圧が 2.0V (Typ)以下になると、すべてのチャンネルの出力が OFF(Hi-Z)になります。

※UVLO が動作している間、REG 77h[0] UVLO\_VCC が"1"にセットされます。さらに、PREVCC 端子電圧が 2.0V (Typ)以下または VREG 端子電圧が 1.2V (Typ)以下になると UVLO\_VCC が"0"にリセットされますが、この状態は動作範囲を下回っており、電圧降下度合いによってはすべてのレジスタの状態を保持できなくなる可能性があります。

4. サーマルシャットダウン

IC を熱破壊から防ぐため、サーマルシャットダウン(温度保護回路)を内蔵しています。

必ずパッケージの許容損失内でご使用いただきたいのですが、万が一許容損失を超えた状態で放置されますと、ジャンクション温度が上昇し 175°C (Typ)でサーマルシャットダウンが動作し、すべてのチャンネル出力を OFF (Hi-Z)します。その後、ジャンクション温度が 150°C (Typ)まで低下すると、再び動作を開始します。ただし、サーマルシャットダウンが動作している状態でも、外部からさらに熱が加え続けられると熱暴走し、破壊に至る可能性があります。

※サーマルシャットダウンが動作している間 REG 77h[3] TSD が"1"にセットされますが、この状態は定格温度を超えている状態であり、温度の上昇度合いによってはすべてのレジスタの状態を保持できなくなる可能性があります。

5. ローディング天地絡保護機能

ローディング出力を天絡、地絡した時に出力 POWER MOS を破壊する以下の条件がある時に出力 POWER MOS の破壊を防止する機能です。

- ・ SINK 側 POWER MOS が ON している時に天絡し、出力端子電圧が (POWER 電源-1V<sub>f</sub>) 以上と天絡時電流を同時に検出すると天絡保護を行います。この時、出力はラッチ OFF します。なお、1V<sub>f</sub>は約 0.7V(Typ)です。
- ・ SOURCE 側 POWER MOS が ON している時に地絡し、地絡時電流を検出すると地絡保護を行います。この時、出力はラッチ OFF します。なお、地絡検出電流は出力電圧に依存します。Figure 25.を参照してください。

※ローディング天地絡保護機能が動作した場合、REG 77h[4] SHORT\_LD が"1"にセットされます。

※保護機能が動作して出力がラッチ OFF した場合、REG 75h[2] SHORT\_RESET にてリセットすることで保護状態をリセットすることができます。

※天地絡保護回路には高周波ノイズを除去するフィルタを内蔵していますが、10μs (Typ)以上のノイズが入ってきた場合は、天地絡保護が動作する場合があります。

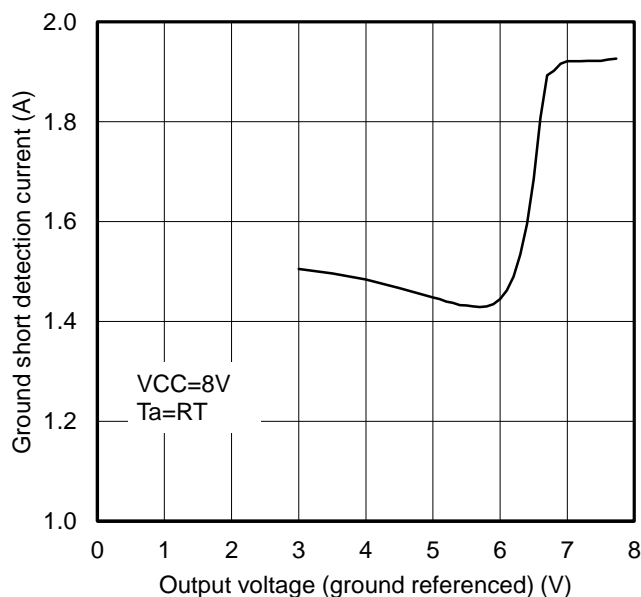


Figure 25. 出力電圧 - 地絡検出電流特性

6. パケットビット数エラー

本 IC のシリアル入力信号は 16bit を 1 パケットとしています。SLV 立ち下りから立ち上がりまでの間のクロックの立ち上がり回数が 16 回以外の場合、パケット異常と判断し、REG 77h[2] PKT\_ERR が”1”にセットされます。パケット異常と判断されたデータは破棄され、各レジスタは直前の状態を保持します。なお、次の 1 パケットが送信され、SLV 立ち下りから立ち上がりまでの間のクロックの立ち上がり回数が 16 回で正常の場合でも、PKT\_ERR は”1”にセットされたまま保持されます。ただし、このエラーでは出力をオープン状態にする動作は行いません。

7. パケットウォッチドッグタイマ

REG 76h[5,4] PKTSTOP\_TIME が”00”以外に設定されており、その設定時間内に有効パケット(16bit)の SLV の立ち上がりが無い場合、REG 77h[1] PKT\_STOP が”1”にセットされ、すべての出力がラッチ OFF (Hi-Z)になります。  
 ※保護機能が動作して出力がラッチ OFF した場合、REG 75h[4] RST\_PKTSTOP にてリセットすることで保護状態をリセットすることができます。

8. ERROUT 端子について

パケットビット数エラー、パケットウォッチドッグタイマのいずれかが動作した場合に、エラーフラグとして端子が High になります。

9. PRTOOUT 端子について

PRTOOUT 端子は MUTE<sub>B</sub>、UVLO、及びアクチュエータ過電流保護の動作状態を出力します。出力条件は以下の表に従います。

MUTE <sub>B</sub>	UVLO	過電流保護	PRTOOUT
L	保護	保護	H※
		解除	
	解除	保護	
		解除	
H	保護	保護	L
		解除	
	解除	保護	
		解除	

※抵抗プルアップ時

10. VREG 端子について

本 IC は内部回路用レギュレータを内蔵しており、VREG 端子はその出力となります。VREG 端子には出力電圧安定化および位相補償のため、0.01μF のコンデンサを接続してください。これより小さな容量の場合、回路動作が不安定になる可能性があります。  
 なお、外部回路に電源を供給できる設計とはなっていません。

11. アクチュエータ過電流保護機能 (OCP : Over Current Protection)

過電流状態を設定時間以上検知するとアクチュエータを保護する機能です。

PRTT, PRTFT	PRTOUT	アクチュエータ出力
> 2.95V	H	Hi-Z (保護状態)
< 2.95V	L	Active

外付けにより設定した負荷電流しきい値を 0 として、負荷電流値に比例した電流をコンデンサへ充放電します。保護がかかるまでの時間は PRTT, PRTFT 端子に接続するコンデンサ値と TKRNF, FCTRLNF, TKCDET, FCTLCDT, PRTLIM 端子に接続した抵抗によって決まります。PRTT, PRTFT 端子のデフォルト値は 1.06V (Typ)。保護は 2.95V (Typ)でかかります。(電源起動時、スタンバイ解除時でも PRTT, PRTFT 端子に 2.95V 以上の電位が残っている場合、保護がかかりますので注意してください。)

PRTT, PRTFT 端子が 1.1V 以下になり、その時に REG 75h[3] RST\_OCP に 1 をセットすると、保護は解除します。

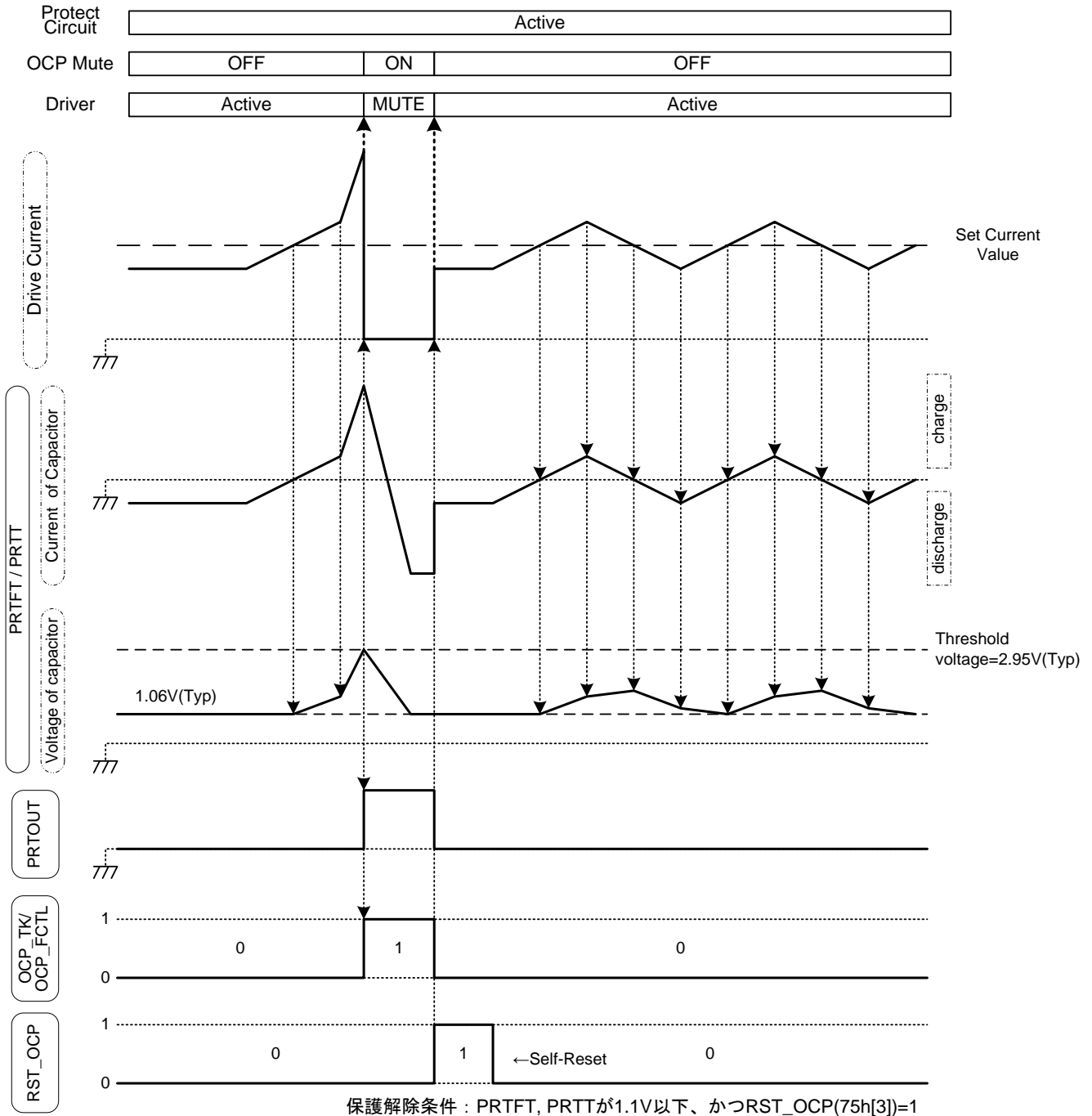


Figure 26. OCP タイミングチャート



12. アクチュエータ過電流保護回路定数設定例

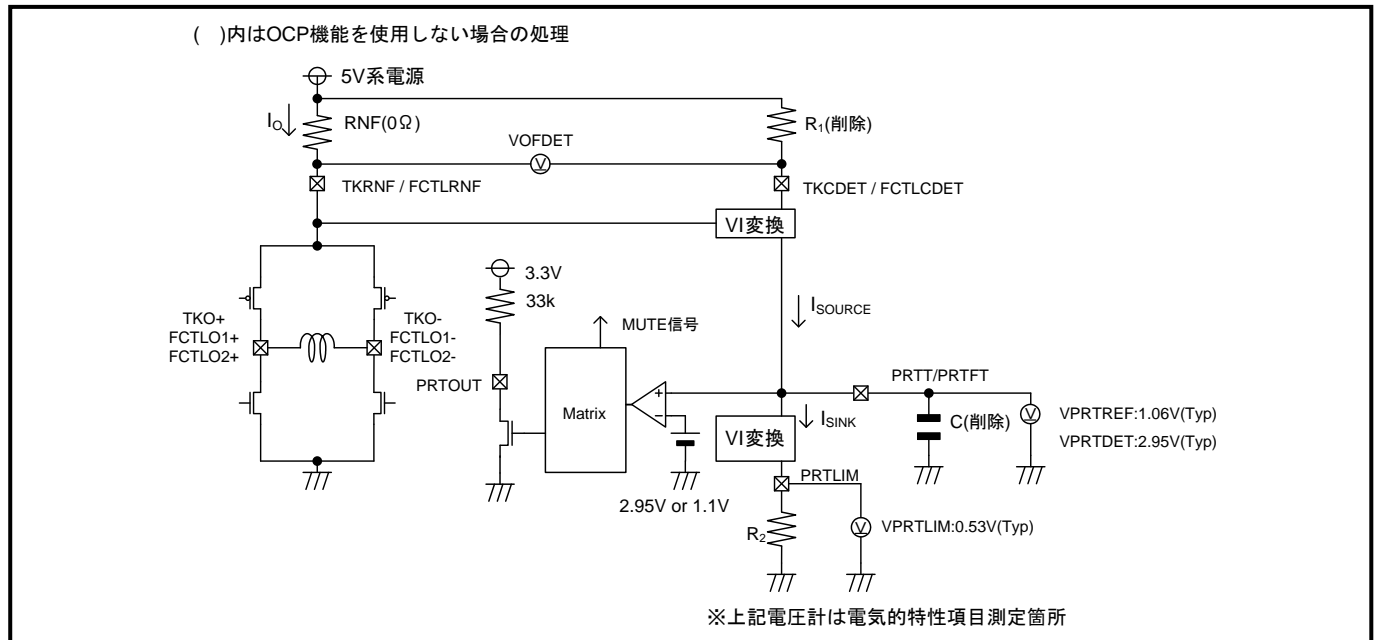


Figure 27. 過電流保護回路定数

コンデンサ C を充放電する電流  $I_{SINK}$  と  $I_{SOURCE}$  はそれぞれ次のように求められます。

$$I_{SINK} = \frac{VPRTLIM}{R_2}, \quad I_{SOURCE} = \frac{RNF \times I_O}{R_1}$$

また、過電流と検出し始める負荷電流  $I_t$  (スレッシュホールド電流) は  $I_{SINK} = I_{SOURCE}$  となる電流で、次のように求められます。

$$\begin{aligned} I_{SINK} &= I_{SOURCE} \\ \frac{VPRTLIM}{R_2} &= \frac{RNF \times I_t}{R_1} \\ I_t &= \frac{R_1}{R_2} \times \frac{VPRTLIM}{RNF} \end{aligned}$$

$I_{SINK} < I_{SOURCE}$  となり、異常検出フラグを出力するまでの時間  $t_d$  は、PRTFT / PRTT 電圧が 2.95V(Typ)となるまでの時間で、

$$\begin{aligned} C \times V_d &= (I_{SOURCE} - I_{SINK}) \times t_d \\ t_d &= \frac{C \times V_d}{I_{SOURCE} - I_{SINK}} \\ t_d &= \frac{C \times V_d}{\frac{RNF \times I_O}{R_1} - \frac{VPRTLIM}{R_2}} \end{aligned}$$

となります。(  $V_d = VPRTDET - VPRTREF = 2.95 - 1.06 = 1.89V$  )

例として、 $t_d = 100ms$ ,  $I_O = 200mA$ ,  $I_t = 100mA$ ,  $RNF = 0.5\Omega$ ,  $R_2 = 47k\Omega$  とすると、 $R_1$  及び C はそれぞれ

$$\begin{aligned} R_1 &= \frac{R_2 \times RNF}{VPRTLIM} \times I_t = \frac{47k \times 0.5}{0.53} \times 100m = 4.4(k\Omega) \\ C &= \frac{t_d}{V_d} \times \left( \frac{RNF \times I_O}{R_1} - \frac{VPRTLIM}{R_2} \right) = \frac{100m}{1.89} \times \left( \frac{0.5 \times 200m}{4.4k} - \frac{0.53}{47k} \right) = 0.61(\mu F) \end{aligned}$$

と求めることができます。

また、保護動作後、PRTFT / PRTT 電圧が C の放電によりデフォルト電圧(1.06V Typ)に降下するまでの時間  $t_{dc}$  は

$$\begin{aligned} C \times V_d &= I_{SINK} \times t_{dc} \\ \therefore t_{dc} &= \frac{C \times V_d}{I_{SINK}} = \frac{C \times (VPRTDET - VPRTREF)}{I_{SINK}} = \frac{0.59 \times (2.95 - 1.06) \times 47k}{0.53} = 102(ms) \end{aligned}$$

となります。

● ノイズ対策

PWM ドライバのノイズの原因は以下のようなことが考えられます。

- A. 電源、GND ラインからのノイズ
- B. 放射ノイズ

～A の対策～

- ① ドライバの 8V 系パワー電源 (SPRNF, SLRNF1, SLRNF2, VCC)、5V 系パワー電源 (FCTLRNF, TKRNF) 及びパワー GND (SPGND, SLGND, ACTGND) ラインは、大電流が流れるため配線インピーダンスを下げてください。また、共通インピーダンスを持たないよう、他のデバイスの電源ラインとは根元で分離し、必ず別のラインで接続してください。(Figure 28.)

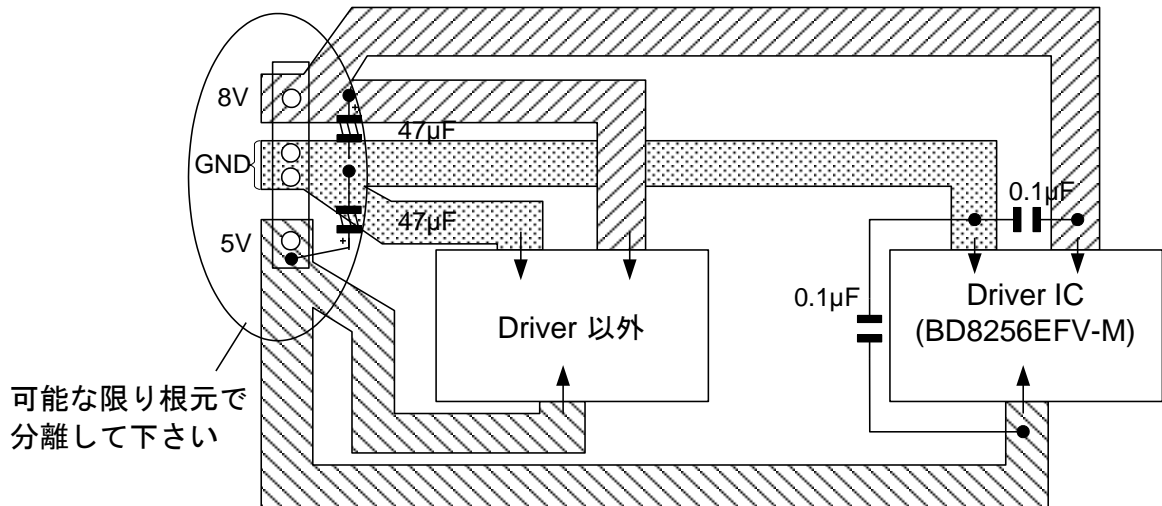


Figure 28. パターン例

- ② ドライバの電源端子、GND 端子間には ESR の低い電解コンデンサで強力に安定させてください。また IC の直近には、高周波特性の良いセラミック・コンデンサをつけてください。RNF-GND 間にも同様に高周波特性の良いセラミック・コンデンサをつけてください。(Figure 29.) それにより PWM スイッチング、及びスピンドルモータの回転による電源リップルを抑えることができます。

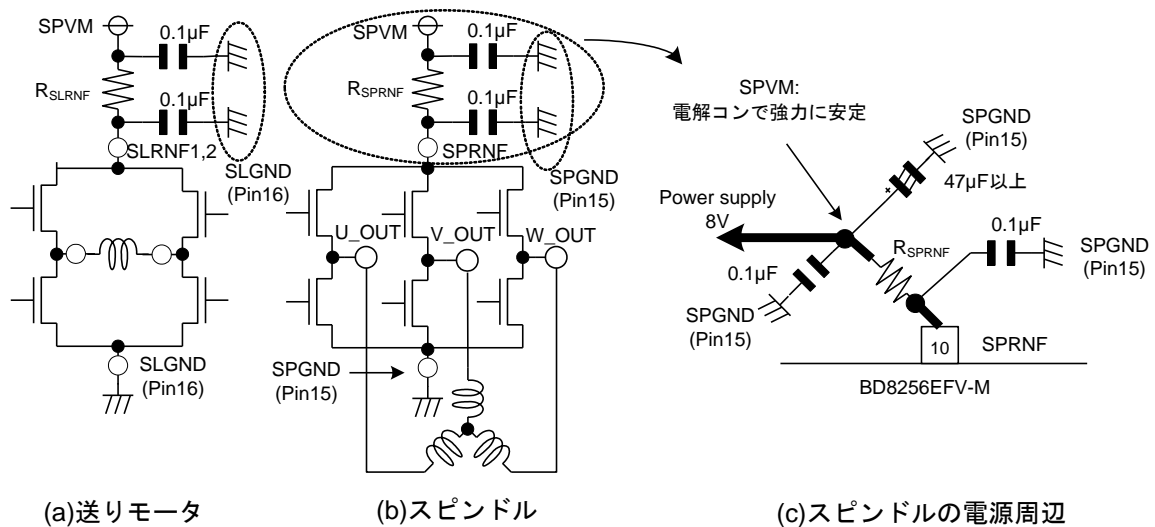


Figure 29. セラミック・コンデンサの位置

- ③ ①②で改善されない場合は電源ライン、または GND ラインに LC フィルタを挿入する方法もあります。

(例)

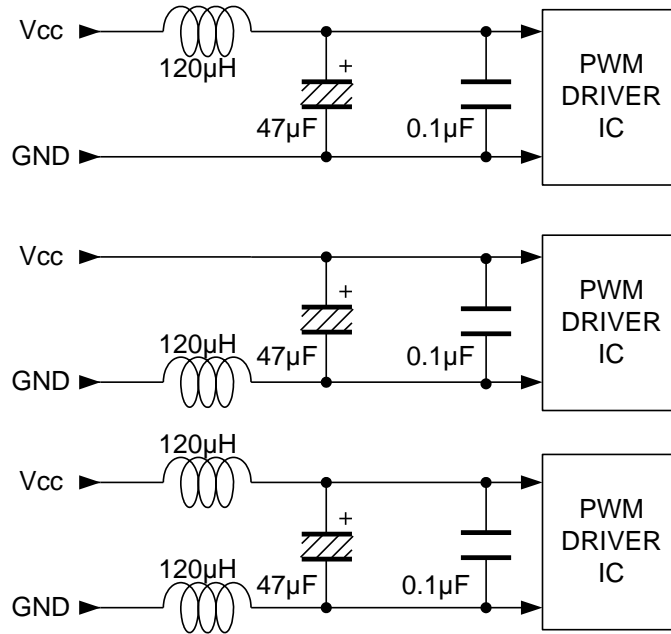


Figure 30. LC フィルタ図

- ④ さらに、PWM ドライバ(送りモータ)では、各出力と GND 間に 2200pF 程度のコンデンサを追加する方法もあります。この場合 GND の配線は他の信号と共通インピーダンスを持たないようにしてください。

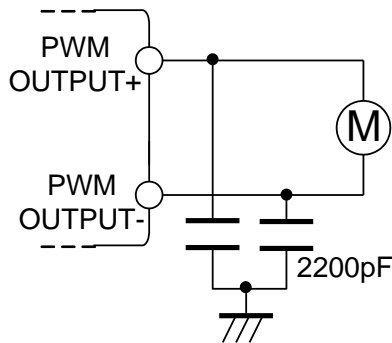


Figure 31. スナバ回路

～Bの対策～Figure 32.参照～

- ① RF 信号ラインと PWM 駆動する出力ラインは距離を離してください。やむを得ず近づく場合は安定したパワー GND 以外の GND で RF 信号ラインをシールドしてください。
- ② ①と同様、ピックアップへのフレキシブルケーブルでは信号線とアクチュエータの駆動出力ライン間をノイズ分離させるために GND でシールドしてください。
- ③ モータ系とアクチュエータ系は別のフレキシブルケーブルに分離して配線してください。
- ④ FG パルスはホール信号から生成されているため、フレキシブルケーブル及び基板パターン上でノイズが輻射しないように、PWM 出力とホール信号の間に安定した GND、もしくはそれ以外のローインピーダンスの配線を入れてシールドしてください。

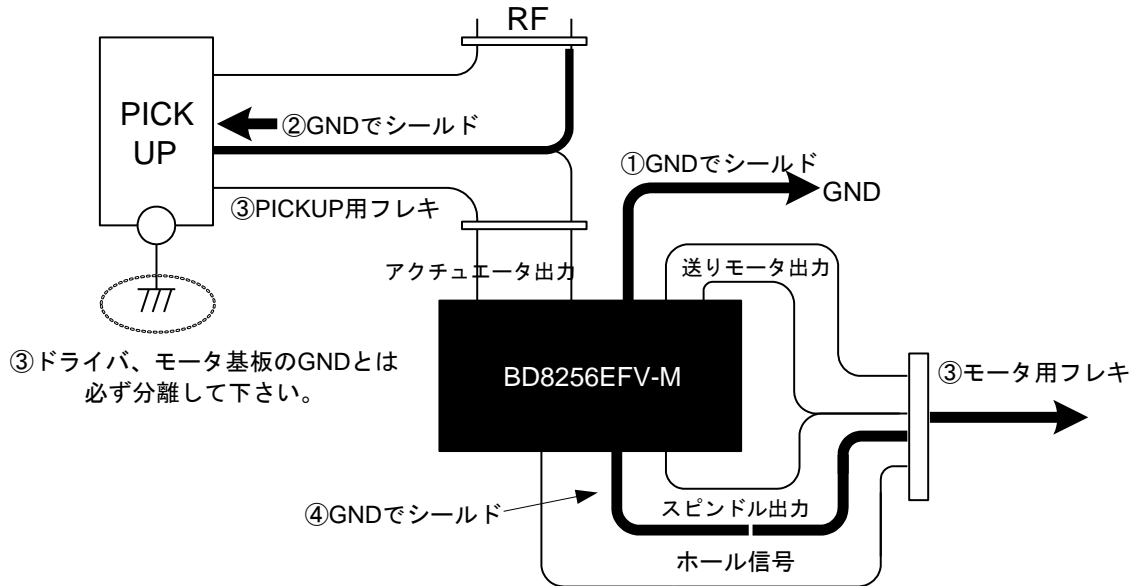


Figure 32. RF ノイズ対策

● 電源系統図 ※丸印(O)は端子を示す。

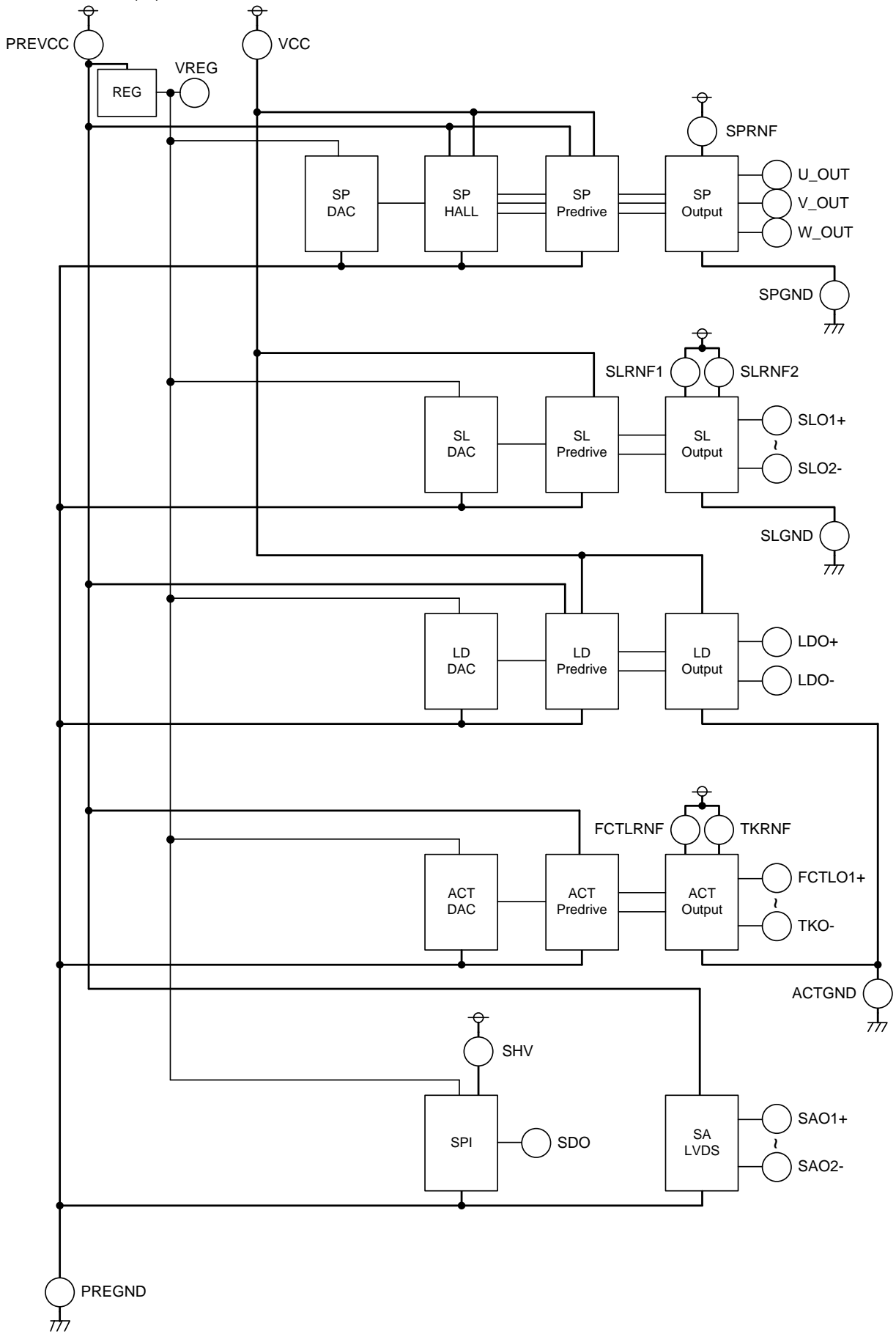


Figure 33.電源系統図

● 応用回路例 1

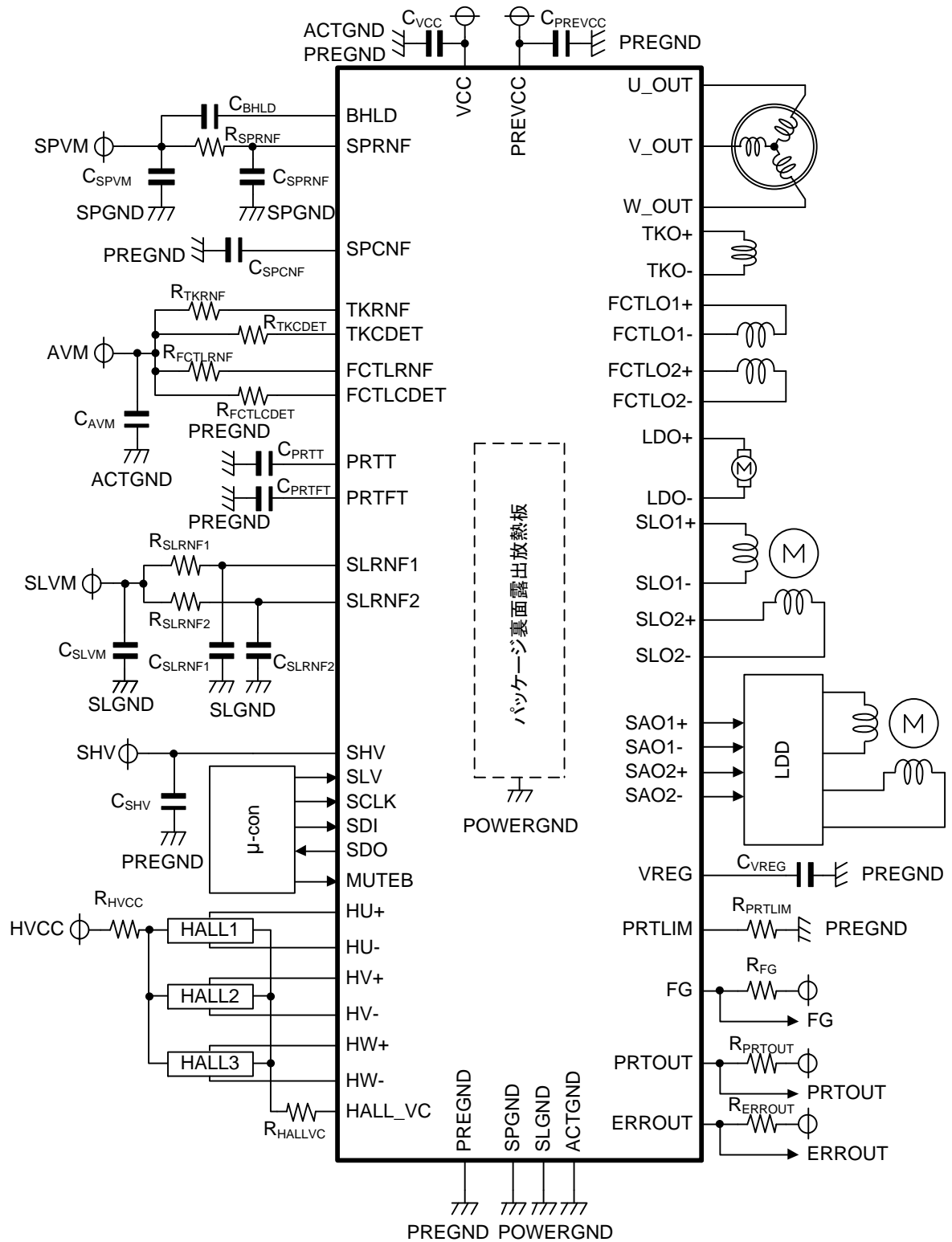


Figure 34. 応用回路例

## ▼推奨定数 1(応用回路例 1 に対応)

Component name	Component value	Product name	Manufacturer
C <sub>VCC</sub>	0.1μF	GCM188R11H Series	murata
	47μF	UCD1E470MCL	Nichicon
C <sub>PREVCC</sub>	0.1μF	GCM188R11H Series	murata
C <sub>BHLD</sub>	470pF	GCM188R11H Series	murata
C <sub>SPVM</sub>	0.1μF	GCM188R11H Series	murata
	47μF	UCD1E470MCL	Nichicon
R <sub>SPRNF</sub>	0.33Ω	MCR100 Series	Rohm
C <sub>SPRNF</sub>	0.1μF	GCM188R11H Series	murata
C <sub>SPCNF</sub>	0.01μF	GCM188R11H Series	murata
C <sub>AVM</sub>	0.1μF	GCM188R11H Series	murata
	47μF	UCD1E470MCL	Nichicon
R <sub>TKRNF</sub>	0.5Ω	MCR100 Series	Rohm
R <sub>TKCDET</sub>	10kΩ	MCR03 Series	Rohm
R <sub>FCTLRNF</sub>	0.5Ω	MCR100 Series	Rohm
R <sub>FCTLCDET</sub>	10kΩ	MCR03 Series	Rohm
C <sub>PRTT</sub>	0.1μF	GCM188R11H Series	murata
C <sub>PRTFT</sub>	0.1μF	GCM188R11H Series	murata
C <sub>SLVM</sub>	0.1μF	GCM188R11H Series	murata
	47μF	UCD1E470MCL	Nichicon
R <sub>SLRNF1</sub>	0.56Ω	MCR100 Series	Rohm
R <sub>SLRNF2</sub>	0.56Ω	MCR100 Series	Rohm
C <sub>SLRNF1</sub>	0.1μF	GCM188R11H Series	murata
C <sub>SLRNF2</sub>	0.1μF	GCM188R11H Series	murata
C <sub>SHV</sub>	0.1μF	GCM188R11H Series	murata
R <sub>HVCC</sub>	100Ω	MCR03 Series	Rohm
R <sub>HALLVC</sub>	100Ω	MCR03 Series	Rohm
C <sub>VREG</sub>	0.01μF	GCM188R11H Series	murata
R <sub>PRTLIM</sub>	47kΩ	MCR03 Series	Rohm
R <sub>FG</sub>	3.3kΩ	MCR03 Series	Rohm
R <sub>PRTOU</sub>	33kΩ	MCR03 Series	Rohm
R <sub>ERROUT</sub>	33kΩ	MCR03 Series	Rohm

● 応用回路例 2

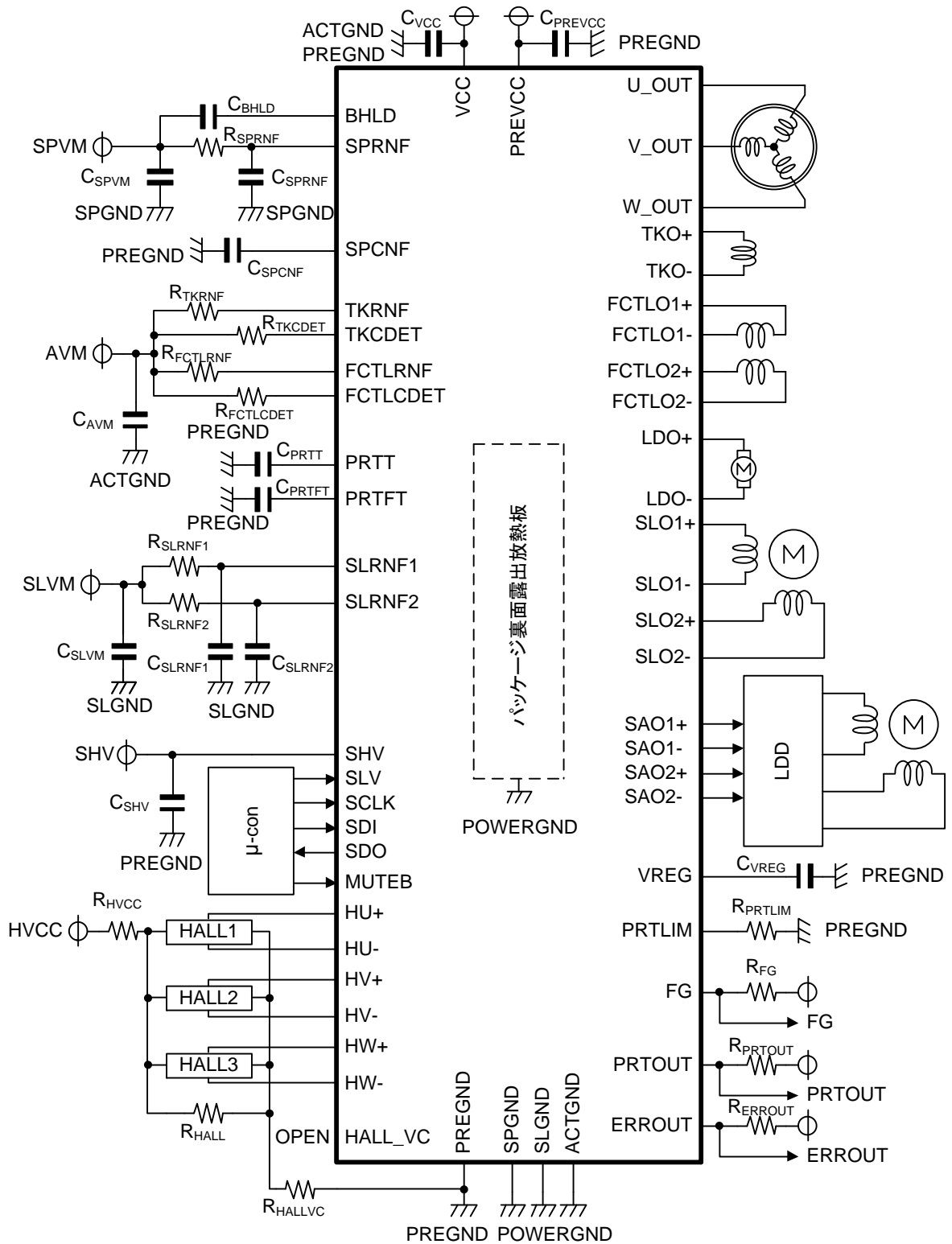


Figure 35. 応用回路例



## ▼推奨定数 2(応用回路例 2 に対応)

Component name	Component value	Product name	Manufacturer
C <sub>VCC</sub>	0.1μF	GCM188R11H Series	murata
	47μF	UCD1E470MCL	Nichicon
C <sub>PREVCC</sub>	0.1μF	GCM188R11H Series	murata
C <sub>BHLD</sub>	470pF	GCM188R11H Series	murata
C <sub>SPVM</sub>	0.1μF	GCM188R11H Series	murata
	47μF	UCD1E470MCL	Nichicon
R <sub>SPRNF</sub>	0.33Ω	MCR100 Series	Rohm
C <sub>SPRNF</sub>	0.1μF	GCM188R11H Series	murata
C <sub>SPCNF</sub>	0.01μF	GCM188R11H Series	murata
C <sub>AVM</sub>	0.1μF	GCM188R11H Series	murata
	47μF	UCD1E470MCL	Nichicon
R <sub>TKRNF</sub>	0.5Ω	MCR100 Series	Rohm
R <sub>TKCDET</sub>	10kΩ	MCR03 Series	Rohm
R <sub>FCTLRNF</sub>	0.5Ω	MCR100 Series	Rohm
R <sub>FCTLCDET</sub>	10kΩ	MCR03 Series	Rohm
C <sub>PRTT</sub>	0.1μF	GCM188R11H Series	murata
C <sub>PRTFT</sub>	0.1μF	GCM188R11H Series	murata
C <sub>SLVM</sub>	0.1μF	GCM188R11H Series	murata
	47μF	UCD1E470MCL	Nichicon
R <sub>SLRNF1</sub>	0.56Ω	MCR100 Series	Rohm
R <sub>SLRNF2</sub>	0.56Ω	MCR100 Series	Rohm
C <sub>SLRNF1</sub>	0.1μF	GCM188R11H Series	murata
C <sub>SLRNF2</sub>	0.1μF	GCM188R11H Series	murata
C <sub>SHV</sub>	0.1μF	GCM188R11H Series	murata
R <sub>HVCC</sub>	10Ω <sup>(1)</sup>	MCR03 Series	Rohm
R <sub>HALL</sub>	100Ω <sup>(1)</sup>	MCR03 Series	Rohm
R <sub>HALLVC</sub>	100Ω <sup>(1)</sup>	MCR03 Series	Rohm
C <sub>VREG</sub>	0.01μF	GCM188R11H Series	murata
R <sub>PRTLIM</sub>	47kΩ	MCR03 Series	Rohm
R <sub>FG</sub>	3.3kΩ	MCR03 Series	Rohm
R <sub>PRTOU</sub>	33kΩ	MCR03 Series	Rohm
R <sub>ERROU</sub>	33kΩ	MCR03 Series	Rohm

(1)HVCC=3.3V、ホール素子 25°C 抵抗値=250Ω~450Ω 時

## ● 熱損失について

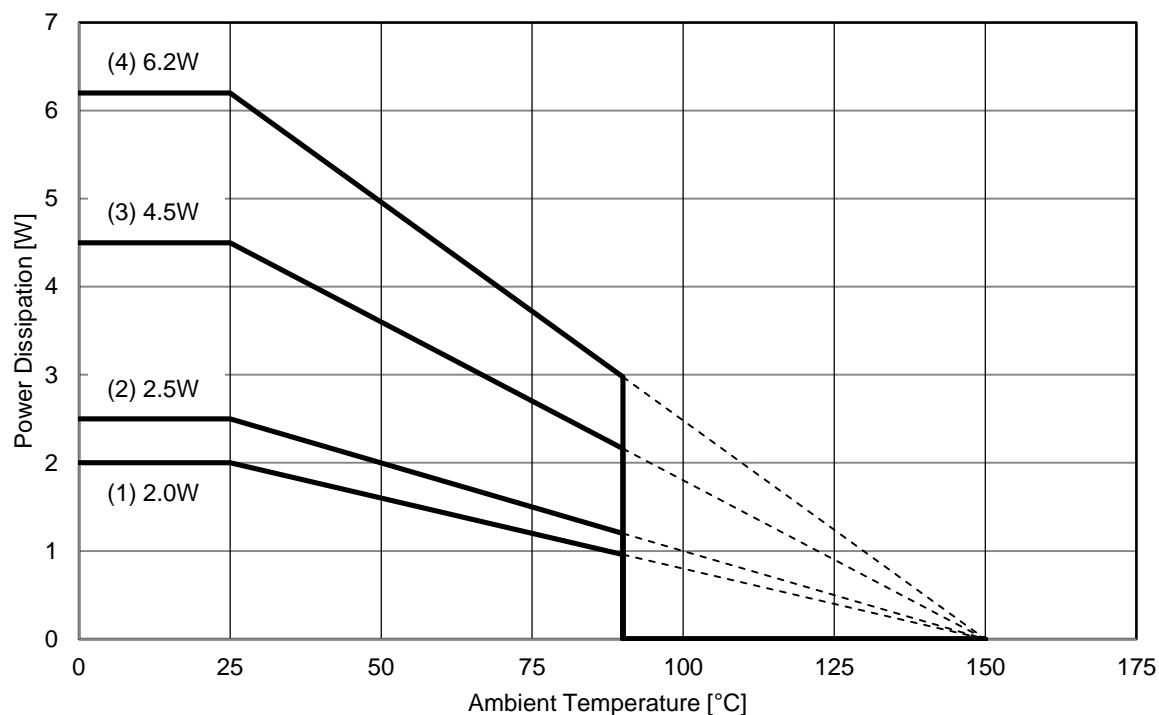


Figure 36. 熱軽減率曲線

注1: 70mm×70mm、厚さ 1.6mm、ガラスエポキシ基板実装時

注2: 基板の層数・銅箔面積により、値が変化します。ただし、この値は、実測値であり保証値ではありません。

パッケージ裏面露出放熱板と基板とを半田で接続

基板(1): 1層基板 (裏面銅箔 0mm × 0mm)

基板(2): 2層基板 (裏面銅箔 20mm × 11mm)

基板(3): 2層基板 (裏面銅箔 70mm × 70mm)

基板(4): 4層基板 (裏面銅箔 70mm × 70mm)

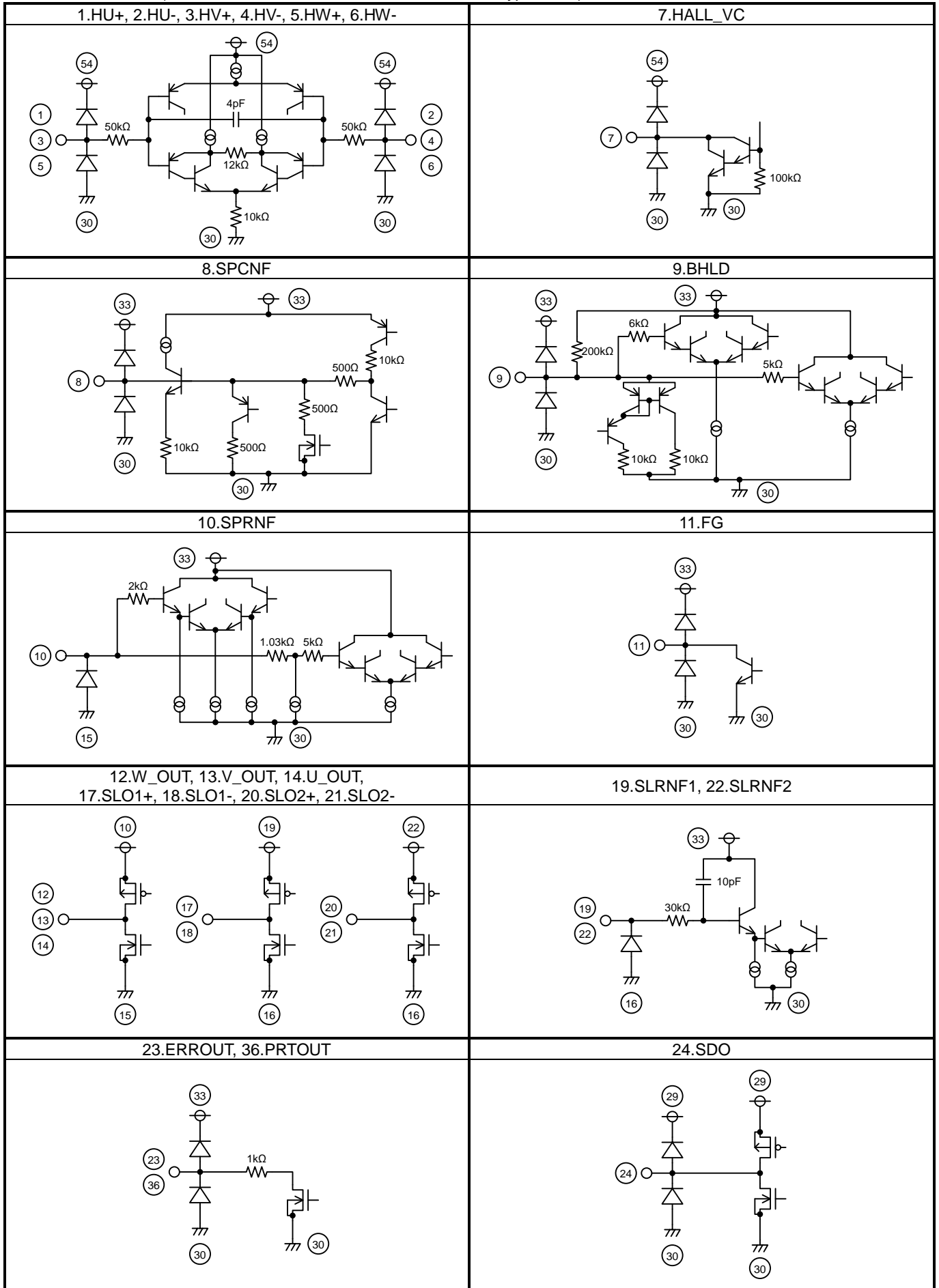
基板(1):  $\theta_{ja} = 62.5 \text{ } ^\circ\text{C/W}$

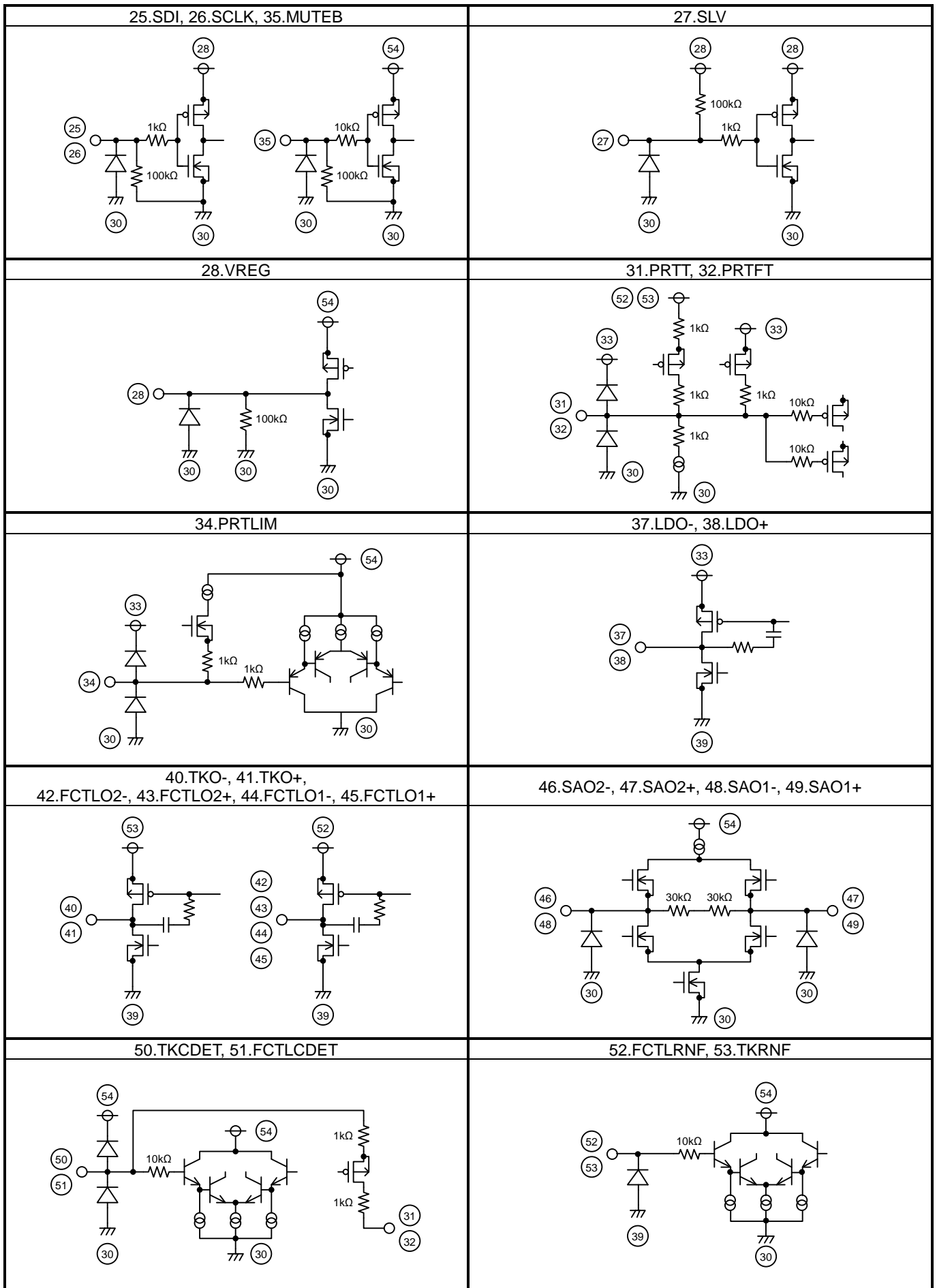
基板(2):  $\theta_{ja} = 50.0 \text{ } ^\circ\text{C/W}$

基板(3):  $\theta_{ja} = 27.8 \text{ } ^\circ\text{C/W}$

基板(4):  $\theta_{ja} = 20.2 \text{ } ^\circ\text{C/W}$

● 入出力等価回路図(丸数字は端子番号を示す。抵抗値と容量値は Typ 値です)





**● 使用上の注意****1. 電源の逆接続について**

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れる等の対策を施してください。

**2. 電源ラインについて**

基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。その際、デジタル系電源とアナログ系電源は、それらが同電位であっても、デジタル系電源パターンとアナログ系電源パターンは分離し、配線パターンの共通インピーダンスによるアナログ電源へのデジタル・ノイズの回り込みを抑制してください。グラウンドラインについても、同様のパターン設計を考慮してください。

また、LSI のすべての電源端子について電源-グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量ぬげが起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

**3. グラウンド電位について**

L 負荷駆動端子については、L 負荷の逆起の影響でグラウンド 以下に振れる事が考えられます。L 負荷駆動端子が逆起電圧によって負電位になる場合を除き、グラウンド 端子はいかなる動作状態においても最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド 端子、L 負荷駆動端子以外の全ての端子がグラウンド 以下の電圧にならないようにしてください。使用条件、環境及び L 負荷個々の特性によっては誤動作等の不具合が発生する可能性があります。IC の動作等に問題のないことを十分ご確認ください。

**4. グラウンド配線パターンについて**

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

**5. 熱設計について**

万一、許容損失を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。本仕様書の絶対最大定格に記載しています許容損失は、70mm x 70mm x 1.6mm ガラスエポキシ基板実装時、放熱板なし時の値であり、これを超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用する等の対策をして、許容損失を超えないようにしてください。

**6. 推奨動作条件について**

この範囲であればほぼ期待通りの特性を得ることが出来る範囲です。電気特性については各項目の条件下において保証されるものです。推奨動作範囲内であっても電圧、温度特性を示します。

**7. ラッシュカレントについて**

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

**8. 強電磁界中の動作について**

強電磁界中でのご使用では、まれに誤動作する可能性がありますのでご注意ください。

**9. セット基板での検査について**

セット基板での検査時に、インピーダンスの低いピンにコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

**10. 端子間ショートと誤装着について**

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けした場合、IC が破壊する恐れがあります。また、出力と電源およびグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

## ● 使用上の注意 — 続き

### 11. 未使用の入力端子の処理について

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

### 12. 各入力端子について

本 IC はモノリシック IC であり、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、 $GND >$ (端子 A)の時、トランジスタ(NPN)では  $GND >$ (端子 B)の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ(NPN)では、 $GND >$ (端子 B)の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に  $GND$ (P 基板)より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子が  $GND$  にショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

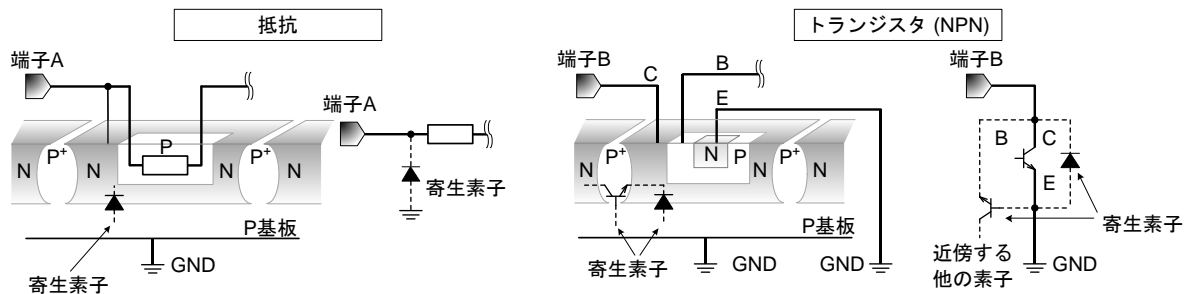


Figure 37. モノリシック IC 構造例

### 13. セラミック・コンデンサの特性変動について

外付けコンデンサに、セラミック・コンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮の上定数を決定してください。

### 14. 安全動作領域について

本製品を使用する際には、出力トランジスタが絶対最大定格及び ASO を越えないよう設定してください。

### 15. 温度保護回路について

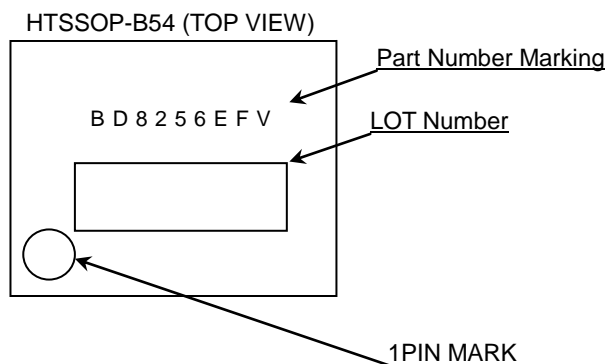
IC を熱破壊から防ぐための温度保護回路を内蔵しております。許容損失範囲内でご使用いただきますが、万が一許容損失を超えた状態が継続すると、チップ温度  $T_j$  が上昇し温度保護回路が動作し出力パワー素子が OFF します。その後チップ温度  $T_j$  が低下すると回路は自動で復帰します。なお、温度保護回路は絶対最大定格を超えた状態での動作となりますので、温度保護回路を使用したセット設計等は、絶対に避けてください。

● 発注形名情報

B D 8 2 5 6 E F V	-	M E 2
-------------------	---	-------

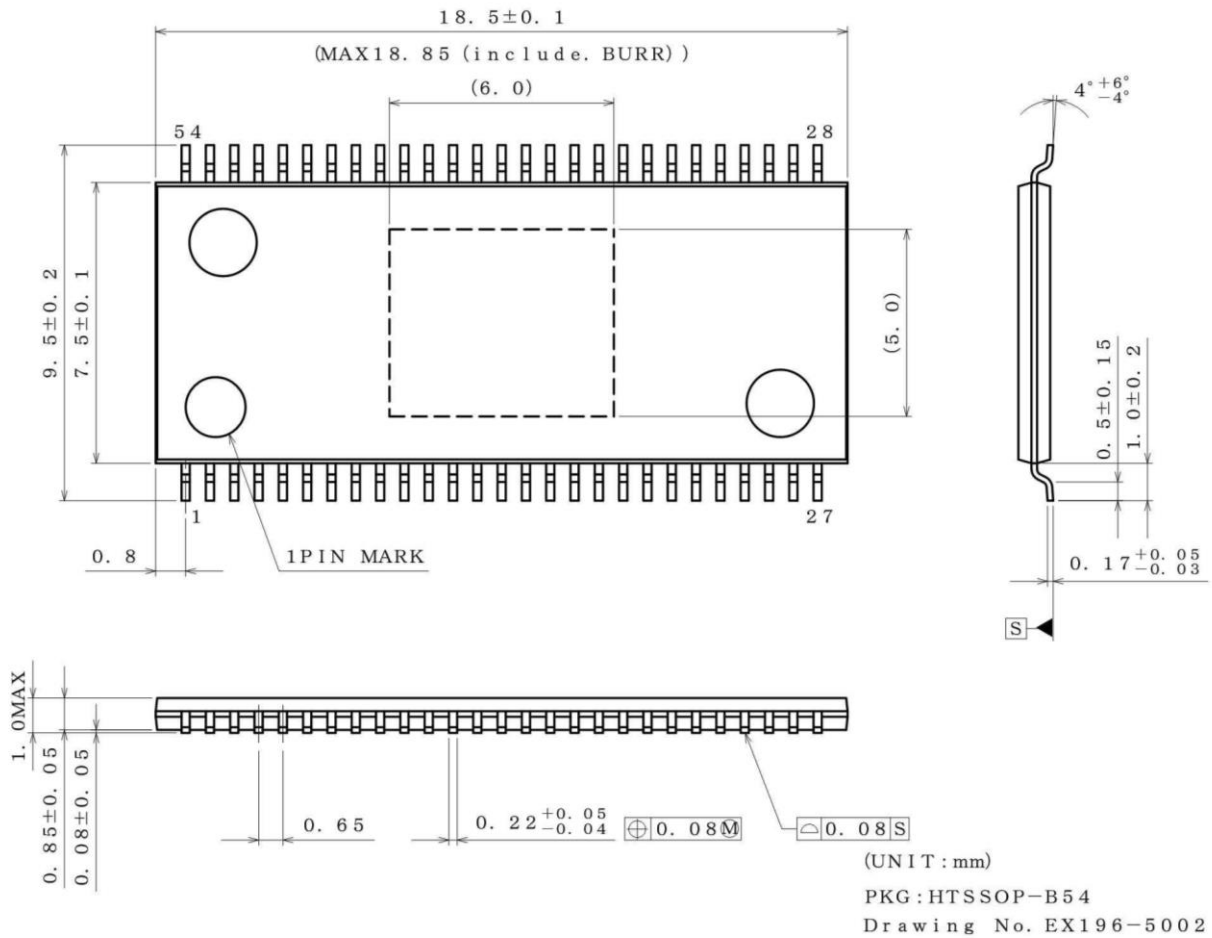
形名	パッケージ EFV : HTSSOP-B54	包装・フォーミング仕様 M : 高信頼性 E2 : リール状エンボステーピング (HTSSOP-B54)
----	---------------------------	---

● 標印図



● 外形寸法図と包装・フォーミング仕様

Package Name	HTSSOP-B54
--------------	------------



<包装仕様>

包装形態	エンボステーピング(防湿仕様)
包装数量	1500pcs
包装方向	E2 ( リールを左手に持ち、右手でテープを引き出したときに 製品の1番ピンが左上にくる方向 )

リール

1番ピン

引き出し側

※ご発注の際は、包装数量の倍数でお願い致します。



## ● 改訂履歴

Date	Revision	Changes
2013/6/17	001	新規登録
2013/8/1	002	P.18 誤記訂正 参照ページ P.14⇒P.17、GVACT⇒G <sub>VACT</sub> P.29 4V の線のずれを修正 P.43, P.44 使用上の注意文言を社内標準に統一化
2014/4/25	003	P.1 Pb Free マークと RoHS マーク削除、特長に AEC-Q100 対応を追加 全ページ www.rohm.com を www.rohm.co.jp に変更
2016/4/4	004	P.3 誤記訂正 (2)FCCDET⇒FCTLCDET P.9 誤記訂正 ※※P.8⇒P.15 P.12 誤記訂正 REG74h<Bit3>P.15⇒P.18 P.14 誤記訂正 REG7Bh P.12⇒P.15 P.18 誤記訂正 DAC <sub>FCTL2</sub> = DFCTL2 – DFCTL2⇒DAC <sub>FCTL2</sub> = DFCTL2 – DFCTL1 P.20 条件明記 ※R <sub>SLRNF</sub> =0.56Ω 設定時 P.21 条件明記 ※R <sub>SPRNF</sub> =0.33Ω 設定時 P.23 誤記訂正 set[状態 2]⇒reset[状態 2] P.26 誤記訂正 Figure 22. C <sub>SPRNF</sub> ⇒C <sub>SPCNF</sub> P.27 5.誤記訂正 ホール入力電圧範囲 1.0 ~ 3.8V⇒1.5 ~ 3.8V、 ホールバイアスについて説明を追加 P.33 誤記訂正 Vd=VPRTLIM-VPREF⇒Vd=VPRTDET-VPRTREF P.37 誤記訂正 FCTLO+, SA1O+, SA2O- ⇒FCTLO1+, SAO1+, SAO2- P.38 項目名変更 応用回路例⇒応用回路例 1 誤記訂正 FCRNF, FCCDET, R <sub>FCRNF</sub> , R <sub>FCCDET</sub> ⇒FCTLRNF, FCTLCDET, R <sub>FCTLRNF</sub> , R <sub>FCTLCDET</sub> P.39 項目名変更 推奨定数⇒推奨定数 1(応用回路例 1 に対応) 誤記訂正 R <sub>FCRNF</sub> , R <sub>FCCDET</sub> ⇒R <sub>FCTLRNF</sub> , R <sub>FCTLCDET</sub> P.40 新規追加 応用回路例 2 P.41 新規追加 推奨定数 2(応用回路例 2 に対応) P.42 誤記訂正 Figure 36. Pd 値訂正 P.43, P.44 誤記訂正 14.W_OUT⇒14.U_OUT、Pin10, 25, 26, 35, 27, 28, 34, 52, 53 の図を更新 P.46 誤記訂正 Figure XX⇒Figure 37

# ご注意

## ローム製品取扱い上の注意事項

- 極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器<sup>(Note 1)</sup>、航空宇宙機器、原子力制御装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

- 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
  - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
  - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
- 本製品は、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
  - ①水・油・薬液・有機溶剤等の液体中でのご使用
  - ②直射日光・屋外暴露、塵埃中でのご使用
  - ③潮風、Cl<sub>2</sub>、H<sub>2</sub>S、NH<sub>3</sub>、SO<sub>2</sub>、NO<sub>2</sub>等の腐食性ガスの多い場所でのご使用
  - ④静電気や電磁波の強い環境でのご使用
  - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合
  - ⑥本製品を樹脂等で封止、コーティングしてのご使用
  - ⑦はんだ付けの後に洗浄を行わない場合（無洗浄タイプのフラックスを使用された場合も、残渣の洗浄は確実にを行うことをお勧め致します）、又ははんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合
  - ⑧結露するような場所でのご使用
- 本製品は耐放射線設計はなされておられません。
- 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
- パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
- 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
- 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
- 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

## 実装及び基板設計上の注意事項

- ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
- はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

## **応用回路、外付け回路等に関する注意事項**

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

## **静電気に対する注意事項**

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。（人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等）

## **保管・運搬上の注意事項**

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
  - ① 潮風、Cl<sub>2</sub>、H<sub>2</sub>S、NH<sub>3</sub>、SO<sub>2</sub>、NO<sub>2</sub>等の腐食性ガスの多い場所での保管
  - ② 推奨温度、湿度以外での保管
  - ③ 直射日光や結露する場所での保管
  - ④ 強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

## **製品ラベルに関する注意事項**

本製品に貼付されている製品ラベルに2次元バーコードが印字されていますが、2次元バーコードはロームの社内管理のみを目的としたものです。

## **製品廃棄上の注意事項**

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

## **外国為替及び外国貿易法に関する注意事項**

本製品は、外国為替及び外国貿易法に定めるリスト規制貨物等に該当するおそれがありますので、輸出する場合には、ロームへお問い合わせください。

## **知的財産権に関する注意事項**

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等（ソフトウェア含む）との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

## **その他の注意事項**

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

**一般的な注意事項**

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。