

自己完結で動作可能なセルバランス回路を内蔵し、シンプル設計を実現

# 4～6セル直列対応 車載向け蓄電素子セルバランス LSI

## BD14000EFV-C

### 概要

BD14000EFV-C は、4 セル～6 セルに対応したシャント方式の蓄電素子バランス機能を内蔵した自己完結型セルバランス用 LSI です。セルバランス必要全機能を内蔵しており、本 LSI のみにて蓄電素子のセルバランスを実現可能です。

電気2重層キャパシタ(EDLC) (セル電圧検出範囲:2.4V～3.1V) に使用可能です。同様の特性(耐圧など)を持つセルバランス必要な蓄電素子に使用可能です。

過電圧検出機能を複数内蔵し、セル劣化などの異常モードの検出も可能です。

また、イネーブル制御も可能であり、アプリケーションに応じた動作設定が可能です。

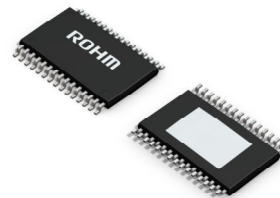
### 重要特性

- 入力電圧範囲 : 8.0V ~ 24.0V
- セル電圧検出範囲 : 2.4V ~ 3.1V
- セル電圧検出精度 :  $\pm 1\%$  (Max.at25°C)
- シャント用スイッチオン抵抗 : 1  $\Omega$  (Typ.)
- 動作温度範囲 : -40°C ~ +105°C

### パッケージ

HTSSOP-B30

W(Typ) x D(Typ) x H(Max)  
10.00mm x 7.60mm x 1.00mm



HTSSOP-B30

### 特長

- AEC-Q100 対応<sup>(Note1)</sup>
  - EDLC セルバランス必要機能を1チップ化.
  - 自己完結型 EDLC バランス機能.
  - シンプルにバランス可能なシャント抵抗方式を採用.
  - 4～6 セル直列接続に対応.
  - LSI を直列に多段接続可能.
  - 過電圧検出フラグ出力内蔵.
  - 検出電圧は設定可能
- (Note1:Grade2)

### 用途

- 車載、産機、建機などの回生エネルギーの蓄電用途
- 瞬低装置、UPS などの電源安定化用途.

### 基本アプリケーション回路

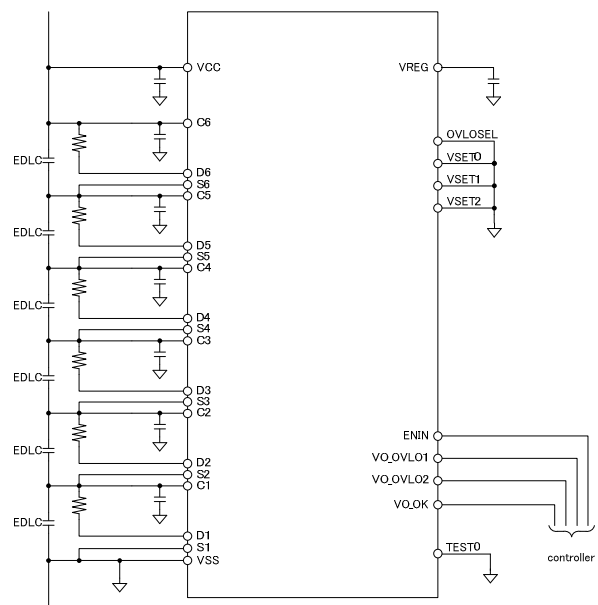


Figure 1. アプリケーション回路例

## 端子配置図

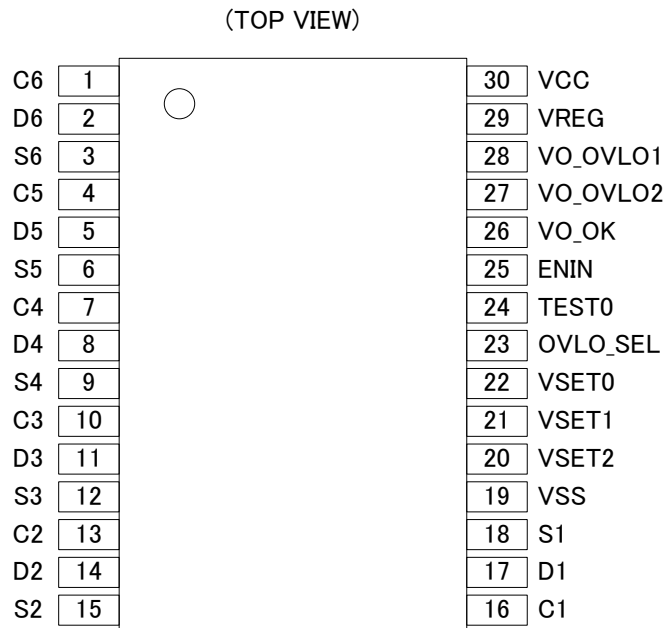


Figure 2. 端子配置図

## 端子説明

端子番号	記号	機能	端子番号	記号	機能
1	C6	セル 6 の+側接続端子	16	C1	セル 1 の+側接続端子
2	D6	セル 6 用シャントスイッチ接続端子	17	D1	セル 1 用シャントスイッチ接続端子
3	S6	セル 6 用シャントスイッチ接続端子	18	S1	セル 1 用シャントスイッチ接続端子
4	C5	セル 5 の+側接続端子	19	VSS	アナロググラウンド 最下位セルの一側に接続
5	D5	セル 5 用シャントスイッチ接続端子	20	VSET2	検出電圧設定端子 2
6	S5	セル 5 用シャントスイッチ接続端子	21	VSET1	検出電圧設定端子 1
7	C4	セル 4 の+側接続端子	22	VSET0	検出電圧設定端子 0
8	D4	セル 4 用シャントスイッチ接続端子	23	OVLOSEL	過電圧検出設定端子
9	S4	セル 4 用シャントスイッチ接続端子	24	TEST0	テスト端子 (端子処理: VSS 接続)
10	C3	セル 3 の+側接続端子	25	ENIN	下位バランサ LSI からの イネーブル信号入力端子
11	D3	セル 3 用シャントスイッチ接続端子	26	VO_OK	セルフチェック OK 信号出力端子
12	S3	セル 3 用シャントスイッチ接続端子	27	VO_OVLO2	下位バランサ LSI or マイコン などへの過電圧フラグ出力端子 2
13	C2	セル 2 の+側接続端子	28	VO_OVLO1	下位バランサ LSI or マイコン などへの過電圧フラグ出力端子 1
14	D2	セル 2 用シャントスイッチ接続端子	29	VREG	レギュレータ回路出力端子 (出力容量: 1.0 $\mu$ F)
15	S2	セル 2 用シャントスイッチ接続端子	30	VCC	レギュレータ回路電源端子

\* 裏面放熱用 PAD は、放熱性を高めるため VSS に接続して下さい。

\* TEST0: ローム内の LSI テスト用端子です。通常動作では使用せず、VSS 接続して下さい。

## ブロック図

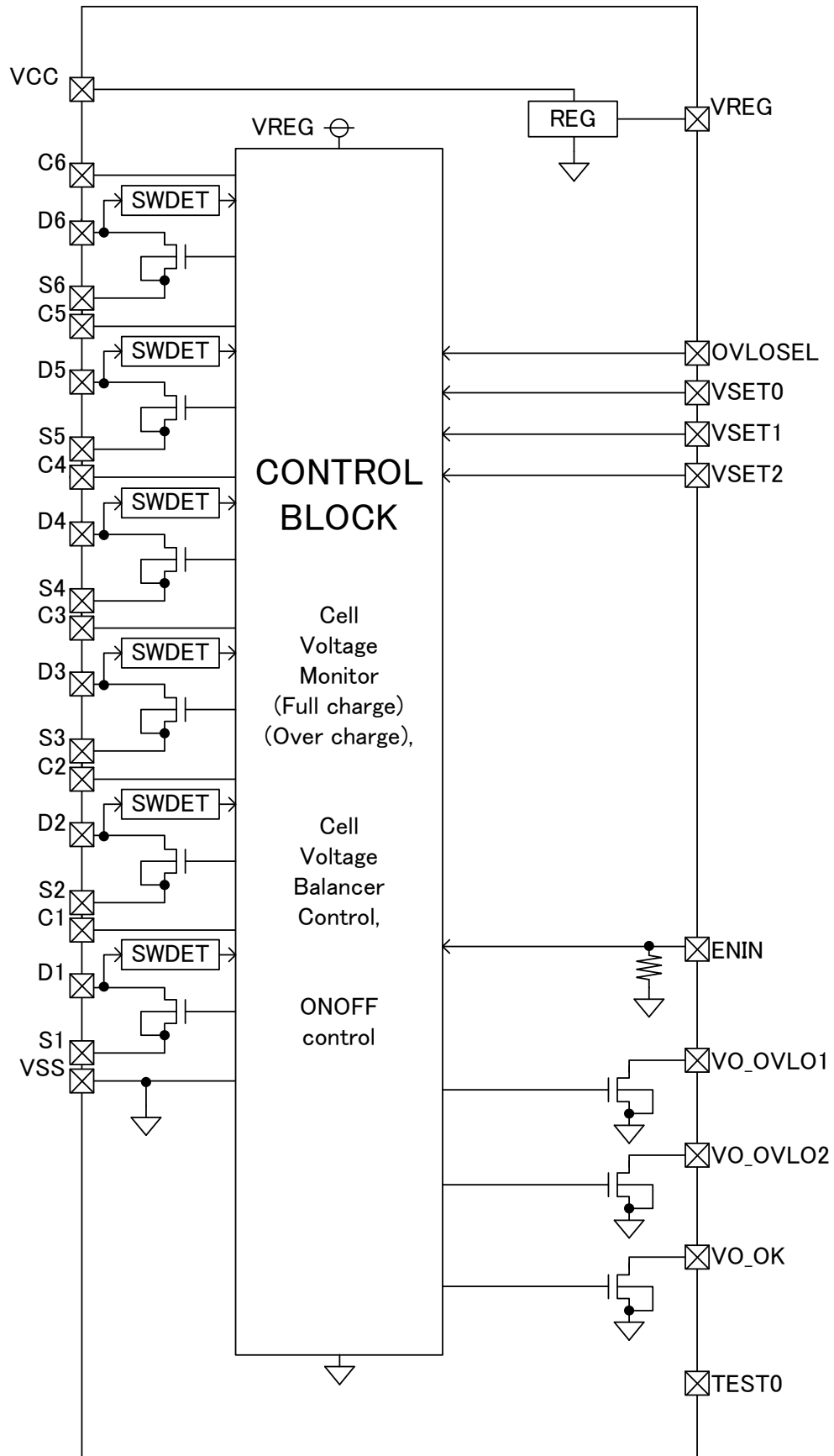


Figure 3. ブロック図

## 各ブロック動作説明

### ① CONTROL 部

#### ①-1 セル電圧検出部

セル毎にセルバランス電圧検出、2種の過電圧検出を実現。  
検出毎に検出遅延時間を設けており、誤検出を防止しています。

#### ①-2 検出制御部

端子制御（ENIN）により ON/OFF 制御可能。  
また、検出電圧設定も、セル耐圧等に応じて端子制御（VSET0、1、2、OVLOSEL）により各種設定可能。

### ② REG 部

LSI 内制御部用電源部。  
制御入出力の I/F 電源としても使用可能。

### ③ シャントスイッチ

セルバランス用シャント SW を内蔵。  
シャント電流値は外付け抵抗にて調整。

### ④ SWDET

シャント SWON にて全ドレイン端子（D1～6）が正常に L となる事を検出します。  
（セルフチェック機能）

### ⑤ フラグ出力

2種の過電圧、セルフチェックに関して VO\_OVLO1、2、VO\_OK 端子より出力します。

## 絶対最大定格(Ta = 25°C)

項 目	記号	定 格	単位
印加電圧 VCC, V <sub>Cn</sub> (n=6) to VSS	V1-1	-0.3 to 28	V
印加電圧 V <sub>Cn</sub> to V <sub>Cn-1</sub> (n=2~6) VC1 to VSS VDn to V <sub>sn</sub> (n=1~6)	V2-1	-0.3 to 7	V
印加電圧 VREG, ENIN, VO_OVLO1, VO_OVLO2, VO_OK, OVLOSEL, VSET0, VSET1, VSET2, TEST0 to VSS	V2-2	-0.3 to 7	V
許容損失	Pd	1.55 (Note1)	W
動作温度範囲	Topr	-40 to +105	°C
保存温度範囲	Tstg	-55 to 150	°C

(Note 1) Pd を超えないこと。

許容損失は、70×70×1.6mm 1層ガラエポ基板実装時の値です。Ta≥25°C の場合は、12.4mW/°C で軽減。

**注意：** 印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施して頂けるようご検討をお願いします。

## 推奨動作条件(Ta= -40°C to +105°C)

項 目	記号	定 格	単位
VCC 電圧	VCC	8.0 to 24	V

## 電氣的特性(特に指定のない限り VCC=15V, Ta=25°C)

項 目	記号	規 格 値			単位	条 件
		最小	標準	最大		
●回路電流						
VCC 動作時消費電流	IVCC ON	—	40	80	μ A	ENIN=H セルバランス開始電圧非検出時
VCC スタンバイ時消費電流	IVCC OFF	—	25	50	μ A	ENIN=L
Cn(n=1~6)端子 動作時消費電流	ICN ON	—	20	40	μ A	ENIN=H, Vcn-Vcn-1=2.5V セルバランス開始電圧非検出時
Cn(n=5,6)端子 スタンバイ時消費電流	ICN OFF56	—	1	8	μ A	ENIN=L, Vcn-Vcn-1=2.5V
Cn(n=1~4)端子 スタンバイ時消費電流	ICN OFF	—	0	5	μ A	ENIN=L, Vcn-Vcn-1=2.5V

## 電氣的特性(特に指定のない限り VCC=15V, Ta=25°C)

項 目	記号	規 格 値			単位	条 件
		最小	標準	最大		
●セル電圧検出						
セルバランス開始検出電圧範囲	VCB	2.4	—	3.1	V	VSET0～2 端子にて設定
セルバランス開始検出精度 1	VCB ERR1	—	—	±1	%	
セルバランス開始検出精度 2	VCB ERR2	—	—	±2	%	Ta=-40～105℃
過電圧検出 1 検出電圧 1	VOVLO 1-1	—	VCB+0.15	—	V	VSET0～2 端子にて設定、 OVLOSEL=L
過電圧検出 1 検出電圧 2	VOVLO 1-2	—	VCB+0.25	—	V	VSET0～2 端子にて設定、 OVLOSEL=H
過電圧検出 1 検出精度	VOVLO 1ERR	—	—	±2	%	Ta=-40～105℃
過電圧検出 2 検出電圧 1	VOVLO 2-1	—	VCB+0.3	—	V	VSET0～2 端子にて設定、 OVLOSEL=L
過電圧検出 2 検出電圧 2	VOVLO 2-2	—	VCB+0.5	—	V	VSET0～2 端子にて設定、 OVLOSEL=H
過電圧検出 2 検出精度	VOVLO 2ERR	—	—	±2	%	Ta=-40～105℃
内蔵発振器周波数	fosc	20	40	80	kHz	
●VREG						
出力電圧	VREG	3.6	4.3	5.0	V	I <sub>o</sub> =10mA
●シャント SW						
Dn-Sn 間スイッチオン抵抗 (n=1～6)	R <sub>onsw</sub>	—	1.0	2.0	Ω	V <sub>cn</sub> -V <sub>cn-1</sub> =2.5V
Dn-Sn 間スイッチオフ時 リーク電流(n=1～6)	I <sub>LEAK sw</sub>	—	—	2	μA	V <sub>dn</sub> -V <sub>sn</sub> =3.5V
●デジタル入出力端子						
出力 L レベル電圧 (VO_OVLO1.2,VO_OK)	VOL OVLO	—	0.2	0.5	V	I <sub>IIN</sub> =5mA
オフ時リーク電流 (VO_OVLO1.2,VO_OK)	I <sub>LEAK OVLO</sub>	—	—	2	μA	V <sub>IN</sub> =3.5V
入力 H レベル電圧(ENIN)	VIHEN	1.8	—	VREG +0.2	V	
入力 L レベル電圧(ENIN)	VILEN	-0.3	—	0.4	V	
端子 H 時流入電流(ENIN)	I <sub>IHEN</sub>	—	3.5	7.0	μA	V <sub>IN</sub> =3.5V
入力 H レベル電圧 (VSET0～2,OVLOSEL)	VIH SET	VREG X0.8	—	VREG +0.2	V	
入力 L レベル電圧 (VSET0～2,OVLOSEL)	VIL SEL	-0.3	—	VREG X0.2	V	
端子 H 時流入電流 (VSET0～2,OVLOSEL)	I <sub>IH SET</sub>	—	—	2	μA	V <sub>IN</sub> =3.5V
端子 L 時流出電流 (VSET0～2,OVLOSEL)	I <sub>IL SET</sub>	—	—	2	μA	V <sub>IN</sub> =0.0V

特性データ(参考データ)

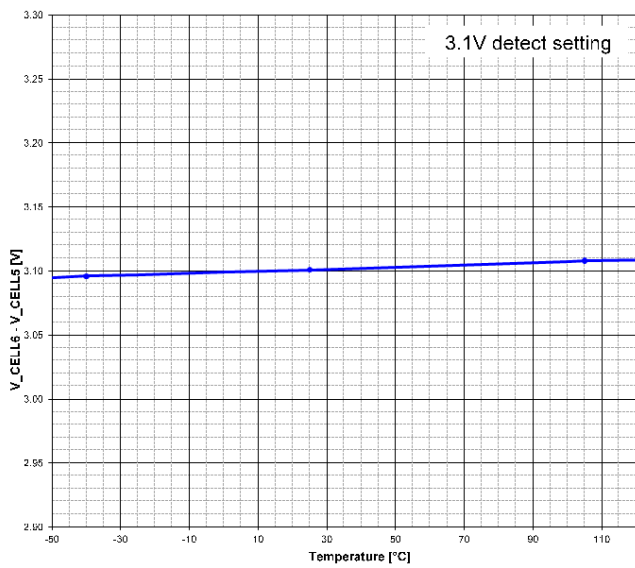


Figure 4. セルバランス開始検出電圧 vs 温度  
(検出電圧=3.10V 設定)

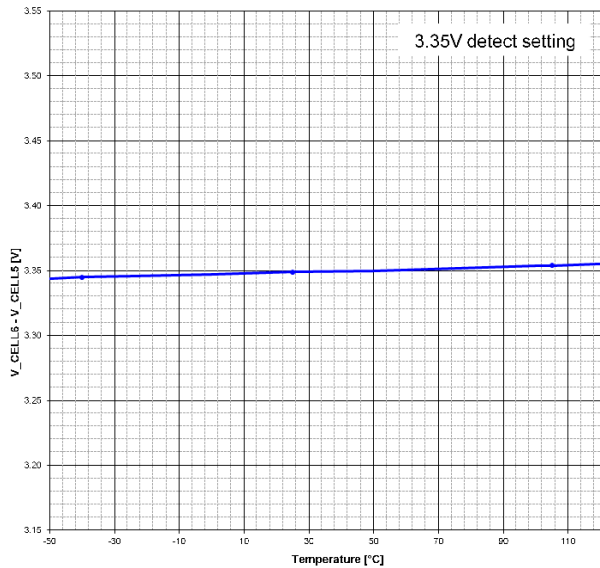


Figure 5. 過電圧検出 1 検出電圧 vs 温度  
(検出電圧=3.35V 設定)

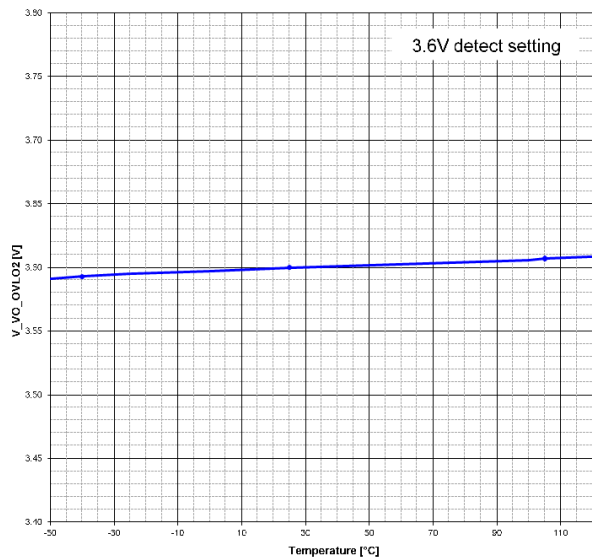


Figure 6. 過電圧検出 2 検出電圧 vs 温度  
(検出電圧=3.60V 設定)

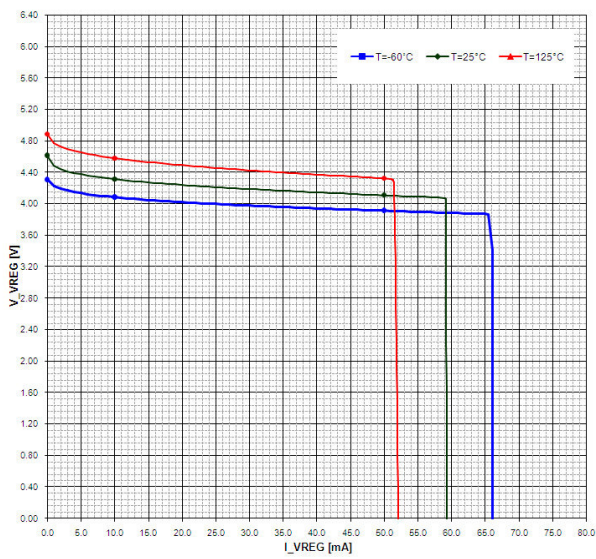


Figure 7. VREG vs IO  
(VCC=15V)

## 機能説明及び注意事項

## 1. イネーブル端子による動作モード設定

動作モード設定端子（ENIN）により、セルバランス機能の ON/OFF 制御が可能です。  
各入力端子設定に対する設定を下記します。

入力	バランス設定	備考
ENIN	ON/OFF	
0	OFF	待機時
1	ON	動作時

待機時には、内部電源（VREG）のみ動作します。  
動作時には、ENIN＝“1”時に VREG 以外のセルバランスブロックも動作します。

## 2. 検出電圧設定

検出電圧設定端子(VSET0,1,2)により、セルバランス開始電圧検出電圧(VCB)、過電圧検出電圧 1,2(VOVLO1,2)を設定可能です。各入力端子設定に対する出力を下記します。

入力			出力		
VSET2	VSET1	VSET0	VCB[V]	VOVLO1[V]	VOVLO2[V]
0	0	0	2.4	VCB+0.15 (*1) or VCB+0.25 (*2)	VCB+0.30 (*1) or VCB+0.50 (*2)
0	0	1	2.5		
0	1	0	2.6		
0	1	1	2.7		
1	0	0	2.8		
1	0	1	2.9		
1	1	0	3.0		
1	1	1	3.1		

(\*1) : OVLOSEL='L'時

(\*2) : OVLOSEL='H'時

## 3. 過電圧フラグに関して

過電圧検出出力端子(VO\_OVLO1,2)は LSI 内蔵過電圧検出部 1,2 の出力信号の OR 出力信号となっています。  
フラグ出力論理を下記します。

内蔵過電圧検出 (OVLO1)	出力 (VO_OVLO1)
非検出	HiZ
検出	L

内蔵過電圧検出 (OVLO2)	出力 (VO_OVLO2)
非検出	HiZ
検出	L



#### 4.セルフチェック機能に関して

本 LSI は、セルバランス機能が正常動作しているかを確認するためのセルフチェック機能を内蔵しております。セルバランス検出電圧を越えて、シャント SW が全 ch オンされセルバランス機能のセルフチェックを実現します。セルフチェック OK 検出出力端子 (VO\_OK) は、LSI 内蔵の各 ch セルフチェック検出部の出力信号の AND 出力となっています。フラグ出力論理を下記します。4、5、6 セル時共にセルフチェック可能です。

内蔵セルフチェック検出	出力 (VO_OK)
非検出	HiZ
検出 (OK)	L

4,5 セル対応の為、5,6 セルを未使用時にダミー化した場合、5,6 セル用の検出ブロックでは検出フラグが出力されます。その為、4 or 5 セルアプリケーションにて 5 or 6 セルがショート破壊などした場合、セルフチェックフラグは“検出 OK (L)”を出力します。その際はセルモジュール内にてセルバランスが崩れており、セルモジュール全体の満充電時に過電圧フラグ”検出 (L)”をモニタすることで異常検出可能です。

#### 5.検出時間設定

セルバランス開始電圧検出 (VCB)、過電圧検出 1,2 (VOVLO1,2) においては、非検出⇒検出、検出⇒非検出の遷移時に検出遅延時間を設定しております。

非検出時に、 $t_d=25\text{msec}(\text{typ})$  間隔で検出信号が 4 回検出一致した場合に検出フラグが出力されます。

また、検出時に、 $t_d=25\text{msec}(\text{typ})$  間隔で非検出信号が 4 回検出一致した場合に非検出フラグが出力されます。

よって、検出遅延時間としては  $75\text{msec}(3 \times t_d) \sim 100\text{msec}(4 \times t_d)$  (typ) にて設定されます。

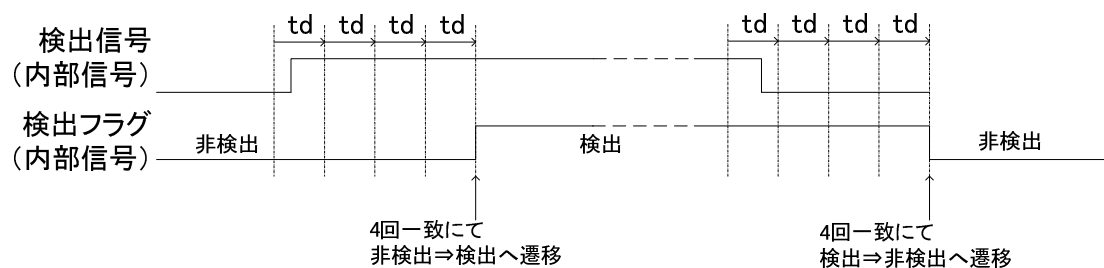


Figure 8. 検出時間設定

#### 6.VREG 端子に関して

VREG 出力電圧は、LSI 内部にて I/F 電源、コントロール部電源として使用しております。

外部負荷として  $\max 10\text{mA}$  までの使用を想定しております。簡易電源ですので I/F 用電源としてのみ使用可能です。諸特性に問題のないことを充分ご確認の上、ご使用下さい。

VREG 出力-VSS 間のセラミックコンデンサは  $1.0\mu\text{F}$  以上に設定して下さい。VREG ラインのノイズ、電源ドロップ量に応じ、必要であれば最適値に設定して下さい。又、VREG 端子容量が外れると安定動作できない可能性がありますので、オープンにならないようご注意下さい。

#### 7.セル電圧 UP (充電) 時の検出動作について

セル電圧 UP 時の内部検出出力は、立ち上がり時間に応じて変化致しますので、充分にご確認の上ご使用お願い致します。

#### 8.Cn(n=1-6)端子に関して

基板及びモジュール内の引き回しによりノイズなどの影響がある場合があります。安定検出のために Cn—VSS 間セラミックコンデンサの搭載を充分にご確認の上ご使用お願い致します。

応用回路例

蓄電素子接続端子における未使用時端子処理方法です。  
蓄電素子を4セル及び5セルにて使用する際、未使用となる端子は使用するセルの最高電位となる Cn 端子と接続して下さい。本 LSI は4セル～6セル蓄電素子に対応しており、3セル以下は対応しておりません。

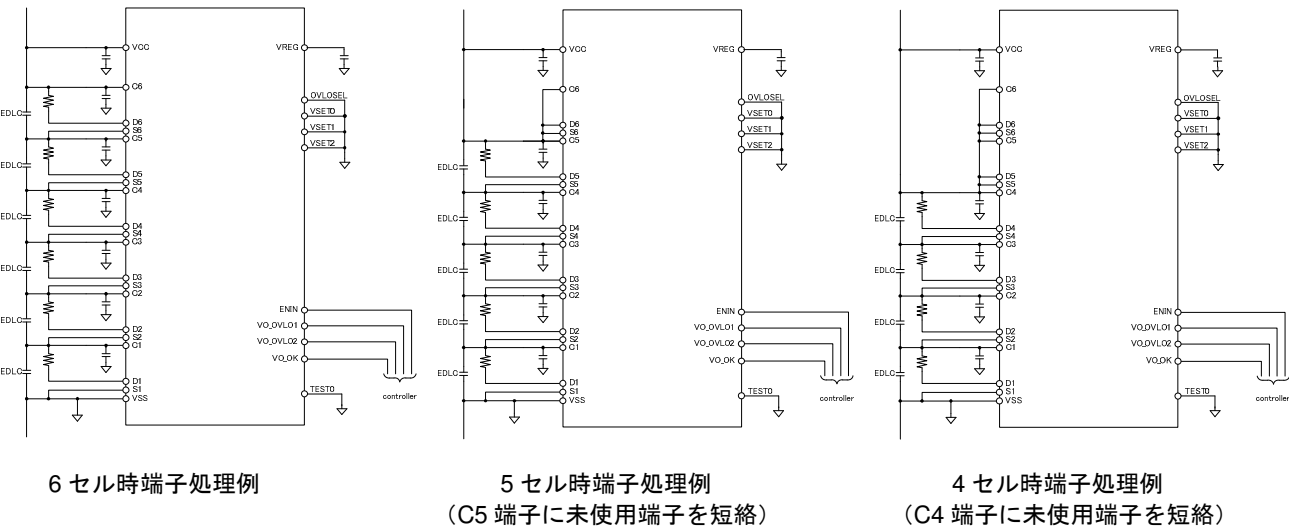


Figure 9. 応用回路例

蓄電素子を 8 素子以上接続する場合は、本 LSI を縦積みすることで対応可能です。構成例を下記致します。  
イネーブル制御（ENIN 端子制御）、及び各種フラグ出力（VO\_OVLO1,VO\_OVLO2,VO\_OK 端子出力）も  
下記アプリケーション例にて構成可能です。

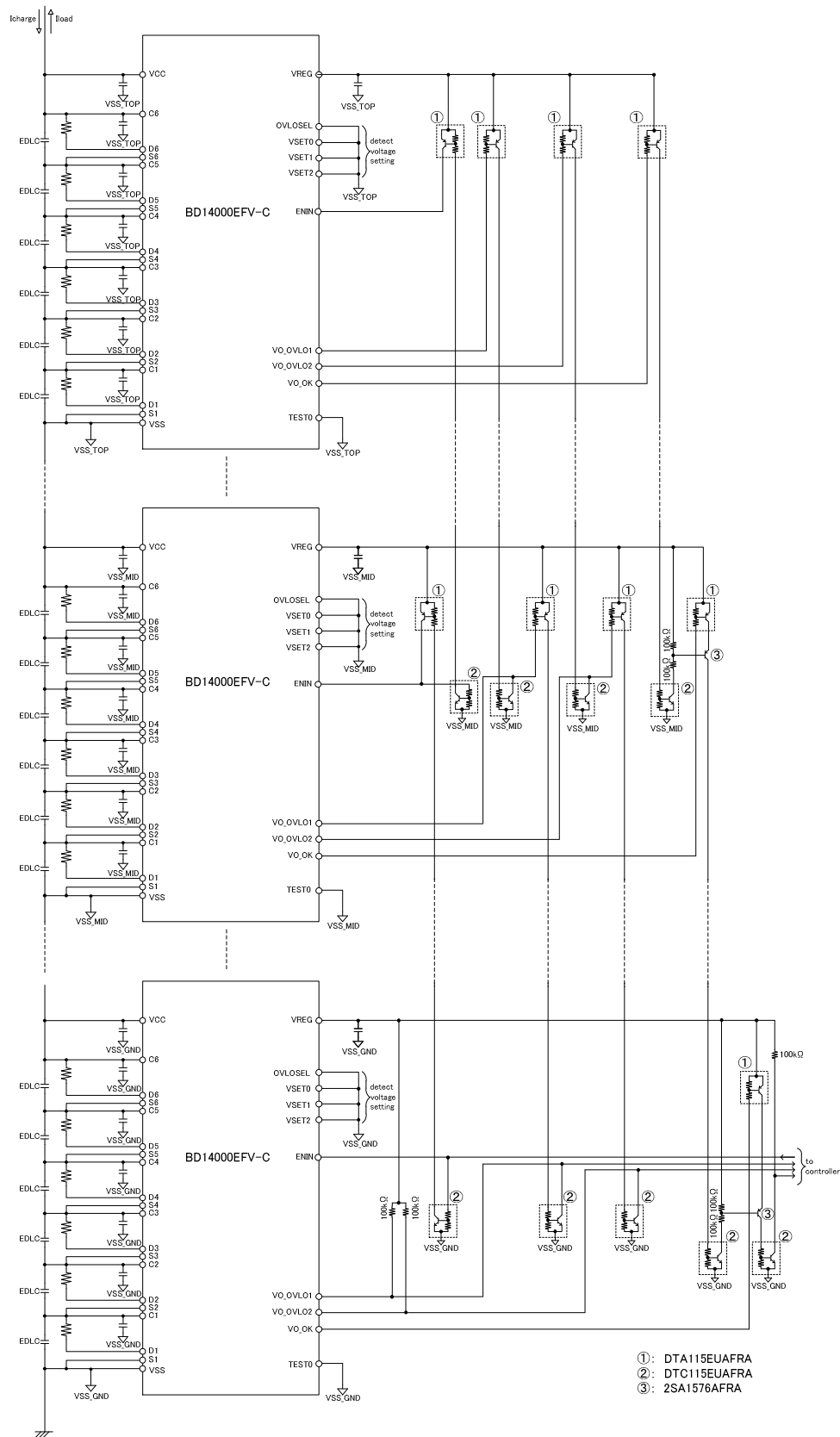


Figure 10. LSI 縦積み時アプリケーション回路例

## 熱損失について

下記に当 LSI における熱軽減特性を示します。

接合部温度  $T_j$  が  $150^{\circ}\text{C}$  を超えないよう充分マージンを持った設計をして下さい。

実際の使用では、実パターンとの放熱特性の差異や、他の熱源による温度上昇も考えられますので、充分にご検討下さい。

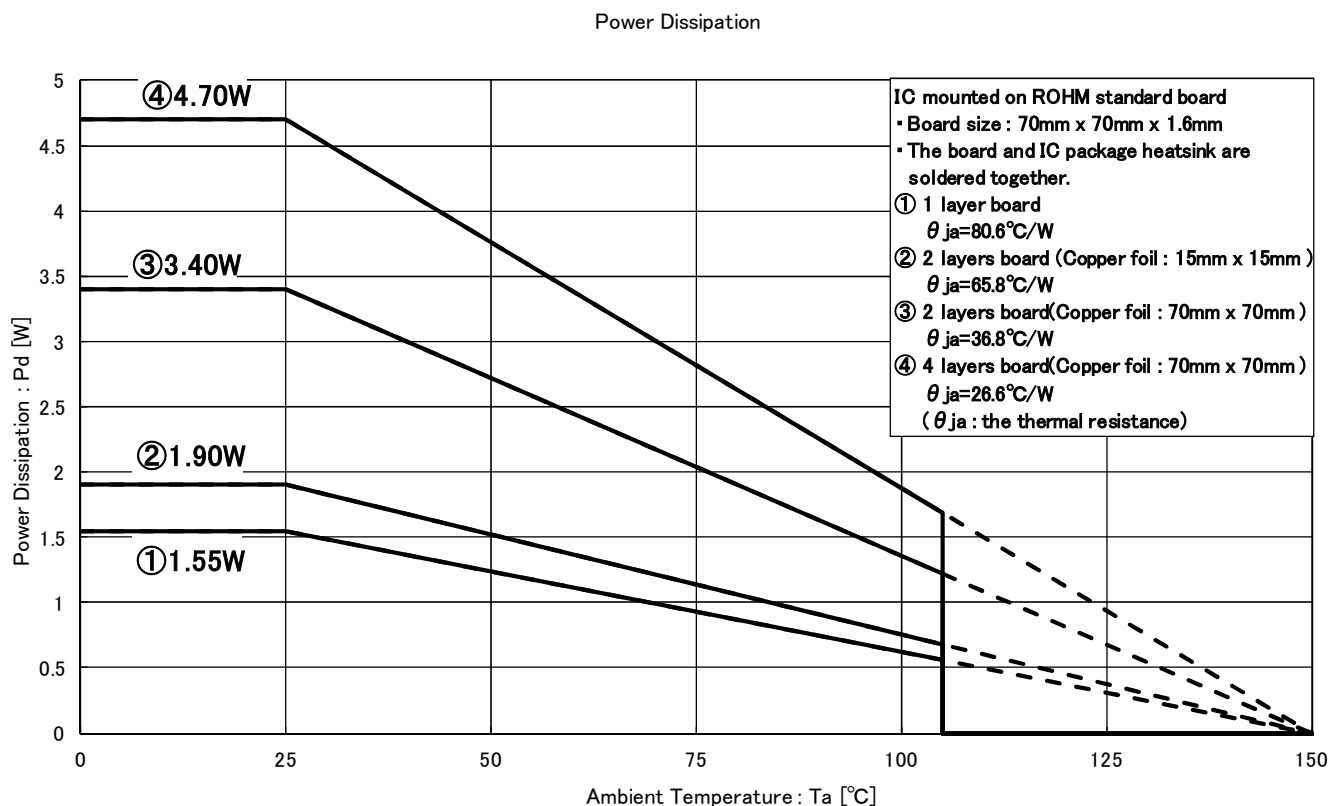


Figure 11. 許容損失

[シャント電流最大値に関して]

LSI の上昇温度  $T_{up}[^{\circ}\text{C}]$  は、LSI 内部消費電力  $P_{all}[\text{W}]$  とパッケージ熱抵抗  $\theta_{ja}[^{\circ}\text{C/W}]$  から見積もることができます。

$$T_{up} = P_{all} \times \theta_{ja}$$

本 LSI での内部消費電力はシャント SW 部にて消費されるため、シャント SW オン抵抗を  $R_{on}[\Omega]$ 、シャント電流を  $I_{shunt}[\text{A}]$ 、使用する蓄電素子セル数を  $n[\text{pcs}]$  とすると、

$$T_{up} = n \times R_{on} \times I_{shunt}^2 \times \theta_{ja}$$

となります。

ジャンクション保証温度  $T_j[^{\circ}\text{C}]$ 、最大動作周囲温度  $T_{a\_max}[^{\circ}\text{C}]$  とすると、動作可能な条件は次式で表されます。

$$T_j - T_{a\_max} > T_{up}$$

本条件より、設定可能なシャント電流値を決定することができます。

(例)

$T_j=150^{\circ}\text{C}$ ,  $T_{a\_max}=105^{\circ}\text{C}$ ,

$\theta_{ja}=80.6^{\circ}\text{C/W}$  (ローム標準基板、1 層ガラエポ基板),

$R_{on\_max}=2.0\Omega$ ,  $n=6\text{pcs}$

上記の式より

$$150 - 105 > 6 \times 2 \times I_{shunt}^2 \times 80.6$$

$$\Leftrightarrow I_{shunt} < 0.215\text{A}$$

入出力等価回路図

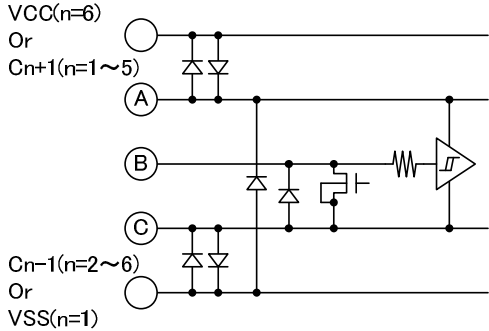
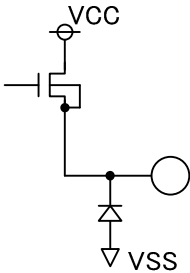
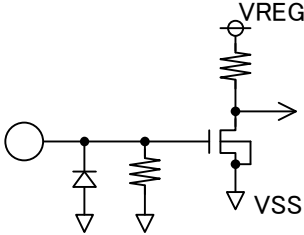
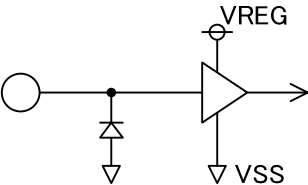
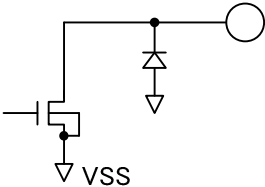
ピン No.	ピン名	等価回路図
1～18	A : Cn B : Dn C : Sn (n=1～6)	
29	VREG	
25 24	ENIN TEST0	
22 21 20 23	VSET0 VSET1 VSET2 OVLOSEL	
28 27 26	VO_OVLO1 VO_OVLO2 VO_OK	

Figure 12. 入出力等価回路図

## 使用上の注意

## 1. 電源の逆接続について

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れる等の対策を施してください。

## 2. 電源ラインについて

基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。その際、デジタル系電源とアナログ系電源は、それらが同電位であっても、デジタル系電源パターンとアナログ系電源パターンは分離し、配線パターンの共通インピーダンスによるアナログ電源へのデジタル・ノイズの回り込みを抑止してください。グラウンドラインについても、同様のパターン設計を考慮してください。

また、LSI のすべての電源端子について電源-グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量ぬけが起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

## 3. グラウンド電位について

グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。

## 4. グラウンド配線パターンについて

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

## 5. 熱設計について

万一、許容損失を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。本仕様書の絶対最大定格に記載しています許容損失を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用する等の対策をして、許容損失を超えないようにしてください。

## 6. 推奨動作条件について

この範囲であればほぼ期待通りの特性を得ることが出来る範囲です。電気特性については各項目の条件下において保証されるものです。推奨動作範囲内であっても電圧、温度特性を示します。

## 7. ラッシュカレントについて

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

## 8. 強電磁界中の動作について

強電磁界中でのご使用では、まれに誤動作する可能性がありますのでご注意ください。

## 9. セット基板での検査について

セット基板での検査時に、インピーダンスの低いピンにコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

## 10. 端子間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けした場合、IC が破壊する恐れがあります。また、出力と電源およびグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

## 使用上の注意 — 続き

## 11. 未使用の入力端子の処理について

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

## 12. 各入力端子について

本 IC はモノリシック IC であり、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

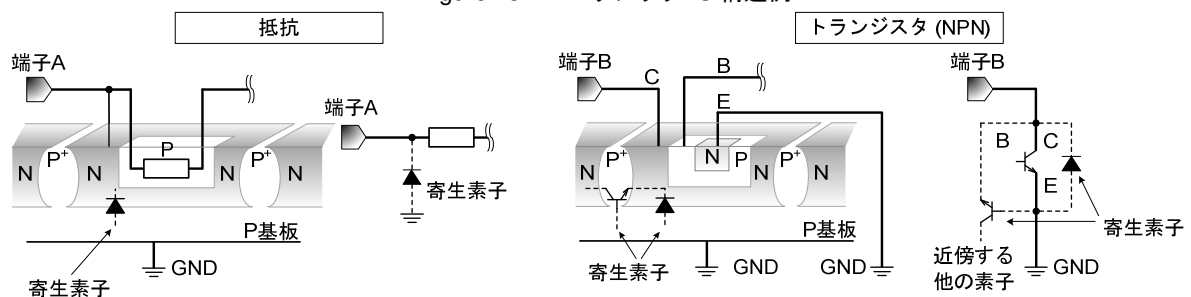
例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、 $GND > (\text{端子 A})$  の時、トランジスタ (NPN) では  $GND > (\text{端子 B})$  の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ (NPN) では、 $GND > (\text{端子 B})$  の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に  $GND$  (P 基板) より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子が  $GND$  にショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

Figure 13. モノリシック IC 構造例



## 13. セラミック・コンデンサの特性変動について

外付けコンデンサに、セラミック・コンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮の上定数を決定してください。

## 14. 安全動作領域について

本製品を使用する際には、出力トランジスタが絶対最大定格及び ASO を越えないよう設定してください。

## 15. 過電流保護回路について

出力には電流能力に応じた過電流保護回路が内部に内蔵されているため、負荷ショート時には IC 破壊を防止しますが、この保護回路は突発的な事故による破壊防止に有効なもので、連続的な保護回路動作、過渡時でのご使用に対応するものではありません。

発注形名情報

BD14000EFV

-

CE2

品名	パッケージ EFV: HTSSOP-B30	製品ランク C: 車載ランク製品 包装、フォーミング仕様 E2: リール状エンボステーピング (数量 : 2000pcs)
----	--------------------------	---

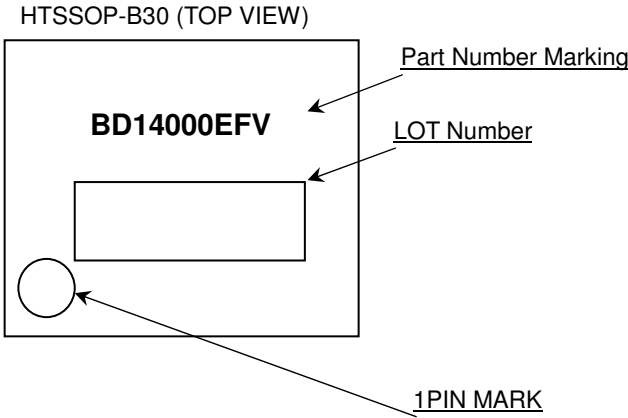
BD14000EFV

-

CH2

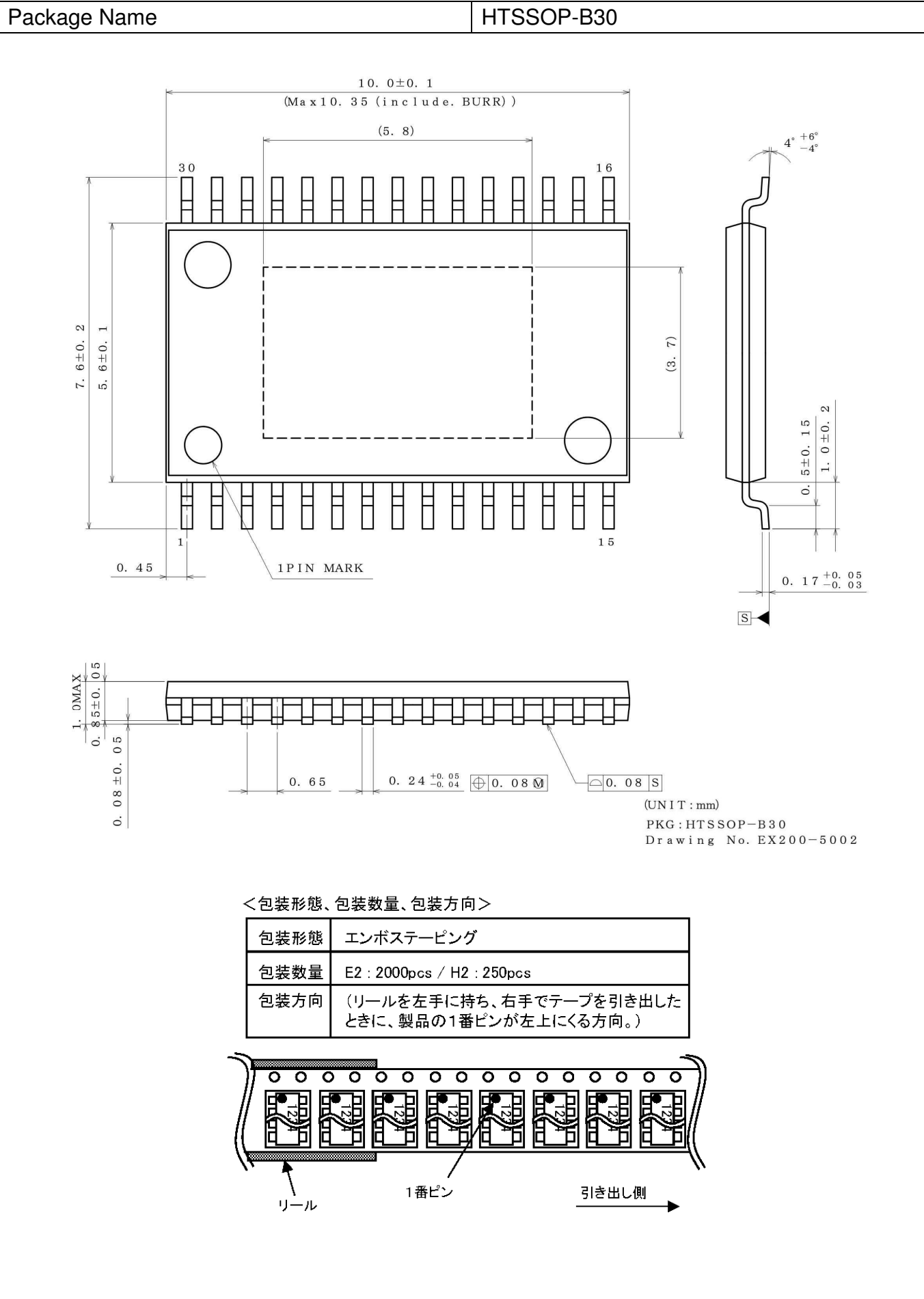
品名	パッケージ EFV: HTSSOP-B30	製品ランク C: 車載ランク製品 包装、フォーミング仕様 H2: リール状エンボステーピング (数量 : 250pcs)
----	--------------------------	--

標印図





外形寸法図と包装・フォーミング仕様



改訂履歴

日付	Revision	変更内容
2014.07.09	001	新規リリース
2015.06.22	002	AEC-A100 動作温度グレードの追加 H2（小リール）発注形名情報の追加、包装・フォーミング仕様の追加 改訂履歴の追加

# ご注意

## ローム製品取扱い上の注意事項

- 極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険若しくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器<sup>(Note 1)</sup>、航空宇宙機器、原子力制御装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

- 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、かかる誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
  - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
  - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
- 本製品は、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。従いまして、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
  - ①水・油・薬液・有機溶剤等の液体中でのご使用
  - ②直射日光・屋外暴露、塵埃中でのご使用
  - ③潮風、Cl<sub>2</sub>、H<sub>2</sub>S、NH<sub>3</sub>、SO<sub>2</sub>、NO<sub>2</sub>等の腐食性ガスの多い場所でのご使用
  - ④静電気や電磁波の強い環境でのご使用
  - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合。
  - ⑥本製品を樹脂等で封止、コーティングしてのご使用。
  - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用された場合も、残渣の洗浄は確実にすることをお薦め致します)、又ははんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合。
  - ⑧結露するような場所でのご使用。
- 本製品は耐放射線設計はなされておられません。
- 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
- パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
- 許容損失(Pd)は周囲温度(Ta)に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、ディレーティングカーブ範囲内であることをご確認ください。
- 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
- 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

## 実装及び基板設計上の注意事項

- ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
- はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。  
その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

## **応用回路、外付け回路等に関する注意事項**

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。従いまして、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

## **静電気に対する注意事項**

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施の上、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。（人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等）

## **保管・運搬上の注意事項**

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
  - ①潮風、Cl<sub>2</sub>、H<sub>2</sub>S、NH<sub>3</sub>、SO<sub>2</sub>、NO<sub>2</sub>等の腐食性ガスの多い場所での保管
  - ②推奨温度、湿度以外での保管
  - ③直射日光や結露する場所での保管
  - ④強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認した上でご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱いください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行った上でご使用ください。

## **製品ラベルに関する注意事項**

本製品に貼付されている製品ラベルに QR コードが印字されていますが、QR コードはロームの社内管理のみを目的としたものです。

## **製品廃棄上の注意事項**

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

## **外国為替及び外国貿易法に関する注意事項**

本製品は、外国為替及び外国貿易法に定めるリスト規制貨物等に該当するおそれがありますので、輸出する場合には、ロームへお問い合わせください。

## **知的財産権に関する注意事項**

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等（ソフトウェア含む）との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ローム若しくは第三者が所有又は管理している知的財産権、その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。但し、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

## **その他の注意事項**

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社若しくは第三者の商標又は登録商標です。

**一般的な注意事項**

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。