

# OVP 搭載マイクロ USB スイッチ USB2.0/MHL™/Audio



BD91411GW

## ●概要

BD91411GW は USB コネクタインタフェース IC です。  
スマートフォン、携帯電話などモバイル機器向けアプリケーションへの使用が可能です。

## ●特長

- mini/micro USB 対応
- MHL/USB/UART 用 2 系統, AUDIO 用 1 系統, モノラル MIC 用 1 系統 4to1 切り替えスイッチ内蔵
- USB High Speed/Full Speed 対応
- 負電圧信号対応音声用アナログスイッチ内蔵
- VBUS/HDPR 切り換え MIC スイッチ内蔵
- CEC 用 ID バイパススイッチ内蔵
- ID 抵抗値: CEA936A / Battery Charging Specification (BCS) ver1.2/ MCPC/USB-OTG/MHL 規格対応
- パワーオンリセット搭載
- BCS ver1.2 準拠 USB 充電ポート検出回路内蔵
- VB(VBUS) /VC(Cradle) 28V 過電圧保護内蔵
- VB/VC 切り換えスイッチ内蔵
- 低 ON 抵抗 FET 内蔵(VB/VC)
- OTG スイッチ内蔵(出力側 28V 過電圧保護内蔵)
- VBUS 駆動レギュレータ内蔵 (4.9V/3.3V 切り替え対応)
- I<sup>2</sup>C 拡張シリアルインターフェース内蔵

## ●重要特性

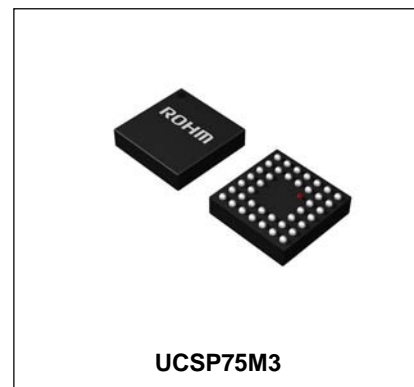
- 過電圧保護スイッチオン抵抗: 120mΩ (Typ.)
- 過電流保護検出: 2.0A (Min.)
- レギュレータ出力電圧: 3.3V or 4.9V
- MHL/USB スイッチオン抵抗: 5Ω (Typ.)
- MHL/USB スイッチオン容量: 6pF (Typ.)
- VBAT スタンバイ電流: 6μA (Typ.)
- 動作温度範囲: -30°C to +85°C

## ●用途

- 携帯電話・スマートフォン
- タブレット端末
- デジタルスチールカメラ (DSC)

## ●パッケージ

UCSP75M3

W(Typ.) x D(Typ.) x H(Max.)  
3.00mm x 3.00mm x 0.85mm

## ●基本アプリケーション回路

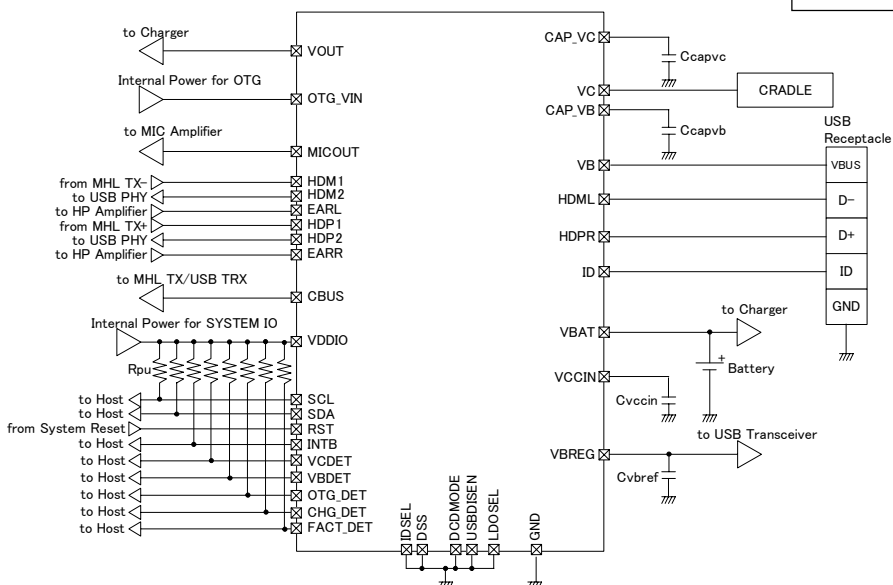


Fig.1 基本アプリケーション回路

## ◆ 目次

1. 端子配置図	3
2. 端子説明	3
3. ブロック図	4
4. 絶対最大定格	5
5. 推奨動作範囲	5
6. 電気的特性	6
7. 機能	10
7-1. ID 端子抵抗値検出	10
7-1-1. MHL SW との優先性	10
7-1-2. 発着信 SW 付きアプリケーションの検出	10
7-1-2-1. OTG アプリケーションの検出	10
7-1-2-2. MHL アプリケーションの検出	10
7-1-3. ID 端子抵抗値検出機能の制御	10
7-1-4. ID 抵抗値検出のリトライ	10
7-1-5. ID 端子抵抗値検出のポーリング	10
7-1-6. ID 端子抵抗の抜去(切断)	10
7-2. USB ポート判定	10
7-2-1. データ接続検出(Data Contact Detect/DCD)	10
7-2-2. データ接続検出のタイムアウト時間の設定	10
7-2-3. プライマリ検出(Primary Detection)	10
7-2-4. セカンダリ検出(Secondary Detection)	10
7-2-5. エニユメレート準備によるセカンダリ検出の短縮	11
7-2-6. シーケンスリトライ機能	11
7-2-7. 外部端子とレジスタによる USB ポート判定機能の停止	11
7-3. 信号パス	11
7-3-1. HDPR/HDML 端子信号パス	11
7-3-2. DSS 端子による MUXSW の初期値	11
7-3-3. イヤホン端子プルダウン機能	11
7-3-4. ID 端子-CBUS 端子信号パス	11
7-4. INTB 端子による割り込み通知	11
7-4-1. 割り込みの発生要因と解除要因	11
7-4-2. 割り込み論理の変更	11
7-5. VBDET 端子、VCDET 端子による VBUS、クレードルの検出	11
7-6. I2C インタフェースアクセスに VBUS、クレードルの検出	11
7-7. I2C インタフェースアクセスによる過電流状態検出	11
7-8. サーマルシャットダウン	11
7-9. VBREG レギュレータ	11
7-10. OTG モード制御	12
7-11. VBUS 信号パス	12
7-12. リセット系統	12
7-12-1. パワーオンリセット	12
7-12-2. RST 端子によるハードウェアリセット	12
7-12-3. I2C インタフェースからのソフトウェアリセット	12
7-13. I <sup>2</sup> C バス電気的特性	12
7-14. I <sup>2</sup> C バスインターフェース機能	13
7-14-1. START 条件・STOP 条件	13
7-14-2. データ転送	13
7-14-3. アクノリッジ	14
7-14-4. デバイスのアドレス	14
7-14-5. 書き込みプロトコル	15
7-14-6. アドレスロールバック仕様	15
7-14-7. 読み出しプロトコル	15
8. 特性データ(参考データ)	16
9. アプリケーション回路図	17
10. 入出力等価回路図	18
11. 使用上の注意	22
12. 発注形名情報	23
13. 外形寸法図と包装・フォーミング仕様	23
14. 標印図	23
15. 改訂履歴	24

## 1.端子配置図

G	TMODE1	HDM1	HDP1	EARL	EARR	ID	TMODE0
F	HDML	HDM2	HDP2	FACT_DET	CBUS	VCCIN	VDDIO
E	HDPR	MICOUT	DSS	RST	SCL	SDA	VBAT
D	GND	LDOSSEL	CHG_DET	USBDISEN	DCDMODE	INTB	GND
C	VBREG	OTG_DET	(INDEX)	VBDET	VCDET	IDSEL	VC
B	OTG_VIN	VB	CAP_VB	VOUT	VOUT	VC	VC
A	ATEST0	VB	VB	VOUT	VOUT	CAP_VC	ATEST1
	1	2	3	4	5	6	7

Fig.2 端子配置図 (BOTTOM VIEW)

## 2.端子説明

No.	BALL No.	BALL NAME	I/O	機能	pull down	未使用時端子処理
1	B6,B7,C7	VC	I	クレードル電源入力		open or GND
2	A2,A3,B2	VB	I	USB VBUS 電源入力		open or GND
3	E7	VBAT	I	バッテリー電源入力		open or GND
4	F7	VDDIO	I	I2C I/F 用電源入力		open or GND
5	F6	VCCIN	O	内部回路用電源		open
6	D1,D7	GND	GND	GND		GND
7	A4,A5,B4,B5	VOUT	O	OVP 出力		open
8	B1	OTG_VIN	I	OTG 電源入力		open or GND
9	E3	DSS	I	MUXSW 初期選択制御		GND
10	A6	CAP_VC	O	SW1 OVP 用容量接続		open
11	B3	CAP_VB	O	SW2 OVP 用容量接続		open
12	C5	VCDET	O	VC 検出出力(UVLO < VC < OVLO)		open
13	C4	VBDET	O	VB 検出出力(UVLO < VB < OVLO)		open
14	C2	OTG_DET	O	OTG 抵抗検出出力		open
15	F4	FACT_DET	O	工程モード検出出力		open
16	F5	CBUS	I/O	CBUS 信号バス		open
17	C1	VBREG	O	VBUS 駆動レギュレータ出力		open
18	D2	LDOSSEL	I	VBUS 駆動レギュレータ電圧制御		GND
19	E2	MICOUT	O	MIC 信号出力		open
20	G3	HDP1	I/O	MHL/USB/UART D+データ信号バス 1		open
21	G2	HDM1	I/O	MHL/USB/UART D-データ信号バス 1		open
22	F3	HDP2	I/O	MHL/USB/UART D+データ信号バス 2		open
23	F2	HDM2	I/O	MHL/USB/UART D-データ信号バス 2		open
24	G5	EARR	I	イヤホン入力 R-ch	500Ω *1	open
25	G4	EARL	I	イヤホン入力 L-ch	500Ω *1	open
26	E1	HDPR	I/O	MHL/USB/UART/Earphone 信号バス		open
27	F1	HDML	I/O	MHL/USB/UART/Earphone 信号バス		open
28	D3	CHG_DET	O	USB 充電ポート検出出力		open
29	G6	ID	I/O	ID 抵抗接続/CBUS 信号バス		open
30	E5	SCL	I	I2C クロック入力		GND
31	E6	SDA	I/O	I2C データ入出力		GND
32	D6	INTB	O	割り込み信号出力		open
33	E4	RST	I	リセット信号入力		GND
34	D4	USBDISEN	I	USB 充電ポート検出制御		GND
35	G7	TMODE0	I	テスト端子(ローム専用)	1MΩ	open or GND
36	G1	TMODE1	I	テスト端子(ローム専用)	1MΩ	open or GND
37	A1	ATEST0	I/O	テスト端子(ローム専用)		Open
38	A7	ATEST1	I/O	テスト端子(ローム専用)		Open
39	D5	DCDMODE	I	DCD タイムアウト制御		GND
40	C6	IDSEL	I	I2C デバイスアドレス制御		GND
41	C3	INDEX	-	インデックス端子		open

\*1 レジスタにより ON/OFF が可能です。

## 3. ブロック図

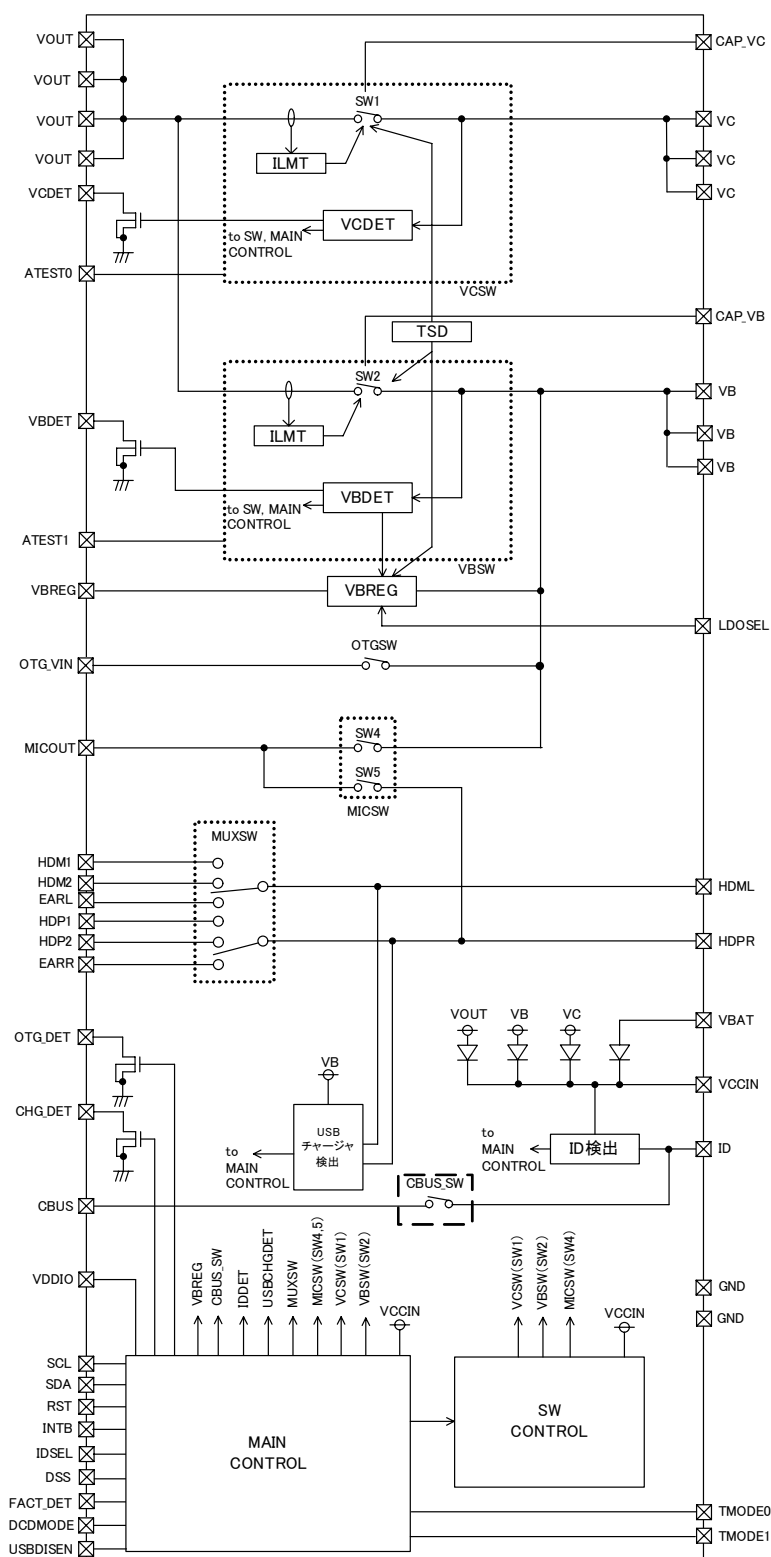


Fig.3 ブロック図

## 4.絶対最大定格(Ta=25°C)

項 目	記号	定 格	単位
最大印加電圧 1 (VB, VC)	VIN1	-0.3~30	V
最大印加電圧 2 (VBAT)	VIN2	-0.3~6.0	V
最大印加電圧 3 (VDDIO)	VIN3	-0.3~4.5	V
最大印加電圧 4 (HDP1, HDM1,)	VIN4	-1.0~7.0	V
最大印加電圧 5 (HDP2, HDM2)	VIN5	-1.0~7.0	V
最大印加電圧 6 (EAPR, EARL)	VIN6	-1.5~7.0	V
最大印加電圧 7 (HDPR, HDML,)	VIN7	-1.5~7.0	V
最大印加電圧 8 (VOUT, CAP_VB, CAP_VC, OTG_VIN)	VIN8	-0.3~7.0	V
最大印加電圧 9 (その他の端子)	VIN9	-0.3~6.0	V
許容損失	Pd	1346 (*1)	mW
動作温度範囲	Topr	-30 ~ +85	°C
保存温度範囲	Tstg	-55 ~ +125	°C

\*1 Ta = 25°C以上で使用する場合は、1°Cにつき、10.77 mW を減じる。

(ローム指定基板 50mm× 58mm 実装時)

(注意) この値を超えた条件で使用した場合、デバイスを破壊することがあります。

また、通常の動作は保証されません。

## 5.推奨動作範囲 (Ta=25°C)

項 目	記号	定 格	単位
VB, VC 電圧	VB	3.8 ~ 28	V
VBAT 電圧	VBAT	2.9 ~ 4.6	V
VDDIO 電圧	VDDIO	1.7 ~ 3.0	V
OTG_VIN 電圧	VOTG	4.40 ~ 5.25	V

## 6. 電気的特性 (特に指定がない限り、Ta=25°C, VBAT=3.6V, VB=5.0V, VC=5.0V, VDDIO=1.8V, OTG\_VIN=0V)

項目	記号	Min.	Typ.	Max.	単位	条件
●回路電流						
VBAT 回路電流 1 (待機時)	IQVBAT1	-	6	20	μA	VBAT=3.6V, VDDIO=1.8V VB=VC=未接続, OTG_VIN=0V ID=未接続
VDDIO 回路電流 1 (待機時)	IQVDDIO1	-	0.0	1.0	μA	
VBAT 回路電流 2 (HDSW =ON)	IQVBAT2	-	3	10	μA	VBAT=3.6V, VDDIO=1.8V VB=5V, VC=未接続, OTG_VIN=0V ID=Open HDSW=ON
VB 回路電流 2 (HDSW =ON)	IQVB2	-	210	450	μA	
VBAT 回路電流 3 (HPSW,MICSW= ON)	IQVBAT3	-	55	150	μA	VBAT=3.6V, VDDIO=1.8V, VB=VC=未接続, OTG_VIN=0V ID=287kΩ pull down HPSW,MICSW=ON
VC 回路電流 4 (待機時)	IQVC4	-	150	300	μA	VC=5.0V, VB=0.0V, OTG_VIN=0V,
VBAT 回路電流 5 (OTGSW =ON)	IQVBAT5	-	3	10	μA	VBAT=3.6V, VDDIO=1.8V, VB=VC=未接続 OTG_VIN=5V ID=0kΩ pull down OTGSW=ON
OTG_VIN 回路電流 5 (OTGSW =ON)	IQOTG5	-	230	450	μA	

## ●電気的特性 (特に指定がない限り、Ta=25°C, VBAT=3.6V, VB=VC=5.0V, VDDIO=1.8V, OTG\_VIN=0V)

項目	記号	Min.	Typ.	Max.	単位	条件
●デジタル端子特性 (デジタル端子: SCL, SDA, RST, INTB, CHG_DET, OTG_DET, FACT_DET, VCDDET and VBDET, IDSEL, LDOSEL, USBDISEN, DCDMODE, DSS)						
入力 "H" レベル(SCL, SDA, RST)	VIH1	$0.8 \times VDDIO$	-	$VDDIO+0.3$	V	
入力 "L" レベル(SCL, SDA, RST)	VIL1	-0.3	-	$0.2 \times VDDIO$	V	
入力リーク電流(SCL, SDA, RST)	IIC1	-1	0	1	μA	端子電圧: VDDIO
出力 "L" レベル(SDA)	VOLSDA	-	-	0.4	V	IOL=6mA
出力 "L" レベル (INTB, VCDDET, VBDET, CHG_DET, OTG_DET, FACT_DET)	VOL1	-	-	0.3	V	Source=1mA
OFF 時リーク電流(INTB, CHG_DET, OTG_DET, FACT_DET)	IIOFF1	-3	-	3	μA	VIN=VDDIO
OFF 時リーク電流 (VCDDET, VBDET)	IIOFF2	-3	-	3	μA	VIN=VC(VCDDET) or VB(VBDET)
入力 "H" レベル (IDSEL,USBDISEN,DCDMODE, DSS)	VIH2	$0.8 \times VCCIN$	-	$VCCIN+0.3$	V	*1
入力 "L" レベル (IDSEL,USBDISEN,DCDMODE, DSS)	VIL2	-0.3	-	$0.2 \times VCCIN$	V	*1
入力 "H" レベル(LDOSEL)	VIH3	2.0	-	$VCCIN+0.3$	V	*1
入力 "L" レベル(LDOSEL)	VIL3	-0.3	-	0.6	V	
入力リーク電流(IDSEL, LDOSEL, USBDISEN,DCDMODE, DSS)	IIC2	-1	0	1	μA	端子電圧: VCCIN
ダイオード順電圧	Vf	-	0.6	-	V	

\*1 VCCIN = (VOUT or VBAT or VB or VC) - Vf

## ●電気的特性 (特に指定がない限り、Ta=25°C, VBAT=3.6V, VB=5.0V, VC=0.0V, VDDIO=1.8V, OTG\_VIN=0V)

項目	記号	Min.	Typ.	Max.	単位	条件
●OVP (VB : SW2)						
UVLO 解除電圧	UVLO1H	3.6	3.8	4.0	V	VIN=上昇時
UVLO 検出電圧	UVLO1L	3.0	3.125	3.25	V	VIN=下降時
OVLO 検出電圧	OVLO1	6.2	6.4	6.6	V	VIN=上昇時
OVLO 検出電圧 (ヒステリシス)	OVLOh1	-	120	-	mV	VIN=下降時
過電流リミッタ	ILM1	2.0	-	-	A	
SW オン抵抗	RON1	-	120	250	mΩ	VB - VOUT SW
出力電圧起動ディレイ時間	Ton1	-	5	10	msec	
出力電圧オフ時間	Toff1	-	1	5	μ sec	
逆流リーク電流	Ileak1	-3	-	3	μ A	VB=0.0V, VC=5.0V

## ●電気的特性 (特に指定がない限り、Ta=25°C, VBAT=3.6V, VB=0.0V, VC=5.0V, VDDIO=1.8V, OTG\_VIN=0V)

項目	記号	Min.	Typ.	Max.	単位	条件
●OVP (VC : SW1)						
UVLO 解除電圧	UVLO2H	3.6	3.8	4.0	V	VIN=上昇時
UVLO 検出電圧	UVLO2L	3.0	3.125	3.25	V	VIN=下降時
OVLO 検出電圧	OVLO2	6.2	6.4	6.6	V	VIN=上昇時
OVLO 検出電圧 (ヒステリシス)	OVLOh2	-	120	-	mV	VIN=下降時
過電流リミッタ	ILM2	2.0	-	-	A	
SW オン抵抗	RON2	-	120	250	mΩ	VC - VOUT SW
出力電圧起動ディレイ時間	Ton2	-	5	10	msec	
出力電圧オフ時間	Toff2	-	1	5	μ sec	
逆流リーク電流	Ileak2	-3	-	3	μ A	VB=5.0V, VC=0.0V

## ●電気的特性 (特に指定がない限り、Ta=25°C, VBAT=3.6V, VB=5.0V, VC=0.0V, VDDIO=1.8V, OTG\_VIN=0V)

項目	記号	Min.	Typ.	Max.	単位	条件
●VBREG						
出力電圧 (3.3V モード)	LDOVOUT 33	3.20	3.30	3.40	V	LDOSEL=H, Iload = 1mA
出力電圧 (4.9V モード)	LDOVOUT 49	4.75	4.90	5.05	V	LDOSEL=L, Iload = 1mA
出力電流	LDO MAXI	30	-	-	mA	

## ●電気的特性 (特に指定がない限り、Ta=25°C, VBAT=3.6V, VB=VC=0V, VDDIO=1.8V, OTG\_VIN=5V)

項目	記号	Min.	Typ.	Max.	単位	条件
●OTG SW						
SW オン抵抗	RON OTG SW	-	0.2	0.5	Ω	OTG_VIN=5.0V OTG SW=ON
出力電圧オフ時間	Toff3	-	0.2	5	μ sec	

## ●電气的特性 (特に指定がない限り、Ta=25°C, VBAT=3.6V, VDDIO=1.8V, VB=VC=0V, OTG\_VIN=0V)

項目	記号	Min.	Typ.	Max.	単位	条件
●HPSW (EARR,EARL)						
アナログ信号入力レンジ	VIN_LR	-1.4	—	1.4	V	
SW オン抵抗	RON HPSW	—	5	10	Ω	EARR = EARL= 0V SINK=10mA
高調波歪み	THD_HP	—	0.02	0.10	%	f=1kHz Vin=1.4Vpp RL=16Ω Filter:20kHz LPF
クロストーク	CT	—	—	-90	dB	RL=16Ω, f=1kHz Filter: DIN AUDIO
Pull down 抵抗値	RPD HPSW	—	500	—	Ω	
HPSW 起動時間	TUPHP	-	-	2	ms	HPSW OFF->ON

## ●電气的特性 (特に指定がない限り、Ta=25°C, VBAT=3.6V, VB=5.0V, VDDIO=1.8V, VC=0V, OTG\_VIN=0V)

項目	記号	Min.	Typ.	Max.	単位	条件
●HDSW (HDP1, HDM1, HDP2, HDM2)						
SW オン抵抗	RON HDSW	—	5	10	Ω	VIN=3.3V or 0V
OFF 時リーク電流	IIOFF	-3	—	3	μA	VIN=3.3V or 0V VB=OPEN
SW 容量	CSW	—	(6)	—	pF	HDSW ON
HDSW 起動時間	TUPHD	—	—	2	ms	HDSW OFF->ON

## ●電气的特性 (特に指定がない限り、Ta=25°C, VBAT=3.6V, VDDIO=1.8V, VB=VC=0V, OTG\_VIN=0V)

項目	記号	Min.	Typ.	Max.	単位	条件
●MICSW (MIC : SW4, SW5 )						
アナログ信号入力レンジ	VIN_MIC	0	—	2.5	V	
SW オン抵抗	RON MICSW	—	20	40	Ω	VIN=2.5V or 0V
OFF 時リーク電流	IIOFF	-3	—	3	μA	VIN=2.5V or 0V
高調波歪み	THD_MIC	—	0.02	0.10	%	f=1kHz Vin=1.0Vpp Vbias=2.0V RL=10kΩ Filter:20kHz LPF
MICSW 起動時間	TUPMIC	-	-	2	ms	MICSW OFF-> ON

## ●電气的特性 (特に指定がない限り、Ta=25°C, VBAT=3.6V, VDDIO=1.8V, VB=VC=0V, OTG\_VIN=0V)

項目	記号	Min.	Typ.	Max.	単位	条件
●CBUSSW						
SW オン抵抗	RON CBUSSW	—	5	10	Ω	VIN=3.3V or 0V
カットオフ周波数	FCCBUS	-	(100)	-	MHz	@ -3dB
OFF 時リーク電流	IIOFF	-3	—	3	μA	VIN=3.3V or 0V
CBUSSW 起動時間	TUPCBUS	-	-	2	ms	CBUSSW OFF->ON



## ●電気的特性 (特に指定がない限り、Ta=25°C, VBAT=3.6V, VB=5.0V, VDDIO=1.8V, VC=0V, OTG\_VIN=0V)

項目	記号	Min	Typ	Max	単位	条件
●USBCHG_DET						
VDP_SRC 電圧 (D+ 出力電圧)	VDP_SRC	0.5	0.6	0.7	V	Io=0~200uA
VDM_SRC 電圧 (D- 出力電圧)	VDM_SRC	0.5	0.6	0.7	V	Io=0~200uA
RCD 抵抗 (D+ pull up 抵抗)	RCD	75	100	125	kΩ	
USB port 非検出抵抗 (Host D+ pull down 抵抗)	RHDP	100	-	-	kΩ	
VDAT_REF 電圧 (D+/D- 検出電圧)	VDAT_REF	0.3	0.35	0.4	V	HDPR/HDML 端子上昇時
VLGC 電圧 (D+/D- 検出電圧)	VLGC	1.2	1.4	1.6	V	HDPR/HDML 端子上昇時
D+ シンク電流	IDP_SINK	50	85	150	uA	V(HDPR) = 0.6V
D- シンク電流	IDM_SINK	50	85	150	uA	V(HDML) = 0.6V

## ●電気的特性 (特に指定がない限り、Ta=25°C, VBAT=3.6V, VB=5.0V, VDDIO=1.8V)

項目	記号	Min	Typ	Max	単位	条件
●ID						
pull down 抵抗検出	RIDopen	1000	-	-	kΩ	未接続検出
	RID1	-	797	-	kΩ	
	RID2	-	557	-	kΩ	
	RID3	-	440	-	kΩ	
	RID4	-	390	-	kΩ	
	RID5	-	287	-	kΩ	
	RID6	-	200	-	kΩ	
	RID7	-	180	-	kΩ	
	RID8	-	124	-	kΩ	
	RID9	-	102	-	kΩ	
	RID10	-	68	-	kΩ	
	RID11	-	47	-	kΩ	
	RID12	-	36.5	-	kΩ	
	RID13	-	1	-	kΩ	
	RID14	-	0	50	Ω	GND 検出
COMPH 検出電圧	RatioH	85	90	95	%	Ratio = 100 x V (ID) / VCCIN [%] ID 端子電圧上昇時
COMPL 検出電圧	RatioL	22	26	30	%	Ratio = 100 x V (ID) / VCCIN [%] ID 端子電圧下降時

## 7.機能

### 7-1.ID端子抵抗値検出

VB、VC または VBAT 端子への正常印加によりパワーオンリセットが解除されると、LSI は IDRDET ブロックを自動的に ON にして、内蔵 pull up 抵抗による挿入検出待ち受け状態になります。ID 端子に pull down 抵抗が取付けられると、挿入検出が行われます。

接続検出が行われると、ID 抵抗切断検出用コンパレータが自動的に ON し切断検出が可能になります。接続検出が失敗している場合は、ID 端子抵抗値検出機能は動作しません。

接続検出が成功した場合、取付けられた ID 端子抵抗値の AD 変換が自動的に開始されます。AD 変換が完了すると、ID 端子抵抗値に相当するデコード値がレジスタに書き込まれ、INTB 端子に割り込みが発生します。

#### 7-1-1. MHL SW との優先性

ID 端子から CBUS 端子への信号パスを ON している場合、ID 端子抵抗値検出の機能は全て無効になります。

#### 7-1-2. 発着信 SW 付きアプリケーションの検出

発着信 SW 付きアプリケーションを検出した場合、発着信 SW 押下判定用のコンパレータが自動的に ON します。アプリケーションの発着信 SW を押下した場合に、レジスタに結果が書き込まれ、INTB に割り込みが発生します。

#### 7-1-2-1. OTG アプリケーションの検出

ID 抵抗値=0Ωを検出した場合、OTG アプリケーションが検出されたとして、OTG\_DET 端子を L にドライブすると共に、レジスタに結果を書き込みます。

#### 7-1-2-2. MHL アプリケーションの検出

ID 抵抗値=1KΩを検出した場合、MHL アプリケーションが検出されたとして、レジスタに結果を書き込みます。

#### 7-1-3. ID端子抵抗値検出機能の制御

ID 端子抵抗値検出機能は、初期状態では ON ですが、レジスタによって挿入検出を ON/OFF することができます。

#### 7-1-4. ID抵抗値検出のリトライ

リトライ機能を使用して、ID 端子に接続された抵抗値の AD 変換リトライを任意のタイミングで実施することが出来ます。リトライ実施後、AD 変換が完了すると INTB 端子に割り込みが発生します。

#### 7-1-5. ID端子抵抗値検出のポーリング

ポーリング機能を使うと、ID 端子抵抗値検出を繰返し行うモードに移行します。ポーリングモード中は新しい抵抗値が検出された場合のみ割り込みが INTB 端子に発生します。

#### 7-1-6. ID端子抵抗の抜去(切断)

抜去用コンパレータが ON の状態で、ID 端子に取付けられた抵抗が抜去(切断)されると、ID 抵抗の切断検出が発生します。切断検出が行われると、レジスタを初期化し、抜去結果をレジスタに書き込み、INTB に割り込みを発生させます。

## 7-2. USBポート判定

電源電圧が正常に印加され、パワーオンリセットが解除されると、USB ポート判定部が自動的に HDPR 端子、HDML 端子と接続され、USB ポートに取付けられた回路を判定します。USB ポート判定機能は BCS Rev1.2 準拠の Standard Downstream Port (SDP)、Dedicated Charging Port (DCP)、Charging Downstream Port (CDP)を識別することができます。一部の専用充電器を除いて USB 規格や BCS に準拠しないポートは BCS Rev1.2 に従い、基本的に SDP 判定される仕様になっております。

USB ポート判定機能は BCS1.2 に規定された、データ接続検出(DCD)、プライマリ検出、セカンダリ検出を順次自動的に実施します。動作を実施するために、外部からのレジスタアクセスは必要ありません。

### 7-2-1. データ接続検出(Data Contact Detect/DCD)

データ接続検出では、HDPR 端子を介して USB データ端子(D+)の接触判定を行います。USB データ端子の接触が行われるか、タイムアウトするとプライマリ検出に移行します。

### 7-2-2. データ接続検出のタイムアウト時間の設定

タイムアウト時間は外部端子 DCDMODE で選択することが出来ます。

### 7-2-3. プライマリ検出(Primary Detection)

プライマリ検出では、接続先のホストポートのタイプが、BCS に準拠した大電流ポートか、USB2.0 に定義されているポートかを識別します。

### 7-2-4. セカンダリ検出(Secondary Detection)

セカンダリ検出では、接続先のホストポートのタイプが、BCS1.2 に準拠した Dedicated Charging Port(BCS 準拠の専用充電器)か Charging Downstream Port(BCS 準拠のデータ通信可能な充電ポート)かを識別します。

#### 7-2-5. エニユメレート準備によるセカンダリ検出の短縮

USB ポート判定中に、既に本 LSI 搭載のポータブルデバイスがエニユメレート可能な状態の場合、プライマリ検出後のセカンダリ検出を短縮して強制的に CDP が検出されることになります。

#### 7-2-6. シーケンスリトライ機能

USB ポート判定が完了した後、任意のタイミングで判定のリトライを行う事が出来ます。

#### 7-2-7. 外部端子とレジスタによるUSBポート判定機能の停止

外部端子 USBDISEN とレジスタの組合せで、USB ポート判定機能を任意に ON/OFF することができます。

#### 7-3. 信号パス

本 LSI は HDPR/HDML 端子と HDP1/HDM1、HDP2/HDM2、EARR/EARL、MICOUT 端子間の信号パスを I2C インタフェースから制御することが出来ます。また、VB 端子と MICOUT 端子の信号パスも同様に制御することが出来ます。

MHL 通信/USB 通信を行う場合は、高速伝送が可能な HDP1/HDM1、HDP2/HDM2 への信号パスをご利用下さい。EARR/EARL、MICOUT への信号パスは高速信号伝送に対応しておりません。

##### 7-3-1. HDPR/HDML 端子信号パス

HDPR 端子は HDP1 端子、HDP2 端子、EARR 端子、MICOUT 端子と信号パスを、HDML 端子は HDM1 端子、HDM2 端子、EARL 端子と信号パスを持ちます。信号パスは、レジスタで個別に制御することが可能です。

##### 7-3-2. DSS 端子による MUXSW の初期値

信号パスの初期選択状態は DSS 端子により制御可能です。DSS = “L” のとき HDP1/HDM1 端子への信号パスが選択されます。DSS = “H” のとき HDP2/HDM2 端子への信号パスが選択されます。

##### 7-3-3. イヤホン端子プルダウン機能

EARL 端子、EARR 端子への信号パスには、内部にそれぞれ、500Ω のプルダウン抵抗が存在します。この抵抗の ON/OFF はレジスタで、信号パス毎に制御することが出来ます。

##### 7-3-4. ID 端子 - CBUS 端子信号パス

ID 端子は CBUS 端子との信号パスを持ちます。信号パスはレジスタで選択することが可能です。

#### 7-4. INTB 端子による割り込み通知

本 LSI は ID 端子に接続された抵抗の判定完了や、USB ポート判定完了等のイベント発生を、割り込み信号として INTB 端子に発生させます。INTB 端子は Nch オープンドレイン構造で、発生する割り込みの論理はレジスタで決定されます。INTB 端子の論理変更は、レジスタへ書き込みを行うと即座に行われます。

##### 7-4-1. 割り込みの発生要因と解除要因

本 LSI は ID 端子に接続された抵抗の判定完了や、USB ポート判定完了等のイベント発生を、割り込み信号として INTB 端子に発生させます。INTB 端子は Nch オープンドレイン構造です。割り込みが発生していない場合、Hi-Z 出力となります。INTB 端子開放時に H レベルを発生させたい場合には、端子を外部抵抗でプルアップして下さい。

##### 7-4-2. 割り込み論理の変更

割り込みのアクティブ論理はレジスタで選択が可能です。初期状態では INTB 端子は割り込み発生時に 'L' ドライブされます。

#### 7-5. VBDET 端子、VCDET 端子による VBUS、クレードルの検出

VBDET 端子、VCDET 端子を利用して VBUS やクレードルから電圧が印加されたことを検出することが出来ます。

#### 7-6. I2C インタフェースアクセスに VBUS、クレードルの検出

レジスタを利用して、I2C インタフェースを介して、VBUS やクレードルから電圧が印加されたことを確認できます。この 2 つのレジスタはリアルタイムモニタビットとなります。

#### 7-7. I2C インタフェースアクセスによる過電流状態検出

本 LSI は VB 電源系、VC 電源系にそれぞれに独立した OCP を搭載し、その過電流状態を I2C インタフェースによるアクセスにより検出することが出来ます。

#### 7-8. サーマルシャットダウン

チップ温度が検出温度以上になると、サーマルシャットダウン(TSD)回路が動作し、OVP 部の SW とレギュレータ VBREG の OFF を行います。TSD 検出温度は 180℃で、復帰のためのヒステリシス温度は 10℃となります。

この回路を動作させての連続使用、及び動作を前提とした使用はしないで下さい。

#### 7-9. VBREG レギュレータ

本 LSI は VBUS 電圧により駆動されるレギュレータを持ちます。レギュレータの出力は VBREG 端子で、VB 端子を UVLO 電圧以上にすることにより、デフォルトの状態でも出力を ON することが出来ます。

LDOSSEL 端子を使って、出力電圧の切り替えも可能です。出力電圧は 4.9V か 3.3V になります。

#### 7-10. OTGモード制御

USB2.0 On-The-Go 時にポータブルデバイス側からの電源供給を可能にするため、本 LSI は OTG\_VIN 端子から VB 端子への独立した電源バスを持ちます。

#### 7-11. VBUS信号バス

本 LSI は VB 端子から MICOUT 端子への信号バスを選択することが出来ます。VB 端子の印加電圧が UVLO 電圧以下であれば、レジスタ設定することにより、VB 端子と MICOUT 端子が接続されます。

#### 7-12.リセット系統

本 LSI には”パワーオンリセット”、”ハードウェアリセット”、”ソフトウェアリセット”の 3 つのリセットが存在します。いずれも全機能に対してリセットを行います。

##### 7-12-1.パワーオンリセット

パワーオンリセットは本 LSI の全ての機能をリセットします。VB 端子、VC 端子または VBAT 端子の何れかの UVLO が解除されることにより、自動的にパワーオンリセットが解除されます。

##### 7-12-2. RST端子によるハードウェアリセット

ハードウェアリセットは外部端子 RST により発生し、LSI の全ての機能をリセットすることができます。

##### 7-12-3. I2Cインタフェースからのソフトウェアリセット

I2C インタフェースよりレジスタに書き込むことによって、ソフトウェアリセットすることができます。ソフトウェアリセットは、LSI の全ての機能をリセットすることができます。

#### 7-13. I<sup>2</sup>Cバス電気的特性

##### I<sup>2</sup>Cバス AC 特性

Characteristics	記号	Min	Max	単位
CLK clock の周波数	f <sub>CLK</sub>	0	400	kHz
CLK clock の"L"レベル時間	t <sub>LOW</sub>	1.3	-	μs
CLK clock の"H"レベル時間	t <sub>HIGH</sub>	0.6	-	μs
ストップ・コンディションとスタート・コンディション間のバス開放時間	t <sub>BUF</sub>	1.3	-	μs
スタート・コンディションのホールド時間	t <sub>HD.STA</sub>	0.6	-	μs
リピーテッド・スタートコンディションのセットアップ時間	t <sub>SU.STA</sub>	0.6	-	μs
データ・ホールド時間	t <sub>HD.DAT</sub>	0	0.9	μs
データ・セットアップ時間	t <sub>SU.DAT</sub>	100	-	ns
ストップ・コンディションのセットアップ時間	t <sub>SU.STO</sub>	0.6	-	μs

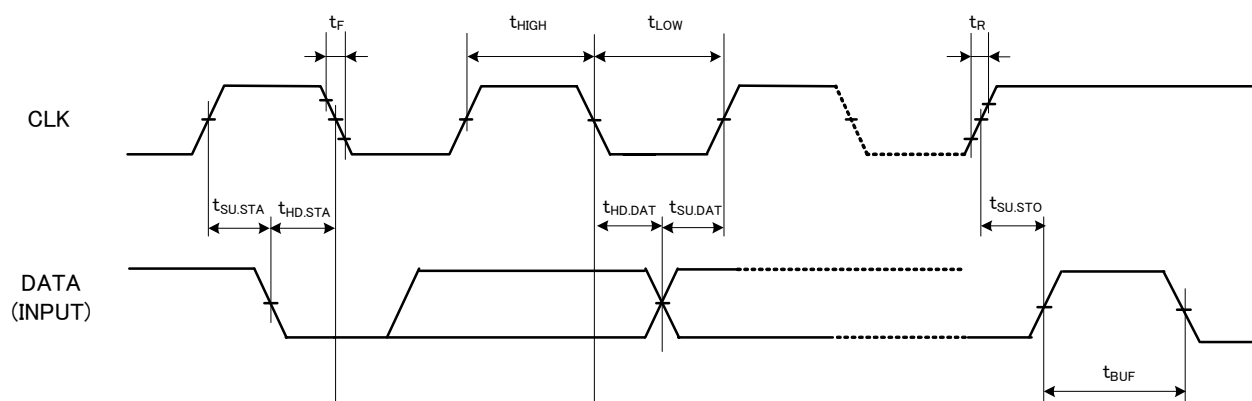


Fig4.SCL/SDA バス AC タイミング 1

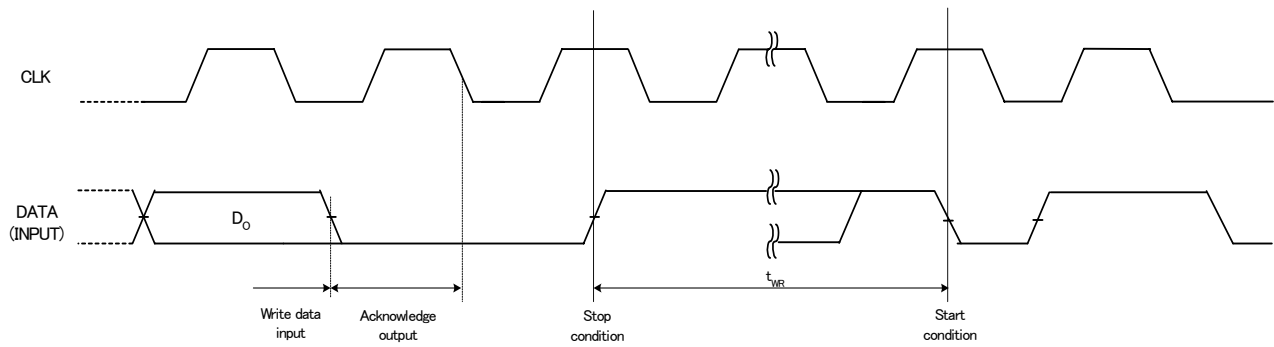


Fig5.SCL/SDA バス AC タイミング 2

7-14. I<sup>2</sup>Cバスインターフェース機能

## 7-14-1. START条件・STOP条件

CLK が”H”で DATA を”H”から”L”へ遷移させると、START 条件となりアクセス開始を、CLK が”H”の状態 SDA を”L”から”H”へ遷移すると、STOP 条件となりアクセス終了を示します。

全ての命令は START 条件で始まり、STOP 条件で停止します。リード途中に STOP 条件が発生した場合、リードを停止して、スタンバイモードに移行します。

ライト途中に STOP 条件が発生した場合、次に START 条件が来るまでライト動作は中断し、スタンバイモードに移行します。

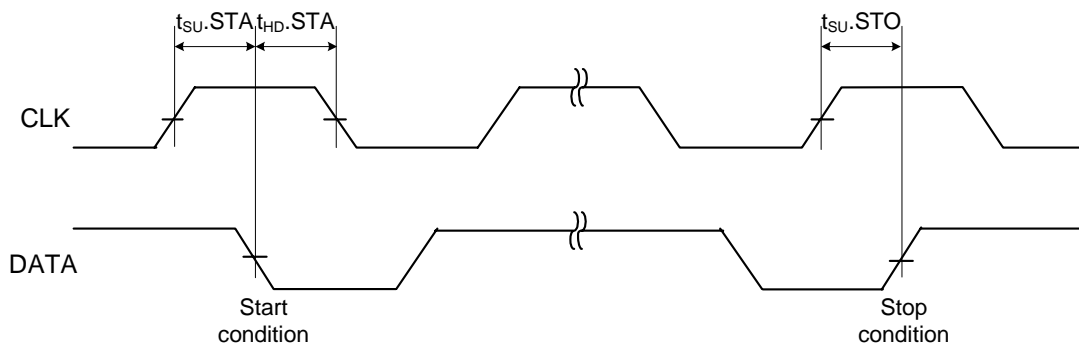


Fig6.START 条件/STOP 条件 AC タイミング

## 7-14-2. データ転送

SCL が”H”の間で 1 ビットのデータ転送をします。ビット転送時、CL が”H”の間では SDA の信号遷移は行えません。SCL が”H”で SDA が変化すると、START 条件もしくは STOP 条件が発生し、制御信号と解釈されます。

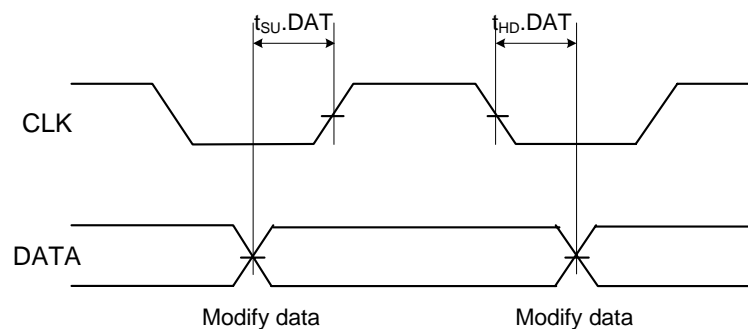


Fig7.データ転送時の AC タイミング



## 7-14-5. 書き込みプロトコル

指定したアドレスにデータをライトする場合、START 条件の後に、デバイスアドレス、“0”の1ビット信号(R/W 命令選択ビット)、ワードアドレス、書き込みデータの順に入力します。

STOP 条件が来ると、スタンバイモードへ移行します。

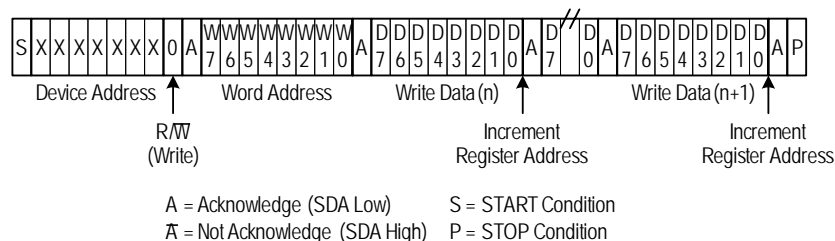


Fig9.書き込みプロトコル基本シーケンス

START 条件、デバイスアドレス、“0”の1ビット信号(R/W 命令選択ビット)、ワードアドレス(n)、アドレス(n)のデータ書き込み、続いて、アドレス(n+1)のデータ書き込みとなります。

STOP 条件が発生しない限り、アクノリッジ信号が“0”になるかチェックします。

## 7-14-6. アドレスロールバック仕様

書き込み、読み出し、複合読み出しを行い、アドレスが 07h に達した時、ワードアドレスはアドレス 00h にロールオーバーされます。

## 7-14-7. 読み出しプロトコル

指定したアドレスからデータをリードする場合、START 条件の後に、デバイスアドレス、“0”の1ビット信号(R/W 命令選択ビット)、デバイスアドレス、ワードアドレス、“1”の1ビット信号(R/W 命令選択ビット)を書き込み、データを受信します。

STOP 条件が来ると、スタンバイモードへ移行します。

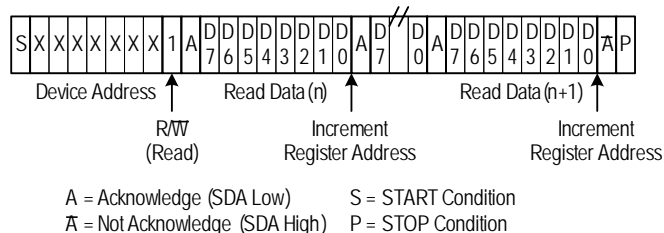


Fig10.読み出しプロトコルシーケンス

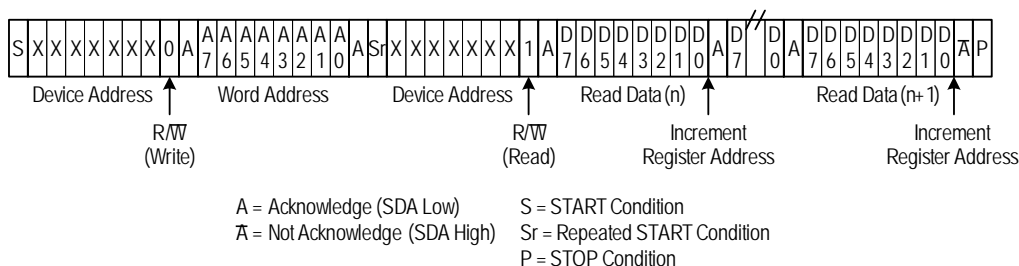


Fig11.複合読み出しプロトコルシーケンス

START 条件、デバイスアドレス、“0”の1ビット信号(R/W 命令選択ビット)、ワードアドレス(n)、アドレス(n)のデータリード、続いて STOP 条件無しで、アドレス(n+1)のデータリードとなります。

STOP 条件が発生しない限り、アクノリッジ信号が“0”になるかチェックします。

アドレスが 07'h に達した時、ワードアドレスはアドレス 00'h にロールオーバーされます。



## 8. 特性データ (参考データ)

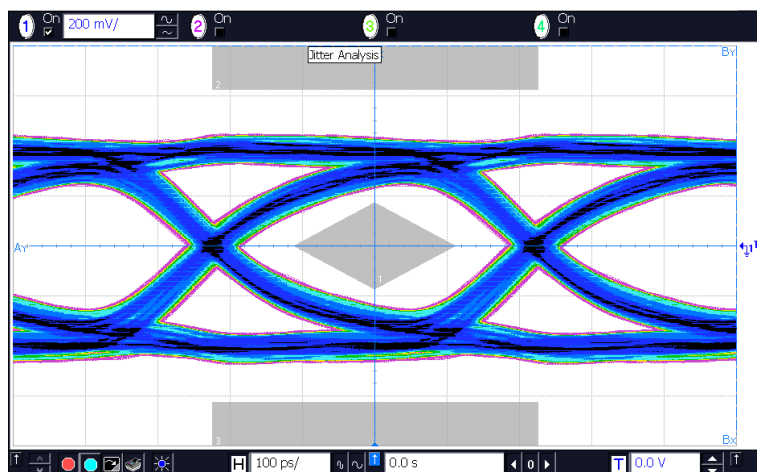


Fig12.MHL Eye-Pattern(720p, 60Hz)

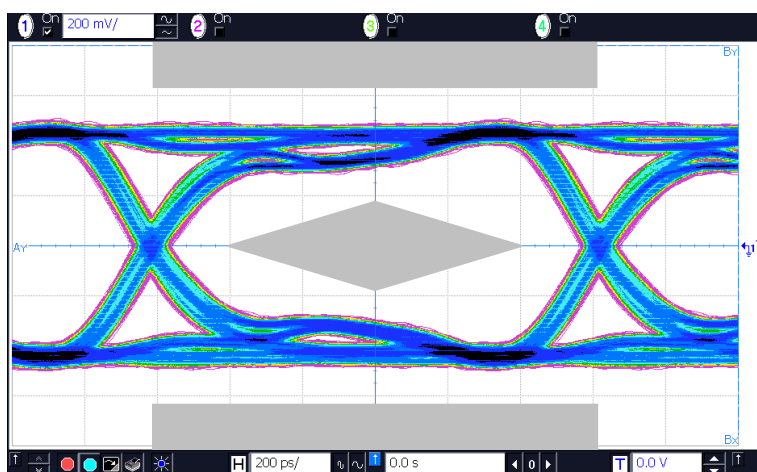


Fig13.MHL Eye-Pattern(480p, 60Hz)

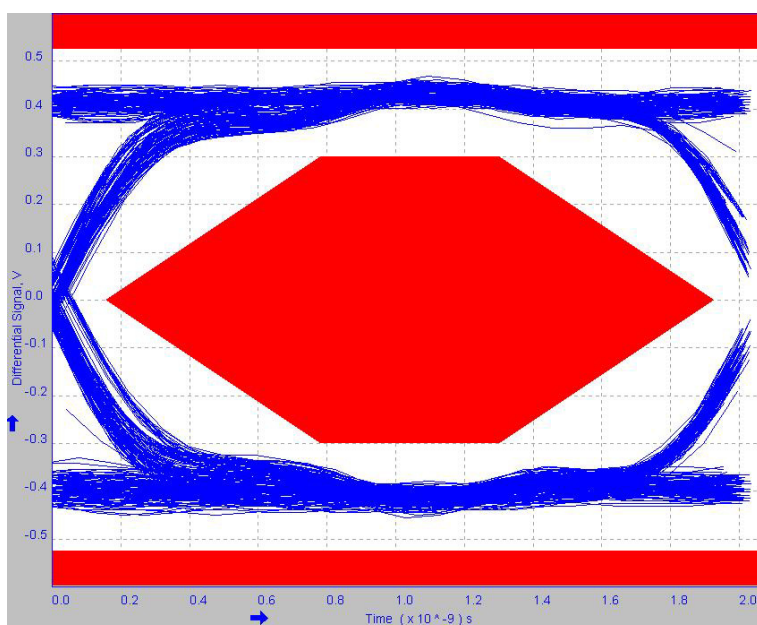


Fig14.USB Eye-Pattern(High-speed)



## 9.アプリケーション回路図

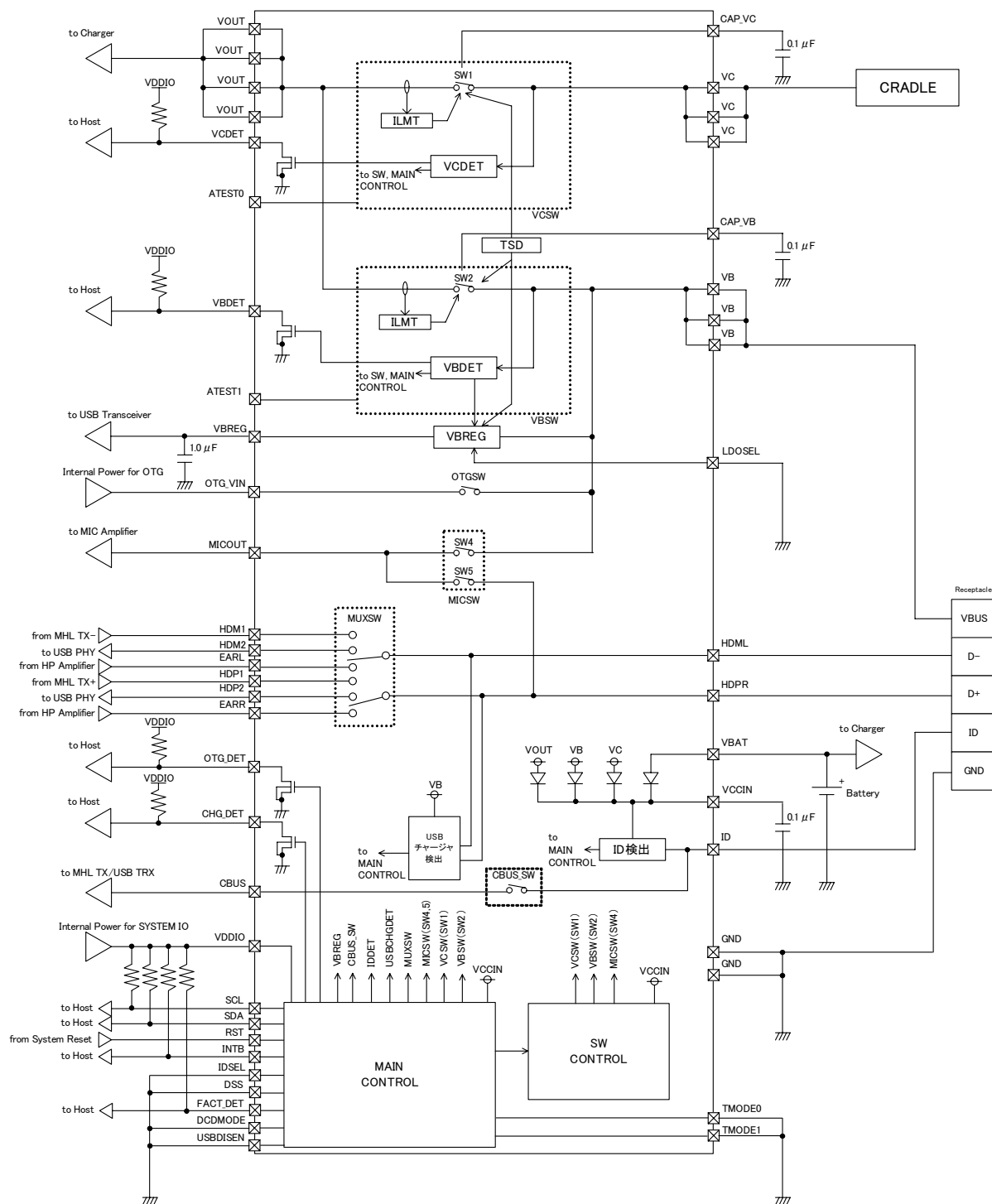
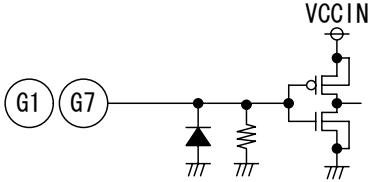
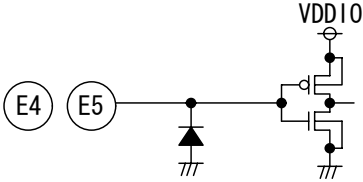
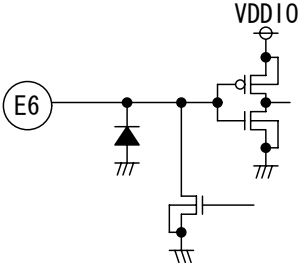
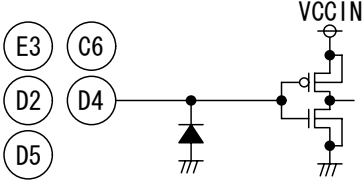
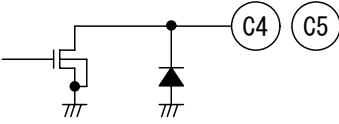


Fig.15 アプリケーション回路図

10.入出力等価回路図

Ball No.	Ball Name	等価回路図
G1 G7	TMODE0 TMODE1	
E4 E5	RST SCL	
E6	SDA	
E3 C6 D2 D4 D5	DSS IDSEL LDOSEL USBDISEN DCDMODE	
C4 C5	VCDET VBDET	

Ball No.	Ball Name	等価回路図
B6 B7 C7 A6 A4 A5 B4 B5 A2 A3 B2 B3 B1	VC VC VC CAP_VC VOUT VOUT VOUT VOUT VB VB VB CAP_VB OTG_VIN	
E2	MICOUT	
E1 F1	HDP1 HDM1	

Ball No.	Ball Name	等価回路図
F6	VCCIN	
C1	VBREG	
F5	CBUS	
A7 A1	ATEST1 ATEST0	
E7 F7	VBAT VDDIO	

Ball No.	Ball Name	等価回路図
G2 G3	HDM1 HDP1	
G4 G5	EARL EARR	
F2 F3	HDM2 HDP2	
D6 F4 D3 C2	INTB FACT_DET CHG_DET OTG_DET	
G6	ID	

## 11. 使用上の注意

- 1) 絶対最大定格について  
印加電圧、及び動作温度範囲などの絶対最大定格を越えた場合、破壊する恐れがあり、ショートもしくはオープンなどの破壊モードが特定できませんので、絶対最大定格を越えるような特殊モードが想定される場合には、ヒューズなどの物理的な安全対策を施すよう検討をお願いします。
- 2) 推奨動作範囲  
この範囲であればほぼ期待通りの特性を得ることが出来る範囲です。電気特性については各項目の条件下において保証されるものです。推奨動作範囲内であっても電圧、温度特性を示します。
- 3) 電源コネクタの逆接続について  
電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れる等の対策を施してください。
- 4) 電源ラインについて  
基板パターンの設計においては、電源/GND ラインの配線は、低インピーダンスになるようにしてください。  
その際、デジタル系電源とアナログ系電源は、それらが同電位であっても、デジタル系電源パターンとアナログ系電源パターンは分離し、配線パターンの共通インピーダンスによるアナログ電源へのデジタル・ノイズの回り込みを抑止してください。GND ラインについても、同様のパターン設計を考慮してください。  
また、LSI のすべての電源端子について電源-GND 端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量ぬけが起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。
- 5) GND 電圧について  
EARR、EARL、HDPR、HDML 以外の端子について、GND 端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また、実際に過渡現象を含め GND 以下の電位になっている端子がないかご確認ください。
- 6) 端子間ショートと誤装着について  
セット基板に取り付ける際、LSI の向きや位置ずれに十分ご注意ください。誤って取り付けた場合、LSI が破壊する恐れがあります。また、端子間や端子と電源、GND 間に異物が入るなどしてショートした場合についても破壊の恐れがあります。
- 7) 強電磁界中の動作について  
強電磁界中でのご使用は、誤動作をする可能性がありますのでご注意ください。
- 8) セット基板での検査について  
セット基板での検査時に、インピーダンスの低い LSI 端子にコンデンサを接続する場合は、LSI にストレスがかかる恐れがあるので、工程毎に必ず放電を行ってください。また、検査工程での治具への着脱時には、必ず電源をオフにしてから接続し、検査を行い、電源をオフにしてから取り外してください。さらに、静電気対策として、組み立て工程には、アースを施し、運搬や保存の際には十分ご注意ください。
- 9) 各入力端子について  
LSI の構造上、寄生素子は電位関係によって必然的に形成されます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因となり得ます。したがって、入力端子に GND より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分注意してください。また、LSI に電源電圧を印加していない時、入力端子に電圧を印加しないでください。さらに、電源電圧を印加している場合にも、各入力端子は電源電圧以下の電圧もしくは電気的特性の保証値内としてください。
- 10) アース配線パターンについて  
小信号 GND と大電流 GND がある場合、大電流 GND パターンと小信号 GND パターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号 GND の電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品の GND の配線パターンも変動しないように注意してください。
- 11) 外付けコンデンサについて  
外付けコンデンサに、セラミック・コンデンサを使用する場合、直流バイアスによる公称容量の低下、および温度などによる容量の変化を考慮の上定数を決定してください。
- 12) サーマルシャットダウン回路(TSD)について  
ジャンクション温度が設定温度以上になるとサーマルシャットダウン回路が動作し OVP 部スイッチの OFF を行います。サーマルシャットダウン回路はあくまでも熱的暴走から LSI を遮断することを目的とした回路であり、LSI の保護、および保証を目的とはしておりません。よって、この回路を動作させての連続使用、および動作を前提とした使用はしないで下さい。(TSD 検出温度=180℃、ヒステリシス温度=10℃)
- 13) 熱設計について  
実際の使用状態での許容損失(Pd)を考えて十分なマージンを持った熱設計を行ってください。

この文書の取り扱いに対して

この文書の日本語版が、正式な仕様書です。この文書の翻訳版は、正式な仕様書を読むための参考としてください。

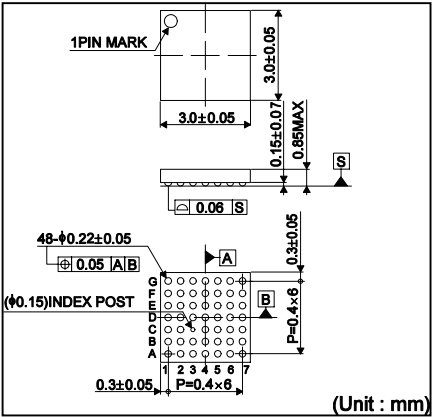
なお、相違が生じた場合は、正式な仕様書を優先してください。

12. 発注形名情報

B D 9 1 4 1 1 G W										-	E 2	
Part Number										パッケージ GW: UCSP75M3		包装、フォーミング仕様 E2: リール状エンボステーピング

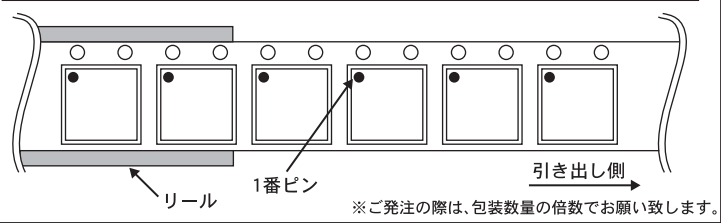
13. 外形寸法図と包装・フォーミング仕様

UCSP75M3(BD91411GW)



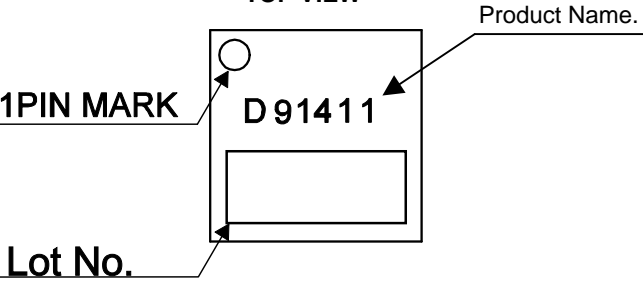
＜包装仕様＞

包装形態	エンボステーピング
包装数量	2500pcs
包装方向	E2 ( リールを左手に持ち、右手でテープを引き出したときに 製品の1番ピンが左上にくる方向 )



14. 標印図

UCSP75M3(BD91411GW)  
TOP VIEW



## 15. 改訂履歴

Date	Revision	Changes
13.Jul.2012	001	New Release



# ご注意

## ローム製品取扱い上の注意事項

1. 本製品は一般的な電子機器（AV 機器、OA 機器、通信機器、家電製品、アミューズメント機器等）への使用を意図して設計・製造されております。従いまして、極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険若しくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器<sup>(Note 1)</sup>、輸送機器、交通機器、航空宇宙機器、原子力制御装置、燃料制御、カーアクセサリを含む車載機器、各種安全装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

2. 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、かかる誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
  - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
  - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
3. 本製品は、一般的な電子機器に標準的な用途で使用されることを意図して設計・製造されており、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。従いまして、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
  - ①水・油・薬液・有機溶剤等の液体中でのご使用
  - ②直射日光・屋外暴露、塵埃中でのご使用
  - ③潮風、Cl<sub>2</sub>、H<sub>2</sub>S、NH<sub>3</sub>、SO<sub>2</sub>、NO<sub>2</sub> 等の腐食性ガスの多い場所でのご使用
  - ④静電気や電磁波の強い環境でのご使用
  - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合。
  - ⑥本製品を樹脂等で封止、コーティングしてのご使用。
  - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用された場合も、残渣の洗浄は確実にを行うことをお勧め致します)、又ははんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合。
  - ⑧本製品が結露するような場所でのご使用。
4. 本製品は耐放射線設計はなされておられません。
5. 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
6. パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
7. 許容損失(Pd)は周囲温度(Ta)に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、ディレーティングカーブ範囲内であることをご確認ください。
8. 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
9. 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

## 実装及び基板設計上の注意事項

1. ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
2. はんだ付けはリフローはんだを原則とさせていただきます。なお、フロー方法でのご使用につきましては別途ロームまでお問い合わせください。  
詳細な実装及び基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

## **応用回路、外付け回路等に関する注意事項**

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。従いまして、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

## **静電気に対する注意事項**

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施の上、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。(人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等)

## **保管・運搬上の注意事項**

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
  - ①潮風、Cl<sub>2</sub>、H<sub>2</sub>S、NH<sub>3</sub>、SO<sub>2</sub>、NO<sub>2</sub>等の腐食性ガスの多い場所での保管
  - ②推奨温度、湿度以外での保管
  - ③直射日光や結露する場所での保管
  - ④強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認した上でご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行った上でご使用ください。

## **製品ラベルに関する注意事項**

本製品に貼付されている製品ラベルに QR コードが印字されていますが、QR コードはロームの社内管理のみを目的としたものです。

## **製品廃棄上の注意事項**

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

## **外国為替及び外国貿易法に関する注意事項**

本製品は外国為替及び外国貿易法に定める規制貨物等に該当するおそれがありますので輸出する場合には、ロームにお問い合わせください。

## **知的財産権に関する注意事項**

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。従いまして、上記第三者の知的財産権侵害の責任、及び本製品の使用により発生するその他の責任に関し、ロームは一切その責任を負いません。
2. ロームは、本製品又は本資料に記載された情報について、ローム若しくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。

## **その他の注意事項**

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社若しくは第三者の商標又は登録商標です。

**一般的な注意事項**

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。