

GaN HEMT 駆動用 LDO 内蔵 4 A/6 A 1ch 高速ゲートドライバ

BD3GD02NVX-LB BD3GD03NVX-LB

概要

本製品は産業機器市場へ向けたランクの製品です。
これらのアプリケーションとして、ご使用される場合に
最適な商品です。

BD3GD02NVX-LB 及び BD3GD03NVX-LB は、GaN
HEMT を高速に駆動する 1ch ゲートドライバです。

GaN HEMT 用高速ゲートドライバ回路とゲート駆動電
圧を生成する LDO を 6 ピンの SON 小型パッケージに封
止しており、特に E-mode の GaN デバイス駆動に最適化
されています。

また、入力を Si FET 用ゲート駆動電圧に対応させてい
るため、既存システムの Si FET 用ゲート駆動ラインに接続
することで、システムを変更せずに GaN HEMT を駆動
することができます。

出力端子は、ソース側とシンク側の駆動端子が分割され
ており、外付け抵抗でソース側、シンク側のスルーレ
ートを個別に調整可能です。

保護機能として VDD-GND 間に低入力誤動作防止回路
(UVLO)、VREG-GND 間に低出力電圧保護回路 (UVP)
を搭載しています。

重要特性

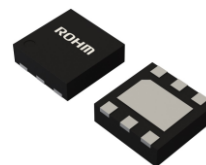
- 電源電圧範囲 (VDD 端子)
BD3GD02NVX-LB : 4.5 V ~ 18 V
BD3GD03NVX-LB : 5.25 V ~ 18 V
- 入力電圧範囲 (IN+端子、EN 端子): 0 V ~ 18 V
- LDO 出力電圧 (ゲート駆動電圧)
BD3GD02NVX-LB : 5.0 V (Typ)
BD3GD03NVX-LB : 5.75 V (Typ)
- 出力電流 I_{OMAXH} / I_{OMAXL} : 4 A / 6 A (Typ)
- ターンオン遅延時間 : 14 ns (Typ)
- ターンオフ遅延時間 : 14 ns (Typ)
- 入力 High パルス幅 : 10 ns (Min)
- 動作温度範囲 : -40 °C ~ +125 °C

パッケージ

SSON06RX2020

W (Typ) x D (Typ) x H (Max)

2.0 mm x 2.0 mm x 0.6 mm



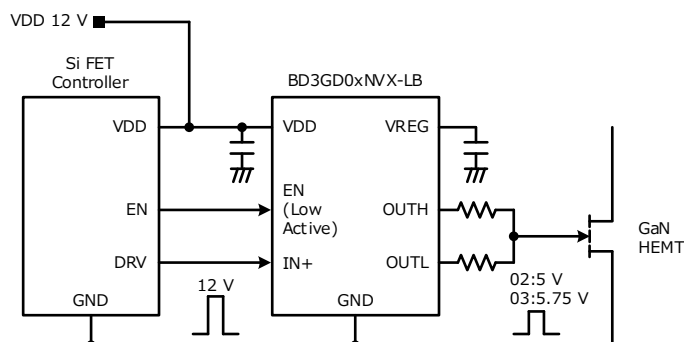
特長

- 駆動電圧制御用 LDO 内蔵
- 広い動作範囲の入力電圧
- 同相動作入力及び逆相動作入力に対応
- 低い伝搬遅延
- VDD UVLO 保護内蔵
- VREG UVP 保護内蔵

用途

- 産業機器
- GaN アプリケーション
- PFC や LLC トポロジ電源
- ブリッジ・トポロジ構成を備えた電源

基本アプリケーション回路



目 次

概要 1

特長 1

用途 1

重要特性 1

パッケージ 1

基本アプリケーション回路 1

目 次 2

端子配置図 3

端子説明 3

ブロック図 3

各ブロック動作説明 4

絶対最大定格 5

熱抵抗 5

推奨動作条件 6

電気的特性 6

スイッチングパラメータ測定情報 7

特性データ 8

タイミングチャート 12

応用回路例 13

アプリケーション部品選定方法 14

入出力等価回路図 16

使用上の注意 17

発注形名情報 19

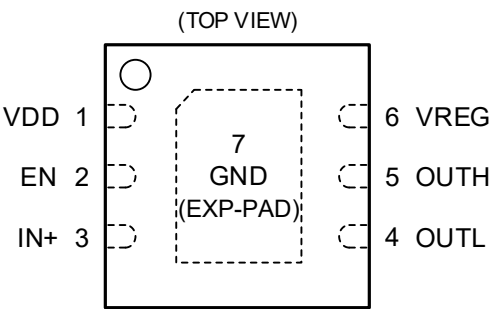
ラインアップ 19

標印図 19

外形寸法図と包装・フォーミング仕様 20

改訂履歴 21

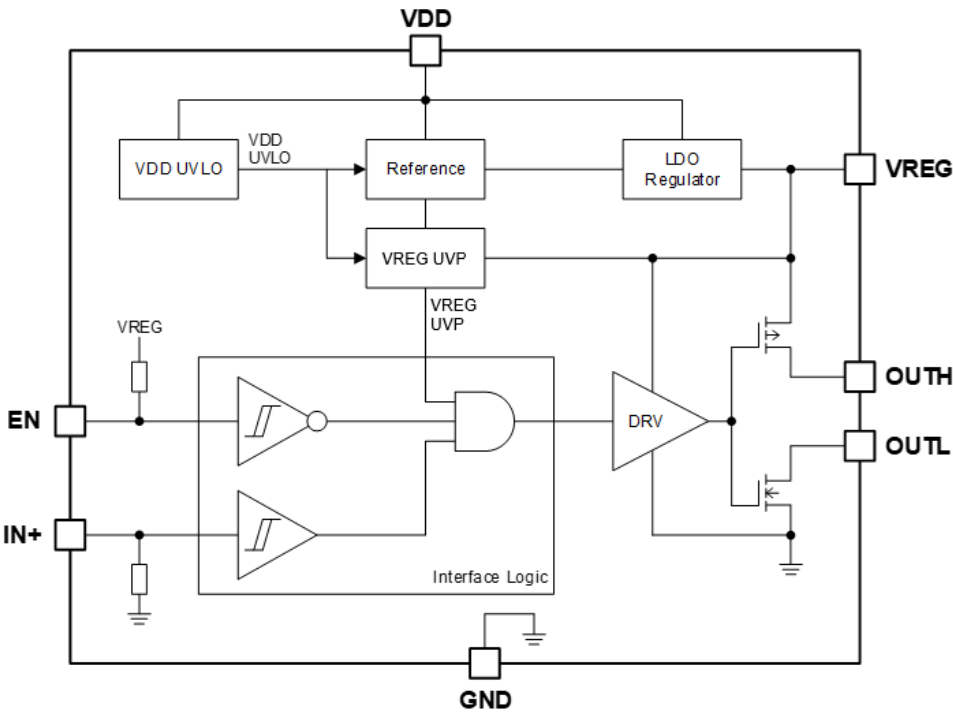
端子配置図



端子説明

端子番号	端子名	機 能
1	VDD	電源端子
2	EN	イネーブル端子（Low でアクティブ）
3	IN+	非反転ゲート駆動入力端子
4	OUTL	シンク側ゲート駆動用出力端子
5	OUTH	ソース側ゲート駆動用出力端子
6	VREG	ゲート駆動電圧生成回路用コンデンサ接続端子
7	GND (EXP-PAD)	GND 端子 この端子は裏面放熱用パッドも兼用している。 ビアを使用して内部の PCB グランドプレーンに接続することで 優れた放熱特性が得られる。

ブロック図



各ブロック動作説明

1 概要

ゲートドライバ回路、ゲート駆動電圧生成用 LDO レギュレータ、及び保護機能が内蔵された本製品は、入力を Si-FET 用ゲートドライバ駆動電圧から GaN HEMT のゲート駆動電圧に変換する機能を有するため、Si FET 用ゲート駆動出力の既存アプリケーションに接続することで、システムを変更せずに GaN HEMT を使用することができます。さらに、VDD を監視する UVLO (Under Voltage Lock Out)機能、LDO レギュレータ出力を監視する UVP (Under Voltage Protection)機能も統合されており、本製品を破壊から保護します。

2 各ブロック説明

2.1 Gate Driver (DRV)ブロック

GaN HEMT 用のゲートドライバであり、VREG 出力の High レベル、GND の Low レベルに GaN HEMT デバイスのゲートを駆動します。VREG 出力が正常と判定される (VREG の UVP 保護が検出されない状態)までドライバはオフ状態 (OUTH = Open, OUTL = Low)を保ちます。

2.2 LDO Regulator ブロック

VDD 電圧から GaN HEMT 駆動用の電圧に安定化されるため、広い VDD 入力電圧範囲において GaN HEMT のゲート駆動電圧が保証されます。VREG 端子と GND 端子間に 2.2 μF (Typ) のセラミック・コンデンサ C_{VREG} が必要です。この LDO は GaN HEMT へのゲートチャージ電流のみを供給します。外部への電源供給用としては使用できません。

2.3 Interface ブロック

入力インタフェース回路により、一般的な MCU や ACDC コントローラの出力などの 18 V までの電圧信号を IN+ 端子及び EN 端子の入力信号として直接接続し使用することが可能です。EN 端子と IN+端子の組み合わせによるドライバの動作を Table 1 に示します。

2.4 VREG UVP ブロック

内蔵している LDO 出力を監視する低出力電圧保護回路です。VREG 端子が出力電圧に対する 80 % (Typ) 以下となるとドライバ機能をオフ (OUTH = Open, OUTL = Low)します。なお、スレッシュホールド電圧は出力電圧に対して 5 % (Typ) のヒステリシスを持っています。また、検出時は 10 μs (Typ) のディレイ時間を有しています。

2.5 VDD UVLO ブロック

VDD 電圧を監視する低入力電圧誤動作防止回路です。VDD が 3.55 V (Typ) 以下になるとドライバ機能をオフにします。なお、スレッシュホールド電圧は 0.25 V (Typ) のヒステリシスを持っています。

2.6 Reference ブロック

VDD 入力電圧から VREG 電圧及び保護回路検出電圧の基準電圧を生成します。

Table 1. ドライバ機能の真理値表

VDD	VREG	IN+	EN	OUTH	OUTL
$< V_{\text{UVLO}}$	OFF	X	X	Open	Low
$\geq V_{\text{UVLO}}$	$< V_{\text{UVP}}$	X	X	Open	Low
$\geq V_{\text{UVLO}}$	$\geq V_{\text{UVP}}$	L	L	Open	Low
$\geq V_{\text{UVLO}}$	$\geq V_{\text{UVP}}$	H	L	High	Open
$\geq V_{\text{UVLO}}$	$\geq V_{\text{UVP}}$	L	H	Open	Low
$\geq V_{\text{UVLO}}$	$\geq V_{\text{UVP}}$	H	H	Open	Low

(Note) X: Don't care.

絶対最大定格

項目	記号	定格	単位	条件
最大印加電圧 1	V _{MAX1}	-0.3 ~ +20	V	VDD 端子電圧
最大印加電圧 2	V _{MAX2}	-0.6 ~ +20	V	IN+端子電圧
最大印加電圧 3	V _{MAX3}	-0.6 ~ +20	V	EN 端子電圧
最大印加電圧 4	V _{MAX4}	-0.3 ~ +7.0	V	VREG 端子電圧
最高接合部温度	T _{jmax}	150	°C	
保存温度範囲	T _{stg}	-55 ~ +150	°C	

注意 1: 印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施していただくようご検討をお願いします。

注意 2: 最高接合部温度を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。最高接合部温度を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用するなど、最高接合部温度を超えないよう熱抵抗にご配慮ください。

熱抵抗 (Note 2)

項目	記号	熱抵抗(Typ)		単位
		1 層基板 (Note 4)	4 層基板 (Note 5)	
SSON06RX2020				
ジャンクション—周囲温度間熱抵抗	θ_{JA}	284.5	83.2	°C/W
ジャンクション—パッケージ上面中心間熱特性パラメータ (Note 3)	Ψ_{JT}	35.0	22.0	°C/W

(Note 2) JESD51-2A(Still-Air)に準拠。

(Note 3) ジャンクションからパッケージ（モールド部分）上面中心までの熱特性パラメータ。

(Note 4) JESD51-3 に準拠した基板を使用。

(Note 5) JESD51-5,7 に準拠した基板を使用。

測定基板	基板材	基板寸法
1 層	FR-4	114.3 mm x 76.2 mm x 1.57 mmt

1 層目（表面）銅箔	
銅箔パターン	銅箔厚
実装ランドパターン + 電極引出し用配線	70 μ m

測定基板	基板材	基板寸法	サーマルビア (Note 6)	
			ピッチ	直径
4 層	FR-4	114.3 mm x 76.2 mm x 1.6 mmt	1.20 mm	Φ 0.30 mm

1 層目（表面）銅箔		2 層目、3 層目（内層）銅箔		4 層目（裏面）銅箔	
銅箔パターン	銅箔厚	銅箔パターン	銅箔厚	銅箔パターン	銅箔厚
実装ランドパターン ＋電極引出し用配線	70 μm	74.2 mm□（正方形）	35 μm	74.2 mm□（正方形）	70 μm

(Note 6) 貫通ビア。1,2,4 層の銅箔と接続する。配置はランドパターンに従う。

推奨動作条件

項 目	記号	最小	標準	最大	単位	条 件
電源電圧範囲	V _{DD}	4.50	12.00	18.00	V	BD3GD02NVX-LB VDD 端子電圧
		5.25	12.00	18.00	V	BD3GD03NVX-LB VDD 端子電圧
入力電圧範囲 1	V _{IN+}	0	-	18	V	IN+端子電圧
入力電圧範囲 2	V _{EN}	0	-	18	V	EN 端子電圧
入力 High パルス幅	t _{IN_MIN}	10	-	-	ns	
VREG 端子 出力コンデンサ範囲	C _{VREG}	0.47	2.20	10.00	μF	セラミック・コンデンサを 推奨 ^(Note 1)
動作温度	T _{opr}	-40	-	+125	°C	周囲温度

(Note 1) コンデンサの容量は温度特性、DC バイアス特性などを考慮して最小値を下回らないように設定してください。

電気的特性

(特に指定のない限り V_{DD} = 12 V, T_j = -40 °C ~ +125 °C)

項 目	記号	最小	標準	最大	単位	条 件
回路電流						
VDD 動作電流 1	I _{VDD1}	-	50	90	μA	V _{IN+} = V _{DD} 、V _{EN} = 0 V VDD = 3 V
VDD 動作電流 2	I _{VDD2}	-	50	90	μA	V _{IN+} = 0 V、V _{EN} = V _{DD} VDD = 3 V
VDD 端子						
VDD UVLO 解除電圧	V _{UVLO1}	3.55	3.80	4.15	V	VDD 端子電圧上昇時
VDD UVLO 検出電圧	V _{UVLO2}	3.30	3.55	3.90	V	VDD 端子電圧低下時
VDD UVLO ヒステリシス電圧	V _{UVLO3}	-	0.25	-	V	V _{UVLO3} = V _{UVLO1} - V _{UVLO2}
VREG 端子						
LDO 電圧 (ゲート駆動電圧)	V _{VREG}	4.85	5.00	5.15	V	BD3GD02NVX-LB、無負荷時
		5.58	5.75	5.92	V	BD3GD03NVX-LB、無負荷時
VREG UVP 解除電圧	V _{UVP1}	80	85	90	%	V _{VREG} 電圧に対する割合
VREG UVP 検出電圧	V _{UVP2}	75	80	85	%	V _{VREG} 電圧に対する割合
VREG UVP ヒステリシス電圧	V _{UVP3}	-	5	-	%	V _{UVP3} = V _{UVP1} - V _{UVP2}
IN+端子、EN 端子						
入カスレッシュホールド電圧 1	V _{INPOS}	1.85	2.05	2.25	V	入力電圧上昇時
入カスレッシュホールド電圧 2	V _{INNEG}	0.90	1.10	1.30	V	入力電圧低下時
入力ヒステリシス電圧	V _{INHYS}	-	0.95	-	V	V _{INHYS} = V _{INPOS} - V _{INNEG}
入力リーク電流	I _{INLEAK}	50	150	250	μA	V _{IN+} = V _{EN} = 5 V
OUTH 端子、OUTL 端子						
OUTH プルアップ抵抗	R _{OUTH}	-	0.6	1.0	Ω	I _{OUTH} = -50 mA
OUTL プルダウン抵抗	R _{OUTL}	-	0.20	0.50	Ω	I _{OUTL} = 50 mA
起動項目						
VREG 立ち上がり時間	t _{VREG}	80	160	340	μs	C _{VREG} = 2.2 μF (公称値)

電気的特性 — 続き

(特に指定のない限り $V_{DD} = 12\text{ V}$, $T_j = -40\text{ }^{\circ}\text{C} \sim +125\text{ }^{\circ}\text{C}$)

項目	記号	最小	標準	最大	単位	条件
スイッチング項目						
出力ソース側最大電流	I_{OMAXH}	-	4.0	-	A	(Note 1)
出力シンク側最大電流	I_{OMAXL}	-	6.0	-	A	(Note 1)
ターンオン時伝搬遅延時間	t_{DON}	-	14	25	ns	$C_{LOAD} = 1\text{ nF}$ $IN = 0\text{ V} \rightarrow 5\text{ V}$ (Note 2)
ターンオフ時伝搬遅延時間	t_{DOFF}	-	14	25	ns	$C_{LOAD} = 1\text{ nF}$ $IN = 5\text{ V} \rightarrow 0\text{ V}$ (Note 2)
立ち上がり時間	t_{RISE}	-	3.5	-	ns	$C_{LOAD} = 1\text{ nF}$ (Note 2)
立ち下がり時間	t_{FALL}	-	3.5	-	ns	$C_{LOAD} = 1\text{ nF}$ (Note 2)

(Note 1) 出荷検査は行っていません。

(Note 2) 「スイッチングパラメータ測定情報」を参照してください。

スイッチングパラメータ測定情報

Figure 1 は、スイッチングパラメータの測定回路を示しています。

Figure 2 は、スイッチングパラメータの測定情報を示しています。

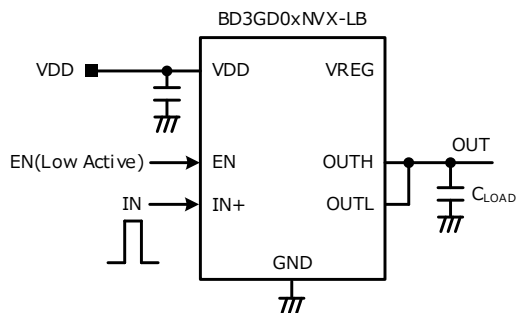


Figure 1. スイッチングパラメータ測定回路図

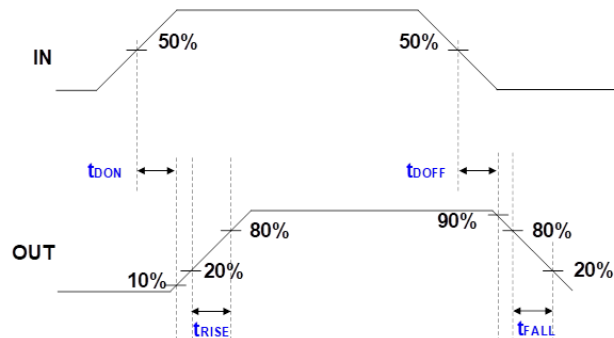


Figure 2. スイッチングパラメータ測定情報

1 ターンオン遅延時間: t_{DON} ターンオン遅延時間は、IN 電圧の立ち上がりエッジから (IN の high 電圧レベルが 50 %時点)、OUT がターンオンし始める (OUT が V_{OUTH} の 10 %上昇する時点) までの時間です。2 出力立ち上がり時間: t_{RISE} 出力立ち上がり時間は、OUT が V_{OUTH} の 20 %から 80 %に上昇するまでの時間です。3 ターンオフ遅延時間: t_{DOFF} ターンオフ遅延時間は、IN 電圧の立ち下がりエッジから (IN の high 電圧レベルが 50 %時点)、OUT がターンオフし始める (OUT が V_{OUTH} の 90 %下降する時点) までの時間です。4 出力立ち下がり時間: t_{FALL} 出力立ち下がり時間は、OUT が V_{OUTH} の 80 %から 20 %に下降するまでの時間です。

特性データ (参考データ)

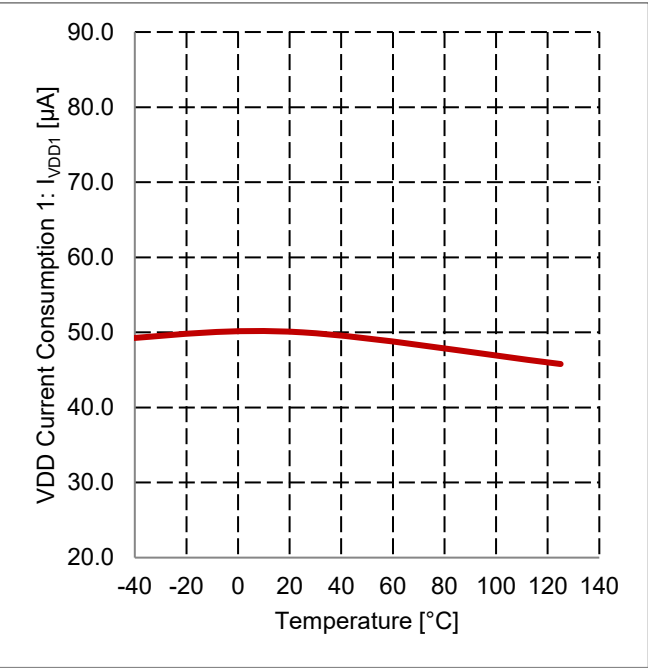


Figure 3. VDD Current Consumption 1 vs Temperature

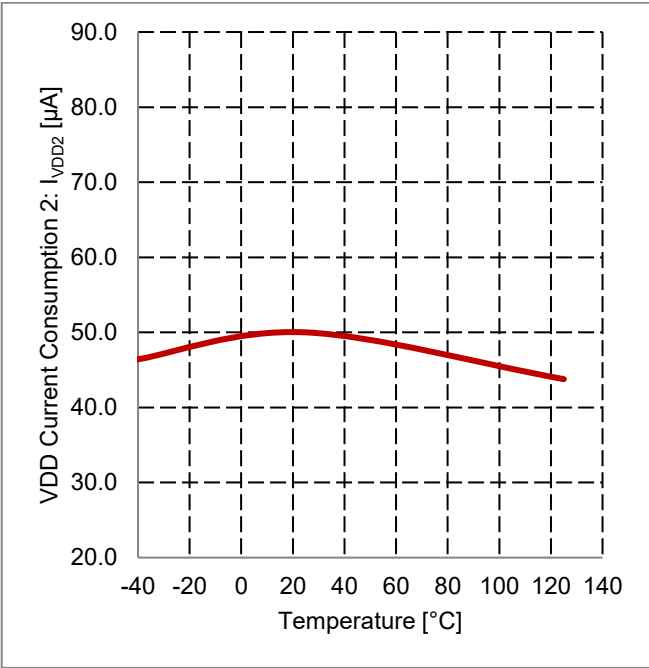


Figure 4. VDD Current Consumption 2 vs Temperature

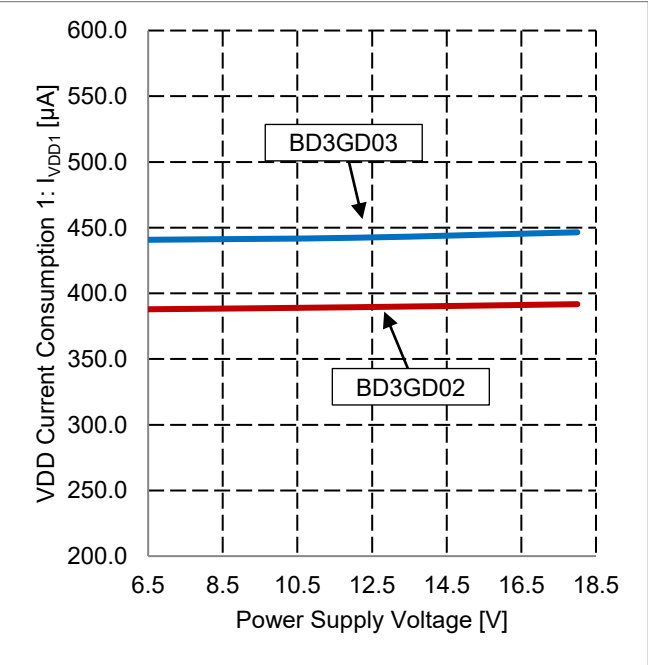


Figure 5. VDD Current Consumption 1 vs Power Supply Voltage

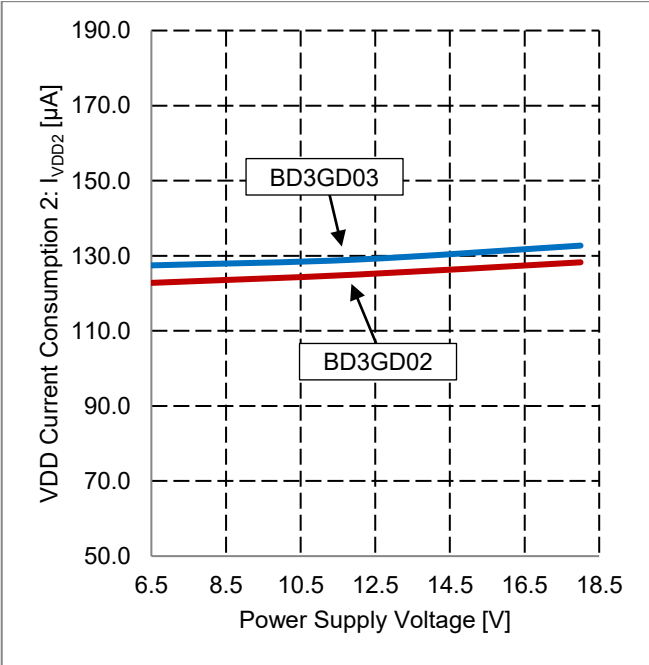


Figure 6. VDD Current Consumption 2 vs Power Supply Voltage

特性データ (参考データ) - 続き

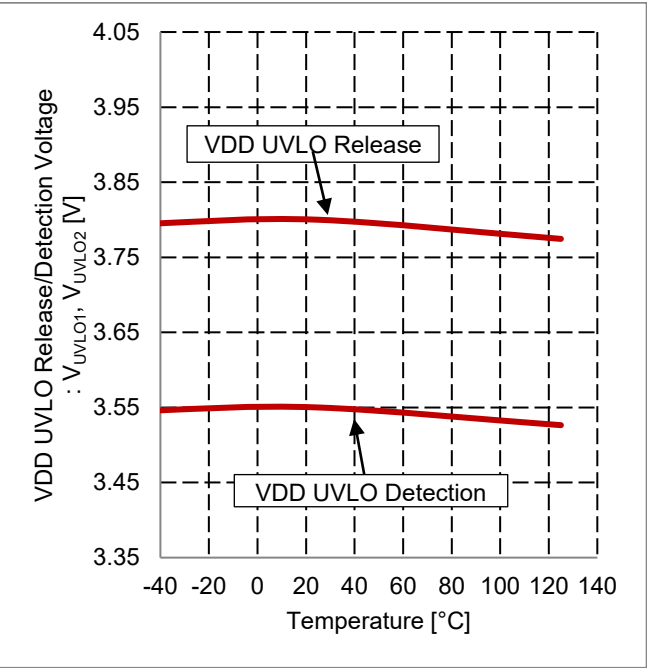


Figure 7. VDD UVLO Release/Detection Voltage vs Temperature

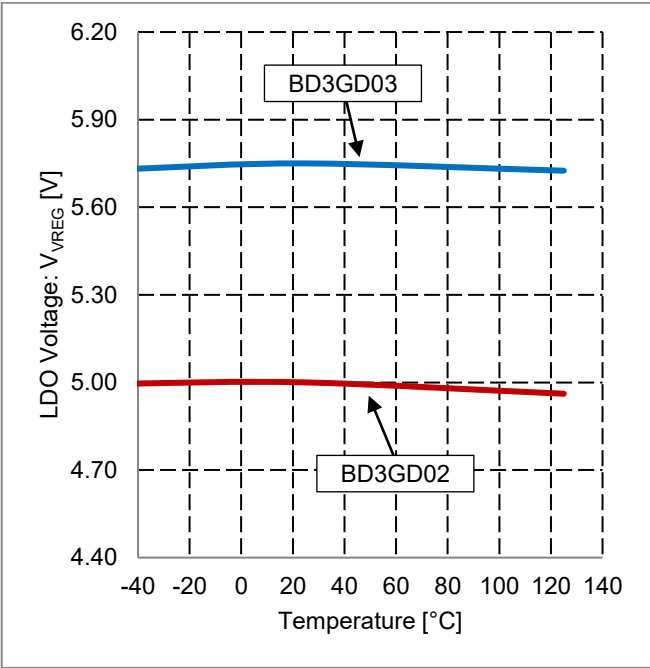


Figure 8. LDO Voltage vs Temperature

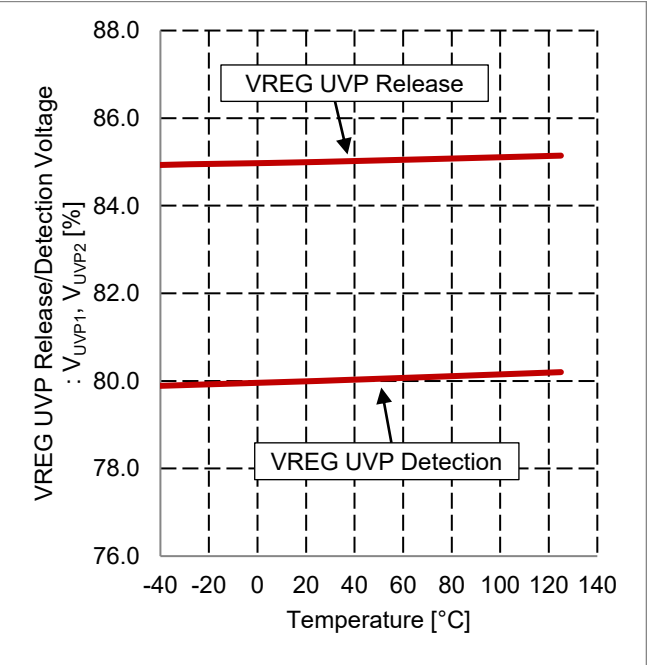


Figure 9. VREG UVP Release/Detection Voltage vs Temperature

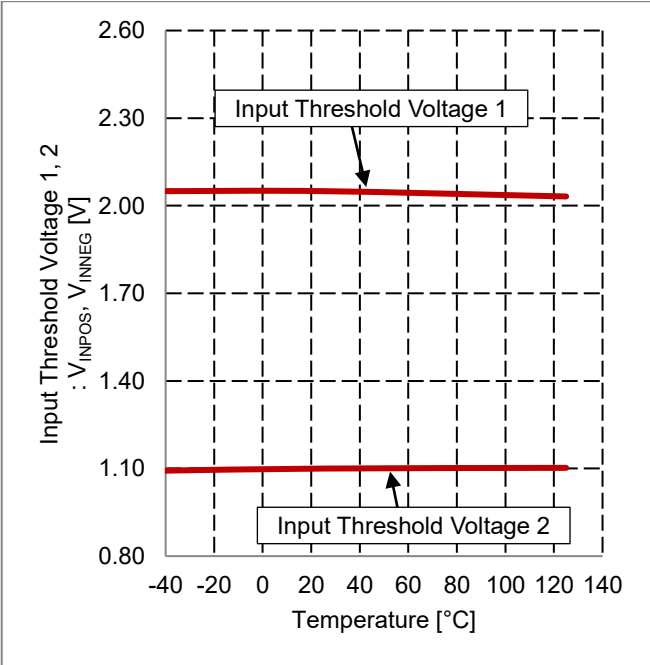


Figure 10. Input Threshold Voltage 1, 2 vs Temperature

特性データ (参考データ) – 続き

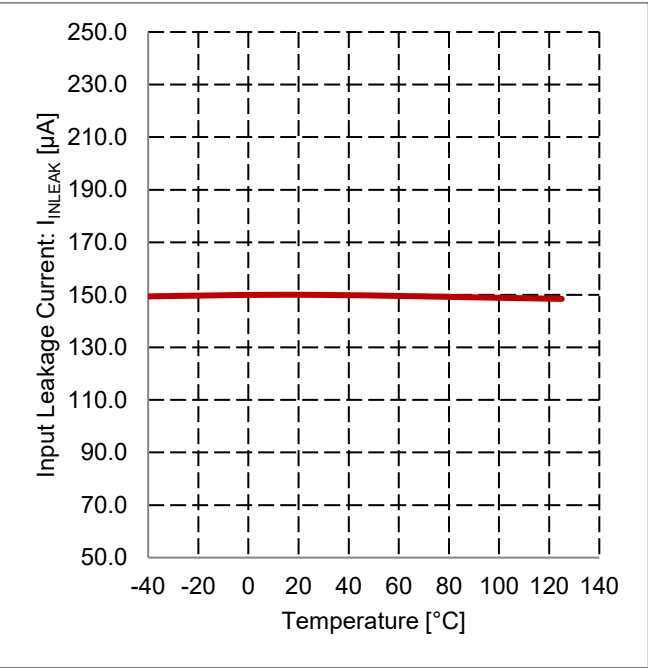


Figure 11. Input Leakage Current vs Temperature

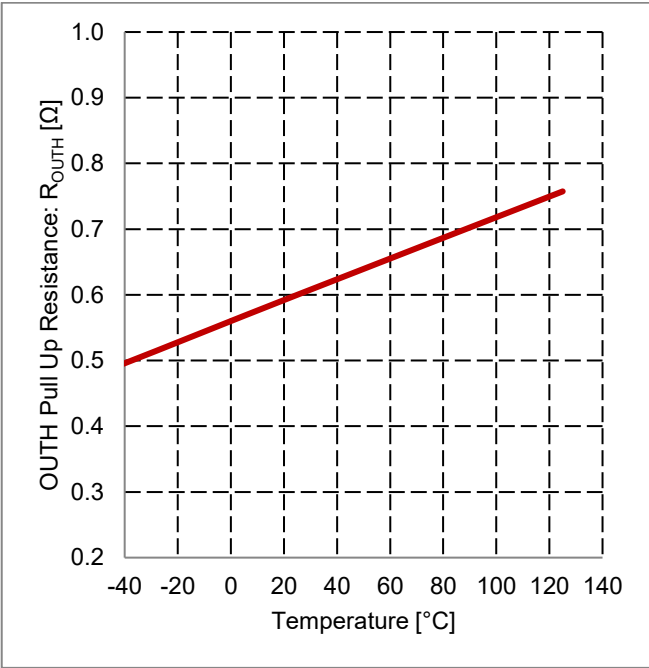


Figure 12. OUTH Pull Up Resistance vs Temperature

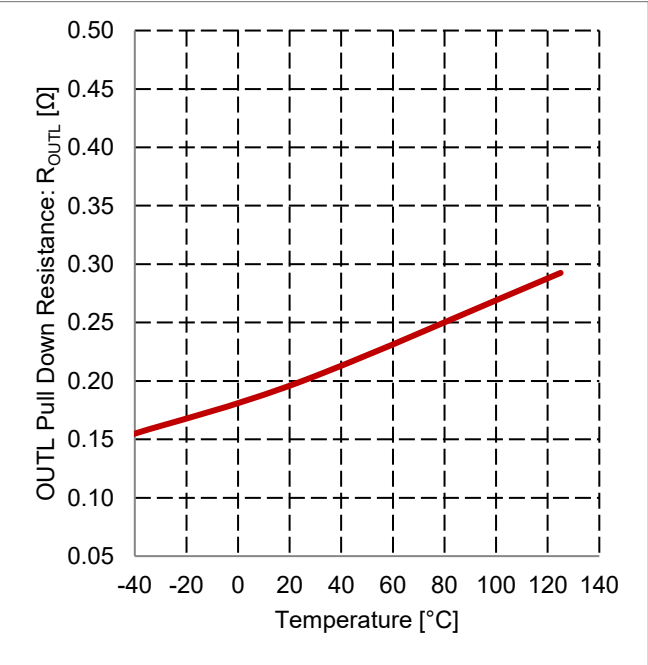


Figure 13. OUTL Pull Down Resistance vs Temperature

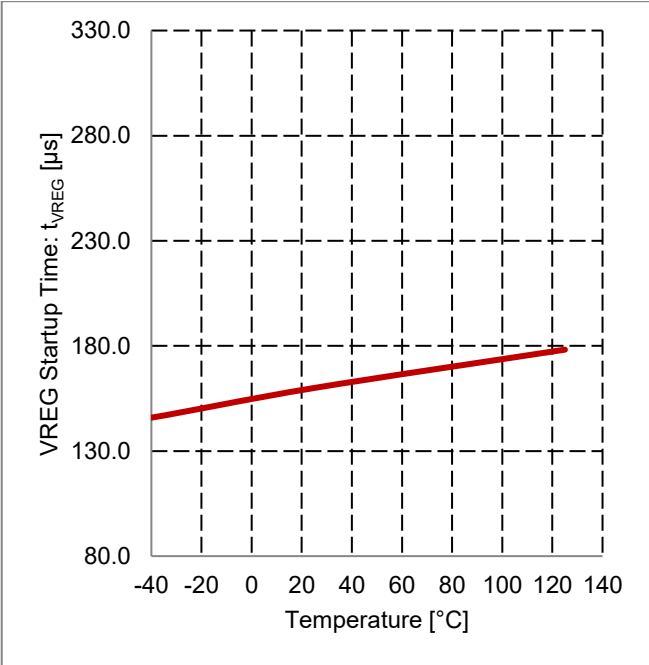


Figure 14. VREG Startup Time vs Temperature

特性データ (参考データ) – 続き

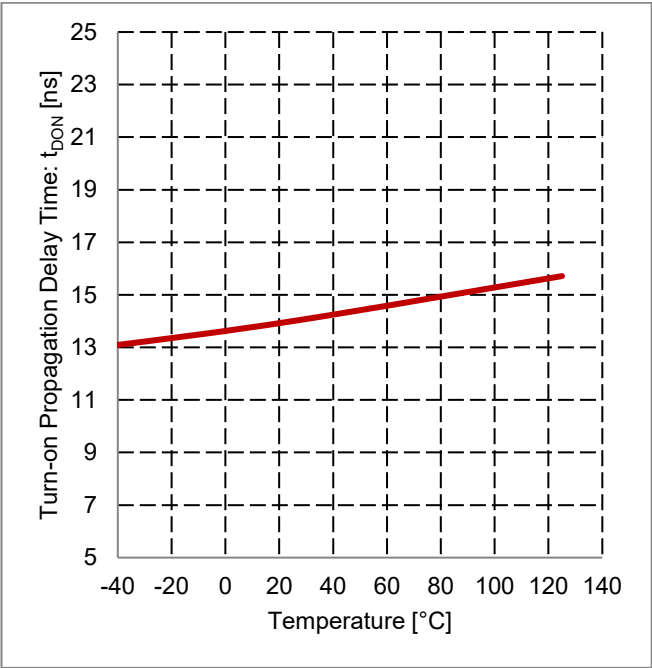


Figure 15. Turn-on Propagation Delay Time vs Temperature

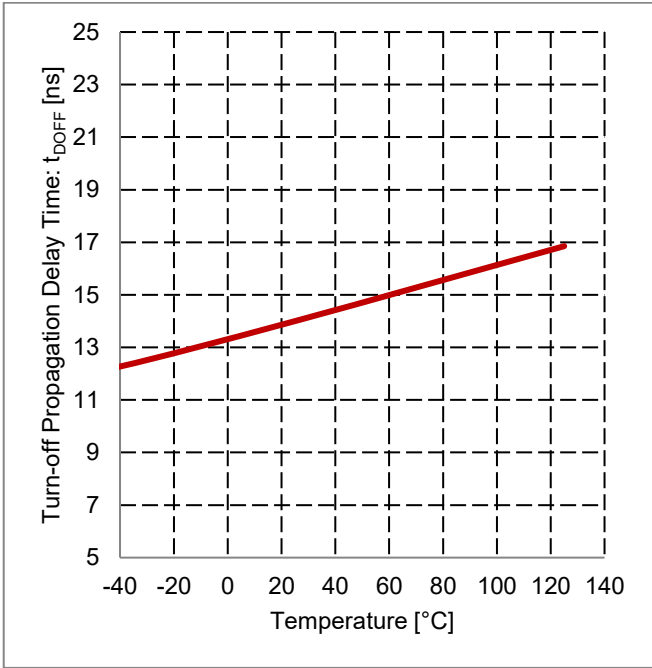


Figure 16. Turn-off Propagation Delay Time vs Temperature

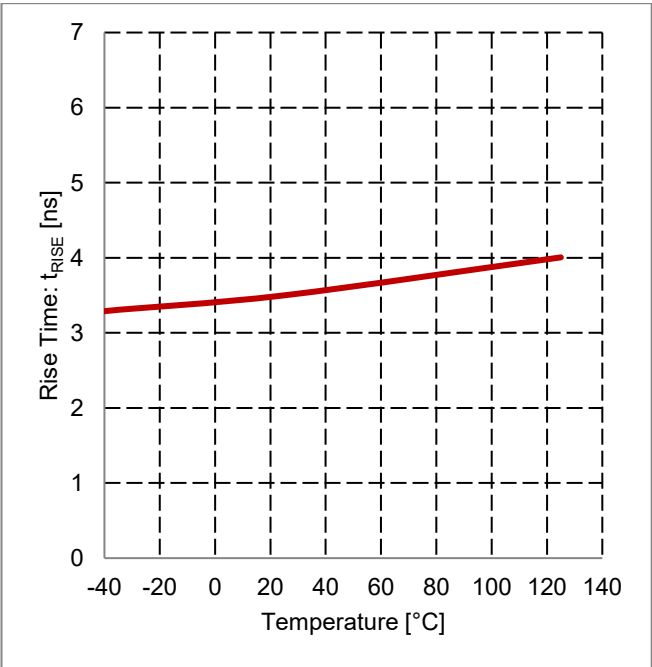


Figure 17. Rise Time vs Temperature

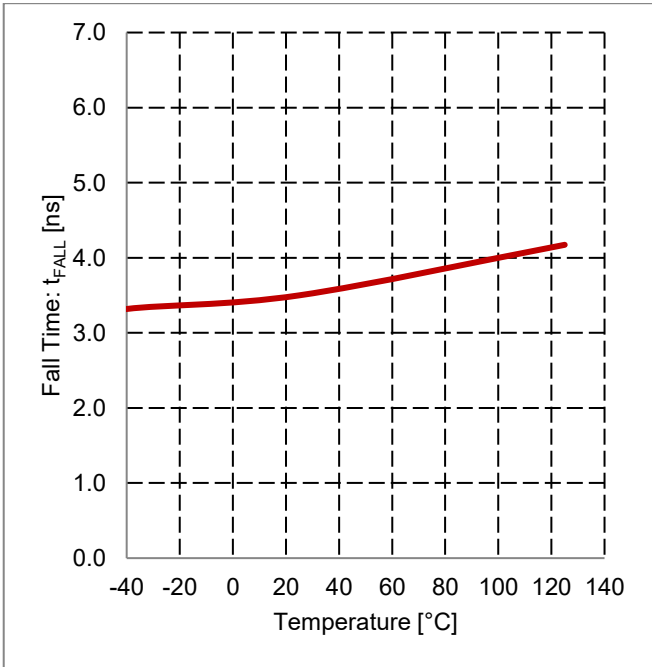


Figure 18. Fall Time vs Temperature

タイミングチャート

詳細な説明については以下のセクションを参照してください。

1 起動 / シャットダウンシーケンス

起動シーケンスとシャットダウンシーケンスを Figure 19 に示します。

電源電圧 VDD の電源ラインは動作中に電圧を変化させる使用は避けるとともに、電源ラインに急峻なスルーレートでの低下が起きないように実効容量値 1 μ F 以上のバイパスコンデンサを VDD 端子と GND 端子の間に可能な限り IC の近くに接続してご使用ください。

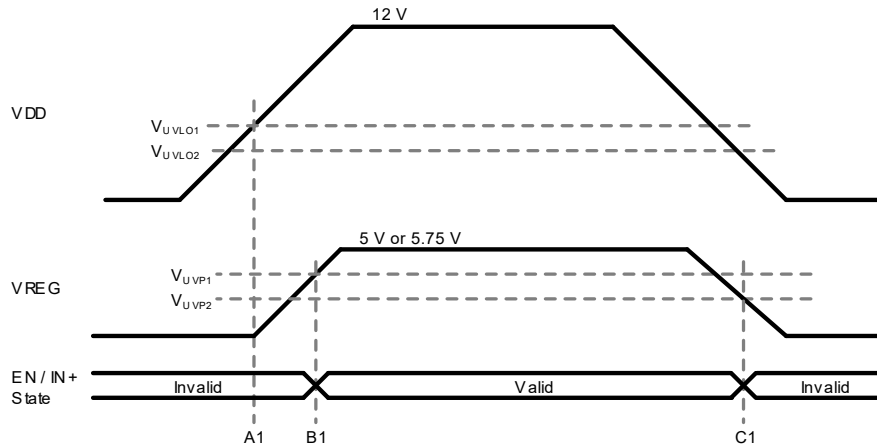


Figure 19. 起動・シャットダウンシーケンス タイミングチャート

- A1: VDD 端子電圧が V_{UVLO1} を超えると IC が動作を開始し、VREG の端子電圧が立ち上がり始めます。
 B1: VREG 端子電圧が V_{UVP1} を超えた場合、入力信号の論理が有効になります。
 入力の状態が有効となるのは VREG 電圧が V_{UVP1} を超えた次の変化からとなります。
 C1: VDD 端子電圧が低下し、VREG 端子電圧が V_{UVP2} を下回った場合、入力の論理が無効になり、
 OUTH = Open、OUTL = Low の状態に固定されます。

2 VREG UVP 検出

VREG 電圧は GaN HEMT のゲート駆動電圧を供給し、その電圧が低下して出力電圧に対する 80 % (Typ) 以下となるとドライバ機能をオフ (OUTH = Open, OUTL = Low) します。検出には 10 μ s (Typ) のディレイ時間を有しています。VREG 電圧が再度復帰し、出力電圧に対する 85 % (Typ) 以上になると、入力端子の状態が有効となります。入力の状態が有効となるのは VREG 電圧が V_{UVP1} を超えた次の変化からとなります。VREG 出力には過電流保護機能が内部に内蔵されているため、負荷ショート時には IC 破壊を防止しますが、この保護機能は突発的な事故による破壊防止に有効なもので、連続的な保護機能動作、過渡時でのご使用に対応するものではありません。

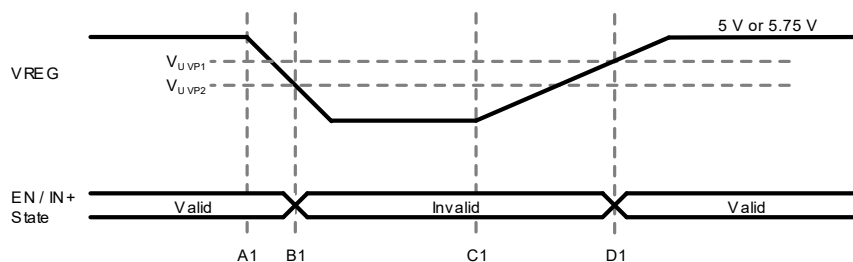


Figure 20. LDO 地絡・復帰時タイミングチャート

- A1: 何らかの原因で VREG 端子電圧が低下、または地絡される。
 B1: VREG 端子電圧が V_{UVP2} を下回った場合、入力信号の論理が無効になり、
 OUTH = Open、OUTL = Low の状態に固定されます。
 C1: 地絡状態から解放されると t_{VREG} で規定される時間で再起動します。
 D1: VREG 端子電圧が V_{UVP1} を超えた場合、入力の論理が有効になります。
 入力の状態が有効となるのは VREG 電圧が V_{UVP1} を超えた次の変化からとなります。

応用回路例

本 IC を使用することで、Si FET を使用したシステムにエンハンスモード GaN HEMT をそのまま適用することが可能です。IN+と EN 入力範囲をコントローラの電源電圧範囲まで許容しているため、追加のレベルシフタも不要となります。

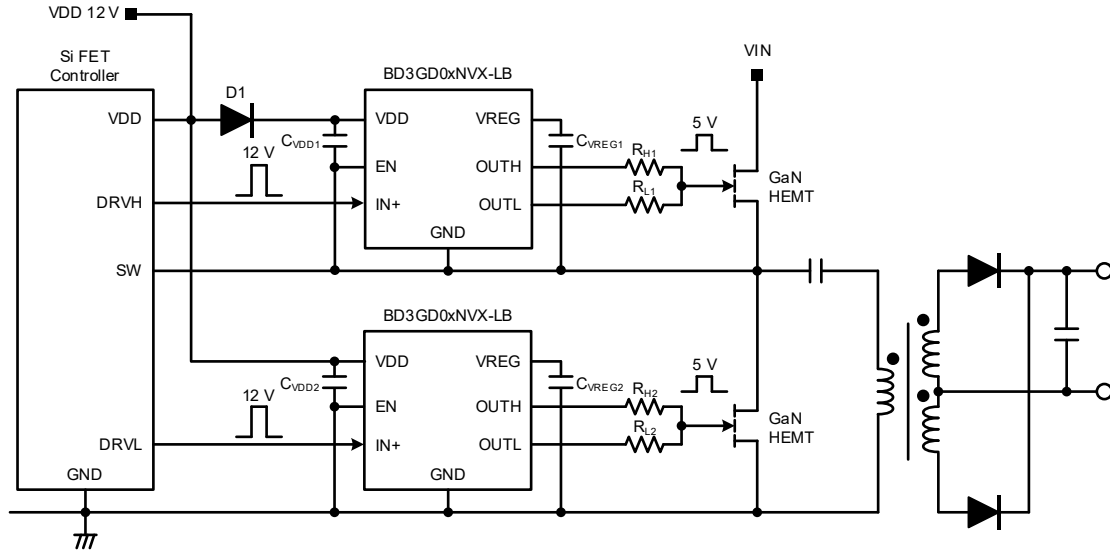


Figure 21. 応用回路例

アプリケーション部品選定方法

本ゲートドライバは、ソース側とシンク側の出力ドライバ端子が分離されており、GaN HEMT のゲート端子間に抵抗を挿入することで駆動波形の立ち上がりと立下りのスルーレートを個別に調整することが可能です。
ゲート抵抗 R_{GH}/R_{GL} はパワーデバイスのスイッチング速度に合わせて選択してください。
スイッチング時間 (t_{SW}) はプラトー電圧が終わるまでの時間とされるので、ターンオンのゲート抵抗 R_{GH} は次式で計算されます。

$$I_G = \frac{Q_{gs} + Q_{gd}}{t_{SW}} \quad [A] \quad [1]$$

$$R_{TOTAL(ON)} = R_{PON} + R_{GH} = \frac{V_{REG} - V_{GS(TH)}}{I_G} \quad [\Omega] \quad [2]$$

$$t_{SW} = \frac{Q_{gs} + Q_{gd}}{I_G} = \frac{(Q_{gs} + Q_{gd})(R_{PON} + R_{GH})}{(V_{REG} - V_{GS(TH)})} \quad [s] \quad [3]$$

I_G : パワーデバイスのゲートに流れる電流
 Q_{gs} : パワーデバイスのゲート-ソース間電荷
 Q_{gd} : パワーデバイスのゲート-ドレイン間電荷
 $V_{GS(TH)}$: パワーデバイスのスレッシュホールド電圧

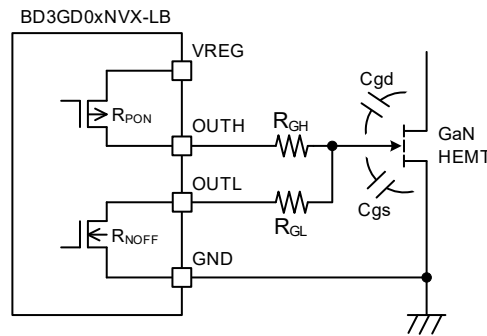


Figure 22. ゲート駆動等価回路図

ターンオンのゲート抵抗値により出力のスルーレート (dV/dt) を決定できます。パワーデバイスのスルーレートは次式になります。

$$\frac{dV_D}{dt} = \frac{I_G}{C_{rss}} \quad [V/s] \quad [4]$$

C_{rss} : パワーデバイスの帰還容量

[4]式を[2]式に代入することでゲート抵抗値は次式になります。

$$R_{TOTAL(ON)} = R_{PON} + R_{GH} = \frac{V_{REG} - V_{GS(TH)}}{C_{rss} \times \frac{dV_D}{dt}} \quad [\Omega] \quad [5]$$

$$R_{GH} = \frac{V_{REG} - V_{GS(TH)}}{C_{rss} \times \frac{dV_D}{dt}} - R_{PON} \quad [\Omega] \quad [6]$$

アプリケーション部品選定方法 — 続き

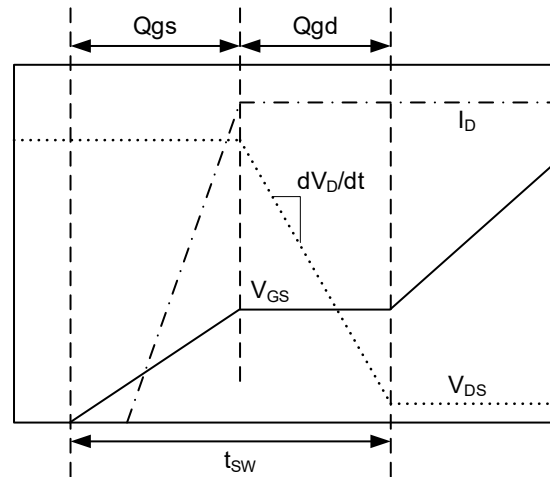


Figure 23. パワーデバイスのゲート充電特性

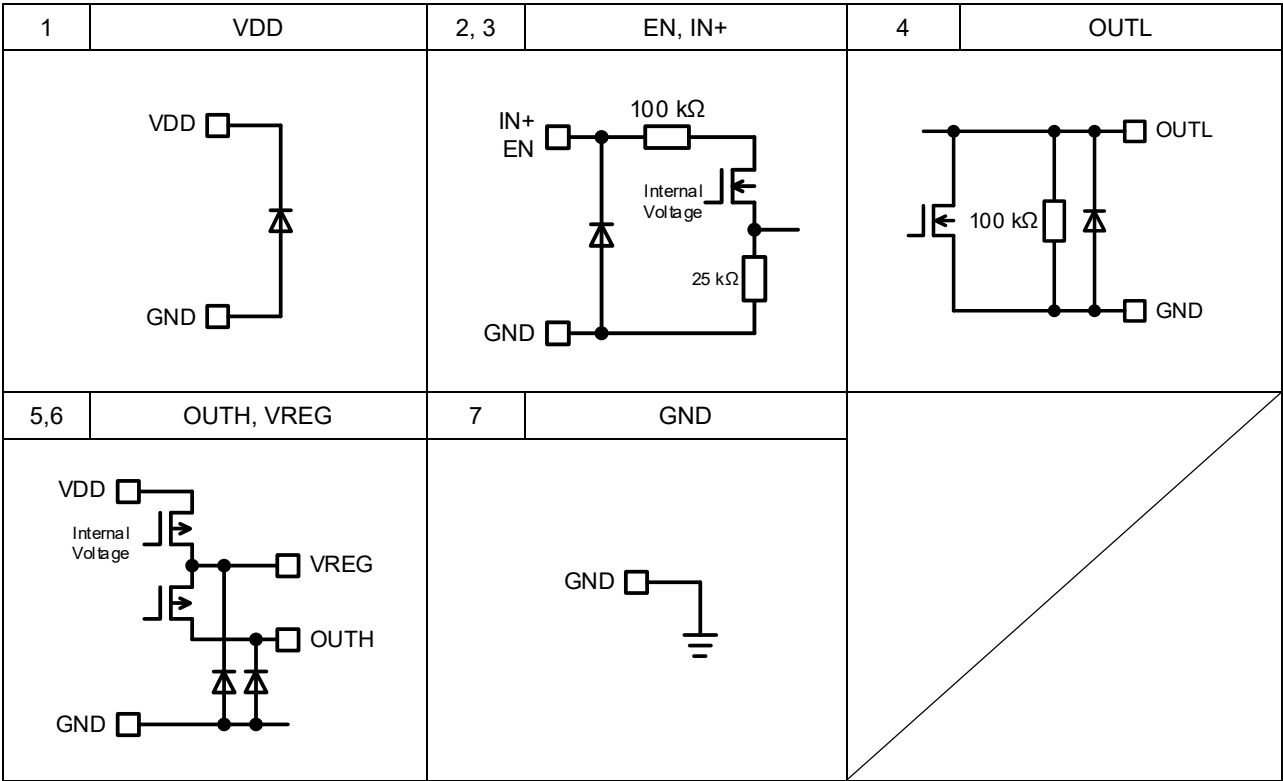
また、パワーデバイスがオフ時は他のパワーデバイスがオンしたときに C_{gd} を介して電流が流れます。このとき、ゲート電圧が閾値を超えてセルフターンオンしないようにゲート抵抗値 (R_{GL}) を設定してください。

$$V_{GS(TH)} \geq (R_{NOFF} + R_{GL}) \times I_G = (R_{NOFF} + R_{GL}) \times C_{gd} \times \frac{dV_D}{dt} \quad [V] \quad [7]$$

$$R_{GL} \leq \frac{V_{GS(TH)}}{C_{gd} \times \frac{dV_D}{dt}} - R_{NOFF} \quad [\Omega] \quad [8]$$

上記の計算式で得られた各設定値については設計マージンを考慮し、十分な評価を行ったうえで決定してください。

入出力等価回路図



使用上の注意

1. 電源の逆接続について

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れるなどの対策を施してください。

2. 電源ラインについて

基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。グラウンドラインについても、同様のパターン設計を考慮してください。また、LSI のすべての電源端子について電源-グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量低下が起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

3. グラウンド電位について

グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。

4. グラウンド配線パターンについて

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

5. 推奨動作条件について

推奨動作条件で規定される範囲で IC の機能・動作を保証します。また、特性値は電気的特性で規定される各項目の条件下においてのみ保証されます。

6. ラッシュカレントについて

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

7. セット基板での検査について

セット基板での検査時に、インピーダンスの低い端子にコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

8. 端子間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けした場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

9. 未使用の入力端子の処理について

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

使用上の注意 — 続き

10. 各入力端子について

本 IC はモノリシック IC であり、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、GND > (端子 A)の時、トランジスタ(NPN)では GND > (端子 B)の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ(NPN)では、GND > (端子 B)の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に GND(P 基板)より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子が GND にショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

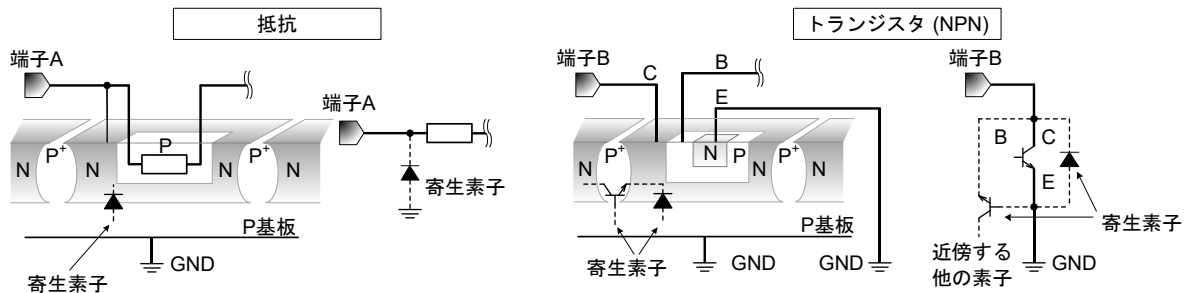


Figure 24. モノリシック IC 構造例

11. セラミック・コンデンサの特性変動について

外付けコンデンサに、セラミック・コンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮のうえ、定数を決定してください。

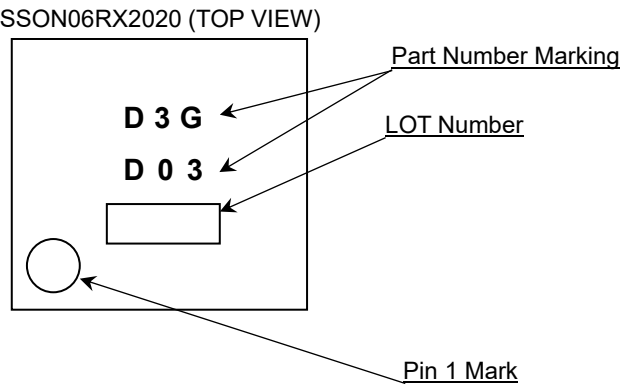
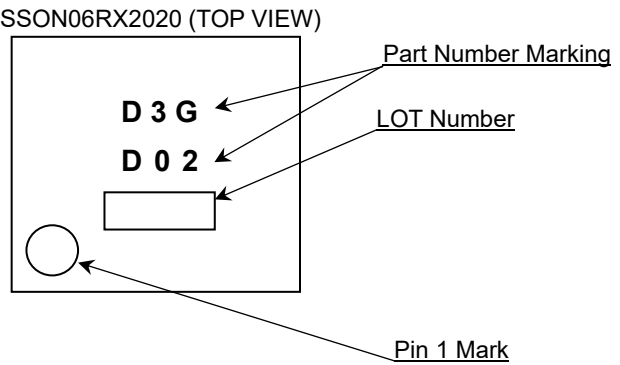
発注形名情報



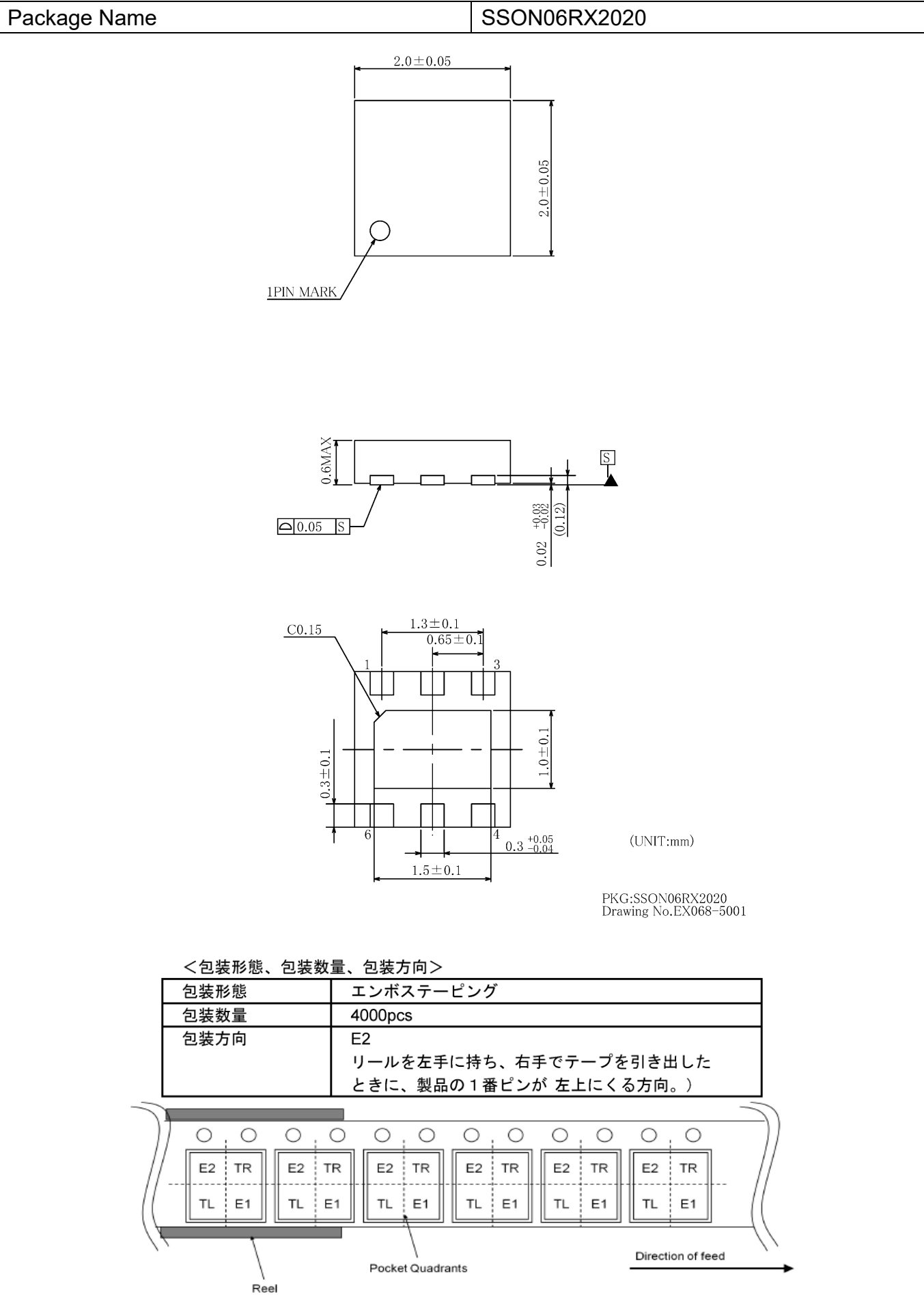
ラインアップ

Product Name	Part Number Marking	Orderable Part Number	Package
BD3GD02NVX-LB	D3GD02	BD3GD02NVX-LBE2	SSON06RX2020
BD3GD03NVX-LB	D3GD03	BD3GD03NVX-LBE2	SSON06RX2020

標印図



外形寸法図と包装・フォーミング仕様



改訂履歴

日付	版	変更内容
2026.02.06	001	新規作成

ご注意

ローム製品取扱い上の注意事項

- 極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器^(Note 1)、航空宇宙機器、原子力制御装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

- 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
- 本製品は、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用
 - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用される場合は除く。ただし、残渣については十分に確認をお願いします。)又は、はんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合
 - ⑧結露するような場所でのご使用
- 本製品は耐放射線設計はなされておられません。
- 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
- パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
- 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
- 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
- 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

- ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
- はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。
その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数、ソフトウェア等の情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。（人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等）

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
 - ① 潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ② 推奨温度、湿度以外での保管
 - ③ 直射日光や結露する場所での保管
 - ④ 強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱いください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルに2次元バーコードが印字されていますが、2次元バーコードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は、外国為替及び外国貿易法に定めるリスト規制貨物等に該当するおそれがありますので、輸出する場合には、ロームへお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等（ソフトウェア含む）との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

一般的な注意事項

1. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
2. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。