

絶縁素子内蔵ゲートドライバシリーズ

絶縁電圧 2500Vrms 電源内蔵 絶縁素子内蔵 1ch ゲートドライバ

BM60054AFV-C

概要

絶縁電圧 2500Vrms、入出力遅延時間 120ns、最小入力パルス幅 90ns の絶縁素子内蔵ゲートドライバです。フォールト信号出力機能、Ready 信号出力機能、低電圧時誤動作防止機能 (UVLO)、サーマルプロテクション機能、短絡保護機能、ミラークランプ機能、スイッチングコントローラ、ゲート状態監視機能を内蔵しています。

重要特性

■ 入出力間絶縁電圧:	2500Vrms
■ 最大ゲート駆動電圧:	20V (Max)
■ 入出力遅延時間:	120ns (Max)
■ 最小入力パルス幅:	90ns (Max)

パッケージ

SSOP-B28W

W(Typ) x D(Typ) x H(Max)

9.2 mm x 10.4 mm x 2.4 mm

特長

- AEC-Q100 対応 (Note 1)
- フォールト信号出力機能内蔵
- Ready 信号出力機能内蔵
- 低電圧時誤動作防止機能内蔵
- 短絡保護機能内蔵
- 短絡保護時ソフトターンオフ機能内蔵 (ターンオフ時間設定可能)
- サーマルプロテクション機能
- ミラークランプ機能内蔵
- スwitching電源内蔵
- ゲート状態監視機能内蔵
- UL 認定品 UL1577 File No. E356010

(Note 1) Grade 1



SSOP-B28W

用途

- 車載用インバータ
- 車載用 DCDC コンバータ
- 産業用インバータ
- UPS

基本アプリケーション回路

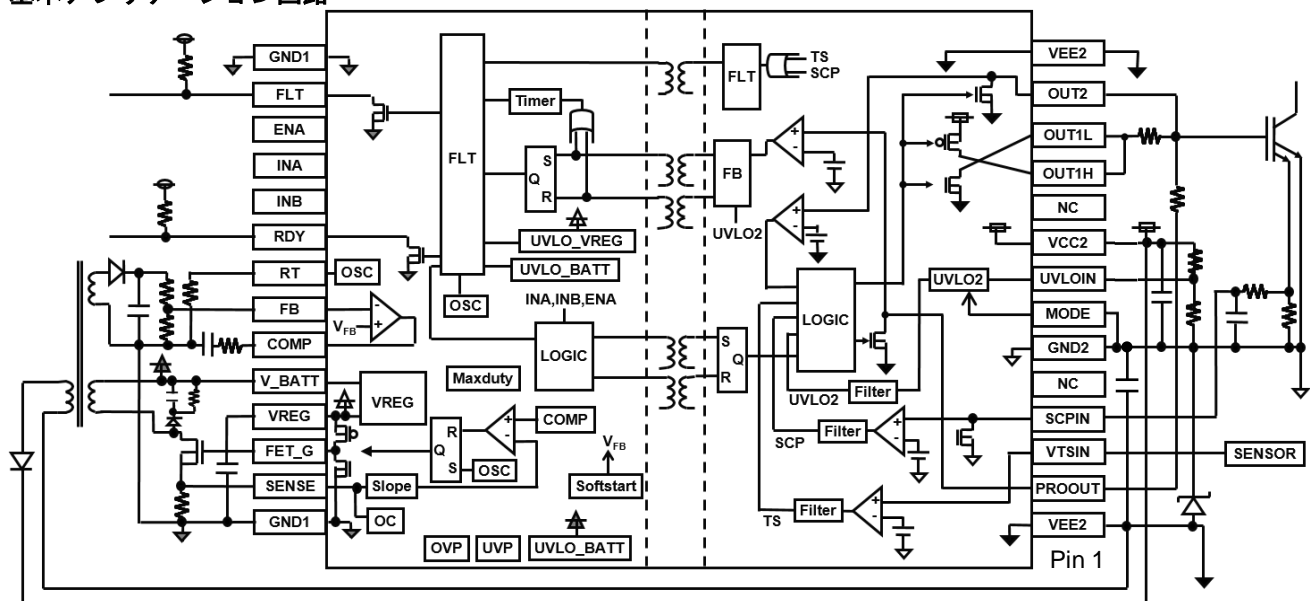


Figure 1. 基本アプリケーション回路

○製品構造：シリコンを主材料とした半導体集積回路 ○耐放射線設計はしていません

目 次

概要.....	1
特長.....	1
用途.....	1
重要特性.....	1
パッケージ	1
基本アプリケーション回路.....	1
目 次.....	2
推奨外付け定数範囲	3
端子配置図	3
端子説明	3
機能動作説明・定数設定例.....	6
絶対最大定格	17
熱抵抗	18
推奨動作条件	18
絶縁特性	18
電気的特性	19
UL1577 レポート記載項目	21
特性データ(参考データ).....	22
Figure 19. Main Power Supply Circuit Current vs Main Power Supply Voltage.....	22
Figure 20. Output-side Circuit Current vs Output-side Positive Supply Voltage (MODE=H, V _{EE2} =0V, OUT1=L)	22
Figure 21. Output-side Circuit Current vs Output-side Positive Supply Voltage (MODE=H, V _{EE2} =0V, OUT1=H).....	22
Figure 22. FET_G ON-resistance vs Temperature (Source/Sink).....	22
Figure 23. Oscillation Frequency vs RT Resistance.....	23
Figure 24. Soft-start Time vs Temperature.....	23
Figure 25. FB Pin Threshold Voltage vs Temperature	23
Figure 26. COMP Pin Sink Current vs Temperature.....	23
Figure 27. COMP Pin Source Current vs Temperature.....	24
Figure 28. Over Current Detection Threshold vs Temperature.....	24
Figure 29. Logic Input Filtering Time vs Temperature (L pulse).....	24
Figure 30. Logic Input Filtering Time vs Temperature (H pulse).....	24
Figure 31. ENA Input Filtering Time Figure vs Temperature	25
Figure 32. MODE Input Voltage vs Temperature (V _{CC2} =14V).....	25
Figure 33. OUT1H ON-resistance (Source) vs Temperature (I _{OUT1H} =-40mA).....	25
Figure 34. OUT1L ON-resistance (Sink) vs Temperature (I _{OUT1L} =40mA)	25
Figure 35. PROOUT ON-resistance vs Temperature (I _{PROOUT} =40mA).....	26
Figure 36. Turn ON time vs Temperature.....	26
Figure 37. Turn OFF time vs Temperature.....	26
Figure 38. OUT2 ON-resistance vs Temperature (I _{OUT2} =40mA).....	26
Figure 39. Short Current Detection Voltage vs Temperature.....	27
Figure 40. DESAT Leading Edge Blanking Time vs Temperature	27
Figure 41. Short Current Detection Filter Time vs Temperature	27
Figure 42. Short Current Detection Delay Time (PROOUT) vs Temperature	27
Figure 43. SCPIN Pin Low Voltage vs Temperature	28
Figure 44. Output Delay Difference between PROOUT and FLT vs Temperature.....	28
Figure 45. Thermal Detection Voltage vs Temperature.....	28
推奨外付け部品.....	29
入出力等価回路図	30
使用上の注意.....	34
発注形名情報.....	36
標印図	36
外形寸法図と包装・フォーミング仕様.....	37
改訂履歴.....	38

推奨外付け定数範囲

Pin Name	Symbol	Recommended Value			Unit
		Min	Typ	Max	
VREG	C _{VREG}	1.0	3.3	10.0	μF
VCC2	C _{VCC2}	0.33	-	-	μF
RT	R _{RT}	24	68	150	kΩ

端子配置図

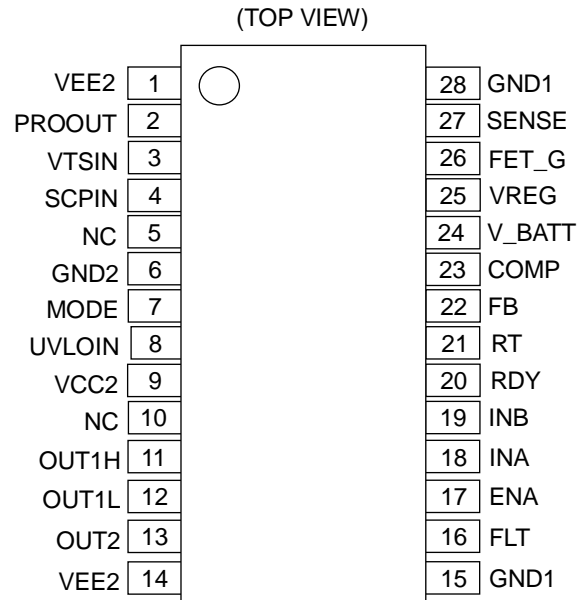


Figure 2. 端子配置図

端子説明

Pin No.	Pin Name	Function
1	VEE2	出力側負電源端子
2	PROOUT	ソフトターンオフ端子/ゲート電圧入力端子
3	VTSIN	温度センサ電圧入力端子
4	SCPIN	短絡検出端子
5	NC	ノンコネクション
6	GND2	出力側グラウンド端子
7	MODE	出力側 UVLO モード選択端子
8	UVLOIN	出力側 UVLO 設定入力端子
9	VCC2	出力側正電源端子
10	NC	ノンコネクション
11	OUT1H	ソース側出力端子
12	OUT1L	シンク側出力端子
13	OUT2	ミラークランプ端子
14	VEE2	出力側負電源端子
15	GND1	入力側グラウンド端子
16	FLT	フォールト出力端子
17	ENA	入力許可信号入力端子
18	INA	制御入力端子 A
19	INB	制御入力端子 B
20	RDY	READY 出力端子
21	RT	スイッチング電源周波数設定端子
22	FB	スイッチング電源誤差増幅器反転入力端子
23	COMP	スイッチング電源誤差増幅器出力端子
24	V_BATT	主電源端子
25	VREG	入力側内部電源端子
26	FET_G	スイッチング電源 MOS FET 制御端子
27	SENSE	スイッチング電源電流検出端子
28	GND1	入力側グラウンド端子

端子説明 — 続き

1. V_BATT (主電源端子)
主電源端子です。電圧変動を抑えるため、GND1 端子間にバイパスコンデンサを接続してください。
2. GND1 (入力側グラウンド端子)
入力側のグラウンド端子です。
3. VCC2 (出力側正電源端子)
出力側の正電源端子です。IC 内部トランスフォーマ駆動電流及び OUT1H/L 出力電流による電圧変動を抑えるため、GND2 端子間にバイパスコンデンサを接続してください。
4. VEE2 (出力側負電源端子)
出力側の負電源端子です。IC 内部トランスフォーマ駆動電流及び OUT1H/L 出力電流による電圧変動を抑えるため、GND2 端子間にバイパスコンデンサを接続してください。なお、負電源を使用しない場合は GND2 端子と接続してください。
5. GND2 (出力側グラウンド端子)
出力側のグラウンド端子です。出力素子のソース/エミッタに接続してください。
6. INA, INB, ENA (制御入力端子)
出力論理を決定する端子です。

ENA	INB	INA	OUT1H	OUT1L
L	X	X	Hi-Z	L
H	H	X	Hi-Z	L
H	L	L	Hi-Z	L
H	L	H	H	Hi-Z

7. FLT (フォールト出力端子)
フォールト発生時 (短絡保護動作時、サーマルプロテクション動作時)、フォールト信号を出力するオープンドレイン端子です。なお、ENA の立ち上がり (L→H)により、フォールト状態 (FLT=L 出力)から復帰します。

状態	FLT
通常時	Hi-Z
短絡保護 or VTS 動作時	L

8. RDY (Ready 出力端子)
IC 内部の異常状態 (V_BATT UVLO、VCC2 UVLO、ゲート状態監視)を出力するオープンドレイン端子です。ゲート状態監視とは、PROOUT 端子でモニタしているゲート論理と入力論理とを比較する機能で、不一致の場合に L を出力します。

状態	RDY
通常時	Hi-Z
V_BATT UVLO or VCC2 UVLO or ゲート状態監視 (不一致)	L

9. MODE (出力側 UVLO モード選択端子)
出力側 UVLO の閾値電圧を外部設定か内部固定にするかを選択する端子です。

MODE	出力側 UVLO 閾値電圧
L (=GND2)	外部設定 (UVLOIN 端子を使用)
H (=VCC2)	内部固定 (=V _{UVLO2L}) (UVLOIN 端子は VCC2 と接続してください)

10. UVLOIN (出力側 UVLO 設定入力端子)
出力側 (VCC2)UVLO 設定値を決定する端子です。VCC2 を抵抗分割して入力することにより、UVLO の閾値を設定できます。MODE 端子が L の時のみ有効となります。MODE 端子が H の場合は、VCC2 と接続してください。
11. OUT1H, OUT1L (出力端子)
OUT1H はソース側、OUT1L はシンク側のゲート駆動用端子です。

端子説明 — 続き

12. OUT2 (ミラーランプ端子)

OUT1H/L 端子に接続された素子のミラー電流によるゲート電圧上昇を防止するためのミラーランプ端子です。ミラーランプ動作をとるためのゲート電圧モニタ端子を兼ねており、OUT2 端子電圧が V_{OUT2ON} (typ 2.0V) 未満になるとミラーランプが動作します。ミラーランプを使用しない場合、OUT2 端子は VEE2 端子に接続してください。

13. PROOUT (ソフトターンオフ端子/ゲート電圧入力端子)

短絡保護動作時及びサーマルプロテクション動作時、出力素子をソフトターンオフする端子です。出力状態フィードバック機能のためのゲート電圧モニタ端子を兼ねています。

14. SCPIN (短絡検出端子)

短絡保護のための検出端子です。SCPIN 端子電圧が短絡検出電圧 V_{SCDET} 以上になると、短絡保護機能が動作します。オープン状態では短絡を誤検知しますので、短絡保護機能を使用しない場合は SCPIN 端子を GND2 端子に接続してください。また、ノイズによる誤検出を防止するため、ノイズフィルタ時間 t_{SCPFIL} を設けています。

15. VTSIN (温度センサ電圧入力端子)

出力素子のサーマルプロテクション等に使用できる、温度センサ電圧入力端子です。VTSIN 端子電圧がサーマル検出電圧 V_{TSDet} 以下になると、サーマルプロテクション機能が動作します。オープン状態では IC が誤動作する可能性がありますので、サーマルプロテクション機能を使用しない場合は V_{TSDet} より上の電圧を入力してください。また、ノイズによる誤検出を防止するため、ノイズフィルタ時間 t_{TSFIL} を設けています。なお、コンパレータ出力等を入力することにより、温度センス以外の強制シャットダウン端子としても使用できます。

16. RT (スイッチング電源周波数設定端子)

スイッチング電源の周波数設定用端子です。対 GND1 間に抵抗を接続することにより、スイッチング電源の周波数を設定することができます。設定周波数は、RT 端子に接続する抵抗値を R_{RT} として、以下の式によって決定されます。

$$F_{SW} = 1 / (7.3 \times 10^{-8} \times R_{RT} + 2.2 \times 10^{-4}) \quad [\text{kHz}]$$

17. FB (スイッチング電源誤差増幅器反転入力端子)

スイッチング電源の電圧帰還端子です。スイッチング電源の過電圧保護機能、低電圧保護機能用の監視機能を兼ねています。過電圧保護機能、低電圧保護機能が動作した場合、FET_G のスイッチングは OFF 状態 (FET_G=L) となり、スイッチング電源保護保持時間 $t_{DCDCRLS}$ の後に復帰します。また、ソフトスタート期間中は低電圧保護機能は動作しません。

18. COMP (スイッチング電源誤差増幅器出力端子)

スイッチング電源のゲイン調整端子です。位相補償用のキャパシタ、抵抗器を接続してください。

19. VREG (入力側内部電源端子)

入力側の内部電源端子です。発振防止のため、また FET_G 出力電流及び IC 内部トランスフォーマ駆動電流による電圧変動を抑えるため、スイッチングコントローラ未使用時でも必ず GND1 端子間にバイパスコンデンサを接続してください。

20. FET_G (スイッチング電源 MOS FET 制御端子)

スイッチング電源のトランス駆動用 MOS FET 制御端子です。

21. SENSE (スイッチング電源電流検出端子)

スイッチング電源の電流帰還用抵抗接続端子です。スイッチング電源の過電流制限機能用の電流検出を兼ねています。過電流制限機能が動作した場合、FET_G のスイッチングは OFF 状態 (FET_G=L) となり、次のスイッチング周期で復帰します。

機能動作説明・定数設定例

1. ミラーランプ機能

OUT1H/L=Hi-Z/L かつ OUT2 端子電圧 $< V_{OUT2ON}$ になると、OUT2 端子内部 MOS が ON し、ミラークランプ機能が動作します。ミラークランプは、次にターンオン (OUT1H/L=H/Hi-Z)されるまで維持されます。

なお、短絡保護およびサーマルプロテクション中はミラーランプ機能は動作せず、ソフトターンオフ解除時間 t_{STO} 経過後からミラーランプ機能は有効になります。

IN	OUT2 端子電圧	OUT2 出力
L	V _{OUT2ON} 未満	L
H	X	Hi-Z

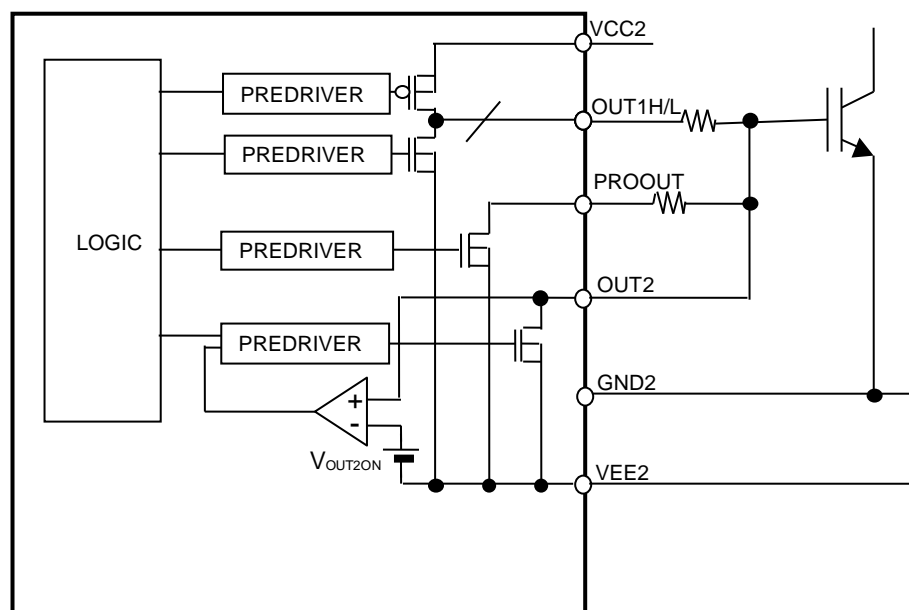


Figure 3. ミラーランプ機能ブロック図

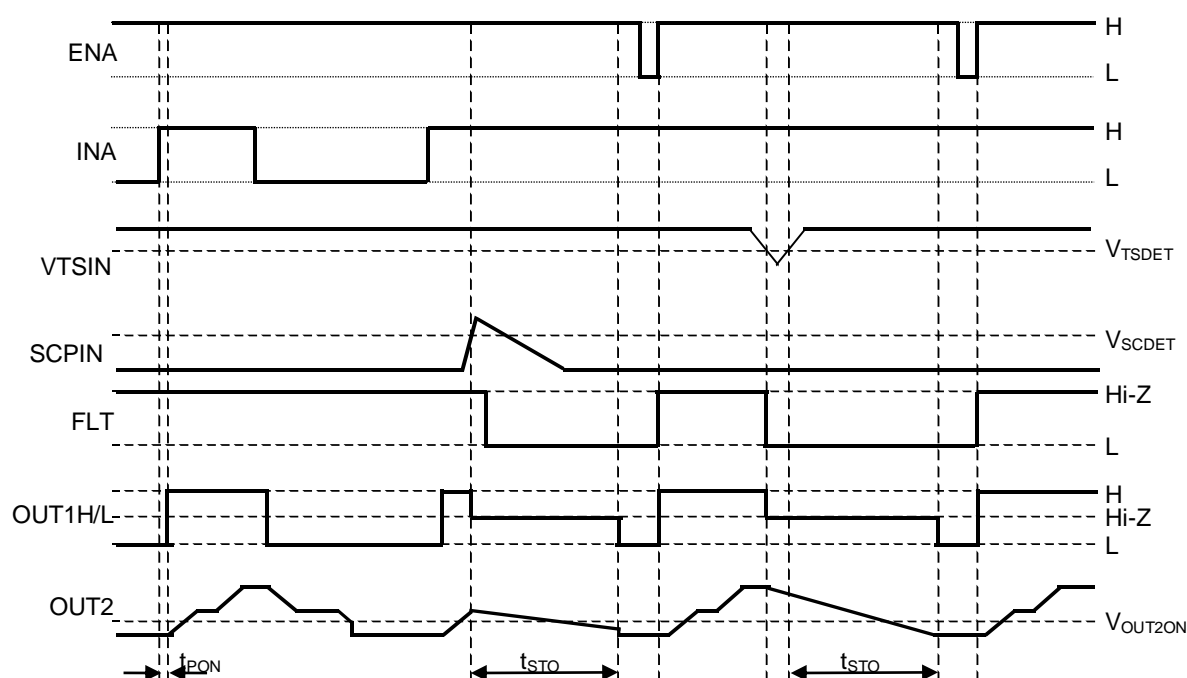


Figure 4. ミラーランプ機能タイミングチャート

機能動作説明・定数設定例 ― 続き

2. 低電圧時誤動作防止機能 (UVLO)

V_BATT、VCC2 とともに低電圧時誤動作防止機能を内蔵しています。電源電圧が $V_{UVLOBATTL}$ 、 $V_{UVLOINL}$ (MODE=L)、 V_{UVLO2L} (MODE=H)まで低下すると、OUT1H/L 端子は Hi-Z/L、RDY 端子は L を出力します。電源電圧が $V_{UVLOBATTH}$ ($=V_{UVLOBATTL}+V_{UVLOBATTHYS}$)、 $V_{UVLOINH}$ ($=V_{UVLOINL}+V_{UVLOINHYS}$)、 V_{UVLO2H} ($=V_{UVLO2L}+V_{UVLO2HYS}$)まで上昇すると復帰します。また、ノイズによる誤動作防止のため、V_BATT、VCC2 とともにフィルタ時間 $t_{UVLOBATTFIL}$ 、 $t_{UVLO2FIL}$ を設けています。

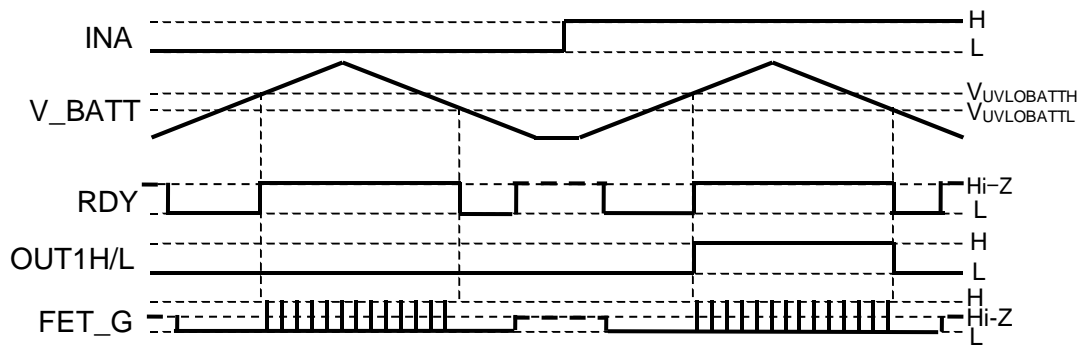


Figure 5. V_BATT UVLO 動作タイミングチャート

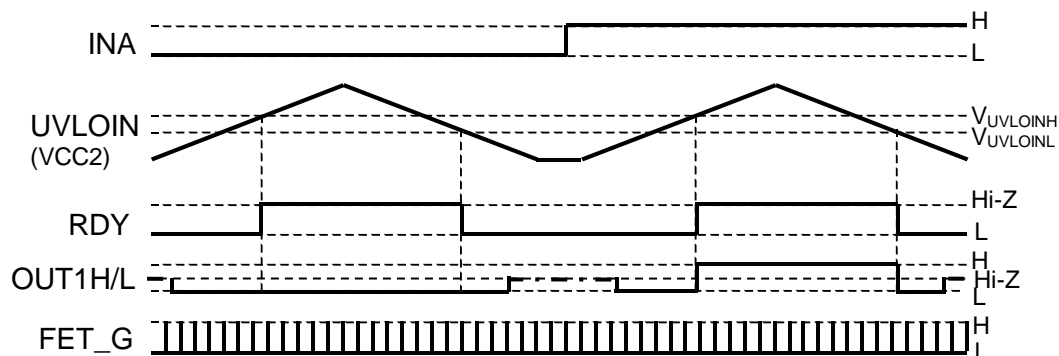


Figure 6. VCC2 UVLO 動作タイミングチャート (MODE=L 時)

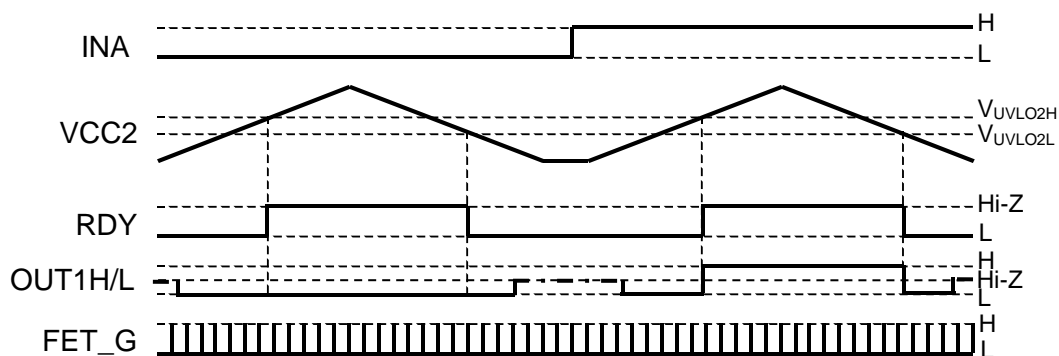


Figure 7. VCC2 UVLO 動作タイミングチャート (MODE=H 時)

- - - - : V_BATT-GND1 間電圧が低く、出力の MOS が ON しないため、Hi-Z となります。
- : VCC2-VEE2 間電圧が低く、出力の MOS が ON しないため、Hi-Z となります。

機能動作説明・定数設定例 ― 続き

3. 短絡保護機能 (SCP, DESAT)

SCPIN 端子電圧が V_{SCDET} 以上になった場合、短絡保護機能が動作します。短絡保護が動作すると、まず OUT1H/L 端子が Hi-Z/Hi-Z、PROOUT 端子が L となります (ソフトターンオフ)。次に t_{STO} 経過後、OUT1H/L 端子が Hi-Z/L (PROOUT 端子は L のまま) となります。短絡保護は、 $ENA=L (>t_{ENAFIL})$ の後、ENA の立ち上がりで解除されます。

DESAT 保護機能に、OUT1H/L=Hi-Z/L または OUT1H/L=Hi-Z/Hi-Z のとき、外部 C_{BLANK} に充電された電荷を放電するための MOSFET を SCPIN 端子-GND2 端子間に内蔵しています。DESAT 保護機能が動作するコレクタ/ドレイン電圧 V_{DESAT} 及びブランク時間 $t_{BLANKoutemal}$ は下式で設定できます。

$$V_{DESAT} = V_{SCDET} \times \frac{R3 + R2}{R3} - V_{FD1} \quad [V]$$

$$V_{CC2_{MIN}} > V_{SCDET} \times \frac{R3 + R2 + R1}{R3} \quad [V]$$

$$t_{BLANKoutemal} = -\frac{R2 + R1}{R3 + R2 + R1} \times R3 \times C_{BLANK} \times \ln\left(1 - \frac{R3 + R2 + R1}{R3} \times \frac{V_{SCDET}}{V_{CC2}}\right) + t_{DESATleb} \quad [s]$$

V_{DESAT}	設定参考値		
	R1	R2	R3
4.0V	15 k Ω	39k Ω	4.7k Ω
4.5V	15 k Ω	47k Ω	5.1k Ω
5.0V	15 k Ω	51k Ω	5.1k Ω
5.5V	15 k Ω	27k Ω	2.4k Ω
6.0V	15 k Ω	33k Ω	2.7k Ω
6.5V	15 k Ω	62k Ω	4.7k Ω
7.0V	15 k Ω	47k Ω	3.3k Ω
7.5V	15 k Ω	20k Ω	1.3k Ω
8.0V	15 k Ω	82k Ω	5.1k Ω
8.5V	15 k Ω	62k Ω	3.6k Ω
9.0V	15 k Ω	33k Ω	1.8k Ω
9.5V	15 k Ω	75k Ω	3.9k Ω
10.0V	15 k Ω	68k Ω	3.3k Ω

機能動作説明・定数設定例 — 続き

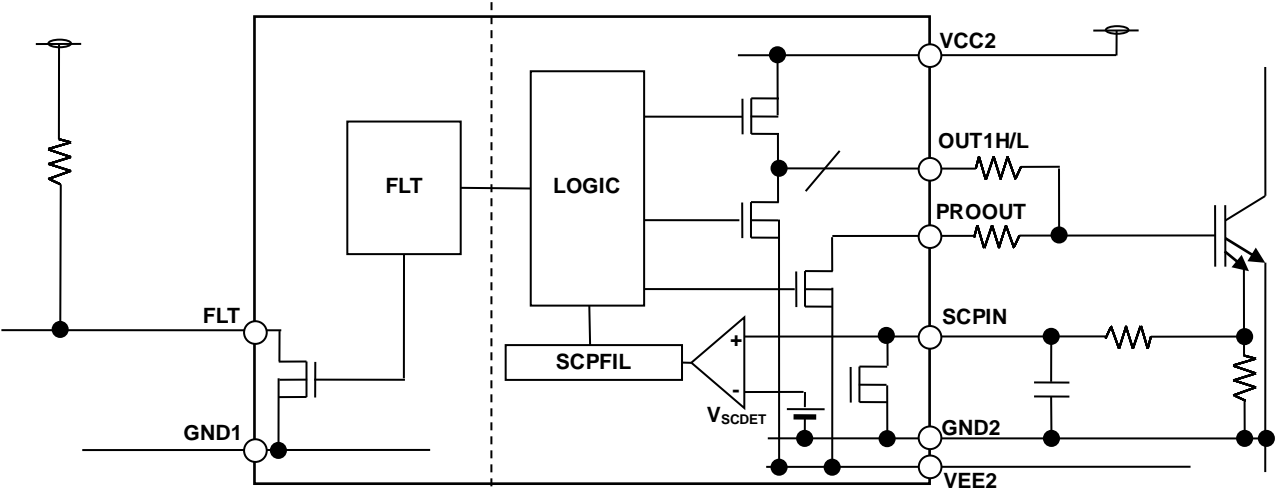


Figure 8. 短絡保護ブロック図

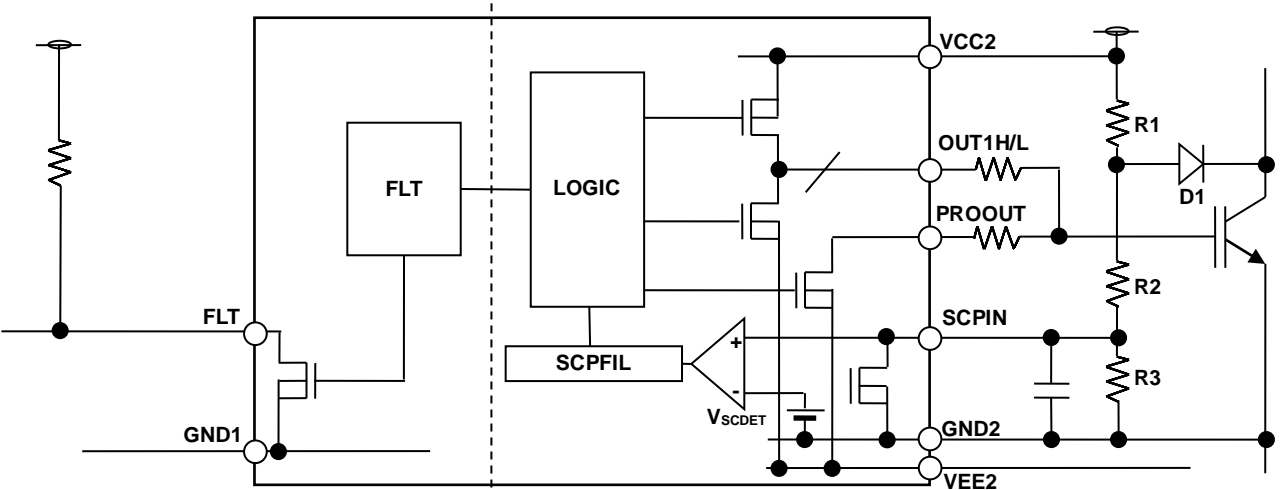


Figure 9. DESAT ブロック図

機能動作説明・定数設定例 ― 続き

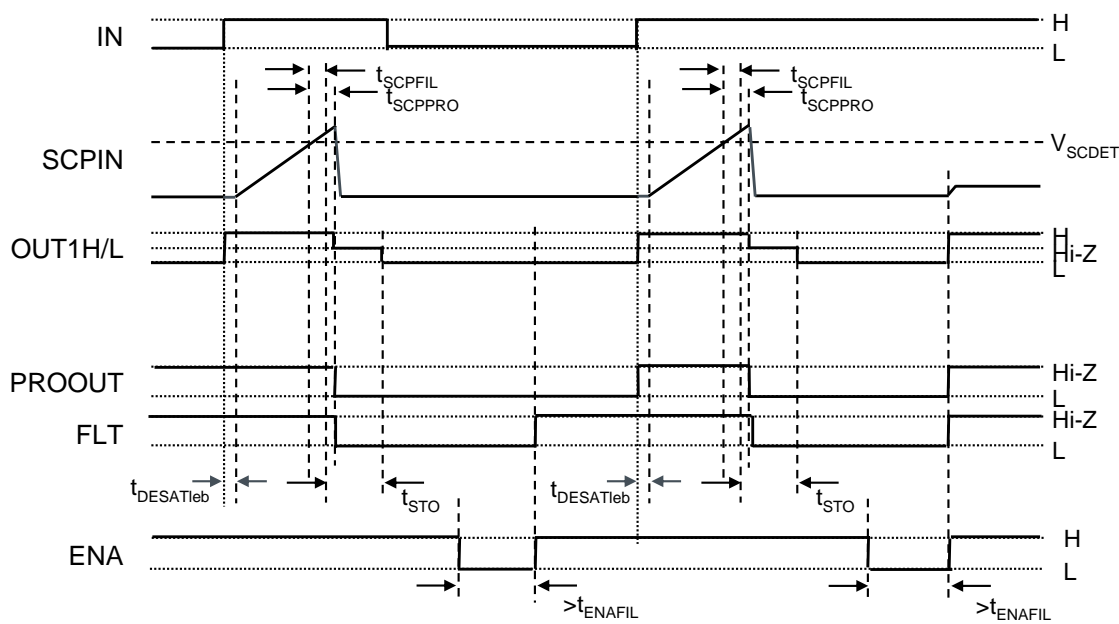


Figure 10. 短絡保護動作タイミングチャート

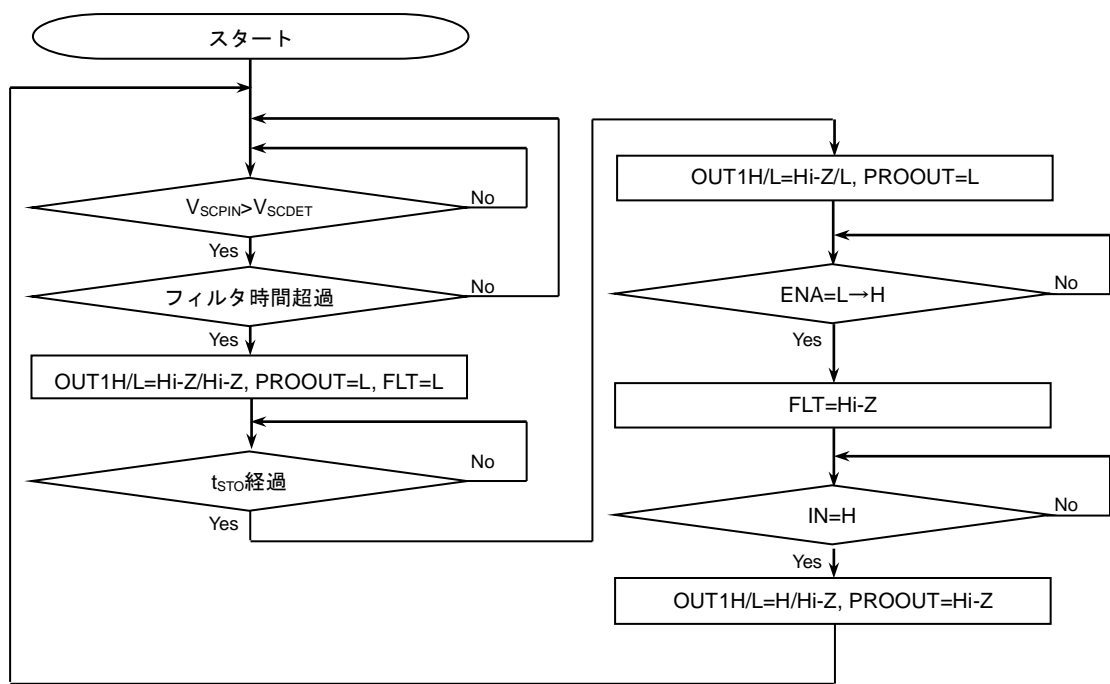


Figure 11. 短絡保護動作状態遷移図

機能動作説明・定数設定例 — 続き

4. サーマルプロテクション機能

VTSIN 端子電圧が V_{TSDET} 以下になった場合、サーマルプロテクション機能が動作します。サーマルプロテクションが動作すると、まず OUT1H/L 端子が Hi-Z/Hi-Z、PROOUT 端子が L となります (ソフトターンオフ)。次に VTSIN 端子電圧が V_{TSDET} 以上となってから t_{STO} 経過後、OUT1H/L 端子が Hi-Z/L (PROOUT 端子は L のまま) となります。サーマルプロテクションは、 $ENA=L (> t_{ENAFIL})$ の後、ENA の立ち上がりで解除されます。

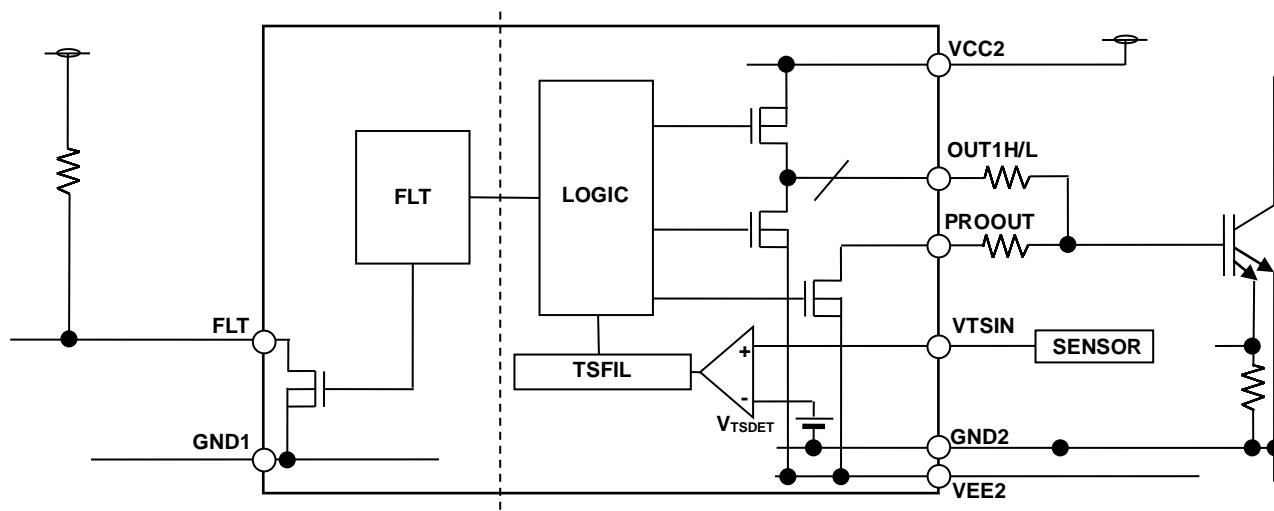


Figure 12. サーマルプロテクションブロック図

機能動作説明・定数設定例 — 続き

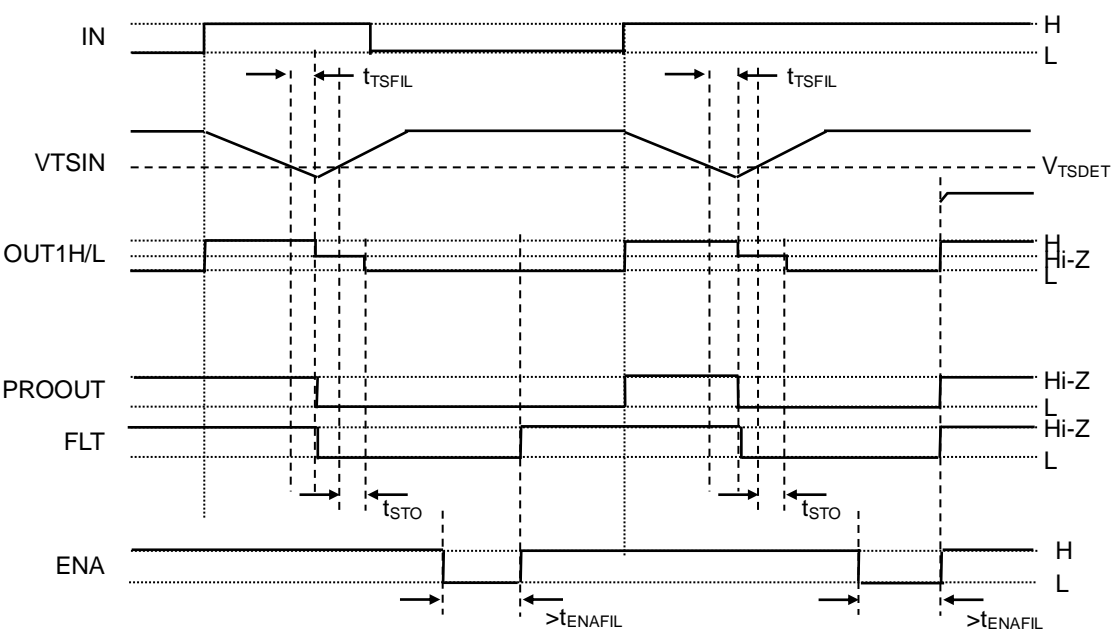


Figure 13. サーマルプロテクション動作タイミングチャート

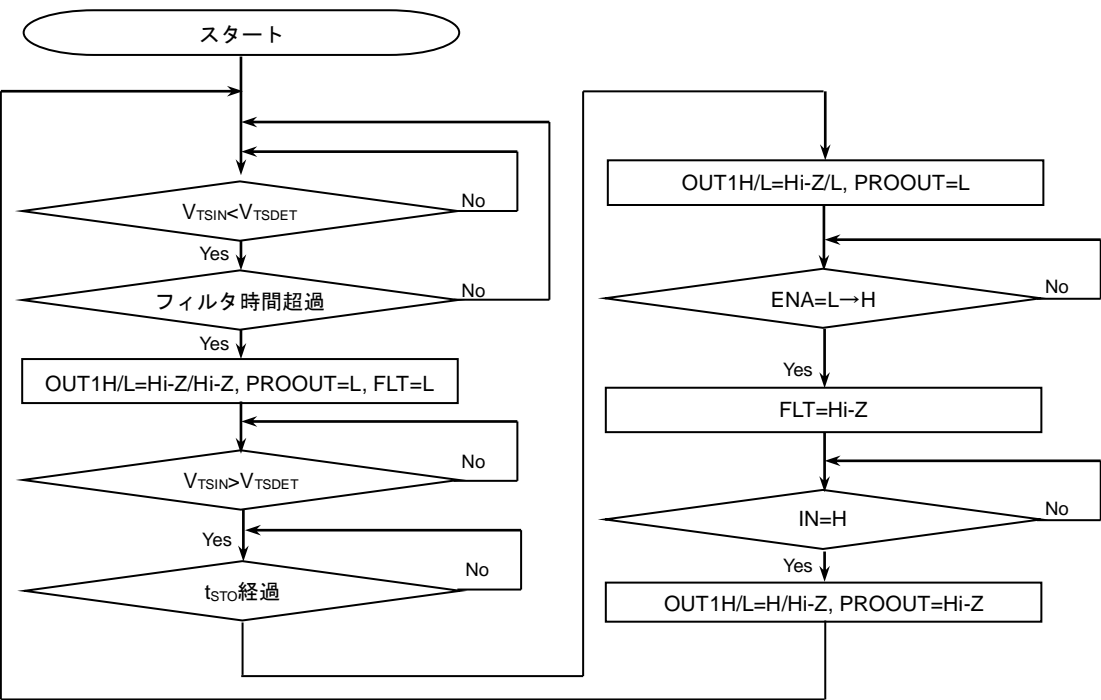


Figure 14. サーマルプロテクション動作状態遷移図

機能動作説明・定数設定例 ― 続き

5. スイッチングコントローラ

(a) 基本動作

本 IC は RT 端子により設定した内部クロックに同期して ON/OFF を繰り返すスイッチング電源回路を内蔵しています。V_BATT 電源投入時 ($V_{BATT} > V_{UVLOBATT} (= V_{UVLOBATTL} + V_{UVLOBATTHYS})$)、ソフトスタートにて FET_G 端子がスイッチングを開始します。出力電圧は外付け抵抗およびフライバックトランスの巻き線比 n ($n = V_{OUT2}$ 側の巻き数 / V_{OUT1} 側の巻き数) によって以下の式で決まります。

$$V_{OUT2} = V_{FB} \times \left\{ (R_1 + R_2) / R_2 \right\} \times n \quad [V]$$

(b) Max duty

出力負荷が大きい場合などに、SENSE 端子の電圧レベルが電流検出レベルに達しないとき、最大オン Duty (D_{ONMAX}) により出力を強制的に OFF します。

(c) 保護機能

保護機能として過電圧保護機能、低電圧保護機能を備えており FB 端子電圧を監視します。異常検出後は FET_G 出力を L 出力します。保護動作後はスイッチング電源保護保持時間 $t_{DCDCRLS}$ の後に復帰します。ただし、ソフトスタート期間中は、低電圧保護機能は動作しません。

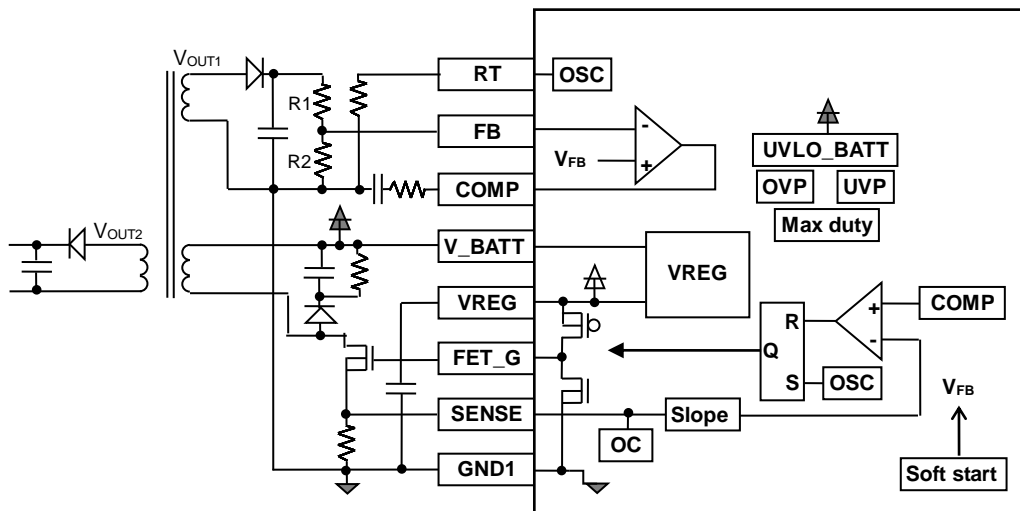


Figure 15. スイッチングコントローラブロック図

機能動作説明・定数設定例 ― 続き

(d) スイッチング電源を使用しない場合の端子処理について
スイッチング電源を使用しない場合、下表の通り端子処理を行ってください。

端子番号	端子名	処理方法
21	RT	68kΩ で GND1 にプルダウン
22	FB	VREG に接続
23	COMP	GND1 に接続
24	V_BATT	電源を接続
25	VREG	コンデンサを接続
26	FET_G	無接続
27	SENSE	VREG に接続

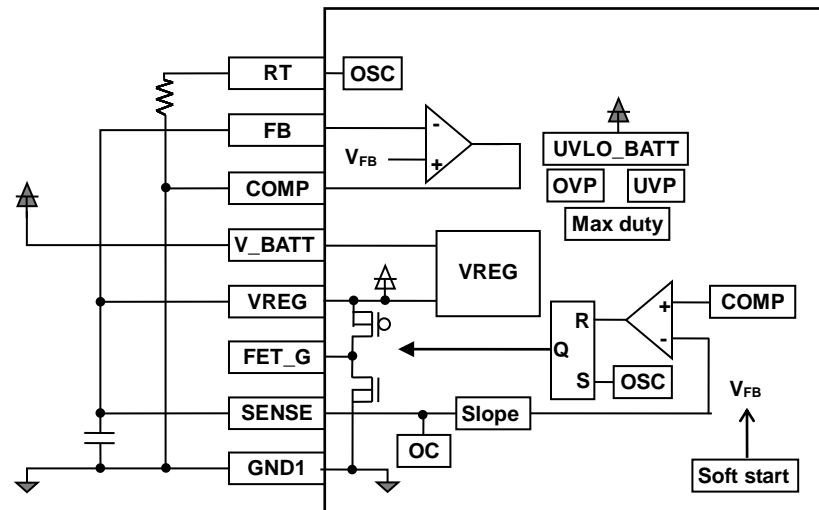


Figure 16. スイッチング電源を使用しない場合の端子処理

6. ゲート状態監視機能
PROOUT 端子でモニタしている出力素子のゲート論理と入力論理とを比較し、不一致の場合 RDY 端子=L を出力します。
入出力遅延による誤検出を防止するため、ゲート状態監視フィルタ時間 $t_{OSFBFIL}$ を設けています。

機能動作説明・定数設定例 — 続き

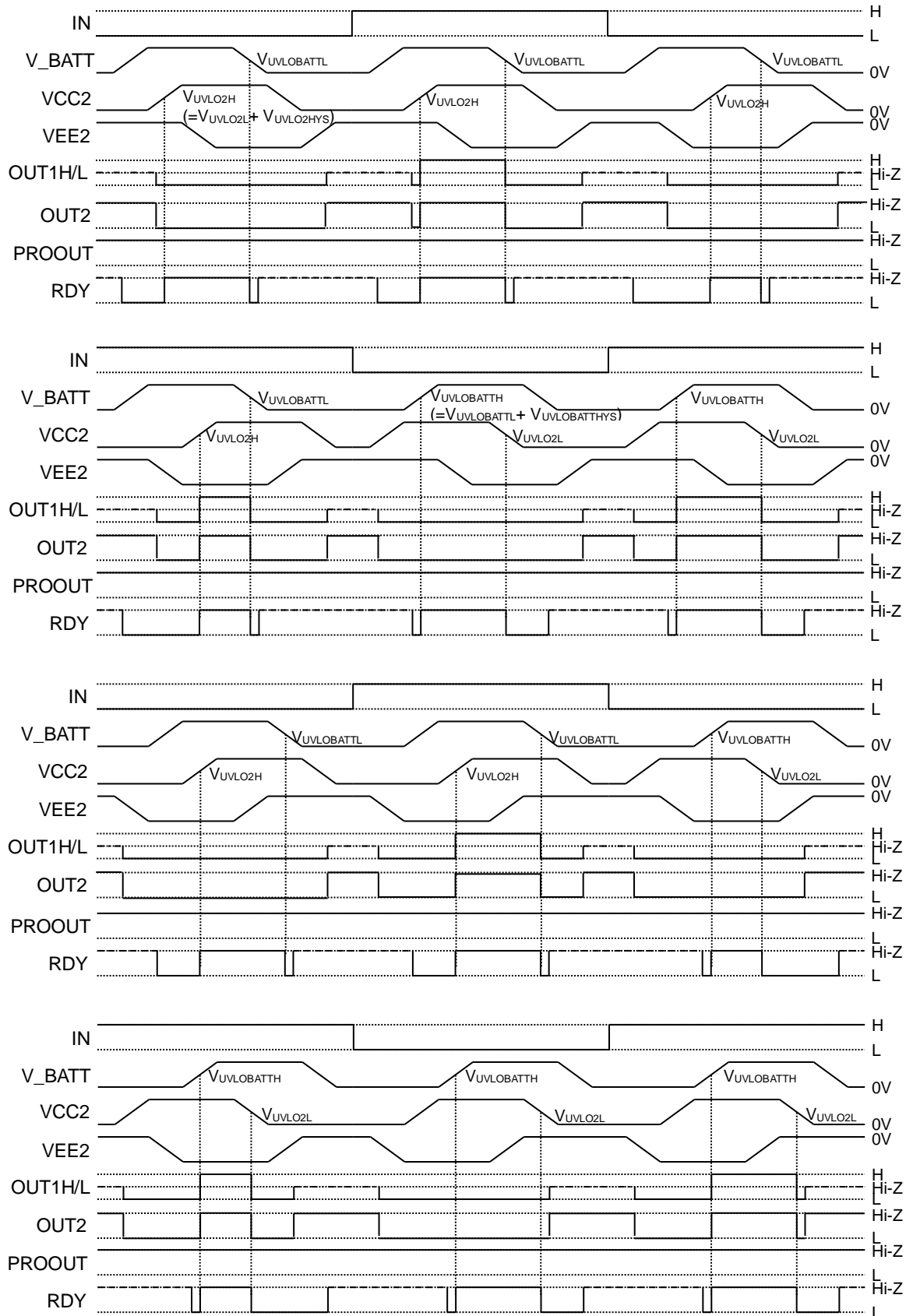
7. 動作真理値表

No.	Status	Input									Output					
		V_BATT	VCC2	SCPIN	VTSIN	ENA	INB	INA	OUT2	PROOUT	OUT1H	OUT1L	OUT2	PROOUT	FLT	RDY
1	短絡保護	O	O	H	H	H	L	H	H	X	Hi-Z	Hi-Z	Hi-Z	L	L	Hi-Z
2		O	O	H	H	H	L	H	L	X	Hi-Z	Hi-Z	L	L	L	Hi-Z
3	UVLO_VBATT	UVLO	O	L	H	X	X	X	H	H	Hi-Z	L	Hi-Z	Hi-Z	Hi-Z	L
4		UVLO	O	L	H	X	X	X	L	L	Hi-Z	L	L	Hi-Z	Hi-Z	L
5	UVLO_VCC2	O	UVLO	L	H	X	X	X	H	H	Hi-Z	L	Hi-Z	Hi-Z	Hi-Z	L
6		O	UVLO	L	H	X	X	X	L	L	Hi-Z	L	L	Hi-Z	Hi-Z	L
7	過熱保護	O	O	L	L	X	X	X	H	X	Hi-Z	Hi-Z	Hi-Z	L	L	Hi-Z
8		O	O	L	L	X	X	X	L	X	Hi-Z	Hi-Z	Hi-Z	L	L	Hi-Z
9	Disable	O	O	L	H	L	X	X	H	H	Hi-Z	L	Hi-Z	Hi-Z	Hi-Z	L
10		O	O	L	H	L	X	X	L	L	Hi-Z	L	L	Hi-Z	Hi-Z	Hi-Z
11	INB active	O	O	L	H	H	H	X	H	H	Hi-Z	L	Hi-Z	Hi-Z	Hi-Z	L
12		O	O	L	H	H	H	X	L	L	Hi-Z	L	L	Hi-Z	Hi-Z	Hi-Z
13	通常動作 L 入力	O	O	L	H	H	L	L	H	H	Hi-Z	L	Hi-Z	Hi-Z	Hi-Z	L
14		O	O	L	H	H	L	L	L	L	Hi-Z	L	L	Hi-Z	Hi-Z	Hi-Z
15	通常動作 H 入力	O	O	L	H	H	L	H	H	H	H	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
16		O	O	L	H	H	L	H	L	L	H	Hi-Z	Hi-Z	Hi-Z	Hi-Z	L

O: > UVLO, X: Don't care

機能動作説明・定数設定例 ― 続き

8. V_BATT、VCC2 電源起動・遮断シーケンス



-----: VCC2-VEE2 間電圧が低く、出力の MOS が ON しないため、Hi-Z となります。
 -----: V_BATT-GND1 間電圧が低く、RDY 出力の MOS が ON しないため、Hi-Z となります。

Figure 17. 電源起動・遮断シーケンス動作タイミングチャート

絶対最大定格

項目	記号	定格	単位
主電源電圧	V_{BATT}	$-0.3 \sim +40.0$ (Note 2)	V
出力側正電源電圧	V_{CC2}	$-0.3 \sim +24.0$ (Note 3)	V
出力側負電源電圧	V_{EE2}	$-15.0 \sim +0.3$ (Note 3)	V
出力側正負間最大電圧	V_{MAX2}	30.0	V
INA, INB, ENA 端子入力電圧	V_{IN}	$-0.3 \sim +7.0$ (Note 2)	V
MODE 端子入力電圧	V_{MODE}	$-0.3 \sim +V_{CC2} + 0.3$ or $+24.0$ (Note 3)	V
SCPIN 端子入力電圧	V_{SCPIN}	$-0.3 \sim +V_{CC2} + 0.3$ or $+24.0$ (Note 3)	V
VTSIN 端子入力電圧	V_{VTS}	$-0.3 \sim +V_{CC2} + 0.3$ or $+24.0$ (Note 3)	V
UVLOIN 端子入力電圧	V_{UVLOIN}	$-0.3 \sim +V_{CC2} + 0.3$ or $+24.0$ (Note 3)	V
OUT1H, OUT1L 端子出力電流 (10 μ s)	$I_{OUT1PEAK}$	5.0 (Note 4)	A
OUT2 端子出力電流 (10 μ s)	$I_{OUT2PEAK}$	5.0 (Note 4)	A
PROOUT 端子出力電流 (10 μ s)	$I_{PROOUTPEAK}$	2.5 (Note 4)	A
FLT, RDY 端子出力電流	I_{FLT}	10	mA
FET_G 端子出力電流 (1 μ s)	I_{FET_GPEAK}	1	A
保存温度範囲	T_{stg}	$-55 \sim +150$	°C
接合部温度	T_{jmax}	150	°C

注意 1: 印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施して頂くようお願いいたします。

注意 2: 最高接合部温度を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。最高接合部温度を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用するなど、最高接合部温度を超えないよう熱抵抗にご配慮ください。

(Note 2) GND1 基準

(Note 3) GND2 基準

(Note 4) $T_{jmax}=150^{\circ}\text{C}$ を超えないこと

熱抵抗 (Note 5)

項目	記号	熱抵抗(Typ)		単位
		1 層基板 ^(Note 7)	4 層基板 ^(Note 8)	
SSOP-B28W				
ジャンクション—周囲温度間熱抵抗	θ_{JA}	112.9	64.4	°C/W
ジャンクション—パッケージ上面中心間熱特性パラメータ ^(Note 6)	Ψ_{JT}	34	23	°C/W

(Note 5) JESD51-2A (Still-Air)に準拠。

(Note 6) ジャンクションからパッケージ (モールド部分)上面中心までの熱特性パラメータ。

(Note 7) JESD51-3に準拠した基板を使用。

(Note 8) JESD51-7に準拠した基板を使用。

測定基板	基板材	基板寸法
1層	FR-4	114.3mm x 76.2mm x 1.57mm

1層目 (表面)銅箔	
銅箔パターン	銅箔厚
実装ランドパターン +電極引出し用配線	70μm

測定基板	基板材	基板寸法
4層	FR-4	114.3mm x 76.2mm x 1.6mm

1層目 (表面)銅箔		2層目、3層目 (内層)銅箔		4層目 (裏面)銅箔	
銅箔パターン	銅箔厚	銅箔パターン	銅箔厚	銅箔パターン	銅箔厚
実装ランドパターン +電極引出し用配線	70μm	74.2mm□ (正方形)	35μm	74.2mm□ (正方形)	70μm

推奨動作条件

項目	記号	最小	標準	最大	単位
主電源電圧 (Note 9)	V_{BATT}	4	12	32	V
出力側正電源電圧 (Note 10)	V_{CC2}	10	15	20	V
出力側負電源電圧 (Note 10)	V_{EE2}	-12	-	0	V
出力側正負電源間電圧	V_{MAX2}	10	-	28	V
スイッチング電源周波数設定範囲	f_{SWR}	100	-	500	kHz
動作温度範囲	T_{opr}	-40	+25	+125	°C

(Note 9) GND1 基準

(Note 10) GND2 基準

絶縁特性

項目	記号	特性	単位
絶縁抵抗 ($V_{IO}=500V$)	R_S	$>10^9$	Ω
絶縁耐電圧 (1min)	V_{ISO}	2500	Vrms
絶縁試験電圧 (1sec)	V_{ISO}	3000	Vrms

電氣的特性

(特に指定のない限り Ta=-40°C ~125°C, V_{BATT}=4~32V, V_{CC2}=UVLO~20V, V_{EE2}=-12V~0V)

Parameter	Symbol	Min	Typ	Max	Unit	Conditions
全体						
主電源回路電流 1	I _{BATT1}	1.0	1.6	2.2	mA	V _{BATT} =4V
主電源回路電流 2	I _{BATT2}	0.7	1.3	1.9	mA	V _{BATT} =12V
主電源回路電流 3	I _{BATT3}	0.8	1.4	2.0	mA	V _{BATT} =32V
出力側回路電流 1	I _{CC21}	0.8	1.5	2.2	mA	V _{CC2} =14V, OUT1=L
出力側回路電流 2	I _{CC22}	0.4	1.1	1.8	mA	V _{CC2} =14V, OUT1=H
出力側回路電流 3	I _{CC23}	0.9	1.6	2.3	mA	V _{CC2} =18V, OUT1=L
出力側回路電流 4	I _{CC24}	0.5	1.2	1.9	mA	V _{CC2} =18V, OUT1=H
出力側回路電流 5	I _{CC25}	1.0	1.6	2.4	mA	V _{CC2} =16V, V _{EE2} =-8V, OUT1=L
出力側回路電流 6	I _{CC26}	0.6	1.3	2.0	mA	V _{CC2} =16V, V _{EE2} =-8V, OUT1=H
スイッチング電源						
FET_G 出力電圧 H1	V _{FETGH1}	3.8	4.0	4.2	V	4.2V<V _{BATT} ≤32V I _{FET_G} =0A (open)
FET_G 出力電圧 H2	V _{FETGH2}	-	V _{BATT} -0.2	V _{BATT}	V	V _{BATT} ≤4.2V I _{FET_G} =0A (open)
FET_G 出力電圧 L	V _{FETGL}	0	-	0.3	V	I _{FET_G} =0A (open)
FET_G ソース側オン抵抗	R _{ONGH}	3	6	12	Ω	I _{FET_G} =-10mA
FET_G シンク側オン抵抗	R _{ONGL}	0.3	0.6	1.3	Ω	I _{FET_G} =10mA
発振周波数	f _{SW}	182	200	222	kHz	RT=68kΩ
ソフトスタート時間	t _{SS}	-	-	50	ms	
FB 端子スレッシュホールド電圧	V _{FB}	1.47	1.50	1.53	V	
FB 端子入力電流	I _{FB}	-0.8	0	+0.8	μA	
COMP 端子出力シンク電流	I _{COMPSINK}	-160	-80	-40	μA	
COMP 端子出力ソース電流	I _{COMPSource}	40	80	160	μA	
V _{BATT} UVLO ON 電圧	V _{UVLOBATTL}	3.20	3.40	3.60	V	
V _{BATT} UVLO Hysteresis	V _{UVLOBATTHYS}	0.07	0.1	0.13	V	
V _{BATT} UVLO フィルタ時間	t _{UVLOBATTFIL}	-	2	-	μs	
最大オン DUTY	D _{ONMAX}	-	48	-	%	
過電圧検出閾値	V _{OVT}	1.60	1.65	1.70	V	
低電圧検出閾値	V _{UVT}	1.23	1.30	1.37	V	
過電流検出閾値	V _{OCT}	0.17	0.20	0.23	V	
スイッチング電源保護保持時間	t _{DCDCRLS}	20	40	60	ms	
ロジック						
ロジック H レベル入力電圧	V _{INH}	2.0	-	5.5	V	INA, INB, ENA
ロジック L レベル入力電圧	V _{INL}	0	-	0.8	V	INA, INB, ENA
ロジックプルダウン抵抗	R _{IND}	25	50	100	kΩ	INA, INB, ENA
最小入力パルス幅	t _{INFIL}	-	-	90	ns	INA, INB
ENA 入力フィルタ時間	t _{ENAFIL}	-	0.5	0.8	μs	ENA
MODE 入力 L 電圧	V _{MODEL}	0	-	0.3xV _{CC2}	V	GND2 基準
MODE 入力 H 電圧	V _{MODEH}	0.7xV _{CC2}	-	V _{CC2}	V	GND2 基準

電氣的特性 — 続き

(特に指定のない限り Ta=-40°C ~125°C, V_{BATT}=4.0~32V, V_{CC2}=UVLO~20V, V_{EE2}=-12V~0V)

Parameter	Symbol	Min.	Typ.	Max.	Unit	Conditions
出力						
出力ソース側オン抵抗	R _{ONH}	0.50	0.85	1.45	Ω	I _{OUT1H} =-40mA
出力シンク側オン抵抗	R _{ONL}	0.25	0.45	0.80	Ω	I _{OUT1L} =40mA
出力最大電流	I _{OUT1MAX}	3.0	4.5	-	A	V _{CC2} =15V, 設計保証
PROOUT オン抵抗	R _{ONPRO}	0.45	0.85	1.55	Ω	I _{PROOUT} =40mA
Turn ON Time	t _{PONA}	40	80	120	ns	INA=PWM, INB=L
	t _{PONB}	40	80	120	ns	INA=H, INB=PWM
Turn OFF Time	t _{POFFA}	35	75	115	ns	INA=PWM, INB=L
	t _{POFFB}	35	75	115	ns	INA=H, INB=PWM
Propagation Distortion	t _{PDISTA}	-25	-5	+15	ns	t _{POFFA} - t _{PONA}
	t _{PDISTB}	-25	-5	+15	ns	t _{POFFB} - t _{PONB}
Rise Time	t _{RISE}	-	50	-	ns	OUT1-VEE2 間 10nF 設計保証
Fall Time	t _{FALL}	-	50	-	ns	
OUT2 オン抵抗	R _{ON2}	0.25	0.45	0.80	Ω	I _{OUT2} =40mA
OUT2 ON スレッシュホールド	V _{OUT2ON}	1.8	2	2.2	V	V _{EE2} 基準
同相過渡耐圧	CM	100	-	-	kV/μs	設計保証
保護機能						
出力側 UVLO ON 用閾値電圧 (UVLOIN)	V _{UVLOINL}	0.85	0.90	0.95	V	MODE=L
出力側 UVLO 閾値電圧 Hysteresis (UVLOIN)	V _{UVLOINHYS}	0.10x V _{UVLOINL}	0.11x V _{UVLOINL}	0.12x V _{UVLOINL}	V	MODE=L
出力側 UVLO ON 電圧	V _{UVLO2L}	10.9	11.5	12.1	V	MODE=H
出力側 UVLO Hysteresis	V _{UVLO2HYS}	0.8	1.2	1.6	V	MODE=H
出力側 UVLO フィルタ時間	t _{UVLO2FIL}	6	12	22	μs	
DESAT 反応時間	t _{DESATleb}	0.14	0.20	0.26	μs	設計保証
短絡検出電圧	V _{SCDET}	0.47	0.50	0.53	V	GND2 基準
短絡検出フィルタ時間	t _{SCPFIL}	0.12	0.2	0.28	μs	
短絡検出後 PROOUT 出力時間	t _{SCPPRO}	0.26	0.38	0.50	μs	
SCPIN 端子 L 電圧	V _{SCPINL}	-	0.1	0.22	V	I _{SCPIN} =1mA
PROOUT-FLT 出力時間差	t _{PROFLT}	0.1	0.4	0.7	μs	
サーマル検出電圧	V _{TSDDET}	1.62	1.72	1.82	V	GND2 基準
サーマル検出フィルタ時間	t _{TSFIL}	4	10	30	μs	
ソフトターンオフ解除時間	t _{STO}	30	-	110	μs	
FLT 出力 L 電圧	V _{FLTL}	-	0.18	0.40	V	I _{FLT} =5mA
ゲート状態監視 スレッシュホールド電圧 H	V _{OSFBH}	4.5	5.0	5.5	V	GND2 基準
ゲート状態監視 スレッシュホールド電圧 L	V _{OSFBL}	4.0	4.5	5.0	V	GND2 基準
ゲート状態監視フィルタ時間	t _{OSFBFIL}	4.0	6.2	8.4	μs	
RDY 出力 L 電圧	V _{RDYL}	-	0.18	0.40	V	I _{RDY} =5mA

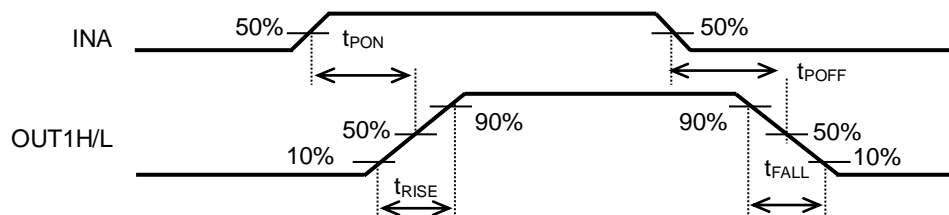


Figure 18. INA-OUT1H/L Timing Chart

UL1577 レポート記載項目

Parameter	Value	Unit	Conditions
Side 1 (Input Side) Circuit Current	1.3	mA	$V_{BATT}=12V$, OUT1H/L=L
Side 2 (Output Side) Circuit Current	1.6	mA	$V_{CC2}=16V$, $V_{EE2}=-8V$, OUT1H/L=L
Side 1 (Input Side) Consumption Power	15.6	mW	$V_{BATT}=12V$, OUT1H/L=L
Side 2 (Output Side) Consumption Power	38.4	mW	$V_{CC2}=16V$, $V_{EE2}=-8V$, OUT1H/L=L
Isolation Voltage	2500	Vrms	
Maximum Operating (Ambient) Temperature	125	°C	
Maximum Junction Temperature	150	°C	
Maximum Storage Temperature	150	°C	
Maximum Data Transmission Rate	5.5	MHz	

特性データ(参考データ)

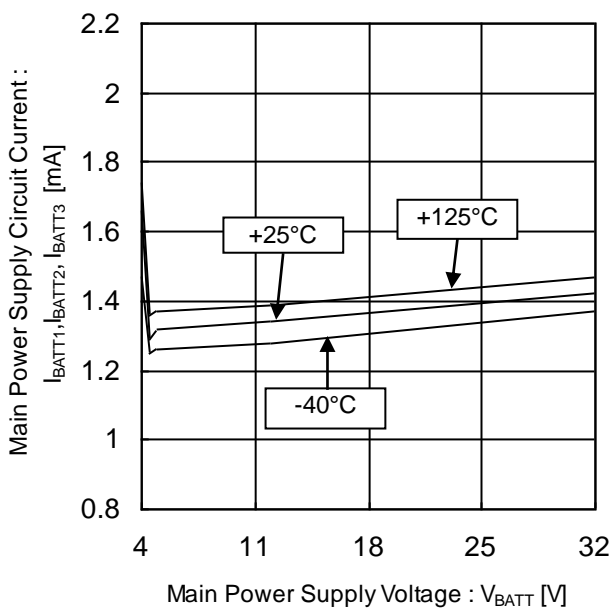


Figure 19. Main Power Supply Circuit Current vs Main Power Supply Voltage

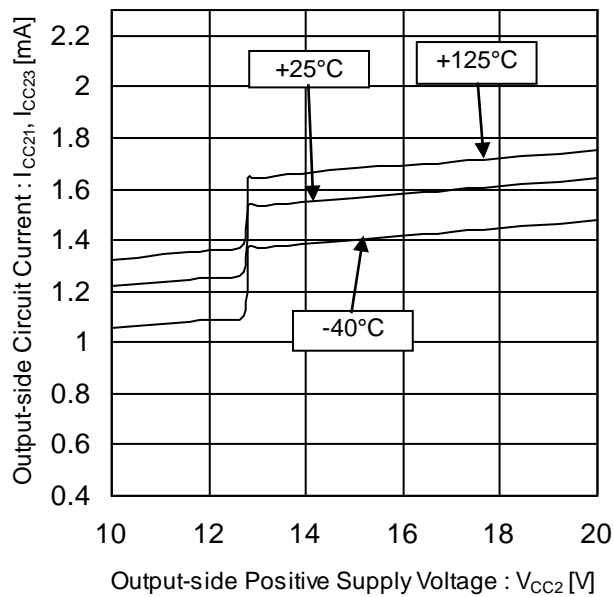


Figure 20. Output-side Circuit Current vs Output-side Positive Supply Voltage (MODE=H, $V_{EE2}=0V$, OUT1=L)

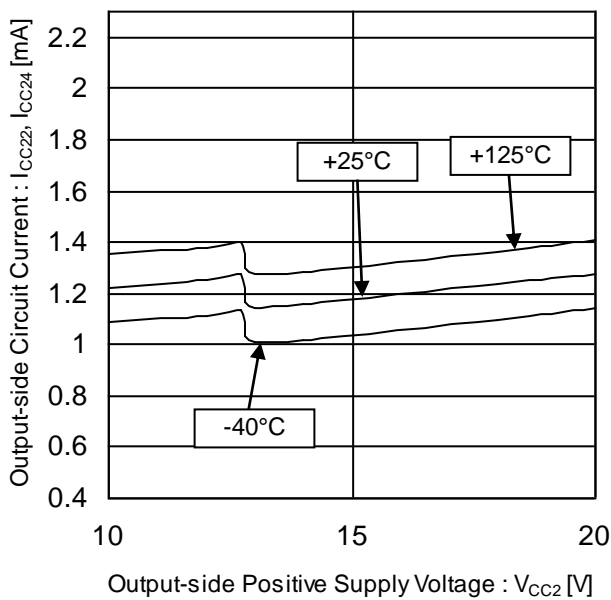


Figure 21. Output-side Circuit Current vs Output-side Positive Supply Voltage (MODE=H, $V_{EE2}=0V$, OUT1=H)

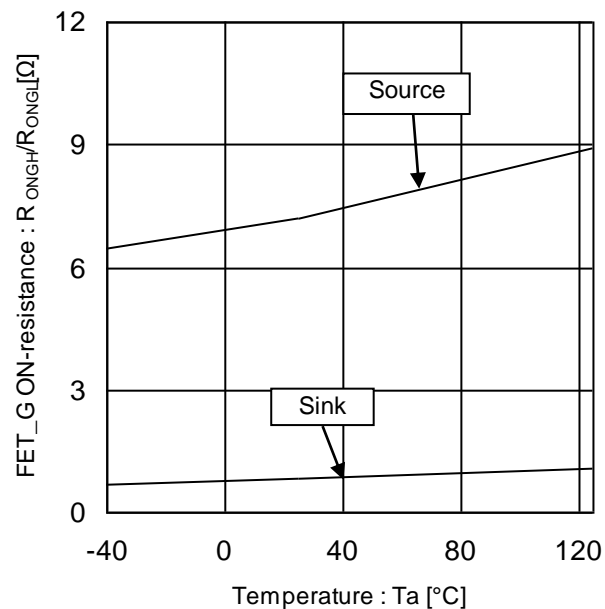


Figure 22. FET_G ON-resistance vs Temperature (Source/Sink)

特性データ(参考データ) — 続き

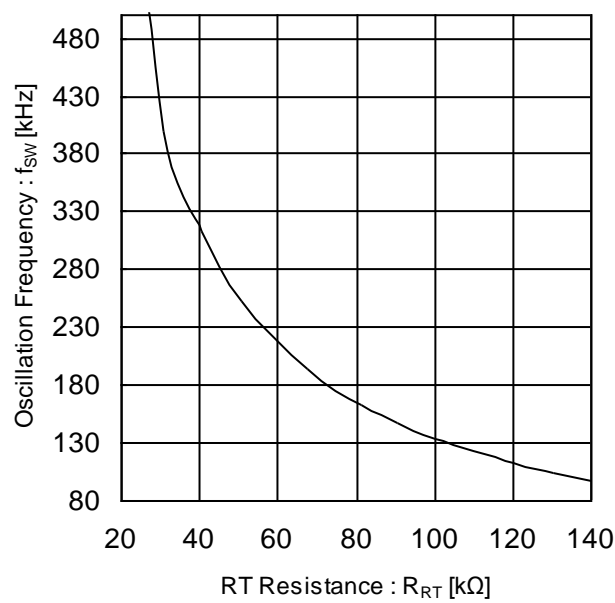


Figure 23. Oscillation Frequency vs RT Resistance

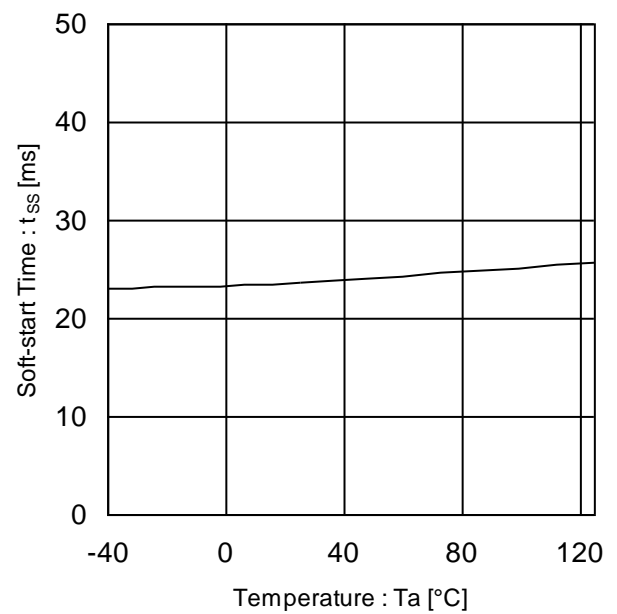


Figure 24. Soft-start Time vs Temperature

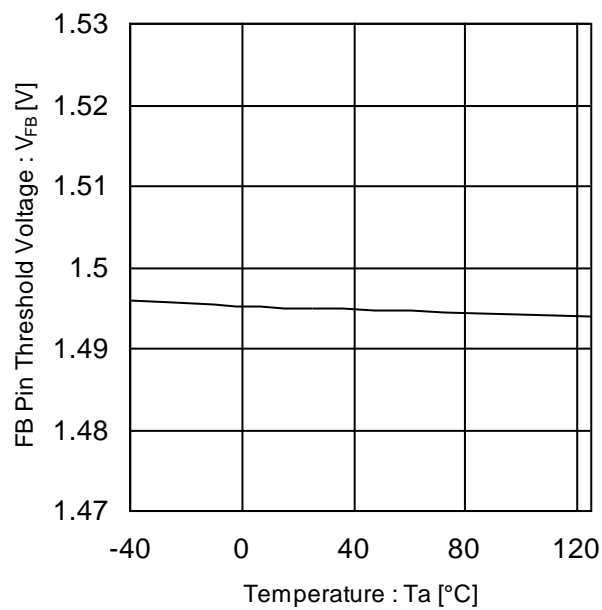


Figure 25. FB Pin Threshold Voltage vs Temperature

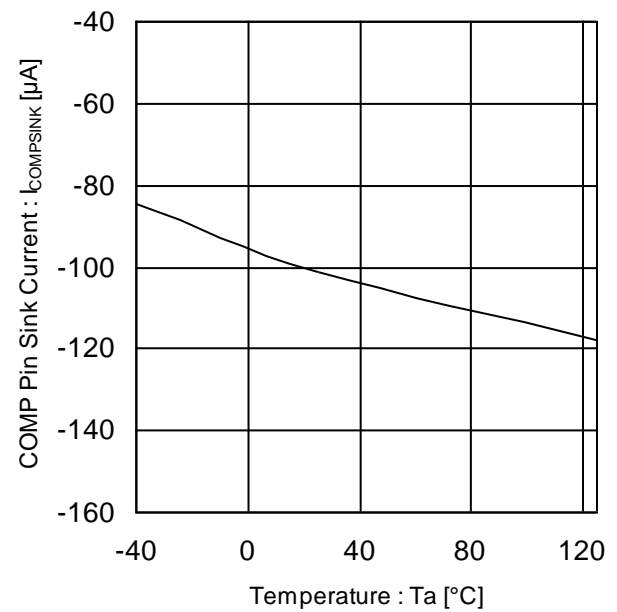


Figure 26. COMP Pin Sink Current vs Temperature

特性データ(参考データ) — 続き

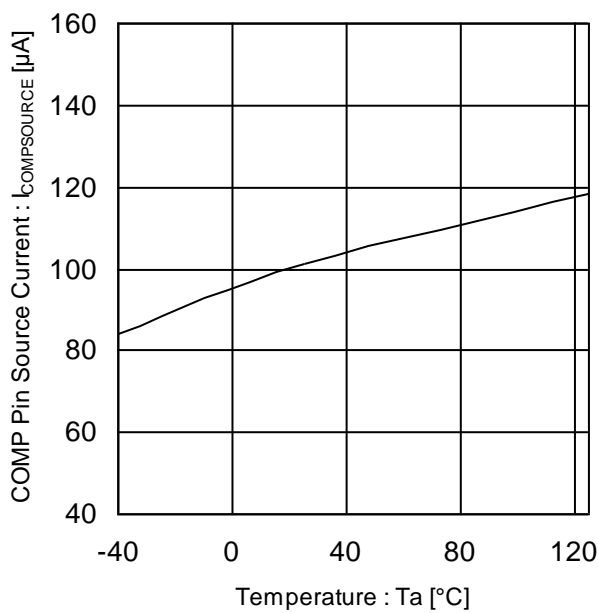


Figure 27. COMP Pin Source Current vs Temperature

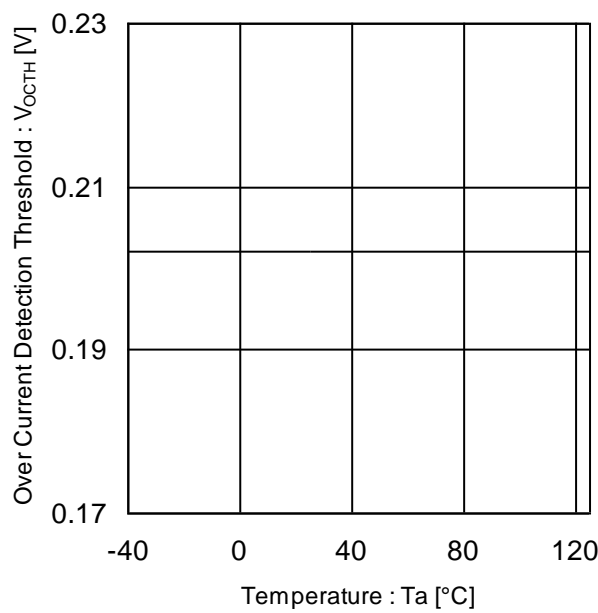


Figure 28. Over Current Detection Threshold vs Temperature

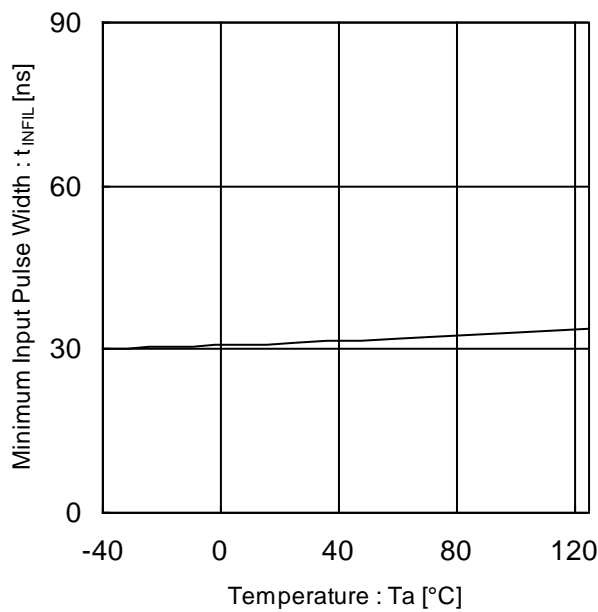


Figure 29. Logic Input Filtering Time vs Temperature (L pulse)

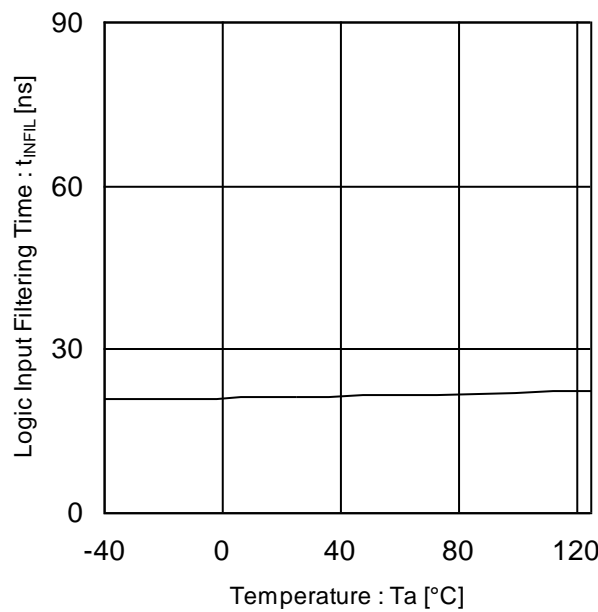


Figure 30. Logic Input Filtering Time vs Temperature (H pulse)

特性データ(参考データ) — 続き

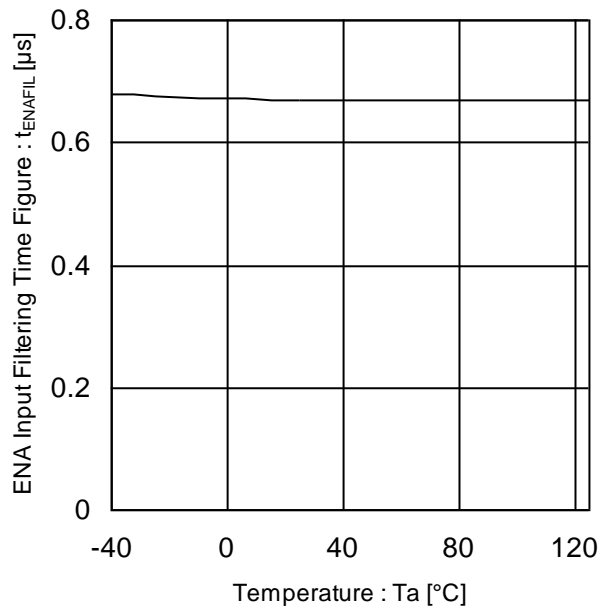
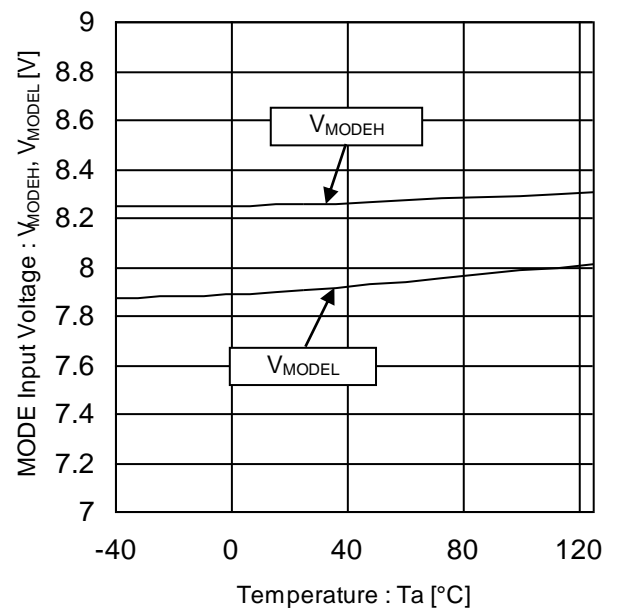
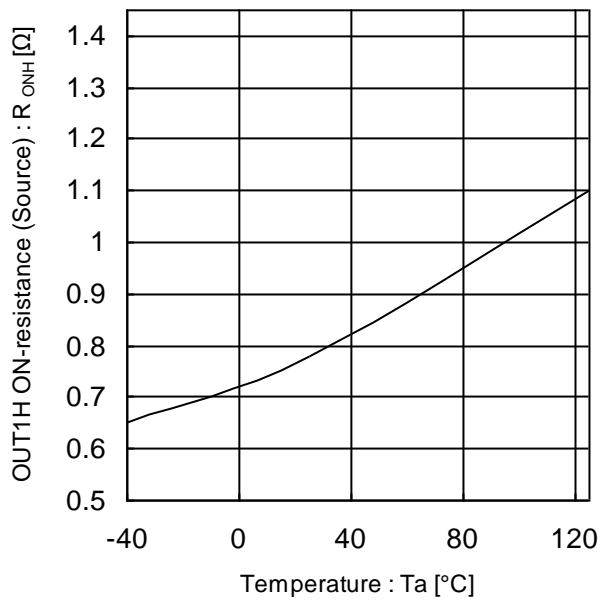
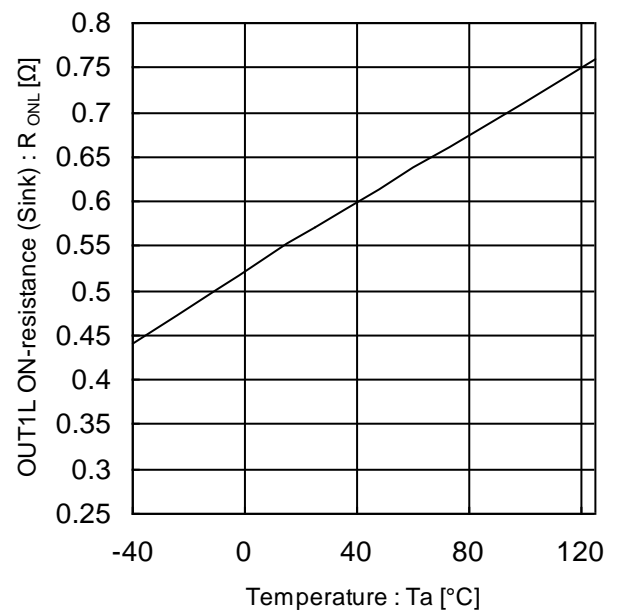


Figure 31. ENA Input Filtering Time Figure vs Temperature

Figure 32. MODE Input Voltage vs Temperature ($V_{CC2}=14V$)Figure 33. OUT1H ON-resistance (Source) vs Temperature ($I_{OUT1H}=-40mA$)Figure 34. OUT1L ON-resistance (Sink) vs Temperature ($I_{OUT1L}=40mA$)

特性データ(参考データ) — 続き

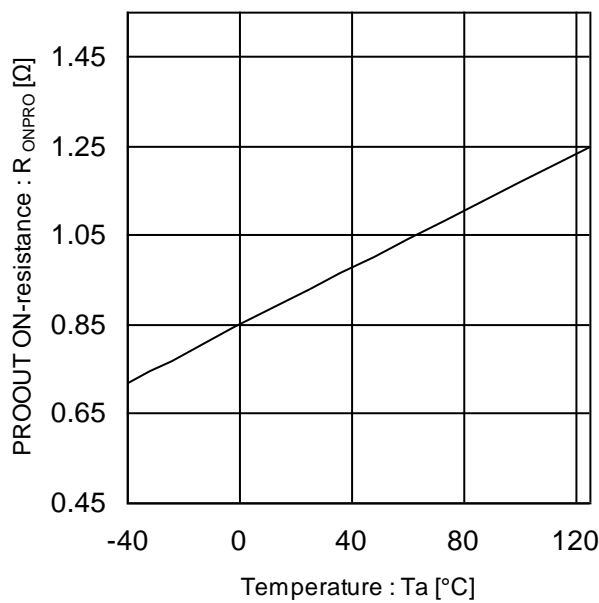


Figure 35. PROOUT ON-resistance vs Temperature ($I_{PROOUT}=40\text{mA}$)

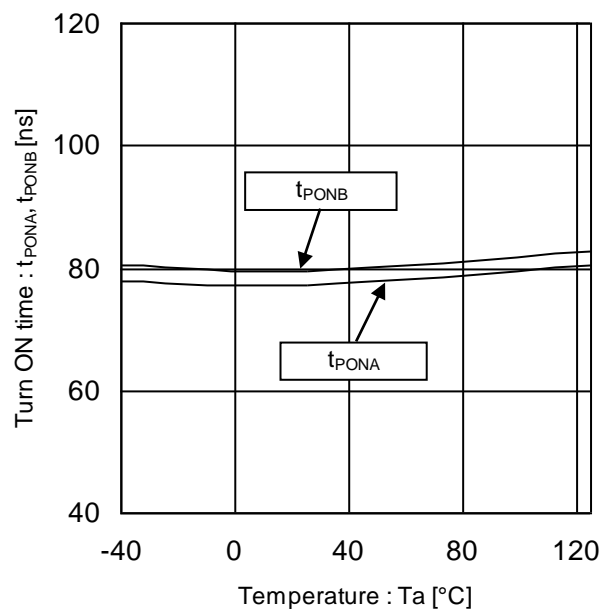


Figure 36. Turn ON time vs Temperature

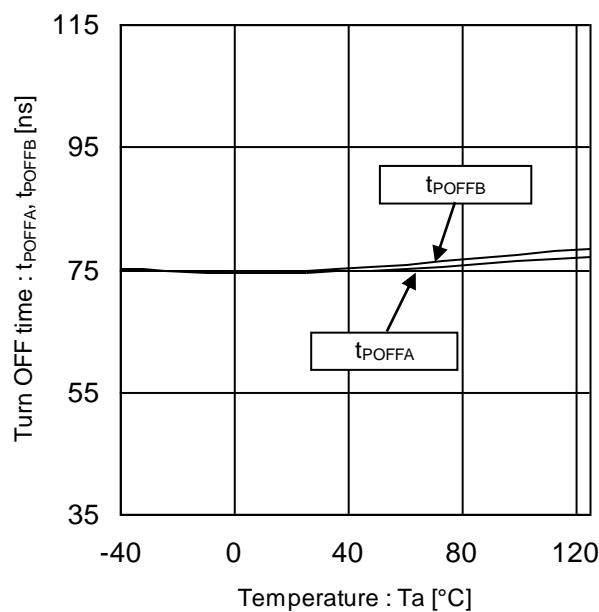


Figure 37. Turn OFF time vs Temperature

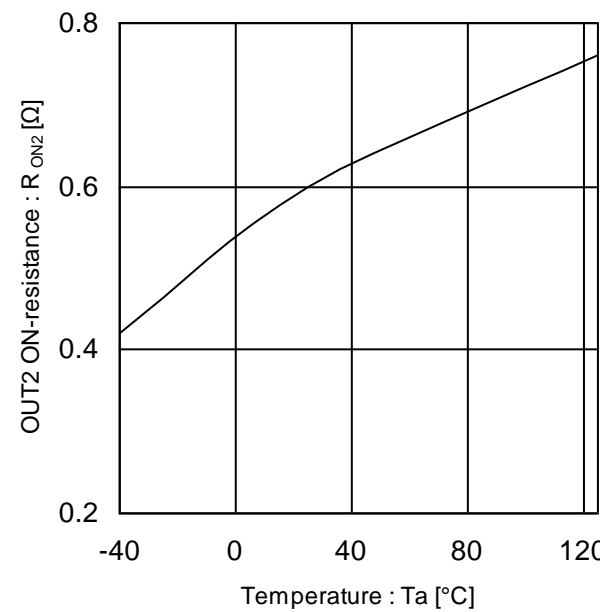


Figure 38. OUT2 ON-resistance vs Temperature ($I_{OUT2}=40\text{mA}$)

特性データ(参考データ) — 続き

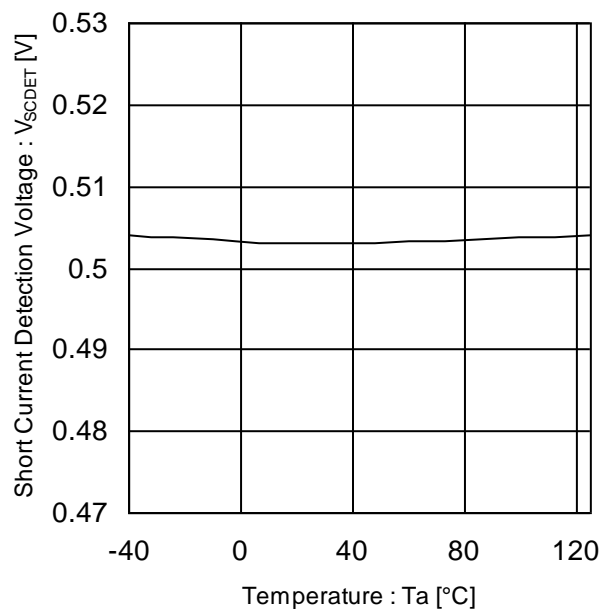


Figure 39. Short Current Detection Voltage vs Temperature

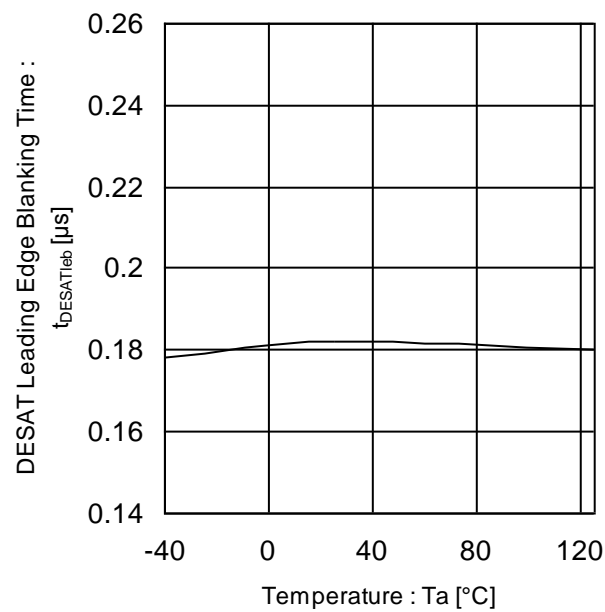


Figure 40. DESAT Leading Edge Blanking Time vs Temperature

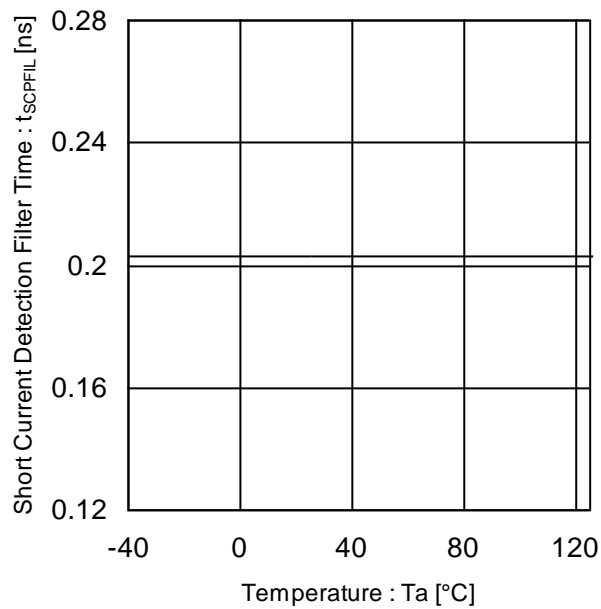


Figure 41. Short Current Detection Filter Time vs Temperature

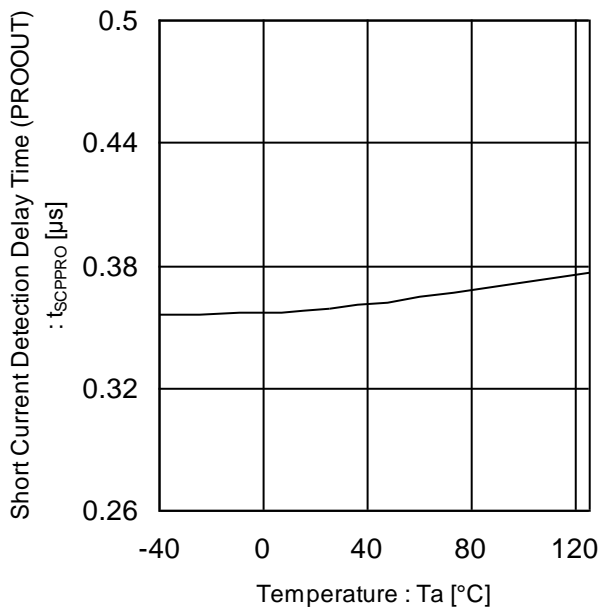


Figure 42. Short Current Detection Delay Time (PROOUT) vs Temperature

特性データ(参考データ) — 続き

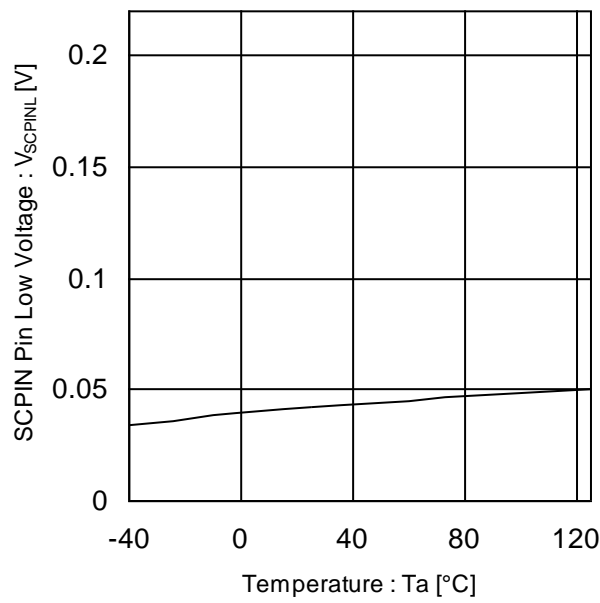


Figure 43. SCPIN Pin Low Voltage vs Temperature

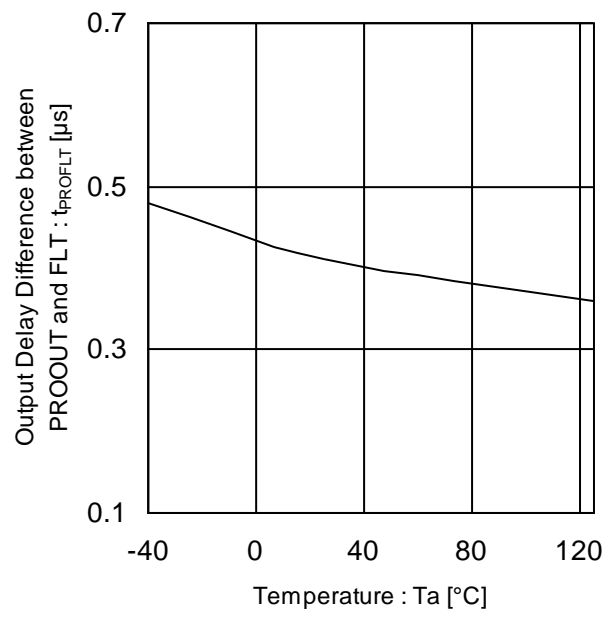


Figure 44. Output Delay Difference between PROOUT and FLT vs Temperature

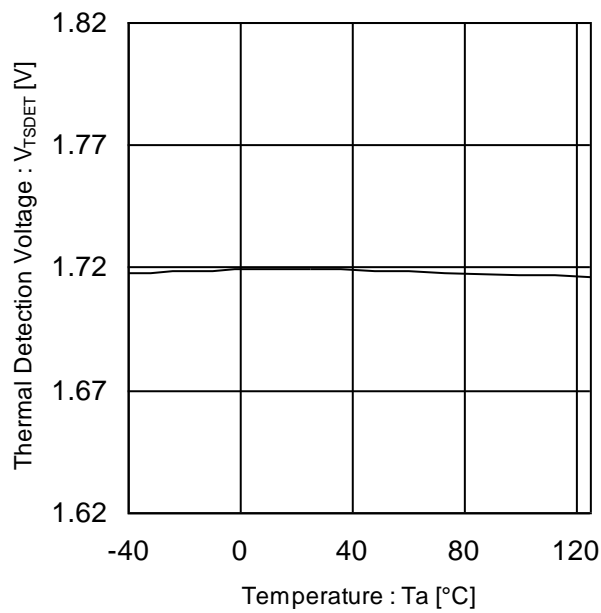


Figure 45. Thermal Detection Voltage vs Temperature

推奨外付け部品

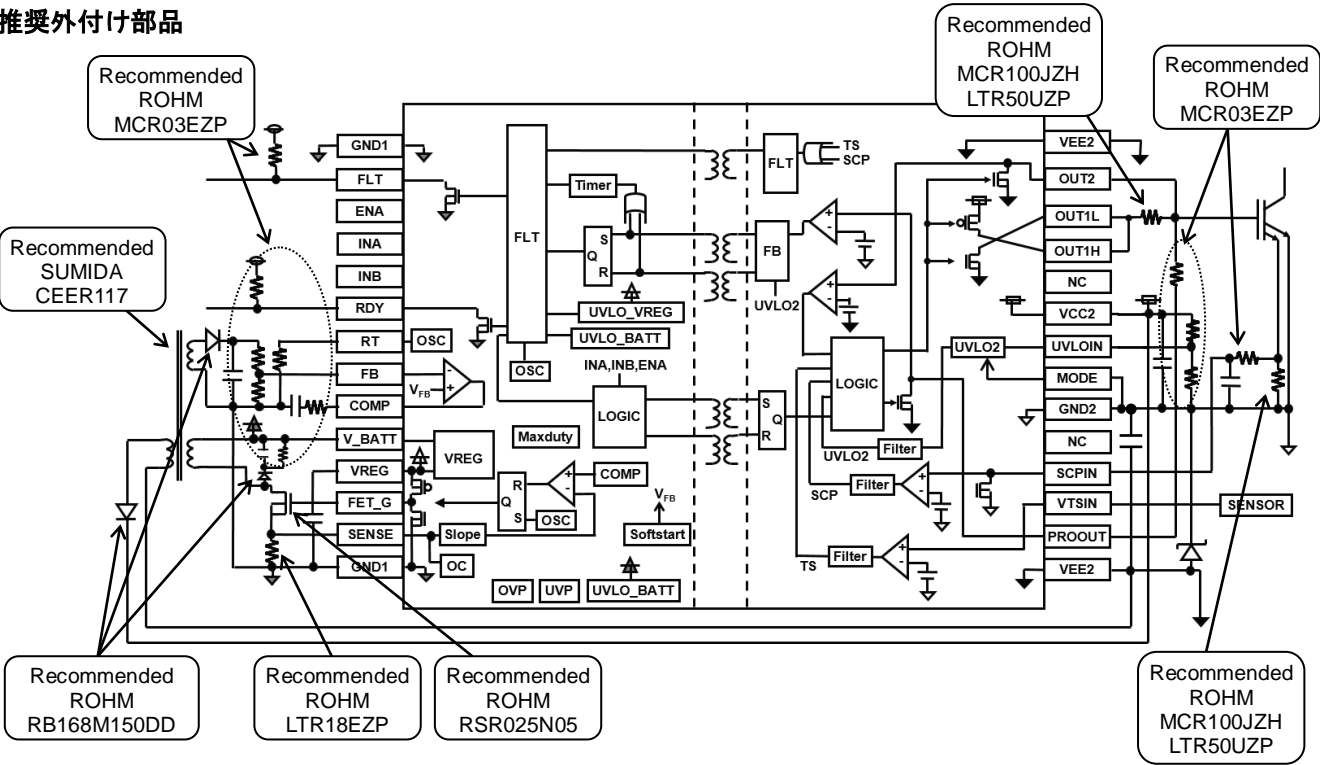


Figure 46. 推奨外付け部品

入出力等価回路図

端子番号	端子名	入出力等価回路図
	端子機能	
2	PROOUT	
	ソフトターンオフ端子/ ゲート電圧入力端子	
3	VTSIN	
	温度センサ電圧入力端子	
4	SCPIN	
	短絡検出端子	
7	MODE	
	出力側 UVLO モード選択端子	
8	UVLOIN	
	出力側 UVLO 設定入力端子	

入出力等価回路 — 続き

端子番号	端子名	入出力等価回路図
	端子機能	
11	OUT1H	
	ソース側出力端子	
12	OUT1L	
	シンク側出力端子	
13	OUT2	
	ミラークランプ端子	
16	FLT	
	フォールト出力端子	
20	RDY	
	READY 出力端子	
17	ENA	
	入力許可信号入力端子	

入出力等価回路 — 続き

端子番号	端子名	入出力等価回路図
	端子機能	
18	INA	
	制御入力端子 A	
19	INB	
	制御入力端子 B	
21	RT	
	スイッチング電源周波数設定端子	
22	FB	
	スイッチング電源 誤差増幅器反転入力端子	

入出力等価回路 ― 続き

端子番号	端子名	入出力等価回路図
	端子機能	
23	COMP	
	スイッチング電源誤差増幅器出力端子	
25	VREG	
	入力側電源端子	
26	FET_G	
	スイッチング電源MOS FET 制御端子	
27	SENSE	
	スイッチング電源電流検出端子	

使用上の注意

1. 電源の逆接続について
電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れるなどの対策を施してください。
2. 電源ラインについて
基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。その際、デジタル系電源とアナログ系電源は、それらが同電位であっても、デジタル系電源パターンとアナログ系電源パターンは分離し、配線パターンの共通インピーダンスによるアナログ電源へのデジタル・ノイズの回り込みを抑止してください。グラウンドラインについても、同様のパターン設計を考慮してください。
また、LSI のすべての電源端子について電源-グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量低下が起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。
3. グラウンド電位について
グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。
4. グラウンド配線パターンについて
小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。
5. 推奨動作条件について
推奨動作条件で規定される範囲で IC の機能・動作を保証します。また、特性値は電気的特性で規定される各項目の条件下においてのみ保証されます。
6. ラッシュカレントについて
IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。
7. 強電磁界中の動作について
強電磁界中でのご使用では、まれに誤動作する可能性がありますのでご注意ください。
8. セット基板での検査について
セット基板での検査時に、インピーダンスの低いピンにコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。
9. 端子間ショートと誤装着について
プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けた場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。
10. 未使用の入力端子の処理について
CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

使用上の注意 — 続き

11. 各入力端子について

本 IC は各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。

この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、GND > (端子 A)の時、トランジスタ(NPN)では GND > (端子 B)の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ(NPN)では、GND > (端子 B)の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に GND(P 基板)より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子が GND にショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

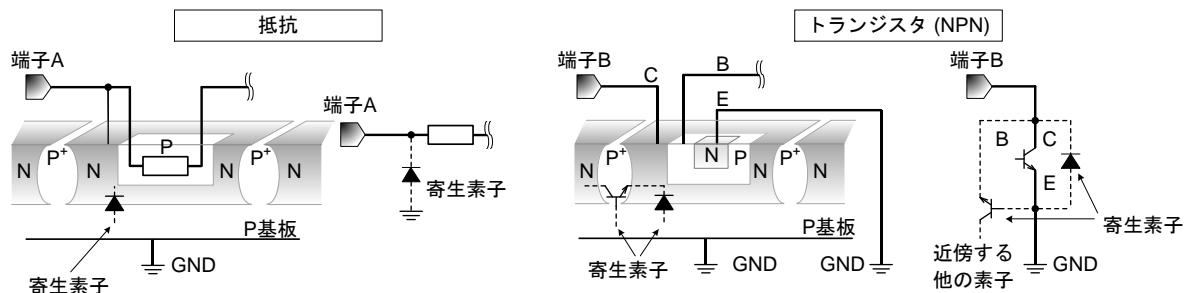


Figure 47. IC 構造例

12. セラミック・コンデンサの特性変動について

外付けコンデンサに、セラミック・コンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮のうえ定数を決定してください。

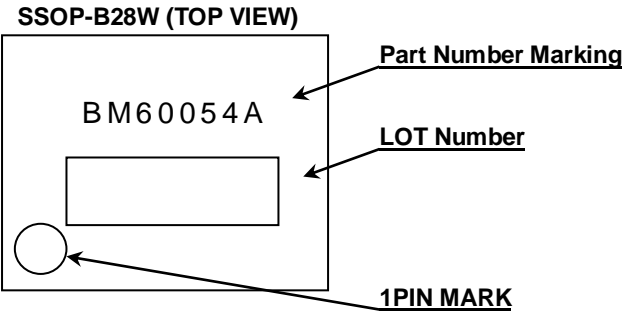
13. 安全動作領域について

本製品を使用する際には、出力トランジスタが絶対最大定格及び ASO を超えないよう設定してください。

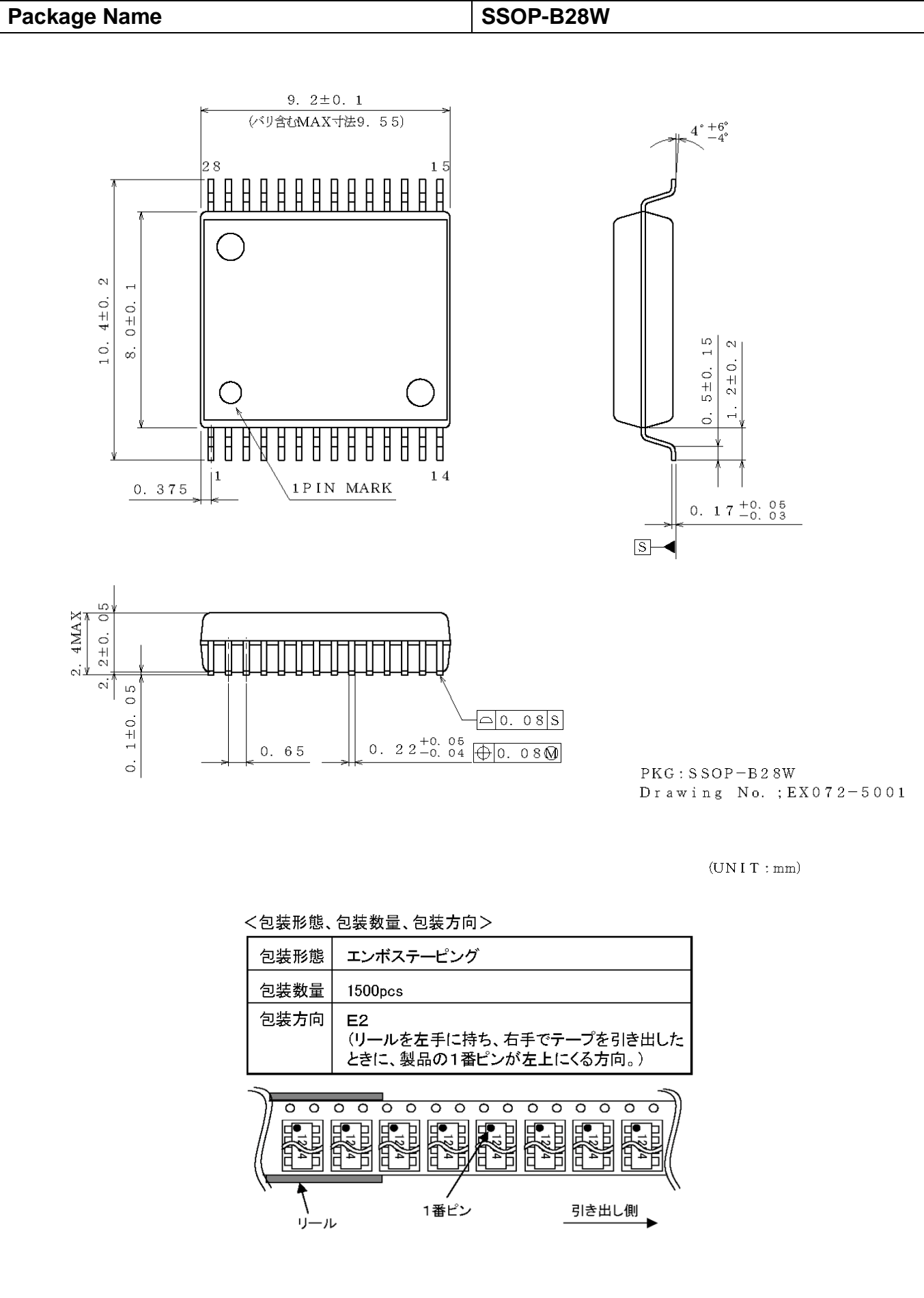
発注形名情報

B M 6 0 0 5 4 A F V										-	C E 2		
形名										パッケージ FV: SSOP-B28W	製品ランク C:車載ランク製品 包装、フォーミング仕様 E2: リール状エンボステーピング		

標印図



外形寸法図と包装・フォーミング仕様



改訂履歴

Date	Revision	Changes
2018.02.26	001	新規作成
2018.03.19	002	P1 特長 UL 認定品 追記 P17 絶対最大定格 温度条件削除 P19 出力側回路電流 5 規格値変更 P20 サーマル検出電圧 規格値変更 P21 UL1577 記載項目追加 P28 Figure 45 更新
2018.04.23	003	P18 熱抵抗 誤植訂正
2019.09.13	004	P6 ミラークランプ機能 説明文追記、Figure 4. タイミングチャート変更 P10 Figure.10 タイミングチャート変更 P15 真理値表 No.8 変更 P30 入出力等価回路図 PROOUT, VTSIN 変更 P31 入出力等価回路図 OUT2, ENA 変更 P32 入出力等価回路図 RT, FB 変更

ご注意

ローム製品取扱い上の注意事項

- 極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器^(Note 1)、航空宇宙機器、原子力制御装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

- 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
- 本製品は、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用
 - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用される場合は除く。ただし、残渣については十分に確認をお願いします。)又は、はんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合
 - ⑧結露するような場所でのご使用
- 本製品は耐放射線設計はなされておられません。
- 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
- パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
- 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
- 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
- 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

- ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
- はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。
その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。（人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等）

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
 - ① 潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ② 推奨温度、湿度以外での保管
 - ③ 直射日光や結露する場所での保管
 - ④ 強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルに2次元バーコードが印字されていますが、2次元バーコードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は、外国為替及び外国貿易法に定めるリスト規制貨物等に該当するおそれがありますので、輸出する場合には、ロームへお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等（ソフトウェア含む）との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。