

## 絶縁素子内蔵ゲートドライバシリーズ

## 絶縁電圧 2500 Vrms

## 絶縁素子内蔵 1ch ゲートドライバ

## BM60059FV-C

## 概要

絶縁電圧 2500 Vrms、入出力遅延時間 450 ns、最小入力パルス幅 400 ns の絶縁素子内蔵ゲートドライバです。フォールト信号出力機能、低電圧時誤動作防止機能 (UVLO)、短絡保護機能 (SCP)、ミラークランプ機能、温度モニタ機能、スイッチングコントローラ、ゲート定電流駆動機能、ゲート状態監視機能を内蔵しています。

## 特長

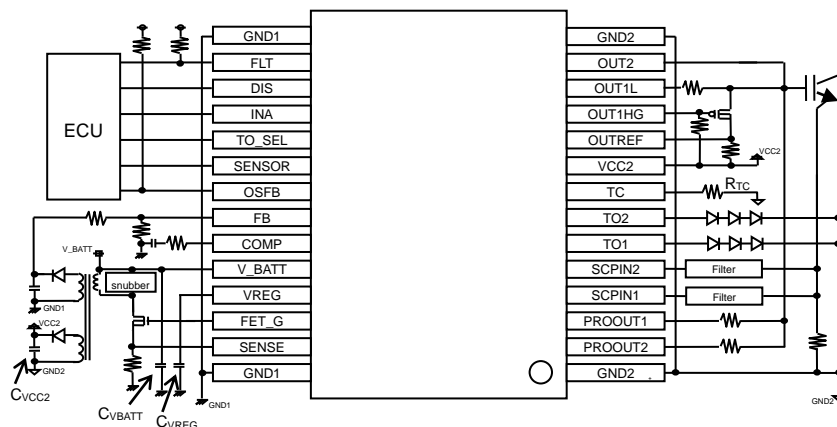
- AEC-Q100 対応 (Note 1)
- フォールト信号出力機能内蔵
- 低電圧時誤動作防止機能内蔵
- 短絡保護機能内蔵
- 短絡保護時高速ターンオフ機能内蔵
- 短絡保護時ソフトターンオフ機能内蔵 (ターンオフ時間設定可能)
- ミラークランプ機能内蔵
- 温度モニタ機能内蔵
- スwitchingコントローラ内蔵
- ゲート定電流駆動機能内蔵
- ゲート状態監視機能内蔵
- UL 認定品 UL1577 File No. E356010

(Note1) Grade1

## 用途

- 車載用インバータ
- 車載用 DCDC コンバータ
- 産業用インバータ
- UPS

## 基本アプリケーション回路



## 重要特性

- |              |              |
|--------------|--------------|
| ■ 絶縁電圧:      | 2500 Vrms    |
| ■ 最大ゲート駆動電圧: | 24 V         |
| ■ 入出力遅延時間:   | 450 ns (Max) |
| ■ 最小入力パルス幅:  | 400 ns       |

## パッケージ

SSOP-B28W

W (Typ) x D (Typ) x H (Max)

9.2 mm x 10.4 mm x 2.4 mm



## 目 次

概要 .....	1
特長 .....	1
用途 .....	1
重要特性 .....	1
パッケージ .....	1
基本アプリケーション回路 .....	1
目 次 .....	2
推奨外付け定数範囲 .....	3
端子配置図 .....	3
端子説明 .....	3
ブロック図 .....	4
絶対最大定格 .....	4
熱抵抗 .....	5
推奨動作条件 .....	5
絶縁特性 .....	5
電気的特性 .....	6
特性データ .....	9
UL1577レポート記載項目 .....	27
端子説明・基板レイアウトの注意点 .....	28
機能動作説明・定数設定例 .....	30
1. 異常状態出力 .....	30
2. 低電圧時誤動作防止機能 (UVLO) .....	30
3. 短絡保護機能 (SCP) .....	31
4. ミラーランプ機能 .....	32
5. ゲート定電流駆動機能 .....	33
6. ゲート状態監視機能 .....	34
7. スイッチングレギュレータ .....	34
8. 温度モニタ機能 .....	35
9. 動作真理値表 .....	36
推奨外付け部品 .....	37
入出力等価回路図 .....	38
使用上の注意 .....	42
発注形名情報 .....	44
標印図 .....	44
外形寸法図と包装・フォーミング仕様 .....	45
改訂履歴 .....	46

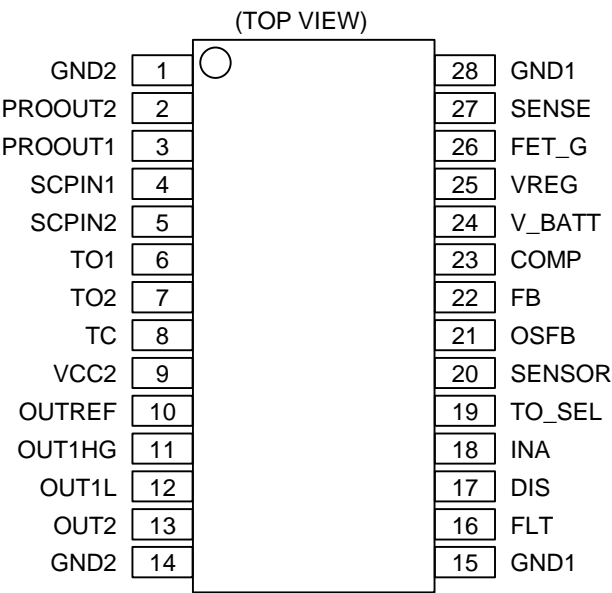
推奨外付け定数範囲

端子名	記号	推奨値			単位
		最小	標準	最大	
TC (使用時)	R <sub>TC</sub>	1.25	-	50	kΩ
TC (未使用時)	R <sub>TC</sub>	0.1	1	10	MΩ
VBATT	C <sub>VBATT</sub>	3	-	-	μF
VCC2	C <sub>VCC2</sub>	0.4	-	-	μF
VREG	C <sub>VREG</sub>	0.3	1	10	μF

C<sub>VREG</sub> : フライバックコンバータ用 MOS のゲート駆動電流  
および内部トランスの駆動電流供給用

C<sub>VCC2</sub> : MOS FET / IGBT のゲート駆動電流供給用

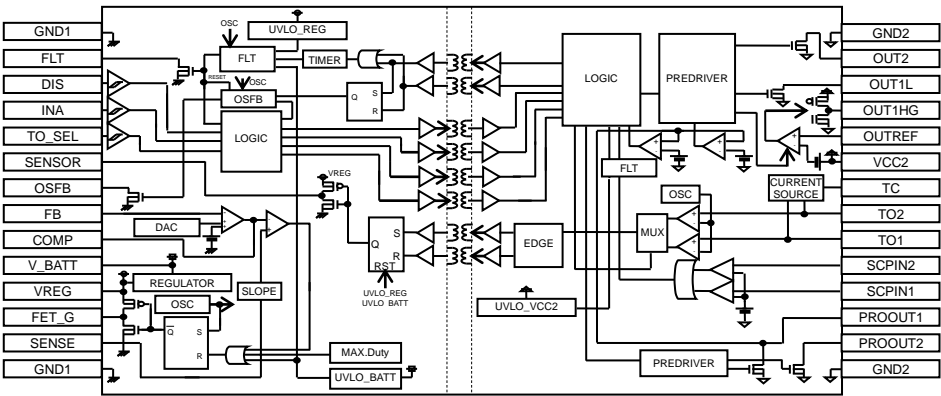
端子配置図



端子説明

端子番号	端子名	機能
1	GND2	出力側グラウンド端子
2	PROOUT2	短絡保護用高速ターンオフ端子
3	PROOUT1	短絡保護用ソフトターンオフ端子 / ゲート電圧入力端子
4	SCPIN1	短絡検出端子 1
5	SCPIN2	短絡検出端子 2
6	TO1	定電流源電流出力 / センサ電圧入力端子 1
7	TO2	定電流源電流出力 / センサ電圧入力端子 2
8	TC	定電流源電流設定用抵抗接続端子
9	VCC2	出力側電源端子
10	OUTREF	定電流駆動用基準電圧端子
11	OUT1HG	ソース側 MOS バッファ駆動端子
12	OUT1L	シンク側出力端子
13	OUT2	ミラークランプ端子
14	GND2	出力側グラウンド端子
15	GND1	入力側グラウンド端子
16	FLT	フォールト出力端子
17	DIS	入力許可信号入力端子
18	INA	制御入力端子
19	TO_SEL	温度情報選択端子
20	SENSOR	温度情報出力端子
21	OSFB	出力ゲート状態監視出力端子
22	FB	スイッチングコントローラ誤差増幅器反転入力端子
23	COMP	スイッチングコントローラ誤差増幅器出力端子
24	V_BATT	主電源端子
25	VREG	入力側内部電源端子
26	FET_G	スイッチングコントローラトランス駆動用 MOS FET 制御端子
27	SENSE	スイッチングコントローラ電流帰還用抵抗接続端子
28	GND1	入力側グラウンド端子

ブロック図



絶対最大定格

項目	記号	定格	単位
主電源電圧	V <sub>BATTMAX</sub>	-0.3 ~ +40.0 <sup>(Note 2)</sup>	V
入力側制御部電源電圧	V <sub>REGMAX</sub>	-0.3 ~ +7.0 <sup>(Note 2)</sup>	V
出力側電源電圧	V <sub>CC2MAX</sub>	-0.3 ~ +30.0 <sup>(Note 3)</sup>	V
INA 端子, DIS 端子, TO_SEL 端子入力電圧	V <sub>INMAX</sub>	-0.3 ~ +7.0 <sup>(Note 2)</sup>	V
FLT 端子, OSFB 端子、入力電圧	V <sub>FLTMAX</sub>	-0.3 ~ +7.0 <sup>(Note 2)</sup>	V
FLT 端子, OSFB 端子、出力電流	I <sub>FLT</sub>	10	mA
SENSOR 端子出力電流	I <sub>SENSOR</sub>	10	mA
FB 端子入力電圧	V <sub>FBMAX</sub>	-0.3 ~ +V <sub>BATT</sub> + 0.3 or 4.3 <sup>(Note 2)</sup>	V
FET_G 端子出力電流 (Peak 5 μs)	I <sub>FET_GPEAK</sub>	1	A
SCPIN1, SCPIN2 端子入力電圧	V <sub>SCPINMAX</sub>	-0.3 ~ +6.0 <sup>(Note 3)</sup>	V
TO1, TO2 端子入力電圧	V <sub>TOMAX</sub>	-0.3 ~ V <sub>CC2</sub> + 0.3 <sup>(Note 3)</sup>	V
TO1, TO2 端子出力電流	I <sub>TOMAX</sub>	8	mA
OUT1L 端子出力電流 (Peak 5 μs)	I <sub>OUT1LPEAK</sub>	self limited <sup>(Note 4)</sup>	A
OUT2 端子出力電流 (Peak 5 μs)	I <sub>OUT2PEAK</sub>	self limited <sup>(Note 4)</sup>	A
PROOUT1 端子出力電流 (Peak 10 μs)	I <sub>PROOUT1PEAK</sub>	self limited <sup>(Note 4)</sup>	A
PROOUT2 端子出力電流 (Peak 5 μs)	I <sub>PROOUT2PEAK</sub>	self limited <sup>(Note 4)</sup>	A
保存温度範囲	T <sub>stg</sub>	-55 ~ +150	°C
最高接合部温度	T <sub>jmax</sub>	+150	°C

**注意 1:** 印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施していただくようご検討をお願いします。

**注意 2:** 最高接合部温度を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。最高接合部温度を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用するなど、最高接合部温度を超えないよう熱抵抗にご配慮ください。

(Note 2) GND1 基準

(Note 3) GND2 基準

(Note 4) T<sub>jmax</sub> = 150 °C を超えないこと

## 熱抵抗 (Note 5)

項目	記号	熱抵抗 (Typ)		単位
		1 層基板 <small>(Note 7)</small>	4 層基板 <small>(Note 8)</small>	
SSOP-B28W				
ジャンクション—周囲温度間熱抵抗	$\theta_{JA}$	112.9	64.4	°C/W
ジャンクション—パッケージ上面中心間熱特性パラメータ <small>(Note 6)</small>	$\Psi_{JT}$	34	23	°C/W

(Note 5) JESD51-2A (Still-Air) に準拠。

(Note 6) ジャンクションからパッケージ (モールド部分) 上面中心までの熱特性パラメータ。

(Note 7) JESD51-3 に準拠した基板を使用。

(Note 8) JESD51-7 に準拠した基板を使用。

測定基板	基板材	基板寸法
1 層	FR-4	114.3 mm x 76.2 mm x 1.57 mm

1 層目 (表面) 銅箔	
銅箔パターン	銅箔厚
実装ランドパターン + 電極引出し用配線	70 $\mu$ m

測定基板	基板材	基板寸法
4 層	FR-4	114.3 mm x 76.2 mm x 1.6 mm

1 層目 (表面) 銅箔		2 層目、3 層目 (内層) 銅箔		4 層目 (裏面) 銅箔	
銅箔パターン	銅箔厚	銅箔パターン	銅箔厚	銅箔パターン	銅箔厚
実装ランドパターン + 電極引出し用配線	70 $\mu$ m	74.2 mm $\square$ (正方形)	35 $\mu$ m	74.2 mm $\square$ (正方形)	70 $\mu$ m

## 推奨動作条件

項 目	記号	最小	最大	単位
主電源電圧	$V_{BATT}$ (Note 9)	4.5	24.0	V
出力側電源電圧	$V_{CC2}$ (Note 10)	$V_{UVLO2L}$	24	V
TO1, TO2 端子入力電圧	$V_{TO}$ (Note 10)	1.35	3.84	V
動作温度	$T_{opr}$	-40	+125	°C

(Note 9) GND1 基準

(Note 10) GND2 基準

## 絶縁特性

項 目	記号	特性	単位
絶縁抵抗 ( $V_{IO} = 500$ V)	$R_s$	$> 10^9$	$\Omega$
絶縁耐電圧 (1 min)	$V_{ISO}$	2500	Vrms
絶縁試験電圧 (1 s)	$V_{ISO}$	3000	Vrms

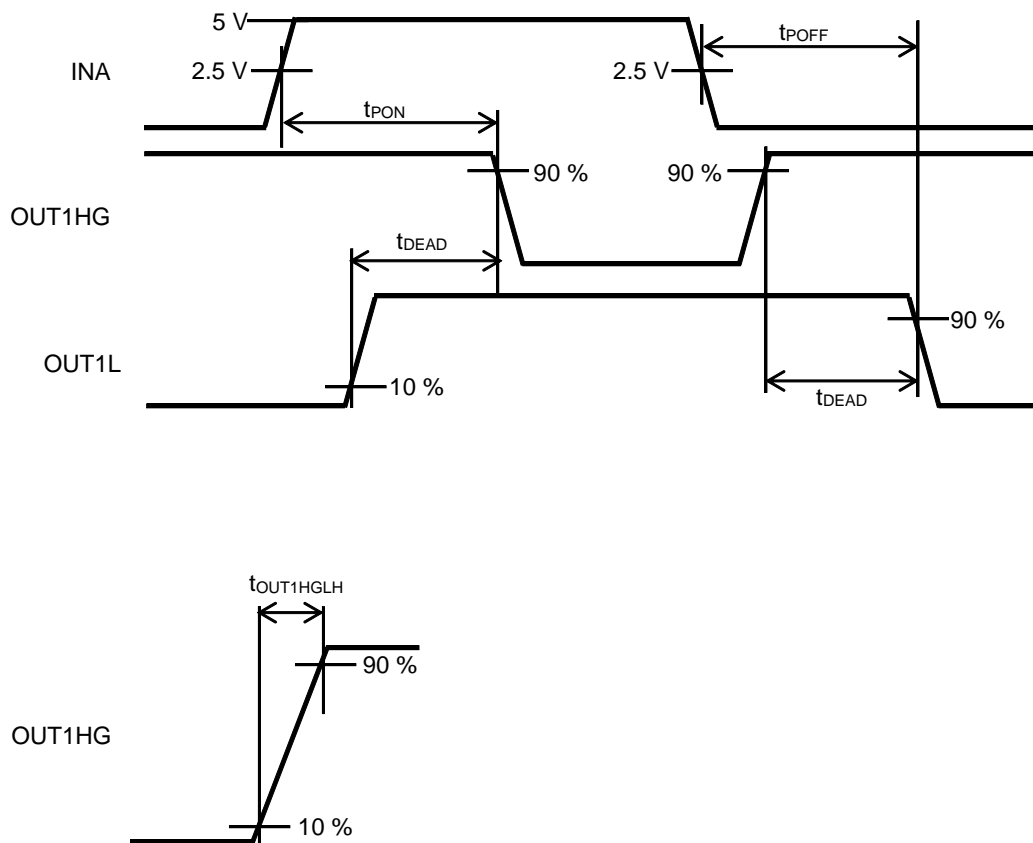
## 電気的特性

(特に指定のない限り、 $T_a = -40\text{ }^{\circ}\text{C} \sim +125\text{ }^{\circ}\text{C}$ 、 $V_{\text{BATT}} = 5\text{ V} \sim 24\text{ V}$ 、 $V_{\text{CC2}} = V_{\text{UVLO2L}} \sim 24\text{ V}$ )

項 目	記号	最小	標準	最大	単位	条 件
<b>全体</b>						
主電源消費電流 1	$I_{\text{BATT1}}$	0.5	1.2	2.0	mA	FET_G スイッチング時 INA, DIS 論理固定時
主電源消費電流 2	$I_{\text{BATT2}}$	0.4	1.1	1.9	mA	FET_G 停止時 INA, DIS 論理固定時
主電源消費電流 3	$I_{\text{BATT3}}$	0.6	1.3	2.1	mA	FET_G スイッチング時 INA = 10 kHz, Duty = 50 % DIS = L
主電源消費電流 4	$I_{\text{BATT4}}$	0.6	1.4	2.3	mA	FET_G スイッチング時 INA = 20 kHz, Duty = 50 % DIS = L
出力側回路電流	$I_{\text{CC2}}$	2.8	5.0	7.6	mA	$R_{\text{TC}} = 10\text{ k}\Omega$
VREG 出力電圧 1	$V_{\text{REG1}}$	4.5	5.0	5.5		$5\text{ V} \leq V_{\text{BATT}} \leq 24\text{ V}$
VREG 出力電圧 2	$V_{\text{REG2}}$	4.0	4.5	-		$V_{\text{BATT}} = 4.5\text{ V}$
<b>スイッチングコントローラ</b>						
FET_G 出力電圧 H1	$V_{\text{FETGH1}}$	4.5	5.0	5.5	V	$5\text{ V} \leq V_{\text{BATT}} \leq 24\text{ V}$ $I_{\text{FET\_G}} = 0\text{ A (open)}$
FET_G 出力電圧 H2	$V_{\text{FETGH2}}$	4.0	4.5	-	V	$V_{\text{BATT}} = 4.5\text{ V}$ $I_{\text{FET\_G}} = 0\text{ A (open)}$
FET_G 出力電圧 L	$V_{\text{FETGL}}$	0	-	0.3	V	$I_{\text{FET\_G}} = 0\text{ A (open)}$
FET_G ソース側 ON 抵抗	$R_{\text{ONGH}}$	3	6	12	$\Omega$	$I_{\text{FET\_G}} = -10\text{ mA}$
FET_G シンク側 ON 抵抗	$R_{\text{ONGL}}$	0.3	0.6	1.3	$\Omega$	$I_{\text{FET\_G}} = +10\text{ mA}$
発振周波数	$f_{\text{OSC\_SW}}$	170	200	230	kHz	
ソフトスタート時間	$t_{\text{SS}}$	-	-	50	ms	
FB 端子スレッシュホールド電圧	$V_{\text{FB}}$	1.47	1.50	1.53	V	
FB 端子入力電流	$I_{\text{FB}}$	-0.8	0	+0.8	$\mu\text{A}$	
COMP 端子出力シンク電流	$I_{\text{COMPSINK}}$	-160	-80	-40	$\mu\text{A}$	
COMP 端子出力ソース電流	$I_{\text{COMPSOURCE}}$	40	80	160	$\mu\text{A}$	
V_BATT UVLO OFF 電圧	$V_{\text{UVLOBATTH}}$	4.05	4.25	4.45	V	
V_BATT UVLO ON 電圧	$V_{\text{UVLOBATTL}}$	3.95	4.15	4.35	V	
最大 ON DUTY	$D_{\text{ONMAX}}$	75	85	95	%	
<b>ロジック入力</b>						
ロジック H レベル入力電圧	$V_{\text{INH}}$	$0.7 \times V_{\text{REG}}$	-	5.5	V	INA, DIS, TO_SEL
ロジック L レベル入力電圧	$V_{\text{INL}}$	0	-	$0.3 \times V_{\text{REG}}$	V	INA, DIS, TO_SEL
ロジックプルダウン抵抗	$R_{\text{IND}}$	25	50	100	$\text{k}\Omega$	INA, TO_SEL
ロジックプルアップ抵抗	$R_{\text{INU}}$	25	50	100	$\text{k}\Omega$	DIS
ロジック入力フィルタ時間	$t_{\text{INFIL}}$	80	130	180	ns	INA, DIS

## 電気的特性 — 続き

項 目	記号	最小	標準	最大	単位	条 件
<b>出力</b>						
OUT1HG H レベル出力電圧	$V_{OUT1HGH}$	$V_{CC2} - 0.8$	-	-	V	$I_{OUT1HG} = -40 \text{ mA}$
OUT1HG L レベル出力電圧	$V_{OUT1HGL}$	-	-	0.6	V	$I_{OUT1HG} = +40 \text{ mA}$
OUTREF 基準電圧	$V_{OUTREF}$	1.96	2.00	2.04	V	$V_{CC2}$ 基準 (絶対値)
OUT1L ON 抵抗	$R_{OUT1L}$	-	0.15	0.30	$\Omega$	$I_{OUT1L} = 40 \text{ mA}$
OUT1L 出力最大電流	$I_{OUTMAX1}$	10	-	-	A	$V_{CC2} = 15 \text{ V}$ , 設計保証
Turn ON Time	$t_{PON}$	210	330	450	ns	INA, DIS
Turn OFF Time	$t_{POFF}$	210	330	450	ns	INA, DIS
OUT1HG-OUT1L デッドタイム	$t_{DEAD}$	100	160	220	ns	
OUT1HG L to H 遷移時間	$t_{OUT1HGLH}$	-	25	50	ns	OUT1HG - $V_{CC2}$ 間 1000 pF 設計保証
PROOUT1ON 抵抗	$R_{ONPRO1}$	0.4	0.9	2.0	$\Omega$	$I_{PROOUT1} = 40 \text{ mA}$
PROOUT2ON 抵抗	$R_{ONPRO2}$	0.2	0.4	0.9	$\Omega$	$I_{PROOUT2} = 40 \text{ mA}$
OUT2 オン抵抗	$R_{ON2}$	0.25	0.45	1.00	$\Omega$	$I_{OUT2} = 40 \text{ mA}$
OUT2 ON スレッシュホールド	$V_{OUT2ON}$	1.8	2.0	2.2	V	
OUT2 ON 遅延時間	$t_{OUT2ON}$	-	70	115	ns	
同相過渡耐圧	CM	100	-	-	kV/ $\mu\text{s}$	設計保証



## 電気的特性 — 続き

項 目	記号	最小	標準	最大	単位	条 件
<b>温度モニタ</b>						
TC 端子電圧	V <sub>TC</sub>	0.980	1.000	1.020	V	
TO1, TO2 出力電流	I <sub>TO</sub>	0.975	1.000	1.025	mA	R <sub>TC</sub> = 10 kΩ
TO1, TO2 出力電流 OFFSET	I <sub>TOOFFSET</sub>	-22	0	+22	μA	R <sub>TC</sub> = 10 kΩ
SENSOR 出力周波数	f <sub>OSC_TO</sub>	8	10	14	kHz	
SENSOR 出力 Duty1	D <sub>SENSOR1</sub>	87.5	90.0	92.5	%	V <sub>TO1</sub> = V <sub>TO2</sub> = 1.35 V
SENSOR 出力 Duty2	D <sub>SENSOR2</sub>	47.0	50.0	53.0	%	V <sub>TO1</sub> = V <sub>TO2</sub> = 2.59 V
SENSOR 出力 Duty3	D <sub>SENSOR3</sub>	5.6	10.0	14.4	%	V <sub>TO1</sub> = V <sub>TO2</sub> = 3.84 V
TO1, TO2 入力 OFFSET	V <sub>TOOFFSET</sub>	-13	0	+13	mV	設計保証
TO_SEL 切替時間	t <sub>TOSEL</sub>	-	-	1.0	μs	
SENSOR ソース側 ON 抵抗	R <sub>SENSORH</sub>	-	60	160	Ω	I <sub>SENSOR</sub> = -5 mA
SENSOR シンク側 ON 抵抗	R <sub>SENSORL</sub>	-	60	160	Ω	I <sub>SENSOR</sub> = +5 mA
<b>保護機能</b>						
内部電源 UVLO OFF 電圧	V <sub>UVLO1H</sub>	4.05	4.25	4.45	V	
内部電源 UVLO ON 電圧	V <sub>UVLO1L</sub>	3.95	4.15	4.35	V	
内部電源 UVLO フィルタ時間	t <sub>UVLO1FIL</sub>	2	10	30	μs	
内部電源 UVLO 遅延時間 (OUT1HG)	t <sub>DUVLO1OUT1HG</sub>	2	10	30	μs	
内部電源 UVLO 遅延時間 (FLT)	t <sub>DUVLO1FLT</sub>	2	10	30	μs	
出力側 UVLO OFF スレッシュOLD電圧	V <sub>UVLO2H</sub>	10.7	11.7	12.7	V	
出力側 UVLO ON スレッシュOLD電圧	V <sub>UVLO2L</sub>	9.7	10.7	11.7	V	
出力側 UVLO フィルタ時間	t <sub>UVLO2FIL</sub>	2	10	30	μs	
出力側 UVLO 遅延時間 (OUT1HG)	t <sub>DUVLO2OUT1HG</sub>	2	10	30	μs	
出力側 UVLO 遅延時間 (FLT)	t <sub>DUVLO2FLT</sub>	3	-	65	μs	
短絡検出電圧	V <sub>SCDET</sub>	0.67	0.70	0.73	V	
短絡検出遅延時間 (OUT1HG)	t <sub>DSCPOUT1HG</sub>	0.02	0.07	0.11	μs	OUT1HG = 1 kΩ プルアップ
短絡検出遅延時間 (PROOUT1)	t <sub>DSCPPRO1</sub>	0.02	0.05	0.08	μs	PROOUT1 = 30 kΩ プルアップ
短絡検出遅延時間 (PROOUT2)	t <sub>DSCPPRO2</sub>	0.02	0.05	0.08	μs	PROOUT2 = 30 kΩ プルアップ
短絡検出遅延時間 (FLT)	t <sub>DSCPFILT</sub>	1	-	35	μs	
PROOUT2 ON 時間	t <sub>PRO2ON</sub>	100	160	220	ns	
SOFT Turn OFF 解除時間	t <sub>SCPOFF</sub>	30	-	110	μs	OUT1L = 30 kΩ プルアップ
FLT 出力 ON 抵抗	R <sub>FLTL</sub>	-	30	80	Ω	I <sub>FLT</sub> = 5 mA
フォールト保持時間	t <sub>FLTRLS</sub>	30	40	50	ms	
ゲート H 論理検出 スレッシュOLD電圧	V <sub>OSFBH</sub>	4.5	5.0	5.5	V	
ゲート L 論理検出 スレッシュOLD電圧	V <sub>OSFBL</sub>	4.0	4.5	5.0	V	
OSFB 出力フィルタ時間	t <sub>OSFBFIL</sub>	5.0	7.4	9.8	μs	
OSFB 出力 ON 抵抗	R <sub>OSFBL</sub>	-	30	80	Ω	I <sub>OSFB</sub> = 5 mA
OSFB 出力保持時間	t <sub>OSFBRLS</sub>	30	40	50	ms	



特性データ  
(参考データ)

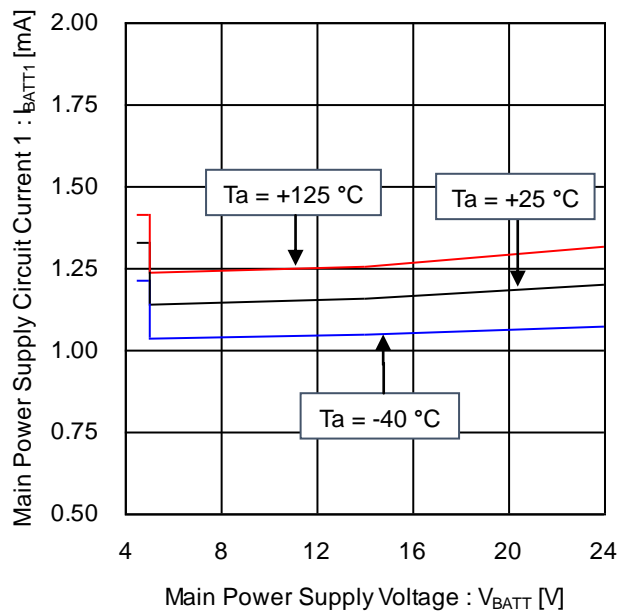


Figure 1. Main Power Supply Circuit Current 1 vs Main Power Supply Voltage  
(FET\_G switching operation, INA not switching)

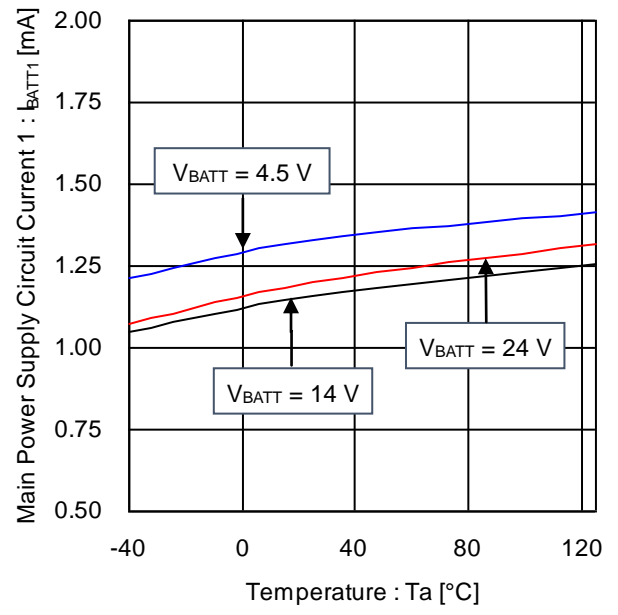


Figure 2. Main Power Supply Circuit Current 1 vs Temperature  
(FET\_G switching operation, INA not switching)

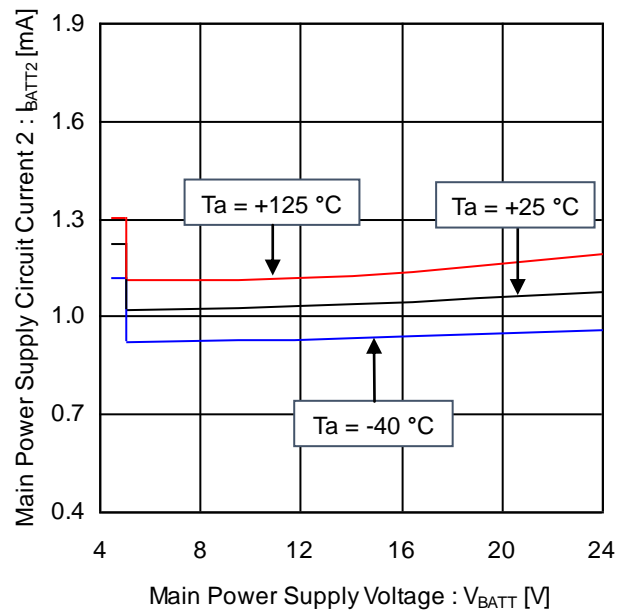


Figure 3. Main Power Supply Circuit Current 2 vs Main Power Supply Voltage  
(FET\_G not switching, INA not switching)

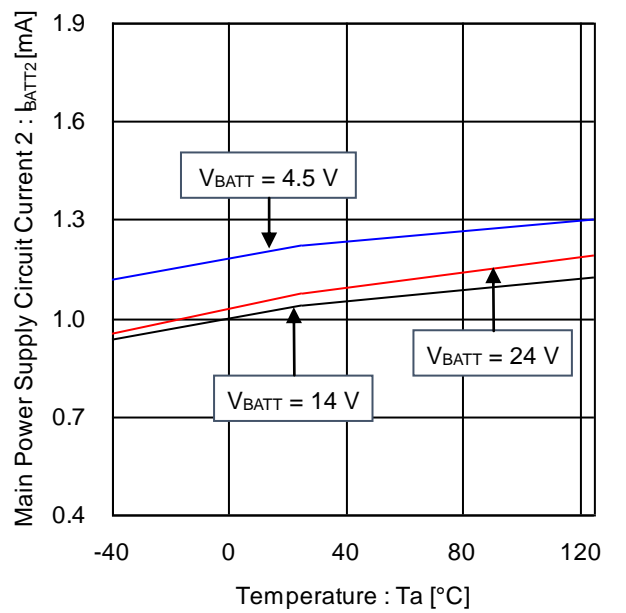


Figure 4. Main Power Supply Circuit Current 2 vs Temperature  
(FET\_G not switching, INA not switching)

特性データ — 続き  
(参考データ)

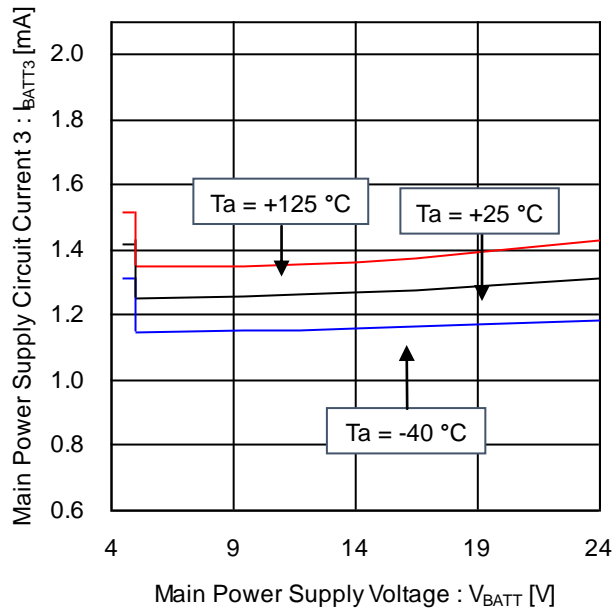


Figure 5. Main Power Supply Circuit Current 3 vs Main Power Supply Voltage  
(FET\_G switching operation, INA = 10 kHz, Duty = 50 %)

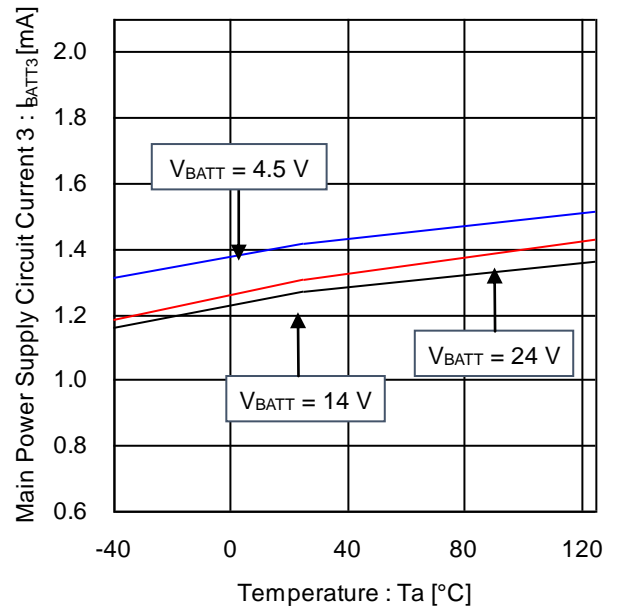


Figure 6. Main Power Supply Circuit Current 3 vs Temperature  
(FET\_G switching operation, INA = 10 kHz, Duty = 50 %)

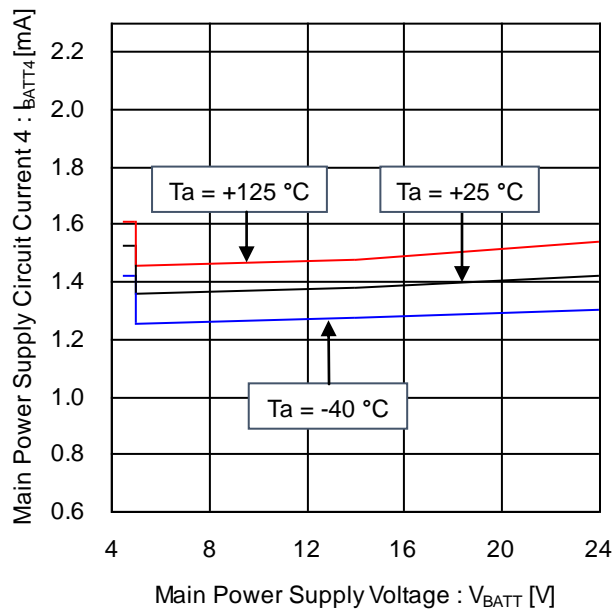


Figure 7. Main Power Supply Circuit Current 4 vs Main Power Supply Voltage  
(FET\_G switching operation, INA = 20 kHz, Duty = 50 %)

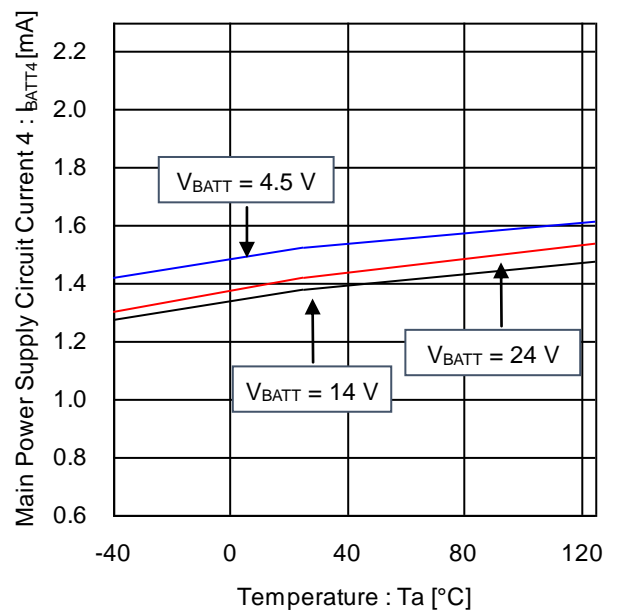


Figure 8. Main Power Supply Circuit Current 4 vs Temperature  
(FET\_G switching operation, INA = 20 kHz, Duty = 50 %)

特性データ — 続き  
(参考データ)

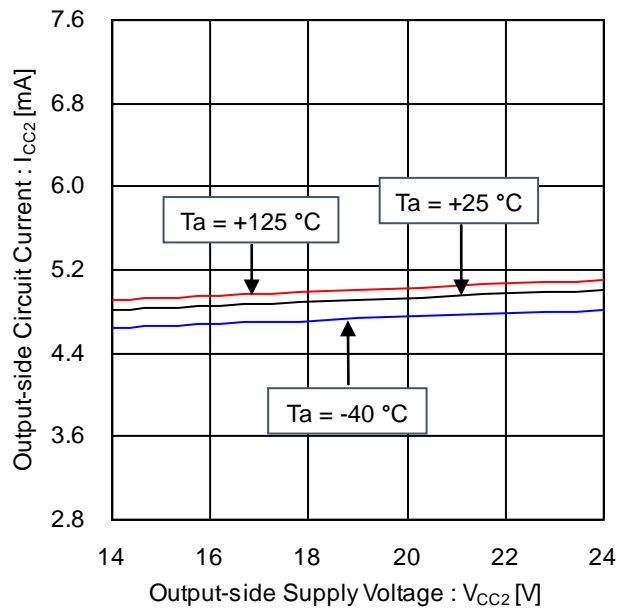


Figure 9. Output-side Circuit Current vs  
Output-side Supply Voltage  
( $R_{TC} = 10k\Omega$ )

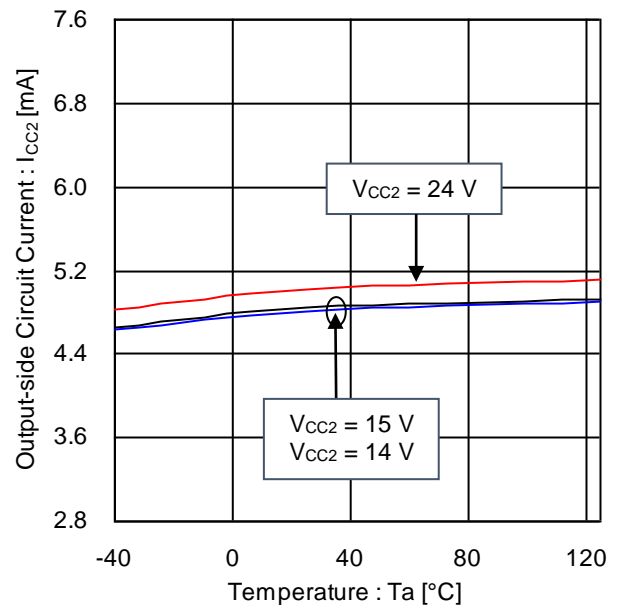


Figure 10. Output-side Circuit Current vs  
Temperature  
( $R_{TC} = 10k\Omega$ )

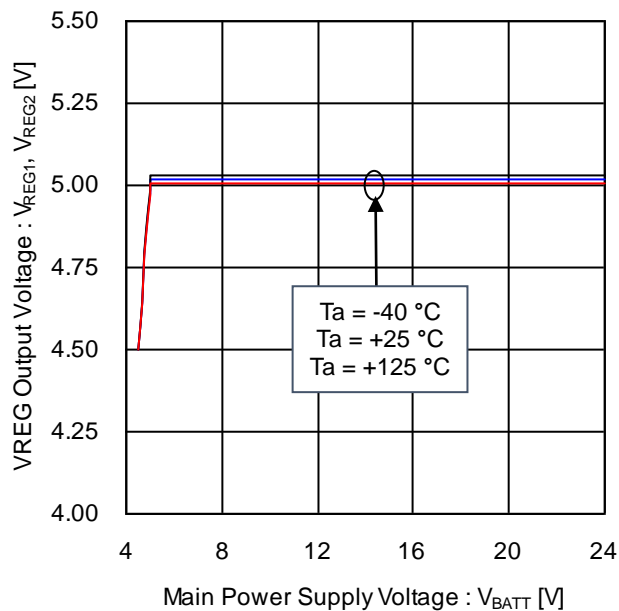


Figure 11. VREG Output Voltage vs  
Main Power Supply Voltage

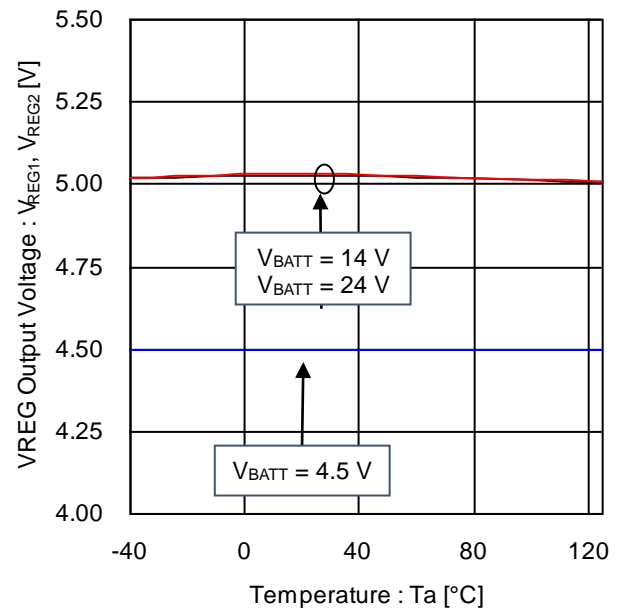


Figure 12. VREG Output Voltage vs  
Temperature

特性データ — 続き  
(参考データ)

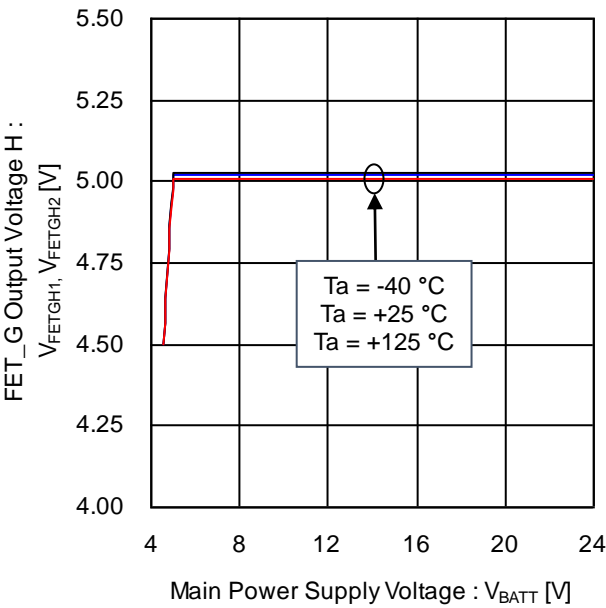


Figure 13. FET\_G Output Voltage H vs Main Power Supply Voltage

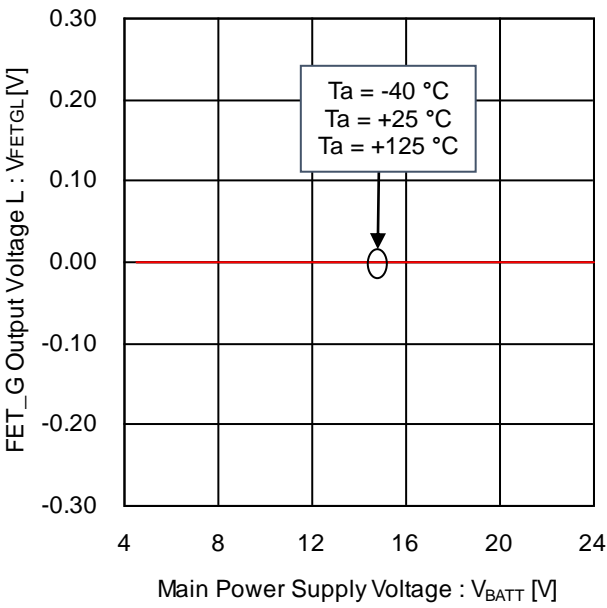


Figure 14. FET\_G Output Voltage L vs Main Power Supply Voltage

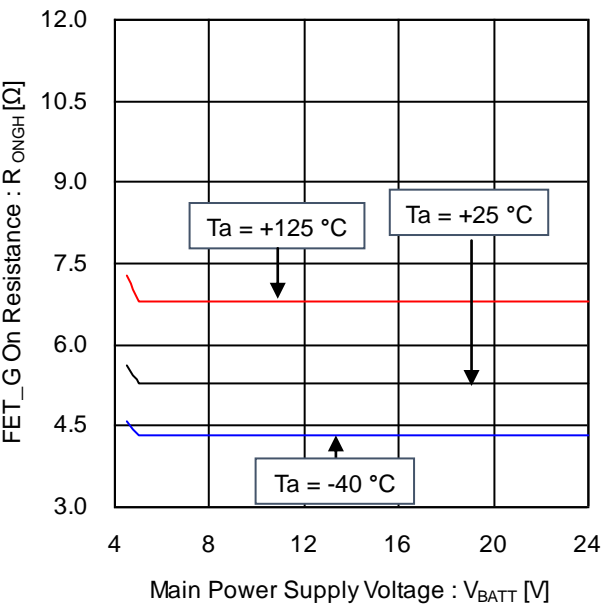


Figure 15. FET\_G On Resistance (Source-side) vs Main Power Supply Voltage

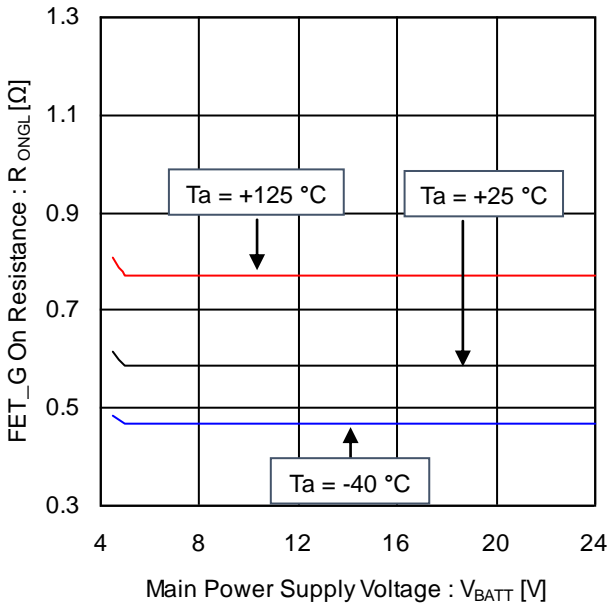


Figure 16. FET\_G On Resistance (Sink-side) vs Main Power Supply Voltage

特性データ — 続き  
(参考データ)

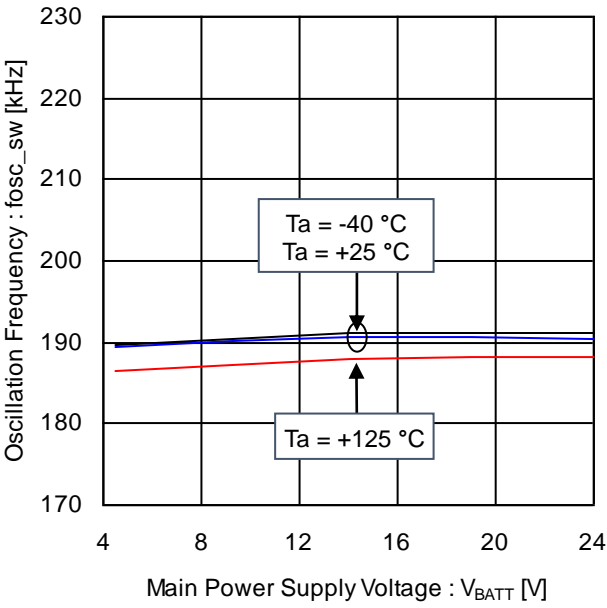


Figure 17. Oscillation Frequency vs Main Power Supply Voltage

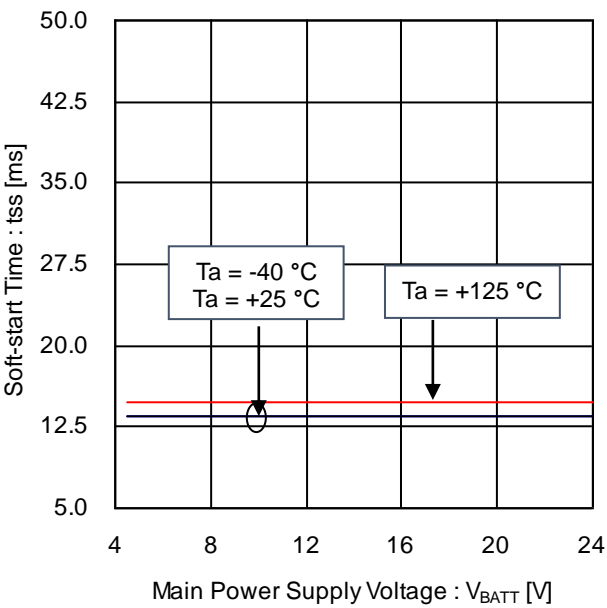


Figure 18. Soft-start Time vs Main Power Supply Voltage

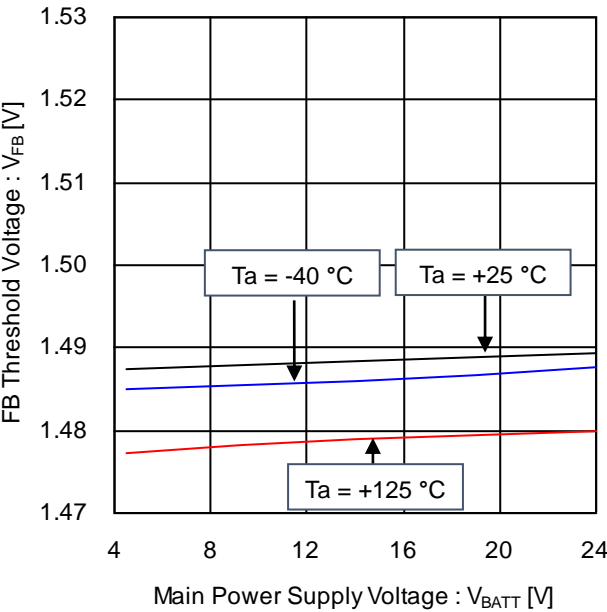


Figure 19. FB Threshold Voltage vs Main Power Supply Voltage

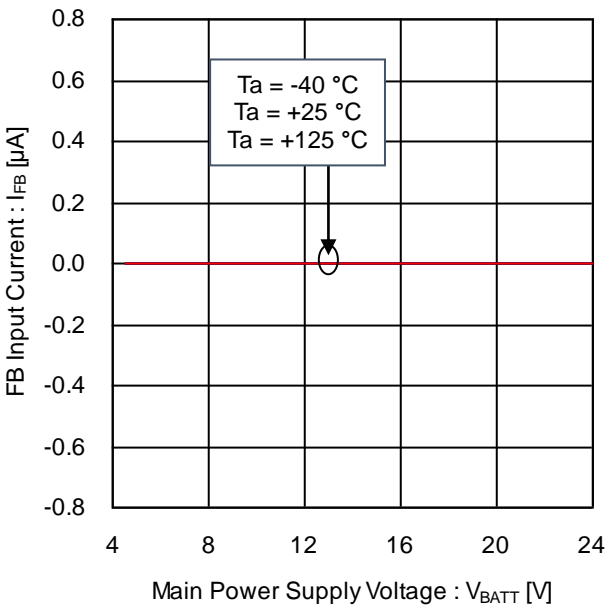


Figure 20. FB Input Current vs Main Power Supply Voltage

特性データ — 続き  
(参考データ)

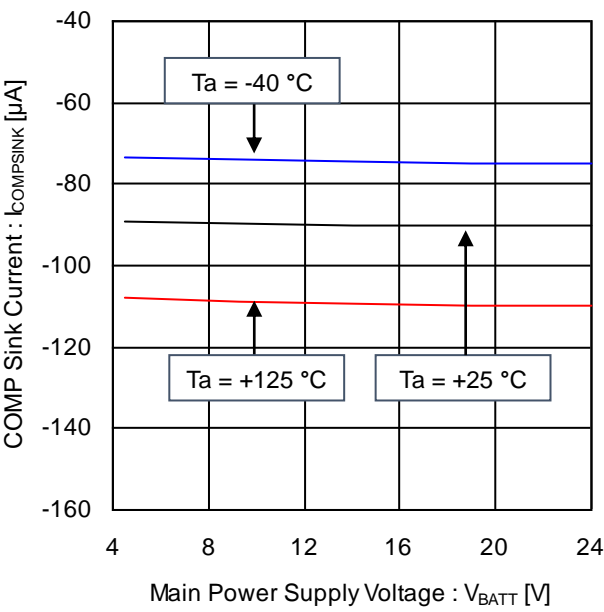


Figure 21. COMP Sink Current vs Main Power Supply Voltage

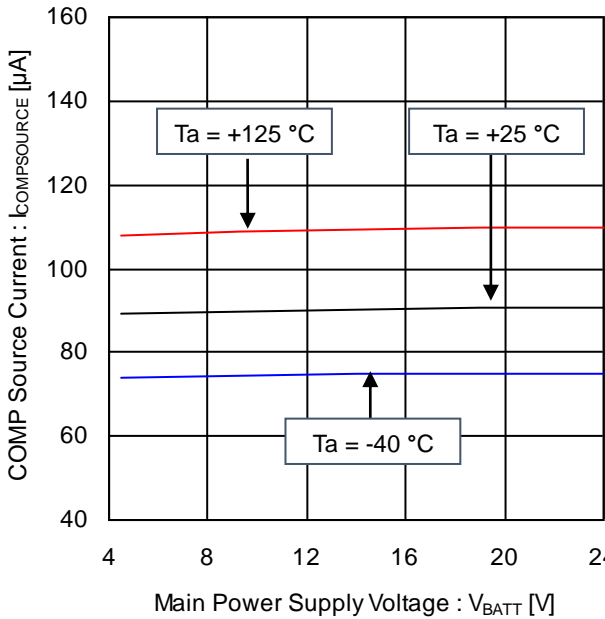


Figure 22. COMP Source Current vs Main Power Supply Voltage

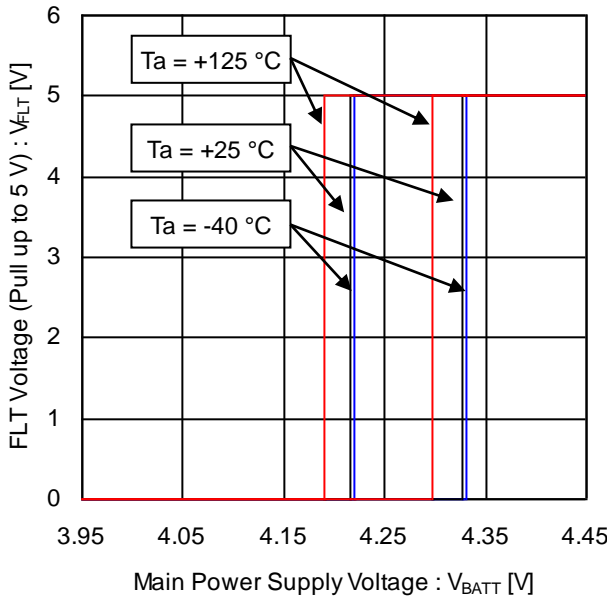


Figure 23. FLT Voltage vs Main Power Supply Voltage (V<sub>BATT</sub> UVLO On / Off Voltage)

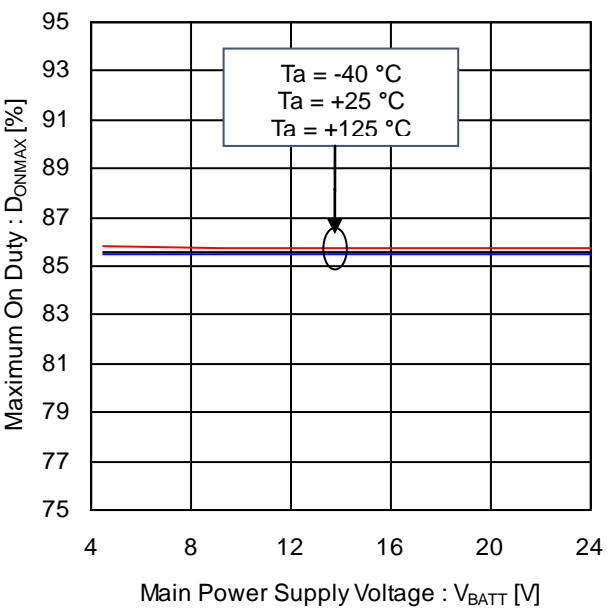


Figure 24. Maximum On Duty vs Main Power Supply Voltage

特性データ — 続き  
(参考データ)

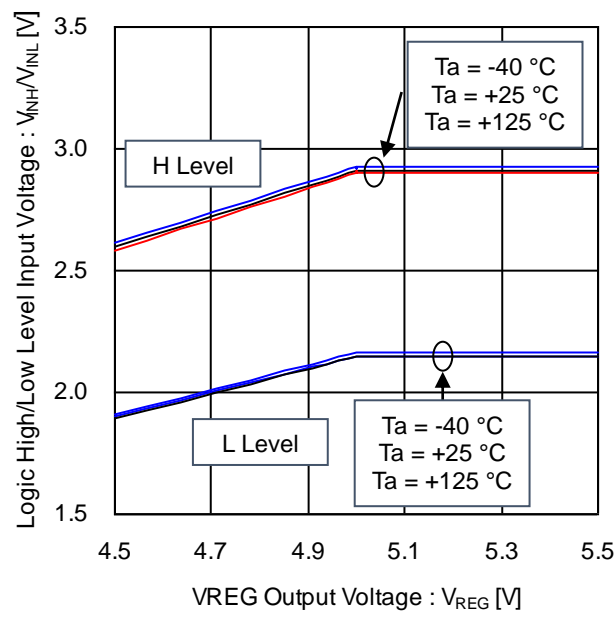


Figure 25. Logic High/Low Level Input Voltage vs VREG Output Voltage

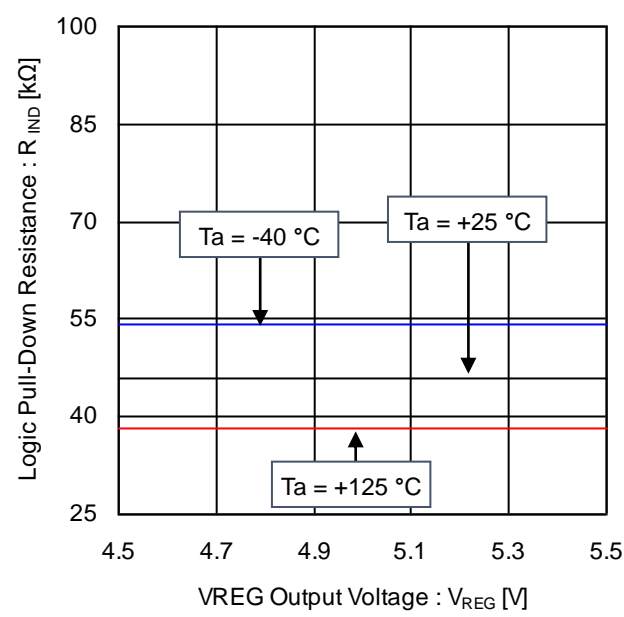


Figure 26. Logic Pull-Down Resistance vs VREG Output Voltage

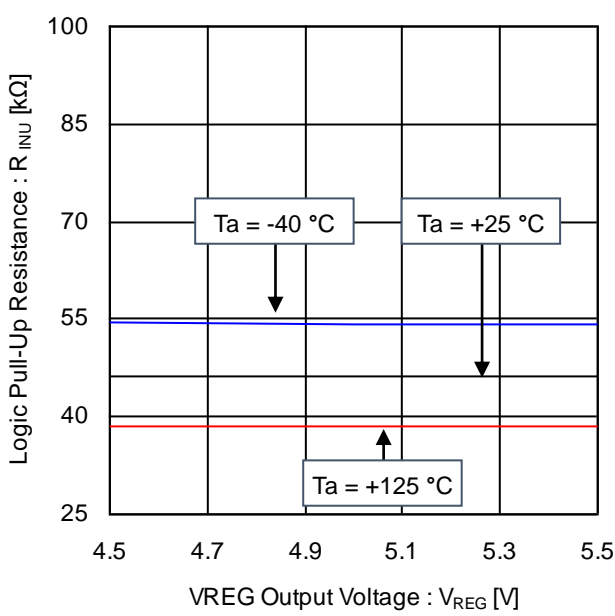


Figure 27. Logic Pull-Up Resistance vs VREG Output Voltage

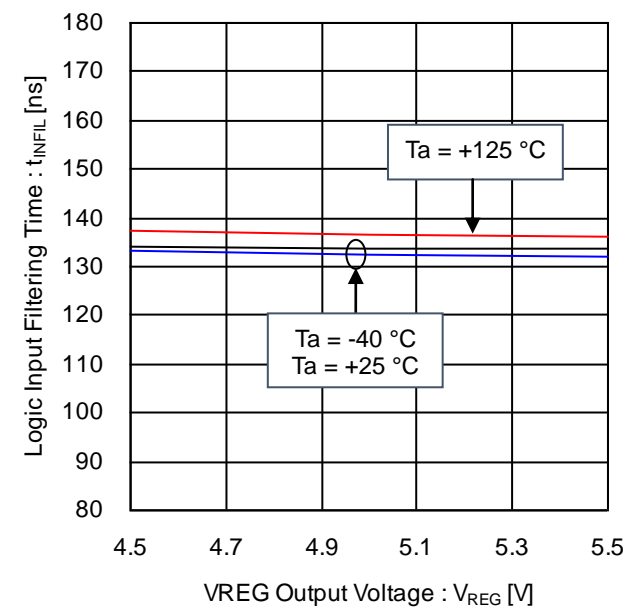


Figure 28. Logic Input Filtering Time vs VREG Output Voltage

特性データ — 続き  
(参考データ)

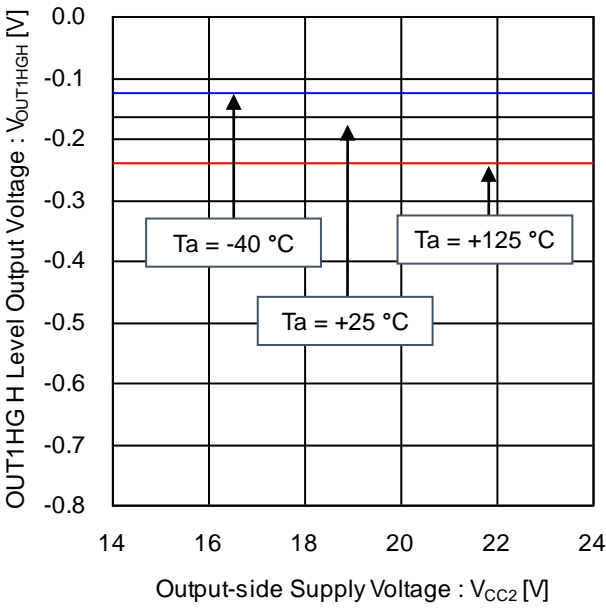


Figure 29. OUT1HG H Level Output Voltage vs Output-side Supply Voltage  
( $I_{OUT1HG} = -40\text{ mA}$ )

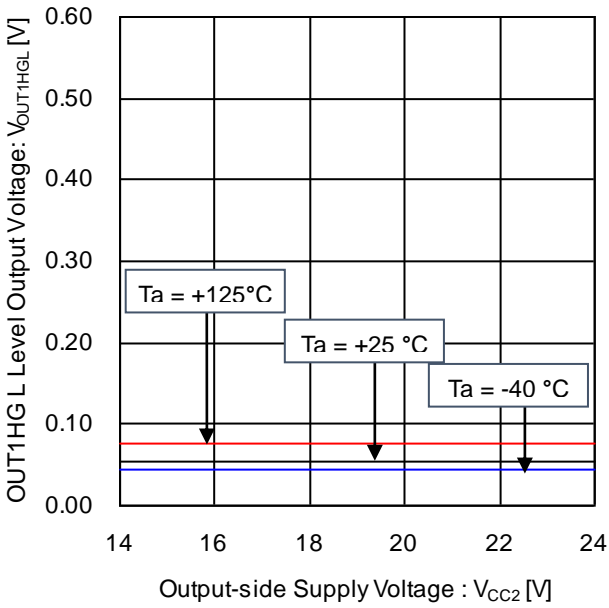


Figure 30. OUT1HG L level Output Voltage vs Output-side Supply Voltage  
( $I_{OUT1HG} = +40\text{ mA}$ )

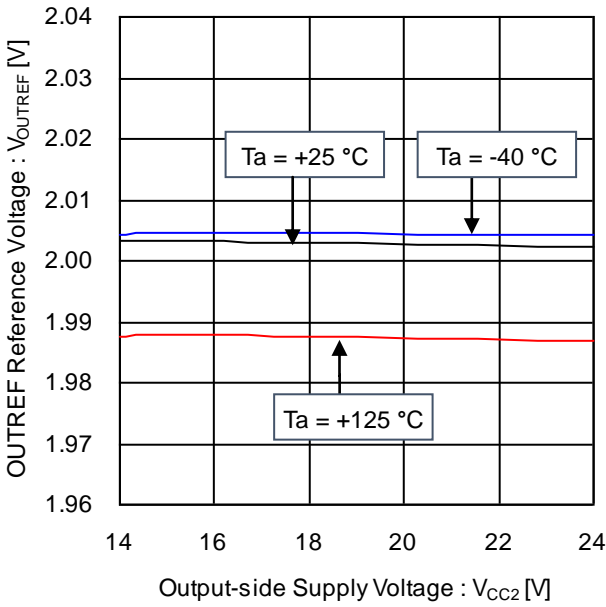


Figure 31. OUTREF Reference Voltage vs Output-side Supply Voltage  
(Relative to  $V_{CC2}$ )

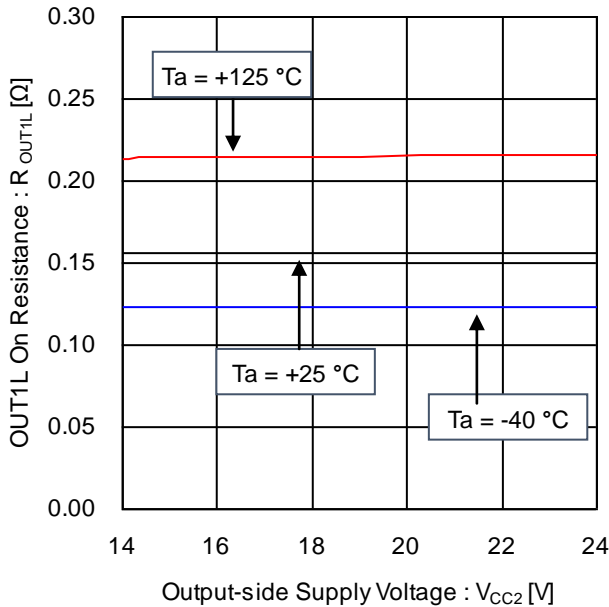


Figure 32. OUT1L On Resistance vs Output-side Supply Voltage  
( $I_{OUT1L} = 40\text{ mA}$ )



特性データ — 続き  
(参考データ)

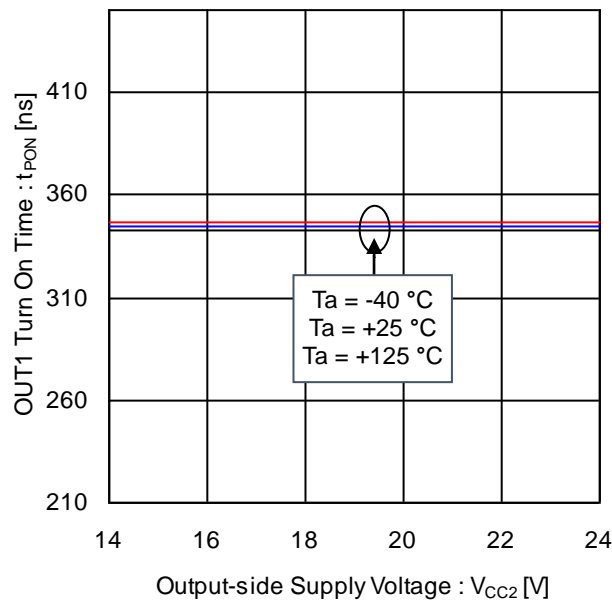


Figure 33. OUT1 Turn On Time vs Output-side Supply Voltage

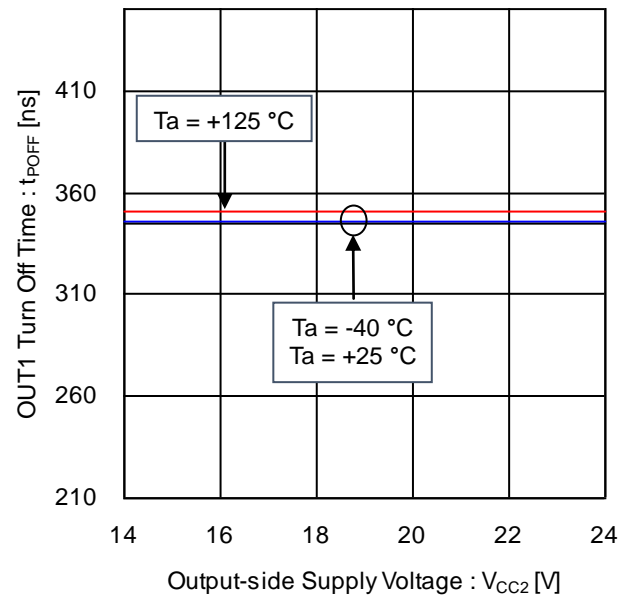


Figure 34. OUT1 Turn Off Time vs Output-side Supply Voltage

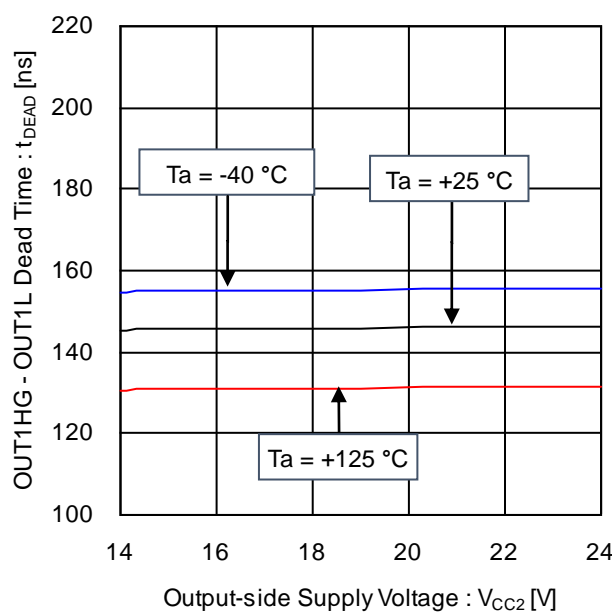


Figure 35. OUT1HG - OUT1L Dead Time vs Output-side Supply Voltage

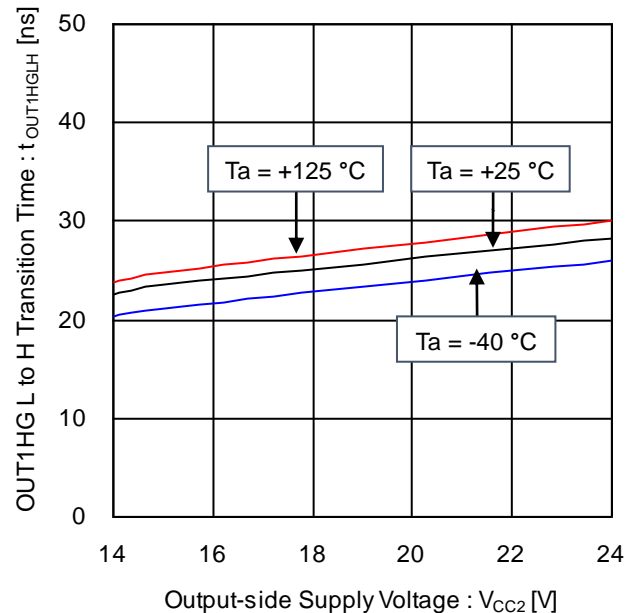


Figure 36. OUT1HG L to H Transition Time vs Output-side Supply Voltage (OUT1HG-VCC2 1000 pF)

特性データ — 続き  
(参考データ)

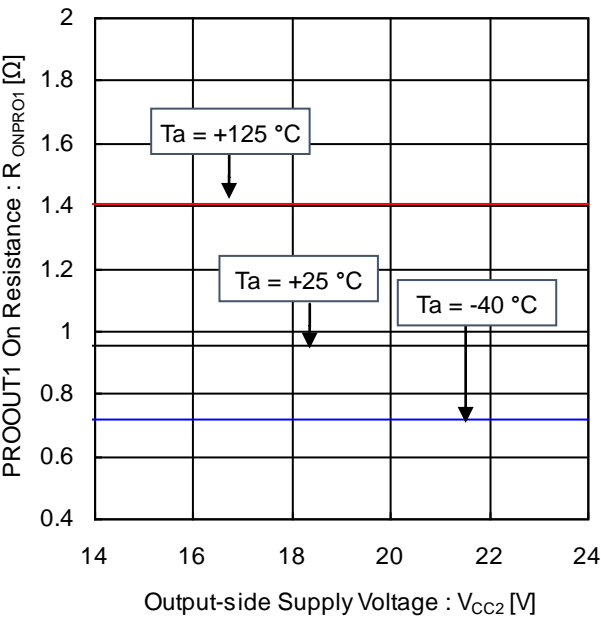


Figure 37. PROOUT1 On Resistance vs Output-side Supply Voltage  
( $I_{PROOUT1} = 40\text{ mA}$ )

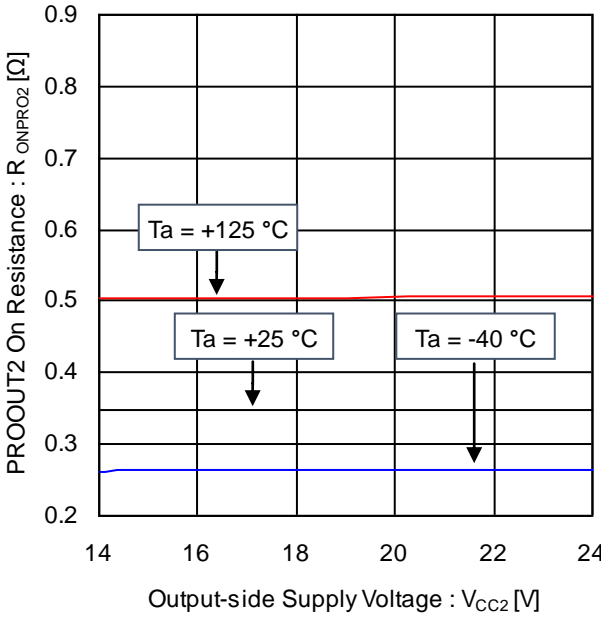


Figure 38. PROOUT2 On Resistance vs Output-side Supply Voltage  
( $I_{PROOUT2} = 40\text{ mA}$ )

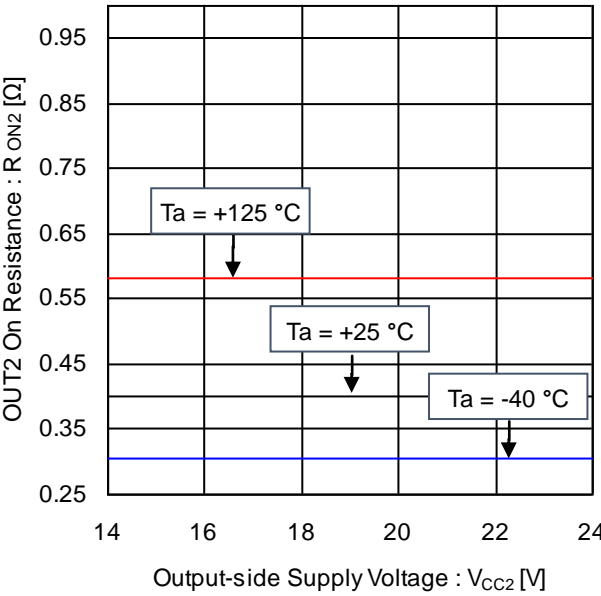


Figure 39. OUT2 On Resistance vs Output-side Supply Voltage  
( $I_{OUT2} = 40\text{ mA}$ )

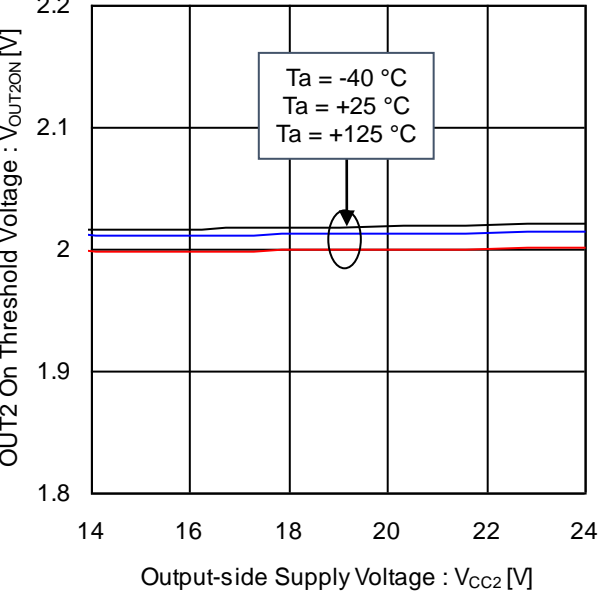


Figure 40. OUT2 On Threshold Voltage vs Output-side Supply Voltage

特性データ — 続き  
(参考データ)

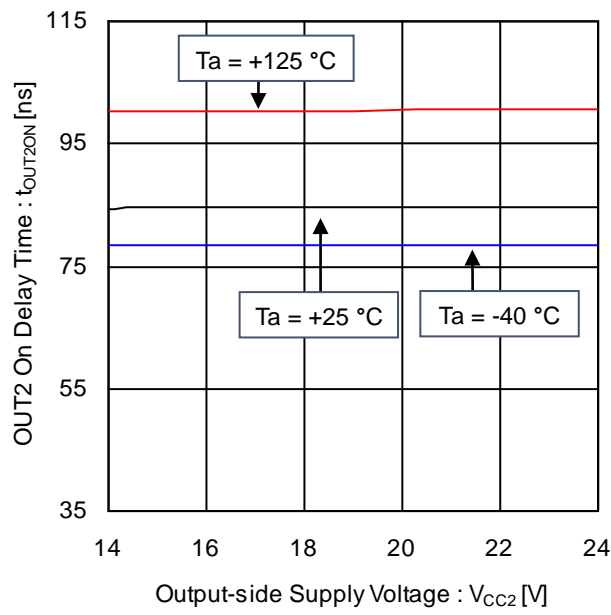


Figure 41. OUT2 On Delay Time vs Output-side Supply Voltage

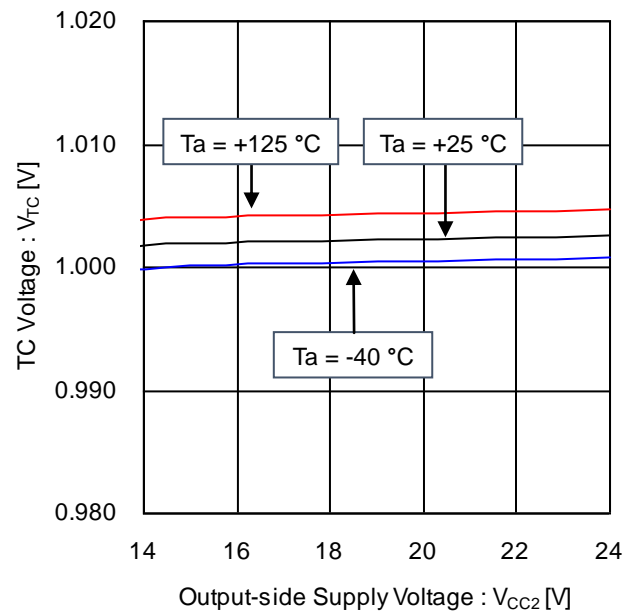


Figure 42. TC Voltage vs Output-side Supply Voltage

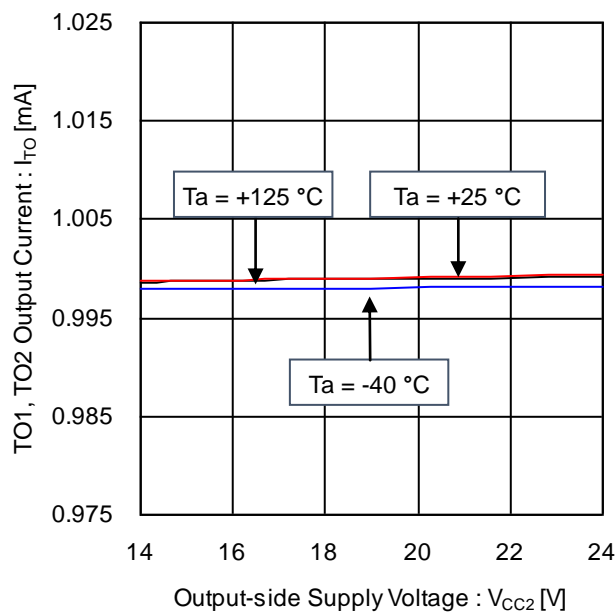


Figure 43. TO1, TO2 Output Current vs Output-side Supply Voltage  
( $R_{TC} = 10\text{ k}\Omega$ )

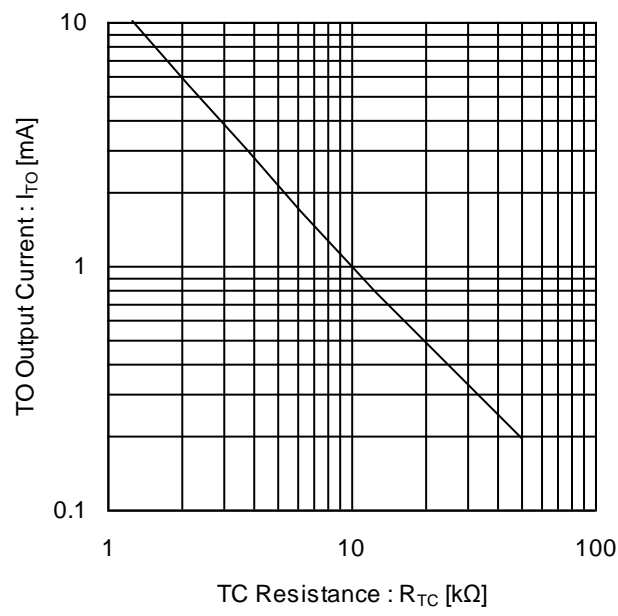


Figure 44. TO Output Current vs TC Resistance

特性データ — 続き  
(参考データ)

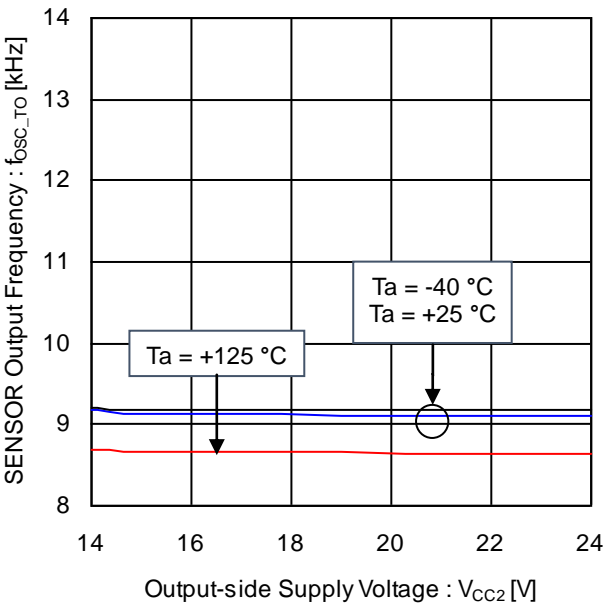


Figure 45. SENSOR Output Frequency vs Output-side Supply Voltage

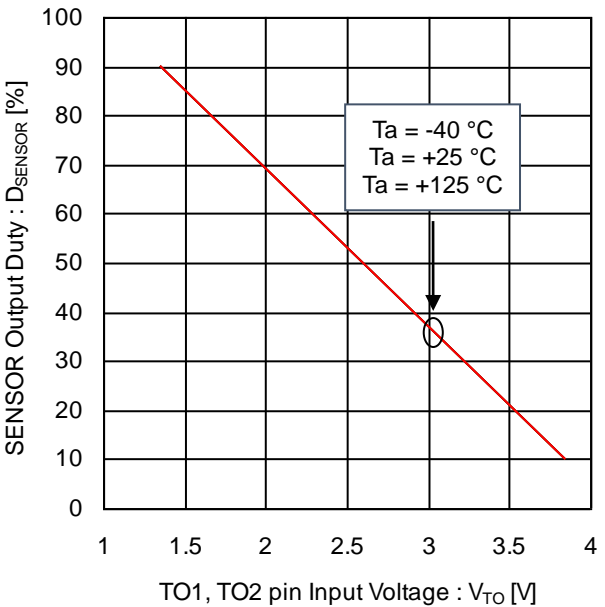


Figure 46. SENSOR Output Duty vs TO1, TO2 pin Input Voltage

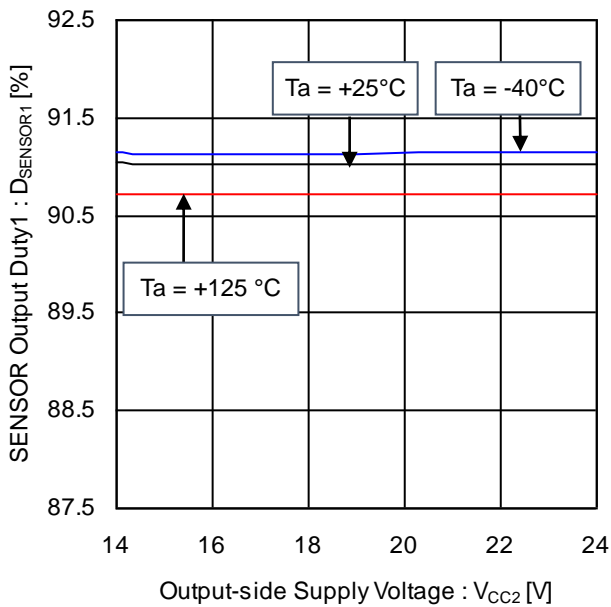


Figure 47. SENSOR Output Duty1 vs Output-side Supply Voltage  
(V<sub>TO1</sub> = V<sub>TO2</sub> = 1.35 V)

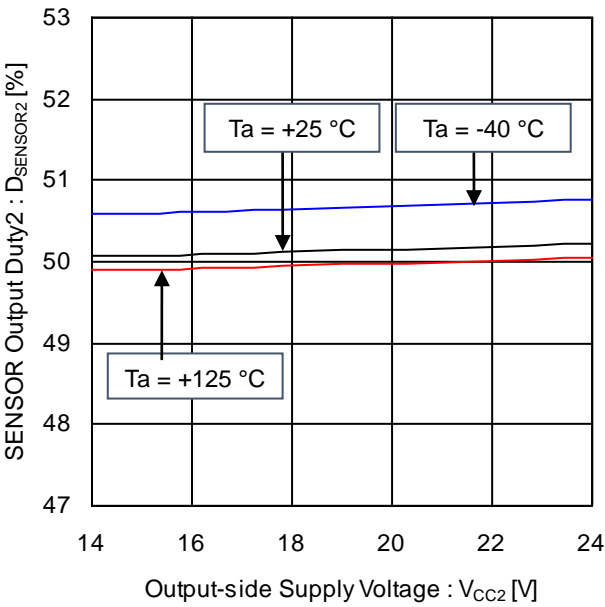


Figure 48. SENSOR Output Duty2 vs Output-side Supply Voltage  
(V<sub>TO1</sub> = V<sub>TO2</sub> = 2.59 V)

特性データ — 続き  
(参考データ)

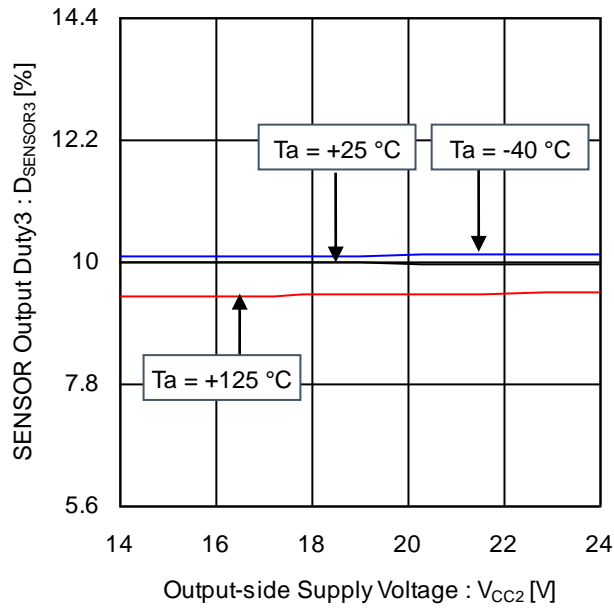


Figure 49. SENSOR Output Duty3 vs Output-side Supply Voltage  
( $V_{TO1} = V_{TO2} = 3.84\text{ V}$ )

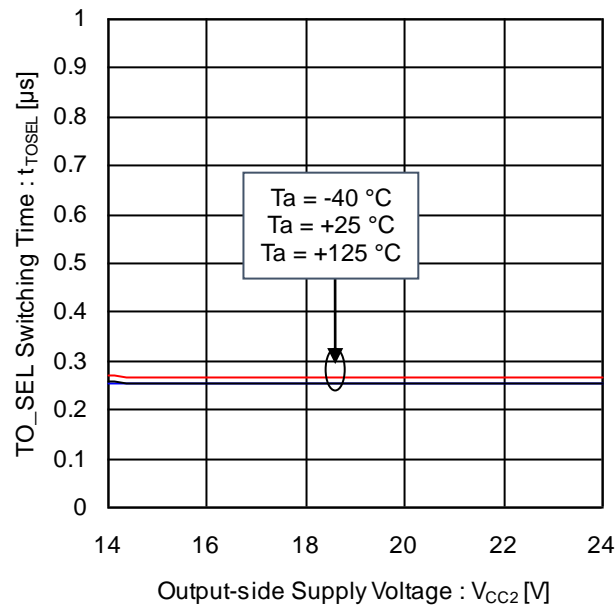


Figure 50. TO\_SEL Switching Time vs Output-side Supply Voltage

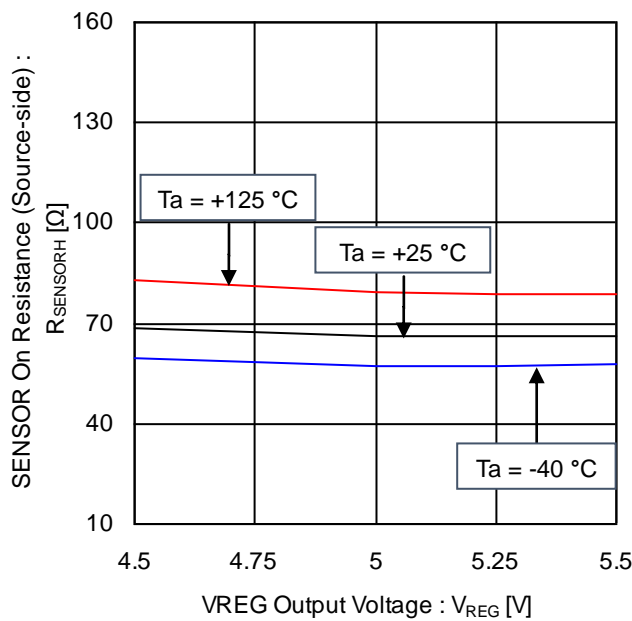


Figure 51. SENSOR On Resistance (Source-side) vs VREG Output Voltage  
( $I_{SENSOR} = -5\text{ mA}$ )

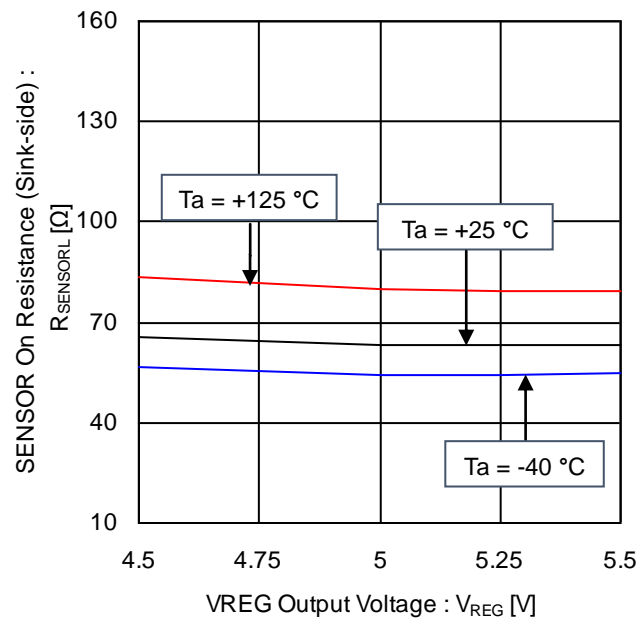


Figure 52. SENSOR On Resistance (Sink-side) vs VREG Output Voltage  
( $I_{SENSOR} = +5\text{ mA}$ )

特性データ — 続き  
 (参考データ)

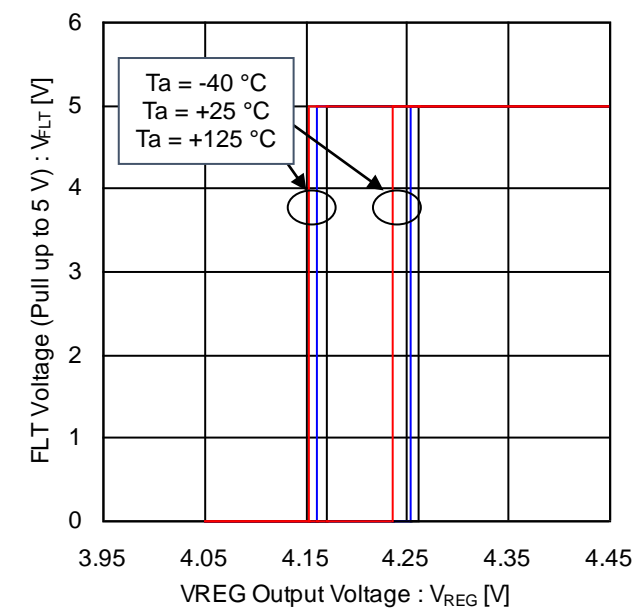


Figure 53. FLT Voltage vs VREG Output Voltage  
 (VREG UVLO On / Off Voltage)

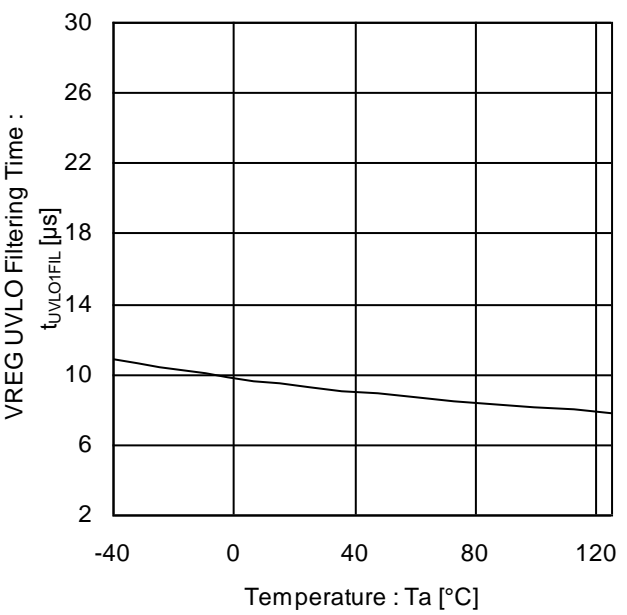


Figure 54. VREG UVLO Filtering Time vs  
 Temperature

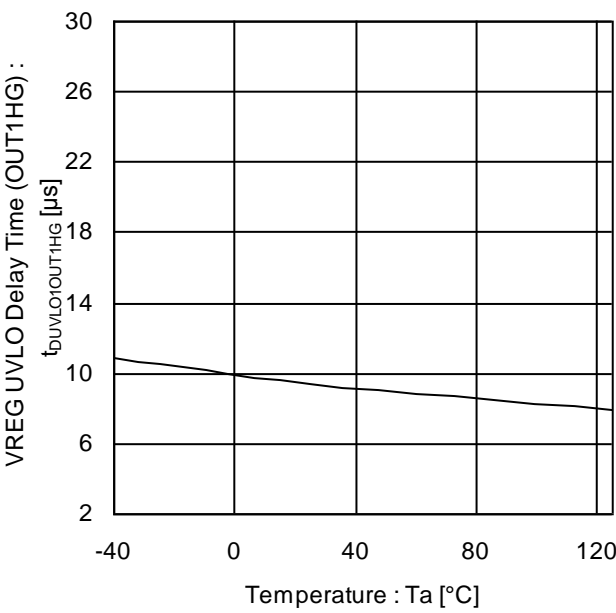


Figure 55. VREG UVLO Delay Time (OUT1HG)  
 vs Temperature

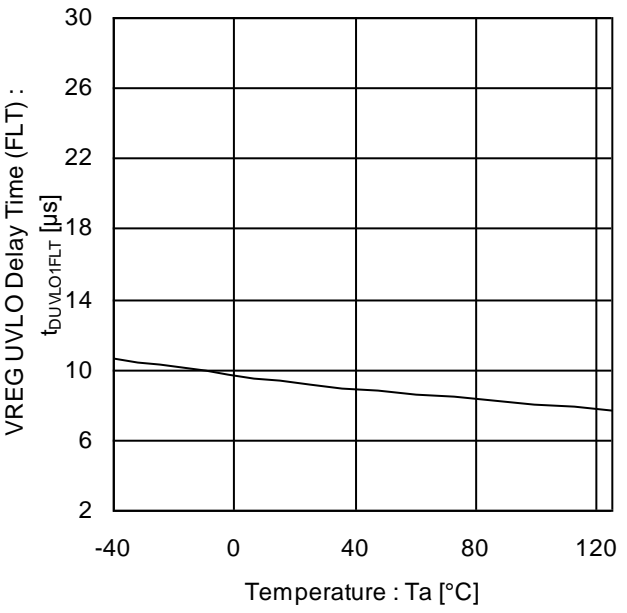


Figure 56. VREG UVLO Delay Time (FLT) vs  
 Temperature

特性データ — 続き  
(参考データ)

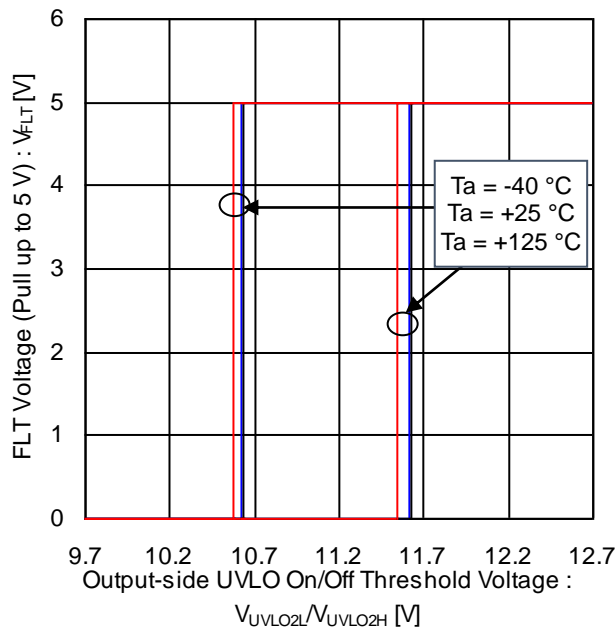


Figure 57. FLT Voltage vs Output-side UVLO On/Off Threshold Voltage

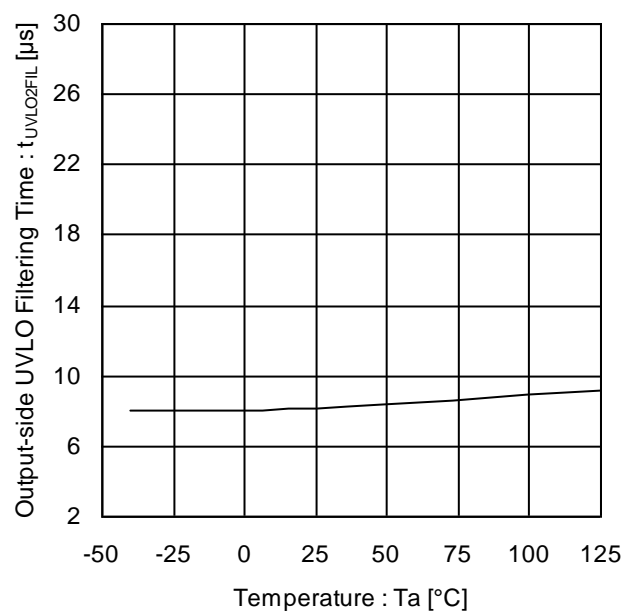


Figure 58. Output-side UVLO Filtering Time vs Temperature

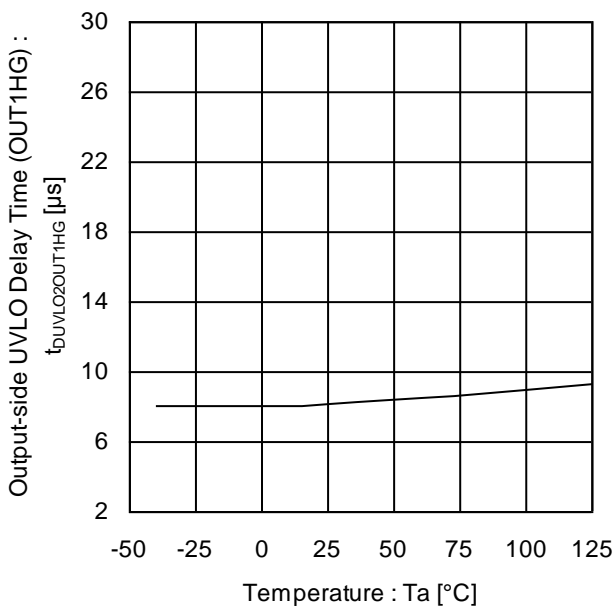


Figure 59. Output-side UVLO Delay Time (OUT1HG) vs Temperature

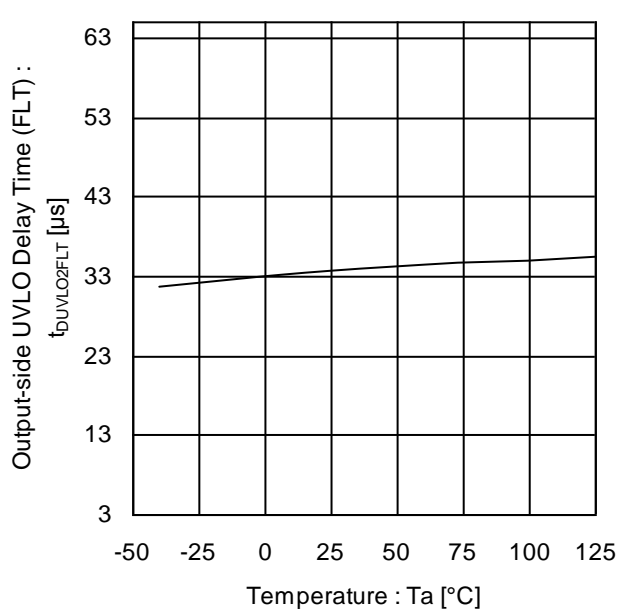


Figure 60. Output-side UVLO Delay Time (FLT) vs Temperature

特性データ — 続き  
 (参考データ)

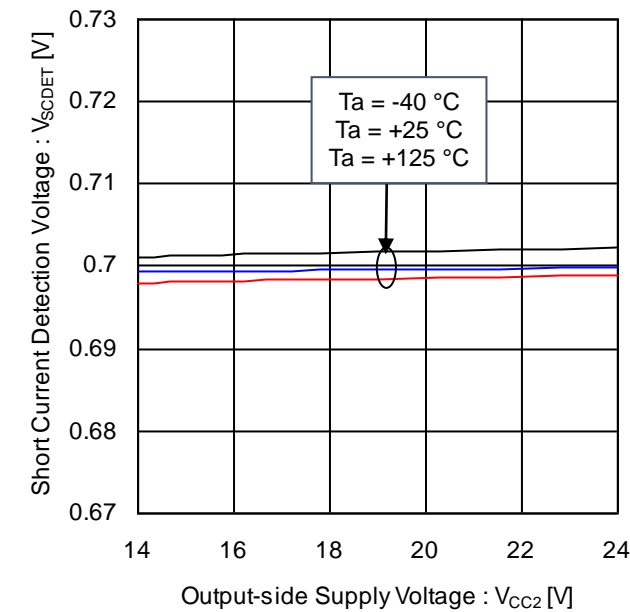


Figure 61. Short Current Detection Voltage vs Output-side Supply Voltage

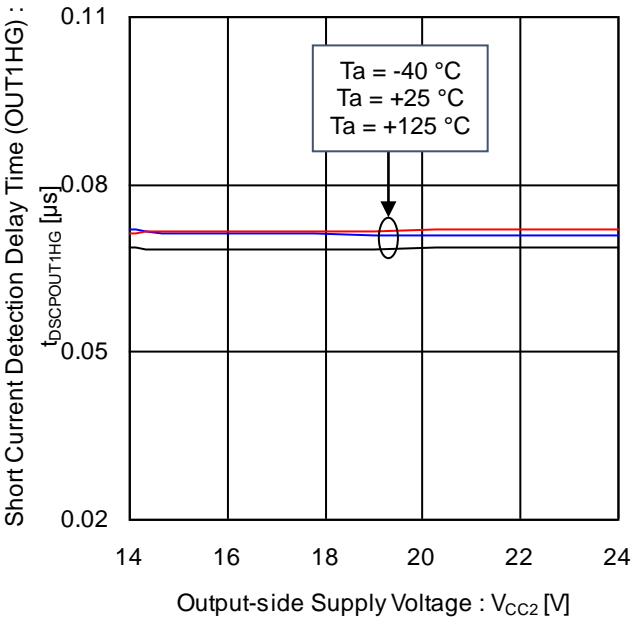


Figure 62. Short Current Detection Delay Time (OU1HG) vs Output-side Supply Voltage (OUT1HG = 1 kΩ Pull Up)

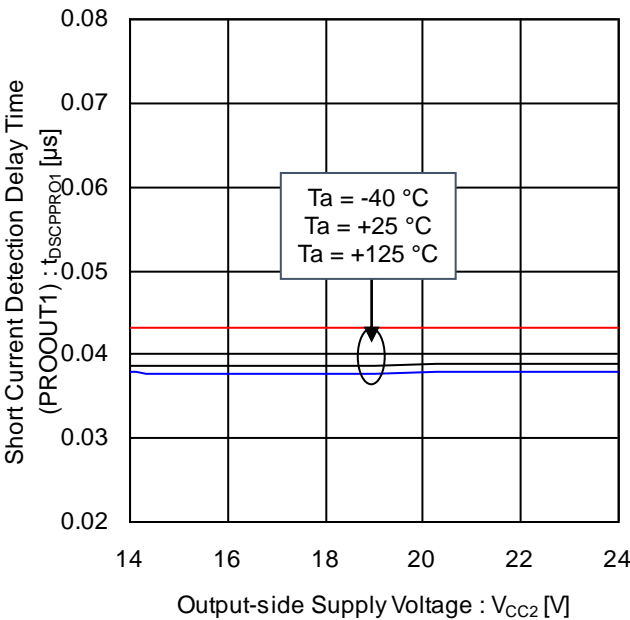


Figure 63. Short Current Detection Delay Time (PROOUT1) vs Output-side Supply Voltage

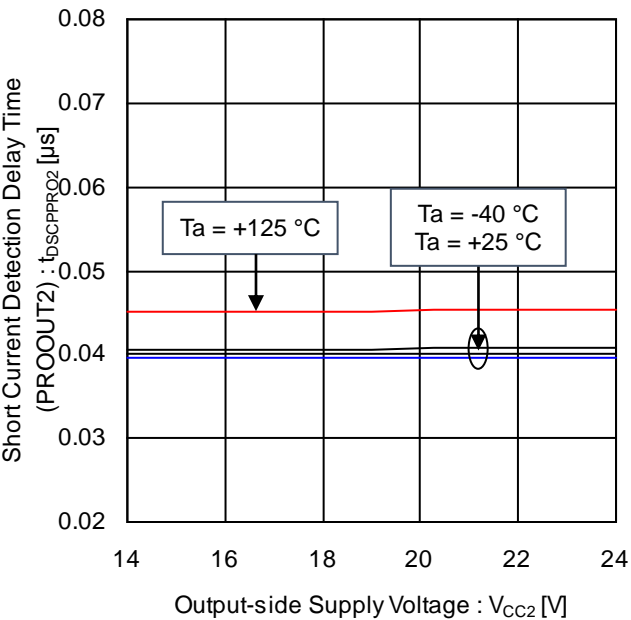


Figure 64. Short Current Detection Delay Time (PROOUT2) vs Output-side Supply Voltage



特性データ — 続き  
(参考データ)

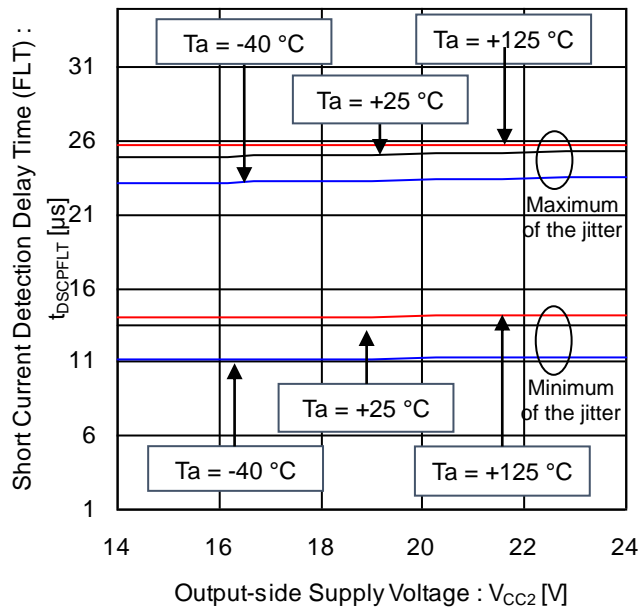


Figure 65. Short Current Detection Delay Time (FLT) vs Output-side Supply Voltage

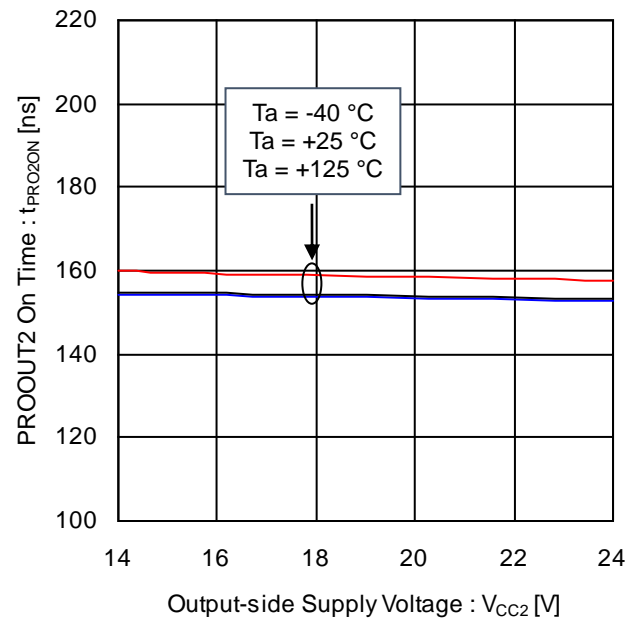


Figure 66. PROOUT2 On Time vs Output-side Supply Voltage

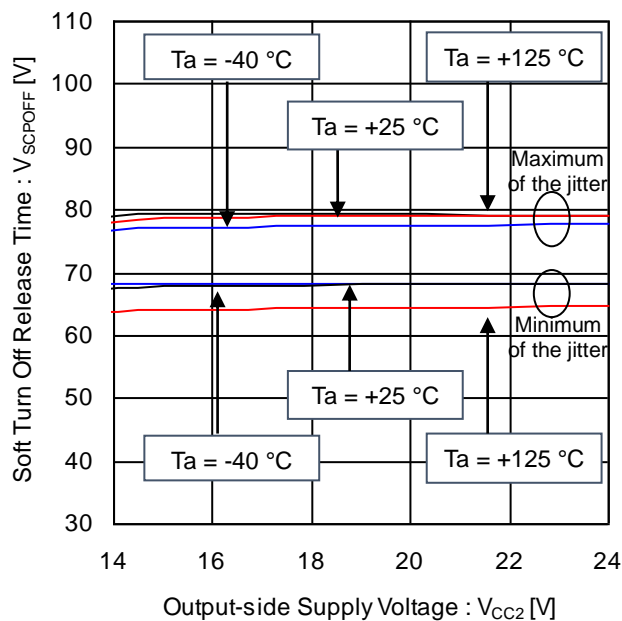


Figure 67. Soft Turn Off Release Time vs Output-side Supply Voltage

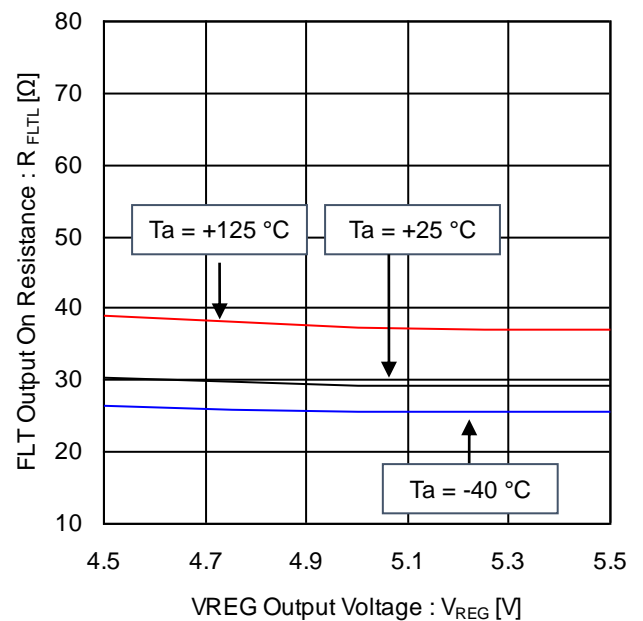


Figure 68. FLT Output On Resistance vs VREG Output Voltage ( $I_{FLT} = 5$  mA)

特性データ — 続き  
(参考データ)

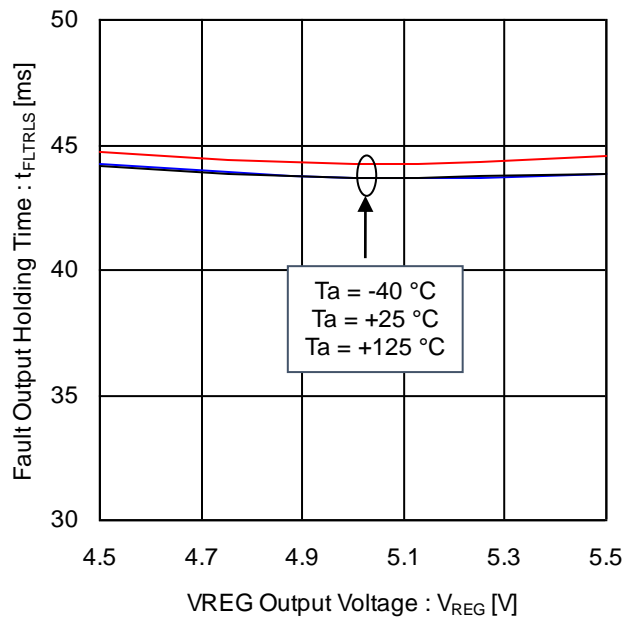


Figure 69. Fault Output Holding Time vs VREG Output Voltage

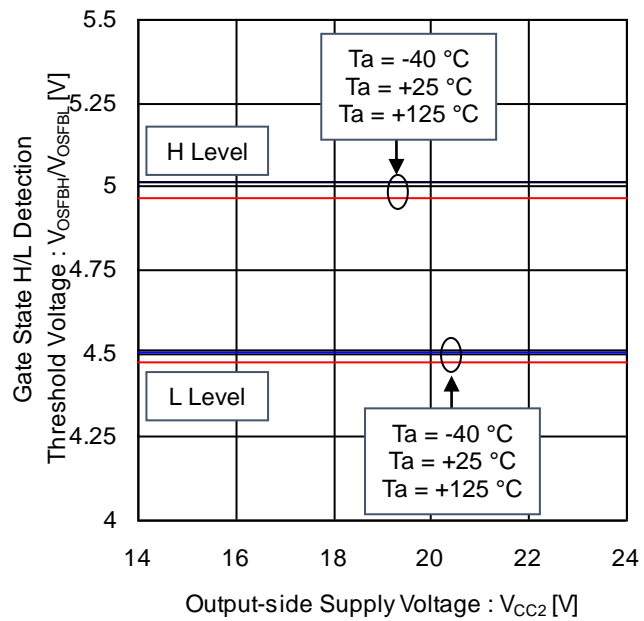


Figure 70. Gate State H/L Detection Threshold Voltage vs Output-side Supply Voltage

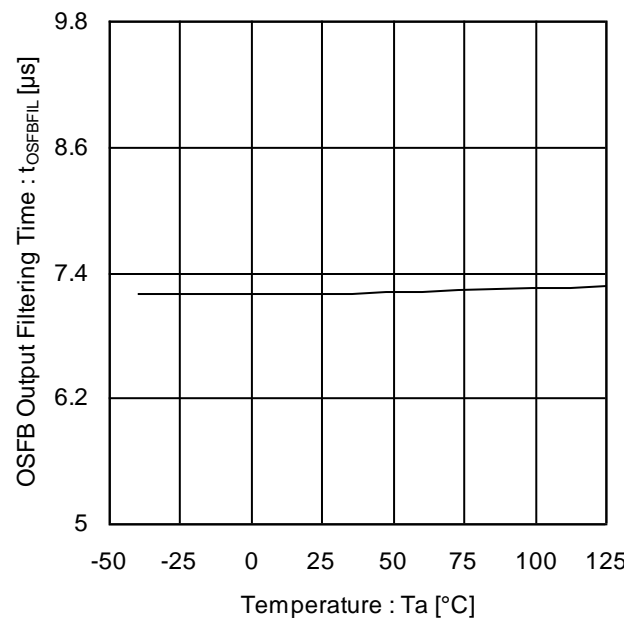


Figure 71. OSFB Output Filtering Time vs VREG Output Voltage

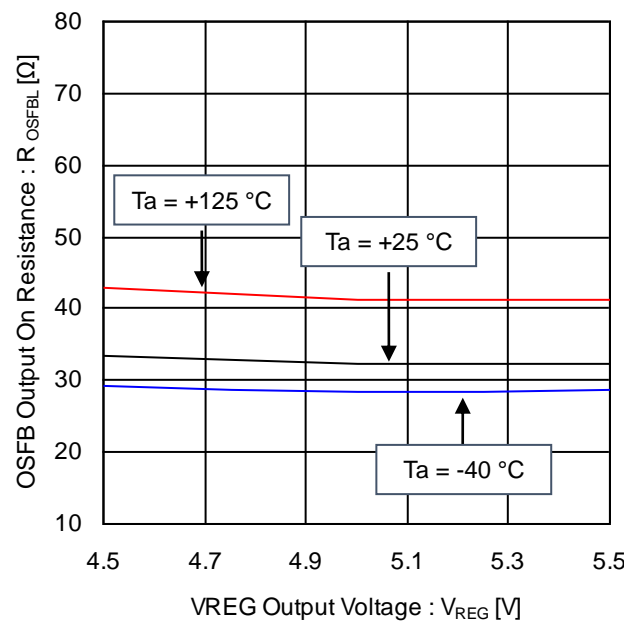


Figure 72. OSFB Output On Resistance vs VREG Output Voltage (I\_OSFB = 5 mA)

特性データ — 続き  
(参考データ)

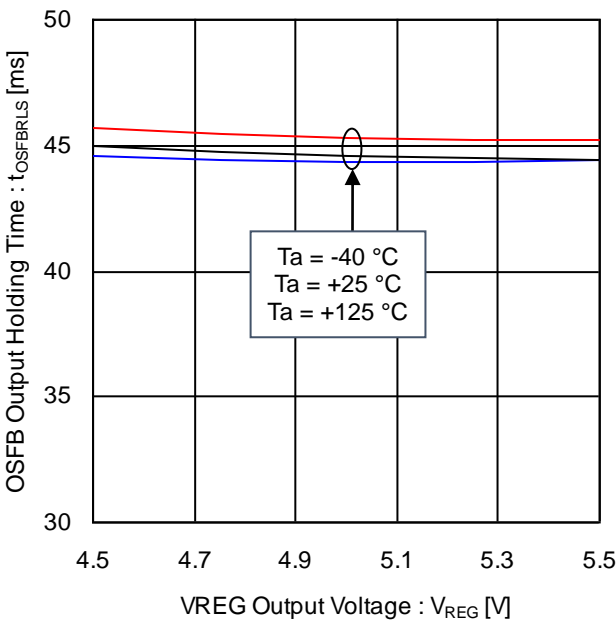


Figure 73. OSFB Output Holding Time vs VREG Output Voltage

UL1577 レポート記載項目

Parameter	Value	Unit	Conditions
Side 1 (Input-side) Circuit Current	1.2	mA	V <sub>BATT</sub> = 14 V, OUT1HG = H, OUT1L = L
Side 2 (Output-side) Circuit Current	5.0	mA	V <sub>CC2</sub> = 15 V, OUT1HG = H, OUT1L = L
Side 1 (Input-side) Consumption Power	16.8	mW	V <sub>BATT</sub> = 14 V, OUT1HG = H, OUT1L = L
Side 2 (Output-side) Consumption Power	75	mW	V <sub>CC2</sub> = 15 V, OUT1HG = H, OUT1L = L
Isolation Voltage	2500	Vrms	
Maximum Operating (Ambient) Temperature	125	°C	
Maximum Junction Temperature	150	°C	
Maximum Storage Temperature	150	°C	
Maximum Data Transmission Rate	1.3	MHz	

## 端子説明・基板レイアウトの注意点

## 1. V\_BATT (主電源端子)

主電源端子です。電圧変動を抑えるため、GND1 端子間にバイパスコンデンサを接続してください。

## 2. GND1 (入力側グラウンド端子)

入力側のグラウンド端子です。

## 3. VCC2 (出力側電源端子)

出力側の電源端子です。IC 内部トランスフォーマ駆動電流および OUT 出力電流による電圧変動を抑えるため、GND2 端子間にバイパスコンデンサを接続してください。

## 4. GND2 (出力側グラウンド端子)

出力側のグラウンド端子です。出力素子のエミッタ / ソースに接続してください。

## 5. INA (制御入力端子) 、DIS (入力許可信号入力端子)

出力論理を決定する端子です。

DIS	INA	OUT1HG	OUT1L
H	X	H	L
L	L	H	L
L	H	L	Hi-Z

X: Don't care

## 6. FLT (フォールト出力端子)

フォールト発生時 (主電源 / 内部電源 / 出力側低電圧時誤動作防止機能 (UVLO) 動作時、短絡保護機能 (SCP) 動作時)、フォールト信号を出力するオープンドレイン端子です。

状態	FLT
通常時	Hi-Z
フォールト発生時 (主電源 UVLO・内部電源 UVLO・出力側 UVLO・SCP)	L

## 7. OSFB (出力ゲート状態監視出力端子)

PROOUT1 端子でモニタしている出力素子のゲート論理と DIS・INA 端子入力論理とを比較し、不一致の場合に L を出力するオープンドレイン端子です。

状態	DIS	INA	PROOUT1 入力	OSFB
通常時	H	X	H	L
	H	X	L	Hi-Z
	L	L	H	L
	L	L	L	Hi-Z
	L	H	H	Hi-Z
	L	H	L	L
フォールト発生時	X	X	X	Hi-Z

X: Don't care

## 8. SENSOR (温度情報出力端子) 、TO\_SEL (温度情報選択端子)

TO1、TO2 端子電圧を Duty に変換した信号を出力する端子です。TO1 端子、TO2 端子どちらの情報を出力するか、TO\_SEL 端子で選択します。

TO_SEL	SENSOR 出力
L	TO1 端子の情報を出力
H	TO2 端子の情報を出力

## 9. FB (スイッチングコントローラ誤差増幅器反転入力端子)

スイッチングコントローラの電圧帰還端子です。スイッチングコントローラを使用しない場合は VREG 端子に接続してください。

## 10. COMP (スイッチングコントローラ誤差増幅器出力端子)

スイッチングコントローラのゲイン調整端子です。位相補償用コンデンサ、抵抗器を接続して下さい。スイッチングコントローラを使用しない場合は GND1 端子に接続してください。

**端子説明・基板レイアウトの注意点 — 続き****11.VREG (入力側内部電源端子)**

入力側の内部電源端子です。発振防止のため、また FET\_G 出力電流及び IC 内部トランスフォーマ駆動電流による電圧変動を抑えるため、必ず GND1 端子間にバイパスコンデンサを接続してください。なお、VREG 端子に 4.5V~5.5V の電源を外部印加することも可能ですが、この場合は V\_BATT 端子と VREG 端子をショートして下さい。

**12.FET\_G (スイッチングコントローラトランス駆動用 MOS FET 制御端子)**

スイッチングコントローラのトランス駆動用 MOS FET 制御端子です。スイッチングコントローラを使用しない場合は無接続としてください。

**13.SENSE (スイッチングコントローラ電流帰還用抵抗接続端子)**

スイッチングコントローラの電流帰還用抵抗接続端子です。スイッチングコントローラを使用しない場合は VREG 端子に接続してください。

**14. OUT1HG (ソース側 MOS バッファ駆動端子)**

ゲートオン側のバッファ駆動端子です。バッファ (Pch MOS FET) のゲートに接続してください。また、バッファのゲート電圧制御のため、OUT1HG 端子と VCC2 端子の間に抵抗 R<sub>OUT1HG</sub> を接続してください。

**15. OUTREF (定電流駆動用基準電圧端子)**

ゲート定電流駆動の基準となる端子です。VCC2~バッファ (Pch MOS FET) のソース間に抵抗 R<sub>OUTREF</sub> を接続し、バッファのソースを OUTREF 端子に接続してください。

**16. OUT1L (シンク側出力端子)**

ゲートオフ側の駆動端子です。

**17. OUT2 (ミラークランプ端子)**

出力素子の miller 電流によるゲート電圧上昇を防止するためミラークランプ端子です。ミラークランプ機能を使用しない場合、OUT2 端子は未接続としてください。

**18. PROOUT1 (短絡保護用ソフトターンオフ端子 / ゲート電圧入力端子) 、PROOUT2 (短絡保護用高速ターンオフ端子)**

短絡保護動作時、出力素子をソフトターンオフする端子です。短絡検出から t<sub>PRO2ON</sub> の間は、PROOUT1 端子、PROOUT2 端子とも ON します。t<sub>PRO2ON</sub> 経過後は PROOUT1 端子のみ ON します。PROOUT1 端子はミラークランプ機能および出力状態フィードバック機能の為にゲート電圧モニタ端子を兼ねています。

**19. SCPIN1、SCPIN2 (短絡検出端子)**

短絡保護のための電流検出端子です。SCPIN1 端子または SCPIN2 端子の電圧が V<sub>SCDET</sub> 以上になると、短絡保護機能が動作します。オープン状態では IC が誤動作する可能性がありますので、短絡保護機能を使用しない場合は GND2 端子にショートしてください。

**20. TC (定電流源電流設定用抵抗接続端子)**

定電流出力設定用抵抗接続端子です。TC 端子と GND2 端子間に任意の抵抗値を接続することにより、TO1 端子および TO2 端子から出力される定電流値を設定することができます。

**21. TO1、TO2 (定電流源電流出力 / センサ電圧入力端子)**

定電流出力・電圧入力端子です。TO1 端子と GND2 端子間および TO2 端子と GND2 端子間に任意のインピーダンスを持った素子を接続し、センサ入力として使用できます。

## 機能動作説明・定数設定例

## 1. 異常状態出力

フォールト発生時（低電圧時誤動作防止機能（UVLO）動作時、短絡保護（SCP）動作時）FLT 端子からフォールト信号出力を行い、フォールト状態解除後、フォールト出力保持時間  $t_{FLTRLS}$  経過するまでフォールト信号を保持します。

状態	FLT 端子
通常時	Hi-Z
フォールト発生時	L

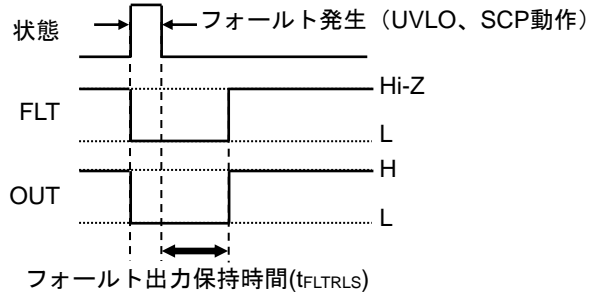


Figure 74. 異常状態出力タイミングチャート

## 2. 低電圧時誤動作防止機能（UVLO）

主電源（V\_BATT）、内部電源（VREG）、出力側電源（VCC2）とも、低電圧時誤動作防止機能を内蔵しています。電源電圧が UVLO ON 電圧まで低下すると、OUT1HG 端子は H、OUT1L 端子は L、FLT 端子は L を出力します。電源電圧が UVLO OFF 電圧まで上昇すると復帰します。ただし、フォールト出力保持時間は、OUT1HG 端子が H、OUT1L 端子が L、FLT 端子が L の状態を保持します。また、ノイズによる誤動作を防止するため、主電源、内部電源、出力側とも、フィルタ時間  $t_{UVLO1FIL}$ 、 $t_{UVLO2FIL}$  を設定しています。

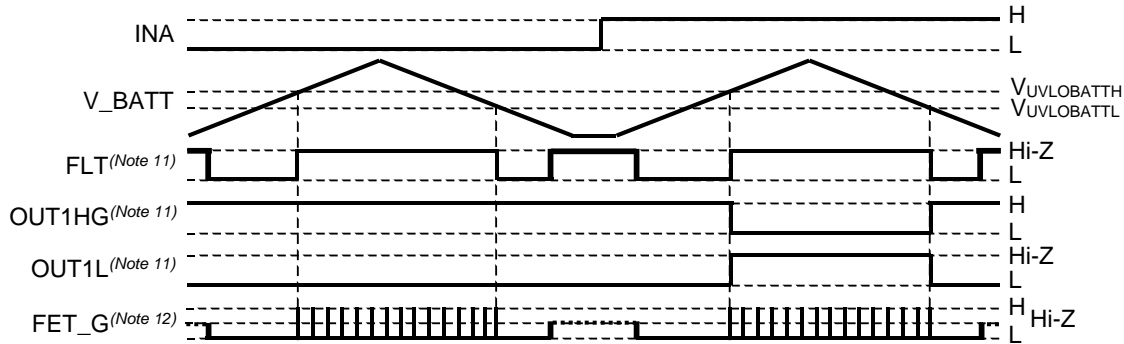


Figure 75. 主電源(V\_BATT)UVLO 動作タイミングチャート



Figure 76. 内部電源(VREG)UVLO 動作タイミングチャート

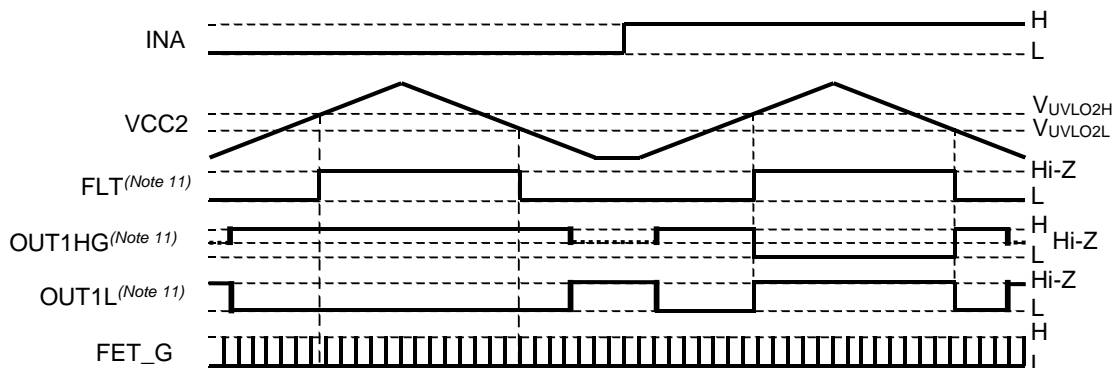


Figure 77. 出力側電源(VCC2)UVLO 動作タイミングチャート

(Note 11) FLT、OUT1HG、OUT1L は UVLO 解除後、フォールト出力保持時間経過してから動作を開始します。

(Note 12) FET\_G は UVLO 解除後、直ちに動作を開始します。

## 機能動作説明・定数設定例 ― 続き

## 3. 短絡保護機能 (SCP)

SCPIN1 端子または SCPIN2 端子電圧が  $V_{SCDET}$  を超えた場合、短絡保護機能が動作します。短絡保護が動作すると、まず OUT1HG 端子が H、OUT1L 端子が Hi-Z、PROOUT1 端子及び PROOUT2 端子、FLT 端子が L となります (高速ターンオフ)。次に、短絡検出から  $t_{PRO2ON}$  後、PROOUT2 端子は Hi-Z となります (ソフトターンオフ)。さらに、短絡電流が閾値以下となつてから  $t_{SCPOFF}$  後、OUT1L 端子が L となります。最後に、フォールト出力保持時間が経過すると、短絡保護は解除され、FLT 端子は Hi-Z となります。PROOUT1 端子は次に OUT1HG = L となるまで L を保持します。なお、OUT1L 端子が L のときは短絡を検出しません。

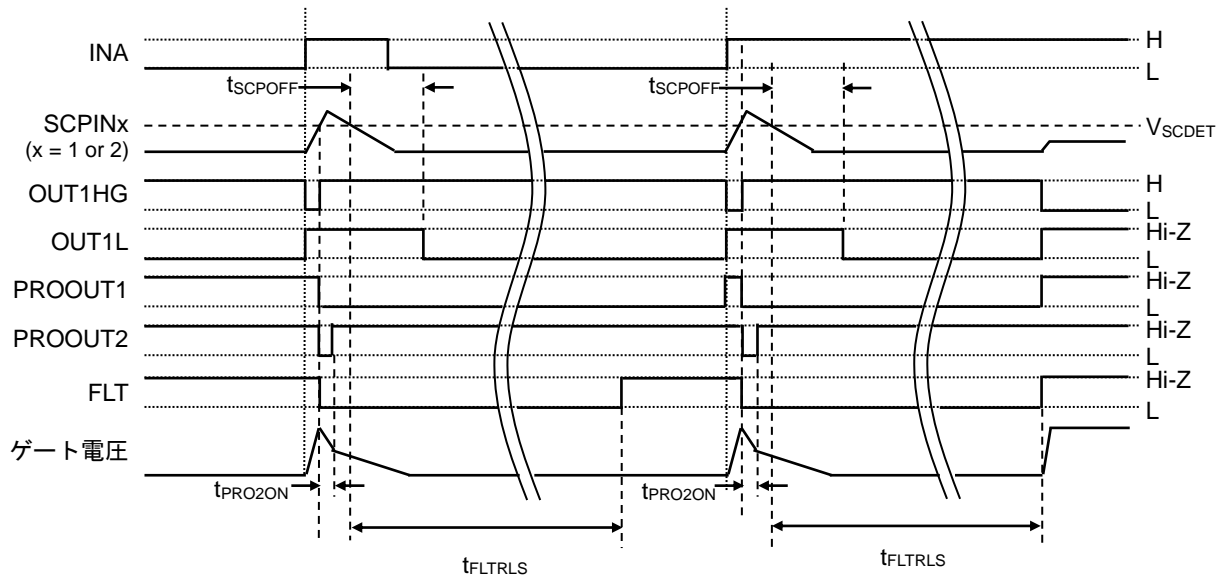


Figure 78. SCP 動作タイミングチャート

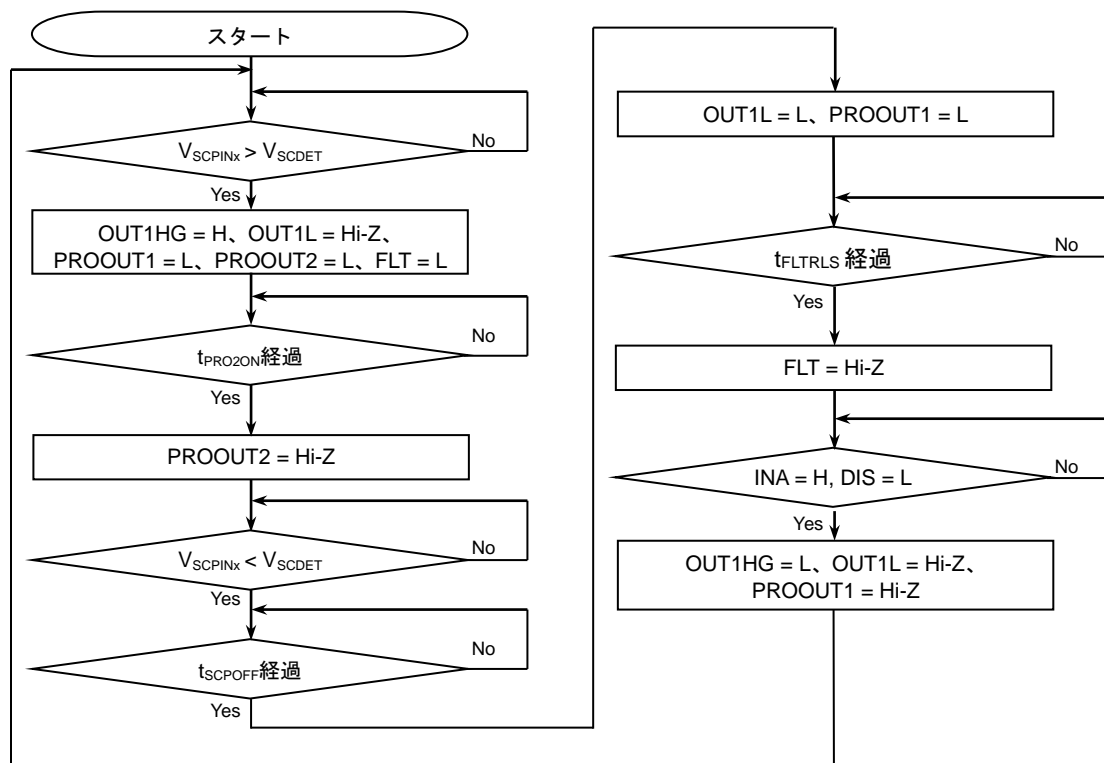


Figure 79. SCP 動作状態遷移図

機能動作説明・定数設定例　－　続き

4. ミラークランプ機能

OUT1HG = H かつ OUT1L = L かつ PROOUT1 端子電圧 <  $V_{OUT2ON}$  時、OUT2 端子内部 MOS が ON し、ミラークランプ機能が動作します。ミラークランプ動作後は、OUT1HG = L、OUT1L = Hi-Z となるまで OUT2 = L を保持します。なお、短絡保護機能動作時は、ソフトターンオフ解除時間  $t_{SCPOFF}$  経過後にミラークランプ機能が動作します。

短絡保護	SCPINx (x = 1 or 2)	INA	PROOUT1	OUT2
動作時	$V_{SCDET}$ 以上	X	X	Hi-Z
非動作時	X	L	$V_{OUT2ON}$ 以上	Hi-Z
	X	L	$V_{OUT2ON}$ 未満	L
	X	H	X	Hi-Z

X: Don't care

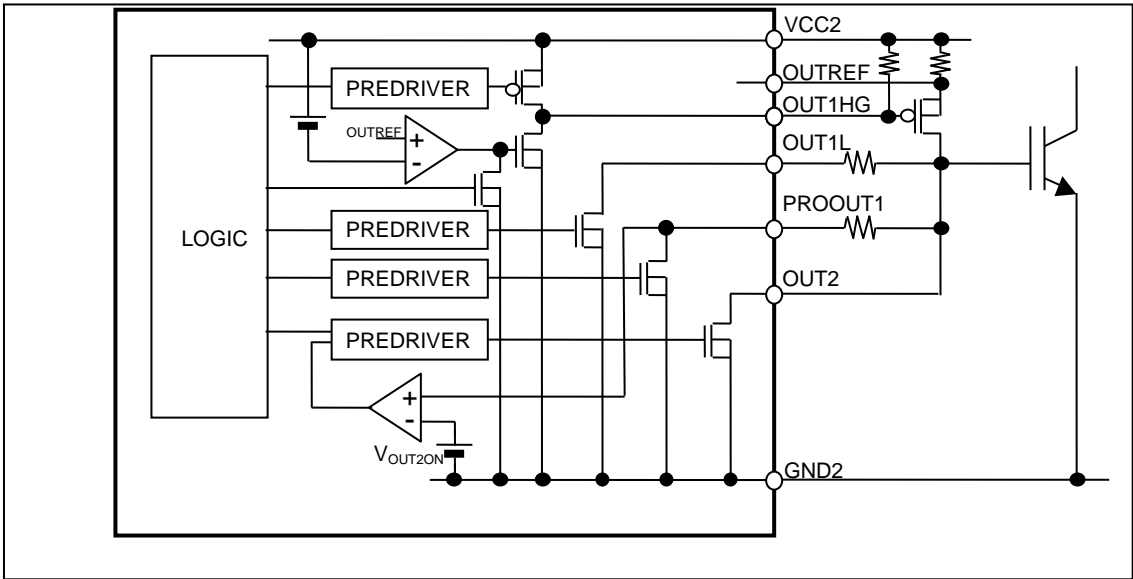


Figure 80. ミラークランプ機能ブロック図

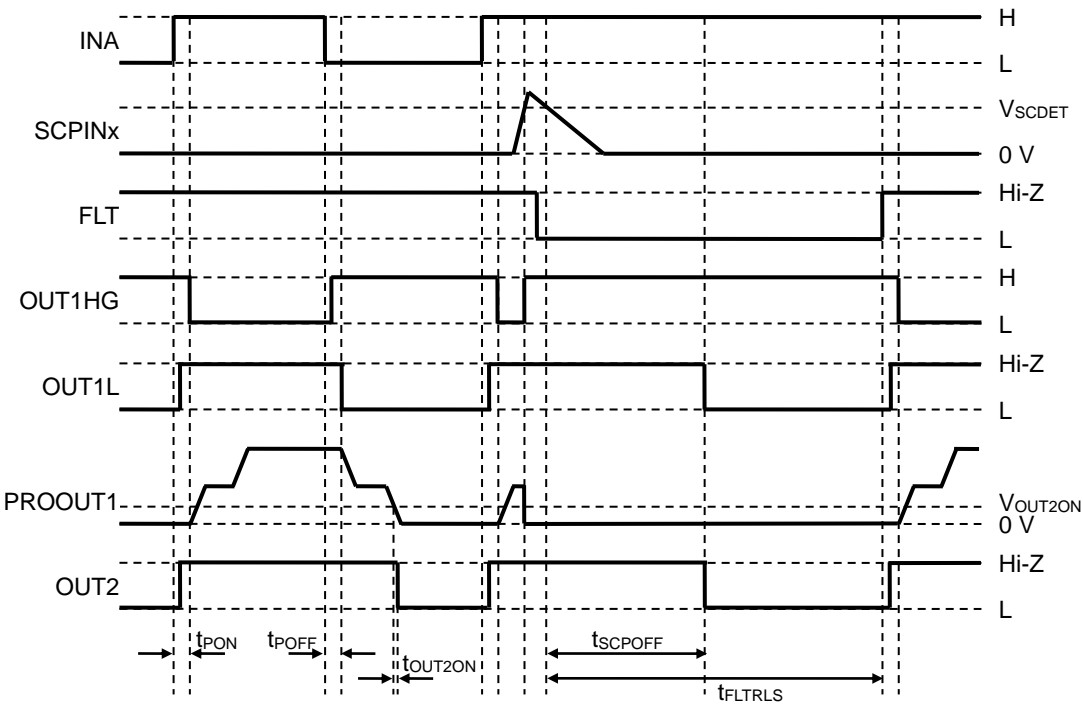


Figure 81. ミラークランプ機能動作タイミングチャート



機能動作説明・定数設定例 ― 続き

5. ゲート定電流駆動機能

ゲート定電流駆動機能を内蔵しており、バッファ (Pch MOS FET M<sub>OUT1H</sub>) 及び抵抗 (R<sub>OUTREF</sub>, R<sub>OUT1HG</sub>) を Figure 82 の通り接続することで、出力素子のゲートを定電流で充電します。定電流値 I<sub>GATE</sub> は以下の式で設定できます。

$$I_{GATE}[A] = V_{OUTREF}[V] / R_{OUTREF}[\Omega]$$

なお、外付け部品 (M<sub>OUT1H</sub>, R<sub>OUTREF</sub>, R<sub>OUT1HG</sub>) は下表の部品を推奨いたします。M<sub>OUT1H</sub> にその他の部品を使用される場合、及び推奨範囲外の抵抗値を使用される場合、ご使用の温度範囲及び設定電流において電流のオーバーシュートや発振が無い、十分な確認をお願いいたします。

記号	メーカー	推奨部品	推奨値		単位
			最小	最大	
M <sub>OUT1H</sub>	ROHM	RSR015P06HZGTL	-	-	-
R <sub>OUTREF</sub>	ROHM	MCR シリーズ LTR シリーズ	0.34	-	Ω
R <sub>OUT1HG</sub>	ROHM		0.5	2.5	kΩ

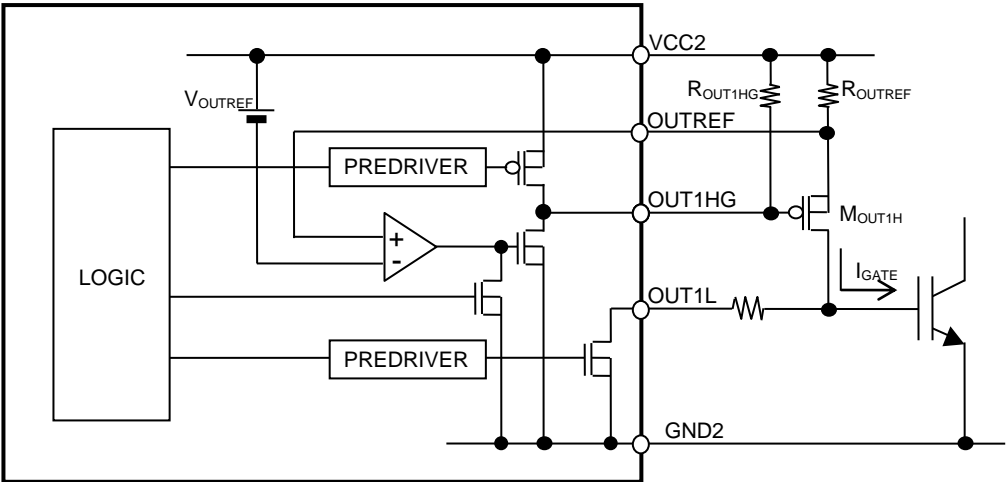


Figure 82. ゲート定電流駆動機能ブロック図

## 機能動作説明・定数設定例 ― 続き

## 6. ゲート状態監視機能

PROOUT1 端子で監視している出力素子のゲート論理と入力論理を比較し、不一致の場合、OSFB 端子から L を出力します。入出力遅延による誤検出を防止するため OSFB フィルタ時間  $t_{OSFBON}$  を設けています。不一致状態解消後、OSFB 出力保持時間  $t_{OSFBRLS}$  経過するまで L 出力を保持します。

## 7. スイッチングレギュレータ

## (1) 基本動作

本 IC は内部クロックに同期して ON / OFF を繰り返すスイッチングコントローラ回路を内蔵しています。V<sub>BATT</sub> 電源投入時 (V<sub>BATT</sub> > V<sub>UVLOBATTH</sub>)、ソフトスタートにて FET\_G 端子がスイッチングを開始します。出力電圧 V<sub>OUT</sub> は外付け抵抗及びフライバックトランスの巻き線比 n (n = 二次側の巻き数 / FB 側の巻き数) によって以下の式で決まります。

$$V_{OUT} = V_{FB} \times \{(R1 + R2) / R2\} \times n [V]$$

## (2) MAX DUTY

出力負荷が大きい場合などに、SENSE 端子の電圧レベルが電流検出レベルに達しないとき、最大オン Duty (D<sub>ONMAX</sub>) により出力を強制的に OFF します。

## (3) スイッチングコントローラを使用しない場合の端子処理について

スイッチングコントローラを使用しない場合、下表の通り端子処理を行ってください。

端子番号	端子名	処理方法
22	FB	VREG に接続
23	COMP	GND1 に接続
24	V_BATT	電源を接続
25	VREG	コンデンサを接続
26	FET_G	無接続
27	SENSE	VREG に接続

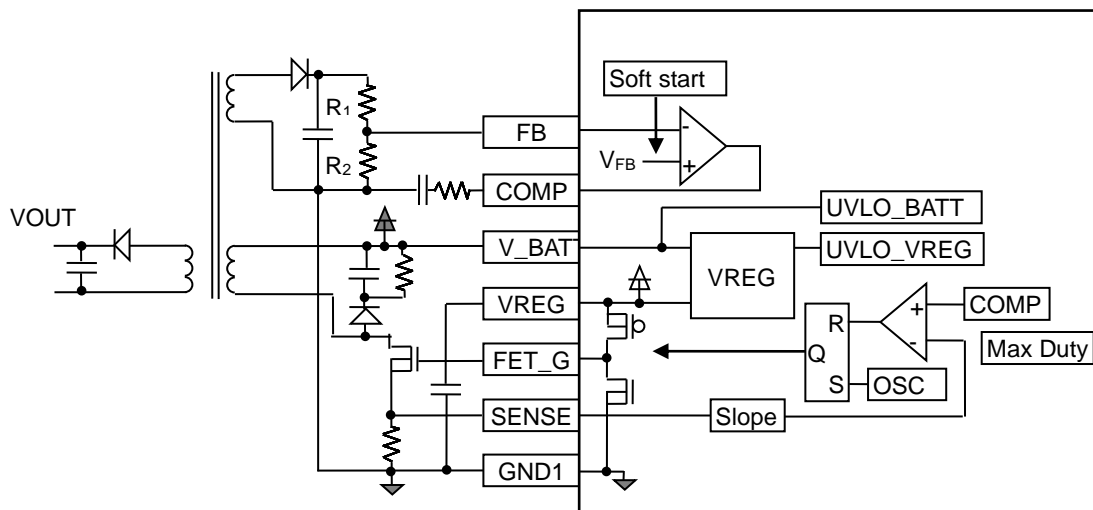


Figure 83. スイッチングコントローラブロック図

## 機能動作説明・定数設定例 ー 続き

## 8. 温度モ二タ機能

本 IC は定電流出力回路を内蔵し、TO1 端子及び TO2 端子より定電流を供給します。この電流値は TC 端子-GND2 間に接続する抵抗値により調整可能です。また、TOx 端子は電圧入力機能を持っており、TO\_SEL = L 時は TO1 端子電圧を Duty に変換した信号を、TO\_SEL = H 時は TO2 端子電圧を Duty に変換した信号を SENSOR 端子から出力します。TOx 端子を一方のみ使用される場合は他方の TOy 端子を GND2 に接続してください。(x = 1 or 2, y = 2 or 1)

$$\text{定電流値 } I_{TO}[\text{mA}] = 10 \times V_{TC}[\text{V}] / R_{TC}[\text{k}\Omega]$$

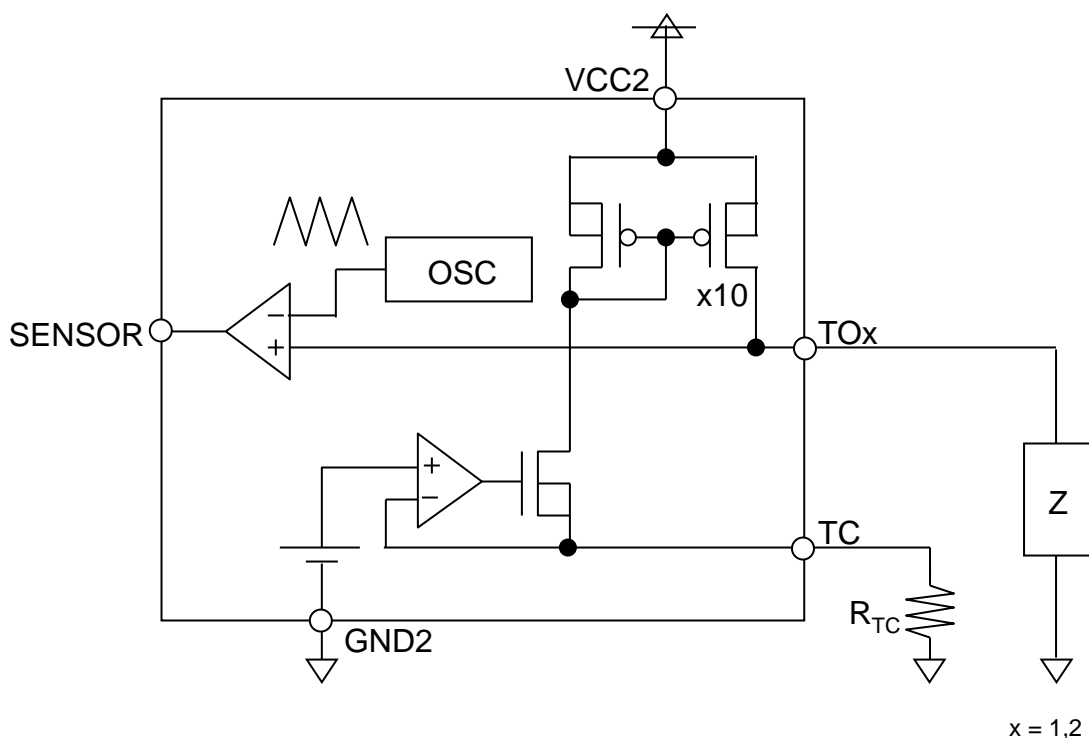


Figure 84. 温度モニタ部ブロック図

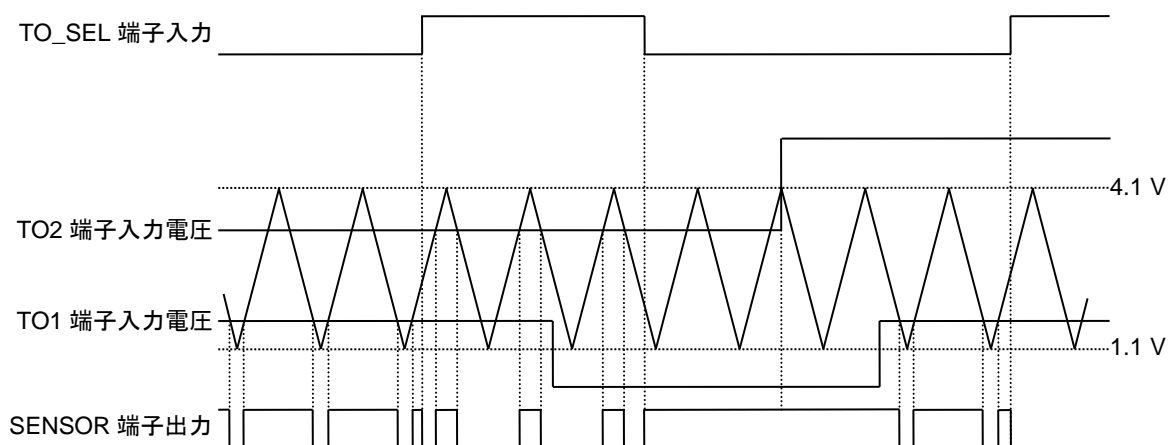


Figure 85. 温度モニタ部タイミングチャート

## 機能動作説明・定数設定例 ― 続き

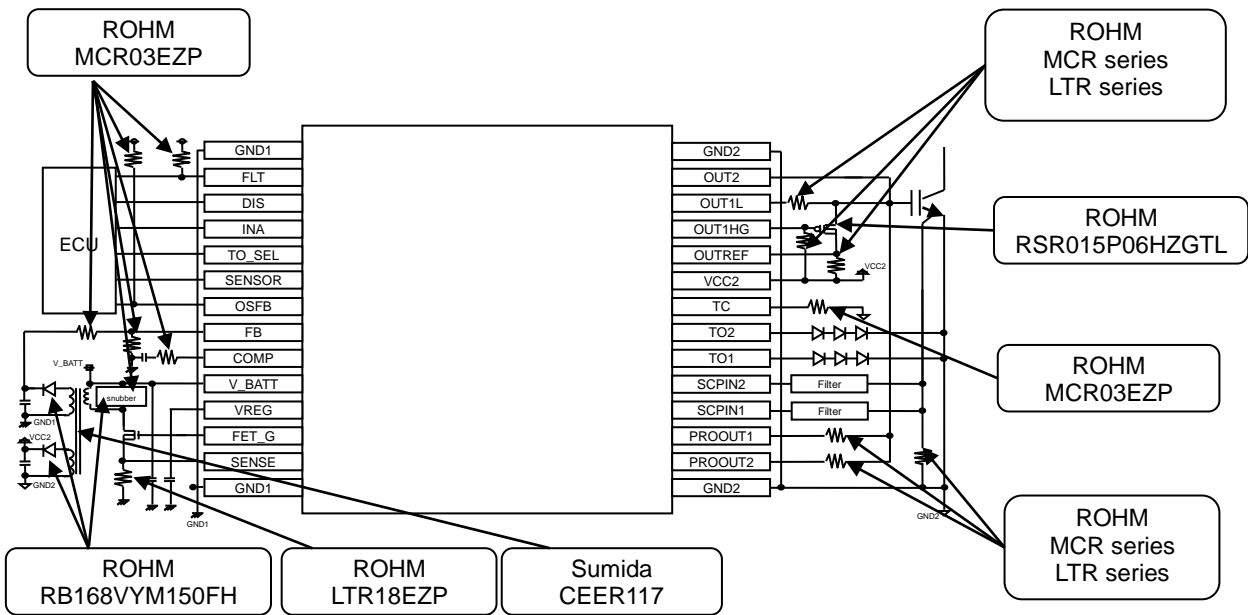
## 9. 動作真理値表

条件	状態	入力							出力						
		VREG	VCC2	VBATT	SCPINx	DIS	INA	PROOUT1 電圧	OUT1HG	OUT1L	OUT2	PROOUT1	PROOUT2	FLT	OSFB
1	短絡保護	○	○	○	H	L	H	X	H	Z	Z	L	L→Z	L	Z
2	内部電源 UVLO	UVLO	X	X	L	X	X	H	H	L	Z	Z	Z	L	Z
3		UVLO	X	X	L	X	X	L	H	L	L	Z	Z	L	Z
4	VCC2 UVLO	X	UVLO	X	L	X	X	H	H	L	Z	Z	Z	L	Z
5		X	UVLO	X	L	X	X	L	H	L	L	Z	Z	L	Z
6	V_BATT UVLO	X	X	UVLO	L	X	X	H	H	L	Z	Z	Z	L	Z
7		X	X	UVLO	L	X	X	L	H	L	L	Z	Z	L	Z
8	ディスエーブル	○	○	○	L	H	X	H	H	L	Z	Z	Z	Z	L
9		○	○	○	L	H	X	L	H	L	L	Z	Z	Z	Z
10	通常動作 L 入力	○	○	○	L	L	L	H	H	L	Z	Z	Z	Z	L
11		○	○	○	L	L	L	L	H	L	L	Z	Z	Z	Z
12	通常動作 H 入力	○	○	○	L	L	H	H	L	Z	Z	Z	Z	Z	Z
13		○	○	○	L	L	H	L	L	Z	Z	Z	Z	Z	L

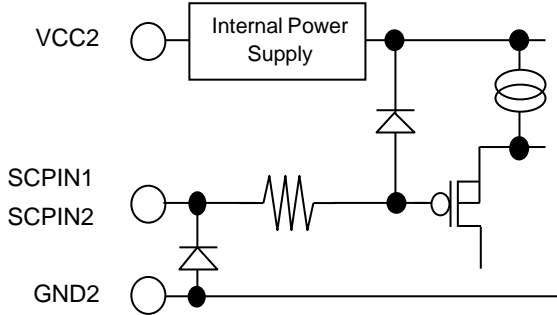
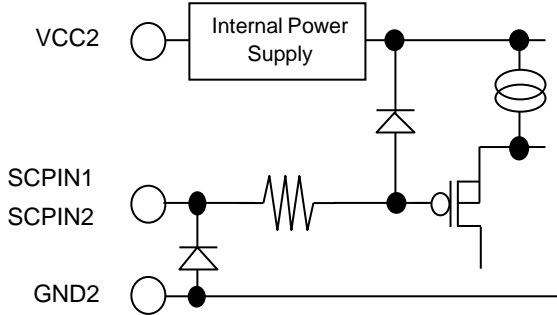
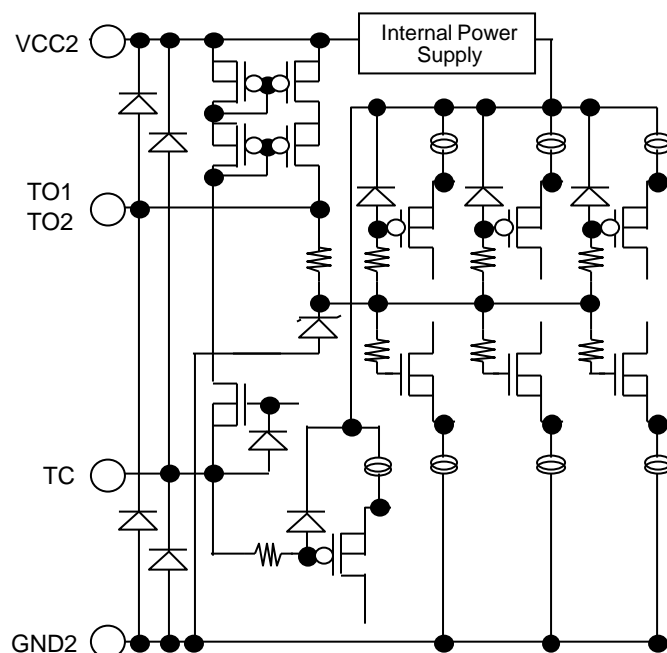
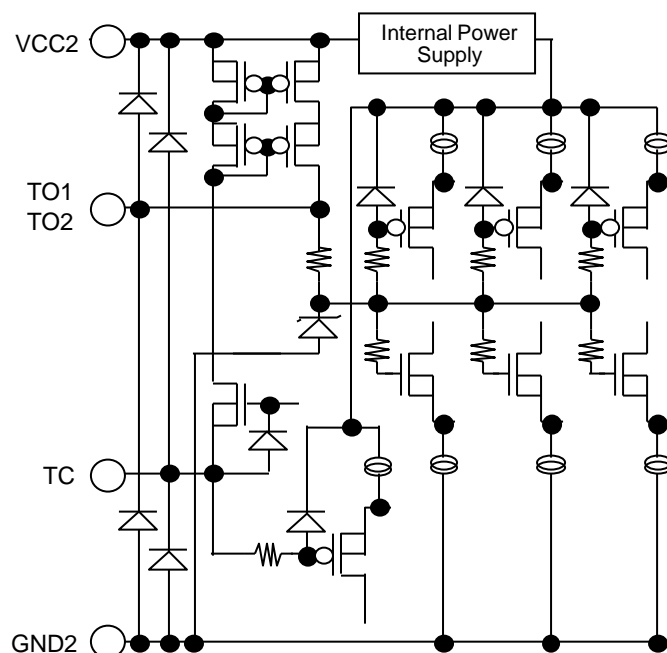
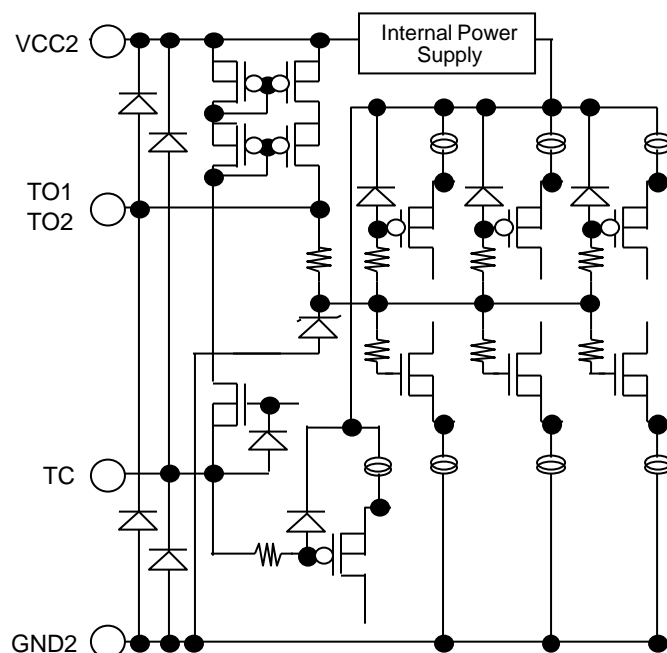
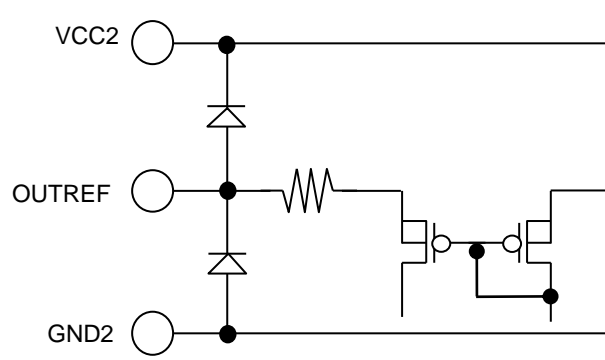
SCPINx: SCPIN1 or SCPIN2, ○: Power supply voltage &gt; UVLO, X: Don't care, Z: Hi-Z

推奨外付け部品

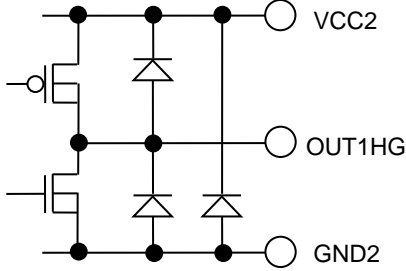
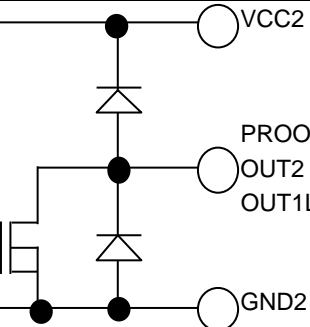
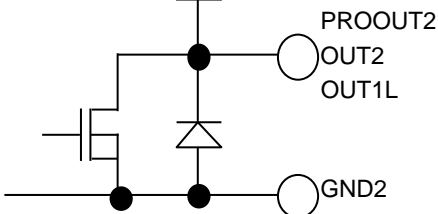
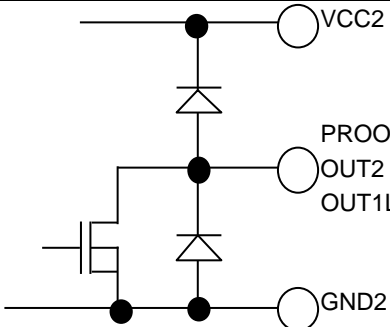
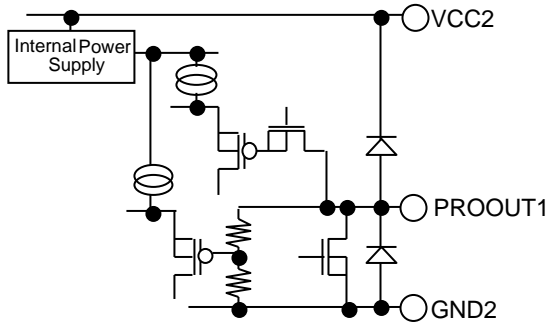
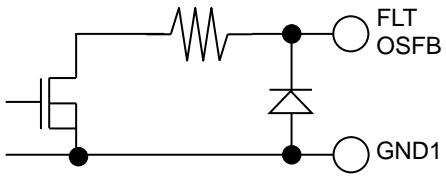
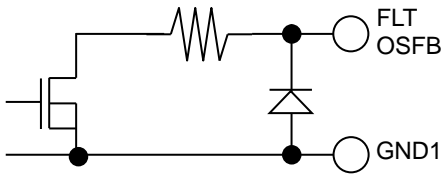
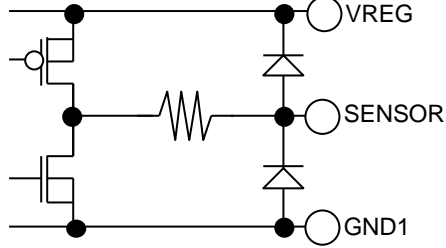
外付け部品は以下の部品を推奨します。



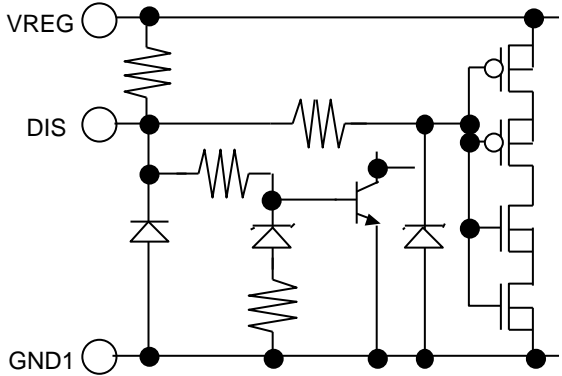
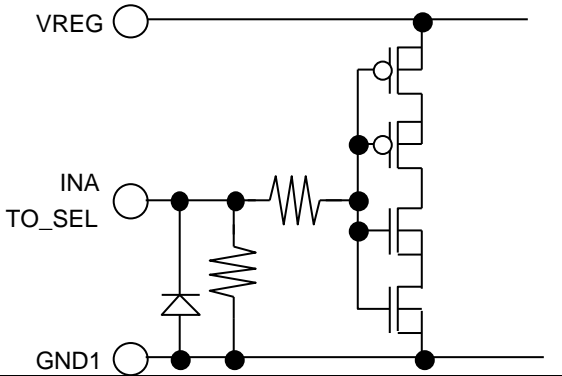
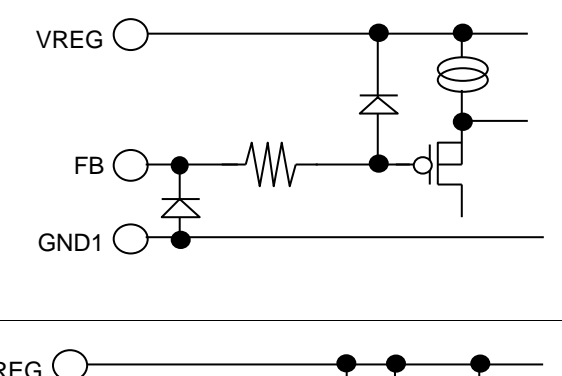
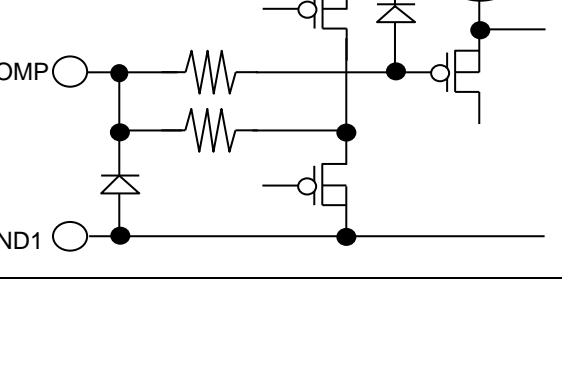
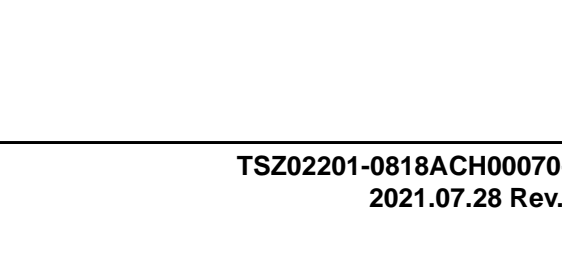
## 入出力等価回路図

端子番号	端子名	入出力等価回路図
	端子機能	
4	SCPIN1	
	短絡検出端子 1	
5	SCPIN2	
	短絡検出端子 2	
6	TO1	
	定電流源電流出力 / センサ電圧入力端子 1	
7	TO2	
	定電流源電流出力 / センサ電圧入力端子 2	
8	TC	
	定電流源電流設定用抵抗接続端子	
10	OUTREF	
	定電流駆動用基準電圧端子	

## 入出力等価回路図 — 続き

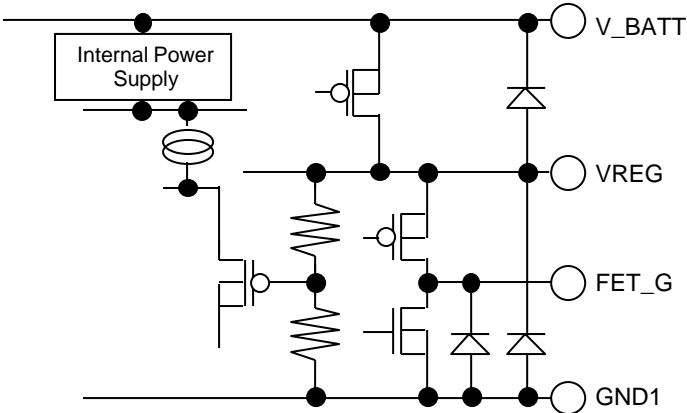
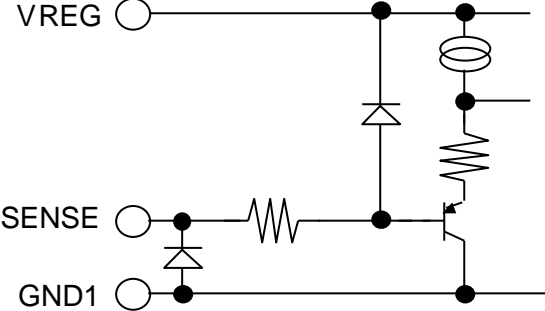
端子番号	端子名	入出力等価回路図
	端子機能	
11	OUT1HG	
	ソース側 MOS バッファ駆動端子	
12	OUT1L	
	シンク側出力端子	
13	OUT2	
	ミラークランプ端子	
2	PROOUT2	
	短絡保護用高速ターンオフ端子	
3	PROOUT1	
	短絡保護用ソフトターンオフ端子 / ゲート電圧入力端子	
16	FLT	
	フォールト出力端子	
21	OSFB	
	出力ゲート状態監視出力端子	
20	SENSOR	
	温度情報出力端子	

入出力等価回路図 — 続き

端子番号	端子名	入出力等価回路図
	端子機能	
17	DIS	
	入力許可信号入力端子	
18	INA	
	制御入力端子	
19	TO_SEL	
	温度情報選択端子	
22	FB	
	スイッチングコントローラ 誤差増幅器反転入力端子	
23	COMP	
	スイッチングコントローラ 誤差増幅器出力端子	



入出力等価回路図 — 続き

端子番号	端子名	入出力等価回路図
	端子機能	
25	VREG	
	入力側内部電源端子	
26	FET_G	
	スイッチングコントローラ トランス駆動用 MOS FET 制御端子	
27	SENSE	
	スイッチングコントローラ 電流帰還用抵抗接続端子	

## 使用上の注意

## 1. 電源の逆接続について

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れるなどの対策を施してください。

## 2. 電源ラインについて

基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。グラウンドラインについても、同様のパターン設計を考慮してください。また、LSI のすべての電源端子について電源-グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量低下が起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

## 3. グラウンド電位について

グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。

## 4. グラウンド配線パターンについて

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

## 5. 推奨動作条件について

推奨動作条件で規定される範囲で IC の機能・動作を保証します。また、特性値は電気的特性で規定される各項目の条件下においてのみ保証されます。

## 6. ラッシュカレントについて

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

## 7. セット基板での検査について

セット基板での検査時に、インピーダンスの低い端子にコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

## 使用上の注意 — 続き

## 8. 端子間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けした場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

## 9. 未使用の入力端子の処理について

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

## 10. 各入力端子について

本 IC は、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。

この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、GND > (端子 A)の時、トランジスタ(NPN)では GND > (端子 B)の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ(NPN)では、GND > (端子 B)の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に GND(P 基板)より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子が GND にショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

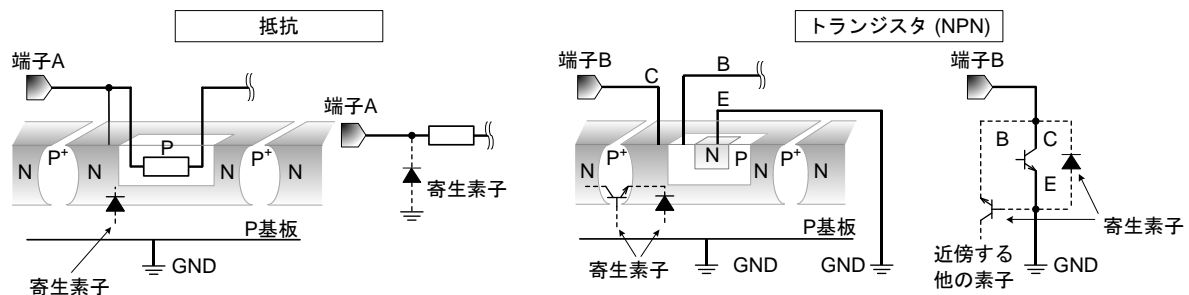


Figure 86. IC 構造例

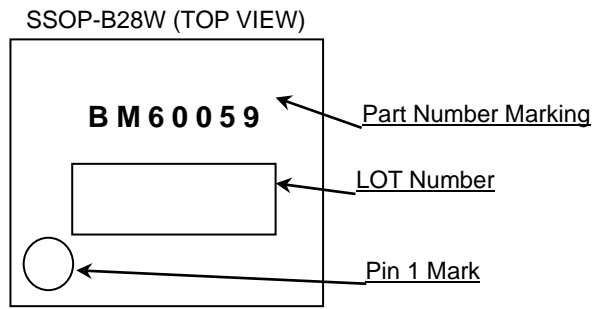
## 11. セラミック・コンデンサの特性変動について

外付けコンデンサに、セラミック・コンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮のうえ、定数を決定してください。

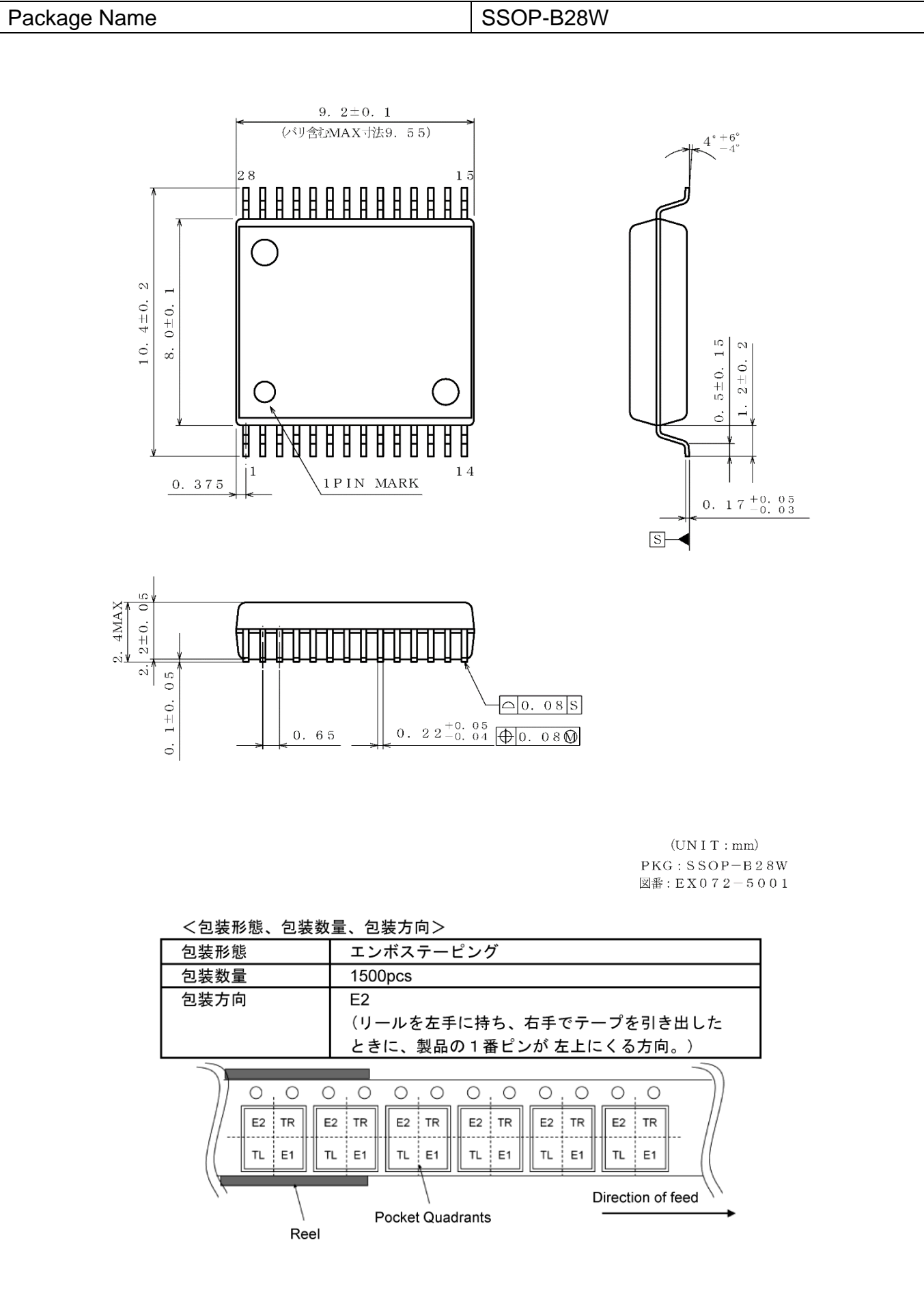
発注形名情報

B M 6 0 0 5 9 F V										-	C E 2		
形名											製品ランク		
											C : 車載ランク製品		
											包装、フォーミング仕様		
											E2 : リール状エンボステープニング		

標印図



外形寸法図と包装・フォーミング仕様



改訂履歴

Date	Revision	Changes
2019.11.29	001	新規作成
2021.7.28	002	P.1 特長欄に「UL 認定品」追加 P.4 注意 2 の「許容損失」を「熱抵抗」に変更 P.5 Vcc2 推奨動作条件変更 P.6 電気的特性 Vcc2 条件変更 P.27 UL1577 レポート記載項目追加

# ご注意

## ローム製品取扱い上の注意事項

- 極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器<sup>(Note 1)</sup>、航空宇宙機器、原子力制御装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

- 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
  - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
  - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
- 本製品は、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
  - ①水・油・薬液・有機溶剤等の液体中でのご使用
  - ②直射日光・屋外暴露、塵埃中でのご使用
  - ③潮風、Cl<sub>2</sub>、H<sub>2</sub>S、NH<sub>3</sub>、SO<sub>2</sub>、NO<sub>2</sub>等の腐食性ガスの多い場所でのご使用
  - ④静電気や電磁波の強い環境でのご使用
  - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合
  - ⑥本製品を樹脂等で封止、コーティングしてのご使用
  - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用される場合は除く。ただし、残渣については十分に確認をお願いします。)又は、はんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合
  - ⑧結露するような場所でのご使用
- 本製品は耐放射線設計はなされておられません。
- 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
- パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
- 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
- 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
- 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

## 実装及び基板設計上の注意事項

- ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
- はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。  
その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

## **応用回路、外付け回路等に関する注意事項**

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

## **静電気に対する注意事項**

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。（人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等）

## **保管・運搬上の注意事項**

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
  - ① 潮風、Cl<sub>2</sub>、H<sub>2</sub>S、NH<sub>3</sub>、SO<sub>2</sub>、NO<sub>2</sub>等の腐食性ガスの多い場所での保管
  - ② 推奨温度、湿度以外での保管
  - ③ 直射日光や結露する場所での保管
  - ④ 強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱いください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

## **製品ラベルに関する注意事項**

本製品に貼付されている製品ラベルに2次元バーコードが印字されていますが、2次元バーコードはロームの社内管理のみを目的としたものです。

## **製品廃棄上の注意事項**

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

## **外国為替及び外国貿易法に関する注意事項**

本製品は、外国為替及び外国貿易法に定めるリスト規制貨物等に該当するおそれがありますので、輸出する場合には、ロームへお問い合わせください。

## **知的財産権に関する注意事項**

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等（ソフトウェア含む）との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

## **その他の注意事項**

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。



**一般的な注意事項**

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。