

絶縁素子内蔵ゲートドライバシリーズ

絶縁電圧 2500 Vrms

絶縁素子内蔵 1ch ゲートドライバ

BM60060FV-C

概要

絶縁電圧 2500 Vrms、入出力遅延時間 210 ns、最小入力パルス幅 90 ns の絶縁素子内蔵ゲートドライバです。フォールト信号出力機能、低電圧時誤動作防止機能(UVLO)、短絡保護機能(SCP、検出電圧温度特性補正機能内蔵)、短絡検出時遮断時間短縮機能、ミラークランプ機能(MC)、温度モニタ機能、スイッチングコントローラ、ゲート抵抗切り替え機能、ゲート状態監視機能を内蔵しています。

重要特性

■ 絶縁電圧:	2500 Vrms
■ 最大ゲート駆動電圧:	24 V
■ 入出力遅延時間:	210 ns (Max)
■ 最小入力パルス幅:	90 ns

パッケージ

SSOP-B28W

W (Typ) x D (Typ) x H (Max)

9.2 mm x 10.4 mm x 2.4 mm

特長

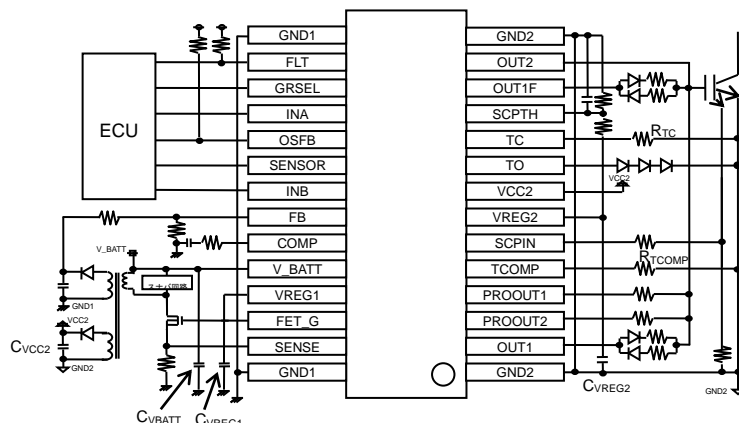
- AEC-Q100 対応 (Note 1)
- フォールト信号出力機能内蔵
- 低電圧時誤動作防止機能内蔵
- 短絡保護機能内蔵
- 短絡検出電圧温度特性補正機能内蔵
- 短絡保護時遮断時間短縮機能内蔵
- 短絡保護時ソフトターンオフ機能内蔵 (ターンオフ時間設定可能)
- ミラークランプ機能内蔵
- 温度モニタ機能内蔵
- スwitchingコントローラ内蔵
- ゲート抵抗切り替え機能内蔵
- ゲート状態監視機能内蔵
- UL 認定品 UL1577 File No. E356010 (Note 1) Grade1



用途

- 車載用インバータ
- 車載用 DCDC コンバータ
- 産業用インバータ
- UPS

基本アプリケーション回路



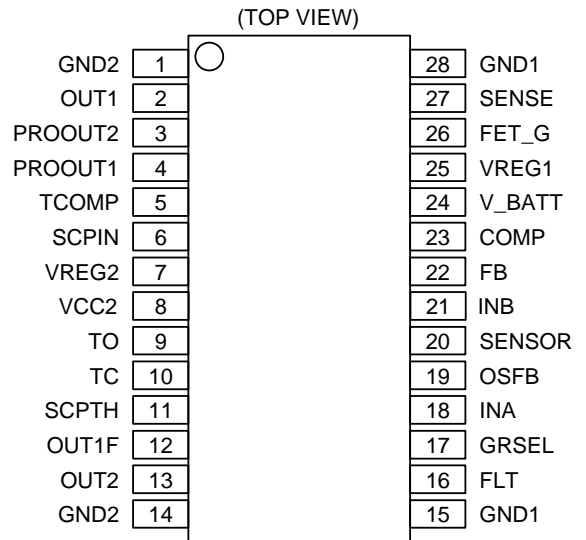
目 次

概要	1
特長	1
用途	1
重要特性	1
パッケージ	1
基本アプリケーション回路	1
目 次	2
推奨外付け定数範囲	3
端子配置図	3
端子説明	3
ブロック図	4
絶対最大定格	4
熱抵抗	5
推奨動作条件	5
絶縁特性	5
電気的特性	6
特性データ	9
UL1577レポート記載項目	30
端子説明・基板レイアウトの注意点	31
機能動作説明・定数設定例	32
1. 異常状態出力	32
2. 低電圧時誤動作防止機能 (UVLO)	33
3. 短絡保護機能 (SCP)	35
4. ミラークランプ機能 (MC)	38
5. ゲート抵抗切り替え機能	39
6. ゲート状態監視機能	39
7. スイッチングコントローラ	40
8. 温度モニタ機能	42
推奨外付け部品	43
入出力等価回路図	44
使用上の注意	48
発注形名情報	50
標印図	50
外形寸法図と包装・フォーミング仕様	51
改訂履歴	52

推奨外付け定数範囲

端子配置図

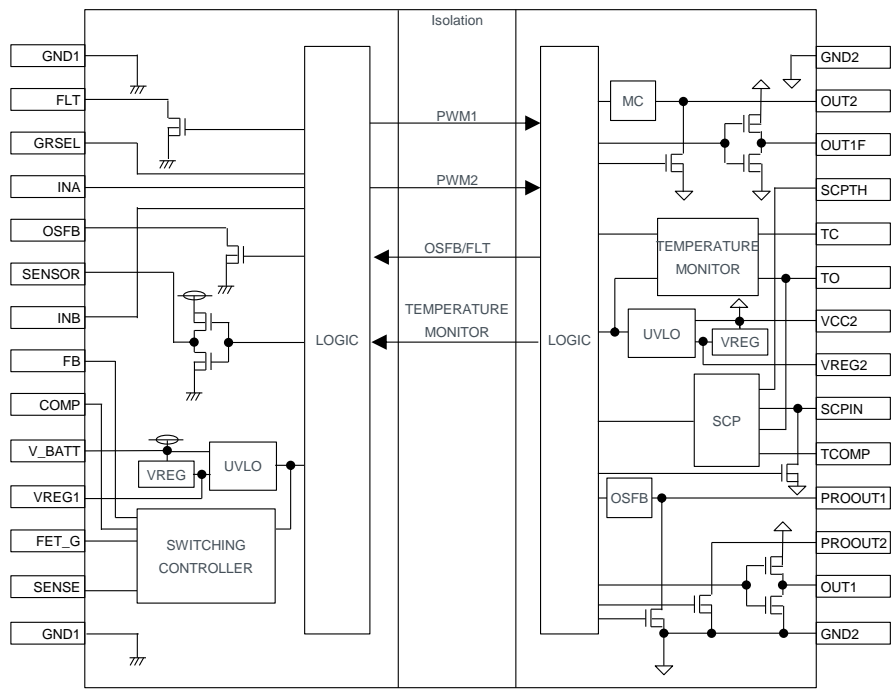
端子名	記号	推奨値			単位
		最小	標準	最大	
TC (使用時)	R _{TC}	1.25	-	100	kΩ
TC (未使用時)	R _{TC}	0.1	1	10	MΩ
TCOMP	R _{TCOMP}	9	-	100	kΩ
V_BATT	C _{VBATT}	3	-	-	μF
VCC2	C _{VCC2}	0.4	-	-	μF
VREG1	C _{VREG1}	0.3	1	10	μF
VREG2	C _{VREG2}	0.3	1	10	μF



端子説明

端子番号	端子名	機能
1	GND2	出力側グラウンド端子
2	OUT1	出力端子
3	PROOUT2	短絡保護用高速ターンオフ端子
4	PROOUT1	短絡保護用ソフトターンオフ端子 / ゲート電圧入力端子
5	TCOMP	短絡検出電圧温度特性補正端子
6	SCPIN	短絡検出端子
7	VREG2	出力側内部電源端子
8	VCC2	出力側電源端子
9	TO	定電流源電流出力 / センサ電圧入力端子
10	TC	定電流源電流設定用抵抗接続端子
11	SCPTH	短絡検出スレッシュホールド設定端子
12	OUT1F	出力端子
13	OUT2	ミラークランプ端子
14	GND2	出力側グラウンド端子
15	GND1	入力側グラウンド端子
16	FLT	フォールト出力端子
17	GRSEL	ゲート抵抗切り替え端子
18	INA	制御入力端子
19	OSFB	出力ゲート状態監視出力端子
20	SENSOR	温度情報出力端子
21	INB	制御入力端子
22	FB	スイッチングコントローラ誤差増幅器反転入力端子
23	COMP	スイッチングコントローラ誤差増幅器出力端子
24	V_BATT	主電源端子
25	VREG1	入力側内部電源端子
26	FET_G	スイッチングコントローラトランス駆動用 MOS FET 制御端子
27	SENSE	スイッチングコントローラ電流帰還用抵抗接続端子
28	GND1	入力側グラウンド端子

ブロック図



絶対最大定格

項 目	記号	定 格	単位
主電源電圧	V _{BATTMAX}	-0.3 ~ +40.0 (Note 2)	V
出力側電源電圧	V _{CC2MAX}	-0.3 ~ +30.0 (Note 3)	V
INA, INB, GRSEL 端子入力電圧	V _{INMAX}	-0.3 ~ +7.0 (Note 2)	V
FLT, OSFB 端子入力電圧	V _{FLTMAX}	-0.3 ~ +7.0 (Note 2)	V
FLT, OSFB 出力電流	I _{FLT}	10	mA
SENSOR 端子出力電流	I _{SENSOR}	10	mA
FB 端子入力電圧	V _{FBMAX}	-0.3 ~ +7.0 (Note 2)	V
FET_G 端子出力電流 (peak 5 μs)	I _{FET_GPEAK}	1	A
SCPIN 端子入力電圧	V _{SCPINMAX}	-0.3 ~ V _{CC2} + 0.3 or +30.0 (Note 3)	V
SCPTH 端子入力電圧	V _{SCPTHMAX}	- 0.3 ~ 7.0 (Note 3)	V
TO 端子入力電圧	V _{TOMAX}	-0.3 ~ V _{CC2} + 0.3 or +30.0 (Note 3)	V
TO 端子出力電流	I _{TOMAX}	8	mA
OUT1, OUT1F 端子出力電流 (peak 5 μs)	I _{OUT1PEAK}	10 (Note 4)	A
OUT2 端子出力電流 (peak 5 μs)	I _{OUT2PEAK}	10 (Note 4)	A
PROOUT1 端子出力電流 (peak 10 μs)	I _{PROOUT1PEAK}	2.5 (Note 4)	A
PROOUT2 端子出力電流 (peak 5 μs)	I _{PROOUT2PEAK}	5.0 (Note 4)	A
保存温度範囲	T _{stg}	-55 ~ +150	°C
最高接合部温度	T _{jmax}	+150	°C

注意 1 : 印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施していただくようご検討をお願いします。

注意 2 : 最高接合部温度を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。最高接合部温度を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用するなど、最高接合部温度を超えないよう熱抵抗にご配慮ください。

(Note 2) GND1 基準

(Note 3) GND2 基準

(Note 4) T_j = 150 °C を超えないこと

熱抵抗 (Note 5)

項目	記号	熱抵抗 (Typ)		単位
		1 層基板 <small>(Note 7)</small>	4 層基板 <small>(Note 8)</small>	
SSOP-B28W				
ジャンクション—周囲温度間熱抵抗	θ_{JA}	112.9	64.4	°C/W
ジャンクション—パッケージ上面中心間熱特性パラメータ <small>(Note 6)</small>	Ψ_{JT}	34	23	°C/W

(Note 5) JESD51-2A (Still-Air)に準拠。

(Note 6) ジャンクションからパッケージ (モールド部分) 上面中心までの熱特性パラメータ。

(Note 7) JESD51-3に準拠した基板を使用。

(Note 8) JESD51-7に準拠した基板を使用。

測定基板	基板材	基板寸法
1層	FR-4	114.3 mm x 76.2 mm x 1.57 mm

1層目 (表面) 銅箔	
銅箔パターン	銅箔厚
実装ランドパターン + 電極引出し用配線	70 μ m

測定基板	基板材	基板寸法
4層	FR-4	114.3 mm x 76.2 mm x 1.6 mm

1層目 (表面) 銅箔		2層目、3層目 (内層) 銅箔		4層目 (裏面) 銅箔	
銅箔パターン	銅箔厚	銅箔パターン	銅箔厚	銅箔パターン	銅箔厚
実装ランドパターン + 電極引出し用配線	70 μ m	74.2 mm□ (正方形)	35 μ m	74.2 mm□ (正方形)	70 μ m

推奨動作条件

項目	記号	最小	最大	単位
主電源電圧	V_{BATT} (Note 9)	8	24	V
出力側電源電圧	V_{CC2} (Note 10)	13.5	24.0	V
VREG1 端子出力電流	I_{VREG1}	-	0.5	mA
VREG2 端子出力電流	I_{VREG2}	-	0.5	mA
TO 端子入力電圧	V_{TO} (Note 10)	1.35	3.84	V
SCPTH 端子入力電圧	V_{SCPTH} (Note 10)	0.5	2.0	V
動作温度	T_{opr}	-40	+125	°C

(Note 9) GND1 基準

(Note 10) GND2 基準

絶縁特性

項目	記号	特性	単位
絶縁抵抗 ($V_{IO} = 500$ V)	R_s	$>10^9$	Ω
絶縁耐電圧 (1 min)	V_{ISO}	2500	Vrms
絶縁試験電圧 (1 s)	V_{ISO}	3000	Vrms

電氣的特性

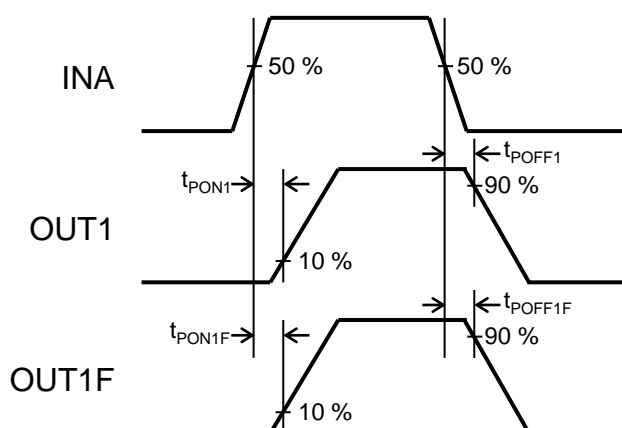
(特に指定のない限り、Ta = -40 °C~ +125 °C、V_{BATT} = 8 V~24 V、V_{CC2} = 13.5 V~24 V)

項 目	記号	最小	標準	最大	単位	条 件
全体						
主電源消費電流 1	I _{BATT1}	0.4	1.2	2.0	mA	FET_G スイッチング時 INA, INB 論理固定時
主電源消費電流 2	I _{BATT2}	0.3	1.1	1.9	mA	FET_G 停止時 INA, INB 論理固定時
主電源消費電流 3	I _{BATT3}	0.5	1.3	2.1	mA	FET_G スイッチング時 INA = 10 kHz, Duty = 50 % INB = L
主電源消費電流 4	I _{BATT4}	0.5	1.4	2.3	mA	FET_G スイッチング時 INA = 20 kHz, Duty = 50 % INB = L
出力側回路電流	I _{CC2}	1.4	3.0	4.6	mA	R _{TC} = 10 kΩ
入力側内部電源出力電圧	V _{REG1}	4.5	5.0	5.5	V	
出力側内部電源出力電圧	V _{REG2}	4.8	5.0	5.2	V	
スイッチングコントローラ						
FET_G 出力電圧 H	V _{FETGH}	4.5	5.0	5.5	V	I _{FET_G} = 0 A (open)
FET_G 出力電圧 L	V _{FETGL}	0	-	0.3	V	I _{FET_G} = 0 A (open)
FET_G ソース側オン抵抗	R _{ONGH}	3	6	12	Ω	I _{FET_G} = 10 mA
FET_G シンク側オン抵抗	R _{ONGL}	0.3	0.6	1.3	Ω	I _{FET_G} = 10 mA
発振周波数	f _{OSC_SW}	80	100	120	kHz	
ソフトスタート時間	t _{SS}	-	-	50	ms	
FB 端子スレッシュホールド電圧	V _{FB}	1.47	1.50	1.53	V	
FB 端子入力電流	I _{FB}	-0.8	0	+0.8	μA	
COMP 端子シンク電流	I _{COMPSINK}	-160	-80	-40	μA	
COMP 端子ソース電流	I _{COMPSOURCE}	40	80	160	μA	
誤差増幅器 トランスコンダクタンス	g _{merr}	0.5	1.1	2.2	mA/V	設計保証
V_BATT UVLO OFF 電圧	V _{UVLOBATTH}	6.5	7.0	7.5	V	
V_BATT UVLO ON 電圧	V _{UVLOBATTL}	5.5	6.0	6.5	V	
最大オン DUTY	D _{ONMAX}	50	55	60	%	
過電圧検出閾値	V _{OVTH}	1.88	1.95	2.02	V	
低電圧検出閾値	V _{UVTH}	1.03	1.10	1.17	V	
過電流検出閾値	V _{OCTH}	0.17	0.20	0.23	V	
スイッチングコントローラ 保護保持時間	t _{DCDCRLS}	20	40	60	ms	
ロジック入力						
ロジック H レベル入力電圧	V _{INH}	0.7xV _{REG1}	-	5.5	V	INA, INB, GRSEL
ロジック L レベル入力電圧	V _{INL}	0	-	0.3 x V _{REG1}	V	INA, INB, GRSEL
ロジックプルダウン抵抗	R _{IND}	25	50	100	kΩ	INA, INB, GRSEL
ロジック入力フィルタ時間	t _{INFIL}	5	45	90	ns	INA, INB

電気的特性 — 続き

(特に指定のない限り、 $T_a = -40\text{ }^{\circ}\text{C} \sim +125\text{ }^{\circ}\text{C}$ 、 $V_{\text{BATT}} = 8\text{ V} \sim 24\text{ V}$ 、 $V_{\text{CC2}} = 13.5\text{ V} \sim 24\text{ V}$)

項 目	記号	最小	標準	最大	単位	条 件
出力						
OUT1 出力ソース側オン抵抗	R_{ONH1}	0.09	0.22	0.42	Ω	$I_{\text{OUT1}} = 40\text{ mA}$, 設計保証
OUT1 出力シンク側オン抵抗	R_{ONL1}	0.07	0.20	0.40	Ω	$I_{\text{OUT1}} = 40\text{ mA}$, 設計保証
OUT1 ソース側出力最大電流	I_{OUTMAX1H}	6	-	-	A	$V_{\text{CC2}} = 15\text{ V}$, 設計保証
OUT1 シンク側出力最大電流	I_{OUTMAX1L}	4	-	-	A	$V_{\text{CC2}} = 15\text{ V}$, 設計保証
OUT1 Turn ON time	t_{PON1}	90	150	210	ns	
OUT1 Turn OFF time	t_{POFF1}	80	140	200	ns	
OUT1 Propagation distortion	t_{PDIST1}	-60	-10	+40	ns	$t_{\text{POFF1}} - t_{\text{PON1}}$
OUT1 Rise time	t_{RISE1}	25	50	120	ns	Load = $4.7\text{ }\Omega + 1\text{ nF}$
OUT1 Fall time	t_{FALL1}	25	50	100	ns	Load = $4.7\text{ }\Omega + 1\text{ nF}$
OUT1F 出力ソース側オン抵抗	R_{ONH1F}	0.11	0.25	0.50	Ω	$I_{\text{OUT1F}} = 40\text{ mA}$, 設計保証
OUT1F 出力シンク側オン抵抗	R_{ONL1F}	0.07	0.18	0.36	Ω	$I_{\text{OUT1F}} = 40\text{ mA}$, 設計保証
OUT1F ソース側出力最大電流	$I_{\text{OUTMAX1FH}}$	3	-	-	A	$V_{\text{CC2}} = 15\text{ V}$, 設計保証
OUT1F シンク側出力最大電流	$I_{\text{OUTMAX1FL}}$	5	-	-	A	$V_{\text{CC2}} = 15\text{ V}$, 設計保証
OUT1F Turn ON time	t_{PON1F}	90	150	210	ns	
OUT1F Turn OFF time	t_{POFF1F}	80	140	200	ns	
OUT1F Propagation distortion	t_{PDIST1F}	-60	-10	+40	ns	$t_{\text{POFF1F}} - t_{\text{PON1F}}$
OUT1F Rise time	t_{RISE1F}	25	50	130	ns	Load = $4.7\text{ }\Omega + 1\text{ nF}$
OUT1F Fall time	t_{FALL1F}	25	50	100	ns	Load = $4.7\text{ }\Omega + 1\text{ nF}$
PROOUT1 オン抵抗	R_{ONPRO1}	0.4	1.2	2.7	Ω	$I_{\text{PROOUT1}} = 40\text{ mA}$, 設計保証
PROOUT2 オン抵抗	R_{ONPRO2}	0.1	0.3	0.8	Ω	$I_{\text{PROOUT2}} = 40\text{ mA}$, 設計保証
PROOUT1 出力最大電流	$I_{\text{OUTMAXPRO1}}$	1	-	-	A	$V_{\text{CC2}} = 15\text{ V}$, 設計保証
PROOUT2 出力最大電流	$I_{\text{OUTMAXPRO2}}$	5	-	-	A	$V_{\text{CC2}} = 15\text{ V}$, 設計保証
OUT2 オン抵抗	R_{ON2}	0.10	0.25	0.60	Ω	$I_{\text{OUT2}} = 40\text{ mA}$, 設計保証
OUT2 ON スレッシュホルド	V_{OUT2ON}	1.8	2.0	2.2	V	
OUT2 ON 遅延時間	t_{OUT2ON}	-	60	90	ns	設計保証
同相過渡耐圧	CM	100	-	-	kV/ μs	設計保証
温度モニタ						
TC 端子電圧	V_{TC}	0.975	1.000	1.025	V	
TO 出力電流	I_{TO}	0.97	1.00	1.03	mA	$R_{\text{TC}} = 10\text{ k}\Omega$
SENSOR 出力周波数	$f_{\text{OSC_TO}}$	8	10	14	kHz	
SENSOR 出力 Duty1	D_{SENSOR1}	88.0	90.0	92.0	%	$V_{\text{TO}} = 1.35\text{ V}$
SENSOR 出力 Duty2	D_{SENSOR2}	47.6	50.0	52.4	%	$V_{\text{TO}} = 2.59\text{ V}$
SENSOR 出力 Duty3	D_{SENSOR3}	6.4	10.0	13.6	%	$V_{\text{TO}} = 3.84\text{ V}$
SENSOR ソース側オン抵抗	R_{SENSORH}	-	60	160	Ω	$I_{\text{SENSOR}} = 5\text{ mA}$
SENSOR シンク側オン抵抗	R_{SENSORL}	-	60	160	Ω	$I_{\text{SENSOR}} = 5\text{ mA}$



電気的特性 — 続き

(特に指定のない限り、Ta = -40 °C~ +125 °C、V_{BATT} = 8 V~24 V、V_{CC2} = 13.5 V~24 V)

項 目	記号	最小	標準	最大	単位	条 件
保護機能						
入力側内部電源 UVLO OFF 電圧	V _{UVLOREG1H}	4.05	4.25	4.45	V	
入力側内部電源 UVLO ON 電圧	V _{UVLOREG1L}	3.95	4.15	4.35	V	
入力側内部電源 UVLO 遅延時間 (OUT1)	t _{DUVLOREG1OUT}	2	10	30	μs	
入力側内部電源 UVLO 遅延時間 (FLT)	t _{DUVLOREG1FLT}	2	10	30	μs	
出力側 UVLO OFF 電圧	V _{UVLO2H}	11.5	12.5	13.5	V	
出力側 UVLO ON 電圧	V _{UVLO2L}	10.5	11.5	12.5	V	
出力側 UVLO 遅延時間 (OUT1)	t _{DUVLO2OUT}	2	10	30	μs	
出力側 UVLO 遅延時間 (FLT)	t _{DUVLO2FLT}	3	-	65	μs	
出力側内部電源 UVLO OFF 電圧	V _{UVLOREG2H}	4.05	4.25	4.45	V	
出力側内部電源 UVLO ON 電圧	V _{UVLOREG2L}	3.95	4.15	4.35	V	
出力側内部電源 UVLO 遅延時間 (OUT1)	t _{DUVLOREG2OUT}	2	10	30	μs	
出力側内部電源 UVLO 遅延時間 (FLT)	t _{DUVLOREG2FLT}	3	-	65	μs	
SCPIN 端子反応時間	t _{SCPLEB}	400	450	500	ns	設計保証
短絡検出オフセット	V _{SCDET}	-25	0	+25	mV	V _{SCPTH} = 0.5 V
TCOMP 端子出力電圧 1	V _{TCOMP1}	3.72	3.84	3.96	V	V _{TO} = 3.84 V
TCOMP 端子出力電圧 2	V _{TCOMP2}	1.30	1.35	1.40	V	V _{TO} = 1.35 V
SCPIN 端子出力電流 1	I _{SCPIN1}	409	427	445	μA	V _{TO} = 3.84 V, R _{TCOMP} = 9 kΩ
SCPIN 端子出力電流 2	I _{SCPIN2}	11.4	13.5	15.6	μA	V _{TO} = 1.35 V, R _{TCOMP} = 100 kΩ
短絡検出遅延時間 (PROOUT1, PROOUT2)	t _{DSCPPRO}	140	230	320	ns	
短絡検出遅延時間 (FLT)	t _{DSCPFLT}	1	-	35	μs	
PROOUT2 ON 時間	t _{PRO2ON}	100	160	220	ns	設計保証
SCPIN 端子 L 電圧	V _{SCPINL}	-	0.02	0.10	V	I _{SCPIN} = 1 mA
FLT 出力オン抵抗	R _{FLTL}	-	30	80	Ω	I _{FLT} = 5 mA
フォールト出力保持時間	t _{FLTRLS}	20	40	60	ms	
ゲート H 論理検出 スレッシュホールド電圧	V _{OSFBH}	12.9	13.8	14.7	V	
ゲート L 論理検出 スレッシュホールド電圧	V _{OSFBL}	12.5	13.4	14.3	V	
OSFB 出力オン抵抗	R _{OSFBL}	-	30	80	Ω	I _{OSFB} = 5 mA

特性データ
(参考データ)

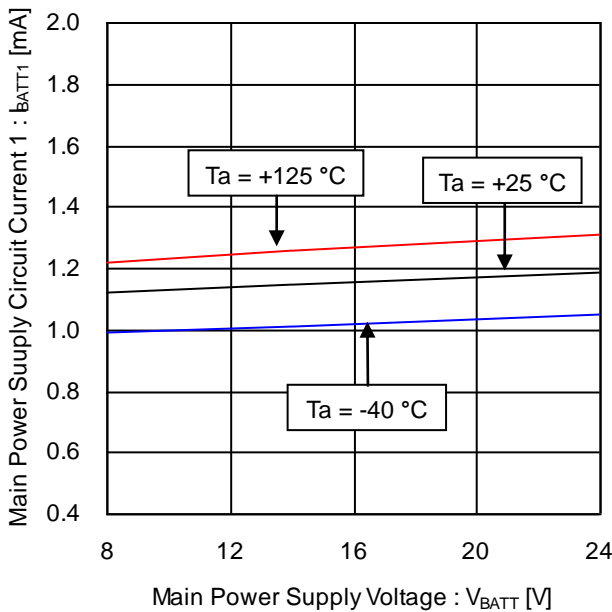


Figure 1. Main Power Supply Circuit Current 1 vs Main Power Supply Voltage
(FET_G switching operation, INA not switching)

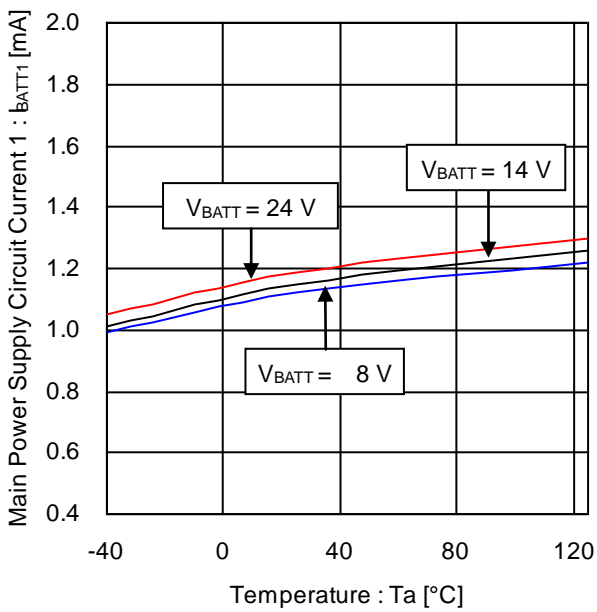


Figure 2. Main Power Supply Circuit Current 1 vs Temperature
(FET_G switching operation, INA not switching)

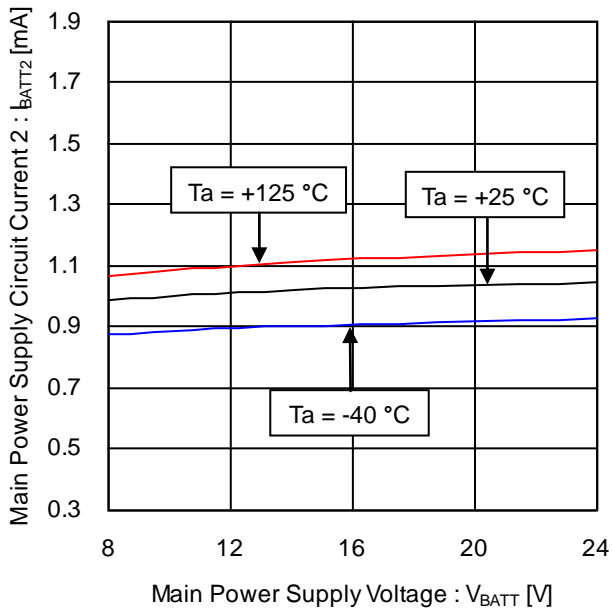


Figure 3. Main Power Supply Circuit Current 2 vs Main Power Supply Voltage
(FET_G not switching, INA not switching)

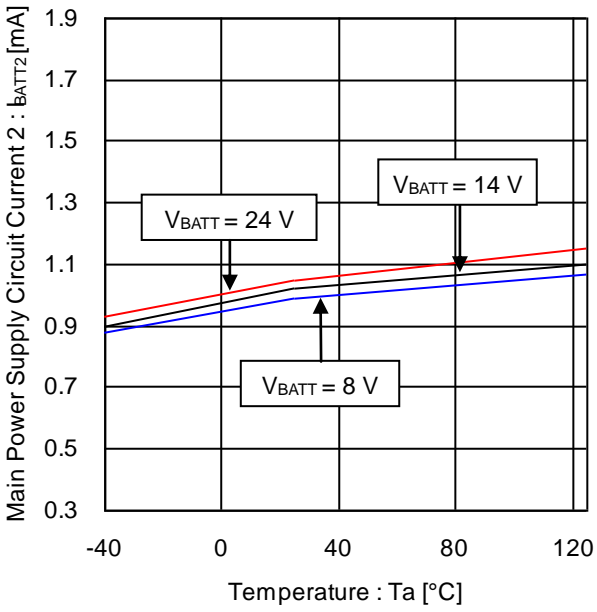


Figure 4. Main Power Supply Circuit Current 2 vs Temperature
(FET_G not switching, INA not switching)

特性データ - 続き
(参考データ)

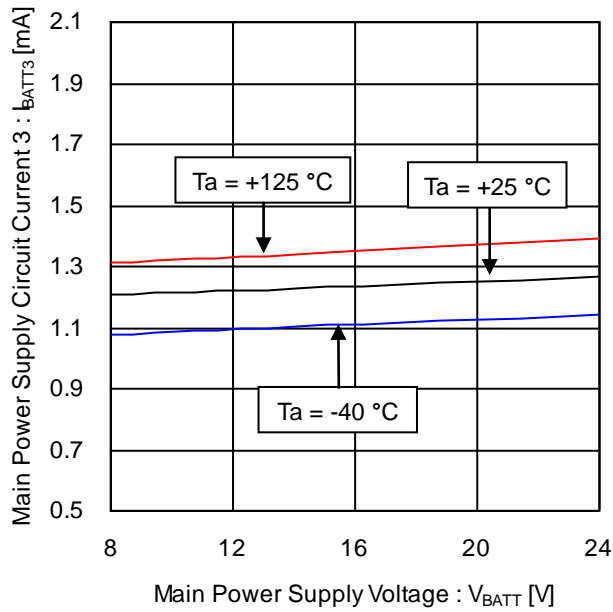


Figure 5. Main Power Supply Circuit Current 3 vs Main Power Supply Voltage
(FET_G switching operation, INA = 10 kHz, Duty = 50 %)

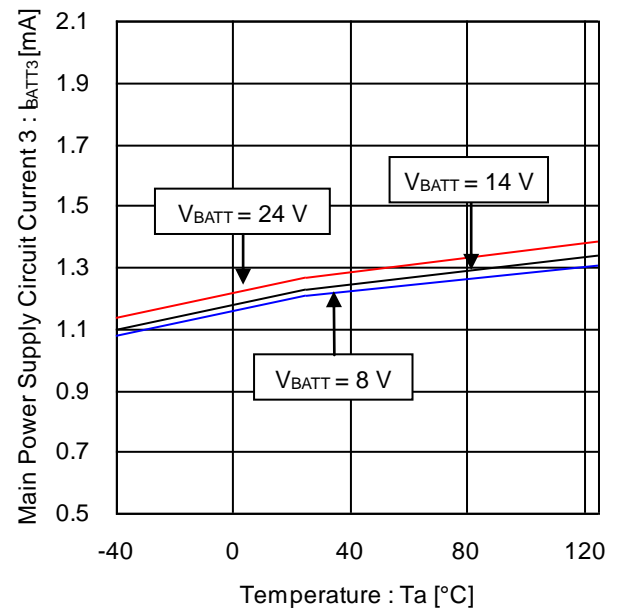


Figure 6. Main Power Supply Circuit Current 3 vs Temperature
(FET_G switching operation, INA = 10 kHz, Duty = 50 %)

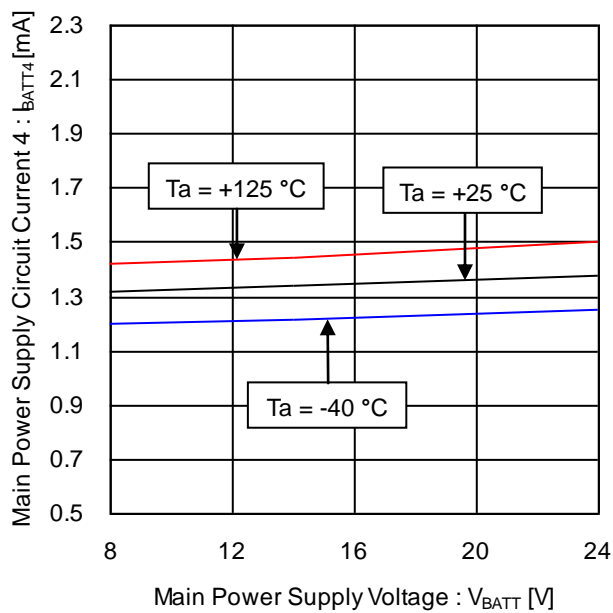


Figure 7. Main Power Supply Circuit Current 4 vs Main Power Supply Voltage
(FET_G switching operation, INA = 20 kHz, Duty = 50 %)

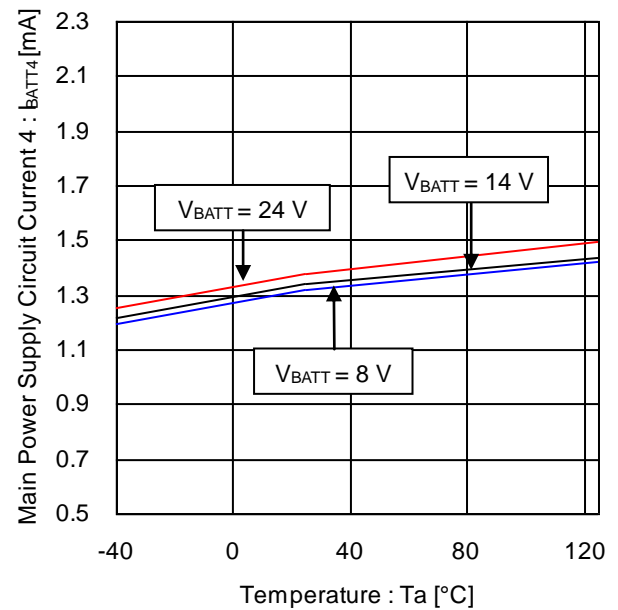


Figure 8. Main Power Supply Circuit Current 4 vs Temperature
(FET_G switching operation, INA = 20 kHz, Duty = 50 %)

特性データ - 続き
(参考データ)

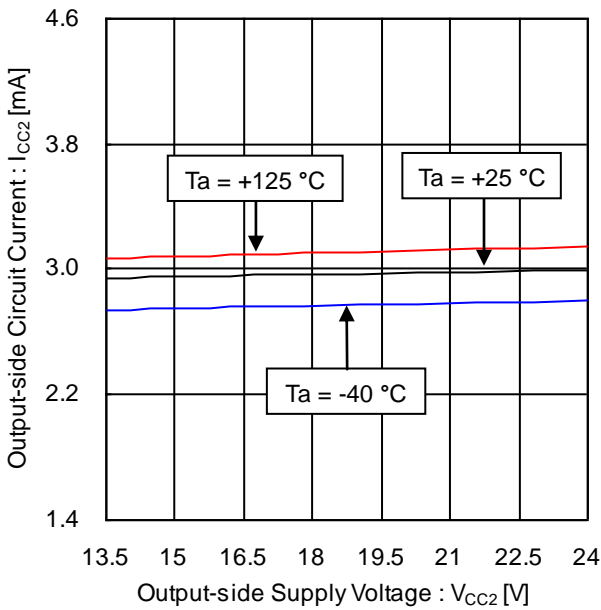


Figure 9. Output-side Circuit Current vs Output-side Supply Voltage

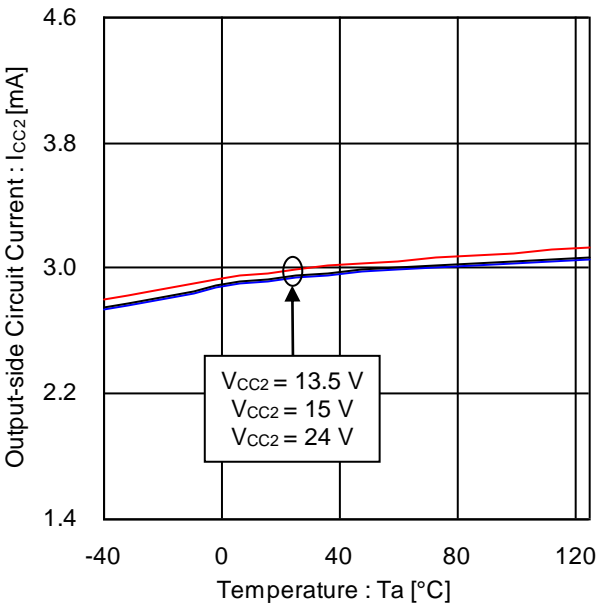


Figure 10. Output-side Circuit Current vs Temperature

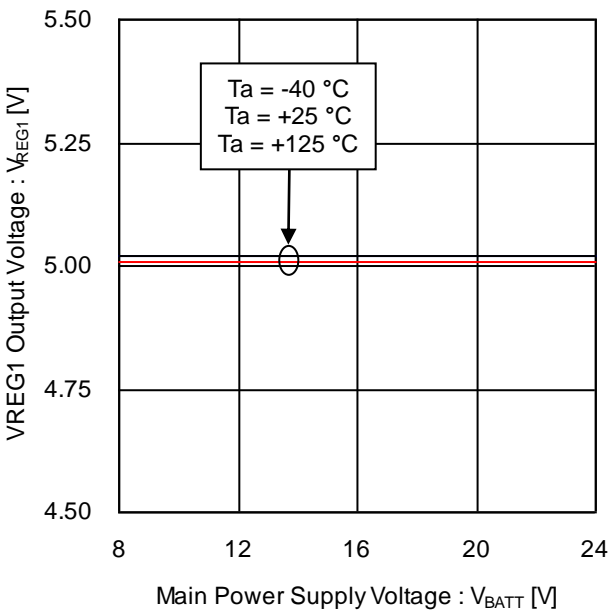


Figure 11. VREG1 Output Voltage vs Main Power Supply Voltage

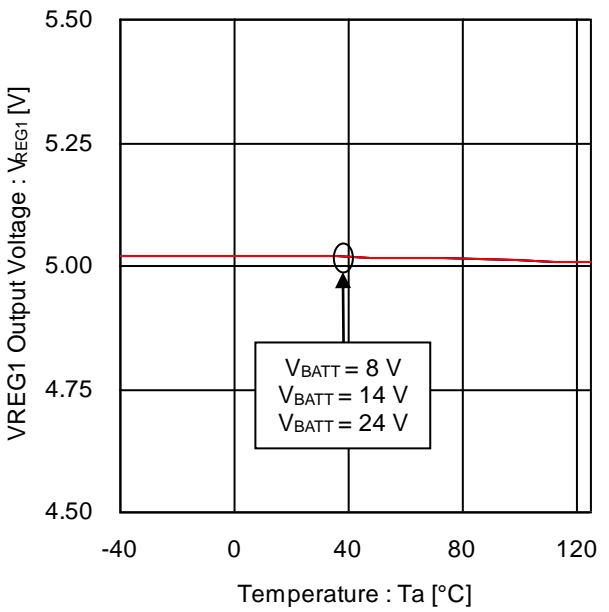


Figure 12. VREG1 Output Voltage vs Temperature

特性データ - 続き
(参考データ)

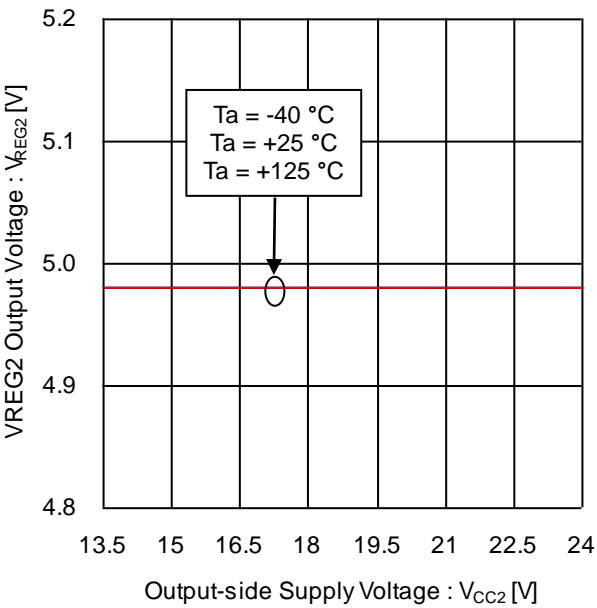


Figure 13. VREG2 Output Voltage vs Output-side Supply Voltage

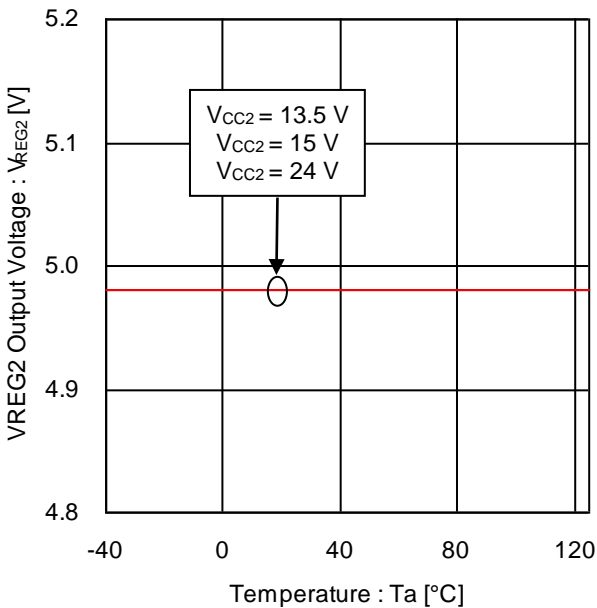


Figure 14. VREG2 Output Voltage vs Temperature

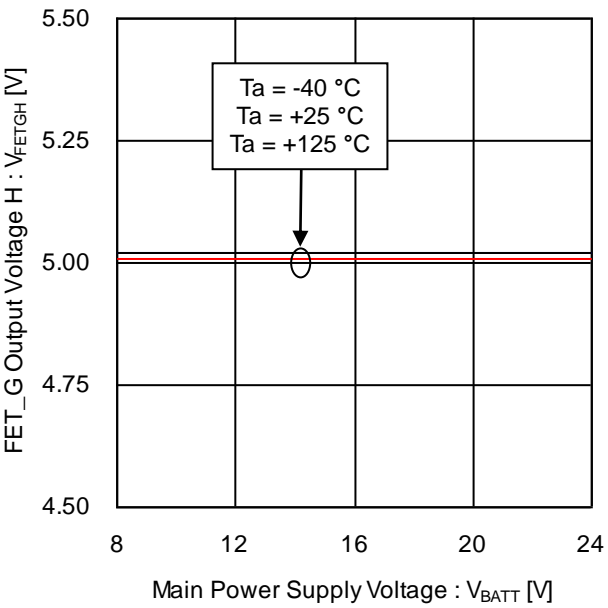


Figure 15. FET_G Output Voltage H vs Main Power Supply Voltage
($I_{FET_G} = 0\text{ A}$)

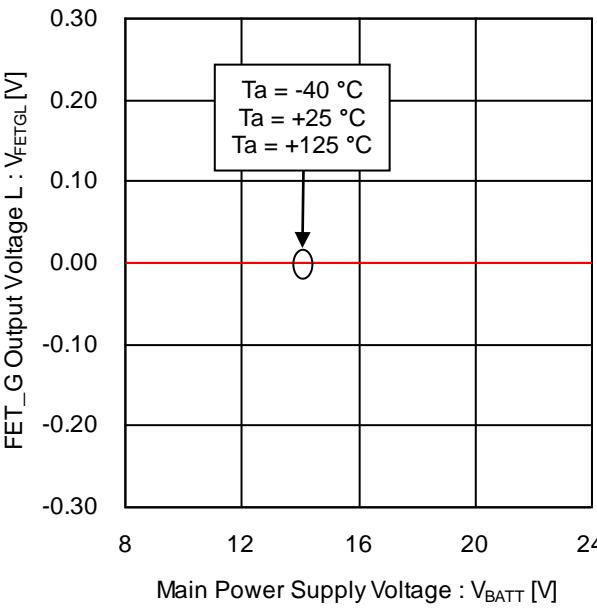


Figure 16. FET_G Output Voltage L vs Main Power Supply Voltage
($I_{FET_G} = 0\text{ A}$)

特性データ - 続き
(参考データ)

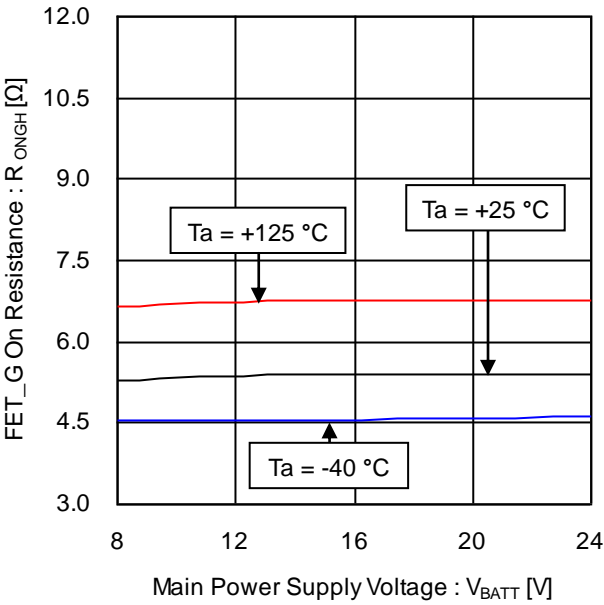


Figure 17. FET_G On Resistance vs Main Power Supply Voltage (Source-side)

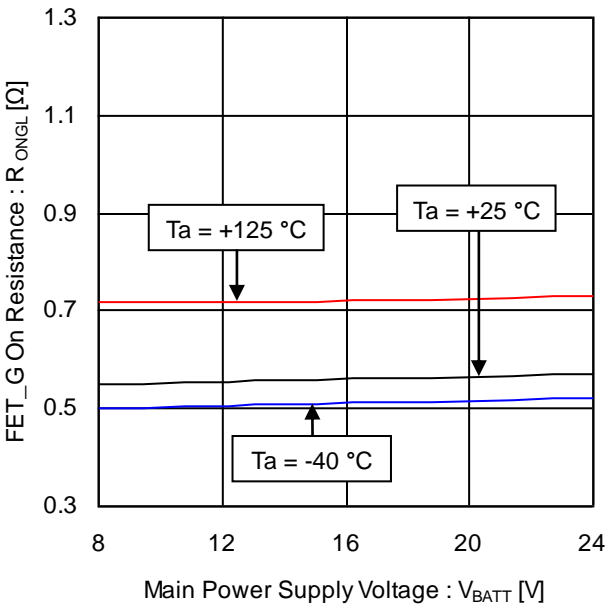


Figure 18. FET_G On Resistance vs Main Power Supply Voltage (Sink-side)

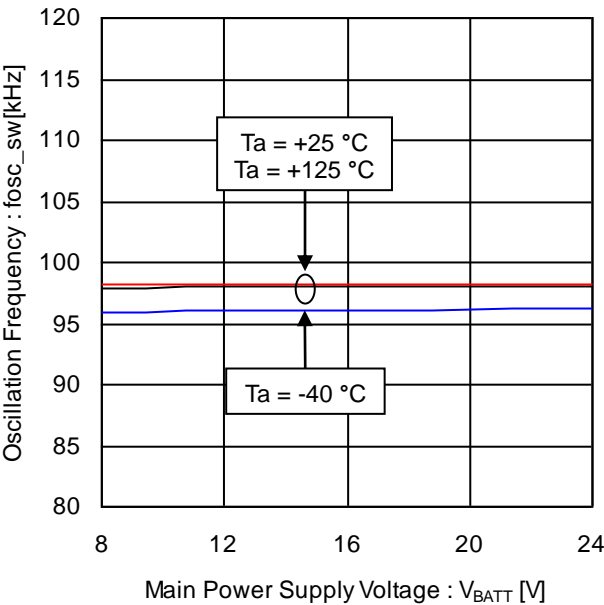


Figure 19. Oscillation Frequency vs Main Power Supply Voltage

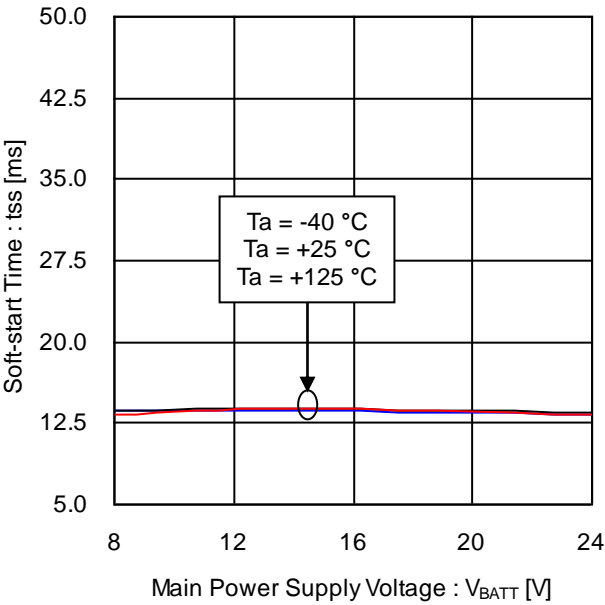


Figure 20. Soft-start Time vs Main Power Supply Voltage

特性データ - 続き
(参考データ)

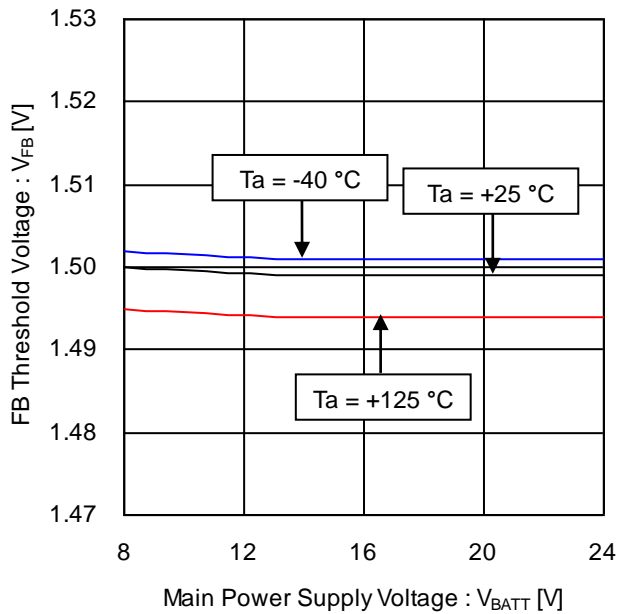


Figure 21. FB Threshold Voltage vs Main Power Supply Voltage

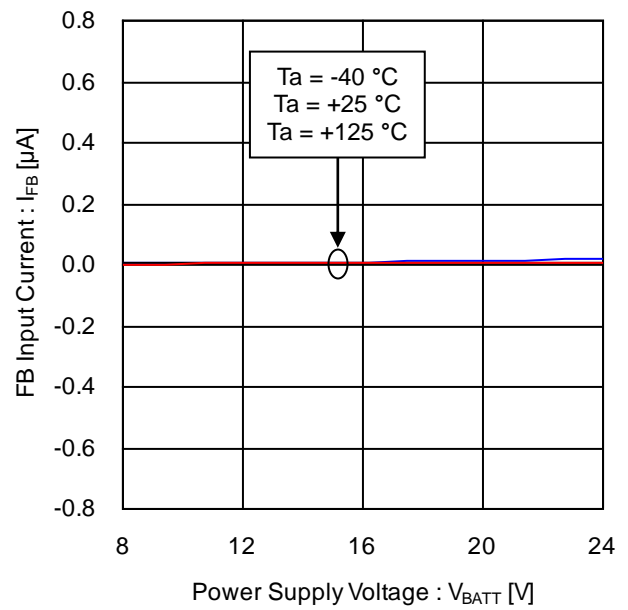


Figure 22. FB Input Current vs Main Power Supply Voltage
(FB = 5 V)

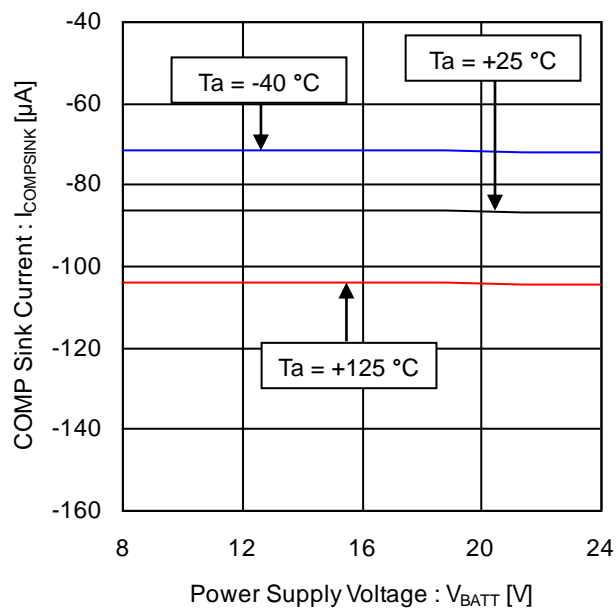


Figure 23. COMP Sink Current vs Main Power Supply Voltage

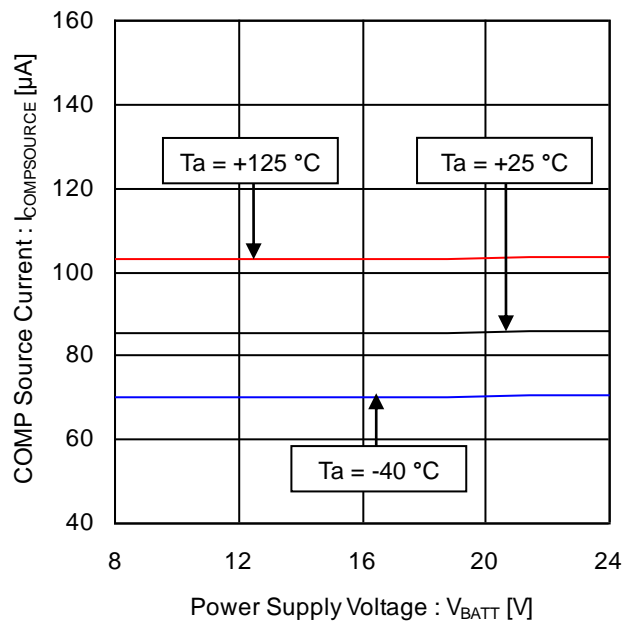


Figure 24. COMP Source Current vs Main Power Supply Voltage

特性データ - 続き
(参考データ)

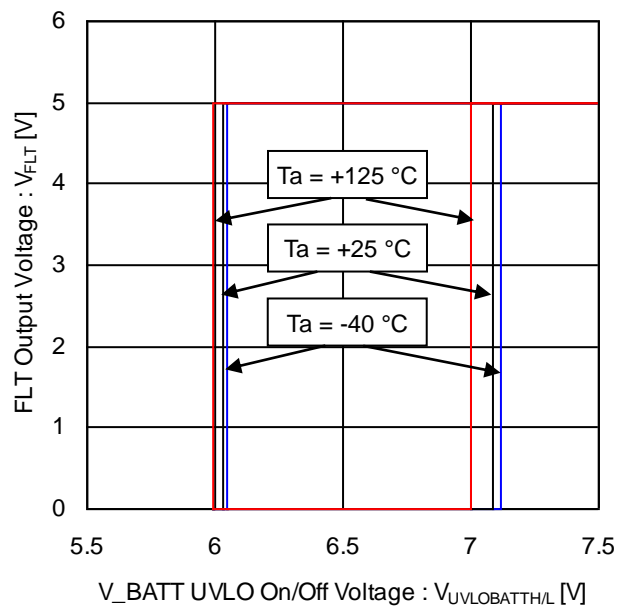


Figure 25. FLT Output Voltage vs V_{BATT} UVLO On/Off Voltage

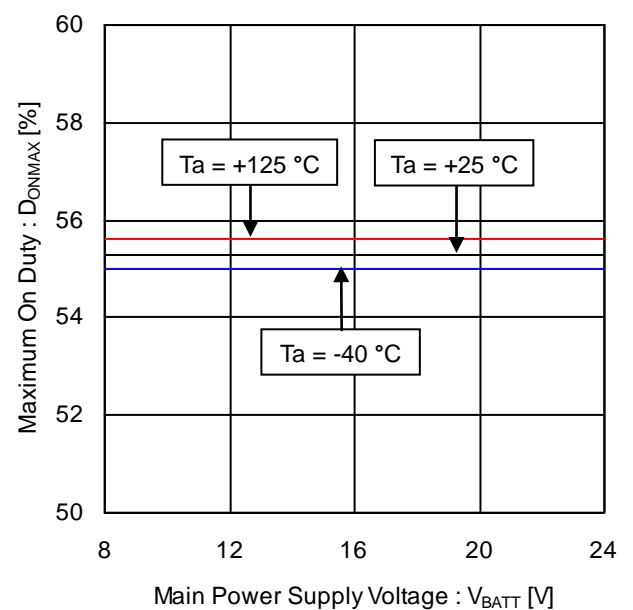


Figure 26. Maximum On Duty vs Main Power Supply Voltage

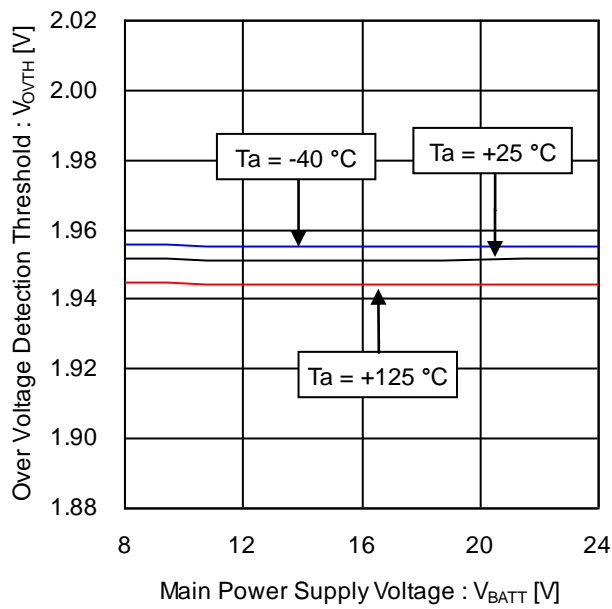


Figure 27. Over Voltage Detection Threshold vs Main Power Supply Voltage

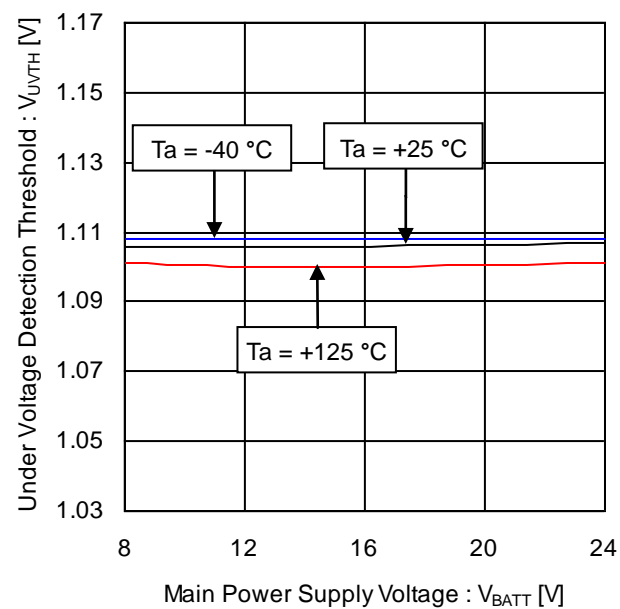


Figure 28. Under Voltage Detection Threshold vs Main Power Supply Voltage

特性データ - 続き
(参考データ)

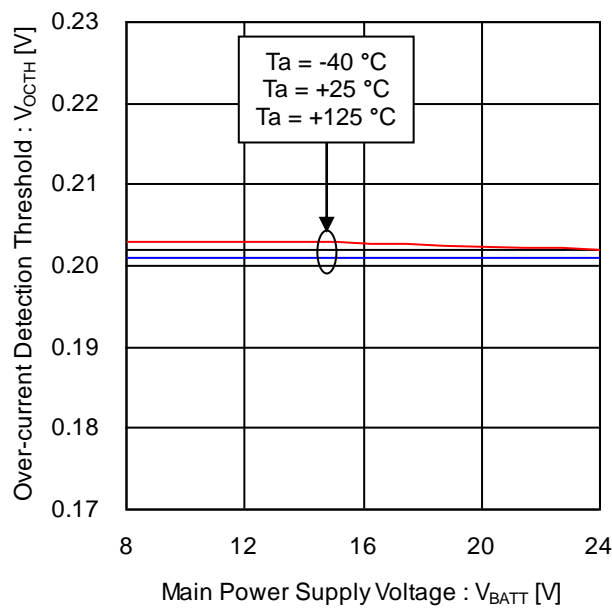


Figure 29. Over-current Detection Threshold vs Main Power Supply Voltage

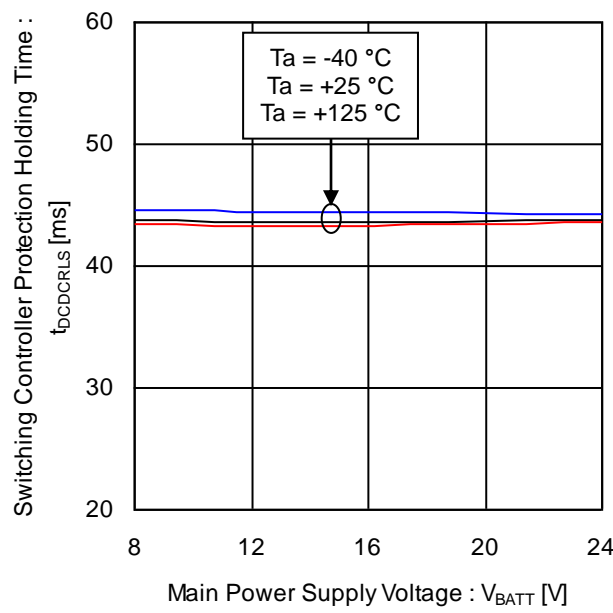


Figure 30. Switching Controller Protection Holding Time vs Main Power Supply Voltage

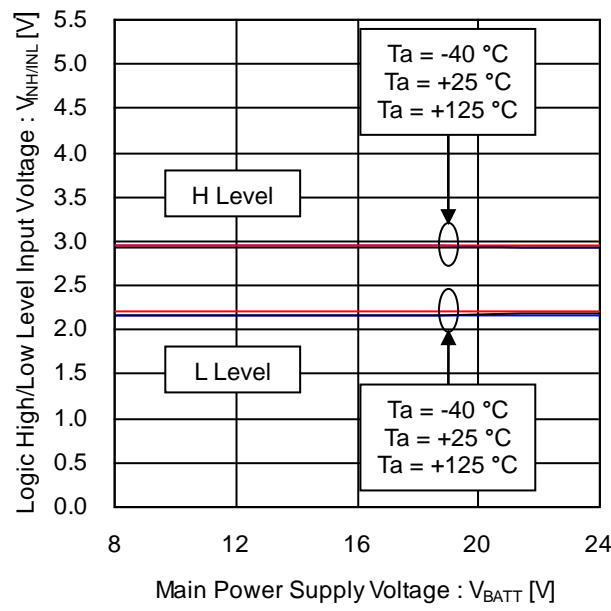


Figure 31. Logic High/Low Level Input Voltage vs Main Power Supply Voltage (INA, INB, GRSEL)

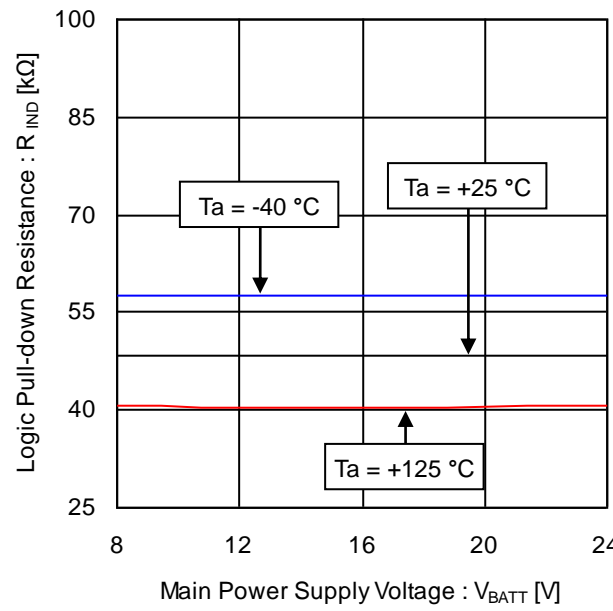


Figure 32. Logic Pull-down Resistance vs Main Power Supply Voltage (INA, INB, GRSEL)

特性データ - 続き
(参考データ)

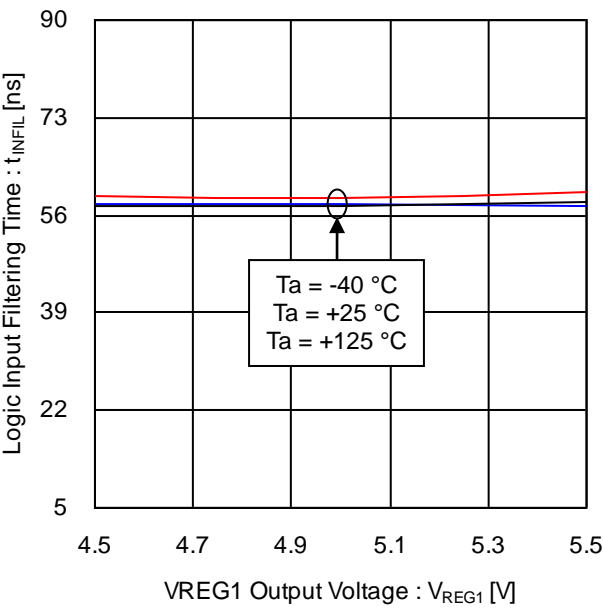


Figure 33. Logic Input Filtering Time vs VREG1 Output Voltage (INA, INB)

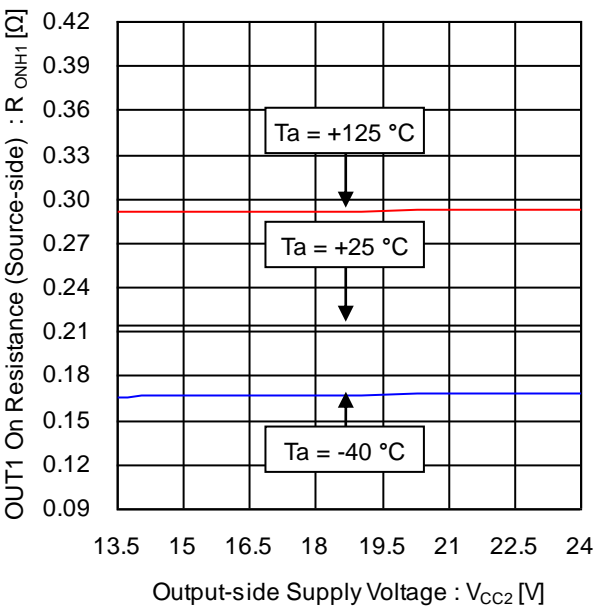


Figure 34. OUT1 On Resistance (Source-side) vs Output-side Supply Voltage (I_OUT1 = 40 mA)

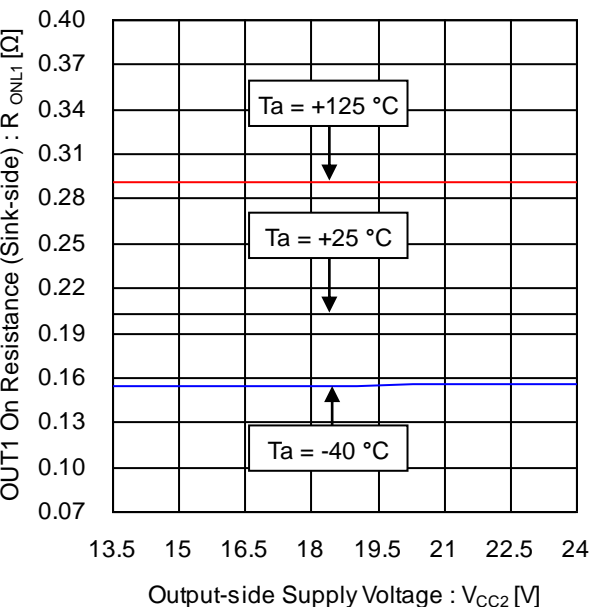


Figure 35. OUT1 On Resistance (Sink-side) vs Output-side Supply Voltage (I_OUT1 = 40 mA)

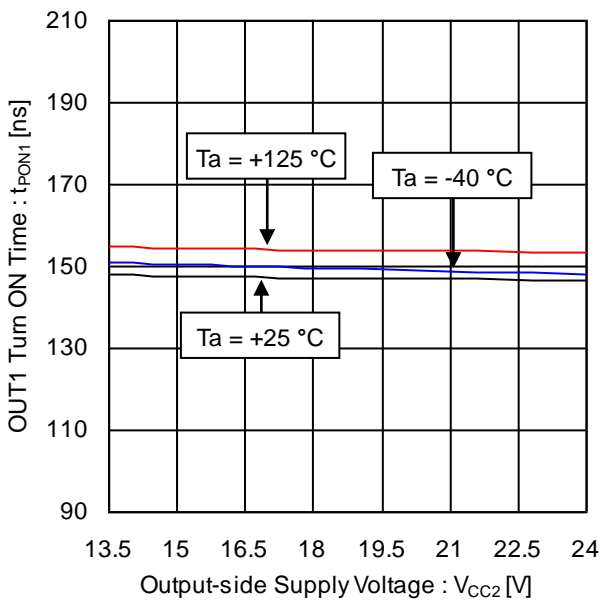


Figure 36. OUT1 Turn ON Time vs Output-side Supply Voltage

特性データ - 続き
(参考データ)

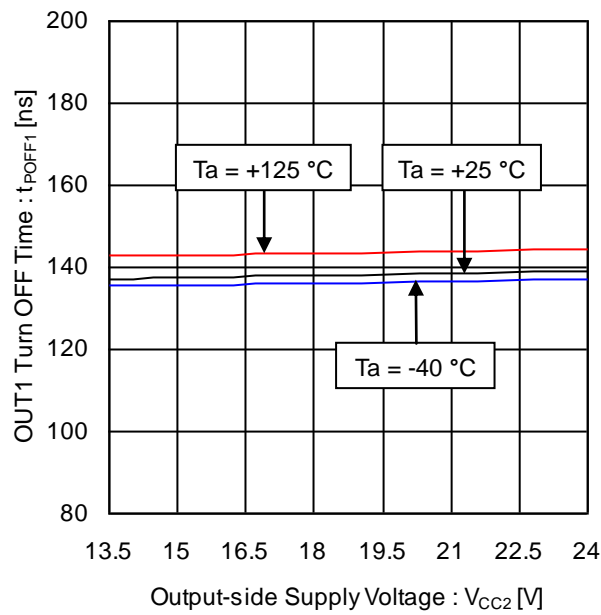


Figure 37. OUT1 Turn OFF Time vs Output-side Supply Voltage

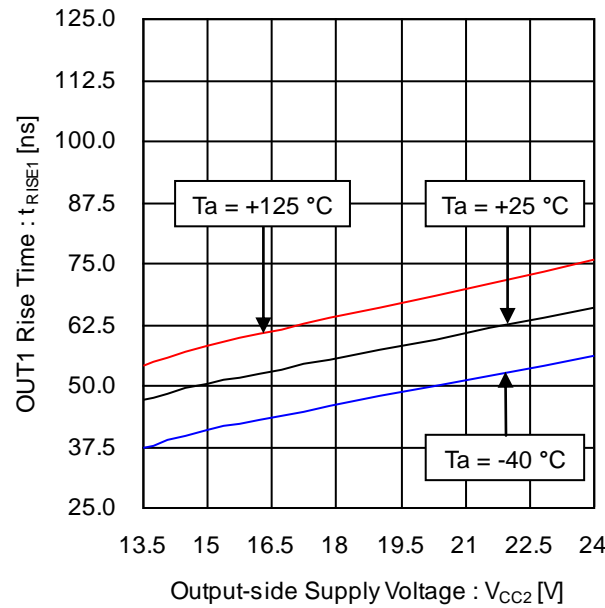


Figure 38. OUT1 Rise Time vs Output-side Supply Voltage
(Load = 4.7 Ω + 1 nF)

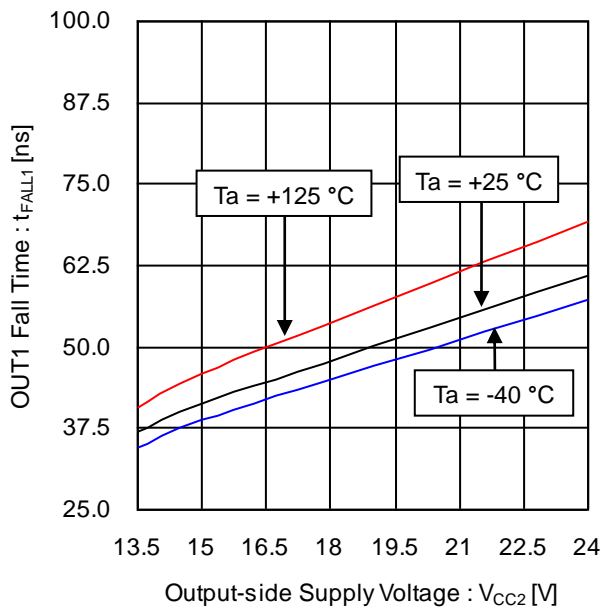


Figure 39. OUT1 Fall Time vs Output-side Supply Voltage
(Load = 4.7 Ω + 1 nF)

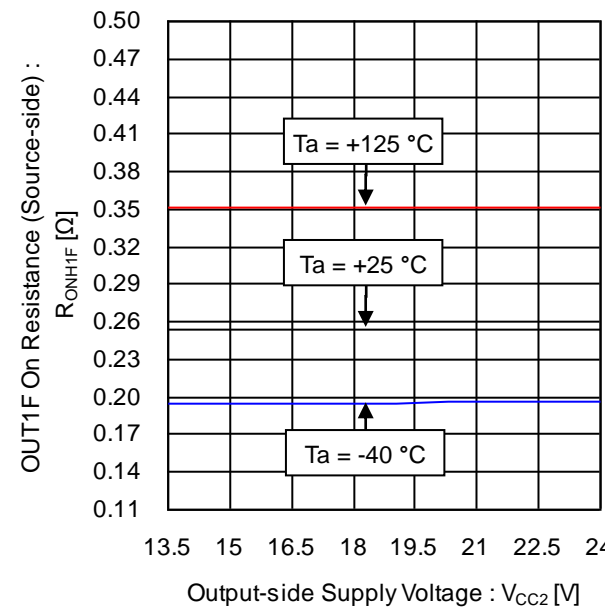


Figure 40. OUT1F On Resistance (Source-side) vs Output-side Supply Voltage
($I_{OUT1F} = 40\text{ mA}$)

特性データ - 続き
(参考データ)

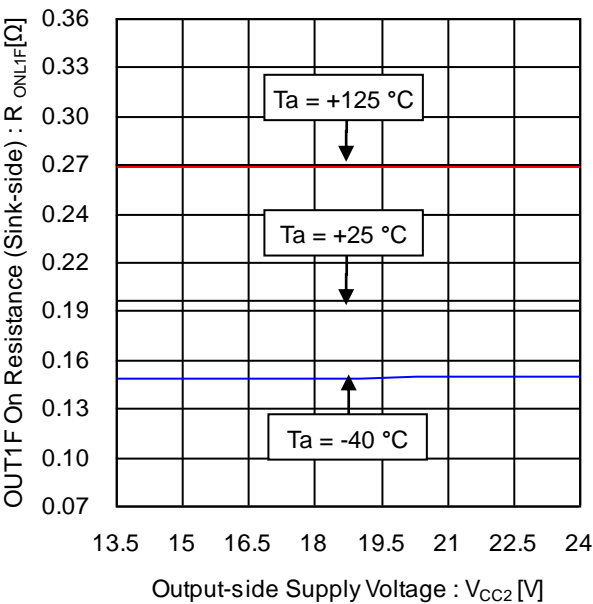


Figure 41. OUT1F On Resistance (Sink-side) vs Output-side Supply Voltage
(I_{OUT1F} = 40 mA)

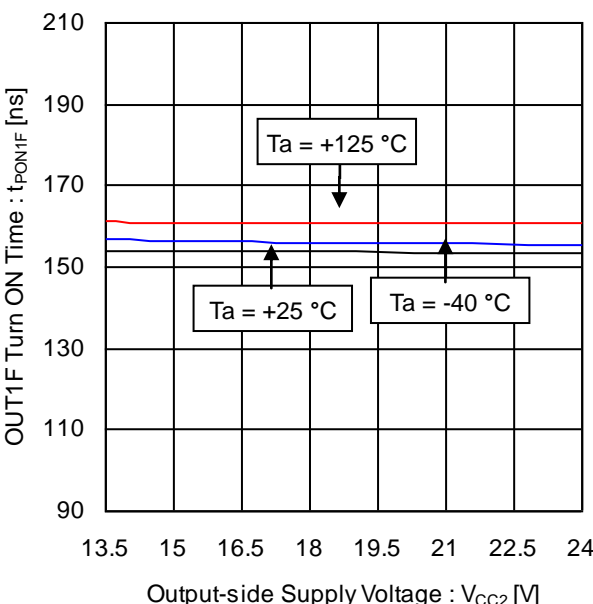


Figure 42. OUT1F Turn ON Time vs Output-side Supply Voltage

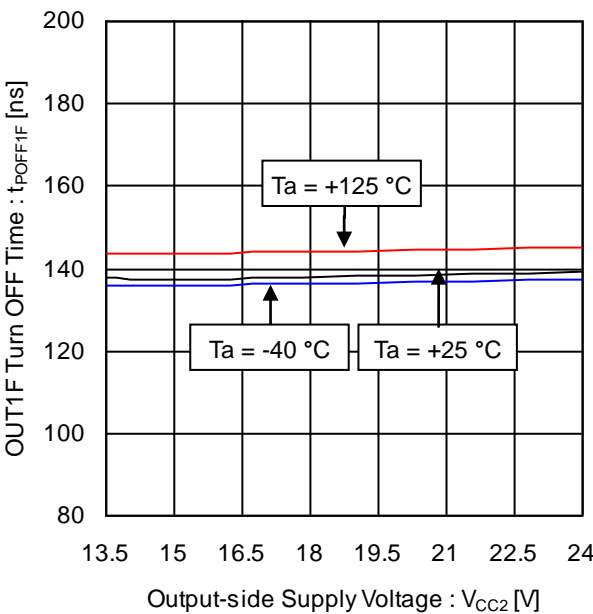


Figure 43. OUT1F Turn OFF Time vs Output-side Supply Voltage

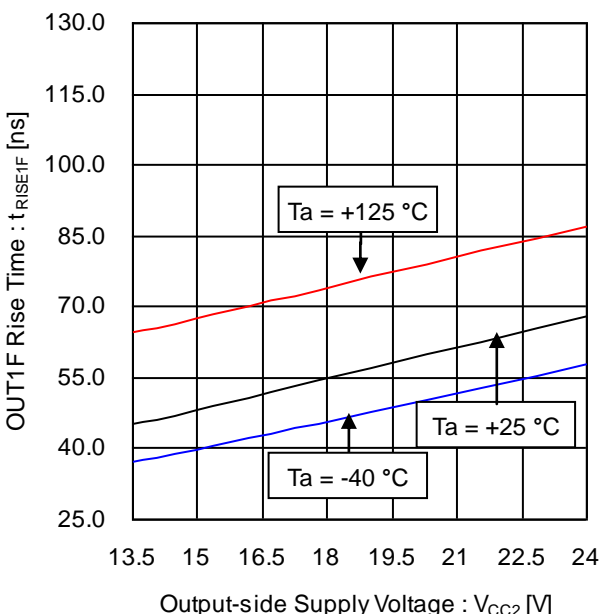


Figure 44. OUT1F Rise Time vs Output-side Supply Voltage
(Load = 4.7 Ω + 1 nF)

特性データ - 続き
(参考データ)

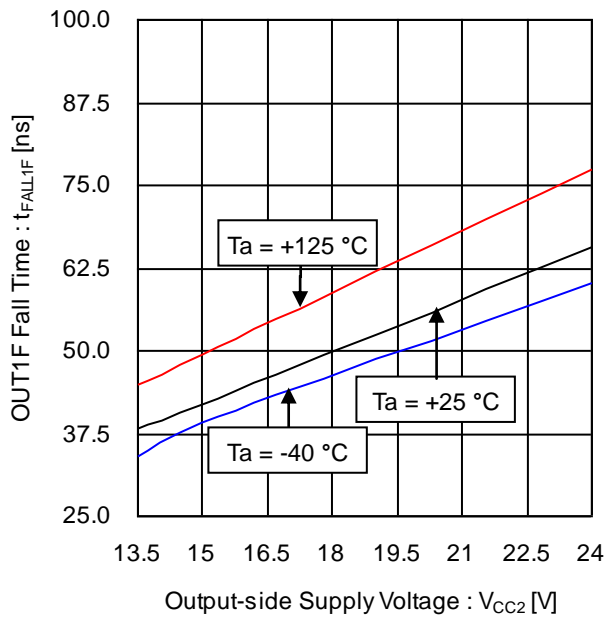


Figure 45. OUT1F Fall Time vs Output-side Supply Voltage
(Load = $4.7\text{ }\Omega + 1\text{ nF}$)

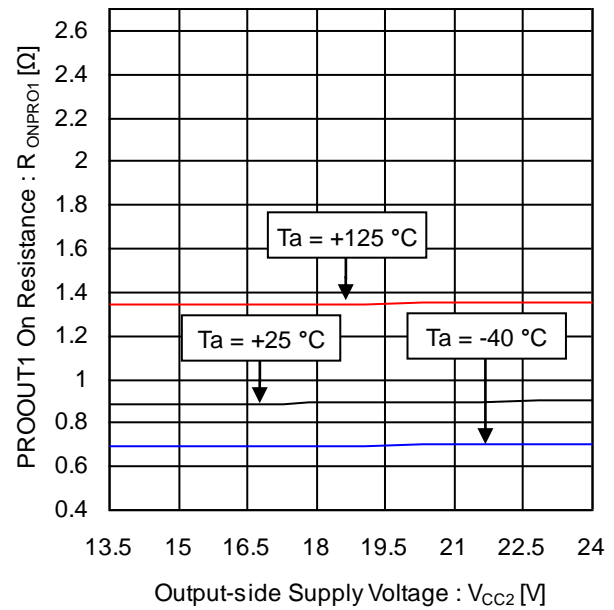


Figure 46. PROOUT1 On Resistance vs Output-side Supply Voltage
($I_{PROOUT1} = 40\text{ mA}$)

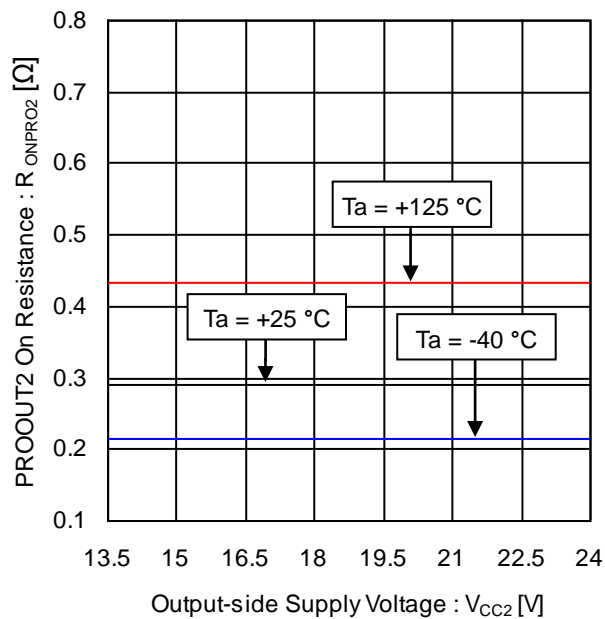


Figure 47. PROOUT2 On Resistance vs Output-side Supply Voltage
($I_{PROOUT2} = 40\text{ mA}$)

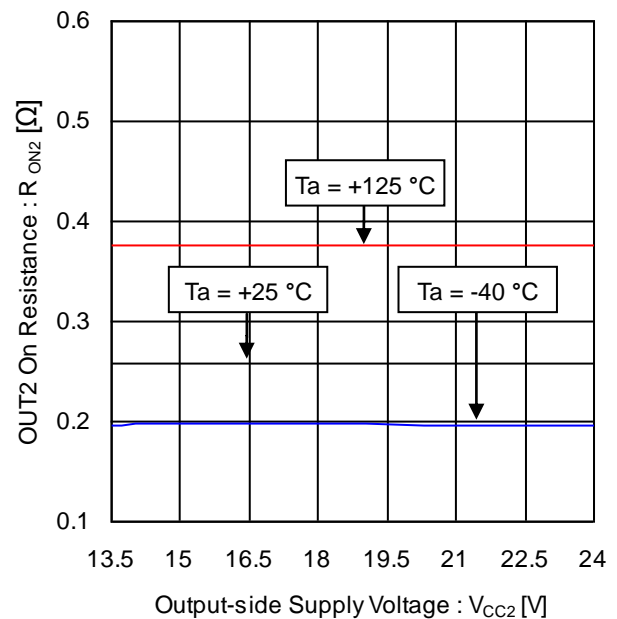


Figure 48. OUT2 On Resistance vs Output-side Supply Voltage
($I_{OUT2} = 40\text{ mA}$)

特性データ - 続き
(参考データ)

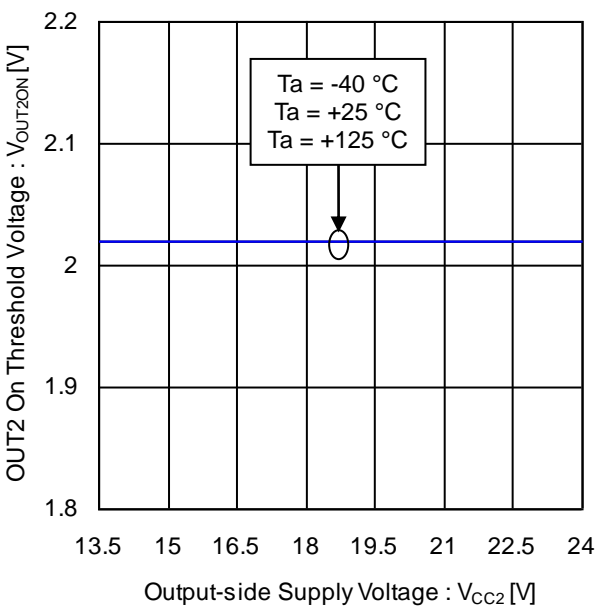


Figure 49. OUT2 On Threshold Voltage vs Output-side Supply Voltage

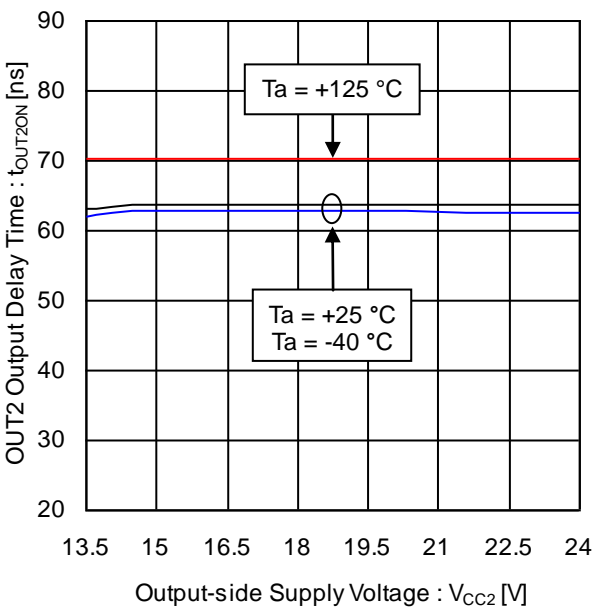


Figure 50. OUT2 Output Delay Time vs Output-side Supply Voltage

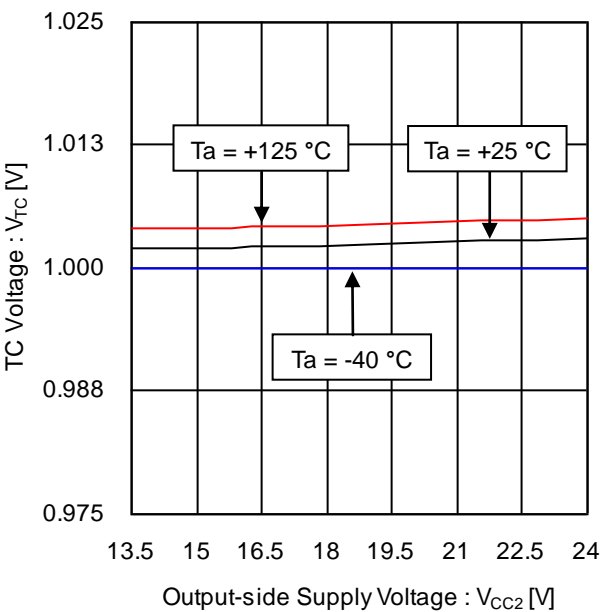


Figure 51. TC Voltage vs Output-side Supply Voltage

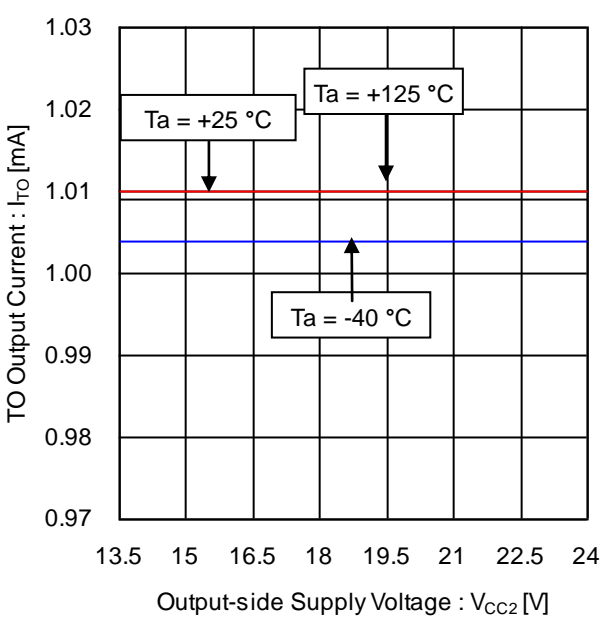


Figure 52. TO Output Current vs Output-side Supply Voltage ($R_{TC} = 10\text{ k}\Omega$)

特性データ - 続き
(参考データ)

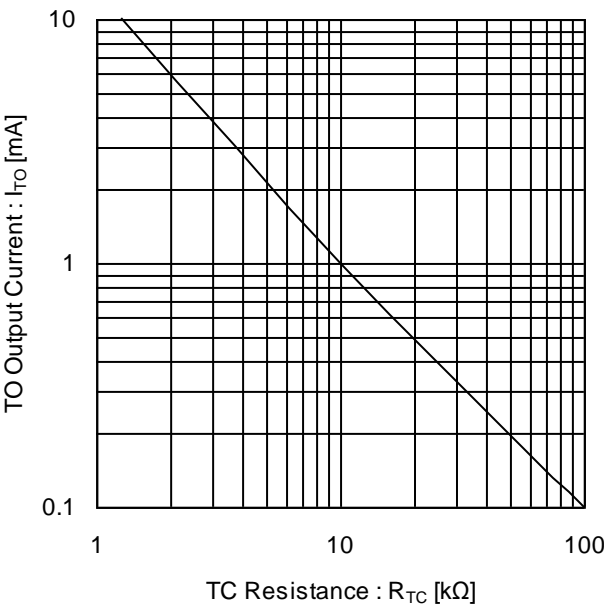


Figure 53. TO Output Current vs TC Resistance

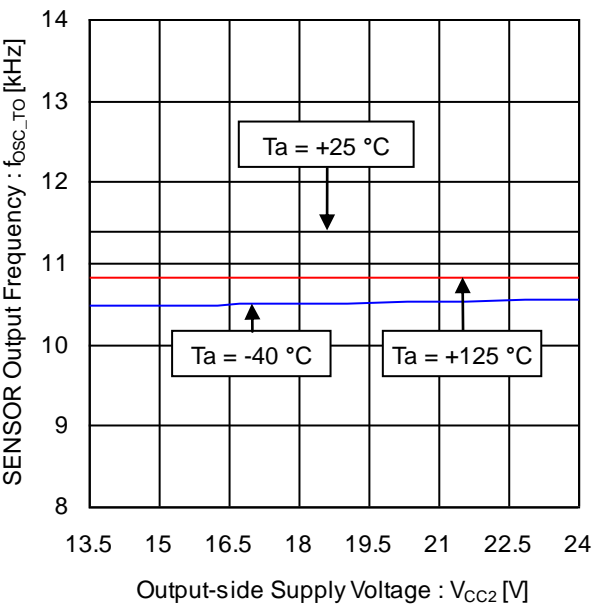


Figure 54. SENSOR Output Frequency vs Output-side Supply Voltage

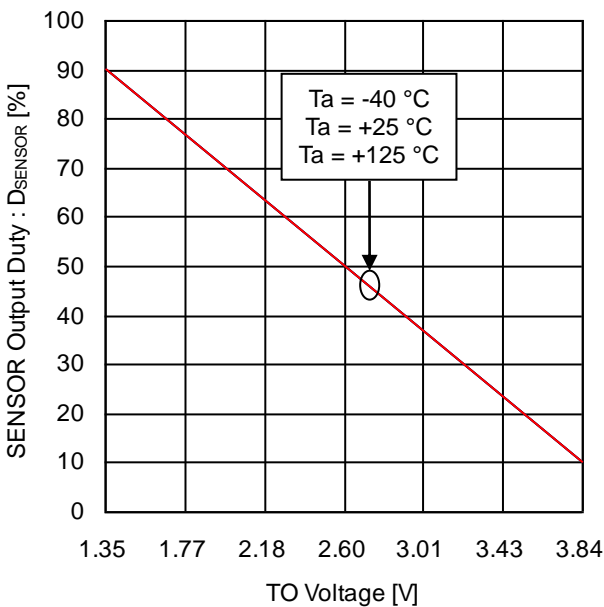


Figure 55. SENSOR Output Duty vs TO Voltage

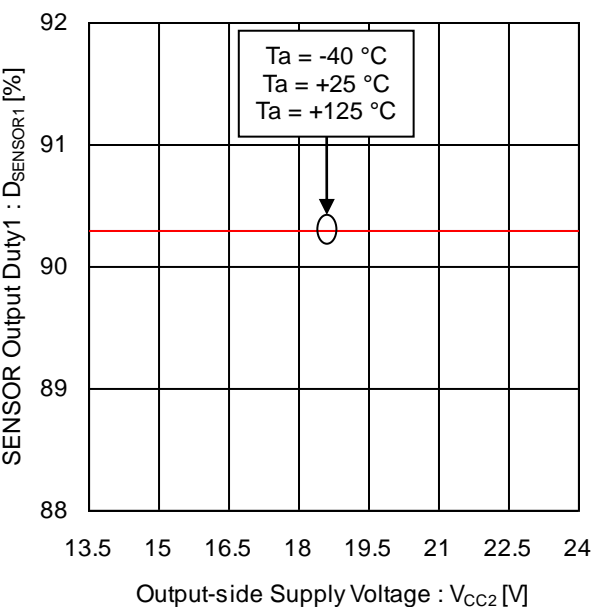


Figure 56. SENSOR Output Duty1 vs Output-side Supply Voltage
($V_{TO} = 1.35\text{ V}$)

特性データ - 続き
(参考データ)

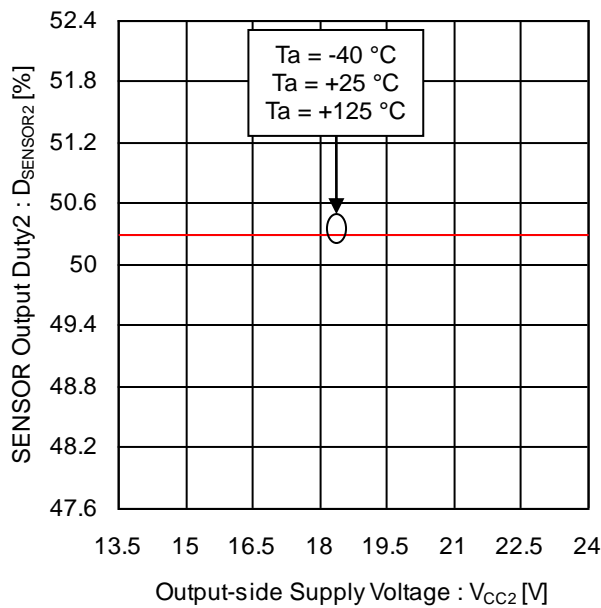


Figure 57. SENSOR Output Duty2 vs Output-side Supply Voltage ($V_{TO} = 2.59\text{ V}$)

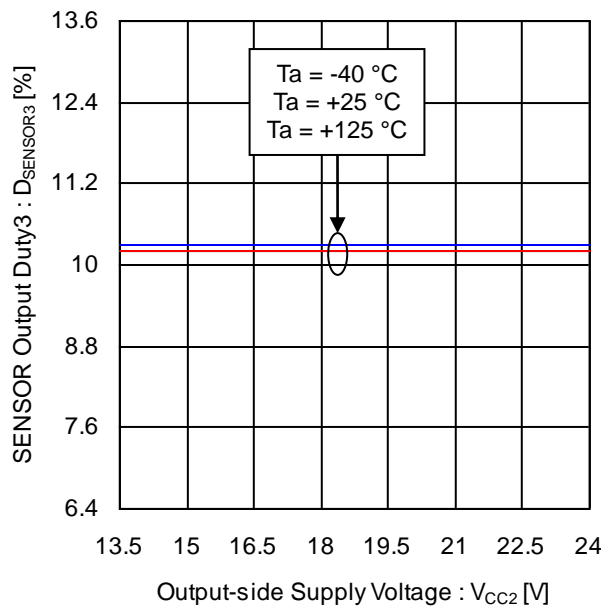


Figure 58. SENSOR Output Duty3 vs Output-side Supply Voltage ($V_{TO} = 3.84\text{ V}$)

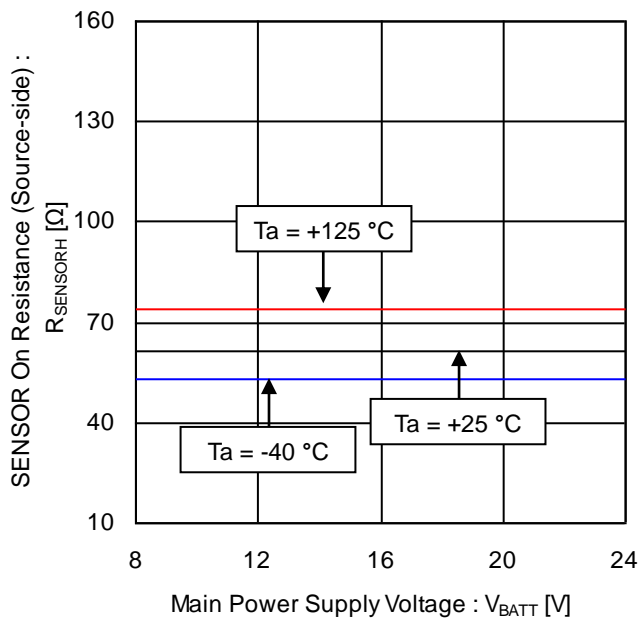


Figure 59. SENSOR On Resistance (Source-side) vs Main Power Supply Voltage

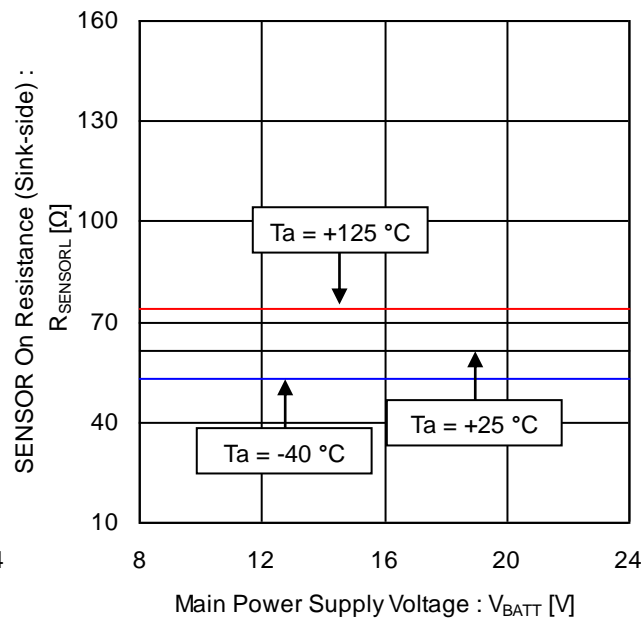


Figure 60. SENSOR On Resistance (Sink-side) vs Main Power Supply Voltage

特性データ - 続き
(参考データ)

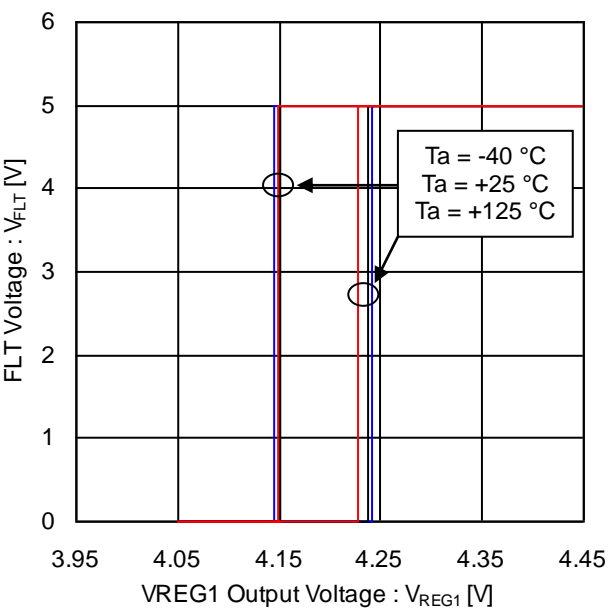


Figure 61. FLT Voltage vs VREG1 Output Voltage
(VREG1 UVLO On/Off Voltage)

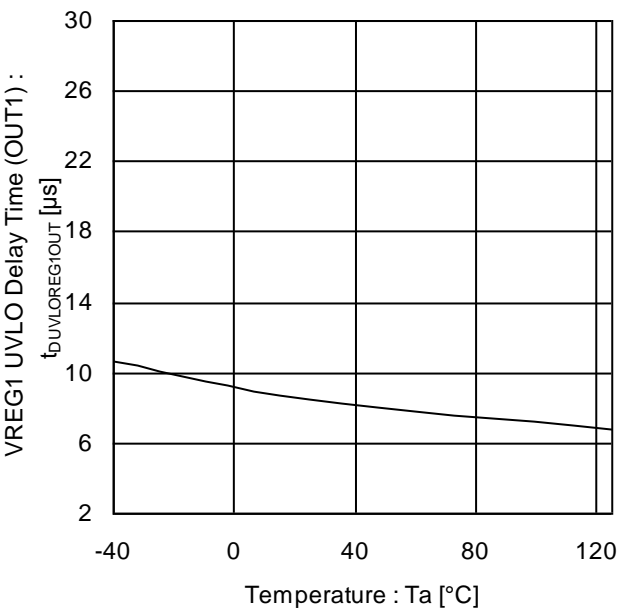


Figure 62. VREG1 UVLO Delay Time (OUT1)
vs Temperature

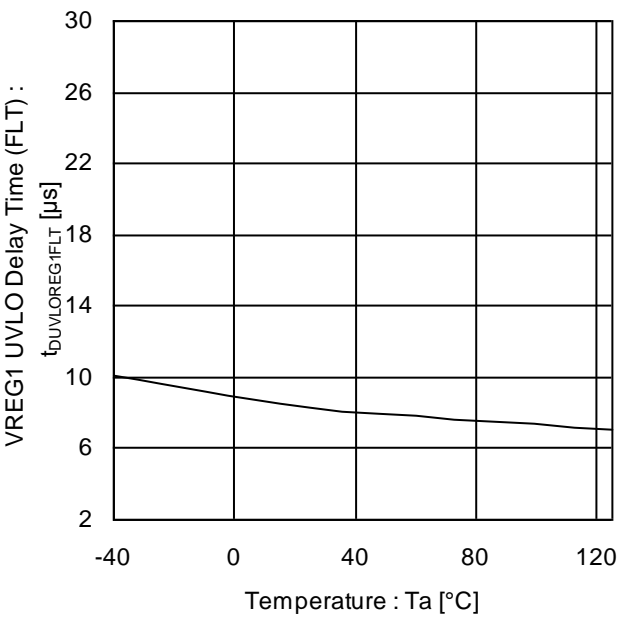


Figure 63. VREG1 UVLO Delay Time (FLT)
vs Temperature

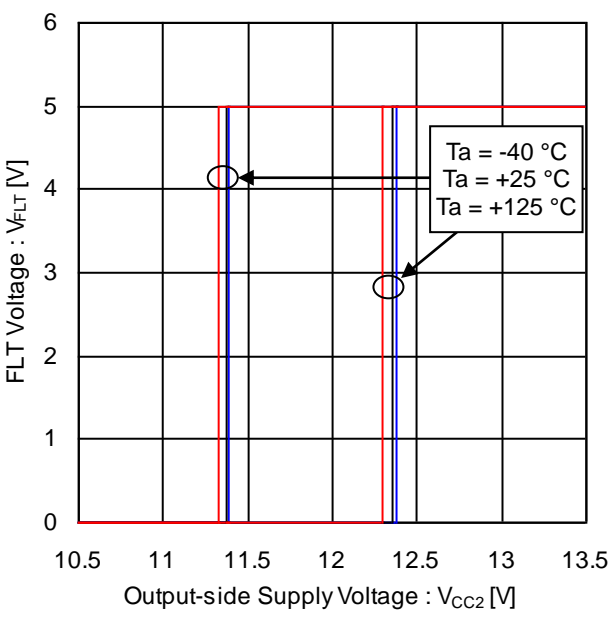


Figure 64. FLT Voltage vs Output-side Supply Voltage
(Output-side UVLO On/Off Voltage)

特性データ - 続き
(参考データ)

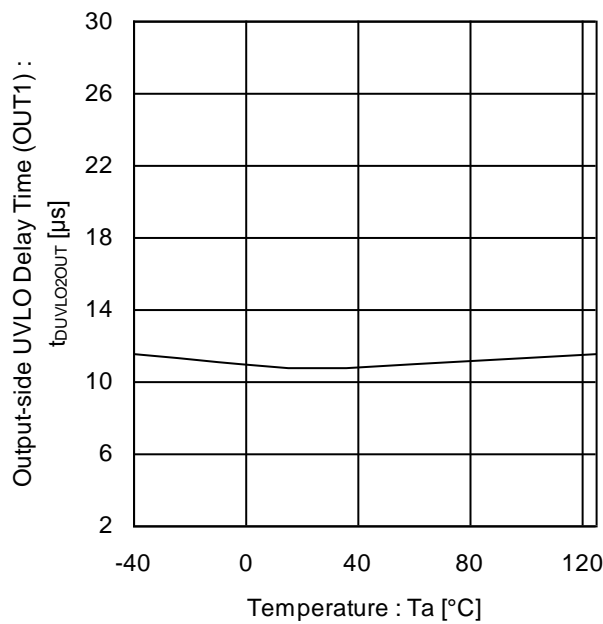


Figure 65. Output-side UVLO Delay Time (OUT1) vs Temperature

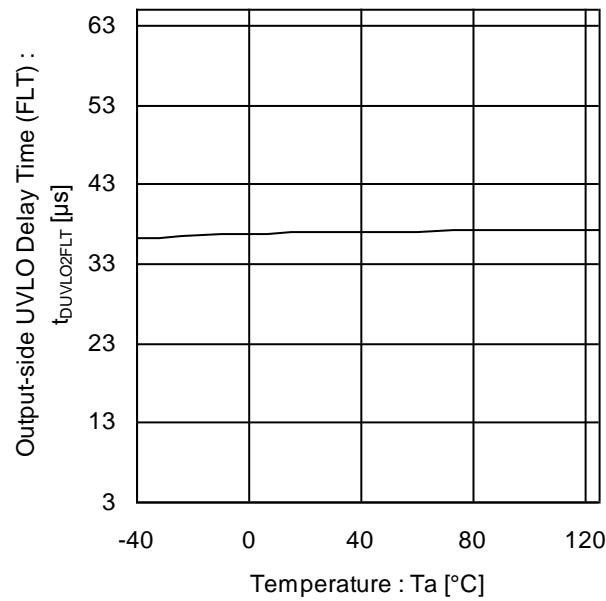


Figure 66. Output-side UVLO Delay Time (FLT) vs Temperature

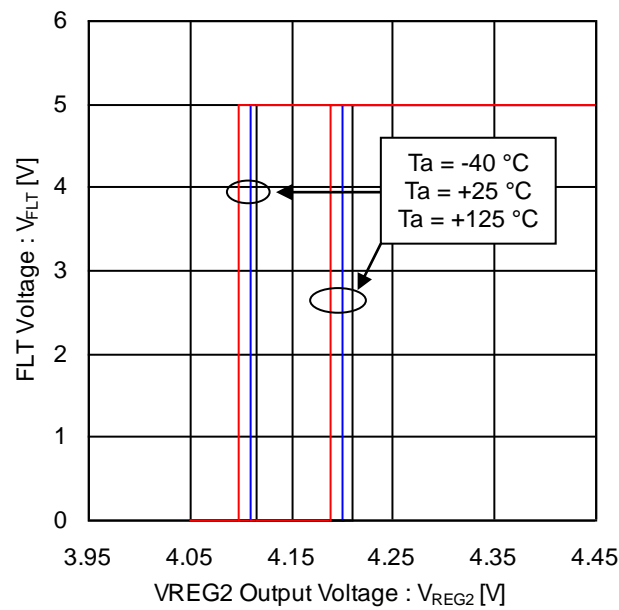


Figure 67. FLT Voltage vs VREG2 Output Voltage (VREG2 UVLO On/Off Voltage)

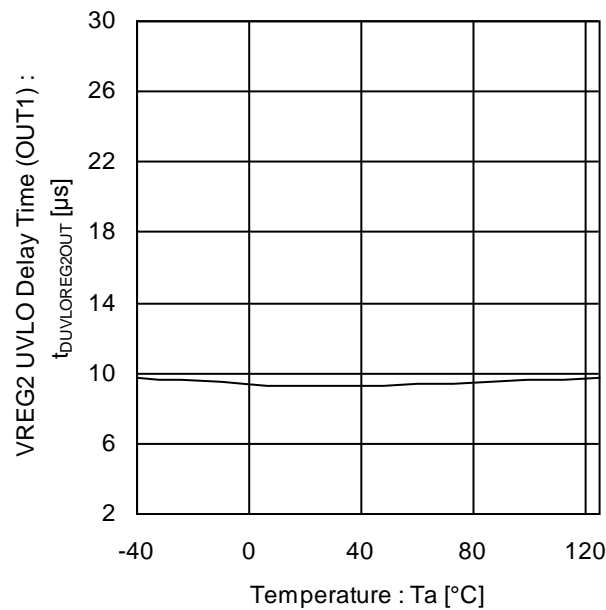


Figure 68. VREG2 UVLO Delay Time (OUT1) vs Temperature

特性データ - 続き
(参考データ)

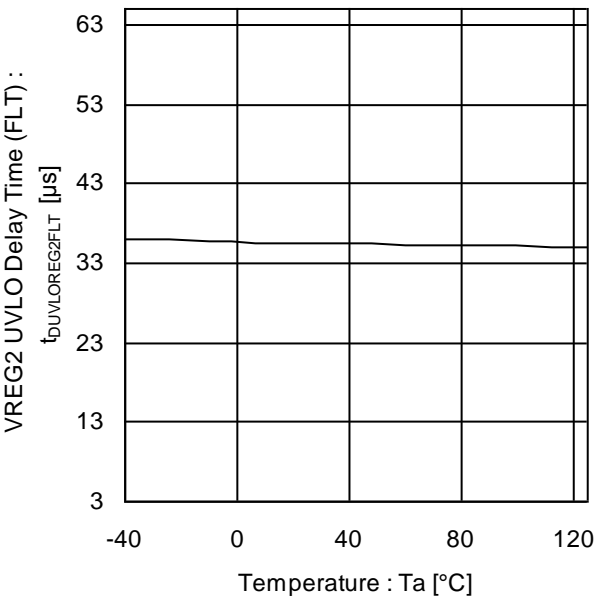


Figure 69. VREG2 UVLO Delay Time (FLT) vs Temperature

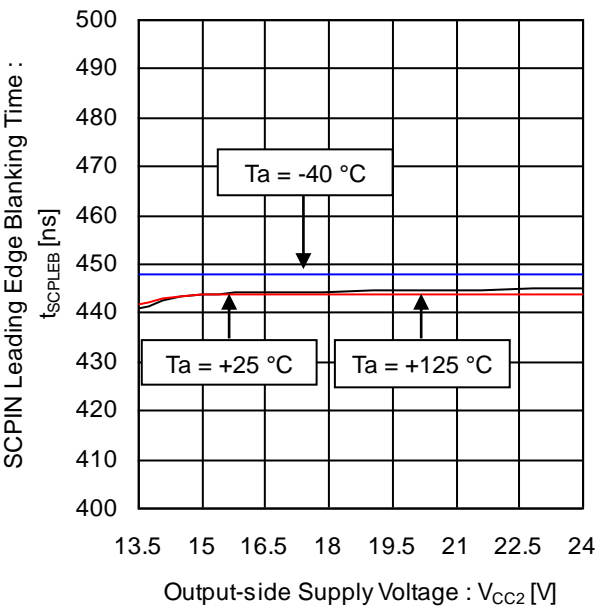


Figure 70. SCPIN Leading Edge Blanking Time vs Output-side Supply Voltage

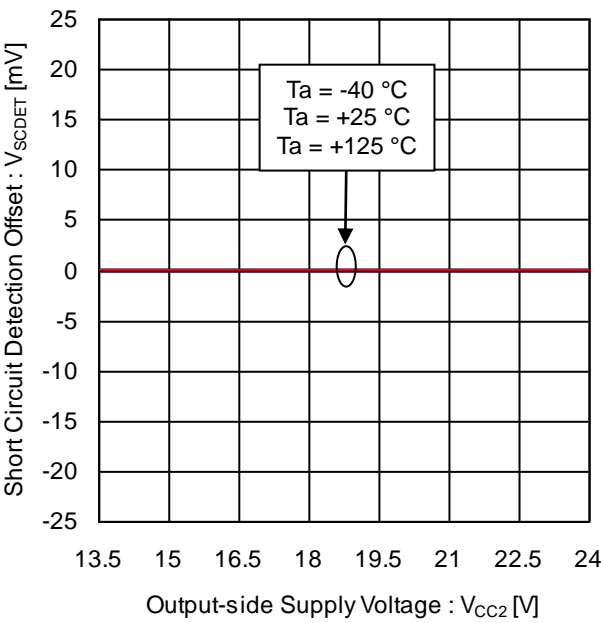


Figure 71. Short Circuit Detection Offset vs Output-side Supply Voltage

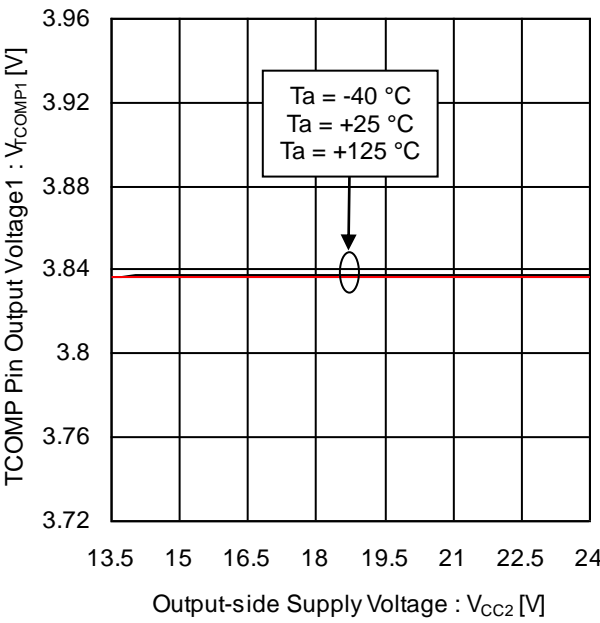


Figure 72. TCOMP Pin Output Voltage1 vs Output-side Supply Voltage ($V_{TO} = 3.84$ V)

特性データ - 続き
(参考データ)

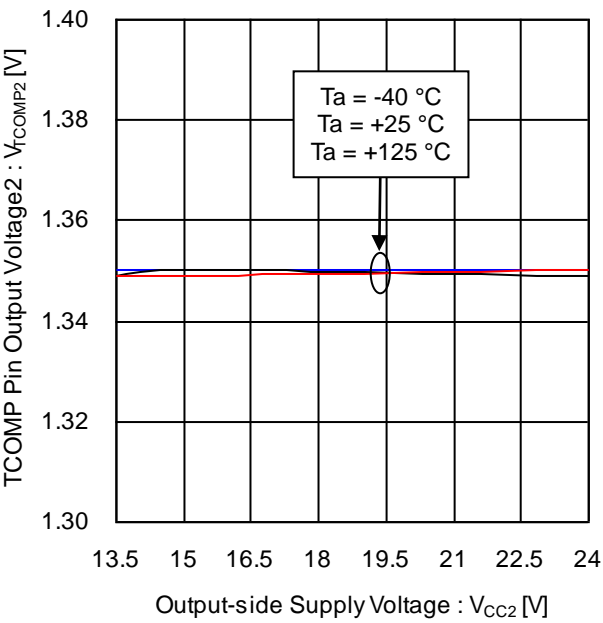


Figure 73. TCOMP Pin Output Voltage2 vs Output-side Supply Voltage
($V_{TO} = 1.35\text{ V}$)

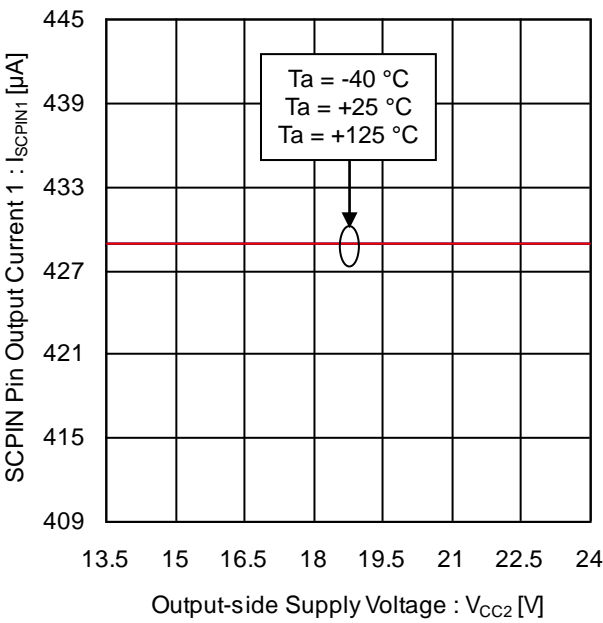


Figure 74. SCPIN Pin Output Current 1 vs Output-side Supply Voltage
($V_{TO} = 3.84\text{ V}$, $R_{TCOMP} = 9\text{ k}\Omega$)

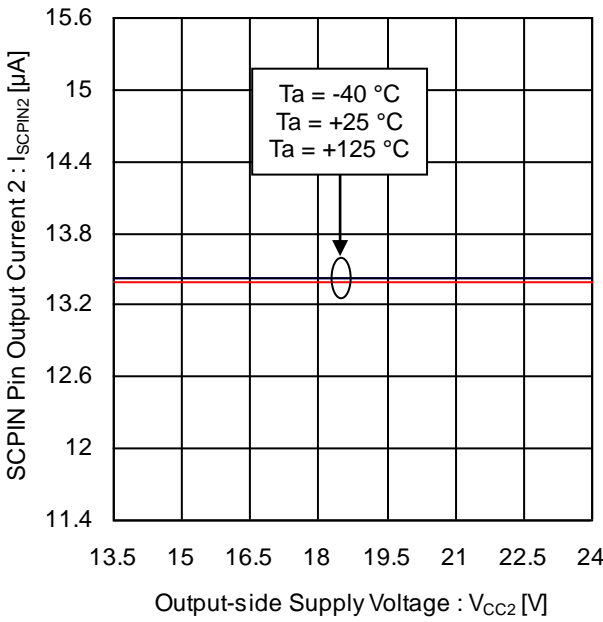


Figure 75. SCPIN Pin Output Current 2 vs Output-side Supply Voltage
($V_{TO} = 1.35\text{ V}$, $R_{TCOMP} = 100\text{ k}\Omega$)

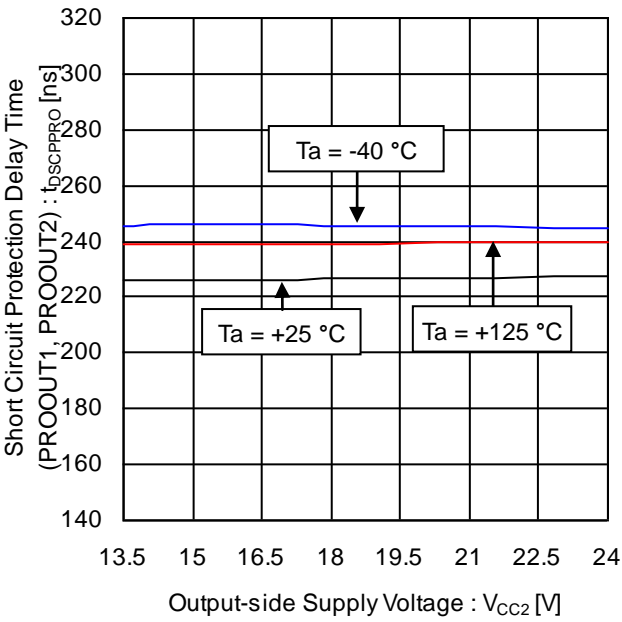


Figure 76. Short Circuit Protection Delay Time (PROOUT1, PROOUT2) vs Output-side Supply Voltage

特性データ - 続き
(参考データ)

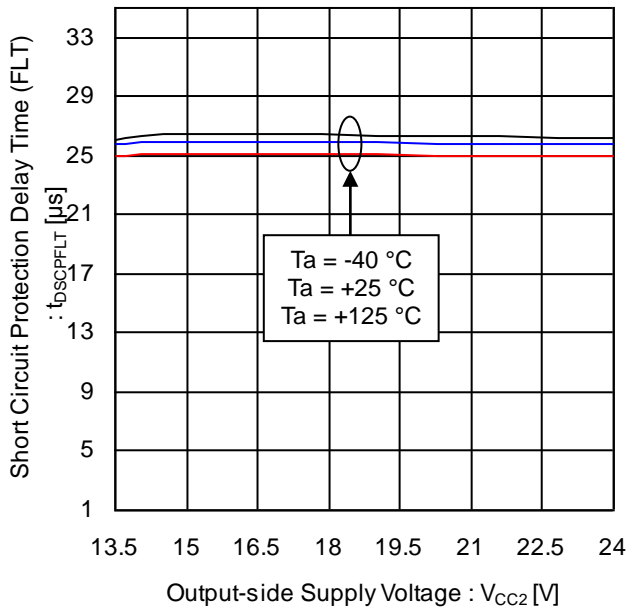


Figure 77. Short Circuit Protection Delay Time (FLT) vs Output-side Supply Voltage

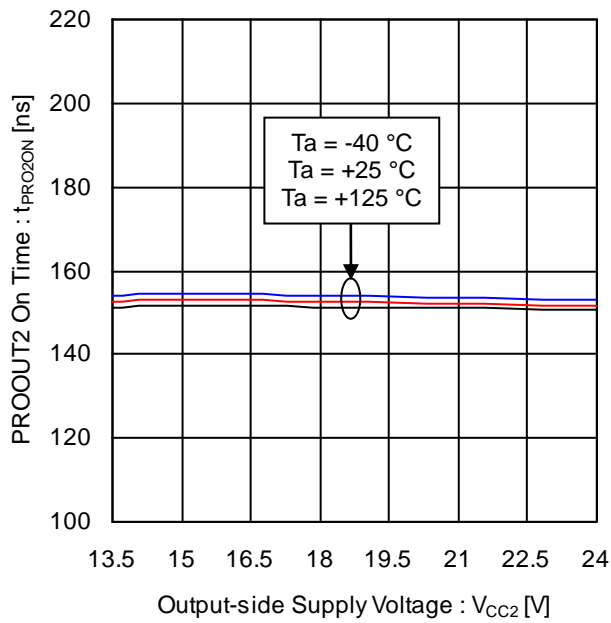


Figure 78. PROOUT2 On Time vs Output-side Supply Voltage

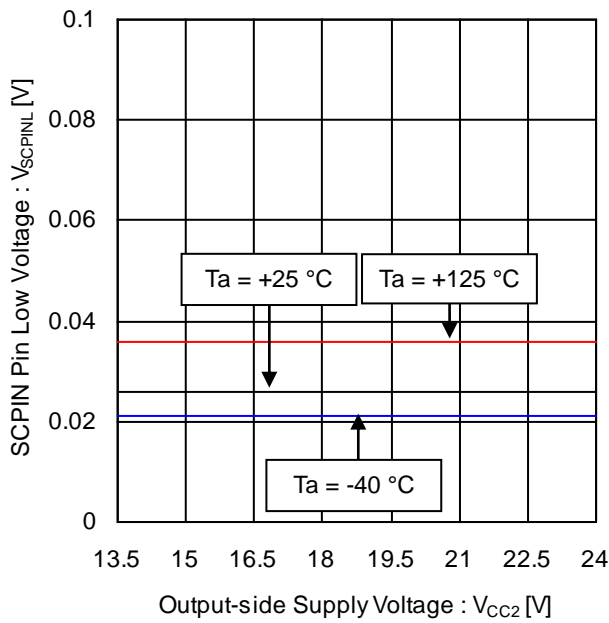


Figure 79. SCPIN Pin Low Voltage vs Output-side Supply Voltage
($I_{SCPIN} = 1\text{ mA}$)

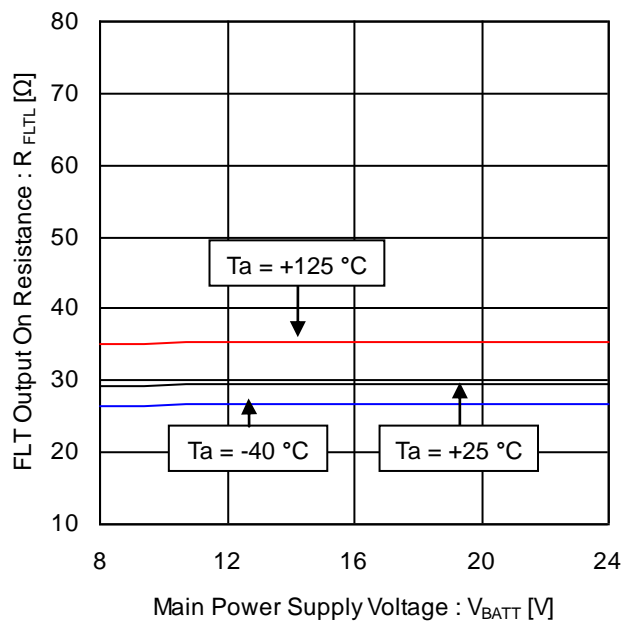


Figure 80. FLT Output On Resistance vs Main Power Supply Voltage

特性データ - 続き
(参考データ)

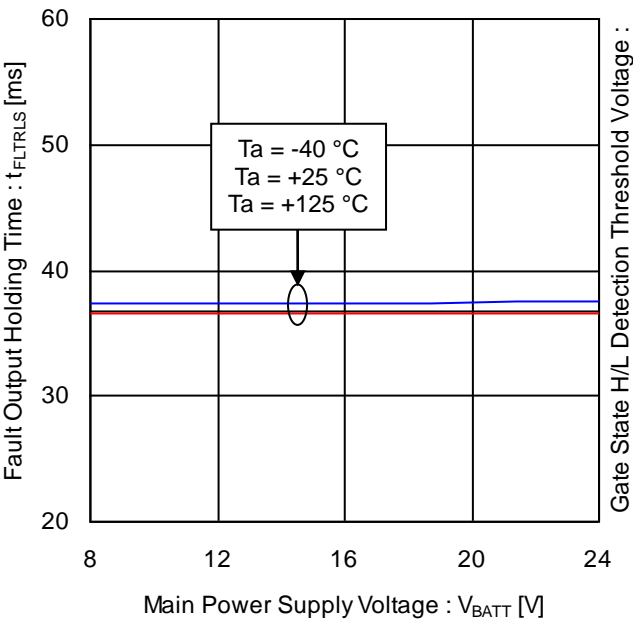


Figure 81. Fault Output Holding Time vs Main Power Supply Voltage

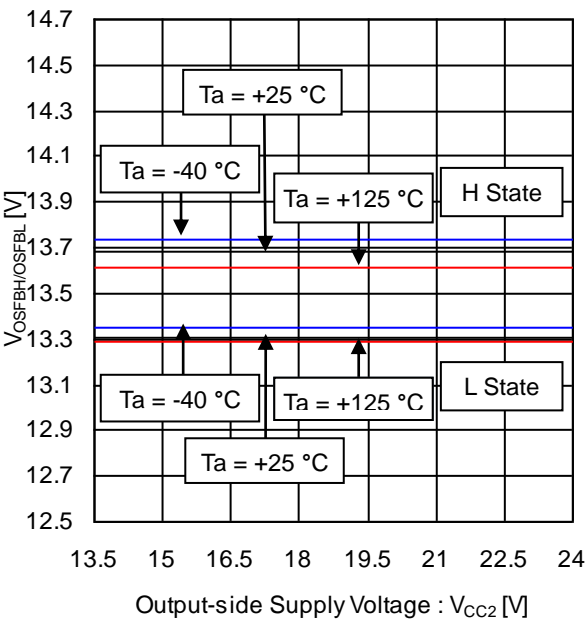


Figure 82. Gate State H/L Detection Threshold Voltage vs Output-side Supply Voltage

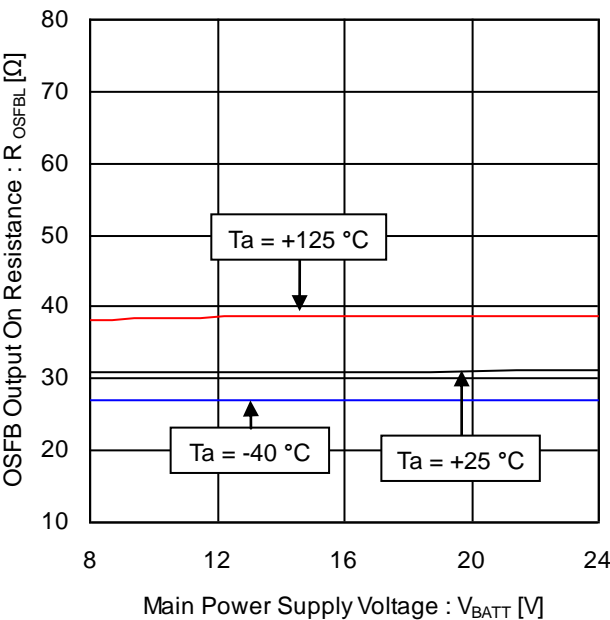


Figure 83. OSFB Output On Resistance vs Main Power Supply Voltage

UL1577 レポート記載項目

Parameter	Value	Unit	Conditions
Side 1 (Input-side) Circuit Current	1.2	mA	$V_{BATT} = 14\text{ V}$, OUT1 = L, OUT1F = Hi-Z
Side 2 (Output-side) Circuit Current	3.0	mA	$V_{CC2} = 15\text{ V}$, OUT1 = L, OUT1F = Hi-Z
Side 1 (Input-side) Consumption Power	16.8	mW	$V_{BATT} = 14\text{ V}$, OUT1 = L, OUT1F = Hi-Z
Side 2 (Output-side) Consumption Power	45	mW	$V_{CC2} = 15\text{ V}$, OUT1 = L, OUT1F = Hi-Z
Isolation Voltage	2500	Vrms	
Maximum Operating (Ambient) Temperature	125	°C	
Maximum Junction Temperature	150	°C	
Maximum Storage Temperature	150	°C	
Maximum Data Transmission Rate	5.6	MHz	

端子説明・基板レイアウトの注意点

1. V_BATT (主電源端子)

主電源端子です。電圧変動を抑えるため、GND1 端子間にバイパスコンデンサを接続してください。

2. VREG1 (入力側内部電源端子)

入力側の内部電源端子です。発振防止及び IC 内部トランスフォーマ駆動電流による電圧変動抑制のため、GND1 端子間にバイパスコンデンサを接続してください。

3. GND1 (入力側グラウンド端子)

入力側のグラウンド端子です。

4. VCC2 (出力側電源端子)

出力側の電源端子です。出力電流による電圧変動を抑えるため、GND2 端子間にバイパスコンデンサを接続してください。

5. VREG2 (出力側内部電源端子)

出力側の内部電源端子です。発振防止及び IC 内部トランスフォーマ駆動電流による電圧変動抑制のため、GND2 端子間にバイパスコンデンサを接続してください。

6. GND2 (出力側グラウンド端子)

出力側のグラウンド端子です。出力素子のエミッタ/ソースに接続してください。

7. INA、INB (制御入力端子)、GRSEL (ゲート抵抗切り替え端子)

出力論理を決定する端子です。OUT1F 端子は、GRSEL 切り替わり後、次の OUT1 端子の切り替わりまで前の状態を保持します。

GRSEL	INB	INA	OUT1	OUT1F
L	L	L	L	Hi-Z
L	L	H	H	Hi-Z
L	H	L	L	Hi-Z
L	H	H	L	Hi-Z
H	L	L	L	L
H	L	H	H	H
H	H	L	L	L
H	H	H	L	L

8. FLT (フォールト出力端子)

フォールト発生時 (低電圧時誤動作防止機能 (UVLO) 動作時、短絡保護機能 (SCP) 動作時)、フォールト信号を出力するオープンドレイン端子です。

状態	FLT
通常時	Hi-Z
フォールト発生時 (UVLO または SCP)	L

9. OSFB (ゲート状態監視出力端子)

PROOUT1 端子でモニタしている出力素子のゲート論理が H の場合に L を出力するオープンドレイン端子です。ただし、フォールト発生時 (低電圧時誤動作防止機能 (UVLO) 動作時、短絡保護機能 (SCP) 動作時) は OSFB 端子が Hi-Z となります。

状態	PROOUT1 入力	OSFB
通常時	H	L
	L	Hi-Z
フォールト発生時 (UVLO または SCP)	X	Hi-Z

X: Don't care

10. SENSOR (温度情報出力端子)

TO 端子電圧を Duty に変換した信号を出力する端子です。

11. FB (スイッチングコントローラ誤差増幅器反転入力端子)

スイッチングコントローラの電圧帰還端子です。スイッチングコントローラの過電圧保護機能、低電圧保護機能用の監視機能を兼ねています。過電圧保護機能、低電圧保護機能が動作した場合、FET_G のスイッチングは OFF 状態 (FET_G = L) となり、スイッチングコントローラ保護保持時間 $t_{DCDCRLS}$ の後に復帰します。また、ソフトスタート期間中は低電圧保護機能は動作しません。スイッチングコントローラを使用しない場合は VREG1 端子に接続してください。

端子説明・基板レイアウトの注意点端子説明 — 続き

12. COMP (スイッチングコントローラ誤差増幅器出力端子)

スイッチングコントローラのゲイン調整端子です。位相補償用コンデンサ、抵抗器を接続してください。スイッチングコントローラを使用しない場合は GND1 端子に接続してください。

13. FET_G (スイッチングコントローラトランス駆動用 MOS FET 制御端子)

スイッチングコントローラのトランス駆動用 MOS FET 制御端子です。スイッチングコントローラを使用しない場合は無接続としてください。

14. SENSE (スイッチングコントローラ電流帰還用抵抗接続端子)

スイッチングコントローラの電流帰還用抵抗接続端子です。スイッチングコントローラの過電流制限機能用の電流検出を兼ねています。過電流制限機能が動作した場合、FET_G のスイッチングは OFF 状態 (FET_G = L) となり、次のスイッチング周期で復帰します。スイッチングコントローラを使用しない場合は VREG1 端子に接続してください。

15. OUT1、OUT1F (出力端子)

ゲート駆動用端子です。

16. OUT2 (ミラークランプ端子)

出力素子のミラー電流によるゲート電圧上昇を防止するためのミラークランプ端子です。本端子はゲート電圧モニタ端子を兼ねており、OUT2 端子電圧が V_{OUT2ON} (Typ 2.0 V) 未満になるとミラークランプが動作します。ミラークランプを使用しない場合、OUT2 端子は GND2 端子に接続してください。

17. PROOUT1 (短絡保護用ソフトターンオフ端子 / ゲート電圧入力端子)、PROOUT2 (短絡保護用高速ターンオフ端子)

短絡保護動作時、出力素子をソフトターンオフする端子です。短絡検出から t_{PRO2ON} の間は、PROOUT1 端子、PROOUT2 端子とも ON します。 t_{PRO2ON} 経過後は PROOUT1 端子のみ ON します。短絡保護時遮断時間短縮機能を使用しない場合、PROOUT2 端子は無接続としてください。

なお、PROOUT1 端子はゲート状態監視機能のゲート電圧モニタ端子を兼ねています。

18. SCPIN (短絡検出端子)、SCPTH (短絡検出スレッシュホールド設定端子)

短絡保護のための電流検出端子です。SCPIN 端子電圧が SCPTH 端子電圧以上になると、短絡保護機能が動作します。OUT1 = L 時に、外部フィルタの電荷を放電するための MOSFET を SCPIN 端子 - GND2 端子間に内蔵しています。なお、オープン状態では IC が誤動作する可能性がありますので、短絡保護機能を使用しない場合も SCPTH 端子に電圧を印加し、SCPIN 端子は GND2 端子に接続してください。

19. TCOMP (短絡検出電圧温度特性補正端子)

TO 端子電圧に応じた SCPIN 端子出力電流を設定するための抵抗を接続する端子です。

20. TC (定電流源電流設定用抵抗接続端子)

定電流出力設定用抵抗接続端子です。TC 端子と GND2 端子間に任意の抵抗値を接続することにより、TO から出力される定電流値を設定することができます。

21. TO (定電流源電流出力 / センサ電圧入力端子)

定電流出力・電圧入力端子です。TO 端子と GND2 端子間に任意のインピーダンスを持った素子を接続し、センサ入力として使用できます。

機能動作説明・定数設定例

1. 異常状態出力

フォールト発生時 (低電圧時誤動作防止機能 (UVLO) 動作時、短絡保護 (SCP) 動作時) FLT 端子からフォールト信号出力を行い、フォールト状態解除後、フォールト出力保持時間 t_{FLTRLS} 経過するまでフォールト信号を保持します。

状態	FLT 端子
通常時	Hi-Z
フォールト発生時	L

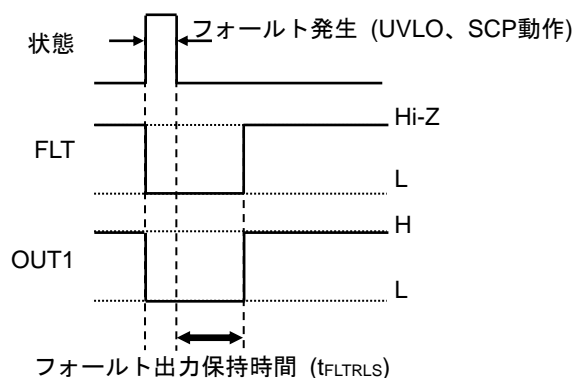


Figure 84. 異常状態出力タイミングチャート

機能動作説明・定数設定例 — 続き

2. 低電圧時誤動作防止機能 (UVLO)

主電源 (V_BATT)、内部電源 (VREG1、VREG2)、出力側電源 (VCC2)とも、低電圧時誤動作防止機能を内蔵しています。電源電圧が UVLO ON 電圧まで低下すると、OUT1 端子は L、OUT1F 端子は Hi-Z、FLT 端子は L を出力します。ただし、OUT1F が L の状態で V_BATT または VREG1 の UVLO が動作した場合、OUT1F は L を保持します。電源電圧が UVLO OFF 電圧まで上昇してからフォールト出力保持時間経過すると復帰します。ただし、復帰のタイミングで INA 入力がある L または INB 入力が H の場合、GRSEL 入力が H であっても次の OUT1 出力切り替わりまで OUT1F 端子は前の状態を保持します。また、ノイズによる誤動作を防止するため、V_BATT、VCC2、VREG1、VREG2 ともフィルタ時間を設けています。

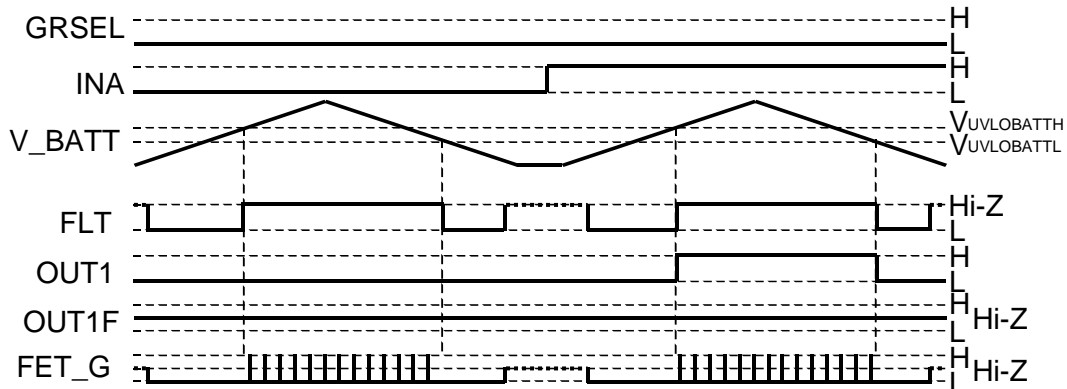


Figure 85. 主電源 (V_BATT) UVLO 動作 (GRSEL = L 時) タイミングチャート

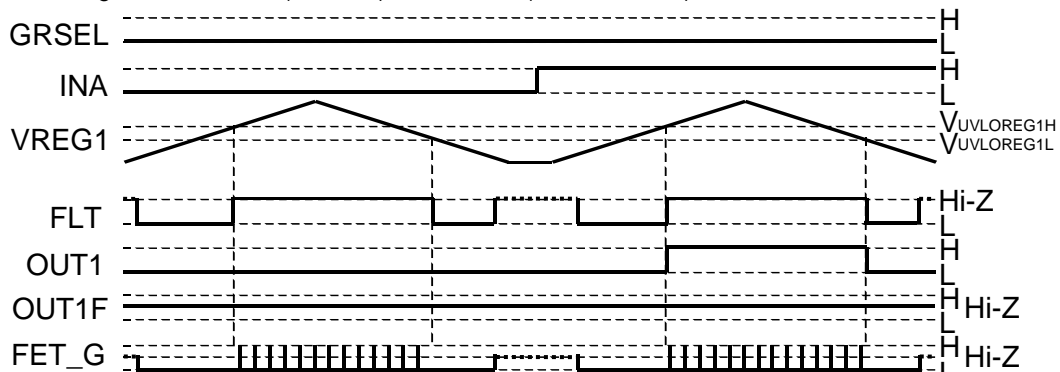


Figure 86. 入力側内部電源 (VREG1) UVLO 動作 (GRSEL = L 時) タイミングチャート

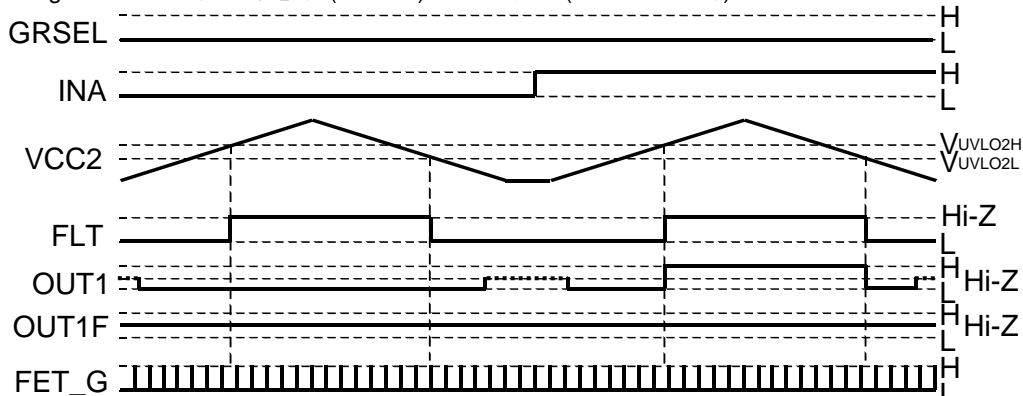


Figure 87. 出力側電源 (VCC2) UVLO 動作 (GRSEL = L 時) タイミングチャート

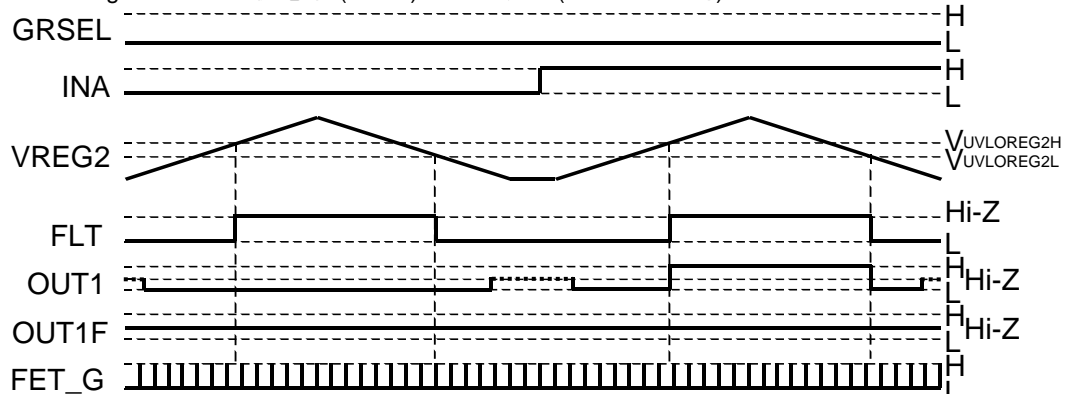
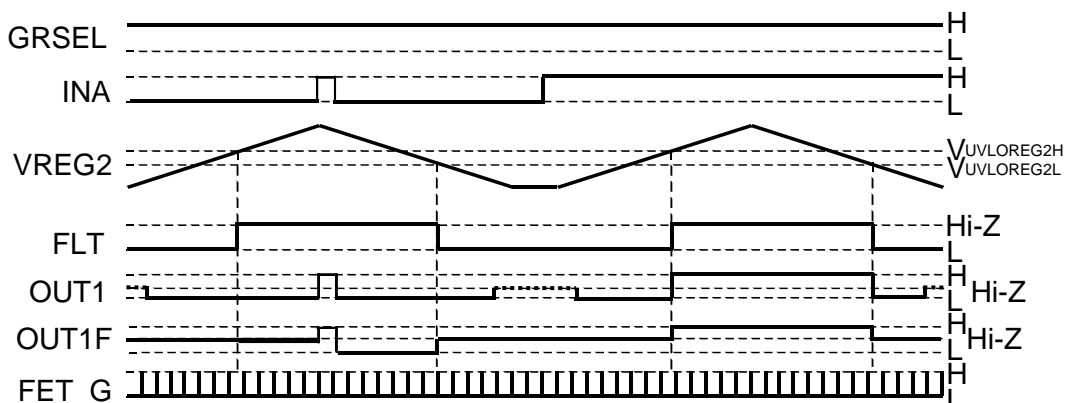
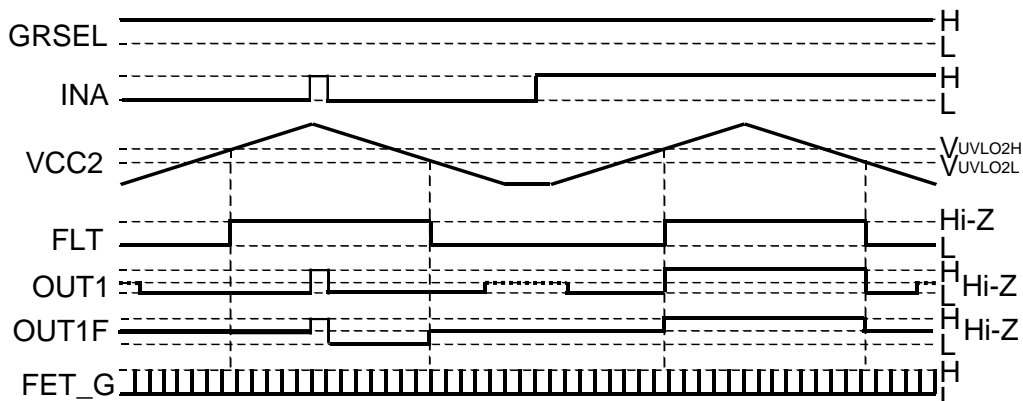
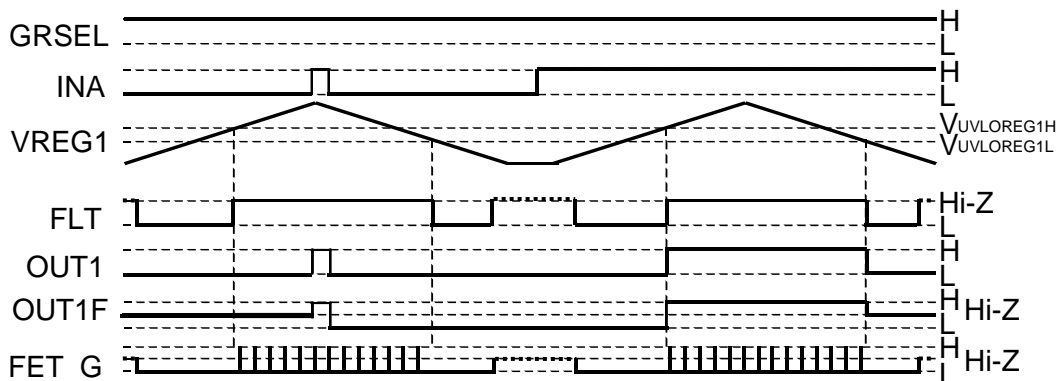
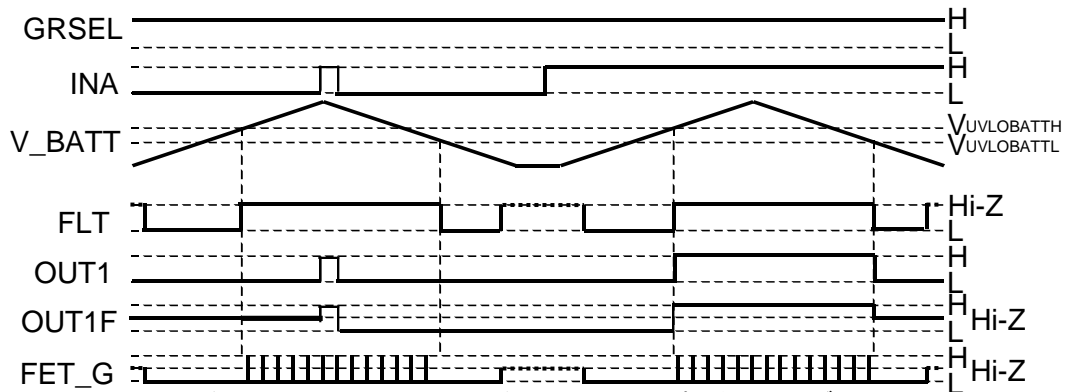


Figure 88. 出力側内部電源 (VREG2) UVLO 動作 (GRSEL = L 時) タイミングチャート

2. 低電圧時誤動作防止機能 (UVLO) — 続き



機能動作説明・定数設定例 — 続き

3. 短絡保護機能 (SCP)

SCPIN 端子電圧 \geq SCPTH 端子電圧の状態を $t_{DSCPPRO}$ 以上の時間継続すると、短絡保護機能が動作します。短絡保護が動作すると、OUT1 端子及び OUT1F 端子が Hi-Z となり、PROOUT1 端子、PROOUT2 端子ともオンします (高速ターンオフ)。次に、短絡検出から t_{PRO2ON} 後、PROOUT2 端子が Hi-Z となります (ソフトターンオフ)。さらに、SCPIN 端子電圧 $<$ SCPTH 端子電圧となり、かつ OUT2 端子電圧 $< V_{OUT2ON}$ となると、OUT1 端子及び OUT2 端子が L となります。また、FLT 端子は短絡保護機能が動作してから $t_{DSCPFLT}$ 後に L となります。最後に、フォールト出力保持時間 t_{FLTRLS} が経過すると、短絡保護は解除され、FLT 端子は Hi-Z となります。PROOUT1 端子は次に OUT1 端子が H となるまで L を保持します。

また、本 IC は短絡検出電圧の温度特性補正機能を内蔵しています。SCPIN 端子から、TO 端子電圧に応じた電流 I_{SCPIN} を出力しますので、SCPIN 端子に直列接続した抵抗 $R_{SCPCOMP}$ の電圧降下を利用して、短絡検出電圧の温度特性を補正することができます。SCPIN 端子出力電流 I_{SCPIN} は下式で設定できます。

$$I_{SCPIN}[\text{mA}] = V_{TO}[\text{V}] / R_{TCOMP}[\text{k}\Omega]$$

したがって、短絡を検出電圧 V_{SC} は、下式で設定できます。

$$V_{SC}[\text{V}] = V_{SCPTH}[\text{V}] - V_{TO}[\text{V}] \times R_{SCPCOMP}[\text{k}\Omega] / R_{TCOMP}[\text{k}\Omega]$$

なお、OUT1 = L 時に、外部フィルタの電荷を放電するための MOSFET を SCPIN 端子-GND2 端子間に内蔵しています。この MOSFET は OUT1 = H となってから t_{SCPLEB} 後にオフし、OUT1 = L となってから直ちにオンします。また、短絡検出後もこの MOSFET は直ちにオンします。

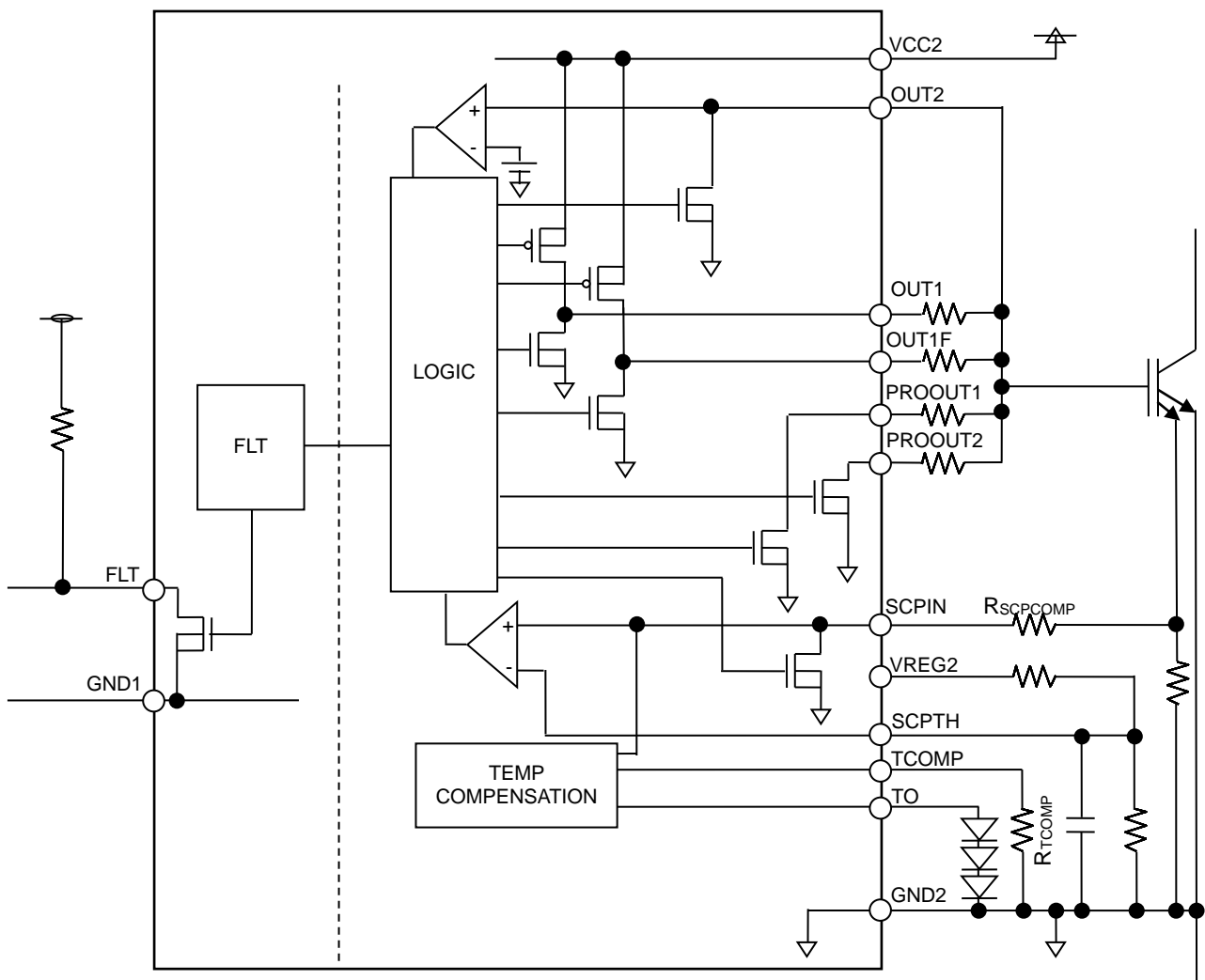


Figure 93. 短絡保護機能ブロック図

3. 短絡保護機能 (SCP) — 続き

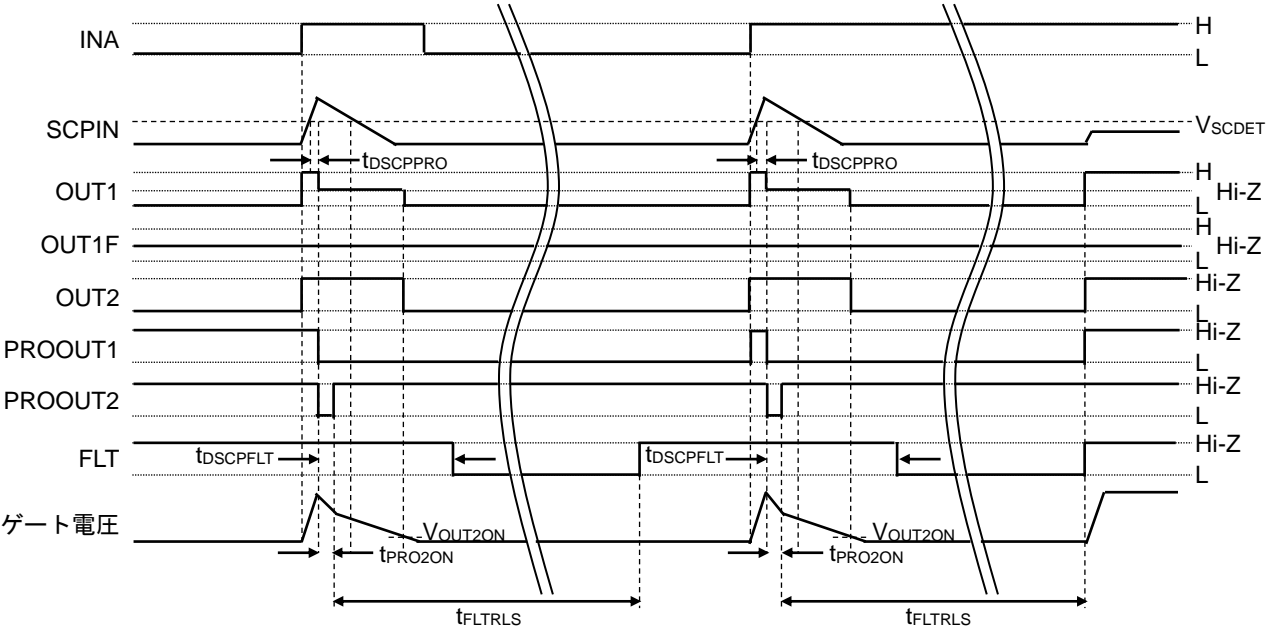
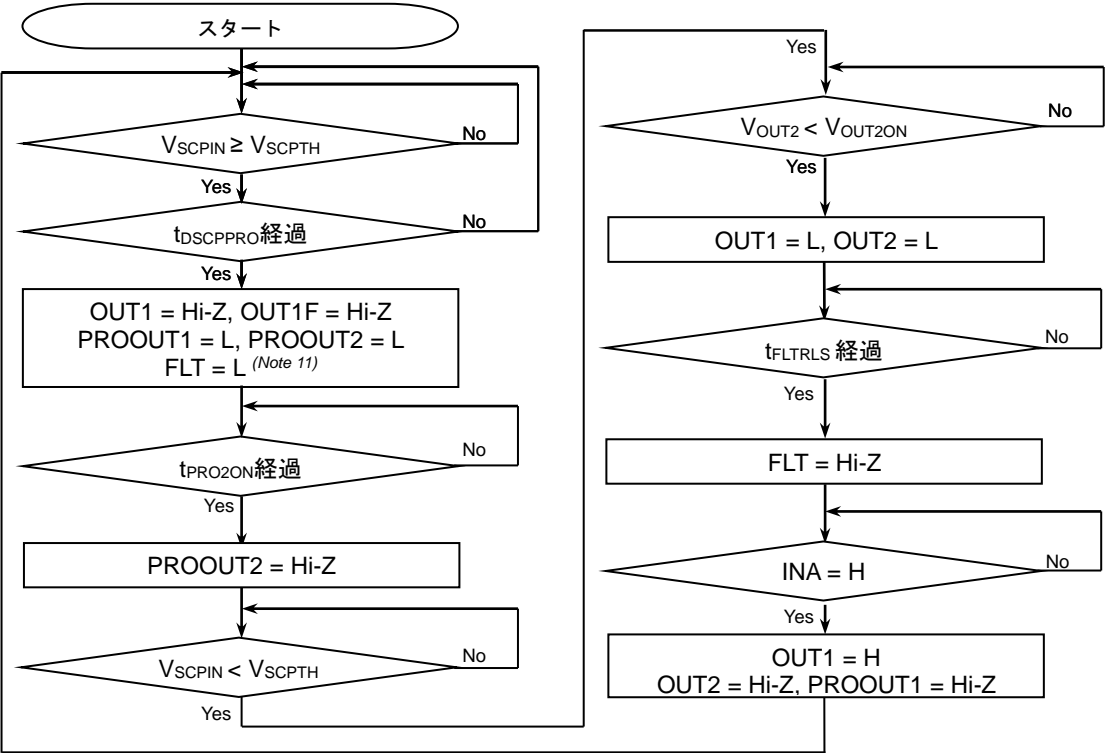


Figure 94. 短絡保護動作 (GRSEL = L 時) タイミングチャート



(Note 11) tDSCPFLT 経過後、FLT = L となります

Figure 95. 短絡保護動作 (GRSEL = L 時) 状態遷移図

3. 短絡保護機能 (SCP) — 続き

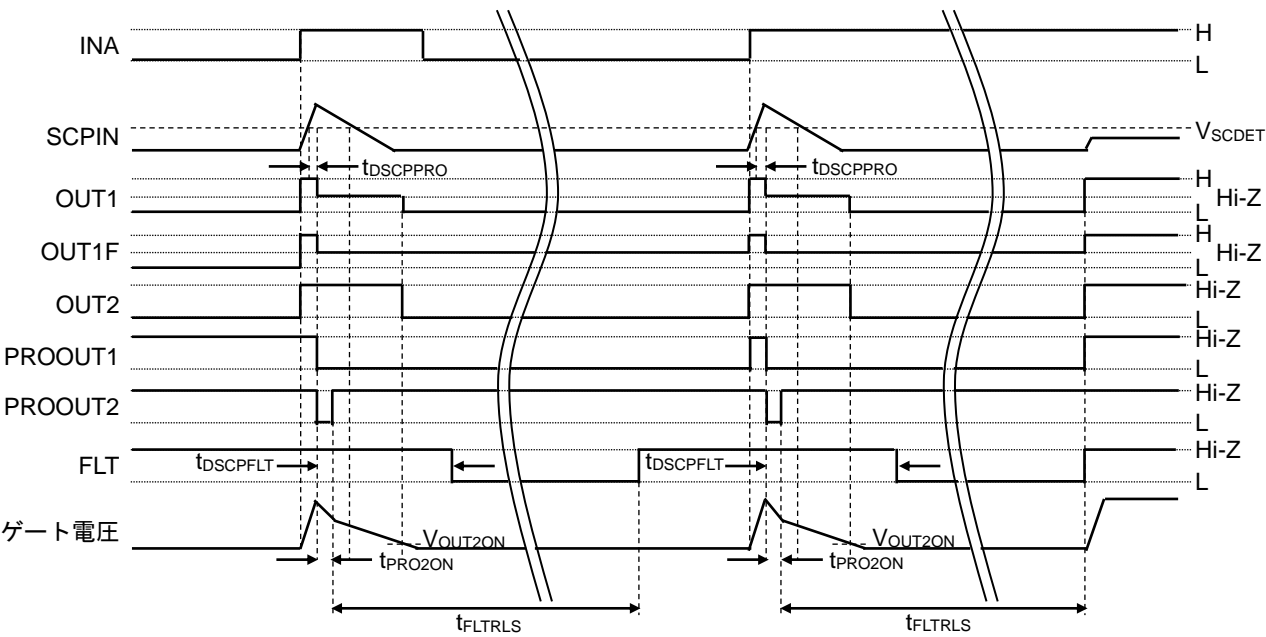
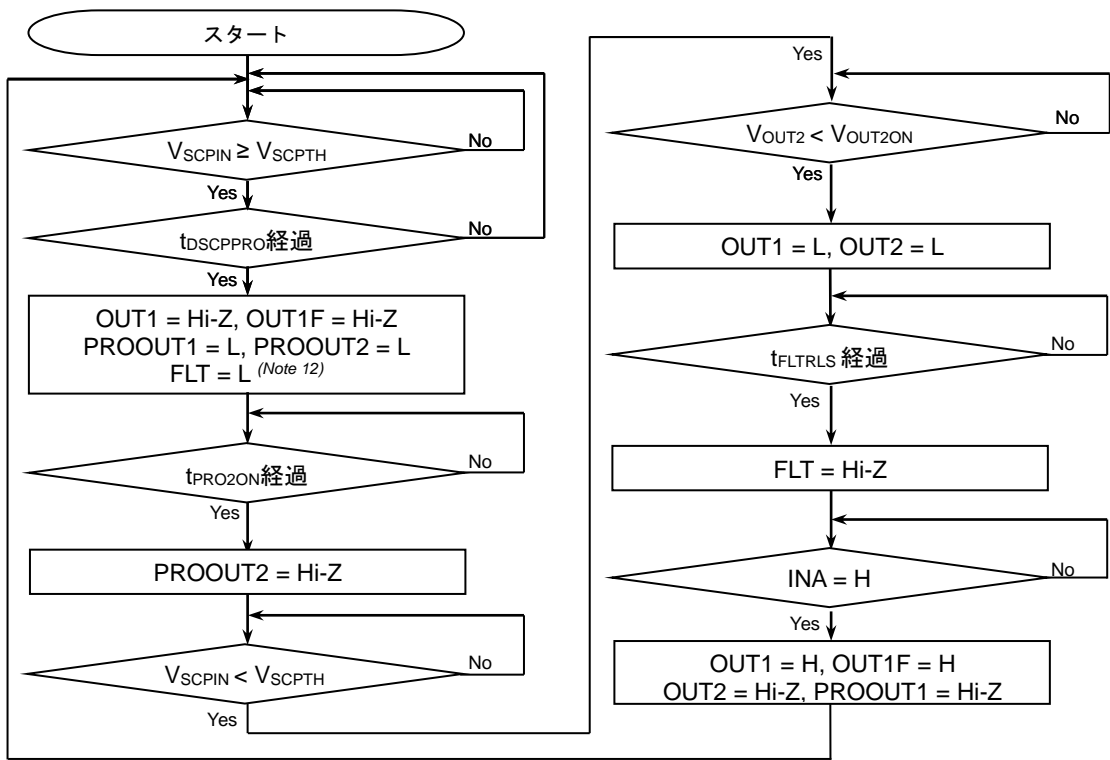


Figure 96. 短絡保護動作 (GRSEL = H 時) タイミングチャート



(Note 12) $t_{DSCPFLT}$ 経過後、FLT = L となります

Figure 97. 短絡保護動作 (GRSEL = H 時) 状態遷移図

機能動作説明・定数設定例 — 続き

4. ミラーランプ機能 (MC)

OUT1 = L かつ OUT2 端子電圧 < V_{OUT2ON} 時、OUT2 端子内部 MOS が ON し、ミラークランプ機能が動作します。ミラークランプ動作後は、OUT1 = H となるまで OUT2 = L を保持します。

また、短絡保護機能動作時も OUT2 端子電圧 $< V_{OUT2ON}$ 時、ミラークランプ機能が動作します。

短絡保護	OUT1	OUT2 (入力)	OUT2 (出力)
非動作	H	X	Hi-Z
	L	V _{OUT2ON} 以上	Hi-Z
	L	V _{OUT2ON} 未満	L
動作	Hi-Z	V _{OUT2ON} 以上	Hi-Z
	Hi-Z	V _{OUT2ON} 未満	L

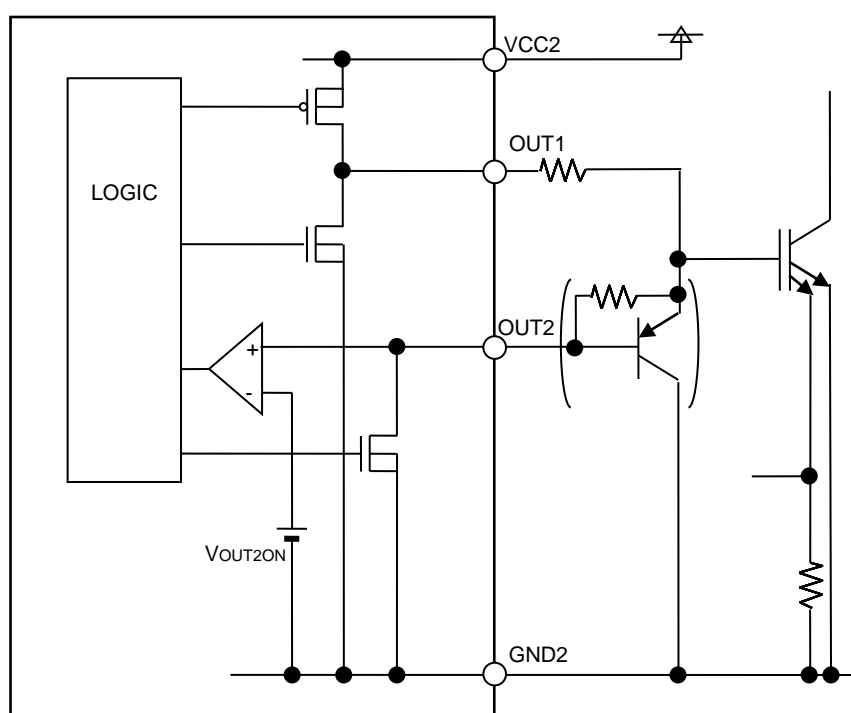


Figure 98. ミラーランプ機能ブロック図

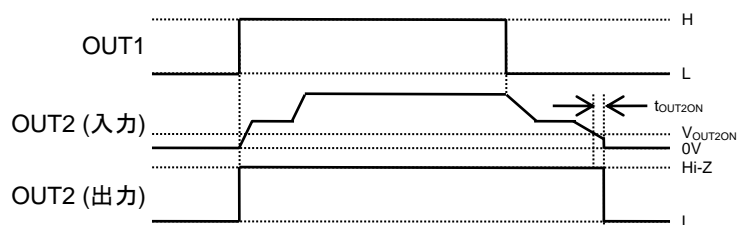


Figure 99. ミラーランプ機能タイミングチャート

機能動作説明・定数設定例 ― 続き

5. ゲート抵抗切り替え機能

GRSEL 端子が L の時、OUT1 端子のみ INA 端子及び INB 端子の入力に応じた論理を出力し、OUT1F 端子は Hi-Z となります。GRSEL 端子が H の時、OUT1 端子及び OUT1F 端子から INA 端子及び INB 端子の入力に応じた論理を出力します。OUT1F 端子は、GRSEL 切り替わり後、次の OUT1 端子の切り替わりまで前の状態を保持します。

GRSEL	INB	INA	OUT1	OUT1F
L	L	L	L	Hi-Z
L	L	H	H	Hi-Z
L	H	L	L	Hi-Z
L	H	H	L	Hi-Z
H	L	L	L	L
H	L	H	H	H
H	H	L	L	L
H	H	H	L	L

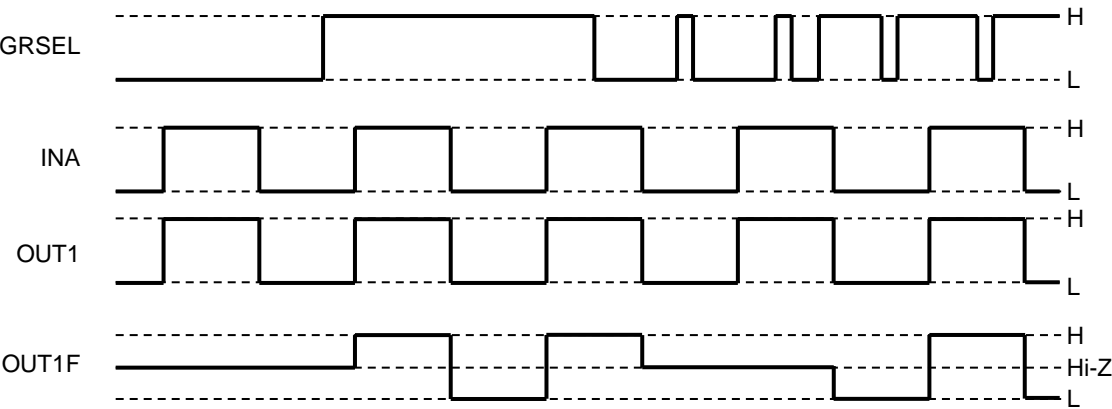


Figure 100. ゲート抵抗切り替え機能タイミングチャート

6. ゲート状態監視機能

PROOUT1 端子でモニタしている出力素子のゲート論理が H の場合、OSFB 端子は L となります。ただし、フォールト発生時（低電圧時誤動作防止機能 (UVLO) 動作時、短絡保護機能 (SCP) 動作時)は OSFB 端子は Hi-Z となります。

状態	PROOUT1 入力	OSFB
通常時	H	L
	L	Hi-Z
フォールト発生時	X	Hi-Z

X: Don't care

機能動作説明・定数設定例 ― 続き

7. スイッチングコントローラ

(1) 基本動作

本 IC は内部クロックに同期して ON/OFF を繰り返すスイッチングコントロール回路を内蔵しています。

V_BATT 電源投入時($V_{BATT} > V_{UVLOBATT}$ 、かつ $V_{REG1} > V_{UVLOREG1}$)、ソフトスタートにて FET_G 端子がスイッチングを開始します。

出力電圧 V_{OUT} は外付け抵抗及びフライバックトランスの巻き線比 n ($n = \text{二次側の巻き数} / \text{FB 側の巻き数}$) によって以下の式で決まります。

$$V_{OUT} = V_{FB} \times \{ (R1 + R2) / R2 \} \times n [V]$$

(2) MAX DUTY

出力負荷が大きい場合などに、SENSE 端子の電圧レベルが電流検出レベルに達しないとき、最大オン DUTY (D_{ONMAX}) により出力を強制的に OFF します。

(3) 過電圧保護機能、低電圧保護機能

保護機能として過電圧保護 (OVP)、低電圧保護 (UVP) を備えており、FB 端子電圧を監視します。保護動作時、スイッチングコントローラは停止 (FET_G 端子から L を出力) し、スイッチングコントローラ保護保持時間 ($t_{DCDCRLS}$) 経過後に復帰します。ただし、ソフトスタート期間中は、低電圧保護機能は動作しません。

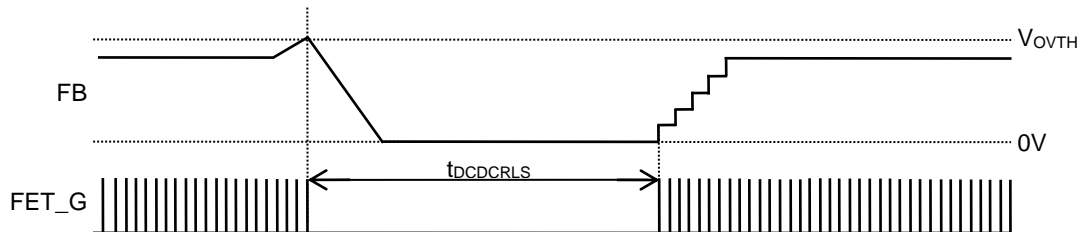


Figure 101. 過電圧保護機能タイミングチャート

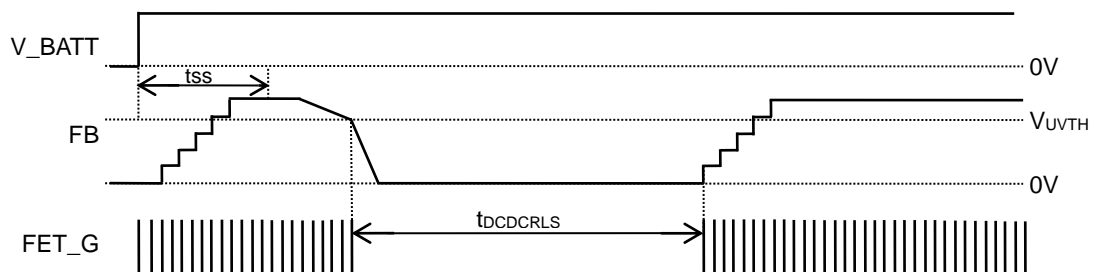


Figure 102. 低電圧保護機能タイミングチャート

(4) 過電流制限機能

過電流制限機能を備えており、SENSE 端子電圧を監視します。過電流制限機能が動作した場合、FET_G のスイッチングは OFF 状態 ($FET_G = L$) となり、次のスイッチング周期で復帰します。

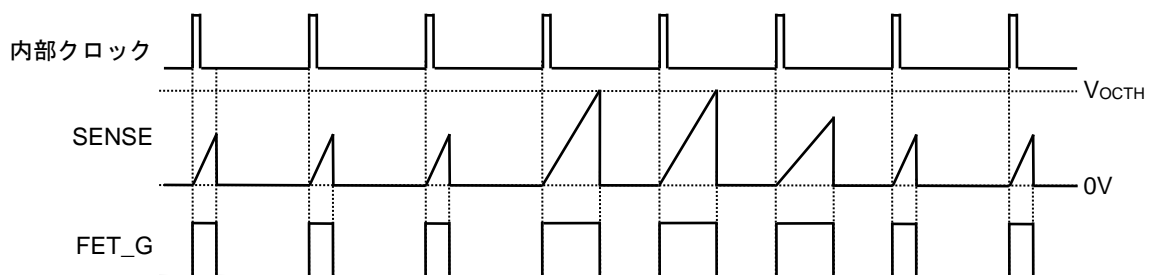


Figure 103. 過電流制限機能タイミングチャート

7. スイッチングコントローラ — 続き

(5) スイッチングコントローラを使用しない場合の端子処理について
スイッチングコントローラを使用しない場合、下表の通り端子処理を行ってください。

端子番号	端子名	処理方法
22	FB	VREG1 に接続
23	COMP	GND1 に接続
24	V_BATT	電源を接続
25	VREG1	コンデンサを接続
26	FET_G	無接続
27	SENSE	VREG1 に接続

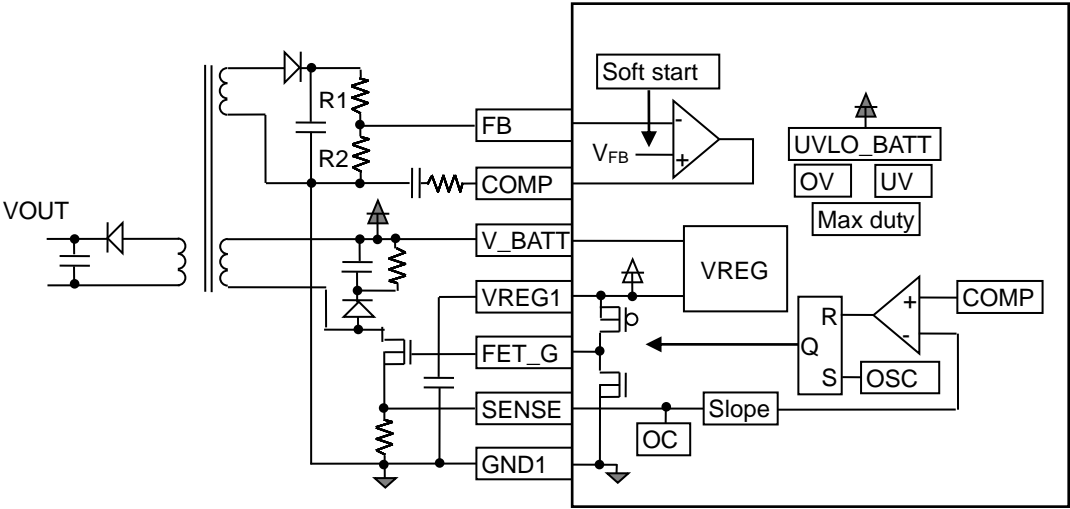


Figure 104. スイッチングコントローラブロック図

機能動作説明・定数設定例 ― 続き

8. 温度モニタ機能

本 IC は定電流出力回路を内蔵し、TO 端子より定電流を供給します。この電流値 I_{TO} は TC 端子-GND2 間に接続する抵抗値により設定可能です。また、TO 端子は電圧入力機能を持っており、TO 端子電圧を Duty に変換した信号を SENSOR 端子から出力します。

$$\text{定電流値 } I_{TO} [\text{mA}] = 10 \times V_{TC} [\text{V}] / R_{TC} [\text{k}\Omega]$$

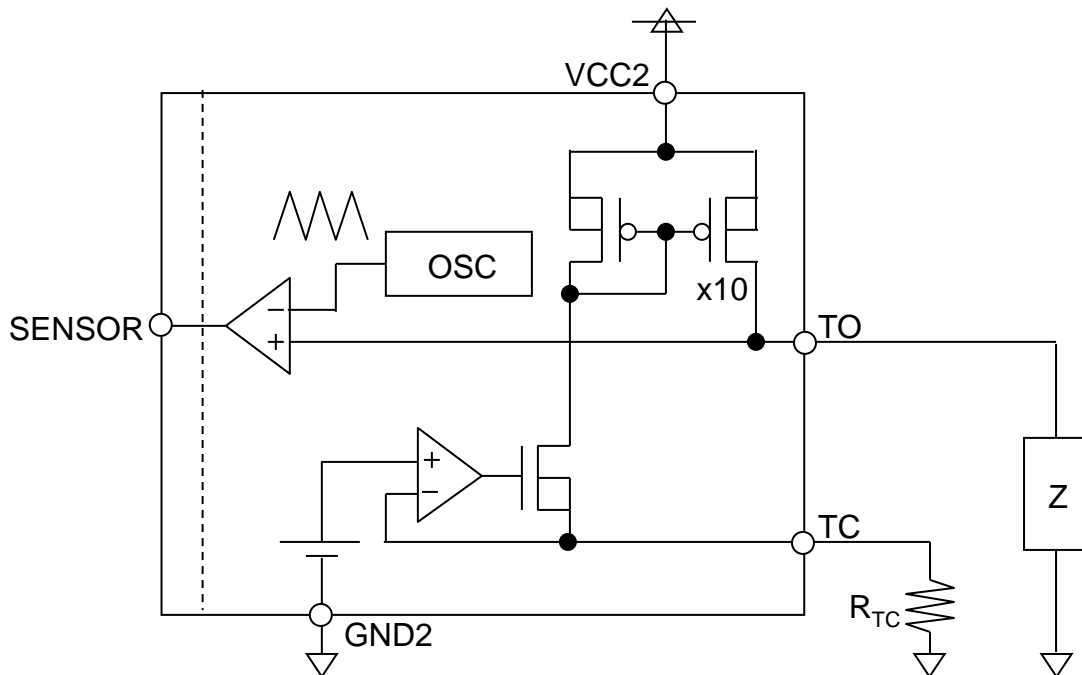


Figure 105. 温度モニタ部ブロック図

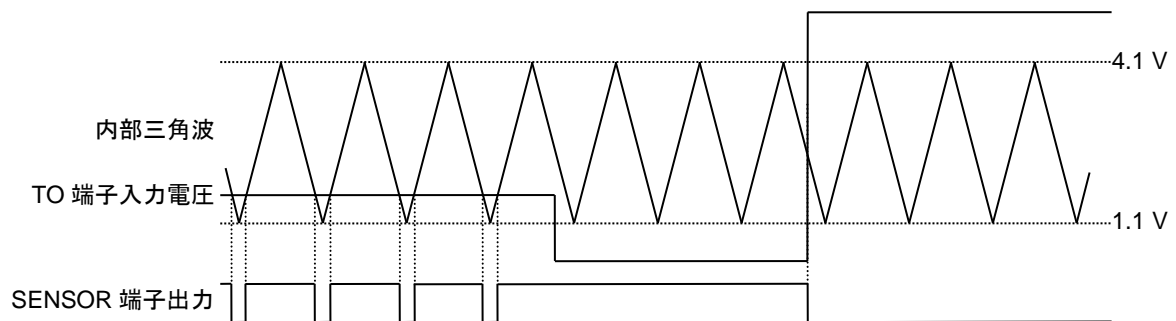
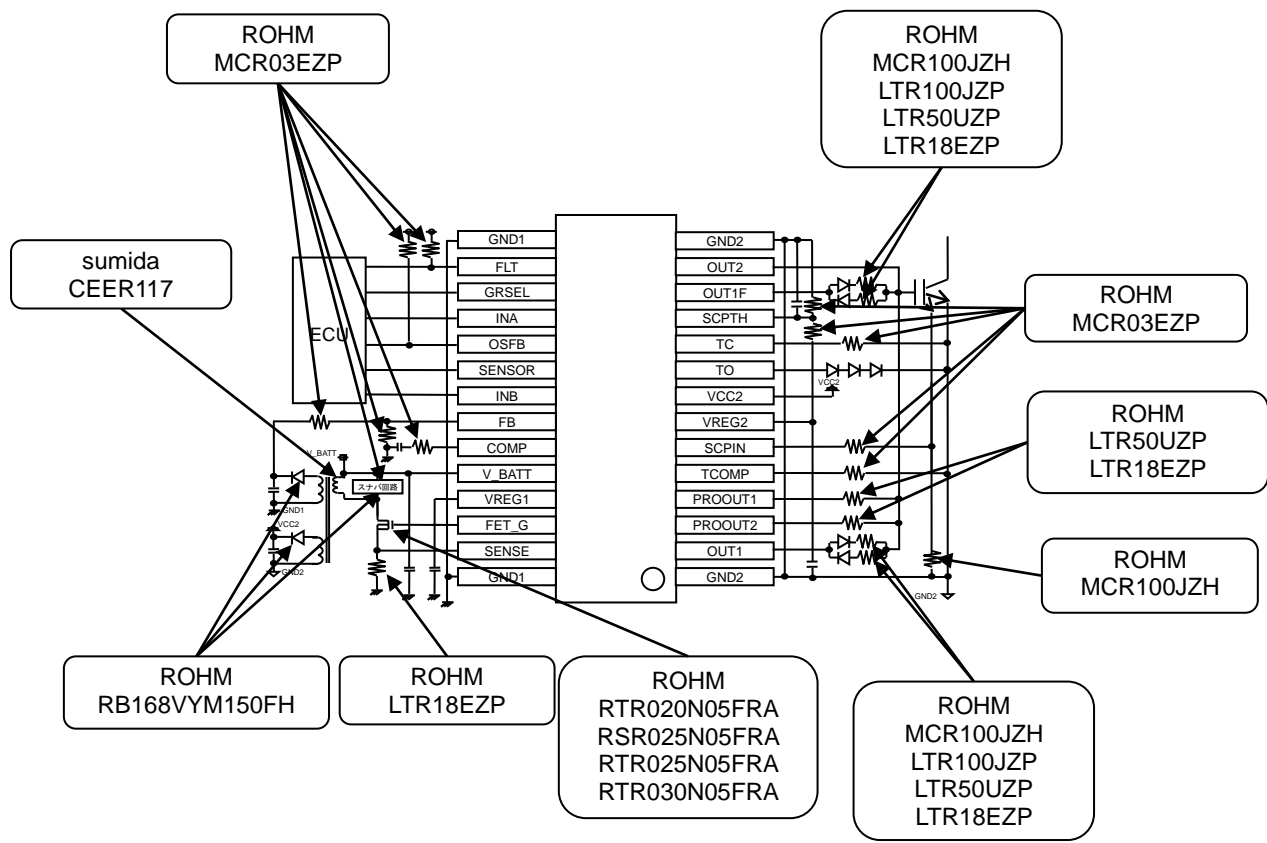


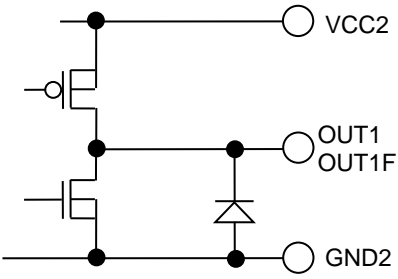
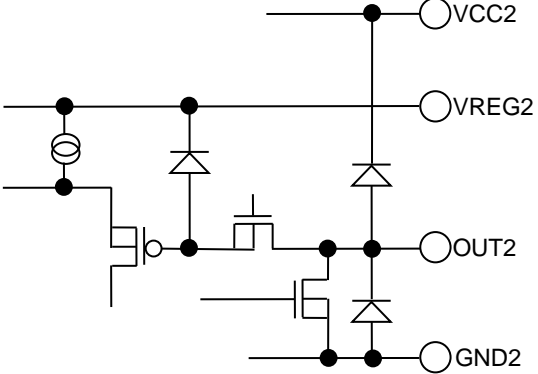
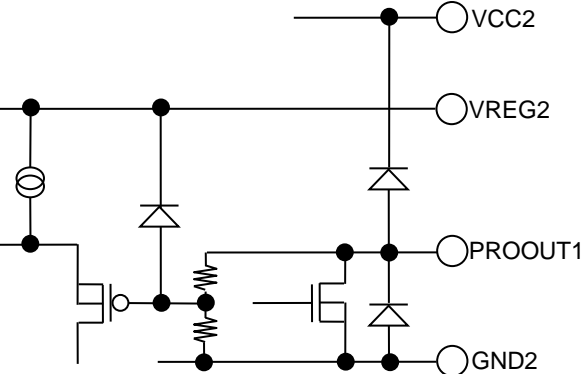
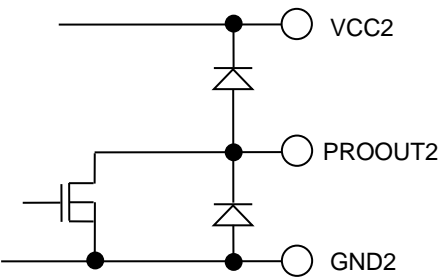
Figure 106. 温度モニタ動作タイミングチャート

推奨外付け部品

外付け部品は以下の部品を推奨します。



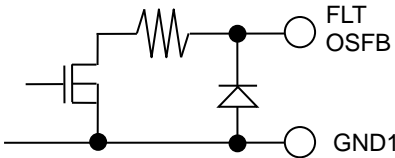
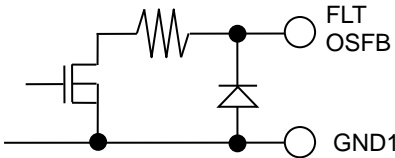
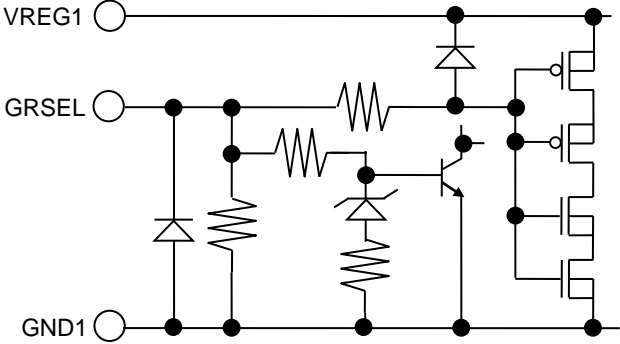
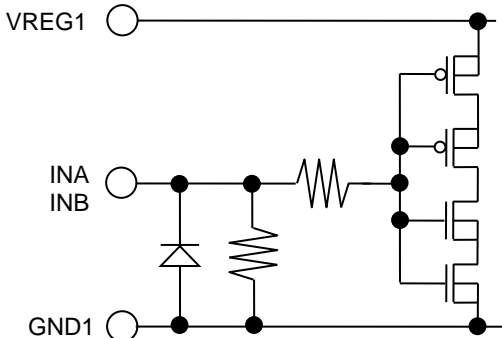
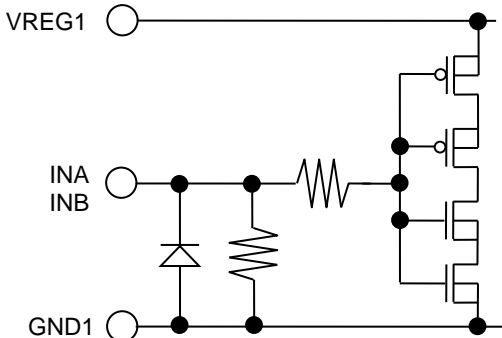
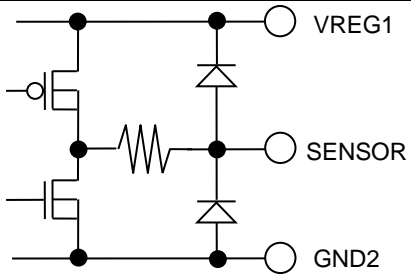
入出力等価回路図

端子 番号	端子名	入出力等価回路図
	端子機能	
2	OUT1	
	出力端子	
12	OUT1F	
	出力端子	
13	OUT2	
	ミラークランプ端子	
4	PROOUT1	
	短絡保護用ソフトターンオフ端子 / ゲート電圧入力端子	
3	PROOUT2	
	短絡保護用高速ターンオフ端子	

入出力等価回路図 — 続き

端子番号	端子名	入出力等価回路図
	端子機能	
5	TCOMP	
	短絡検出電圧温度特性補正端子	
6	SCPIN	
	短絡検出端子	
11	SCPTH	
	短絡検出スレッシュホールド設定端子	
9	TO	
	定電流源電流出力 / センサ電圧入力端子	
10	TC	
	定電流源電流設定用抵抗接続端子	
7	VREG2	
	出力側内部電源端子	

入出力等価回路図 — 続き

端子 番号	端子名	入出力等価回路図
	端子機能	
16	FLT	
	フォールト出力端子	
19	OSFB	
	出力ゲート状態監視出力端子	
17	GRSEL	
	ゲート抵抗切り替え端子	
18	INA	
	制御入力端子	
21	INB	
	制御入力端子	
20	SENSOR	
	温度情報出力端子	

入出力等価回路図 — 続き

端子 番号	端子名	入出力等価回路図
	端子機能	
22	FB	
	スイッチングコントローラ 誤差増幅器反転入力端子	
23	COMP	
	スイッチングコントローラ 誤差増幅器出力端子	
25	VREG1	
	入力側内部電源端子	
26	FET_G	
	スイッチングコントローラ トランス駆動用 MOS FET 制御端子	
27	SENSE	
	スイッチングコントローラ 電流帰還用抵抗接続端子	

使用上の注意

1. 電源の逆接続について

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れるなどの対策を施してください。

2. 電源ラインについて

基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。グラウンドラインについても、同様のパターン設計を考慮してください。また、LSI のすべての電源端子について電源-グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量低下が起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

3. グラウンド電位について

グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。

4. グラウンド配線パターンについて

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

5. 推奨動作条件について

推奨動作条件で規定される範囲で IC の機能・動作を保証します。また、特性値は電気的特性で規定される各項目の条件下においてのみ保証されます。

6. ラッシュカレントについて

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

7. セット基板での検査について

セット基板での検査時に、インピーダンスの低い端子にコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

使用上の注意 — 続き

8. 端子間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けした場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

9. 未使用の入力端子の処理について

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

10. 各入力端子について

本 IC は、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。

この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、GND > (端子 A)の時、トランジスタ(NPN)では GND > (端子 B)の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ(NPN)では、GND > (端子 B)の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に GND(P 基板)より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子が GND にショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

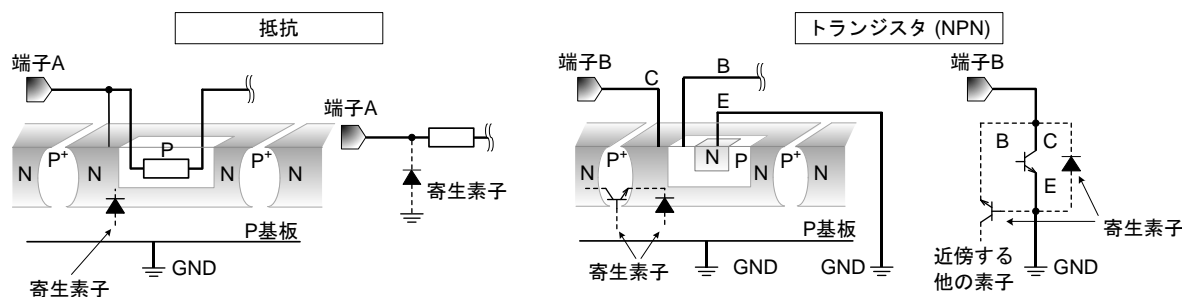


Figure 107. IC 構造例

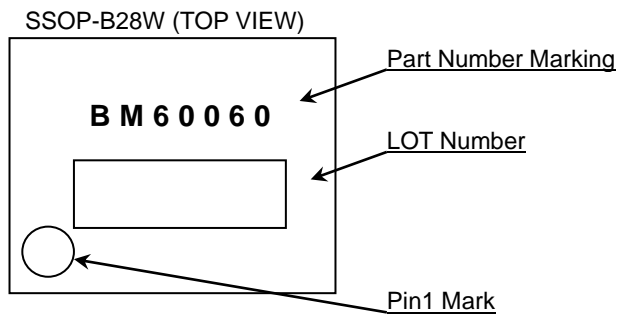
11. セラミック・コンデンサの特性変動について

外付けコンデンサに、セラミック・コンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮のうえ、定数を決定してください。

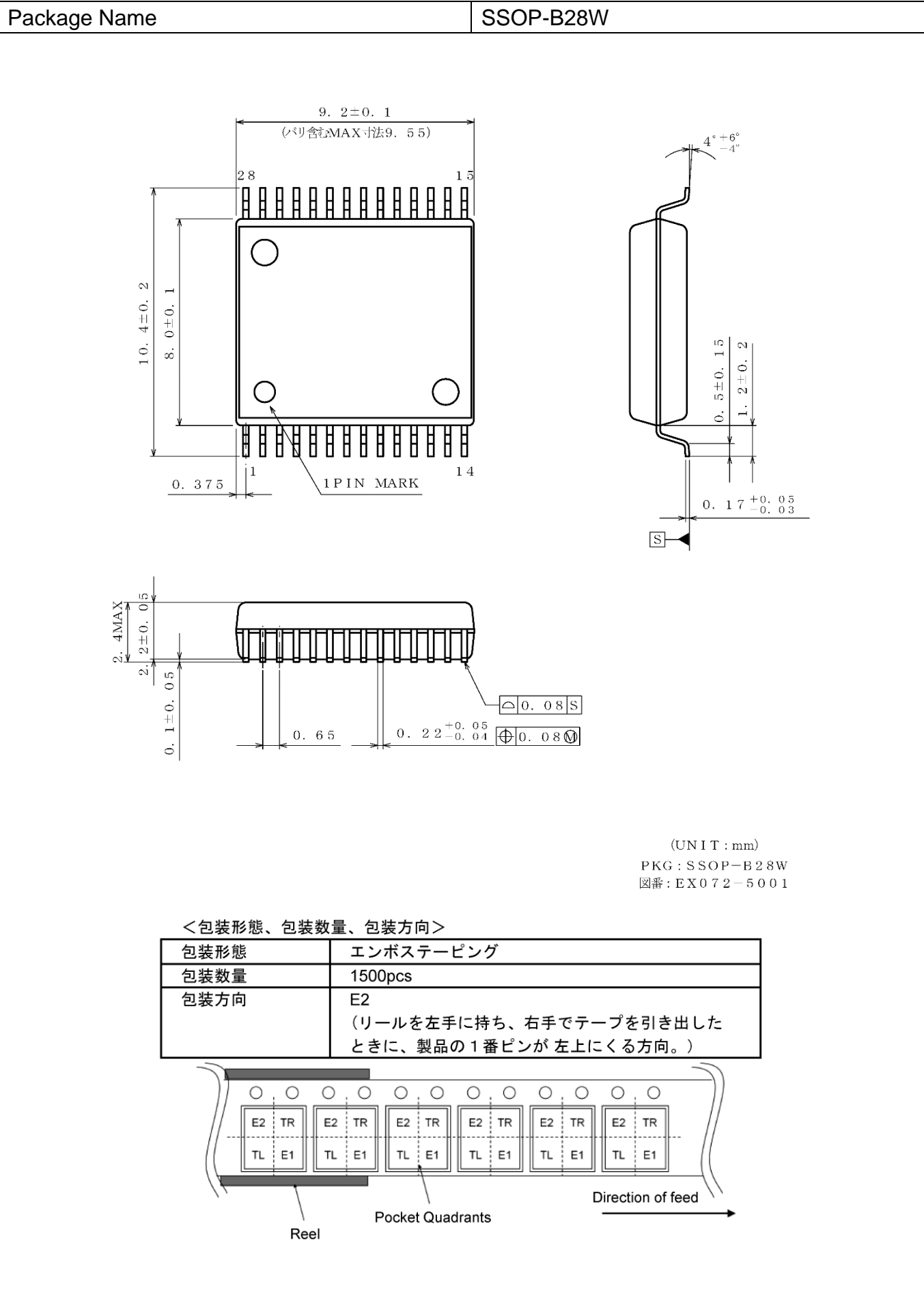
発注形名情報

B M 6 0 0 6 0 F V									-	C E 2		
品名									パッケージ FV: SSOP-B28W			製品ランク C: 車載ランク製品 包装、フォーミング仕様 E2: リール状エンボステーピング

標印図



外形寸法図と包装・フォーミング仕様



改訂履歴

日付	版	変更内容
2019.03.13	001	新規作成
2021.07.12	002	P.1 特長欄に「UL 認定品」追加 P.30 UL1577 レポート記載項目追加

ご注意

ローム製品取扱い上の注意事項

- 極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器^(Note 1)、航空宇宙機器、原子力制御装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

- 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
- 本製品は、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用
 - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用される場合は除く。ただし、残渣については十分に確認をお願いします。)又は、はんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合
 - ⑧結露するような場所でのご使用
- 本製品は耐放射線設計はなされておられません。
- 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
- パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
- 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
- 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
- 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

- ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
- はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。
その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。（人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等）

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
 - ① 潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ② 推奨温度、湿度以外での保管
 - ③ 直射日光や結露する場所での保管
 - ④ 強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱いください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルに2次元バーコードが印字されていますが、2次元バーコードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は、外国為替及び外国貿易法に定めるリスト規制貨物等に該当するおそれがありますので、輸出する場合には、ロームへお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等（ソフトウェア含む）との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。