

# 絶縁電圧 2500Vrms 絶縁素子内蔵 1ch ゲートドライバ

## BM6105AFW-LBZ

### 概要

本製品は産業機器市場へ向けた、長期の供給を保证するランクの製品です。  
これらのアプリケーションとして、ご使用される場合に最適な商品です。

絶縁電圧 2500Vrms、入出力遅延時間 120ns、最小入力パルス幅 60ns の絶縁素子内蔵ゲートドライバです。  
ミラーランプ機能、フォールト信号出力機能、Ready 信号出力機能、低電圧時誤動作防止機能 (UVLO)、DESAT 保護機能を内蔵しています。

### 重要特性

■ 絶縁電圧	2500Vrms
■ 最大ゲート駆動電圧	20V
■ 入出力遅延時間	120ns (Max)
■ 最小入力パルス幅	60ns (Max)

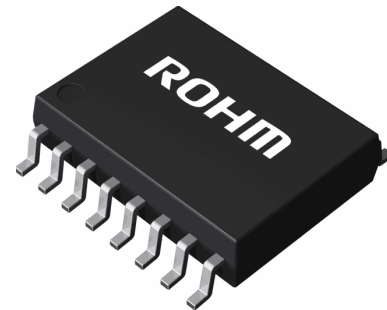
### パッケージ

SOP16WM

W(Typ) x D(Typ) x H(Max)  
10.34mm x 10.31mm x 2.64mm

### 特長

- 産業機器に適した長期の供給保証
- 絶縁素子内蔵 1ch
- ミラーランプ機能
- フォールト信号出力機能
- Ready 信号出力機能
- 低電圧時誤動作防止機能
- DESAT 保護機能
- 負電源使用可能



SOP16WM

### 用途

- 産業機器用 IGBT ゲート駆動
- 産業機器用 MOSFET ゲート駆動

### 基本アプリケーション回路例

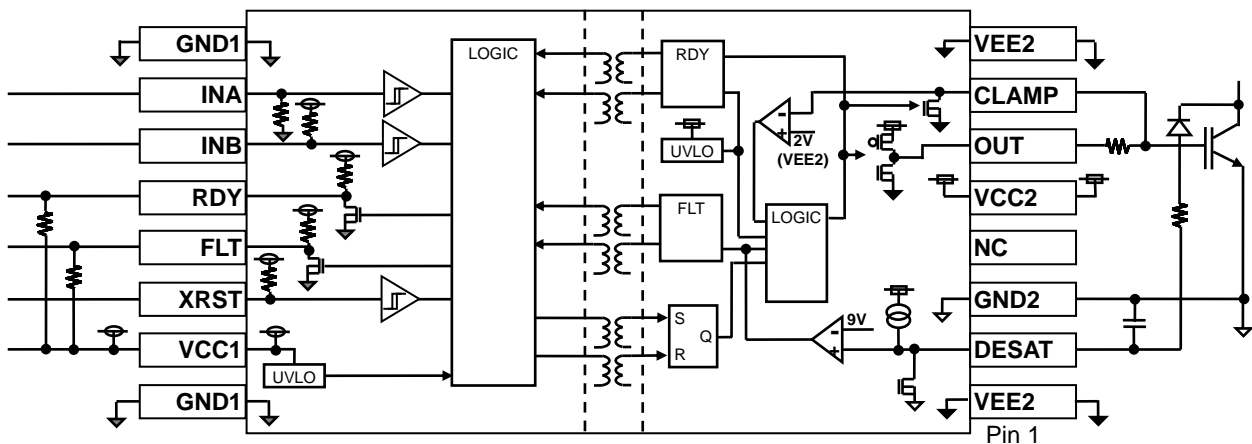


Figure 1. 基本アプリケーション回路

# 目次

概要 .....	1
特長 .....	1
用途 .....	1
重要特性 .....	1
パッケージ .....	1
基本アプリケーション回路例 .....	1
推奨外付け定数範囲 .....	3
端子配置図 .....	3
端子説明 .....	3
機能動作説明・定数設定例 .....	5
絶対最大定格 .....	7
熱抵抗 .....	7
推奨動作条件 .....	8
絶縁特性 .....	8
電気的特性 .....	9
特性データ (参考データ) .....	10
入出力等価回路図 .....	21
使用上の注意 .....	23
発注形名情報 .....	25
標印図 .....	25
外形寸法図と包装・フォーミング仕様 .....	26
改訂履歴 .....	27

## 推奨外付け定数範囲

Pin Name	Symbol	Recommended Value			Unit
		Min	Typ	Max	
VCC1	C <sub>VCC1</sub>	0.1	1.0	-	μF
VCC2	C <sub>VCC2</sub>	0.33	-	-	μF

## 端子配置図

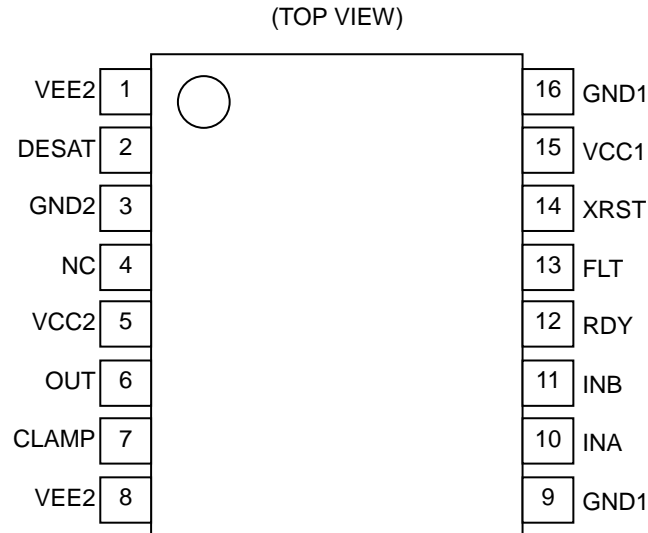


Figure 2. 端子配置図

## 端子説明

Pin No.	Pin Name	Function
1	VEE2	出力側負電源端子
2	DESAT	DESAT 検出端子
3	GND2	出力側グラウンド端子
4	NC	ノンコネクション
5	VCC2	出力側正電源端子
6	OUT	出力端子
7	CLAMP	ミラーランプ端子
8	VEE2	出力側負電源端子
9	GND1	入力側グラウンド端子
10	INA	制御入力端子 A
11	INB	制御入力端子 B
12	RDY	Ready 出力端子
13	FLT	フォールト出力端子
14	XRST	リセット入力端子
15	VCC1	入力側電源端子
16	GND1	入力側グラウンド端子

## 端子説明 — 続き

1. VCC1 (入力側電源端子)  
入力側の電源端子です。IC 内部トランスフォーマ駆動電流による電圧変動を抑えるため、GND1 端子間にバイパスコンデンサを接続してください。
2. GND1 (入力側グラウンド端子)  
入力側のグラウンド端子です。
3. VCC2 (出力側正電源端子)  
出力側の正電源端子です。IC 内部トランスフォーマ駆動電流及び OUT 出力電流による電圧変動を抑えるため、GND2 端子間にバイパスコンデンサを接続してください。
4. VEE2 (出力側負電源端子)  
出力側の負電源端子です。IC 内部トランスフォーマ駆動電流及び OUT 出力電流による電圧変動を抑えるため、GND 端子間にバイパスコンデンサを接続してください。なお、負電源を使用しない場合は GND2 端子と接続してください。
5. GND2 (出力側グラウンド端子)  
出力側のグラウンド端子です。出力素子のソース/エミッタに接続してください。

6. INA, INB, XRST (制御入力端子及びリセット入力端子)  
出力論理を決定する端子です。

XRST	INB	INA	OUT
L	X	X	L
H	H	X	L
H	L	L	L
H	L	H	H

7. FLT (フォールト出力端子)  
フォールト発生時 (DESAT 動作時)、フォールト信号を出力するオープンドレイン端子です。また XRST 端子入力信号の L→H 立ち上がりによってフォールト信号の保持を解除します。

状態	FLT
通常時	H
DESAT 動作時	L

8. RDY (Ready 出力端子)  
IC 内部の異常状態 (VCC1 UVLO、VCC2 UVLO、出力状態監視(不一致))を出力するオープンドレイン端子です。出力状態監視とは、出力論理と入力論理とを比較する機能で、不一致の場合に L を出力します。

状態	RDY
通常時	H
VCC1 UVLO or VCC2 UVLO or 出力状態監視 (不一致)	L

9. OUT (出力端子)  
ゲート駆動用端子です。
10. CLAMP (ミラークランプ端子)  
OUT 端子に接続された素子の miller 電流によるゲート電圧上昇を防止するためのミラークランプ端子です。ミラークランプを使用しない場合、CLAMP 端子は VEE2 端子と接続してください。
11. DESAT (DESAT 検出端子)  
DESAT 保護のための検出端子です。DESAT 端子電圧が DESAT 検出電圧 ( $V_{DESAT}$ )以上になると、DESAT 保護機能が動作します。オープン状態では DESAT 誤検知しますので、DESAT 保護機能を使用しない場合は DESAT 端子を GND2 端子に接続してください。また、ノイズによる誤検出を防止するため、ノイズフィルタ時間  $t_{DESATFIL}$  を設けています。

機能動作説明・定数設定例

1. ミラークランプ機能

OUT=L かつ CLAMP 端子電圧 <math>V\_{CLPON}</math> 時、CLAMP 端子の内部 MOS が ON し、ミラークランプ機能が動作します。

OUT	CLAMP	CLAMP 端子の内部 MOS
L	$V_{CLPON}$ 未満	ON
L	$V_{CLPON}$ 以上	OFF
H	X	OFF

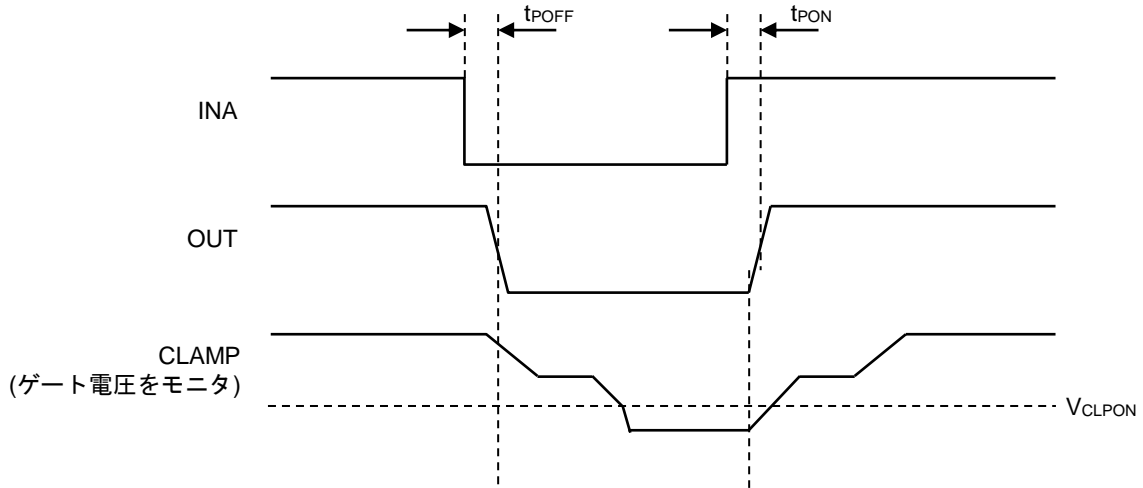


Figure 3. ミラークランプ機能タイミングチャート

2. 異常状態出力

フォールト発生時 (DESAT 動作時) に FLT 端子からフォールト信号出力を行います。フォールト信号は XRST 端子入力信号の L→H 立ち上がりにより解除されます。

3. 低電圧時誤動作防止機能 (UVLO)

入力側、出力側とも、低電圧時誤動作防止機能を内蔵しています。電源電圧が  $V_{UVLO1L}$ 、 $V_{UVLO2L}$  まで低下すると、OUT 端子は L、RDY 端子は L を出力します。電源電圧が  $V_{UVLO1H}$ 、 $V_{UVLO2H}$  まで上昇すると復帰します。また、ノイズによる誤動作を防止するため、入力側、出力側とも、マスク時間  $t_{UVLO1MSK}$ 、 $t_{UVLO2MSK}$  を設けています。

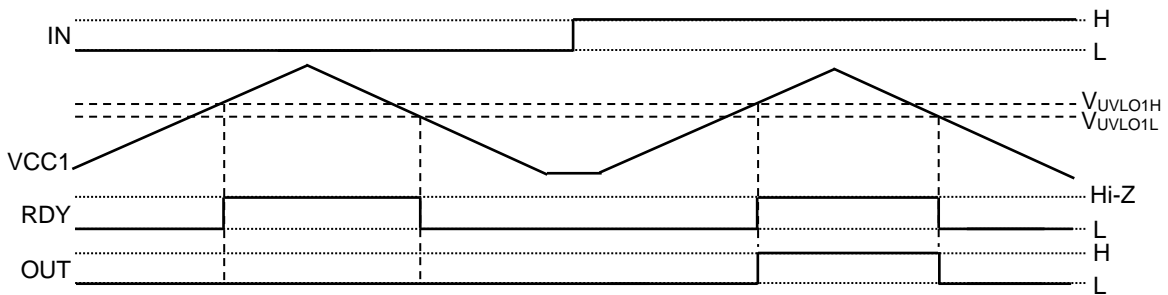


Figure 4. 入力側 UVLO 動作タイミングチャート

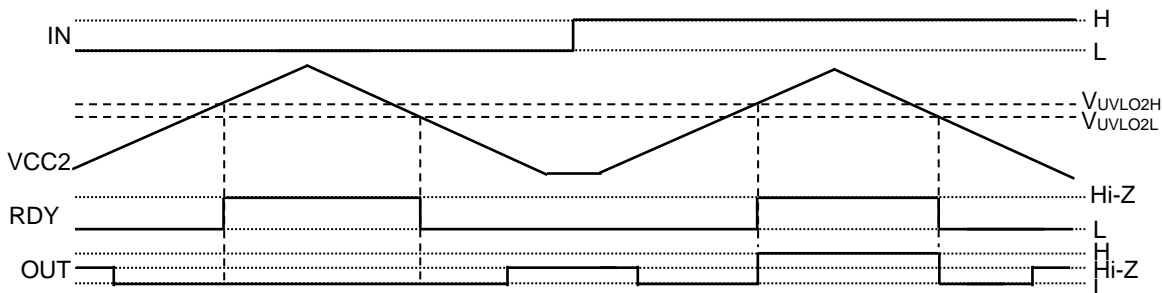


Figure 5. 出力側 UVLO 動作タイミングチャート

機能動作説明・定数設定例 — 続き

4. DESAT 保護機能

DESAT 端子電圧が  $V_{DESAT}$  以上になった場合、DESAT 保護機能が動作します。DESAT 保護機能が動作すると、OUT 端子が L、FLT 端子が L となります。DESAT 保護は XRST 端子入力信号の L→H 立ち上がりにより解除されます。

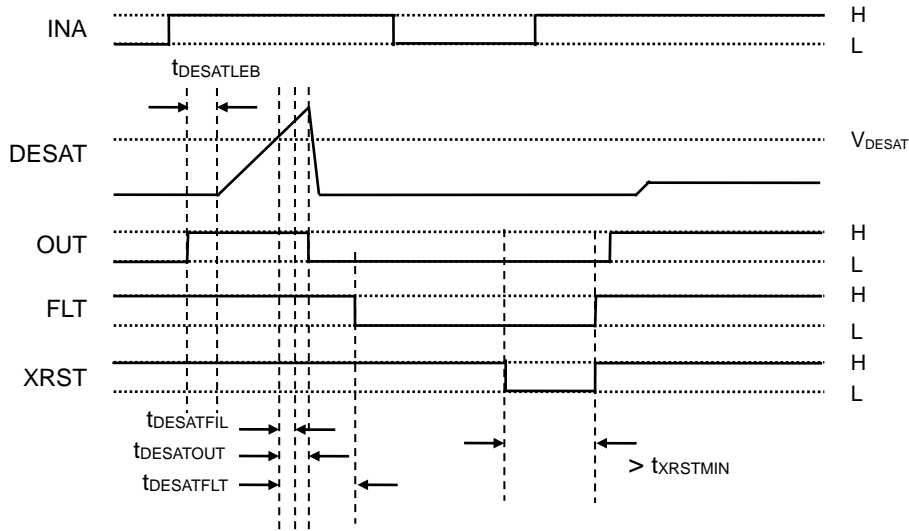


Figure 6. DESAT 動作タイミングチャート

5. 動作真理値表

No.	Status	Input							Output			
		VCC1	VCC2	DESAT	XRST	INB	INA	CLAMP	OUT	CLAMP	FLT	RDY
1	VCC1 UVLO	UVLO	X	X	X	X	X	H	L	Hi-Z	H	L
2		UVLO	X	X	X	X	X	L	L	L	H	L
3	VCC2 UVLO	○	UVLO	L	X	X	X	H	L	Hi-Z	H	L
4		○	UVLO	L	X	X	X	L	L	L	H	L
5		○	UVLO	H	X	X	X	H	L	Hi-Z	L	L
6		○	UVLO	H	X	X	X	L	L	L	L	L
7	DESAT	○	○	H	X	X	X	H	L	Hi-Z	L	H
8		○	○	H	X	X	X	L	L	L	L	H
9	XRST	○	○	L	L	X	X	H	L	Hi-Z	H	H
10		○	○	L	L	X	X	L	L	L	H	H
11	通常動作	○	○	L	H	H	X	H	L	Hi-Z	H	H
12		○	○	L	H	H	X	L	L	L	H	H
13		○	○	L	H	L	L	H	L	Hi-Z	H	H
14		○	○	L	H	L	L	L	L	L	H	H
15		○	○	L	H	L	H	X	H	Hi-Z	H	H

○: VCC1 or VCC2 > UVLO, X: Don't care

絶対最大定格

項目	記号	定格	単位
入力側電源電圧	V <sub>CC1</sub>	-0.3~+7.0 <sup>(Note 1)</sup>	V
出力側正電源電圧	V <sub>CC2</sub>	-0.3~+24.0 <sup>(Note 2)</sup>	V
出力側負電源電圧	V <sub>EE2</sub>	-15.0~+0.3 <sup>(Note 3)</sup>	V
出力側正負電源間最大電圧	V <sub>MAX2</sub>	30.0	V
INA, INB, XRST 端子入力電圧	V <sub>IN</sub>	-0.3~+V <sub>CC1</sub> +0.3 or 7.0 <sup>(Note 1)</sup>	V
RDY, FLT 端子入力電圧	V <sub>FLT</sub>	-0.3~+V <sub>CC1</sub> +0.3 or 7.0 <sup>(Note 1)</sup>	V
DESAT 端子入力電圧	V <sub>DESATIN</sub>	-0.3~V <sub>CC2</sub> +0.3 <sup>(Note 2)</sup>	V
OUT 端子出力電流 (10μs)	I <sub>OUTPEAK</sub>	5.0	A
OUT, CLAMP 端子電圧	V <sub>OUT</sub>	V <sub>EE2</sub> -0.3~V <sub>CC2</sub> +0.3	V
RDY, FLT 端子出力電流	I <sub>FLT</sub>	10	mA
保存温度範囲	T <sub>stg</sub>	-55~+150	°C
最高接合部温度	T <sub>jmax</sub>	+150	°C

注意 1: 印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施して頂けるようご検討をお願いします。

注意 2: 最高接合部温度を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。最高接合部温度を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用するなど、最高接合部温度を超えないよう熱抵抗にご配慮ください。

(Note 1) GND1 基準。

(Note 2) GND2 基準。

(Note 3) T<sub>jmax</sub>=150°C を超えないこと。

熱抵抗<sup>(Note4)</sup>

項目	記号	熱抵抗(Typ)		単位
		1層基板 <sup>(Note 6)</sup>	4層基板 <sup>(Note 7)</sup>	
SOP16WM				
ジャンクション—周囲温度間熱抵抗	θ <sub>JA</sub>	104.1	66.2	°C/W
ジャンクション—パッケージ上面中心間熱特性パラメータ <sup>(Note 5)</sup>	Ψ <sub>JT</sub>	34	32	°C/W

(Note 4) JEESD51-2A(Still-Air)に準拠。

(Note 5) ジャンクションからパッケージ (モールド部分) 上面中心までの熱特性パラメータ。

(Note 6) JEESD51-3 に準拠した基板を使用。

(Note 7) JEESD51-7 に準拠した基板を使用。

測定基板	基板材	基板寸法
1層	FR-4	114.3mm x 76.2mm x 1.57mm

1層目 (表面) 銅箔	
銅箔パターン	銅箔厚
実装ランドパターン + 電極引出し用配線	70μm

測定基板	基板材	基板寸法
4層	FR-4	114.3mm x 76.2mm x 1.6mm

1層目 (表面) 銅箔		2層目、3層目 (内層) 銅箔		4層目 (裏面) 銅箔	
銅箔パターン	銅箔厚	銅箔パターン	銅箔厚	銅箔パターン	銅箔厚
実装ランドパターン + 電極引出し用配線	70μm	74.2mm□ (正方形)	35μm	74.2mm□ (正方形)	70μm

## 推奨動作条件

Parameter	Symbol	Min	Typ	Max	Unit
入力側電源電圧	$V_{CC1}$ (Note 8)	4.5	5.0	5.5	V
出力側正電源電圧	$V_{CC2}$ (Note 9)	13.3	15.0	20.0	V
出力側負電源電圧	$V_{EE2}$ (Note 9)	-12	-	0	V
出力側正負電源間電圧	$V_{MAX2}$	-	-	28.0	V
動作温度	$T_{opr}$	-40	+25	+105	°C

(Note 8) GND1 基準.

(Note 9) GND2 基準.

## 絶縁特性

Parameter	Symbol	Characteristic	Unit
絶縁抵抗 ( $V_{IO}=500V$ )	$R_s$	$>10^9$	$\Omega$
絶縁耐電圧 (1min)	$V_{ISO}$	2500	Vrms
絶縁試験電圧 (1s)	$V_{ISO}$	3000	Vrms



## 電気的特性

(特に指定のない限り、 $T_a = -40^{\circ}\text{C} \sim +105^{\circ}\text{C}$ ,  $V_{CC1} = 4.5\text{V} \sim 5.5\text{V}$ ,  $V_{CC2} = 13.3\text{V} \sim 20\text{V}$ ,  $V_{EE2} = -12\text{V} \sim 0\text{V}$ )

Parameter	Symbol	Min	Typ	Max	Unit	Conditions
<b>全体</b>						
入力側回路電流 1	$I_{CC11}$	0.16	0.32	0.48	mA	
入力側回路電流 2	$I_{CC12}$	0.21	0.42	0.63	mA	INA=10kHz, Duty=50%
入力側回路電流 3	$I_{CC13}$	0.26	0.52	0.78	mA	INA=20kHz, Duty=50%
出力側回路電流 1	$I_{CC21}$	0.9	1.8	2.7	mA	OUT=L
出力側回路電流 2	$I_{CC22}$	0.8	1.7	2.5	mA	OUT=H
<b>ロジック</b>						
ロジック H レベル入力電圧	$V_{INH}$	2.0	-	$V_{CC1}$	V	INA, INB, XRST
ロジック L レベル入力電圧	$V_{INL}$	0	-	0.8	V	INA, INB, XRST
ロジックプルダウン抵抗	$R_{IND}$	25	50	100	k $\Omega$	INA
ロジックプルアップ抵抗	$R_{INU}$	25	50	100	k $\Omega$	INB, XRST, RDY, FLT
ロジック最小入力パルス幅	$t_{INMSK}$	-	-	60	ns	INA, INB
XRST 入力マスク時間	$t_{XRSTMIN}$	-	-	800	ns	
<b>出力</b>						
出力ソース側オン抵抗	$R_{ONH}$	0.3	0.8	1.5	$\Omega$	$I_{OUT} = -40\text{mA}$
出力シンク側オン抵抗	$R_{ONL}$	0.2	0.5	0.9	$\Omega$	$I_{OUT} = 40\text{mA}$
出力最大電流	$I_{OUTMAX}$	3.0	4.5	-	A	設計保証
CLAMP オン抵抗	$R_{ONCLP}$	0.2	0.5	0.9	$\Omega$	$I_{CLAMP} = 40\text{mA}$
CLAMP 最大電流	$I_{CLAMPL}$	3.0	4.5	-	A	設計保証
Turn ON time	$t_{PON}$	50	80	120	ns	
Turn OFF time	$t_{POFF}$	50	80	120	ns	
Propagation distortion	$t_{PDIST}$	-20	0	+20	ns	$t_{POFF} - t_{PON}$
Rise time	$t_{RISE}$	-	50	100	ns	OUT-VEE2 間 10 $\Omega$ , 10nF
Fall time	$t_{FALL}$	-	50	100	ns	設計保証
CLAMP ON スレッシュホールド	$V_{CLPON}$	1.8	2	2.2	V	VEE2 基準
同相過渡耐圧	CM	100	-	-	kV/ $\mu\text{s}$	設計保証
<b>保護機能</b>						
入力側 UVLO OFF 電圧	$V_{UVLO1H}$	3.35	3.50	3.65	V	
入力側 UVLO ON 電圧	$V_{UVLO1L}$	3.25	3.40	3.55	V	
入力側 UVLO マスク時間	$t_{UVLO1MSK}$	0.8	2.5	5.0	$\mu\text{s}$	
出力側 UVLO OFF 電圧	$V_{UVLO2H}$	11.3	12.3	13.3	V	
出力側 UVLO ON 電圧	$V_{UVLO2L}$	10.3	11.3	12.3	V	
出力側 UVLO マスク時間	$t_{UVLO2MSK}$	3.8	7.7	14	$\mu\text{s}$	
DESAT 充電電流	$I_{DESATC}$	450	500	550	$\mu\text{A}$	
DESAT 検出電圧	$V_{DESAT}$	8.5	9.0	9.5	V	
DESAT フィルタ時間	$t_{DESATFIL}$	0.16	0.25	0.34	$\mu\text{s}$	
DESAT 検知後 OUT 出力時間	$t_{DESATOUT}$	0.31	0.38	0.45	$\mu\text{s}$	
DESAT 検知後 FLT 出力時間	$t_{DESATFLT}$	0.34	0.42	0.50	$\mu\text{s}$	
DESAT L 電圧	$V_{DESATL}$	-	0.1	0.22	V	$I_{DESAT} = 1\text{mA}$
DESAT 反応時間	$t_{DESATLEB}$	0.28	0.4	0.52	$\mu\text{s}$	設計保証
出力状態監視フィルタ時間	$t_{OSFBFIL}$		2		$\mu\text{s}$	
RDY 出力 L 電圧	$V_{RDYL}$	-	0.08	0.15	V	$I_{RDY} = 5\text{mA}$
FLT 出力 L 電圧	$V_{FLTL}$	-	0.08	0.15	V	$I_{FLT} = 5\text{mA}$

特性データ (参考データ)

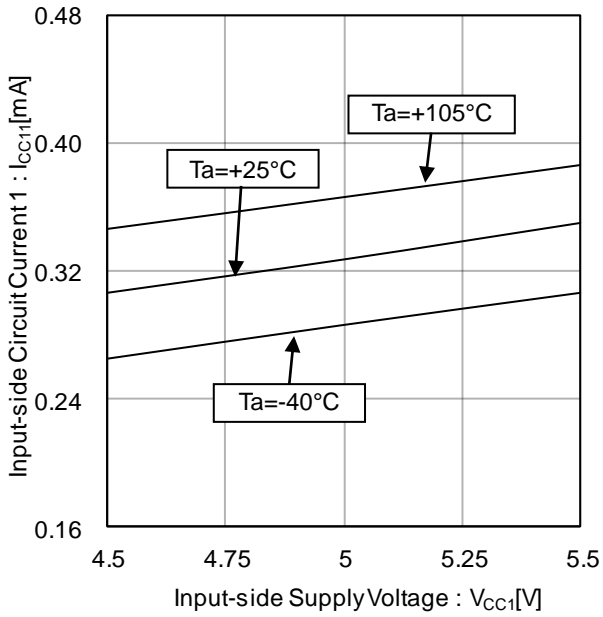


Figure 7. Input-side Circuit Current 1 vs Input-side Supply Voltage

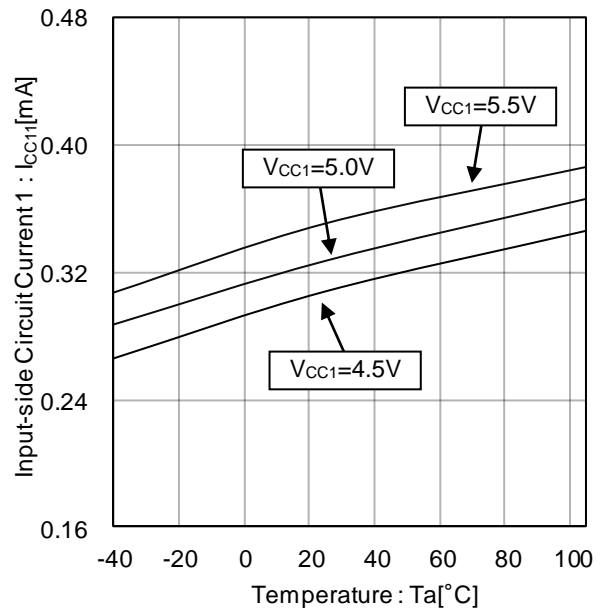


Figure 8. Input-side Circuit Current 1 vs Temperature

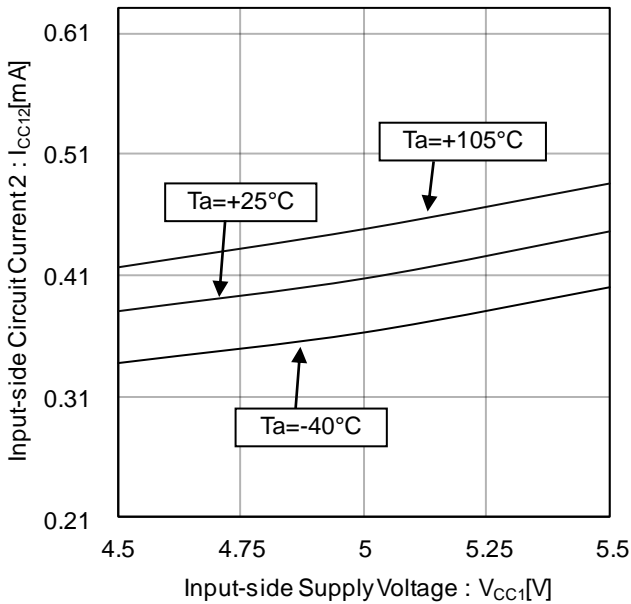


Figure 9. Input-side Circuit Current 2 vs Input-side Supply Voltage (INA=10kHz, Duty=50%)

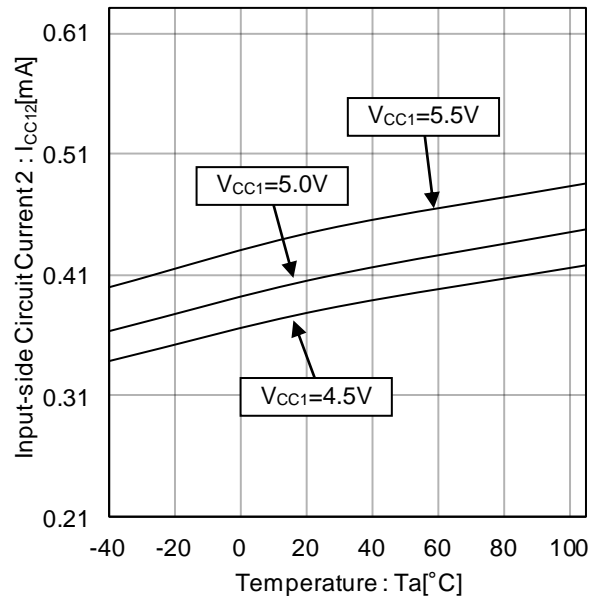


Figure 10. Input-side Circuit Current 2 vs Temperature (INA=10kHz, Duty=50%)

特性データ (参考データ) — 続き

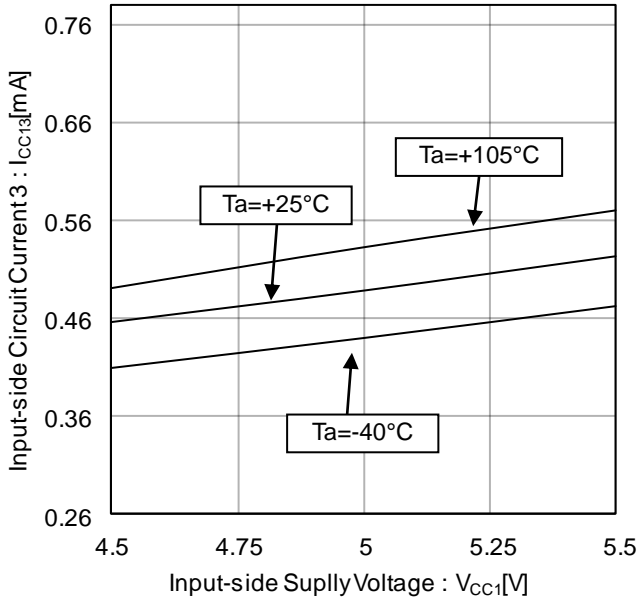


Figure 11. Input-side Circuit Current 3 vs Input-side Supply Voltage (INA=20kHz, Duty=50%)

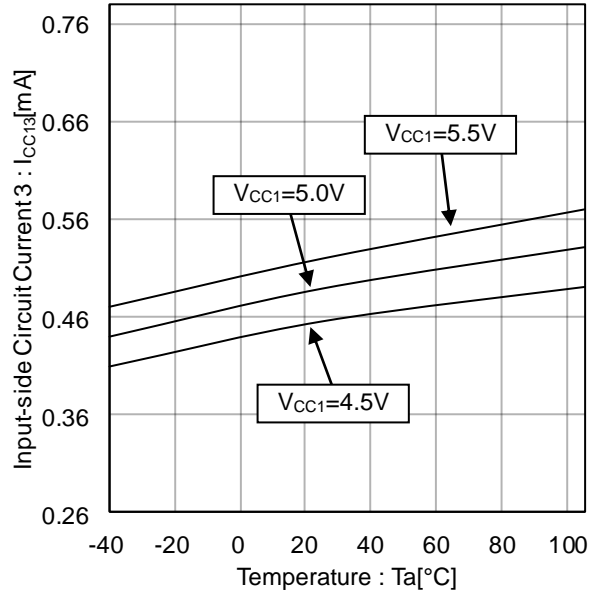


Figure 12. Input-side Circuit Current 3 vs Temperature (INA=20kHz, Duty=50%)

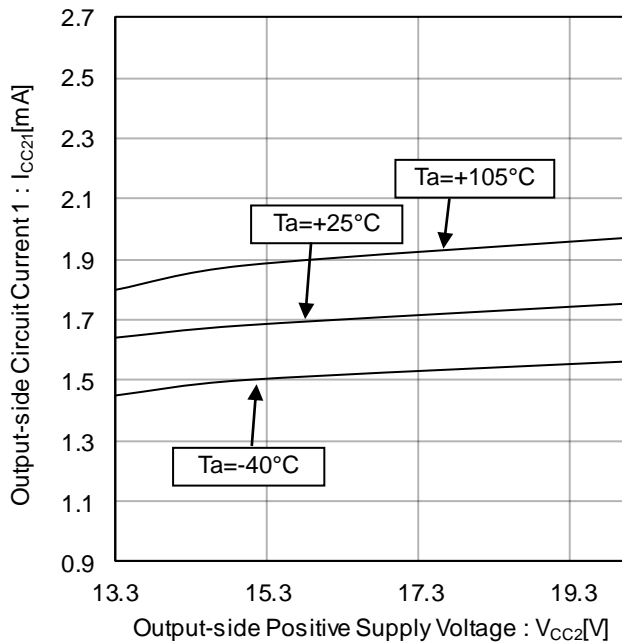


Figure 13. Output-side Circuit Current 1 vs Output-side Positive Supply Voltage (V<sub>EE2</sub>=0V, OUT=L)

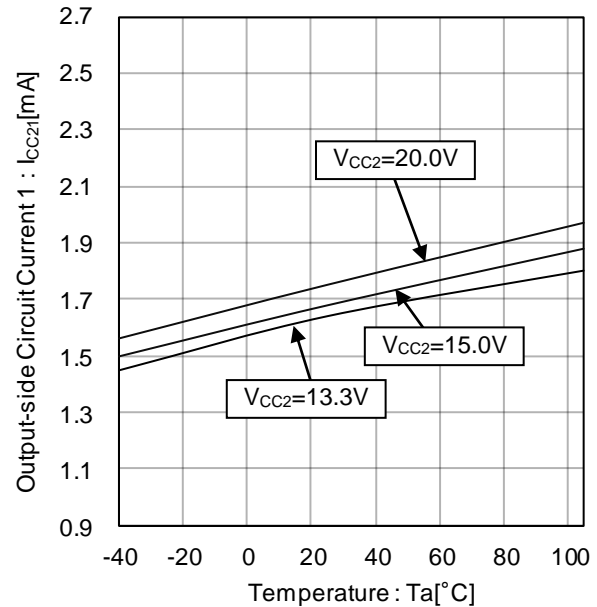


Figure 14. Output-side Circuit Current 1 vs Temperature (V<sub>EE2</sub>=0V, OUT=L)

特性データ(参考データ) — 続き

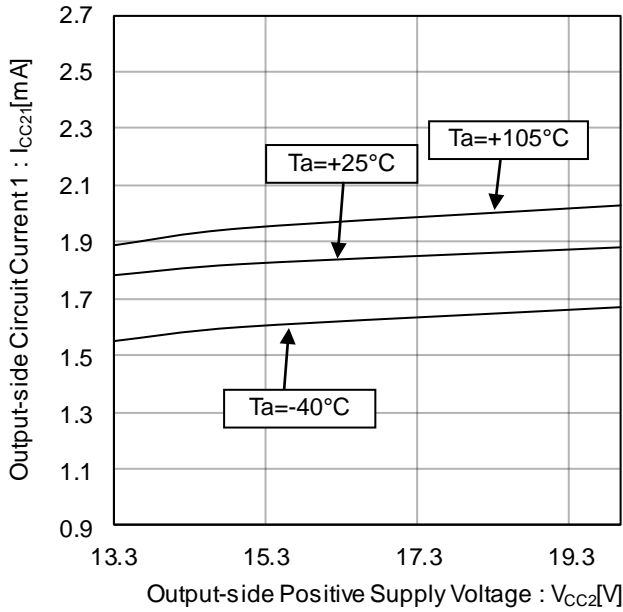


Figure 15. Output-side Circuit Current 1 vs Output-side Positive Supply Voltage (V<sub>EE2</sub>=-8V, OUT=L)

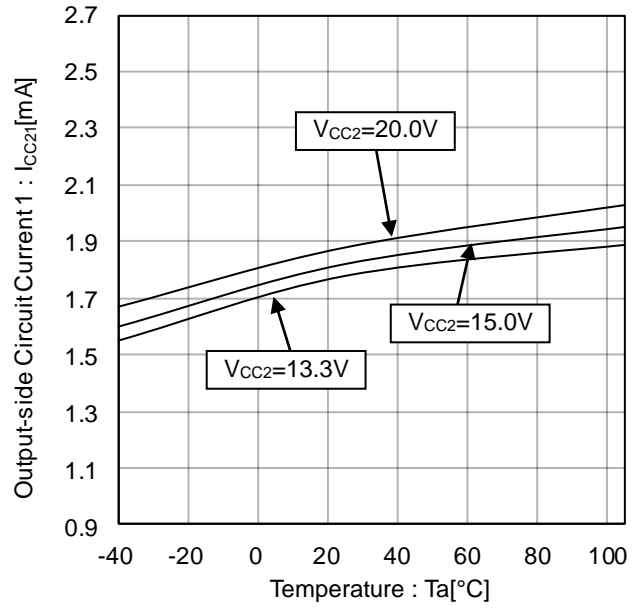


Figure 16. Output-side Circuit Current 1 vs Temperature (V<sub>EE2</sub>=-8V, OUT=L)

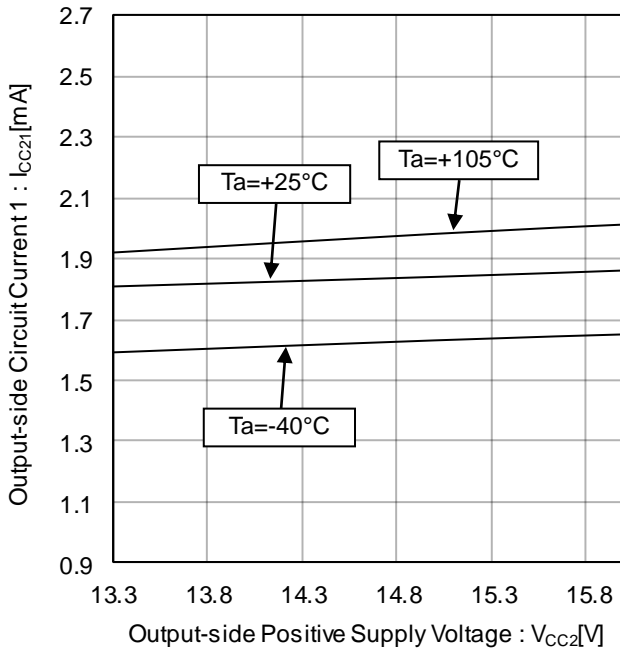


Figure 17. Output-side Circuit Current 1 vs Output-side Positive Supply Voltage (V<sub>EE2</sub>=-12V, OUT=L)

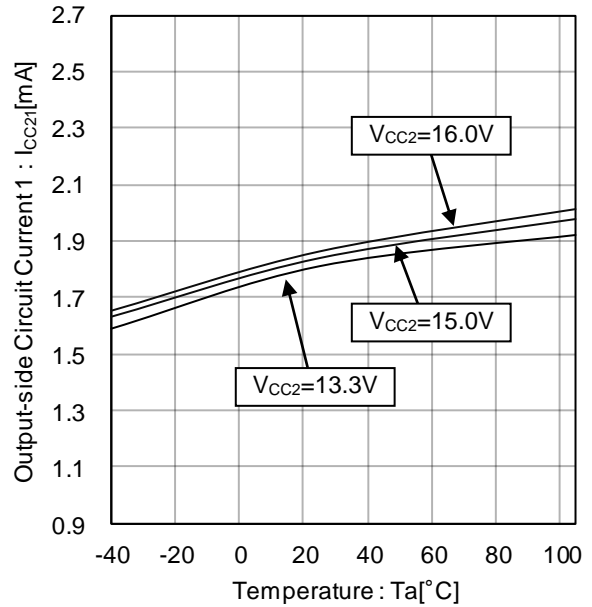


Figure 18. Output-side Circuit Current 1 vs Temperature (V<sub>EE2</sub>=-12V, OUT=L)

特性データ (参考データ) — 続き

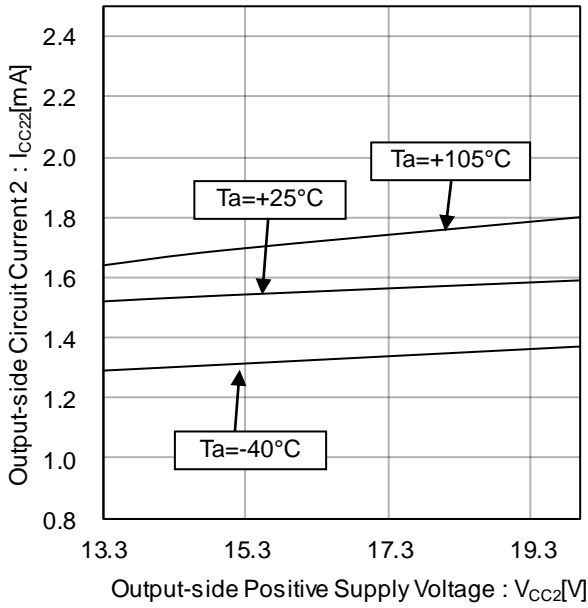


Figure 19. Output-side Circuit Current 2 vs Output-side Positive Supply Voltage (V<sub>EE2</sub>=0V, OUT=H)

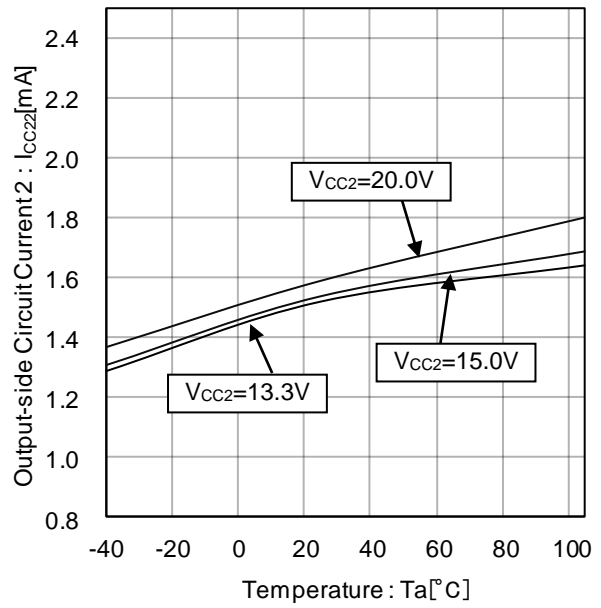


Figure 20. Output-side Circuit Current 2 vs Temperature (V<sub>EE2</sub>=0V, OUT=H)

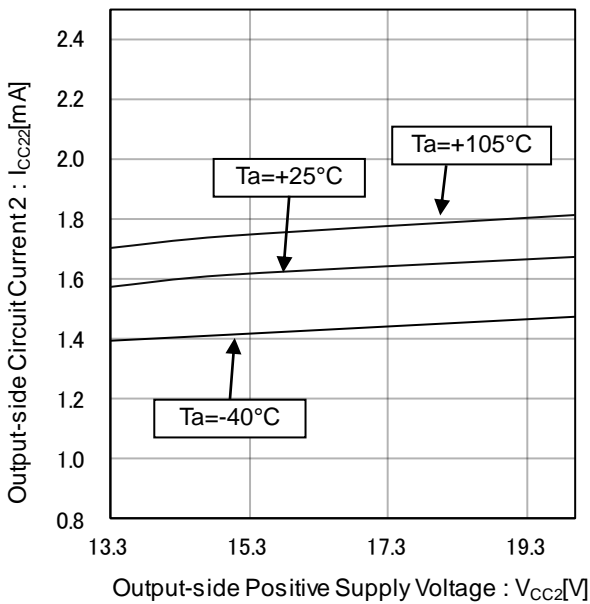


Figure 21. Output-side Circuit Current 2 vs Output-side Positive Supply Voltage (V<sub>EE2</sub>=-8V, OUT=H)

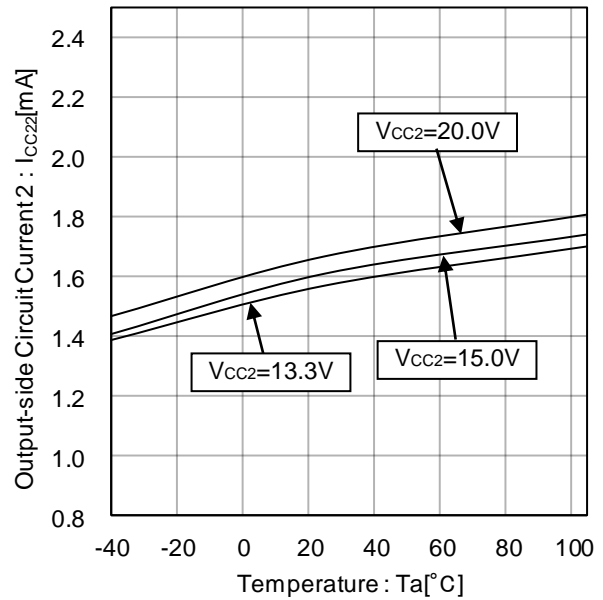


Figure 22. Output-side Circuit Current 2 vs Temperature (V<sub>EE2</sub>=-8V, OUT=H)

特性データ (参考データ) — 続き

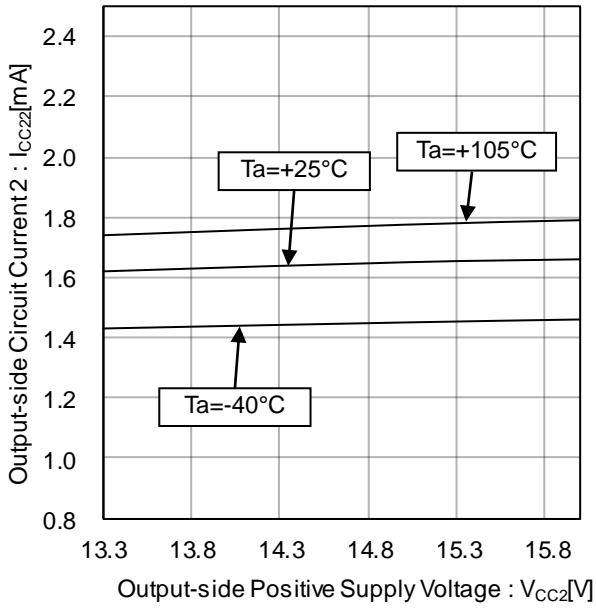


Figure 23. Output-side Circuit Current 2 vs Output-side Positive Supply Voltage ( $V_{EE2} = -12\text{V}$ ,  $\text{OUT} = \text{H}$ )

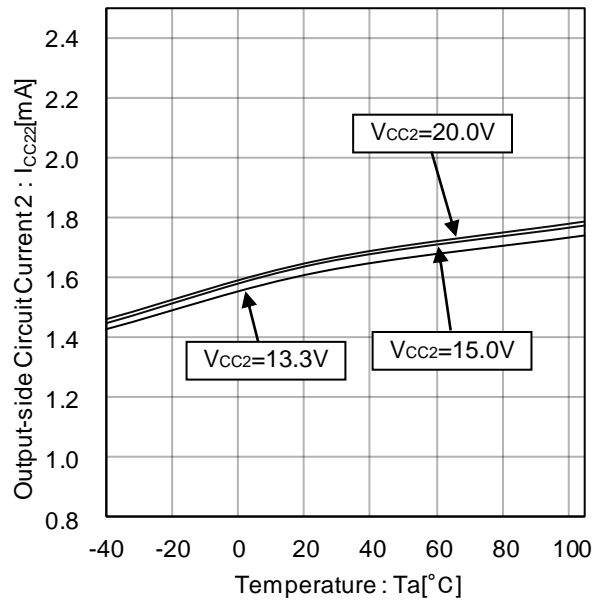


Figure 24. Output-side Circuit Current 2 vs Temperature ( $V_{EE2} = -12\text{V}$ ,  $\text{OUT} = \text{H}$ )

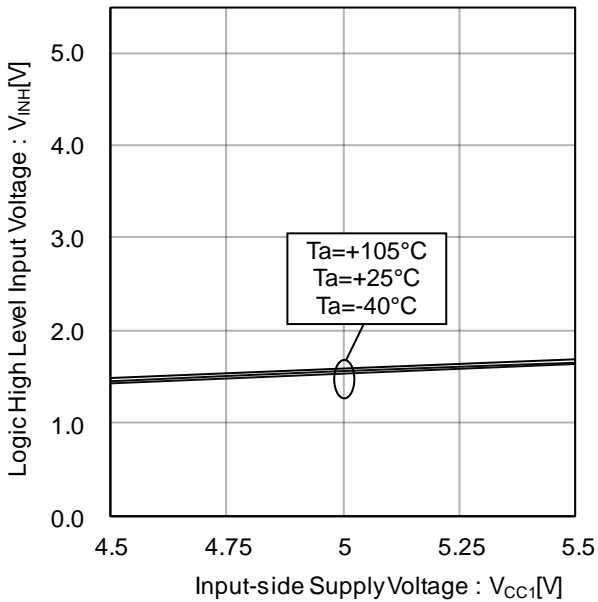


Figure 25. Logic High Level Input Voltage vs Input-side Supply Voltage

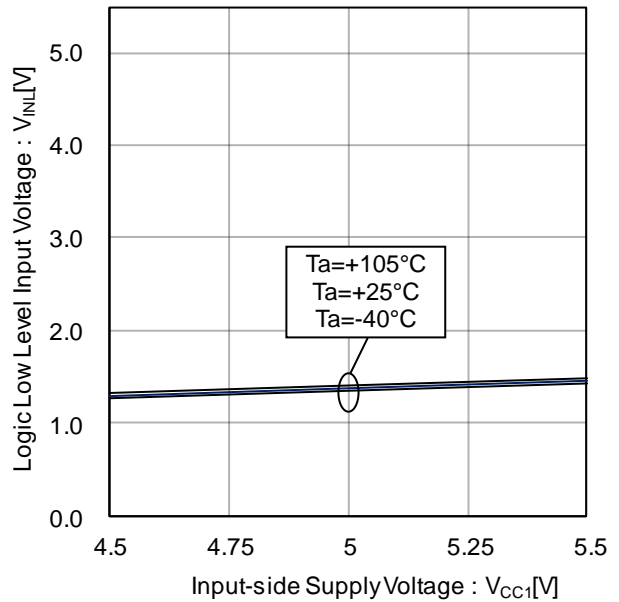


Figure 26. Logic Low Level Input Voltage vs Input-side Supply Voltage

特性データ (参考データ) — 続き

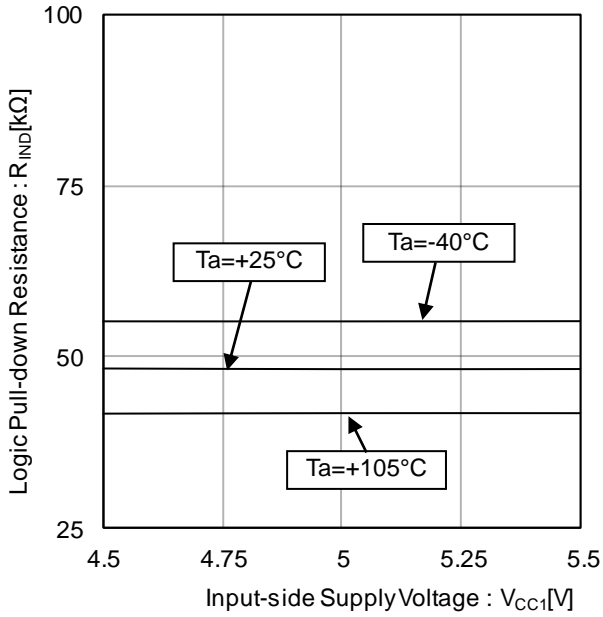


Figure 27. Logic Pull-down Resistance vs Input-side Supply Voltage

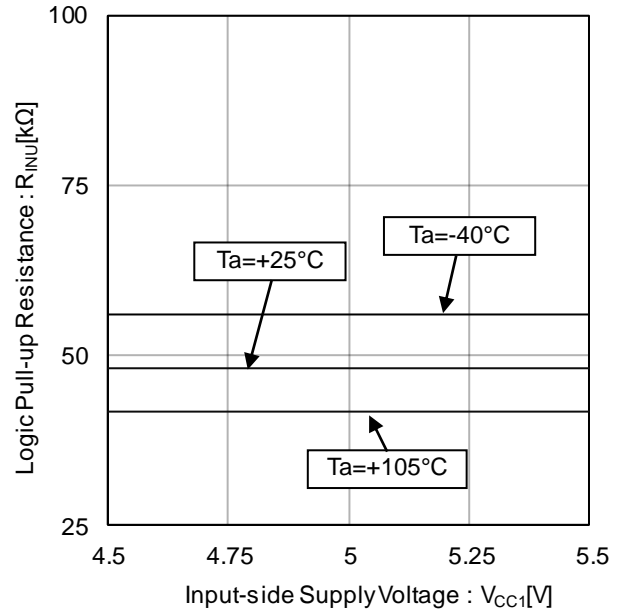


Figure 28. Logic Pull-up Resistance vs Input-side Supply Voltage

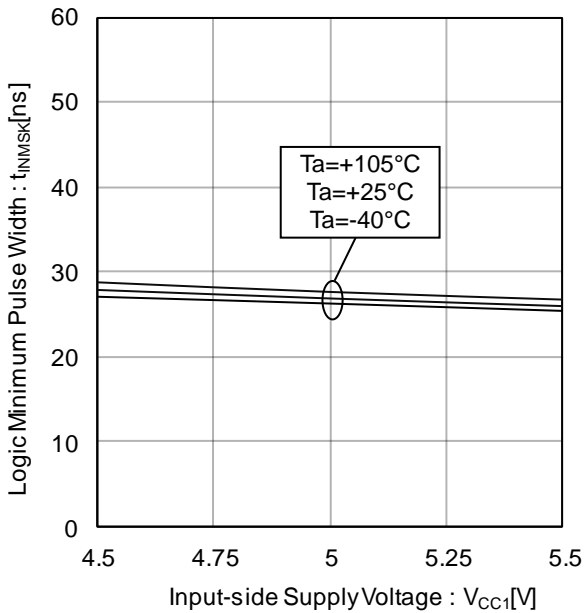


Figure 29. Logic Minimum Pulse Width vs Input-side Supply Voltage

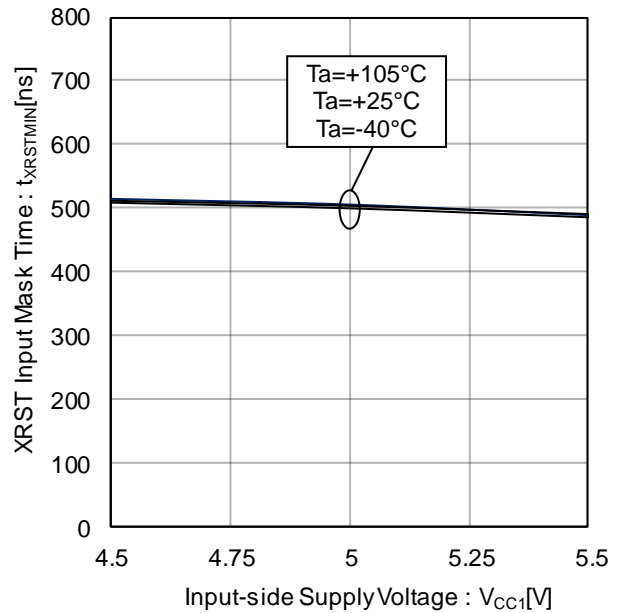


Figure 30. XRST Input Mask Time vs Input-side Supply Voltage

特性データ (参考データ) — 続き

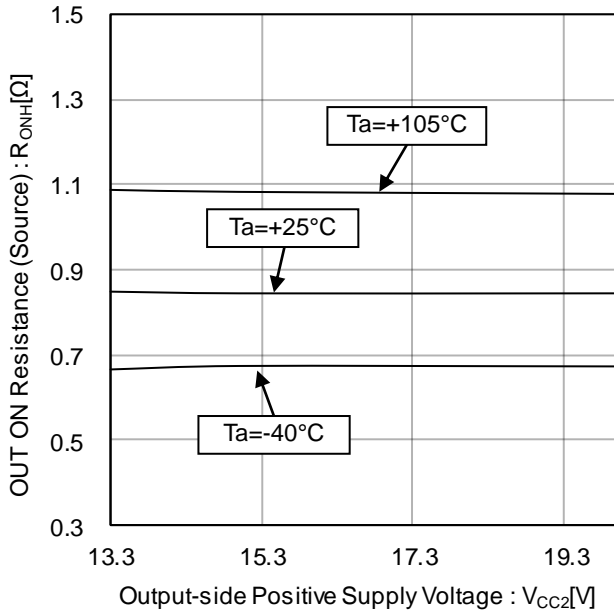


Figure 31. OUT ON Resistance (Source) vs Output-side Positive Supply Voltage ( $I_{OUT} = -40\text{mA}$ )

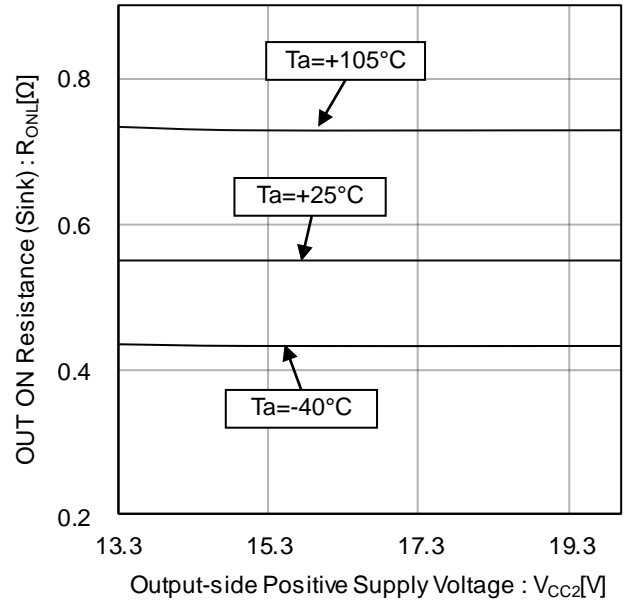


Figure 32. OUT ON Resistance (Sink) vs Output-side Positive Supply Voltage ( $I_{OUT} = 40\text{mA}$ )

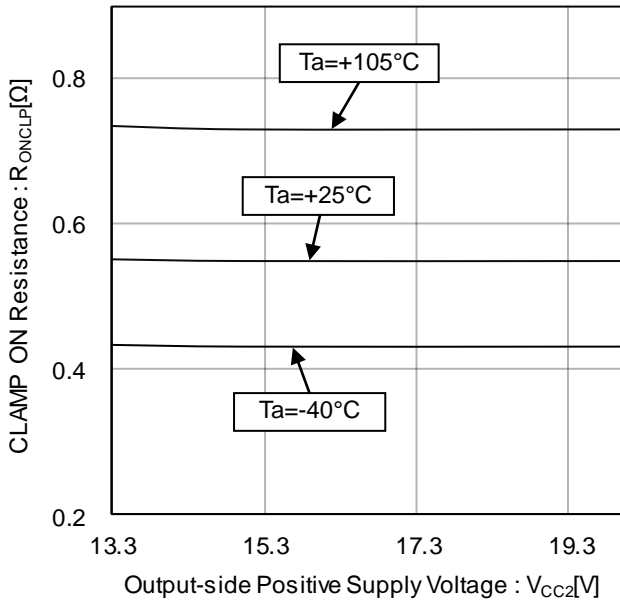


Figure 33. CLAMP ON Resistance vs Output-side Positive Supply Voltage ( $I_{CLAMP} = 40\text{mA}$ )

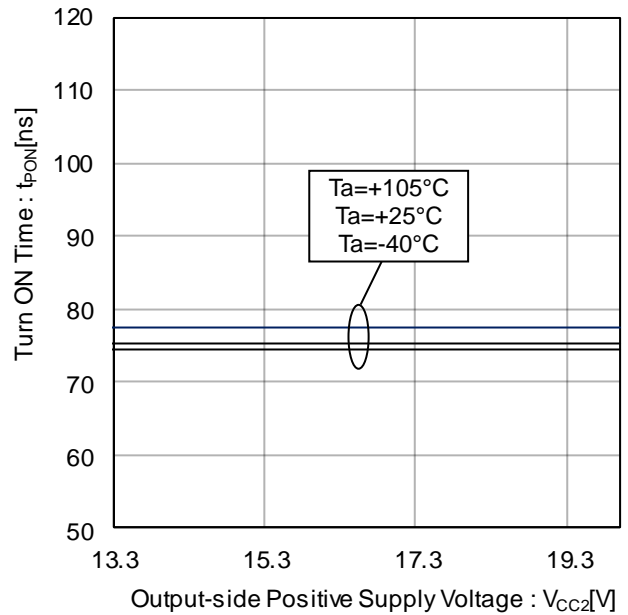


Figure 34. Turn ON Time vs Output-side Positive Supply Voltage



特性データ (参考データ) — 続き

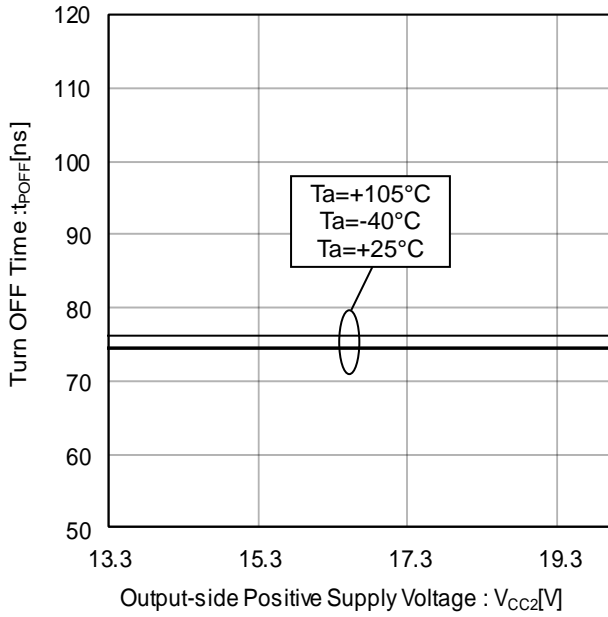


Figure 35. Turn OFF Time vs Output-side Positive Supply Voltage

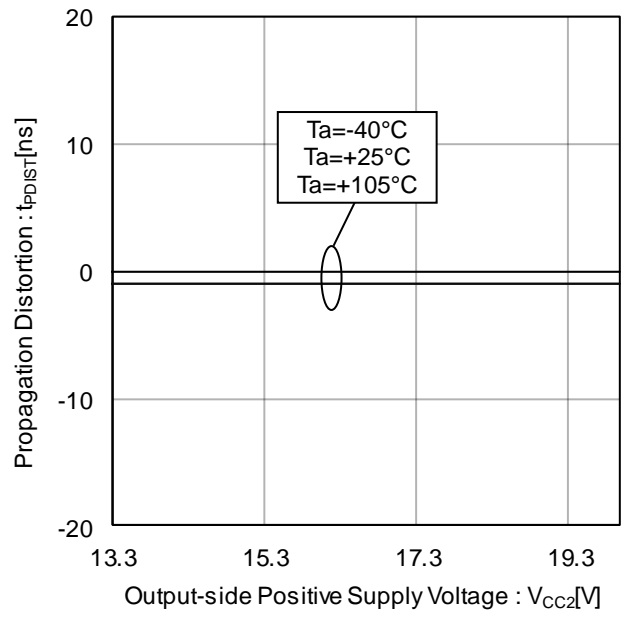


Figure 36. Propagation Distortion vs Output-side Positive Supply Voltage

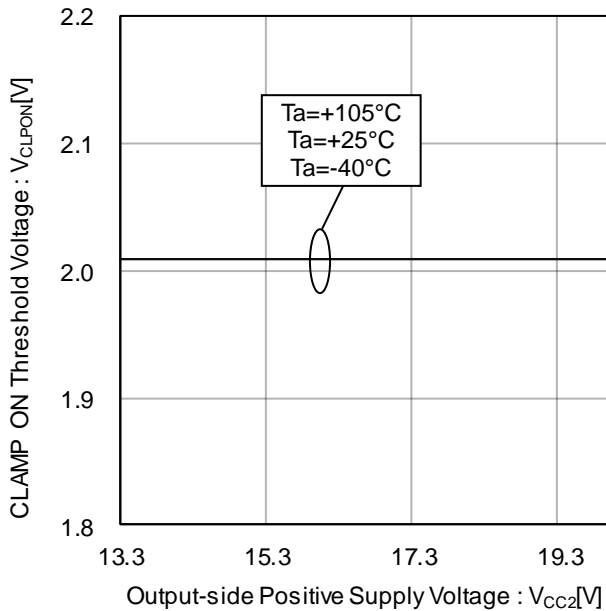


Figure 37. CLAMP ON Threshold Voltage vs Output-side Positive Supply Voltage

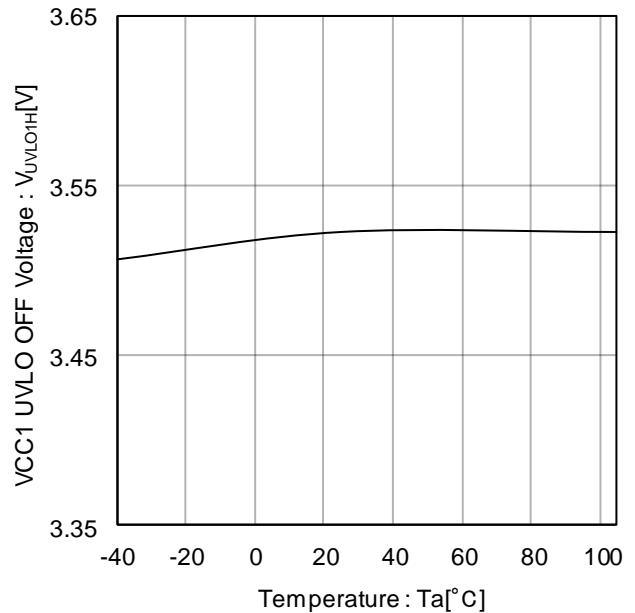


Figure 38. VCC1 UVLO OFF Voltage vs Temperature

特性データ (参考データ) — 続き

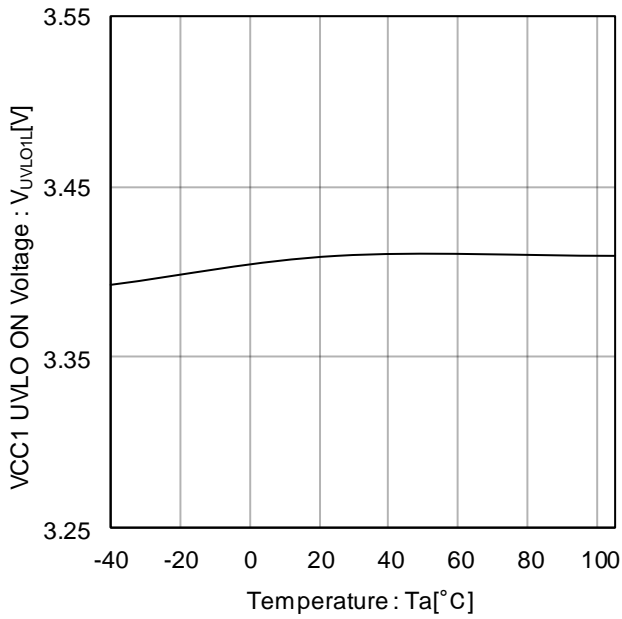


Figure 39. VCC1 UVLO ON Voltage vs Temperature

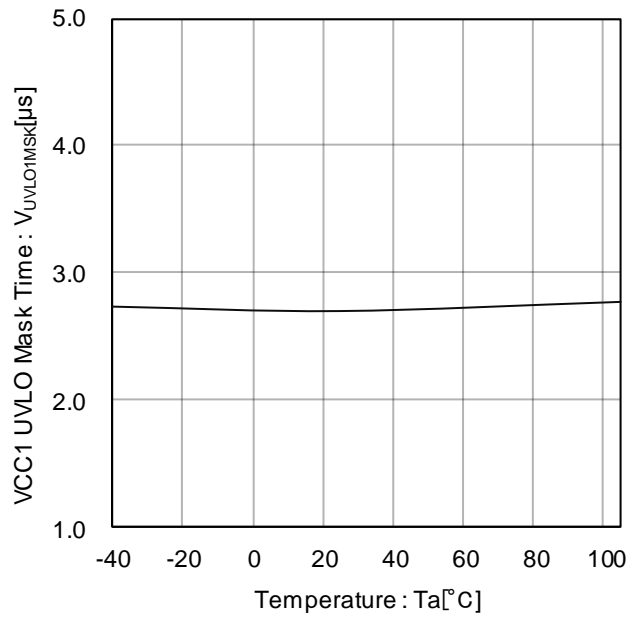


Figure 40. VCC1 UVLO Mask Time vs Temperature

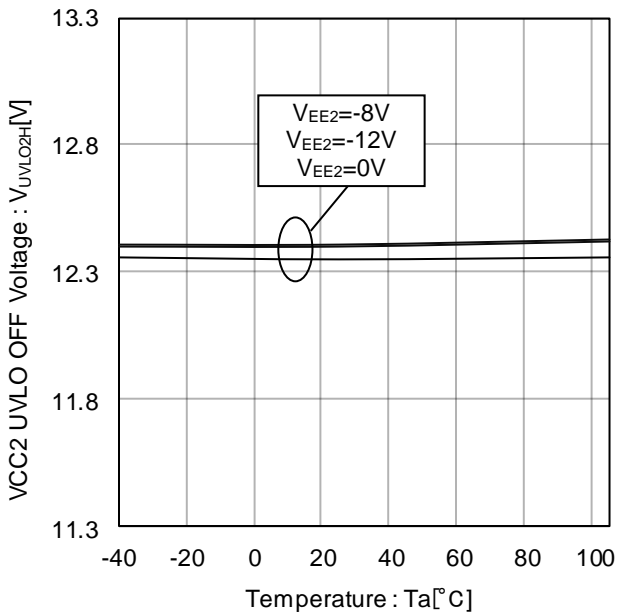


Figure 41. VCC2 UVLO OFF Voltage vs Temperature

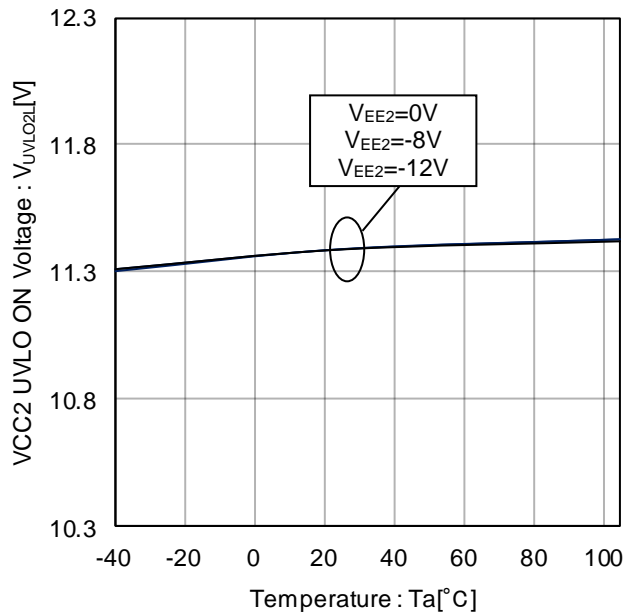


Figure 42. VCC2 UVLO ON Voltage vs Temperature

特性データ (参考データ) — 続き

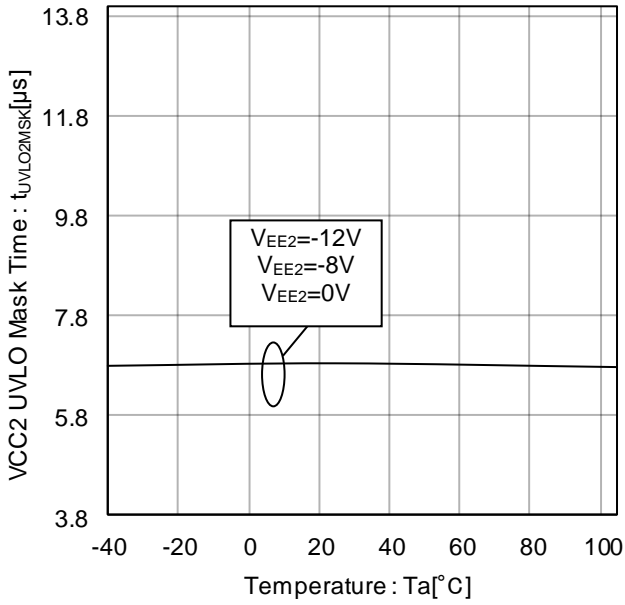


Figure 43. VCC2 UVLO Mask Time vs Temperature

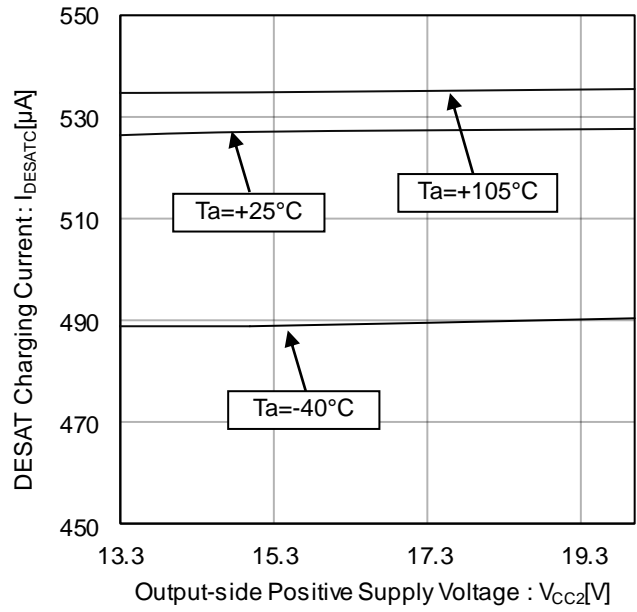


Figure 44. DESAT Charging Current vs Output-side Positive Supply Voltage

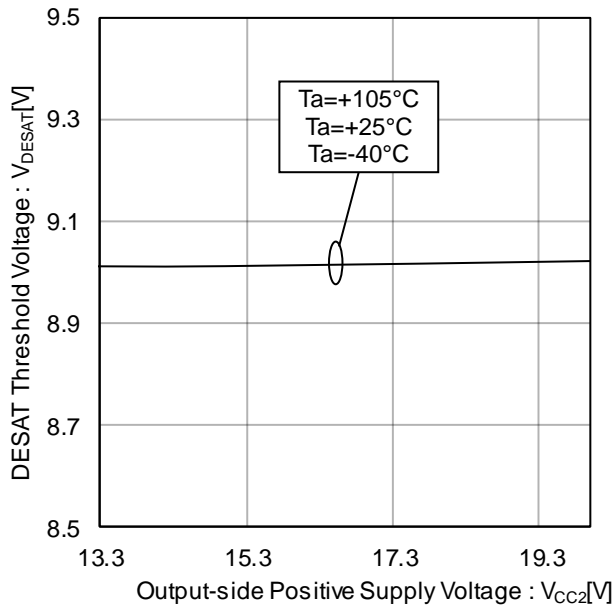


Figure 45. DESAT Threshold Voltage vs Output-side Positive Supply Voltage

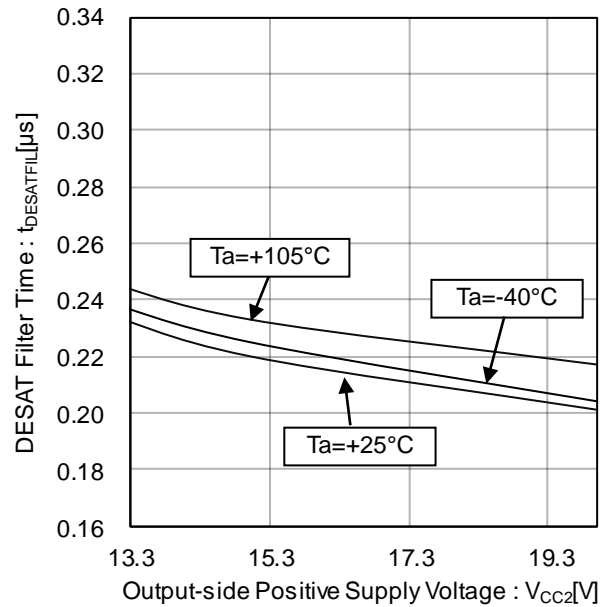


Figure 46. DESAT Filter Time vs Output-side Positive Supply Voltage

特性データ (参考データ) — 続き

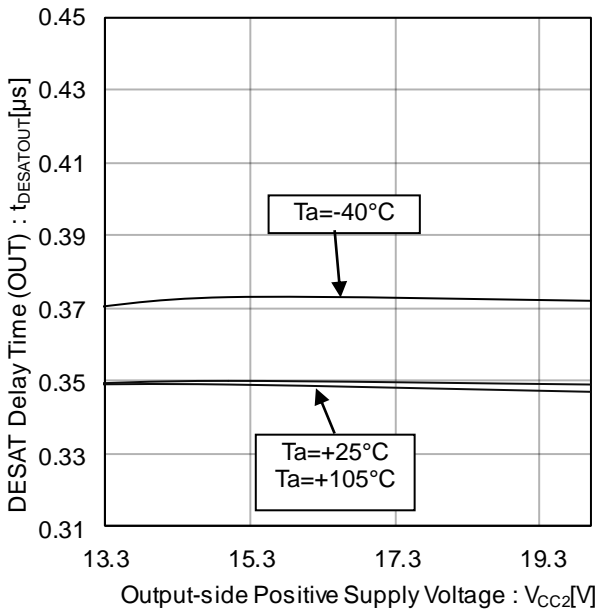


Figure 47. DESAT Delay Time (OUT) vs Output-side Positive Supply Voltage

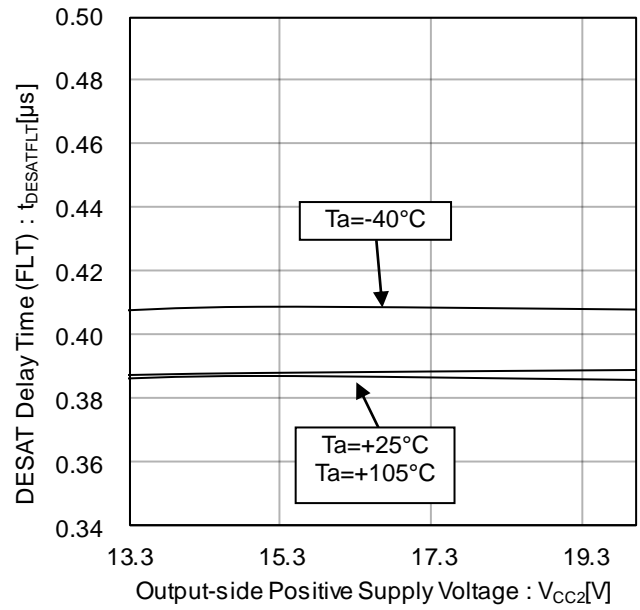


Figure 48. DESAT Delay Time (FLT) vs Output-side Positive Supply Voltage

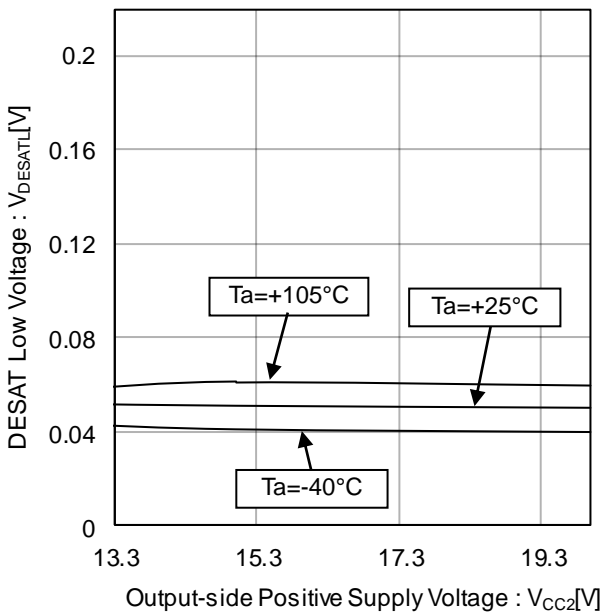


Figure 49. DESAT Low Voltage vs Output-side Positive Supply Voltage

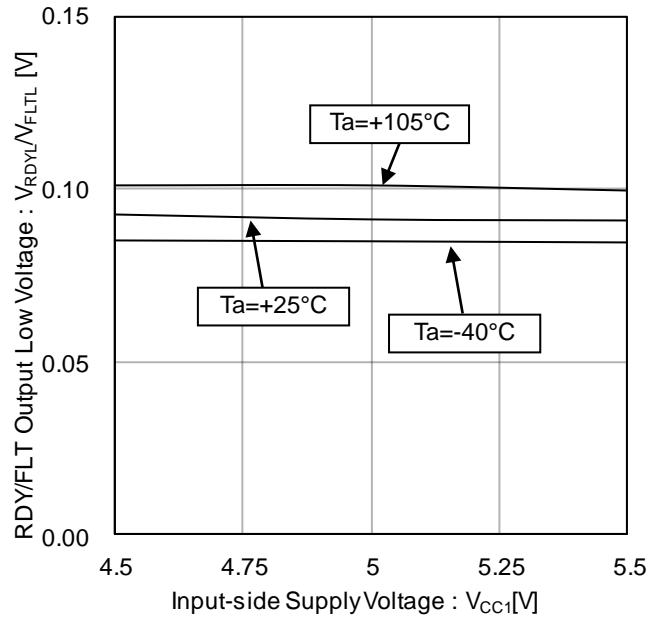


Figure 50. RDY/FLT Output Low Voltage vs Input-side Supply Voltage

入出力等価回路図

Pin No.	Name	入出力等価回路図
	Function	
2	DESAT	
	DESAT 検出端子	
6	OUT	
	出力端子	
7	CLAMP	
	ミラーランプ端子	

入出力等価回路図 — 続き

Pin No.	Name	入出力等価回路図
	Function	
10	INA	
	制御入力端子 A	
11	INB	
	制御入力端子 B	
14	XRST	
	リセット入力端子	
12	RDY	
	Ready 出力端子	
13	FLT	
	フォールト出力端子	

## 使用上の注意

## 1. 電源の逆接続について

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れるなどの対策を施してください。

## 2. 電源ラインについて

基板パターン設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。その際、デジタル系電源とアナログ系電源は、それらが同電位であっても、デジタル系電源パターンとアナログ系電源パターンは分離し、配線パターンの共通インピーダンスによるアナログ電源へのデジタル・ノイズの回り込みを抑制してください。グラウンドラインについても、同様のパターン設計を考慮してください。

また、LSI のすべての電源端子について電源-グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量低下が起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

## 3. グラウンド電位について

グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。

## 4. グラウンド配線パターンについて

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

## 5. 推奨動作条件について

推奨動作条件で規定される範囲で IC の機能・動作を保証します。また、特性値は電気的特性で規定される各項目の条件下においてのみ保証されます。

## 6. ラッシュカレントについて

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

## 7. 強電磁界中の動作について

強電磁界中でのご使用では、まれに誤動作する可能性がありますのでご注意ください。

## 8. セット基板での検査について

セット基板での検査時に、インピーダンスの低いピンにコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

## 9. 端子間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けられた場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

## 10. 未使用の入力端子の処理について

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

## 使用上の注意 — 続き

## 11. 各入力端子について

本 IC は各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。

この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、 $GND > (\text{端子 A})$ の時、トランジスタ(NPN)では  $GND > (\text{端子 B})$ の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ(NPN)では、 $GND > (\text{端子 B})$ の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に GND(P 基板)より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子が GND にショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

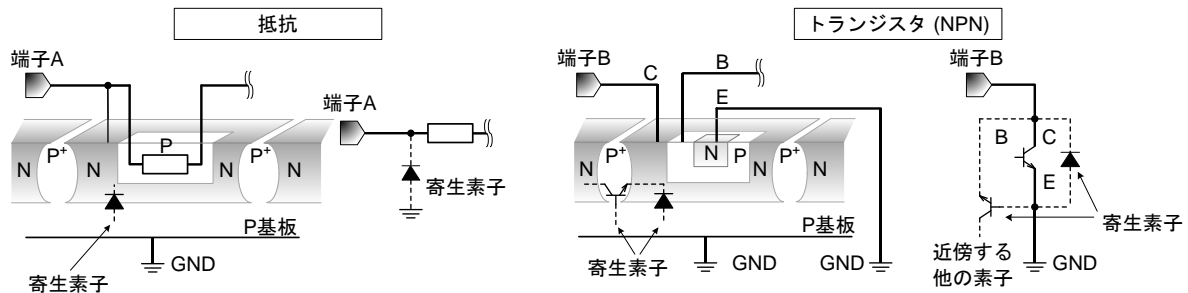


Figure 51. IC 構造例

## 12. セラミック・コンデンサの特性変動について

外付けコンデンサに、セラミック・コンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮のうえ定数を決定してください。

## 13. 安全動作領域について

本製品を使用する際には、出力トランジスタが絶対最大定格及び ASO を超えないよう設定してください。



発注形名情報

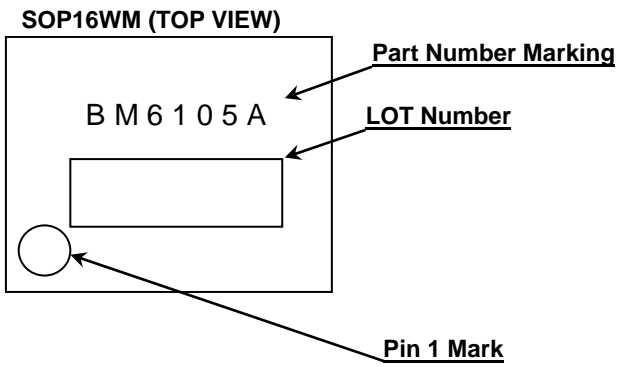
B M 6 1 0 5 A F W - L B Z E 2

形名

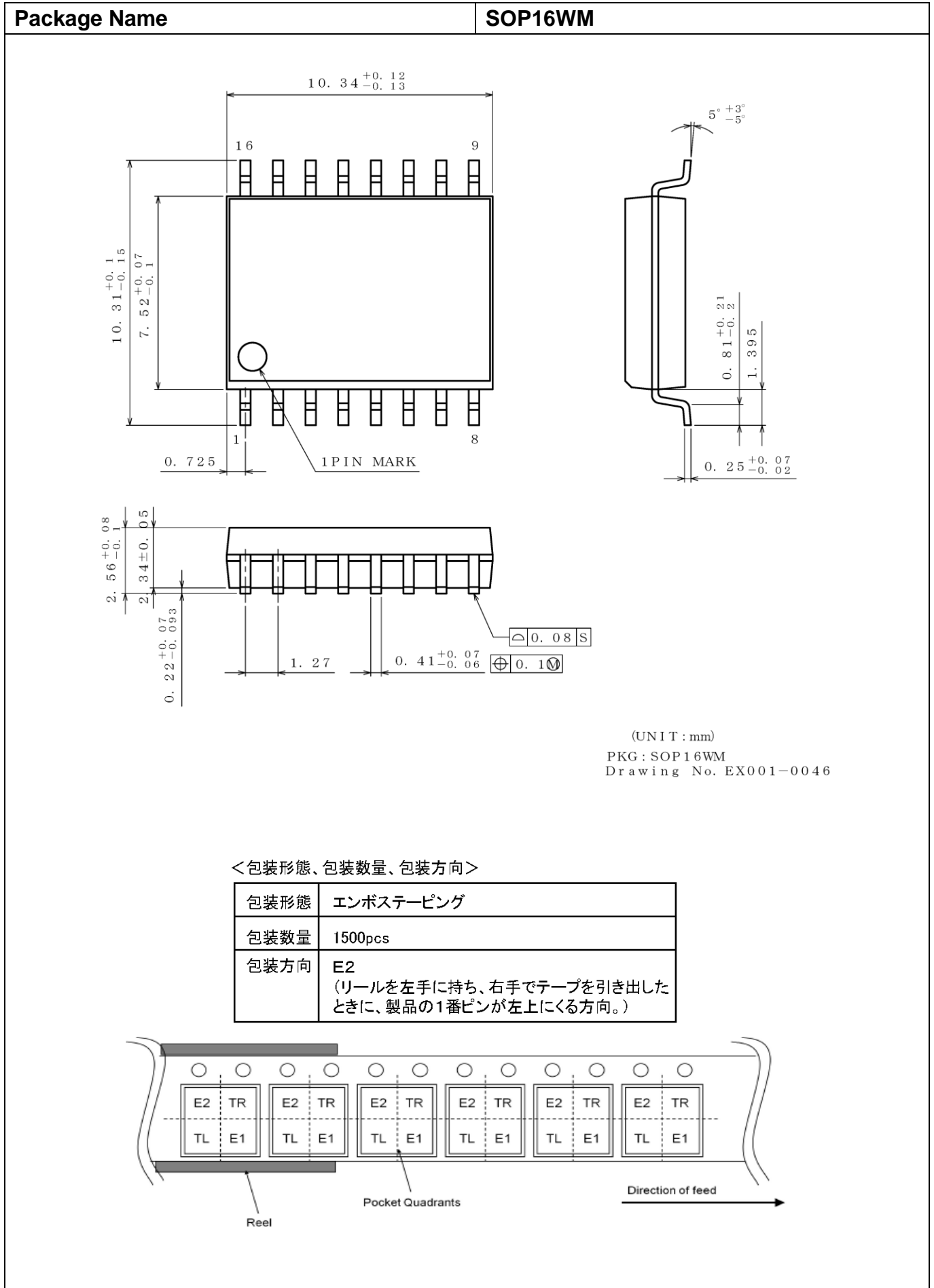
パッケージ  
FW: SOP16WM

製品ランク  
LB: 産業機器用  
Z: 製造コード  
包装、フォーミング仕様  
E2: リール状エンボステーピング

標印図



外形寸法図と包装・フォーミング仕様



改訂履歴

Date	Revision	Changes
2018.06.07	001	新規作成

# ご注意

## ローム製品取扱い上の注意事項

- 極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器<sup>(Note 1)</sup>、航空宇宙機器、原子力制御装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

- 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
  - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
  - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
- 本製品は、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
  - ①水・油・薬液・有機溶剤等の液体中でのご使用
  - ②直射日光・屋外暴露、塵埃中でのご使用
  - ③潮風、Cl<sub>2</sub>、H<sub>2</sub>S、NH<sub>3</sub>、SO<sub>2</sub>、NO<sub>2</sub>等の腐食性ガスの多い場所でのご使用
  - ④静電気や電磁波の強い環境でのご使用
  - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合
  - ⑥本製品を樹脂等で封止、コーティングしてのご使用
  - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用された場合も、残渣の洗浄は確実にを行うことをお勧め致します)、又ははんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合
  - ⑧結露するような場所でのご使用
- 本製品は耐放射線設計はなされておられません。
- 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
- パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
- 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
- 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
- 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

## 実装及び基板設計上の注意事項

- ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
- はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

## **応用回路、外付け回路等に関する注意事項**

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

## **静電気に対する注意事項**

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。(人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等)

## **保管・運搬上の注意事項**

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
  - ① 潮風、Cl<sub>2</sub>、H<sub>2</sub>S、NH<sub>3</sub>、SO<sub>2</sub>、NO<sub>2</sub>等の腐食性ガスの多い場所での保管
  - ② 推奨温度、湿度以外での保管
  - ③ 直射日光や結露する場所での保管
  - ④ 強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き(梱包箱に表示されている天面方向)で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

## **製品ラベルに関する注意事項**

本製品に貼付されている製品ラベルに2次元バーコードが印字されていますが、2次元バーコードはロームの社内管理のみを目的としたものです。

## **製品廃棄上の注意事項**

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

## **外国為替及び外国貿易法に関する注意事項**

本製品は、外国為替及び外国貿易法に定めるリスト規制貨物等に該当するおそれがありますので、輸出する場合には、ロームへお問い合わせください。

## **知的財産権に関する注意事項**

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等(ソフトウェア含む)との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

## **その他の注意事項**

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

**一般的な注意事項**

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。