

絶縁素子内蔵ゲートドライバシリーズ

絶縁電圧 2500 Vrms

GaN HEMT 用 絶縁素子内蔵
1ch ゲートドライバ

BM6GD11BFJ-LB

概要

本製品は産業機器市場へ向けたランクの製品です。
これらのアプリケーションとして、ご使用される場合に
最適な商品です。

BM6GD11BFJ-LB は GaN HEMT を高速駆動可能な、絶
縁電圧 2500 Vrms、最大入出力遅延時間 60 ns、最小入
力パルス幅 65 ns の絶縁素子内蔵 1ch ゲートドライバで
す。

ソース側とシンク側の出力ドライバ端子が分離されてお
り、GaN HEMT のゲート端子間に抵抗を挿入することで
駆動波形の立ち上がりと立下りのスルーレートを個別に
調整することが可能です。

また、入力側 (VCC1 と GND1 間)、出力側 (VCC2 と
GND2 間) にそれぞれ低電圧時誤動作防止機能 (UVLO)
を内蔵しています。

重要特性

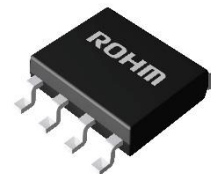
- 絶縁電圧 : 2500 Vrms
- 入力側電源電圧範囲 : 4.5 V ~ 5.5 V
- 出力側電源電圧 (ゲート駆動電圧) 範囲 : 4.5 V ~ 6.0 V
- 最大入出力遅延時間 : 60 ns
- 最小入力パルス幅 : 65 ns
- 動作温度範囲 : -40 °C ~ +125 °C

パッケージ

SOP-JW8

W (Typ) x D (Typ) x H (Max)

4.9 mm x 6.0 mm x 1.65 mm



特長

- 絶縁素子内蔵
- 低電圧時誤動作防止機能

用途

- 産業機器
- GaN HEMT ゲート駆動用アプリケーション
- AC アダプタ
- サーバー電源

基本アプリケーション回路

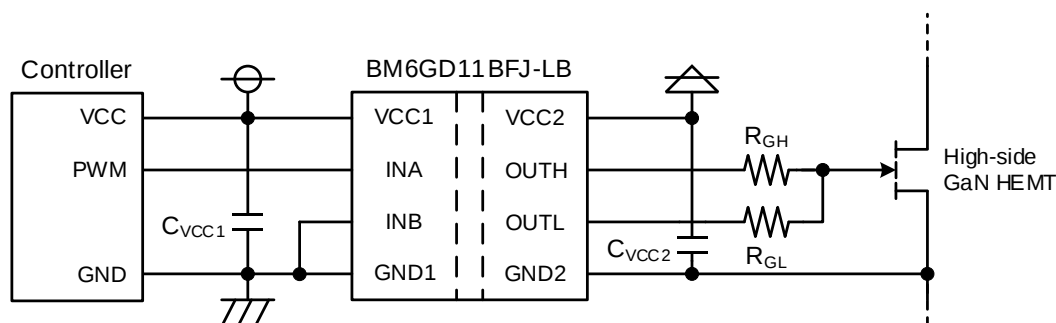


Figure 1. 基本アプリケーション回路図 (ハイスайд GaN HEMT 駆動部)

目 次

概要 1

特長 1

用途 1

重要特性 1

パッケージ 1

基本アプリケーション回路 1

目 次 2

推奨外付け定数範囲 3

端子配置図 3

端子説明 3

ブロック図 4

各ブロック動作説明 4

絶対最大定格 5

熱抵抗 5

推奨動作条件 6

絶縁特性 6

電気的特性 7

特性データ (参考データ) 8

タイミングチャート 14

応用回路例 16

入出力等価回路図 18

使用上の注意 19

発注形名情報 21

標印図 21

外形寸法図と包装・フォーミング仕様 22

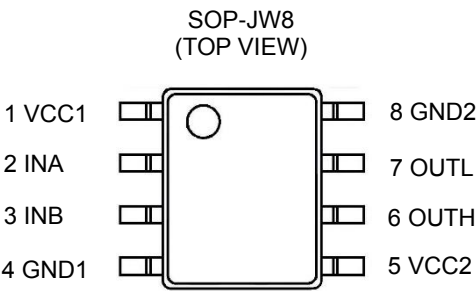
改訂履歴 23

推奨外付け定数範囲

端子名	記号	推奨値			単位	条件
		最小	標準	最大		
VCC1-GND1 間	C_{VCC1} (Note 1)	0.1	1.0	-	μF	セラミック・コンデンサ推奨
VCC2-GND2 間	C_{VCC2} (Note 1)(Note 2)	1.0	-	-	μF	セラミック・コンデンサ推奨 駆動ゲート容量 = 1 nF 時

(Note 1) C_{VCC1} , C_{VCC2} : コンデンサの容量は温度特性、DC バイアス特性等を考慮して最小値を下回らないように設定してください。
(Note 2) C_{VCC2} : GaN HEMT のゲート駆動電流を供給するために必要な容量値です。

端子配置図



端子説明

端子番号	端子名	機能
1	VCC1	入力側電源端子
2	INA	制御入力端子 A
3	INB	制御入力端子 B
4	GND1	入力側グラウンド端子
5	VCC2	出力側電源端子
6	OUTH	ゲート駆動用ソース側出力端子
7	OUTL	ゲート駆動用シンク側出力端子
8	GND2	出力側グラウンド端子

1. VCC1（入力側電源端子）
入力側の電源端子です。IC 内部トランスフォーマー駆動電流による電圧変動を抑えるため、GND1 端子間にバイパスコンデンサを接続してください。
2. GND1（入力側グラウンド端子）
入力側のグラウンド端子です。
3. VCC2（出力側電源端子）
出力側の電源端子です。ゲート駆動電流による電圧変動を抑えるため、GND2 端子間にバイパスコンデンサを接続してください。
4. GND2（出力側グラウンド端子）
出力側のグラウンド端子です。

端子説明 — 続き

5. INA, INB (制御入力端子)

出力論理を決定する端子です。

INB を GND1 に固定すると INA から OUTH、OUTL は非反転動作となります。INB 端子を用いることで、ドライバ駆動制御をディセーブルさせることができます。

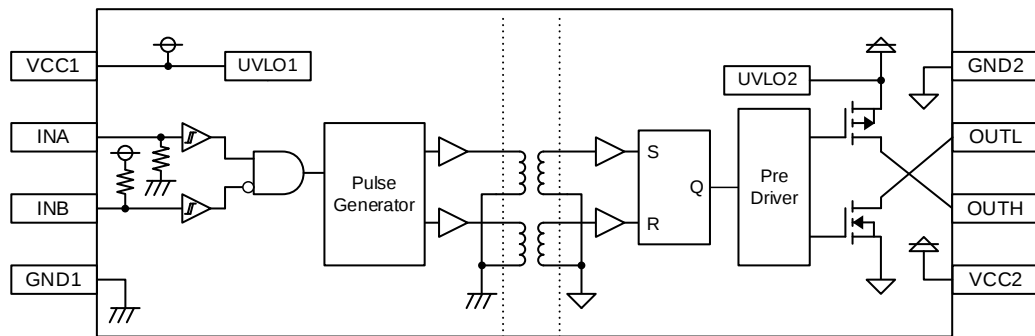
INA と INB 端子は VCC1、GND1 基準の入力で、OUTH と OUTL 端子は VCC2、GND2 基準の出力です。

入力		出力	
INB	INA	OUTH	OUTL
L	L	Hi-Z	L
L	H	H	Hi-Z
H	L	Hi-Z	L
H	H	Hi-Z	L

6. OUTH, OUTL (ゲート駆動用出力端子)

ゲート駆動用出力端子です。OUTH はソース出力、OUTL はシンク出力です。

ブロック図



各ブロック動作説明

1. UVLO1

入力側の VCC1 と GND1 間の電源電圧を監視する低電圧時誤動作防止回路です。電源電圧が低下し規定するスレッシュホールド電圧まで低下すると、OUT 端子（OUTH と OUTL ショート時）は L に固定されます。

2. INA, INB 入力 IO 回路

INA は GND1 にプルダウンされる抵抗、INB は VCC1 にプルアップされる抵抗を内蔵しています。INB = L の時、INA から入力されるゲート駆動制御信号が、トランスを伝達し OUT 端子から正転論理で出力されます。

3. Pulse Generator

INA、INB から入力される制御信号によって、内部でトランスを駆動するパルス信号を生成し後段の SR ラッチ回路に inputs されます。

4. 絶縁トランス

入力側と出力側を絶縁するトランス回路を内蔵しています。

5. UVLO2

出力側の VCC2 と GND2 間の電源電圧を監視する低電圧時誤動作防止回路です。電源電圧が低下し規定するスレッシュホールド電圧まで低下すると、OUT 端子（OUTH と OUTL ショート時）は L に固定されます。

6. Pre Driver

OUTH、OUTL を出力する最終段の PMOS FET と NMOS FET を駆動する回路です。

絶対最大定格

項目	記号	定格	単位
入力側電源電圧	V _{CC1}	-0.3 ~ +7.0 ^(Note 1)	V
出力側電源電圧	V _{CC2}	-0.3 ~ +7.0 ^(Note 2)	V
INA 端子入力電圧	V _{INA}	-0.3 ~ +V _{CC1} +0.3 or +7.0 ^(Note 1)	V
INB 端子入力電圧	V _{INB}	-0.3 ~ +V _{CC1} +0.3 or +7.0 ^(Note 1)	V
保存温度範囲	T _{stg}	-55 ~ +150	°C
最高接合部温度	T _{jmax}	150	°C

(Note 1) GND1 基準

(Note 2) GND2 基準

注意 1：印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施していただけるようご検討をお願いします。

注意 2：最高接合部温度を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。最高接合部温度を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用するなど、最高接合部温度を超えないよう熱抵抗にご配慮ください。

熱抵抗 (Note 1)

項目	記号	熱抵抗(Typ)		単位
		1 層基板 ^(Note 3)	4 層基板 ^(Note 4)	
SOP-JW8				
入力側ジャンクション—周囲温度間熱抵抗	θ_{JA1}	202.0	111.6	°C/W
出力側ジャンクション—周囲温度間熱抵抗	θ_{JA2}	202.5	111.6	°C/W
入力側ジャンクション—パッケージ上面中心 ^(Note 2) 間 熱特性パラメータ	Ψ_{JT1}	68	48	°C/W
出力側ジャンクション—パッケージ上面中心 ^(Note 2) 間 熱特性パラメータ	Ψ_{JT2}	72	42	°C/W

(Note 1) JESD51-2A(Still-Air)に準拠。

(Note 2) ジャンクションからパッケージ（モールド部分）上面中心までの熱特性パラメータ。

(Note 3) JESD51-3 に準拠した基板を使用。

(Note 4) JESD51-7 に準拠した基板を使用。

測定基板	基板材	基板寸法
1 層	FR-4	114.3 mm x 76.2 mm x 1.57 mmt

1 層目（表面）銅箔	
銅箔パターン	銅箔厚
実装ランドパターン + 電極引出し用配線	70 μm

測定基板	基板材	基板寸法
4 層	FR-4	114.3 mm x 76.2 mm x 1.6 mmt

1 層目（表面）銅箔		2 層目、3 層目（内層）銅箔		4 層目（裏面）銅箔	
銅箔パターン	銅箔厚	銅箔パターン	銅箔厚	銅箔パターン	銅箔厚
実装ランドパターン + 電極引出し用配線	70 μm	74.2 mm□（正方形）	35 μm	74.2 mm□（正方形）	70 μm

推奨動作条件

項目	記号	最小	標準	最大	単位
入力側電源電圧	V_{CC1} (Note 5)	4.5	5.0	5.5	V
出力側電源電圧	V_{CC2} (Note 6)	4.5	-	6.0	V
最小入力パルス幅 (INA, INB)	t_{INMIN}	65	-	-	ns
動作温度	T_{opr}	-40	-	+125	°C

(Note 5) GND1 基準
(Note 6) GND2 基準

絶縁特性

項目	記号	特性	単位
絶縁抵抗 ($V_{IO} = 500\text{ V}$)	R_S	$> 10^9$	Ω
絶縁耐電圧 (1 min)	V_{ISO}	2500	Vrms
絶縁試験電圧 (1 s)	V_{ISO}	3000	Vrms

電氣的特性

(特に指定のない限り、 $T_a = -40\text{ }^{\circ}\text{C} \sim +125\text{ }^{\circ}\text{C}$ 、 $V_{CC1} = 4.5\text{ V} \sim 5.5\text{ V}$ 、 $V_{CC2} = 4.5\text{ V} \sim 6.0\text{ V}$)

項目	記号	最小	標準	最大	単位	条件
全体						
入力側回路電流 1	I_{CC11}	0.25	0.46	1.00	mA	INA = L, INB = H
入力側回路電流 2	I_{CC12}	1.20	2.80	6.00	mA	INA = H, INB = L
出力側回路電流 1	I_{CC21}	0.25	0.50	1.00	mA	OUT = L (OUTL = OUTH)
出力側回路電流 2	I_{CC22}	0.20	0.40	0.90	mA	OUT = H (OUTL = OUTH)
ロジック						
ロジック H レベル入力電圧	V_{INH}	2.0	-	V_{CC1}	V	INA, INB
ロジック L レベル入力電圧	V_{INL}	0	-	0.8	V	INA, INB
ロジックプルダウン抵抗	R_{IND}	25	50	100	k Ω	INA
ロジックプルアップ抵抗	R_{INU}	25	50	100	k Ω	INB
出力						
出力ソース側オン抵抗	R_{ONH}	0.60	1.35	3.00	Ω	$I_{OUT} = -40\text{ mA}$
出力シンク側オン抵抗	R_{ONL}	0.25	0.80	1.70	Ω	$I_{OUT} = +40\text{ mA}$
出力ソース側最大電流	$I_{OUTMAXH}$	2.0	3.0	-	A	$V_{CC2} = 5\text{ V}$, 設計保証
出力シンク側最大電流	$I_{OUTMAXL}$	2.0	3.0	-	A	$V_{CC2} = 5\text{ V}$, 設計保証
オン時伝搬遅延時間	t_{PONA}	25	45	60	ns	INA = PWM, INB = L
	t_{PONB}	25	45	60	ns	INA = H, INB = PWM
オフ時伝搬遅延時間	t_{POFFA}	25	45	60	ns	INA = PWM, INB = L
	t_{POFFB}	25	45	60	ns	INA = H, INB = PWM
オンオフ伝搬遅延時間差	t_{PDISTA}	-10	0	+10	ns	$t_{POFFA} - t_{PONA}$
	t_{PDISTB}	-10	0	+10	ns	$t_{POFFB} - t_{PONB}$
部品間伝搬遅延時間差	t_{SK-PP}	-	-	12	ns	同一温度、設計保証
立ち上がり時間	t_{RISE}	-	8	-	ns	OUT - GND2 = 1 nF
立ち下がり時間	t_{FALL}	-	8	-	ns	OUT - GND2 = 1 nF
同相過渡耐圧	V_{CMTI}	150	-	-	kV/ μ s	$V_{CM} = 1500\text{ V}$, 設計保証
保護機能						
入力側 UVLO OFF 電圧	V_{UVLO1H}	3.35	3.50	3.65	V	V_{CC1} 端子上昇時
入力側 UVLO ON 電圧	V_{UVLO1L}	-	3.40	-	V	V_{CC1} 端子下降時
入力側 UVLO ヒステリシス電圧	$V_{UVLOHYS1}$	0.05	0.10	0.20	V	$V_{UVLO1H} - V_{UVLO1L}$
入力側 UVLO マスク時間	$t_{UVLO1MSK}$	1.0	2.5	4.0	μ s	
出力側 UVLO ON 電圧	V_{UVLO2L}	3.7	3.9	4.1	V	V_{CC2} 端子下降時
出力側 UVLO OFF 電圧	V_{UVLO2H}	-	4.2	-	V	V_{CC2} 端子上昇時
出力側 UVLO ヒステリシス電圧	$V_{UVLOHYS2}$	0.2	0.3	0.4	V	$V_{UVLO2H} - V_{UVLO2L}$
出力側 UVLO マスク時間	$t_{UVLO2MSK}$	1.0	3.0	6.0	μ s	

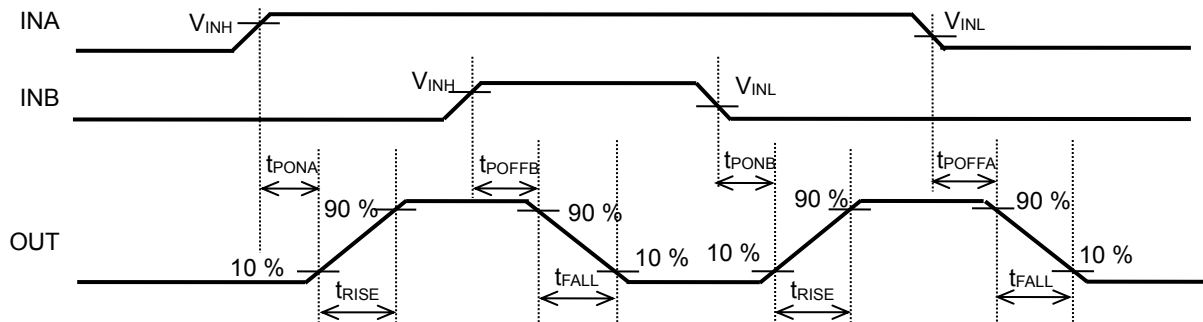


Figure 2. 入出力動作タイミングチャート

特性データ (参考データ)

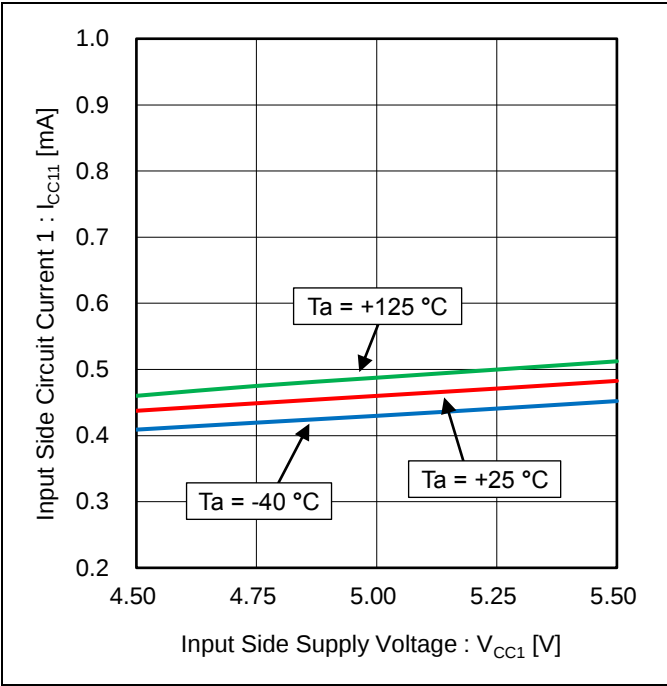


Figure 3. Input Side Circuit Current 1 vs Input Side Supply Voltage

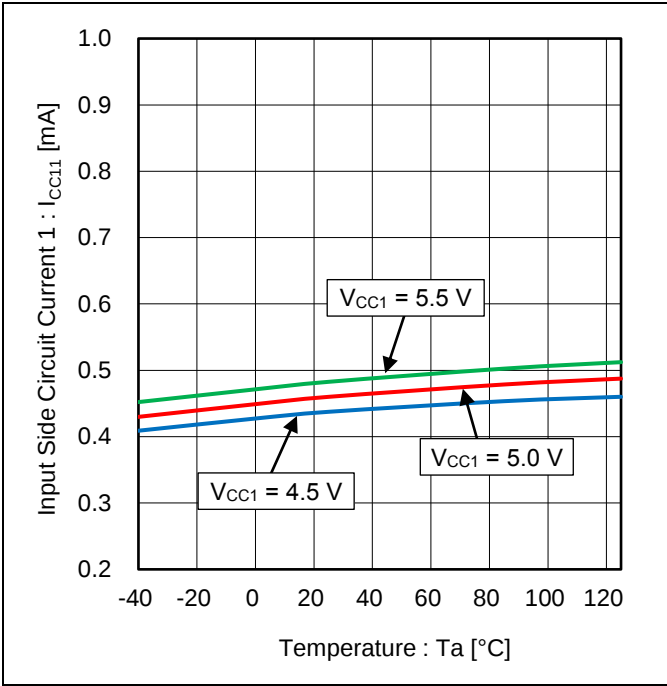


Figure 4. Input Side Circuit Current 1 vs Temperature

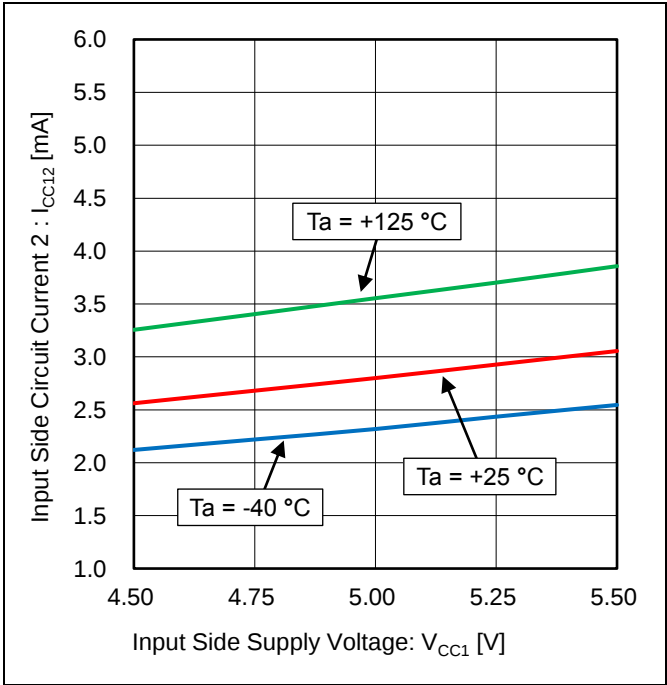


Figure 5. Input Side Circuit Current 2 vs Input Side Supply Voltage

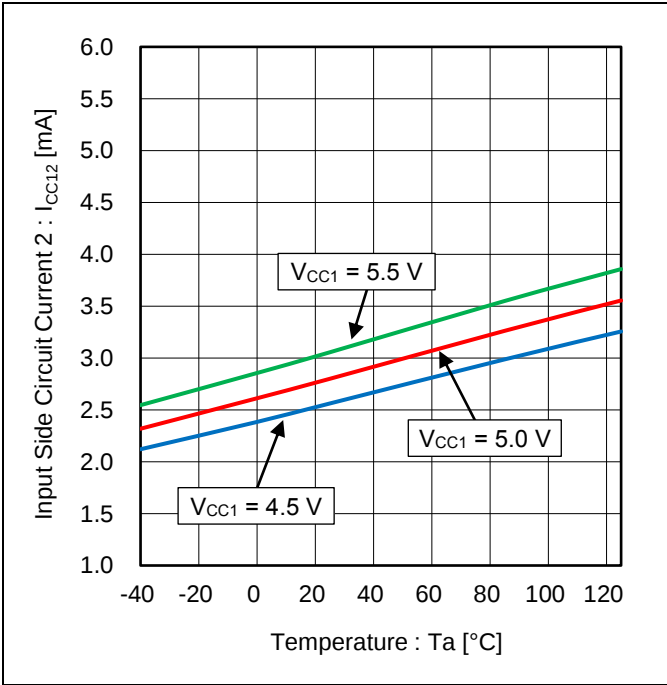


Figure 6. Input Side Circuit Current 2 vs Temperature

特性データ（参考データ）－ 続き

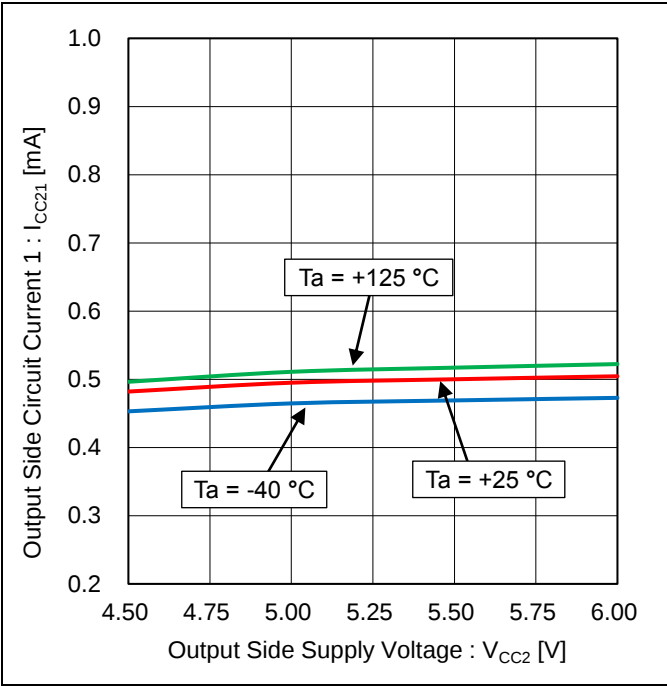


Figure 7. Output Side Circuit Current 1 vs Output Side Supply Voltage (OUT = L)

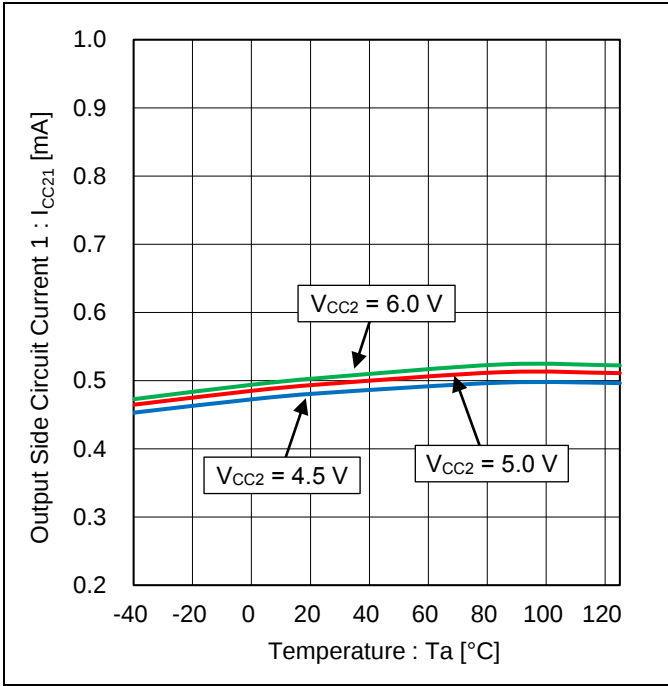


Figure 8. Output Side Circuit Current 1 vs Temperature (OUT = L)

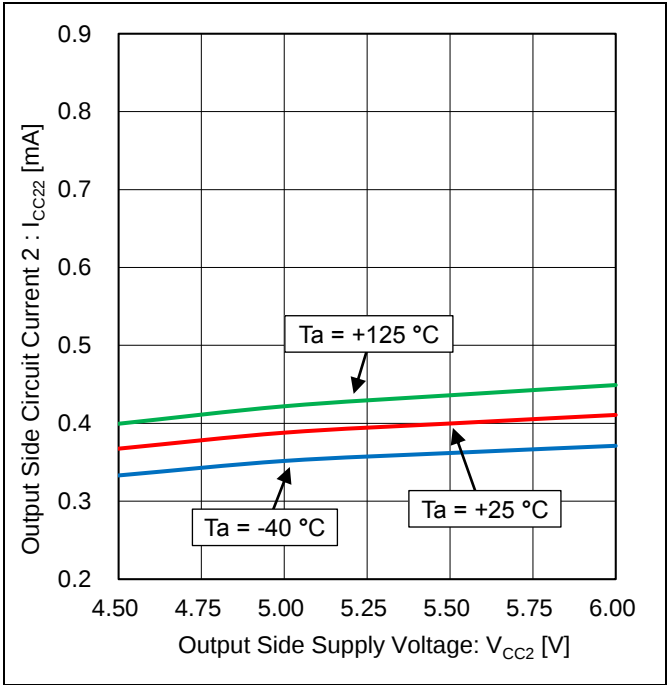


Figure 9. Output Side Circuit Current 2 vs Output Side Supply Voltage (OUT = H)

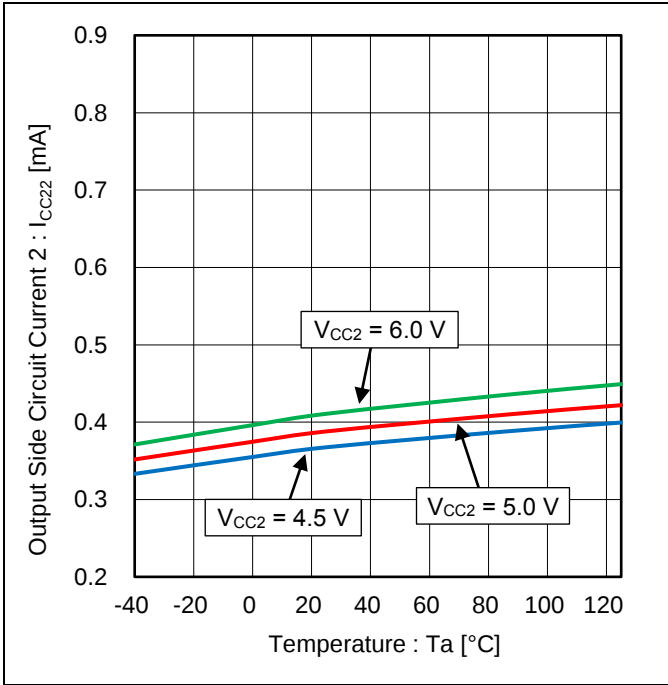


Figure 10. Output Side Circuit Current 2 vs Temperature (OUT = H)

特性データ（参考データ）－ 続き

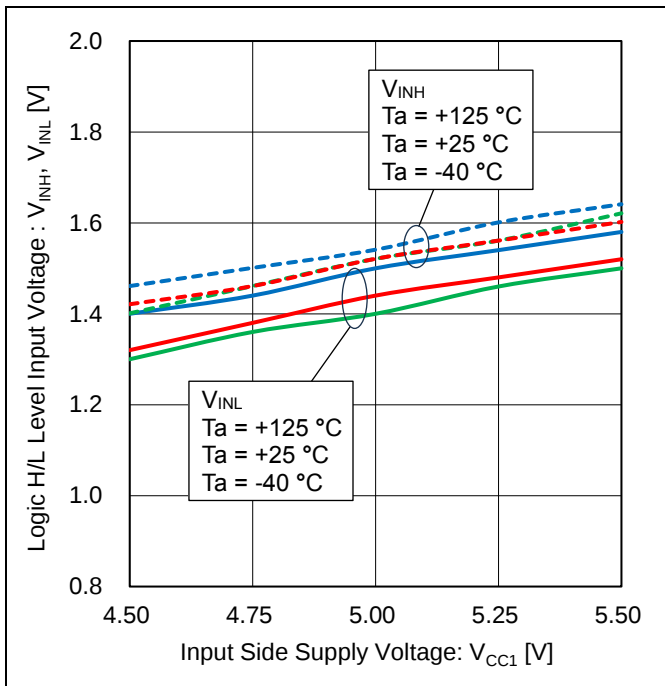


Figure 11. Logic (INA/INB) H/L Level Input Voltage vs Input Side Supply Voltage

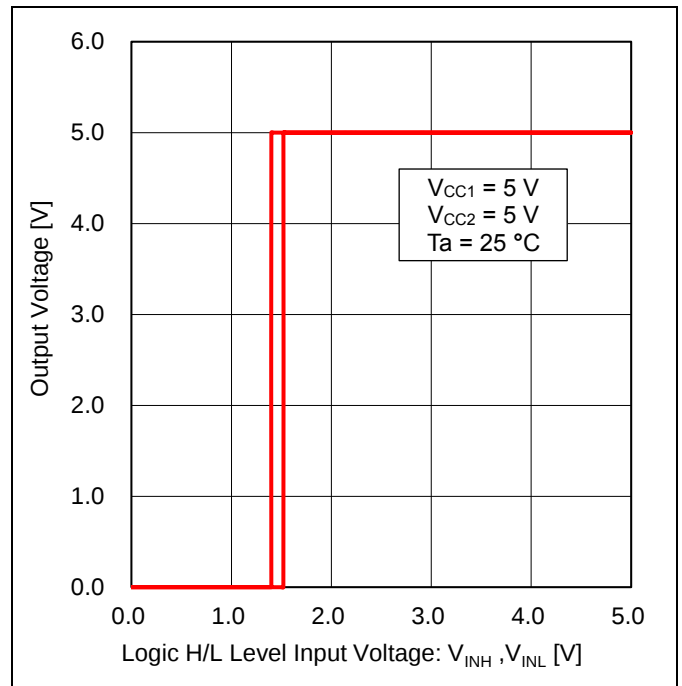
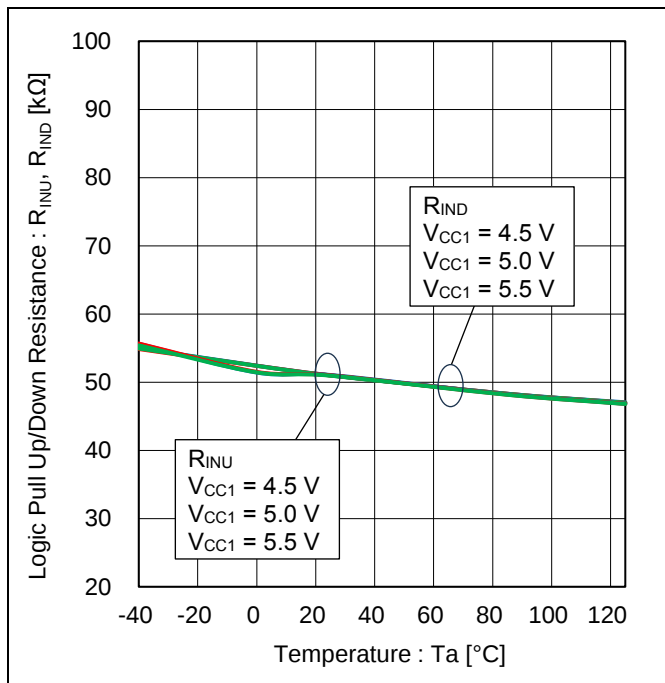
Figure 12. Output Voltage vs Logic H/L Level Input Voltage ($V_{CC1} = 5\text{ V}$, $V_{CC2} = 5\text{ V}$, $T_a = 25^\circ\text{C}$)

Figure 13. Logic Pull Up/Pull Down Resistance vs Temperature

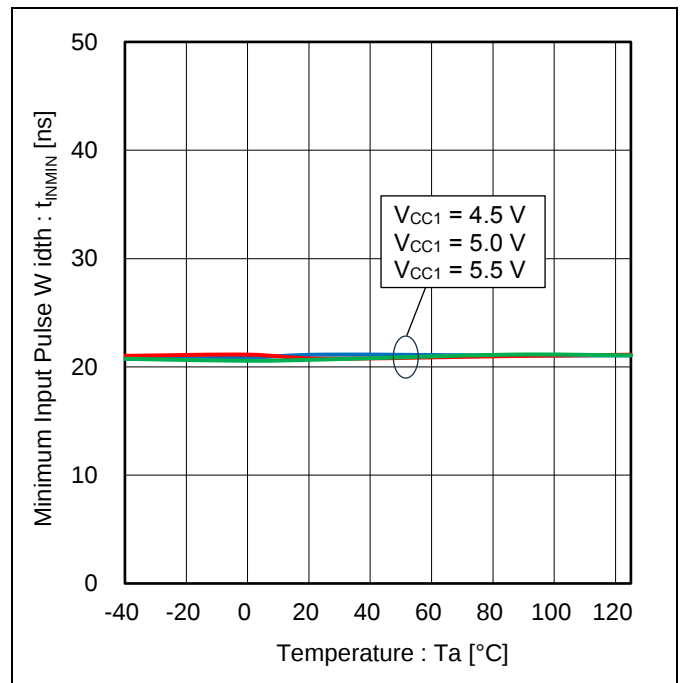


Figure 14. Minimum Input Pulse Width vs Temperature

特性データ（参考データ）－ 続き

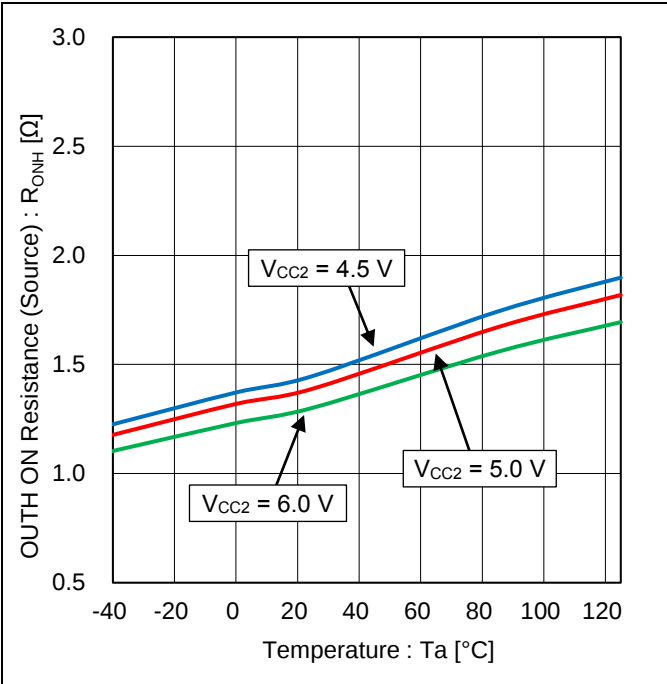


Figure 15. OUTH ON Resistance (Source) vs Temperature

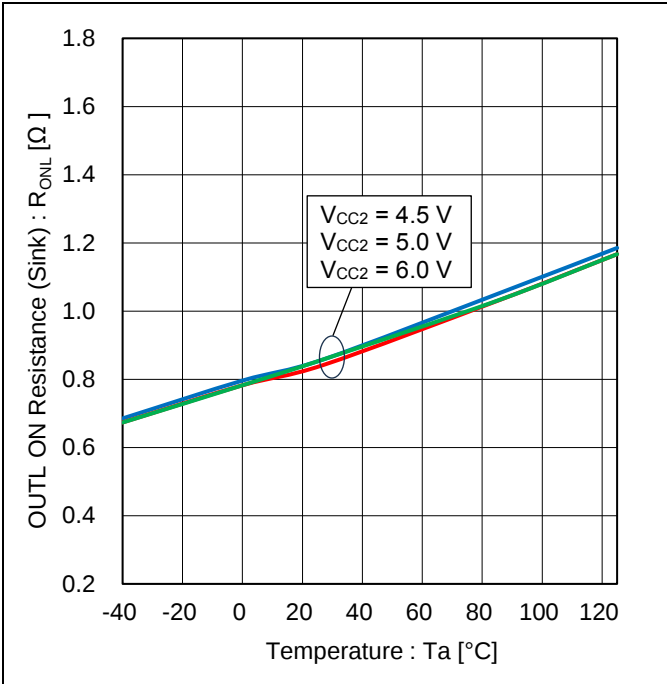


Figure 16. OUTL ON Resistance (Sink) vs Temperature

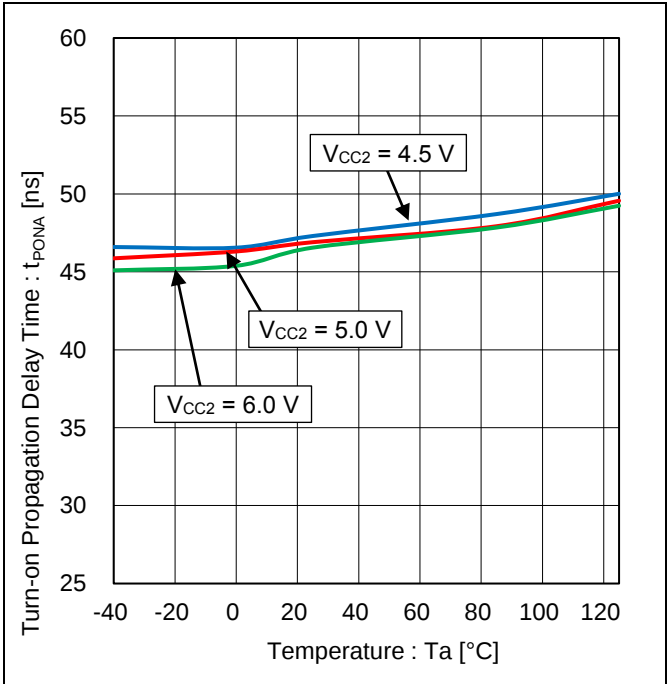


Figure 17. Turn-on Propagation Delay Time vs Temperature (INA = PWM, INB = L)

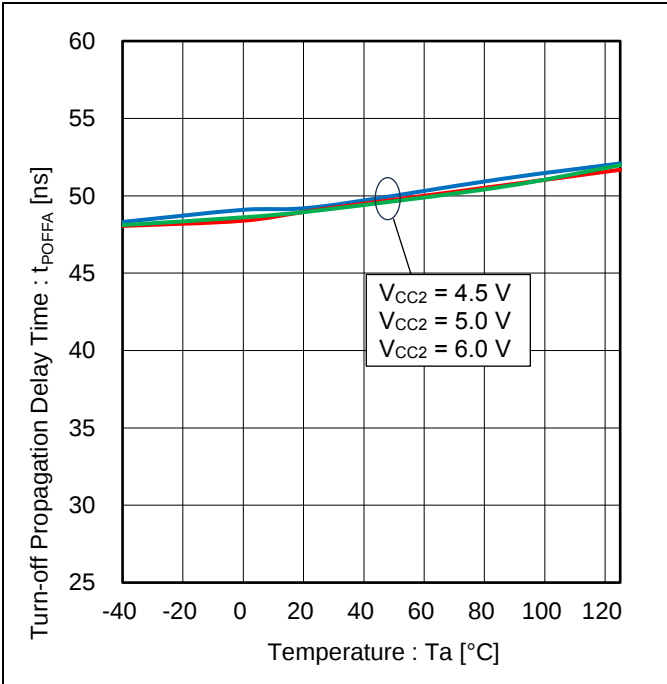


Figure 18. Turn-off Propagation Delay Time vs Temperature (INA = PWM, INB = L)

特性データ（参考データ）－ 続き

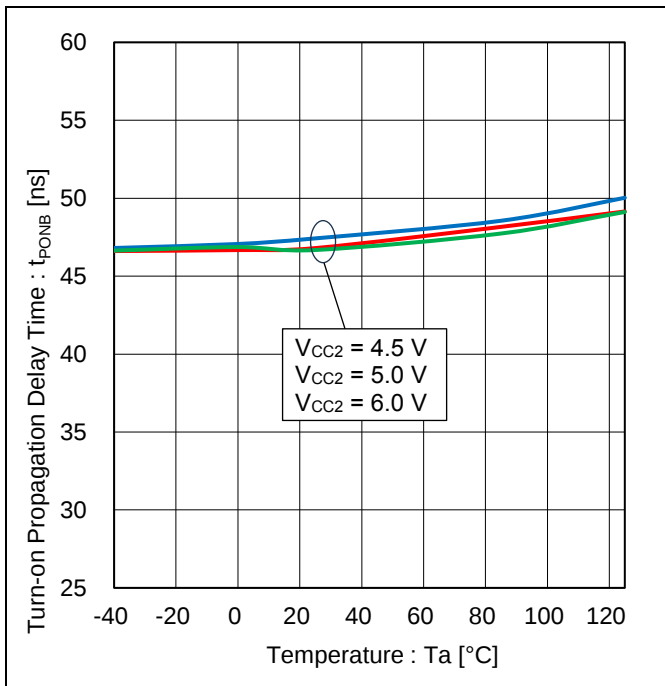


Figure 19. Turn-on Propagation Delay Time vs Temperature (INA = H, INB = PWM)

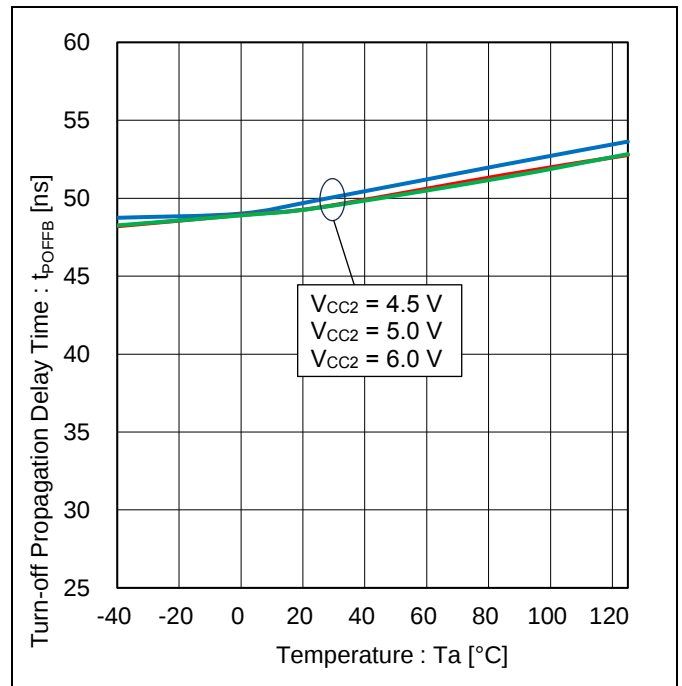


Figure 20. Turn-off Propagation Delay Time vs Temperature (INA = H, INB = PWM)

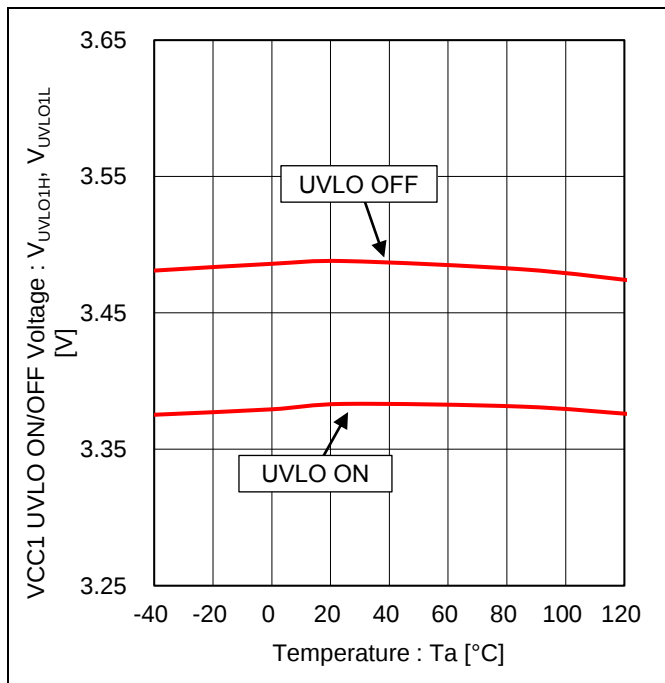


Figure 21. VCC1 UVLO ON/OFF Voltage vs Temperature

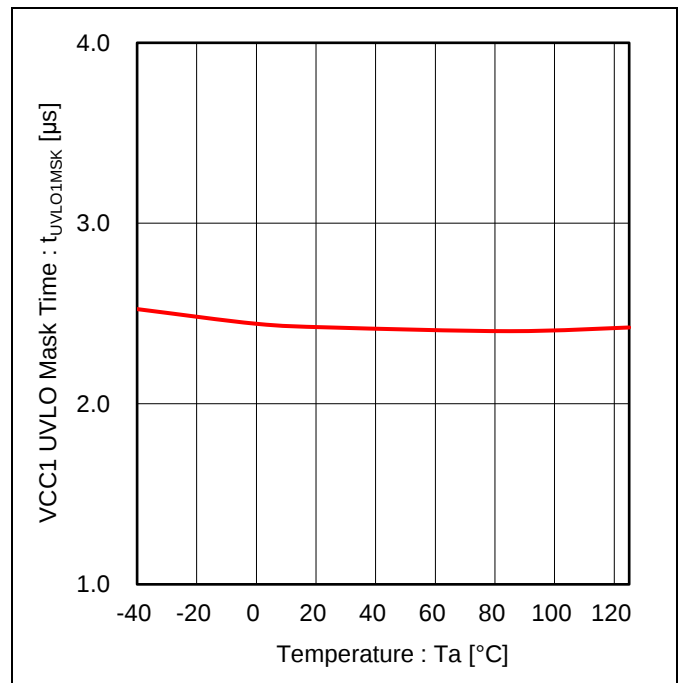


Figure 22. VCC1 UVLO Mask Time vs Temperature

特性データ（参考データ）－ 続き

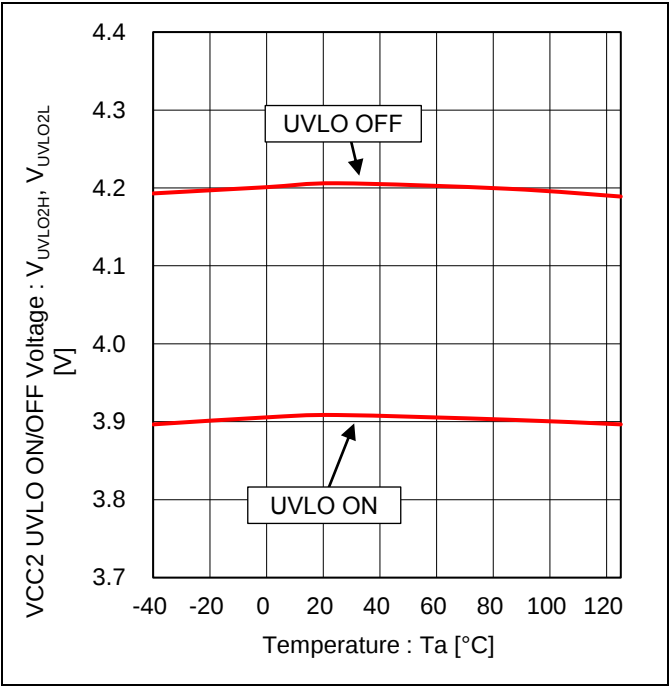


Figure 23. VCC2 UVLO ON/OFF Voltage vs Temperature

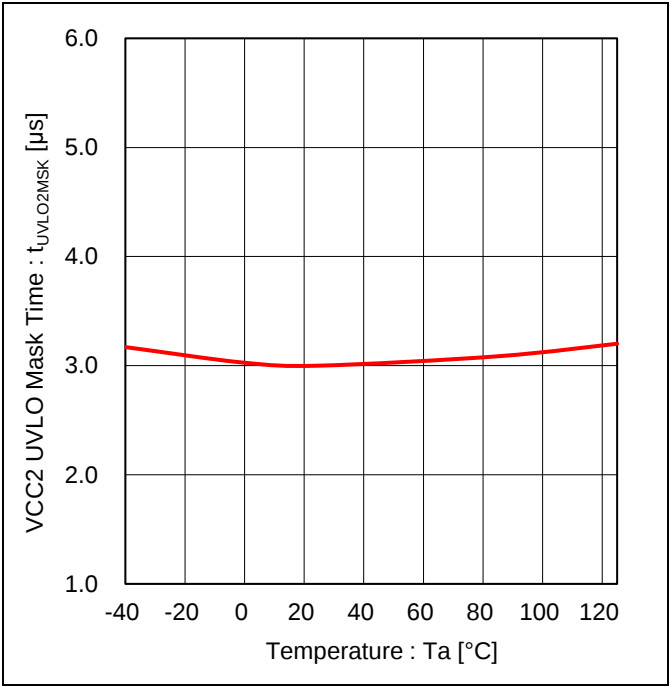


Figure 24. VCC2 UVLO Mask Time vs Temperature

タイミングチャート

1. 低電圧時誤動作防止機能 (UVLO)

入力側、出力側それぞれに低電圧時誤動作防止機能を内蔵しています。電源電圧が UVLO ON 電圧 (入力側 Typ 3.4 V、出力側 Typ 3.9 V) まで低下すると、ゲート駆動電圧 = L を出力します。電源電圧が UVLO OFF 電圧まで上昇すると通常状態に復帰します。また、ノイズによる誤動作を防止するため、入力側、出力側ともに、マスク時間 $t_{UVLO1MSK}$ (Typ 2.5 μ s)、 $t_{UVLO2MSK}$ (Typ 3.0 μ s) を設けています。入力側の UVLO 解除後、OUT (OUTL と OUTH をショート) = H を出力できるのは、次の入力信号切り替えタイミングからです。

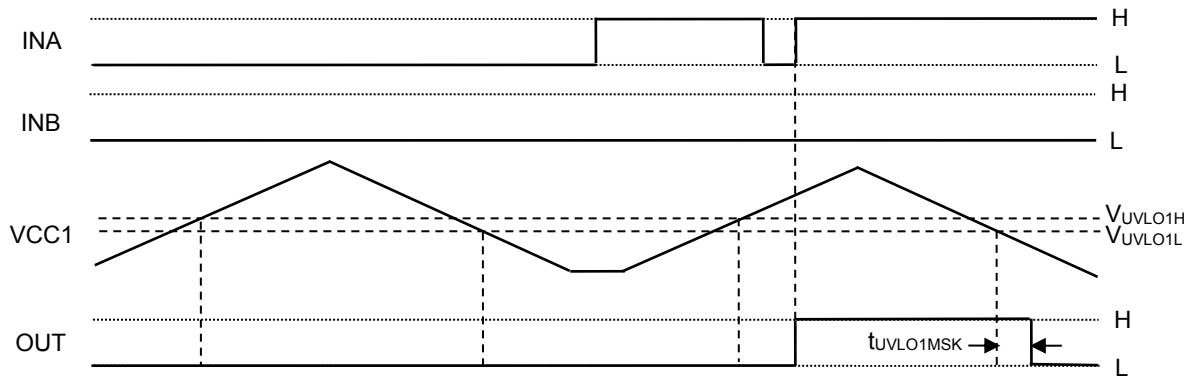


Figure 25. 入力側 UVLO 動作タイミングチャート

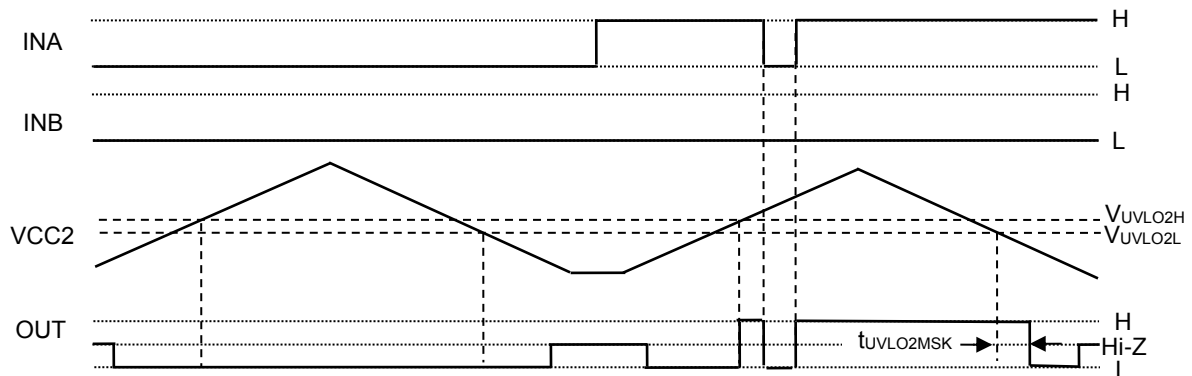


Figure 26. 出力側 UVLO 動作タイミングチャート

タイミングチャート　－　続き

2. 動作真理値表

No.	条件	入力				出力	
		VCC1	VCC2	INB	INA	OUTH	OUTL
1	VCC1UVLO	UVLO	X	X	X	Hi-Z	L
2	VCC2UVLO	X	UVLO	X	X	Hi-Z	L
3	INB Active	○	○	H	X	Hi-Z	L
4	通常動作 INA = L 入力	○	○	L	L	Hi-Z	L
5	通常動作 INA = H 入力	○	○	L	H	H	Hi-Z

○: VCC1 or VCC2 > UVLO, X: Don't care

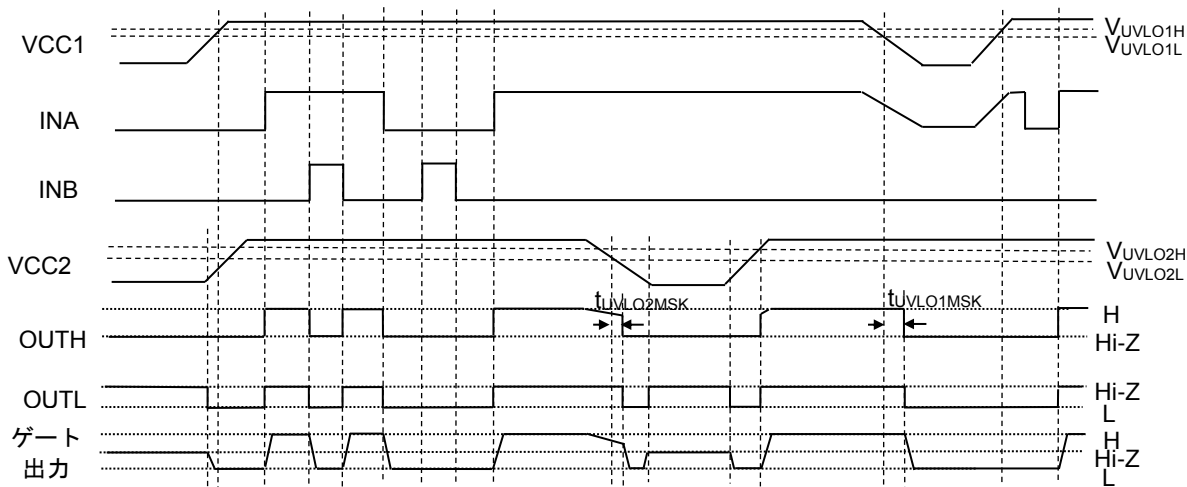


Figure 27. 入出力動作タイミングチャート

応用回路例

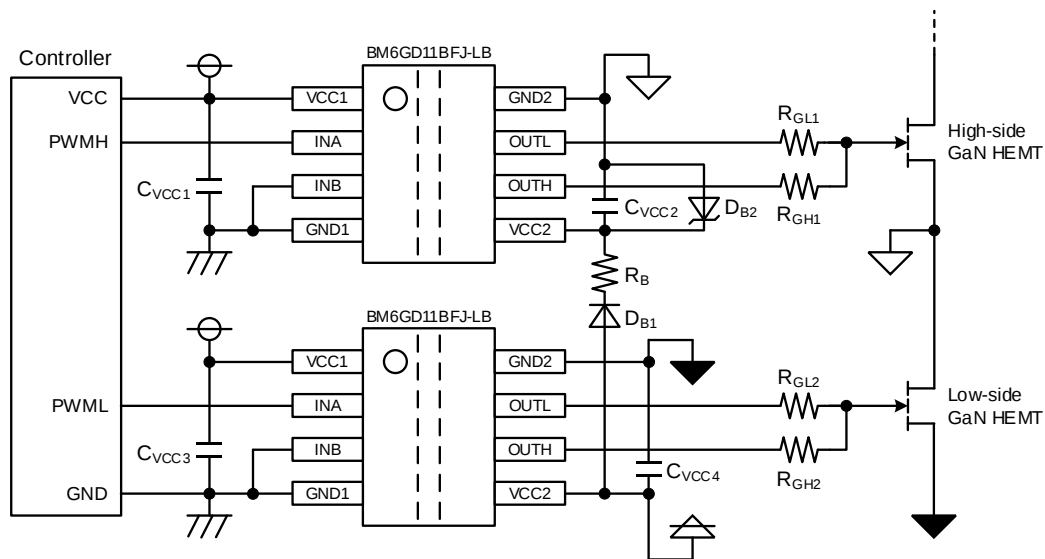


Figure 28. GaN HEMT 駆動アプリケーション回路 (Half-bridge 構成時)

本ゲートドライバは、ソース側とシンク側の出力ドライバ端子が分離されており、GaN HEMT のゲート端子間に抵抗を挿入することで駆動波形の立ち上がりと立下りのスルーレートを個別に調整することが可能です。

ゲート抵抗 R_{GH}/R_{GL} はパワーデバイスのスイッチング速度に合わせて選択してください。

スイッチング時間 (t_{sw}) は水平になっている電圧が終わるまでの時間とされるので、ターンオンのゲート抵抗 R_{GH} は次式で計算されます。

$$I_G = \frac{Q_{gs} + Q_{gd}}{t_{sw}} \quad [A] \quad [1]$$

$$R_{TOTAL(ON)} = R_{PON} + R_{GH} = \frac{V_{CC} - V_{GS(TH)}}{I_G} \quad [\Omega] \quad [2]$$

$$t_{sw} = \frac{Q_{gs} + Q_{gd}}{I_G} = \frac{(Q_{gs} + Q_{gd})(R_{PON} + R_{GH})}{(V_{CC} - V_{GS(TH)})} \quad [s] \quad [3]$$

I_G : パワーデバイスのゲートに流れる電流
 Q_{gs} : パワーデバイスのゲート-ソース間電荷
 Q_{gd} : パワーデバイスのゲート-ドレイン間電荷
 $V_{GS(TH)}$: パワーデバイスのスレッシュホールド電圧

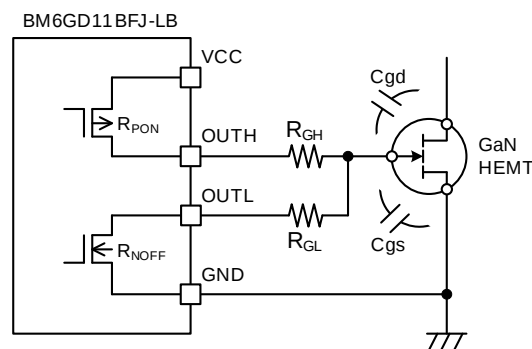


Figure 29. ゲート駆動等価回路図

応用回路例 ― 続き

ターンオンのゲート抵抗値により出力のスルーレート (dV_D/dt) を決定できます。パワーデバイスのスルーレートは次式になります。

$$\frac{dV_D}{dt} = \frac{I_G}{C_{rss}} \quad [\text{V/s}] \quad [4]$$

C_{rss} : パワーデバイスの帰還容量

[4]式を[2]式に代入することでゲート抵抗値は次式になります。

$$R_{TOTAL(ON)} = R_{PON} + R_{GH} = \frac{V_{CC} - V_{GS(TH)}}{C_{rss} \times \frac{dV_D}{dt}} \quad [\Omega] \quad [5]$$

$$R_{GH} = \frac{V_{CC} - V_{GS(TH)}}{C_{rss} \times \frac{dV_D}{dt}} - R_{PON} \quad [\Omega] \quad [6]$$

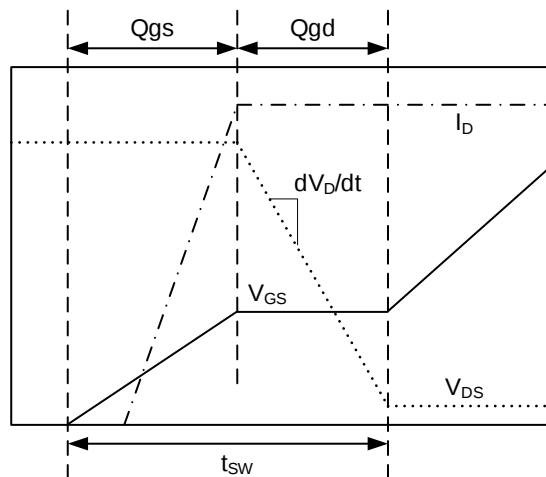


Figure 30. パワーデバイスのゲート充電特性

また、パワーデバイスがオフ時は他のパワーデバイスがオンしたときに C_{gd} を介して電流が流れます。このとき、ゲート電圧が閾値を超えてセルフターンオンしないようにゲート抵抗値 (R_{GL}) を設定してください。

$$V_{GS(TH)} \geq (R_{NOFF} + R_{GL}) \times I_G = (R_{NOFF} + R_{GL}) \times C_{gd} \times \frac{dV_D}{dt} \quad [\text{V}] \quad [7]$$

$$R_{GL} \leq \frac{V_{GS(TH)}}{C_{gd} \times \frac{dV_D}{dt}} - R_{NOFF} \quad [\Omega] \quad [8]$$

上記の計算式で得られた各設定値については設計マージンを考慮し、十分な評価を行ったうえで決定してください。

入出力等価回路図

端子番号	端子名（端子機能）	入出力等価回路図
2	INA（制御入力端子 A）	
3	INB（制御入力端子 B）	
6	OUTH（ソース側出力端子）	
7	OUTL（シンク側出力端子）	

使用上の注意

1. 電源の逆接続について

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れるなどの対策を施してください。

2. 電源ラインについて

基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。グラウンドラインについても、同様のパターン設計を考慮してください。また、LSI のすべての電源端子について電源-グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量低下が起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

3. グラウンド電位について

グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。

4. グラウンド配線パターンについて

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

5. 推奨動作条件について

推奨動作条件で規定される範囲で IC の機能・動作を保証します。また、特性値は電気的特性で規定される各項目の条件下においてのみ保証されます。

6. ラッシュカレントについて

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

7. セット基板での検査について

セット基板での検査時に、インピーダンスの低い端子にコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

8. 端子間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けた場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

9. 未使用の入力端子の処理について

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

使用上の注意 — 続き

10. 各入力端子について

本 IC は、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。

この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、 $GND > (\text{端子 A})$ の時、トランジスタ(NPN)では $GND > (\text{端子 B})$ の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ(NPN)では、 $GND > (\text{端子 B})$ の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に GND (P 基板)より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子が GND にショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

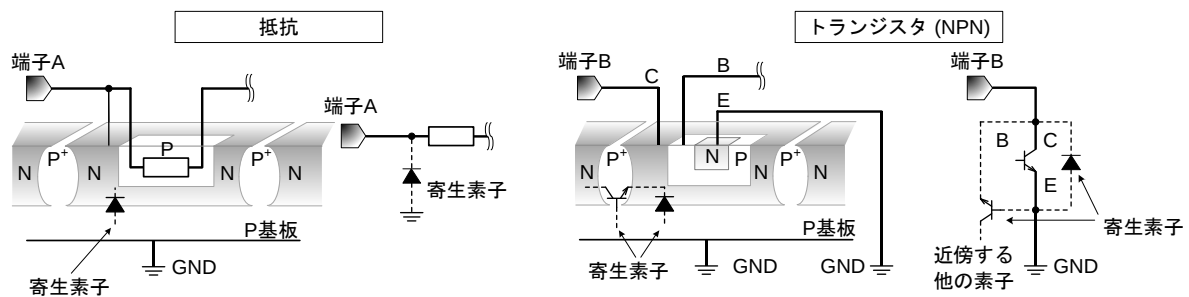


Figure 31. IC 構造例

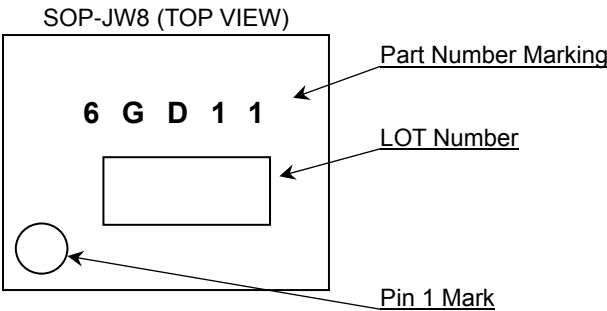
11. セラミック・コンデンサの特性変動について

外付けコンデンサに、セラミック・コンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮のうえ、定数を決定してください。

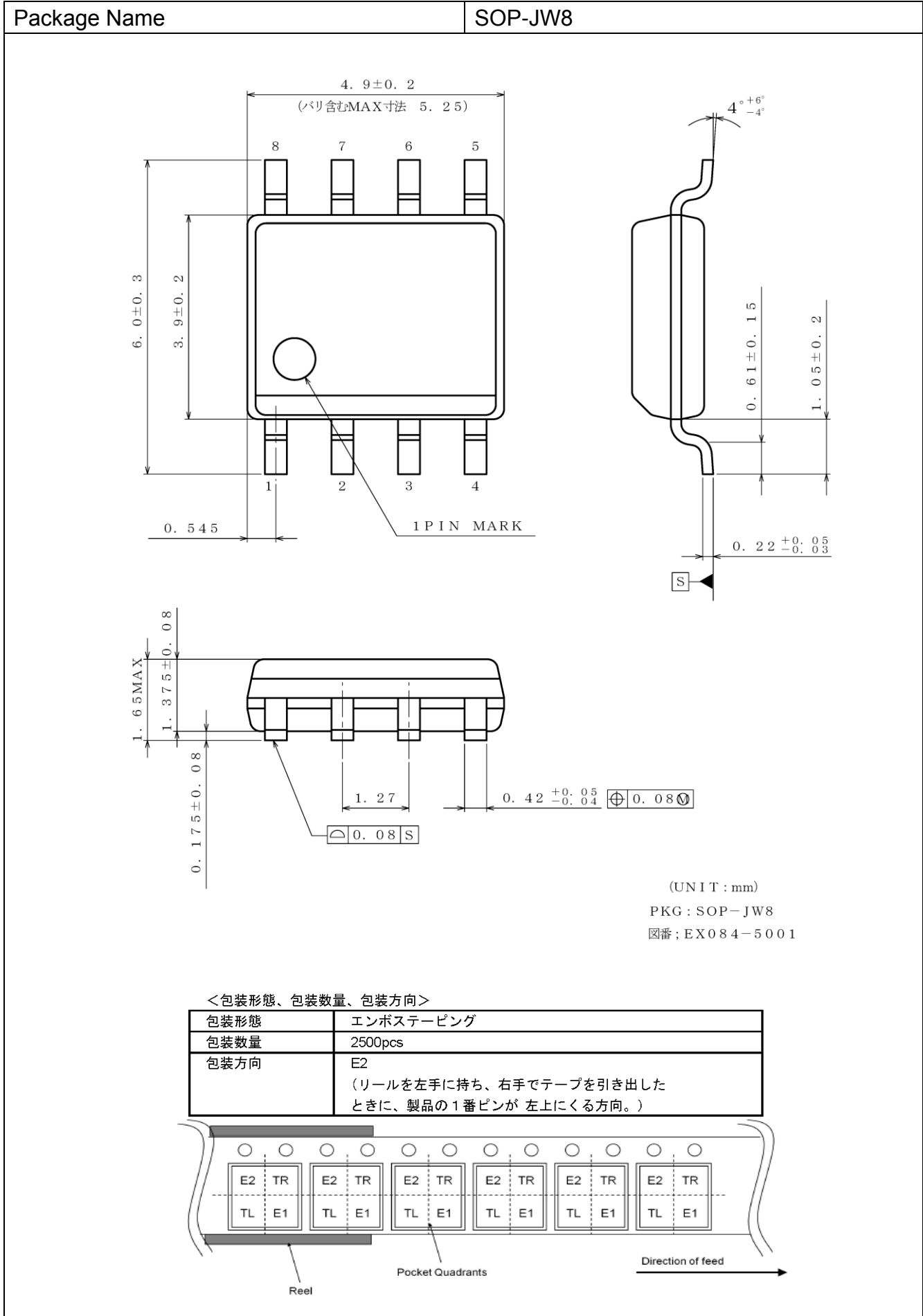
発注形名情報

B M 6 G D 1 1 B F J										-	L B E 2		
品名										パッケージ FJ: SOP-JW8		製品ランク LB: 産業機器用 包装、フォーミング仕様 E2: リール状エンボステーピング	

標印図



外形寸法図と包装・フォーミング仕様



改訂履歴

日付	版	変更内容
2024.11.25	001	新規リリース

ご注意

ローム製品取扱い上の注意事項

- 極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器^(Note 1)、航空宇宙機器、原子力制御装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

- 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
- 本製品は、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用
 - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用される場合は除く。ただし、残渣については十分に確認をお願いします。)又は、はんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合
 - ⑧結露するような場所でのご使用
- 本製品は耐放射線設計はなされておられません。
- 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
- パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
- 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
- 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
- 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

- ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
- はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。
その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。（人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等）

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
 - ① 潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ② 推奨温度、湿度以外での保管
 - ③ 直射日光や結露する場所での保管
 - ④ 強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルに2次元バーコードが印字されていますが、2次元バーコードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は、外国為替及び外国貿易法に定めるリスト規制貨物等に該当するおそれがありますので、輸出する場合には、ロームへお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等（ソフトウェア含む）との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。