

AC/DC コンバータ

# PWM タイプ DC/DC コンバータ IC

## BD28C5xFJ-LB Series

### 概要

本製品は産業機器市場へ向けたランクの製品です。これらのアプリケーションとして、ご使用される場合に最適な商品です。AC/DC 用 PWM タイプ DC/DC コンバータである本シリーズは、コンセントが存在する製品すべてに最適なシステムを供給します。絶縁、非絶縁の両者に対応しており、さまざまな形式の低消費電力コンバータを容易に設計することが可能です。本 IC は Si 及び SiC の両方の MOSFET に対応した VDD UVLO のラインアップを揃えています。スイッチング用電流検出抵抗を外付けにすることで、自由度の高い電源設計を実現します。電流モード制御を用いているため、サイクルごとに電流制限がかけられ、帯域幅と過度応答にすぐれた性能を発揮します。スイッチング周波数は RTCT 端子の外付け抵抗とコンデンサで設定可能です。

### 特長

- PWM カレントモード制御
- 低消費電力
- VDD 端子の UVLO 機能
- サイクルごとの過電流保護回路
- スwitching周波数設定端子

### 重要特性

- 入力電圧範囲 : 6.90 V ~ 28.00 V
- 回路電流 : 2.0 mA (Max)
- 起動電流 : 60  $\mu$ A (Typ)
- 動作温度範囲 : -40  $^{\circ}$ C ~ +125  $^{\circ}$ C

### パッケージ

SOP-J8

W (Typ) x D (Typ) x H (Max)  
4.9 mm x 6.0 mm x 1.65 mm  
pitch 1.27 mm



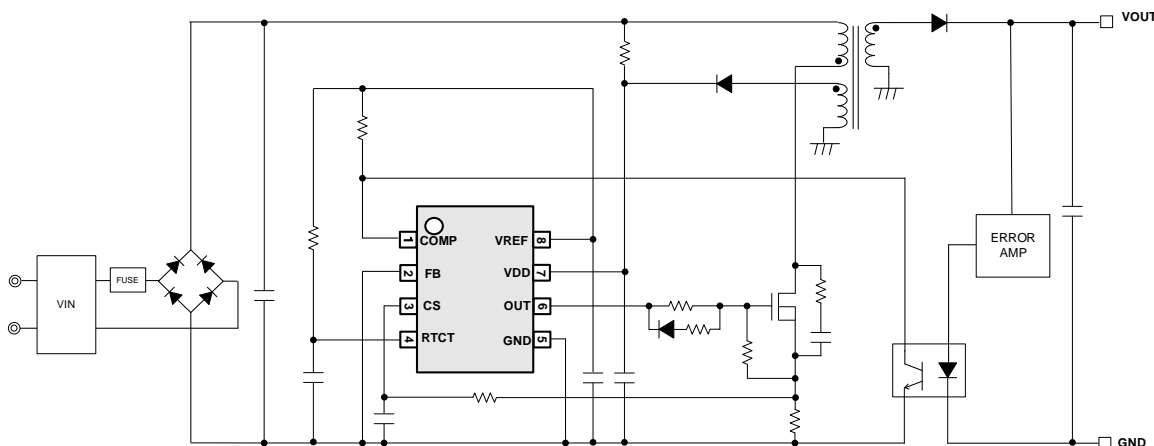
### ラインアップ

Product Name	VDD UVLO	Max ON Duty
BD28C54FJ-LB	14.5 V / 9.0 V	50 %
BD28C55FJ-LB	8.4 V / 7.6 V	
BD28C57HFJ-LB	18.8 V / 15.5 V	
BD28C57LFJ-LB	18.8 V / 14.5 V	
BD28C59FJ-LB (開発中)	16.0 V / 12.5 V	
BD28C51FJ-LB (開発中)	7.0 V / 6.6 V	

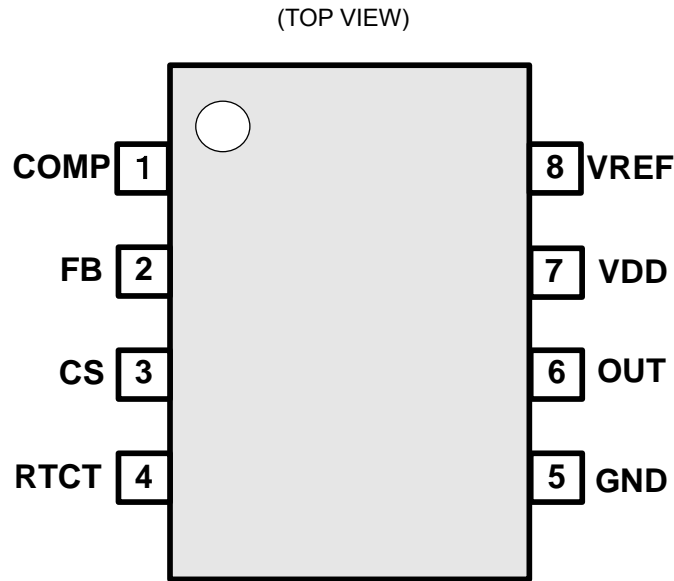
### 用途

- 産業機器
- PV インバータ

### 基本アプリケーション回路



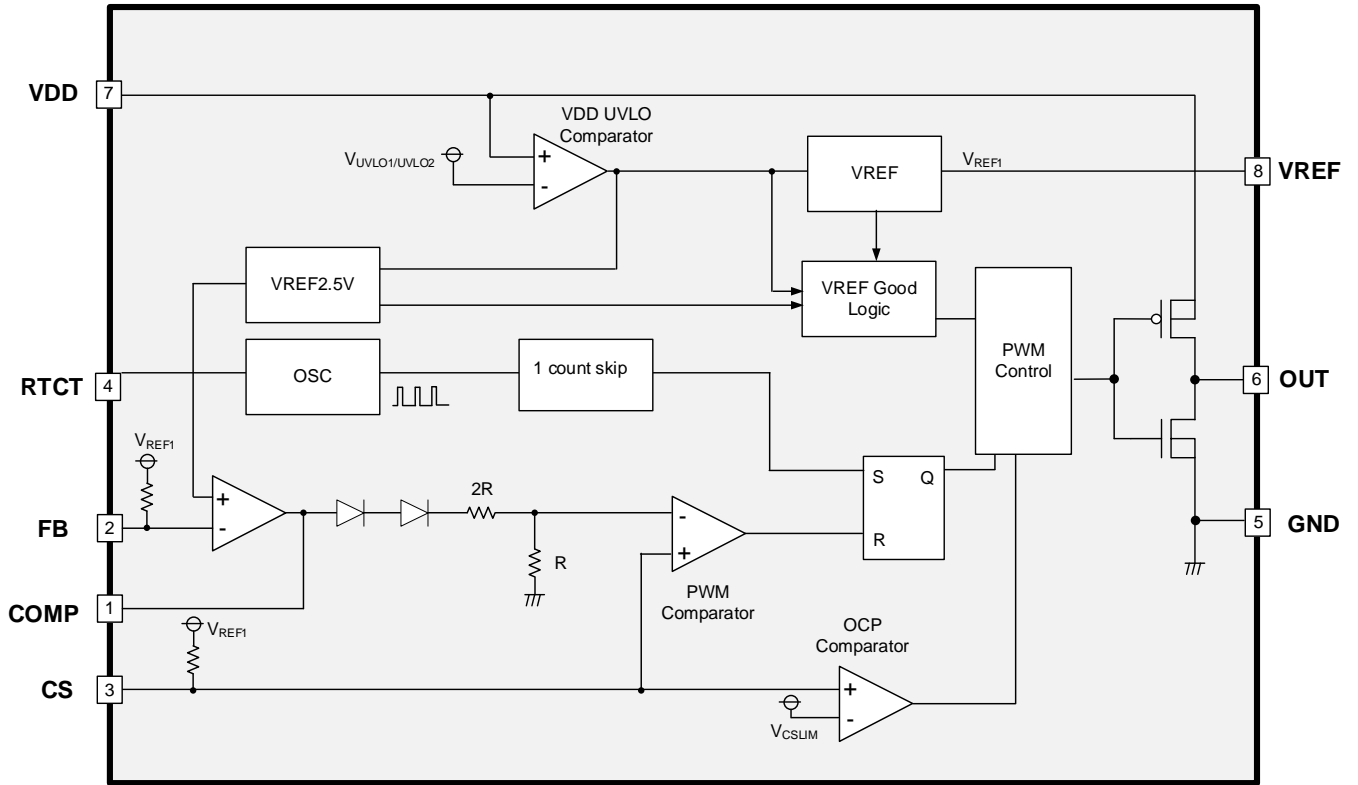
## 端子配置図



## 端子説明

端子番号	端子名	I/O	機能
1	COMP	O	エラーアンプ出力端子
2	FB	I	フィードバック信号入力端子
3	CS	I	一次側電流センス端子
4	RTCT	I/O	スイッチング周波数設定端子
5	GND	-	GND 端子
6	OUT	O	外付け MOS ドライブ端子
7	VDD	I	電源入力端子
8	VREF	O	5 V 出力端子

ブロック図



## 各ブロック動作説明

## 1. 起動シーケンス

起動シーケンスを Figure 1 に示します。各々の詳細な説明は各章で説明します。

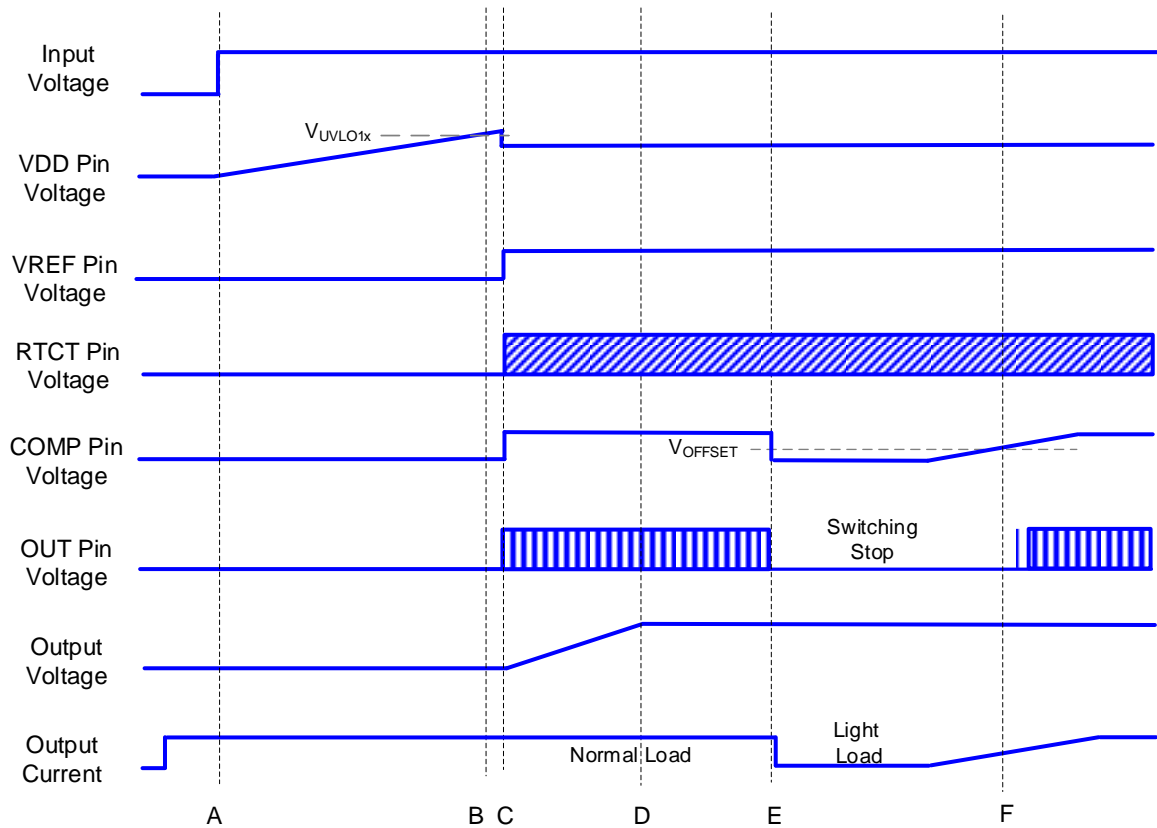


Figure 1. Startup Sequence Timing Chart

A: 入力電圧印加後、VDD 端子電圧が上昇します。

B: VDD 端子電圧  $> V_{UVLO1x}$  となると、VDD UVLO が解除され、IC が動作を開始します。

C: VDD UVLO 解除後、VREF 端子と COMP 端子電圧が立ち上がり、IC はスイッチング動作を開始します。

D: 出力電圧が立ち上がり、一定となります。

E: 軽負荷時、COMP 端子電圧  $< V_{OFFSET}$  となると、消費電力を抑えるためバースト動作となり、スイッチングを停止します。

F: COMP 端子電圧  $> V_{OFFSET}$  となると、スイッチング動作を開始します。

$V_{UVLO1x}$  は  $V_{UVLO1A} \sim V_{UVLO1F}$  を指しています。

## 各ブロック動作説明 — 続き

## 2. VDD

VDD は、電源入力端子です。

VDD 端子には  $R_{START}$  を接続して起動させます。VDD UVLO 解除前は  $R_{START}$  に  $I_{START}$  が流れるため、適切な抵抗値に設定してください。 $R_{START}$  を小さくすると、待機時電力が大きくなり、起動時間が短くなります。逆に  $R_{START}$  を大きくすると、待機時電力が小さくなり、起動時間が長くなります。

$R_{START}$  及び VDD 端子コンデンサ容量値  $C_{VDD}$  については、実際のアプリケーション評価を確認して設定してください。

ex) 起動抵抗  $R_{START}$  設定

$$R_{START} = (V_{MIN} - V_{UVLO1x(max)}) / I_{START(max)} \quad [\Omega]$$

$R_{START}$	: 起動抵抗
$V_{MIN}$	: 最小入力 DC 電圧
$V_{UVLO1x}$	: VDD UVLO 電圧 1x
$I_{START}$	: 起動電流

本 IC にはクランプが内蔵されていないため、最大定格電圧 30 V を超えないように VDD 端子と GND 端子間に、ツェナー保護ダイオード  $D_z$  を接地してください。 $D_z$  は温度特性ばらつきを含めた最小値  $> V_{UVLO1x}$  となるよう設定してください。ノイズ対策として、 $C_{VDDBP}$  を VDD 端子と GND 端子間に設置し、VDD 端子電圧をフィルタリングします。 $C_{VDDBP}$  は、できるだけ VDD 端子と GND 端子の近くに配置してください。

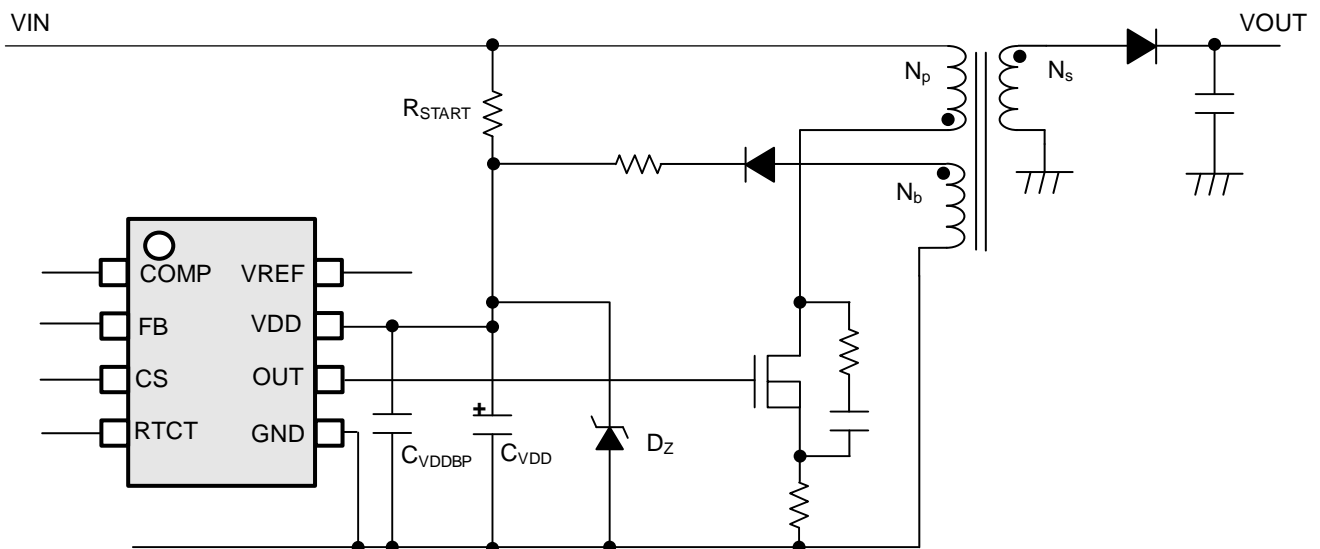


Figure 2. VDD Setup Circuit

## 2. VDD — 続き

## 2.1 VDD UVLO (Under Voltage Lockout)

VDD UVLO は、電圧ヒステリシスを持つ自己復帰型のコンパレータです。VDD 端子電圧  $> V_{UVLO1x}$  となると VDD UVLO 機能が解除され、IC は動作を開始します。VDD 端子電圧  $< V_{UVLO2x}$  となると、VDD UVLO 機能が検出し、IC は動作を停止します。

$V_{UVLO1x}$  は  $V_{UVLO1A} \sim V_{UVLO1F}$  を指しています。 $V_{UVLO2x}$  は  $V_{UVLO2A} \sim V_{UVLO2F}$  を指しています。

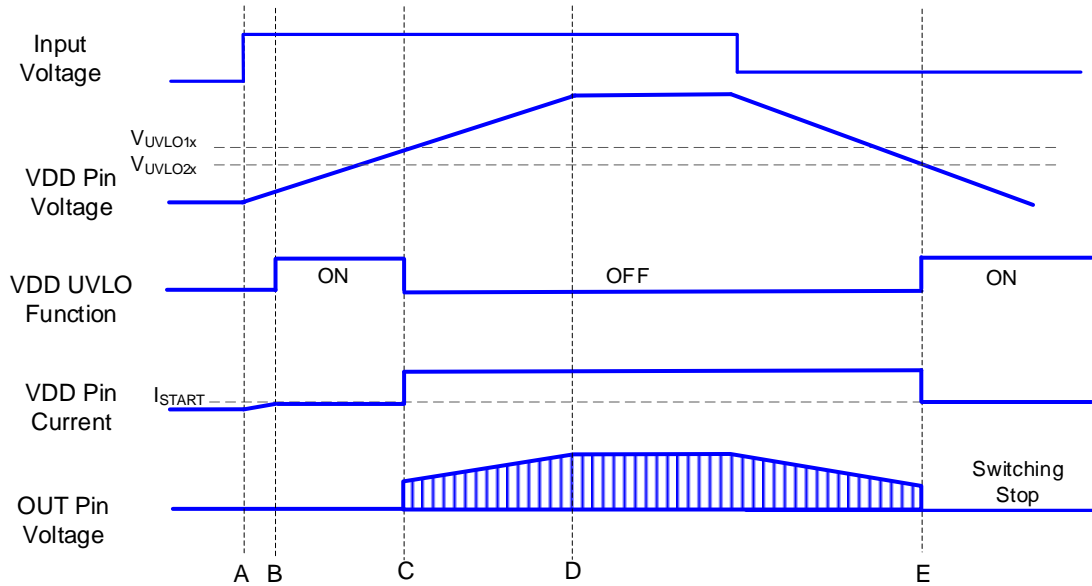


Figure 3. VDD UVLO Timing Chart

- A: 入力電圧印加後、VDD 端子電圧が上昇します。  
 B: 内部コンパレータが起動すると VDD UVLO 機能を検出し、 $I_{START}$  が流れ始めます。  
 C: VDD 端子電圧  $> V_{UVLO1x}$  となると、VDD UVLO 機能を解除し、スイッチング動作を開始します。  
 D: OUT 端子の High 電圧は VDD 端子電圧に追従して上昇します。  
 E: VDD 端子電圧  $< V_{UVLO2x}$  となると、VDD UVLO 機能を検出し、スイッチング動作を停止します。

本シリーズでは、以下のラインアップを取り揃えています。

Table 1. VDD UVLO Lineup

Product Name	VDD UVLO1	VDD UVLO2
BD28C54FJ-LB	14.5 V	9.0 V
BD28C55FJ-LB	8.4 V	7.6 V
BD28C57HFJ-LB	18.8 V	15.5 V
BD28C57LFJ-LB	18.8 V	14.5 V
BD28C59FJ-LB	16.0 V	12.5 V
BD28C51FJ-LB	7.0 V	6.6 V

## 2.2 TSD (Thermal Shutdown)

TSD は、接合部温度  $> T_{SD1}$  の状態が  $t_{PROT}$  間続いた場合、スイッチング動作を停止します。接合部温度  $< T_{SD2}$  となるとスイッチング動作を再開します。

## 各ブロック動作説明 — 続き

## 3. VREF

VREF 端子は、 $V_{REF1}$  を出力する端子です。この電圧は、周波数設定やソフトスタート機能など様々な機能に使用できます。リファレンスの安定性確保、高速スイッチング過渡現象によるノイズ問題を防ぐため、 $C_{VREF}$  が必要です。0.1  $\mu\text{F}$  以上のセラミックコンデンサを、できるだけ VREF 端子と GND 端子の近くに配置してください。

VREF 端子を GND 端子に接続すると、 $I_{REF}$  が流れて過度の熱が IC にかかり、破壊する可能性があります。スイッチを止める手段として、VREF 端子を GND 端子に接続しないでください。

VREF は常温で  $V_{REF1}$  の精度を実現します。Line Regulation の  $V_{REF\_LINE}$ 、Load Regulation の  $V_{REF\_LOAD}$ 、温度特性の  $V_{REF\_TEMP}$  を加味した全条件範囲では、 $V_{REF2}$  の精度を実現します。

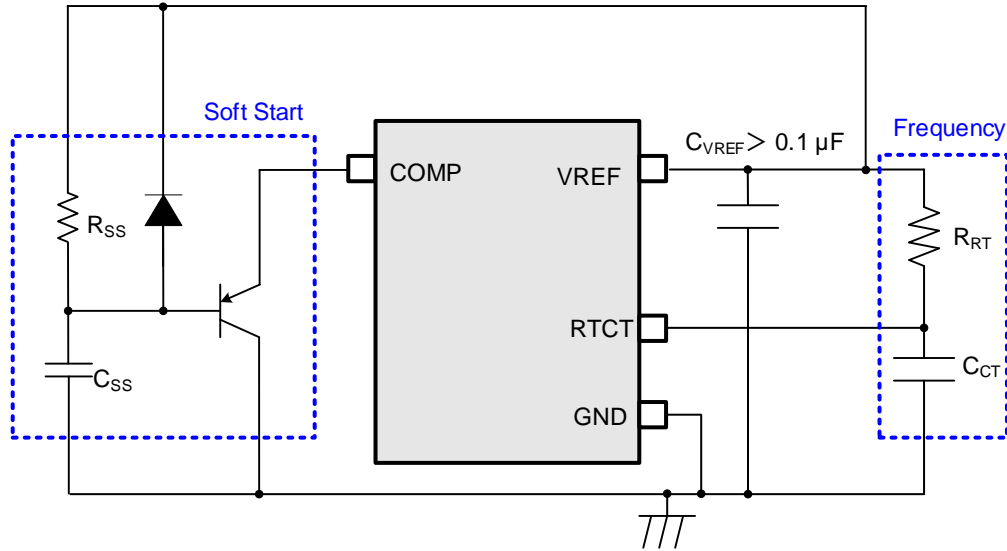


Figure 4. VREF Application

## 4. FB

FB 端子は、フィードバックループを制御するために使用します。

$V_{FB}$  は常温で  $V_{FB1}$ 、全温度範囲で  $V_{FB2}$  の精度を実現します。

安定性を確保するために、FB 端子への配線はできるだけ短くし、FB 端子の寄生容量を小さくしてください。

各ブロック動作説明 — 続き

5. RTCT

RTCT 端子は、外付け部品  $R_{RT}$  と  $C_{CT}$  でスイッチング周波数と最大 ON デューティを設定する端子です。  
 $R_{RT}$  は VREF 端子へプルアップで接続します。 $C_{CT}$  は GND 端子へプルダウンで接続します。  
 $R_{RT}$  は精度 1 % 以内、 $C_{CT}$  は精度 5 % 以下のものを使用してください。また、 $C_{CT}$  は温度係数がフラットなタイプを推奨します。 $C_{CT}$  と GND 端子への配線はできるだけ短くしてください。

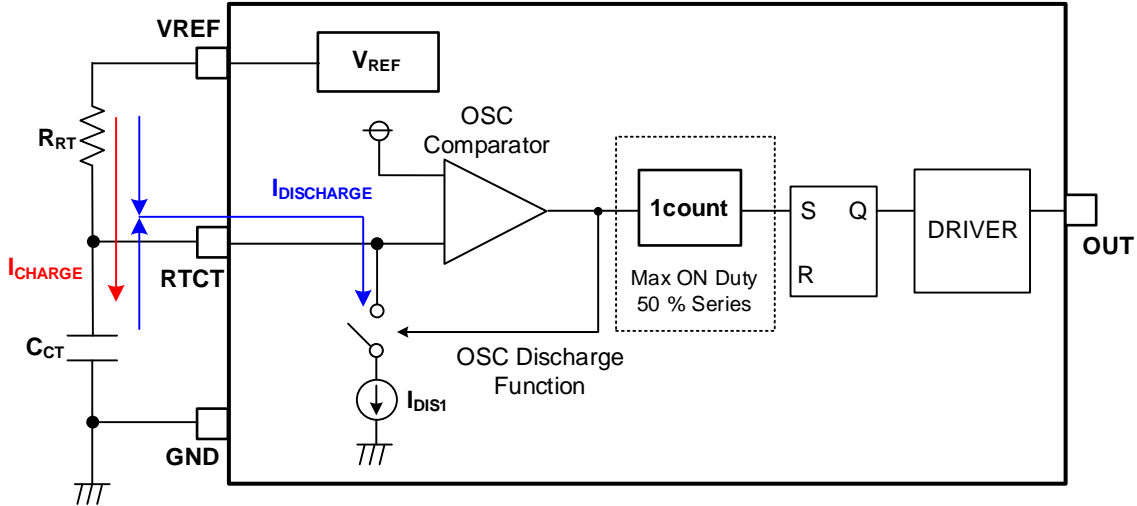


Figure 5. RTCT Circuit

本シリーズの最大 ON デューティは 50 % です。  
 スwitching 周波数は、Figure 6 に示します。最大 ON デューティは、Figure 7 に示しています。  
 Figure 6 と Figure 7 を参考に  $C_{CT}$  と  $R_{RT}$  を設定してください。  
 $C_{CT} = 3300 \text{ pF}$ 、 $R_{RT} = 10 \text{ k}\Omega$  の場合、switching 周波数は  $f_{SW1A}$ 、最大 ON デューティは  $D_{MAX1A}$  となります。

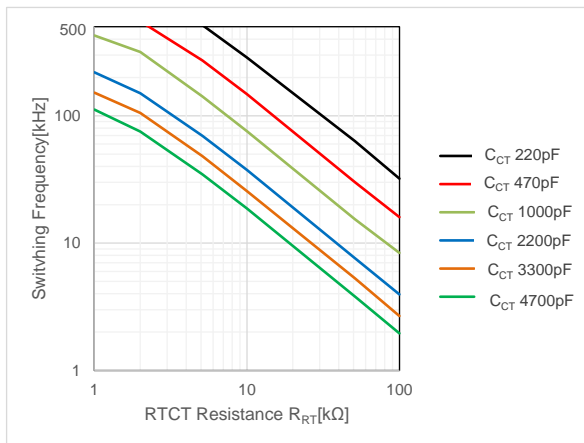


Figure 6. Switching Frequency vs  $R_{RT}$

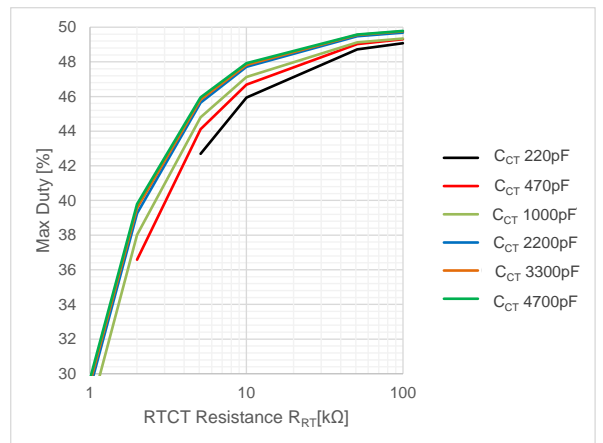


Figure 7. Max ON Duty vs  $R_{RT}$



## 5. RTCT — 続き

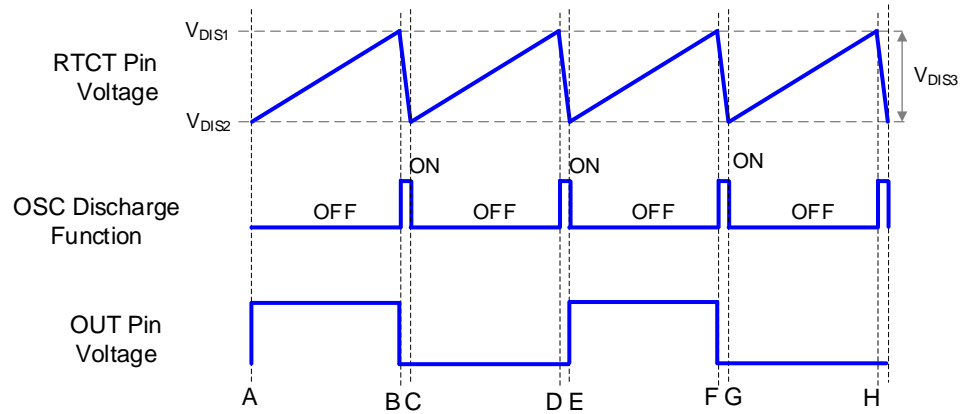


Figure 8. RTCT Function

- A: RTCT 端子電圧  $< V_{DIS2}$  になると、OUT 端子電圧は Low から High に切り替わります。このとき、OSC ディスチャージ機能が OFF し、 $C_{CT}$  に電流が供給され、RTCT 端子電圧が上昇します。
- B: RTCT 端子電圧  $> V_{DIS1}$  になると、OSC ディスチャージ機能が ON し、IC 内部から  $I_{DIS1}$  が引かれ、RTCT 端子電圧が減少します。最大 ON デューティ動作時、OUT 端子電圧は High から Low に切り替わります。
- C: RTCT 端子電圧  $< V_{DIS2}$  になると RTCT 端子電圧が上昇します。OUT 端子電圧はカウンタ回路で 1 回スキップされ、出力電圧を切り替えず、OUT 端子電圧は Low で維持します。
- D: RTCT 端子電圧  $> V_{DIS1}$  になると、RTCT 端子電圧が減少します。OUT 端子電圧は Low を維持します。
- E: A と同様
- F: B と同様
- G: C と同様
- H: D と同様

各ブロック動作説明 — 続き

6. COMP

COMP 端子は、本 IC のエラーアンプの出力端子です。

6.1 PWM コンパレータ

PWM コンパレータで実行されるサイクルごとのパルス幅変調は、エラーアンプの出力と CS 端子電圧を比較します。エラーアンプのゲインは  $A_{cs}$  です。

また、PWM コンパレータにはオフセットがあり、CS 端子電圧 = 0V のとき、COMP 端子電圧  $< V_{OFFSET}$  となると、PWM コンパレータは駆動せず、スイッチングはオフします。PWM コンパレータのオフセットにはヒステリシスはありませ

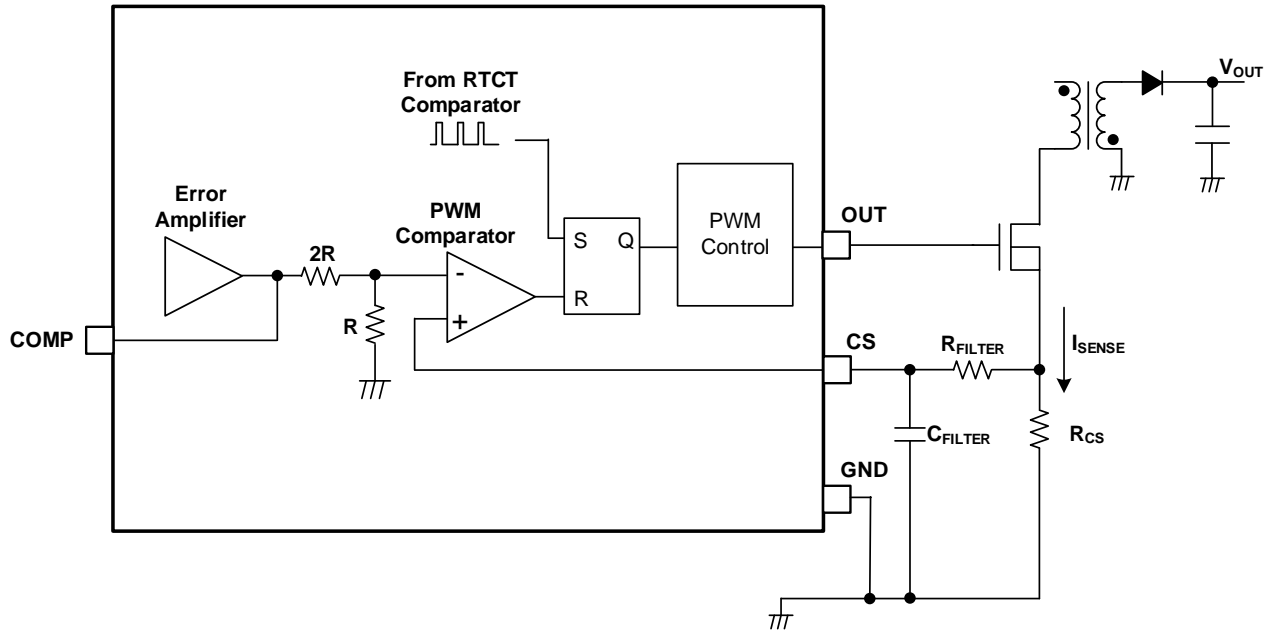


Figure 9. PWM COMP Circuit

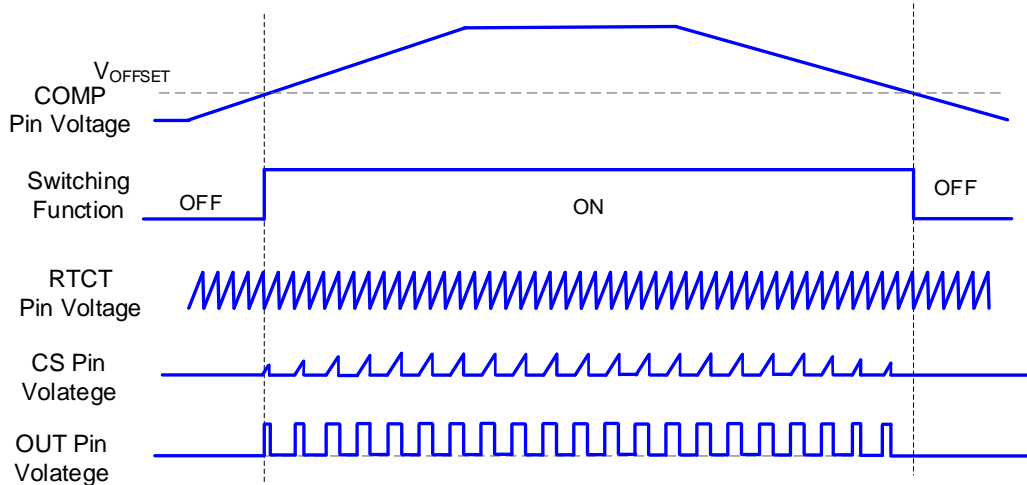


Figure 10. Offset Function

6. COMP — 続き

6.2 ソフトスタート機能

AC 電源投入時は、通常 ACDC 電源に大きな電流が流れます。本 IC は、Figure 11 のようなアプリケーション回路にすることで、起動時の出力電圧及び出力電流の大きな変化を防止することが可能です。この機能をソフトスタート機能といいます。

起動時、PNP トランジスタを介して COMP 端子電流から電流  $I_{SS}$  が流れ、COMP 端子電圧がゆっくりと立ち上がります。この動作によって ON デューティをゼロから徐々に増加させ、ピーク電流の上昇を制御します。

ダイオードは IC を再起動した際に、再度ソフトスタート機能で動作させるために必要です。ダイオードがない場合、 $C_{SS}$  が放電されず、PNP トランジスタが再駆動しないため、ソフトスタート機能は動作しません。ダイオードを追加すると、VDD UVLO 検出時に  $C_{SS}$  が放電され、VDD UVLO 解除後にソフトスタート機能が動作します。

ソフトスタート時間は  $R_{SS}$  と  $C_{SS}$  で設定します。 $C_{SS}$  は  $1\ \mu\text{F}$  以上の大きなコンデンサを使用してください。

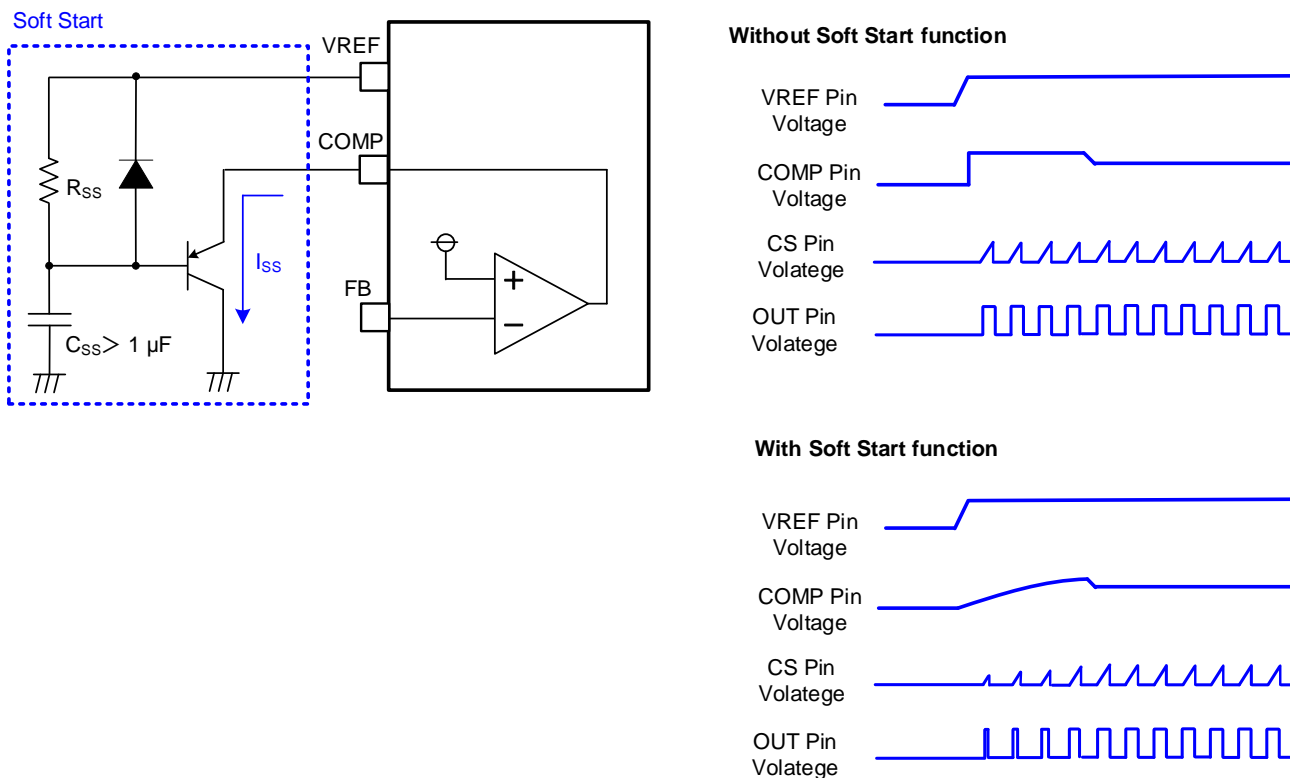


Figure 11. Soft Start Circuit

6.3 Enable and Disable

Figure 12 のように、外付けトランジスタで COMP 端子に Disable 信号を印加することで、PWM コンパレータを Low に固定することが可能です。

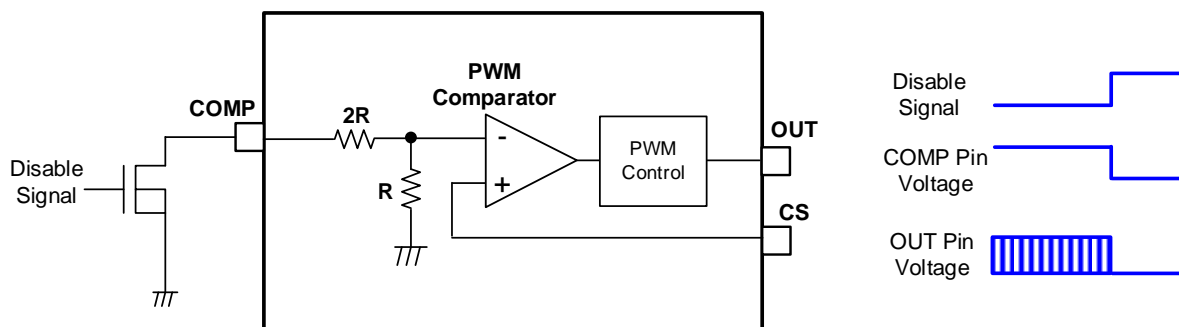


Figure 12. Disable Circuit

## 各ブロック動作説明 — 続き

## 7. CS

CS 端子は、電流検出入力端子です。センス抵抗  $R_{CS}$  が電流を検知し、この電流を電圧に変換し、CS 端子に入力されます。RTCT 端子の三角波をこの端子に適用させることで、電圧モード制御構成も可能です。Leading Edge による誤検出を防ぐために、RC フィルタが必要になる場合があります。

## 7.1 過電流保護機能 (OCP)

本 IC は、スイッチングサイクル毎の過電流保護機能を内蔵しています。CS 端子電圧  $> V_{OCP}$  になると、エラーアンプの出力電圧に関係なく、 $t_{DELAY}$  後にスイッチングを停止します。ピーク電流  $I_{SENSE}$  は以下の式で計算されます。

$$I_{SENSE} = \frac{V_{OCP}}{R_{CS}}$$

$I_{SENSE}$	: ピーク電流
$V_{OCP}$	: 過電流保護電圧
$R_{CS}$	: センス抵抗

設計時は過電流保護電圧の精度に加えて、センス抵抗  $R_{CS}$ 、コイルの精度も考慮してください。二次側ダイオードの逆回復、または容量性負荷によって引き起こされるスイッチ過渡現象を抑制するために、RC フィルタが必要になる場合があります。フィルタの時定数は、コンバータのスイッチング周期よりも小さくしてください。

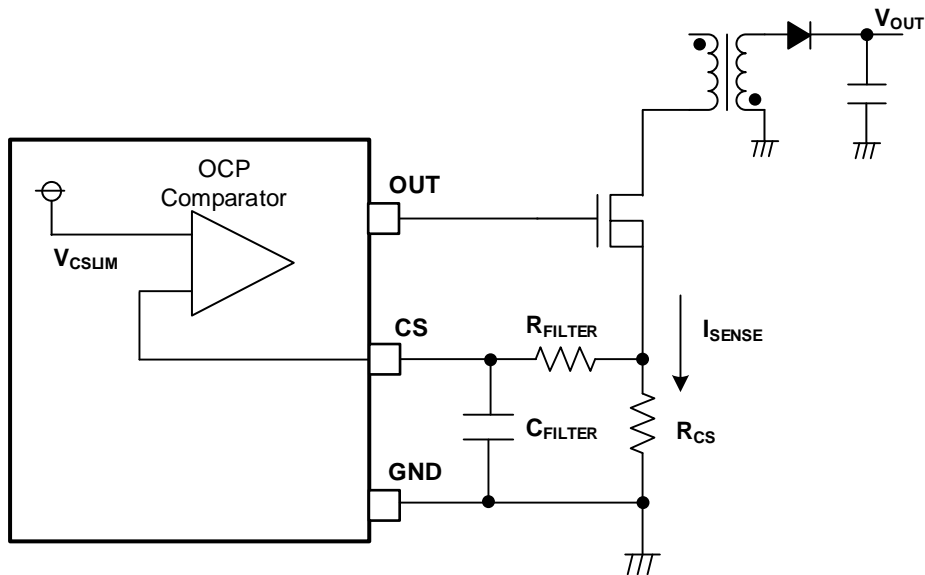


Figure 13. OCP Circuit

## 7. CS — 続き

## 7.2 電圧モード制御

Figure 14 のように、RTCT 端子の三角波を変換して CS 端子に入力することで、電圧モード制御で駆動することが可能です。

RTCT 端子電圧のチャージ区間は指数関数的に上昇します。この機能を使用する場合は、 $R_{RT}$  を大きく、 $C_{CT}$  を小さくして、線形な波形に近似してください。

また、CS 端子のピーク電圧は  $V_{OCP}$  の最小値より小さくなるように設定してください。

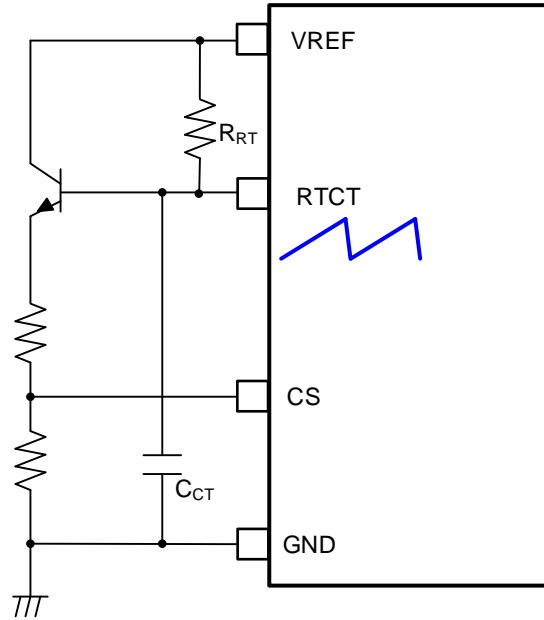


Figure 14. Voltage Mode Control Circuit

## 各ブロック動作説明 — 続き

## 8. 保護機能の動作モード

各保護機能の動作モードを Table 2 に示します。

Table 2. Operation Modes of Protection Functions

項目	内容	保護動作			
		検出方法	検出時動作	解除方法	解除時動作
VDD UVLO	VDD 端子 低電圧保護機能	$VDD < V_{UVLO2x}$ (VDD 下降時)	スイッチング停止	$VDD > V_{UVLO1x}$ (VDD 上昇時)	起動動作開始
OCP	過電流保護機能	$CS > V_{OCP}$ (CS 上昇時)	OUT 端子電圧=L	サイクル毎	通常動作
TSD	過熱保護	$T_j > T_{SD1}$	スイッチング停止	$T_j < T_{SD2}$	起動動作開始

## 絶対最大定格 (Ta = 25 °C)

項目	記号	定格	単位	条件
最大印加電圧 1	V <sub>MAX1</sub>	-0.3 ~ +30.0	V	VDD 端子、OUT 端子
最大印加電圧 2	V <sub>MAX2</sub>	-0.3 ~ +6.5	V	COMP 端子、CS 端子、 FB 端子、RTCT 端子
最大印加電圧 3	V <sub>MAX3</sub>	-0.3 ~ +7.0	V	VREF 端子
最高接合部温度	T <sub>jmax</sub>	150	°C	
保存温度範囲	T <sub>stg</sub>	-55 ~ +150	°C	

**注意 1:** 印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施していただくようお願いいたします。

**注意 2:** 最高接合部温度を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。最高接合部温度を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用するなど、最高接合部温度を超えないよう熱抵抗にご配慮ください。

## 熱抵抗 (Note 1)

項目	記号	熱抵抗(Typ)		単位
		1層基板 (Note 3)	4層基板 (Note 4)	
SOP-J8				
ジャンクション—周囲温度間熱抵抗	$\theta_{JA}$	149.3	76.9	°C/W
ジャンクション—パッケージ上面中心間熱特性パラメータ (Note 2)	$\Psi_{JT}$	18	11	°C/W

(Note 1) JESD51-2A(Still-Air)に準拠。

(Note 2) ジャンクションからパッケージ (モールド部分) 上面中心までの熱特性パラメータ。

(Note 3) JESD51-3に準拠した基板を使用。

(Note 4) JESD51-7に準拠した基板を使用。

測定基板	基板材	基板寸法
1層	FR-4	114.3 mm x 76.2 mm x 1.57 mmt

1層目 (表面) 銅箔	
銅箔パターン	銅箔厚
実装ランドパターン + 電極引出し用配線	70 $\mu$ m

測定基板	基板材	基板寸法
4層	FR-4	114.3 mm x 76.2 mm x 1.6 mmt

1層目 (表面) 銅箔		2層目、3層目 (内層) 銅箔		4層目 (裏面) 銅箔	
銅箔パターン	銅箔厚	銅箔パターン	銅箔厚	銅箔パターン	銅箔厚
実装ランドパターン + 電極引出し用配線	70 $\mu$ m	74.2 mm $\square$ (正方形)	35 $\mu$ m	74.2 mm $\square$ (正方形)	70 $\mu$ m

## 推奨動作条件

項目	記号	最小	標準	最大	単位	条件
電源電圧範囲 1	VDD	6.90	-	28.00	V	VDD 端子電圧
電源電圧範囲 2	V <sub>OUT</sub>	-	-	28	V	OUT 端子電圧
動作温度	Topr	-40	+25	+125	°C	

## 外付け推奨範囲

項目	記号	範囲	単位
VREF 端子接続容量	C <sub>VREF</sub>	0.1 ~	μF
RTCT 端子接続容量	C <sub>CT</sub>	220 ~ 4700	pF
RTCT 端子接続抵抗	R <sub>RT</sub>	1 ~ 100	kΩ

## 電気的特性 (特に指定のない限り VDD = 20 V, Ta = -40 °C ~ +125 °C)

項目	記号	最小	標準	最大	単位	条件
[回路電流]						
回路電流 1	I <sub>ON1</sub>	-	1.1	2.0	mA	
起動電流	I <sub>START</sub>	-	60	75	μA	VDD = 6.5 V
[VDD 端子保護機能]						
VDD UVLO 電圧 1	V <sub>UVLO1A</sub>	13.78	14.50	15.22	V	BD28C54FJ-LB
	V <sub>UVLO1B</sub>	7.98	8.40	8.82	V	BD28C55FJ-LB
	V <sub>UVLO1C</sub>	17.86	18.80	19.74	V	BD28C57HFJ-LB
	V <sub>UVLO1D</sub>	17.86	18.80	19.74	V	BD28C57LFJ-LB
	V <sub>UVLO1E</sub>	15.2	16.0	16.8	V	BD28C59FJ-LB
	V <sub>UVLO1F</sub>	6.65	7.00	7.35	V	BD28C51FJ-LB
VDD UVLO 電圧 2	V <sub>UVLO2A</sub>	8.55	9.00	9.45	V	BD28C54FJ-LB
	V <sub>UVLO2B</sub>	7.22	7.60	7.98	V	BD28C55FJ-LB
	V <sub>UVLO2C</sub>	14.73	15.50	16.30	V	BD28C57HFJ-LB
	V <sub>UVLO2D</sub>	13.78	14.50	15.20	V	BD28C57LFJ-LB
	V <sub>UVLO2E</sub>	11.88	12.50	13.10	V	BD28C59FJ-LB
	V <sub>UVLO2F</sub>	6.27	6.60	6.90	V	BD28C51FJ-LB
サーマルシャットダウン温度 1	T <sub>SD1</sub>	155	175	195	°C	
サーマルシャットダウン温度 2	T <sub>SD2</sub>	130	150	170	°C	
保護マスク時間	t <sub>PROT</sub>	-	100	-	μs	
[VREF ブロック]						
VREF 基準電圧 1	V <sub>REF1</sub>	4.95	5.00	5.05	V	I <sub>OUT</sub> = 1 mA, Ta = 25 °C
VREF 基準電圧 Line Regulation	V <sub>RREF_LINE</sub>	-	0.2	20.0	mV	12 V ≤ VDD ≤ 18 V
VREF 基準電圧 Load Regulation	V <sub>RREF_LOAD</sub>	-	3.0	25.0	mV	1 mA ~ 20 mA
VREF 基準電圧 温度特性	V <sub>RREF_TEMP</sub>	-	0.2	0.4	mV/°C	(Note 1)
VREF 基準電圧 2	V <sub>REF2</sub>	4.85	5.00	5.15	V	Total (V <sub>REF1</sub> , V <sub>REF_LINE</sub> , V <sub>REF_LOAD</sub> , Ta = -40 °C ~ +125 °C)
VREF 出力ショート	I <sub>REF</sub>	-65	-30	-22	mA	

(Note 1) 出荷検査していません



## 電気的特性 (特に指定のない限り VDD = 20 V, Ta = -40 °C ~ +125 °C) — 続き

項目	記号	最小	標準	最大	単位	条件
[FB ブロック]						
フィードバック電圧 1	V <sub>FB1</sub>	2.48	2.50	2.53	V	Ta = 25 °C
フィードバック電圧 2	V <sub>FB2</sub>	2.45	2.50	2.55	V	
[COMP ブロック]						
COMP シンク電流	I <sub>COMP_SINK</sub>	2.0	14.0	-	mA	V <sub>FB</sub> = 2.7 V, V <sub>COMP</sub> = 1.1 V
COMP ソース電流	I <sub>COMP_SOURCE</sub>	-1.5	-1.0	-0.5	mA	V <sub>FB</sub> = 2.3 V, V <sub>COMP</sub> = 5 V
COMP High 電圧	V <sub>COMP_H</sub>	V <sub>REF2</sub> -0.2	-	-	V	V <sub>FB</sub> = 2.3 V, R <sub>COMP</sub> = 15 kΩ COMP ~ V <sub>REF</sub>
COMP Low 電圧	V <sub>COMP_L</sub>	-	0.1	1.1	V	V <sub>FB</sub> = 2.7 V, R <sub>COMP</sub> = 15 kΩ COMP ~ GND
PWM COMP オフセット電圧	V <sub>OFFSET</sub>	-	1.15	-	V	CS = 0 V
[RTCT ブロック]						
スイッチング周波数 1A	f <sub>SW1A</sub>	-	26.5	-	kHz	Ta = 25 °C <sup>(Note 2)</sup>
スイッチング周波数 2A	f <sub>SW2A</sub>	20.5	23.0	25.5	kHz	Ta = 25 °C <sup>(Note 3)</sup>
スイッチング周波数 Line Regulation	f <sub>SW_LINE</sub>	-	0.2	1.0	%	12 V ≤ VDD ≤ 18 V <sup>(Note 3)</sup>
スイッチング周波数 温度特性	f <sub>SW_TEMP</sub>	-	1.0	2.5	%	<sup>(Note 1)</sup> <sup>(Note 2)</sup>
ディスチャージ停止電圧	V <sub>DIS1</sub>	-	2.5	-	V	
ディスチャージ開始電圧	V <sub>DIS2</sub>	-	0.8	-	V	
ディスチャージ ヒステリシス	V <sub>DIS3</sub>	-	1.7	-	V	
ディスチャージ電流 1	I <sub>DIS1</sub>	7.7	8.4	9.0	mA	Ta = 25 °C, V <sub>RTCT</sub> = 2 V
ディスチャージ電流 2	I <sub>DIS2</sub>	7.2	8.4	9.5	mA	V <sub>RTCT</sub> = 2 V
最大 ON デューティ 1A	D <sub>MAX1A</sub>	-	48	-	%	V <sub>FB</sub> < 2.4 V <sup>(Note 2)</sup>
最大 ON デューティ 2A	D <sub>MAX2A</sub>	47	48	50	%	V <sub>FB</sub> < 2.4 V <sup>(Note 3)</sup>
最小 ON デューティ	D <sub>MIN</sub>	-	-	0	%	V <sub>FB</sub> > 2.6 V
[CS ブロック]						
過電流保護電圧	V <sub>OCP</sub>	0.95	1.00	1.05	V	V <sub>FB</sub> < 2.4 V
CS ゲイン	A <sub>CS</sub>	-	3.00	-	V/V	
CS 出力遅延時間	t <sub>DELAY</sub>	-	35	-	ns	
[DRIVER ブロック]						
OUT プルダウン抵抗	R <sub>PDOUT</sub>	-	5.5	15.0	Ω	I <sub>SINK</sub> = 30 mA
OUT プルアップ抵抗	R <sub>PUOUT</sub>	-	10	15	Ω	I <sub>SOURCE</sub> = -30 mA
OUT 立ち上がり時間	t <sub>RISE</sub>	-	25	50	ns	Ta = 25 °C, C <sub>OUT</sub> = 1 nF
OUT 立ち下がり時間	t <sub>FALL</sub>	-	20	40	ns	Ta = 25 °C, C <sub>OUT</sub> = 1 nF

(Note 1) 出荷検査していません

(Note 2) R<sub>RT</sub> = 10 kΩ, C<sub>CT</sub> = 3300 pF(Note 3) R<sub>RT</sub> = 10 kΩ, C<sub>CT</sub> = 4000 pF

特性データ  
(参考データ)

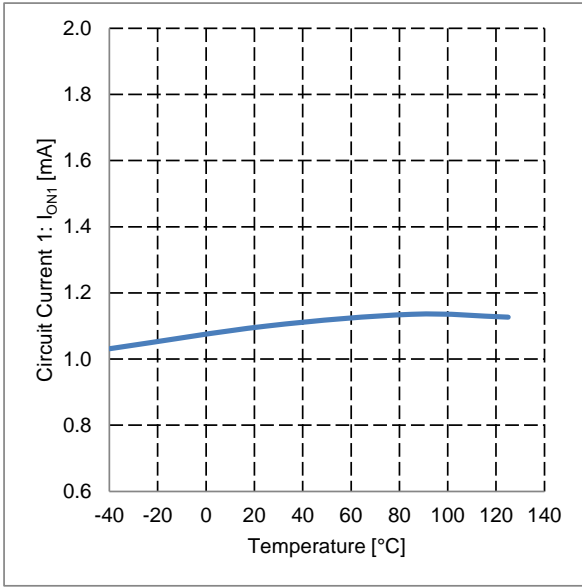


Figure 15. Circuit Current 1 vs Temperature

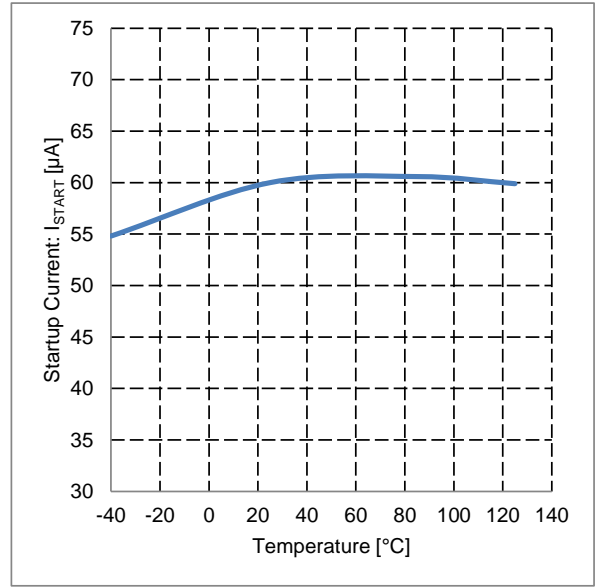


Figure 16. Startup Current vs Temperature

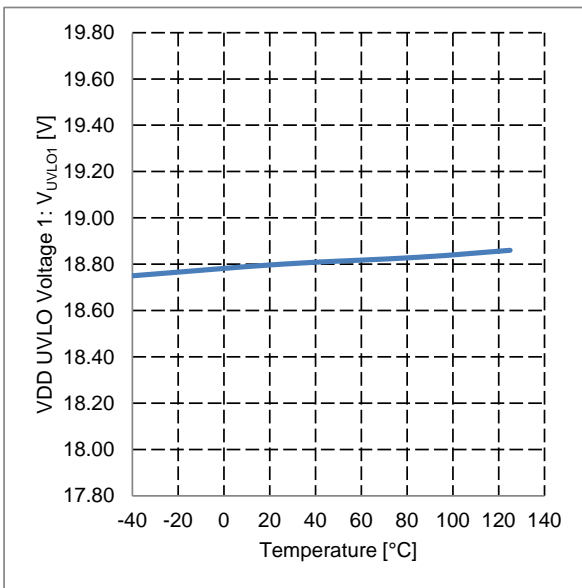


Figure 17. VDD UVLO Voltage 1 vs Temperature

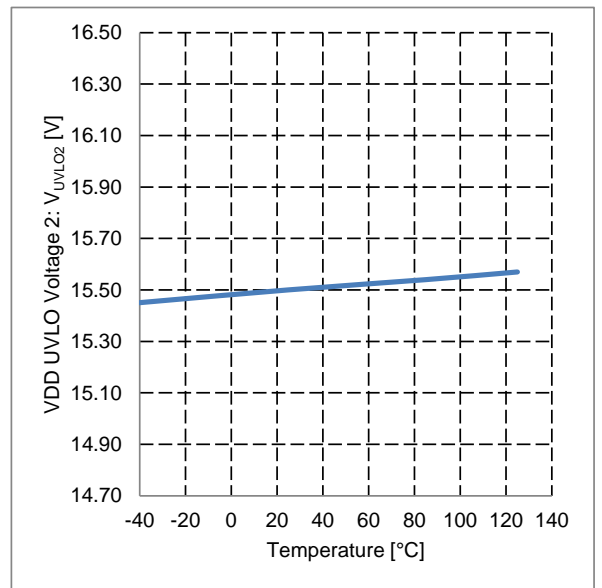


Figure 18. VDD UVLO Voltage 2 vs Temperature

特性データ - 続き  
(参考データ)

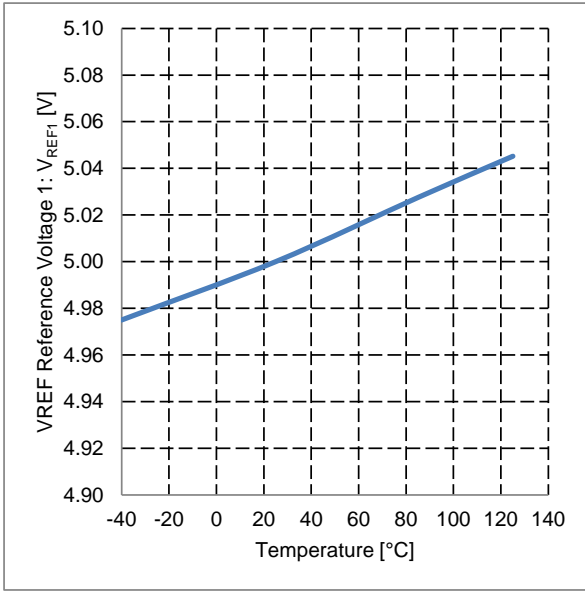


Figure 19. VREF Reference Voltage 1 vs Temperature

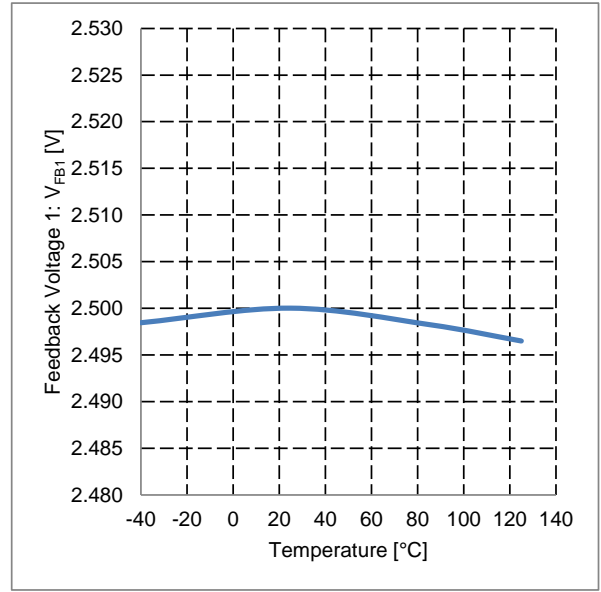


Figure 20. Feedback Voltage 1 vs Temperature

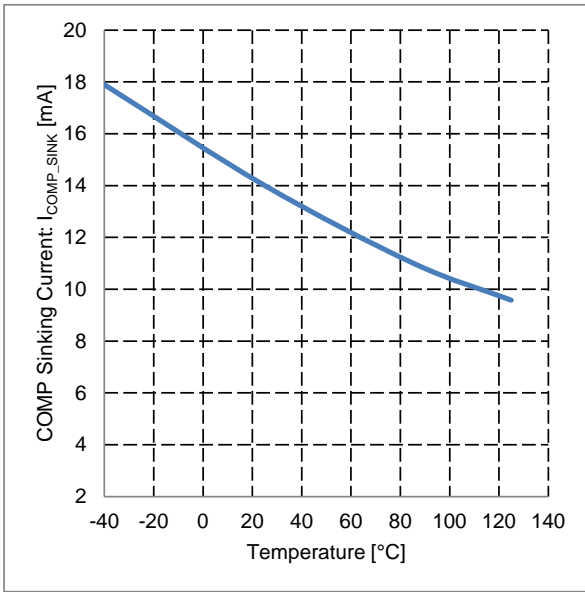


Figure 21. COMP Sinking Current vs Temperature

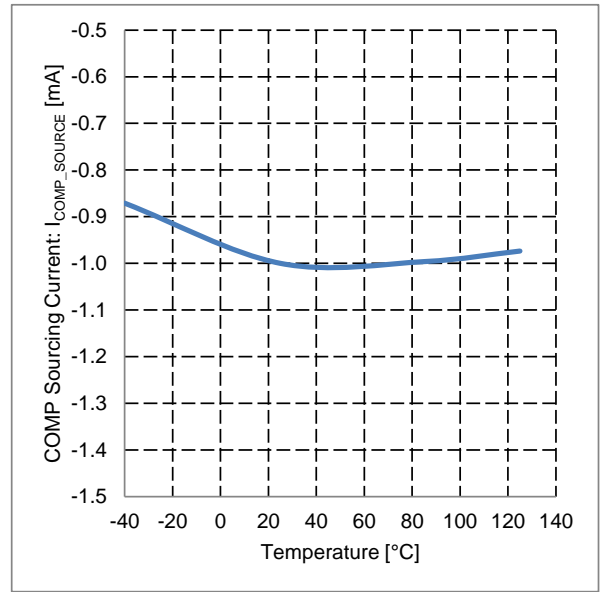


Figure 22. COMP Sourcing Current vs Temperature

特性データ — 続き  
(参考データ)

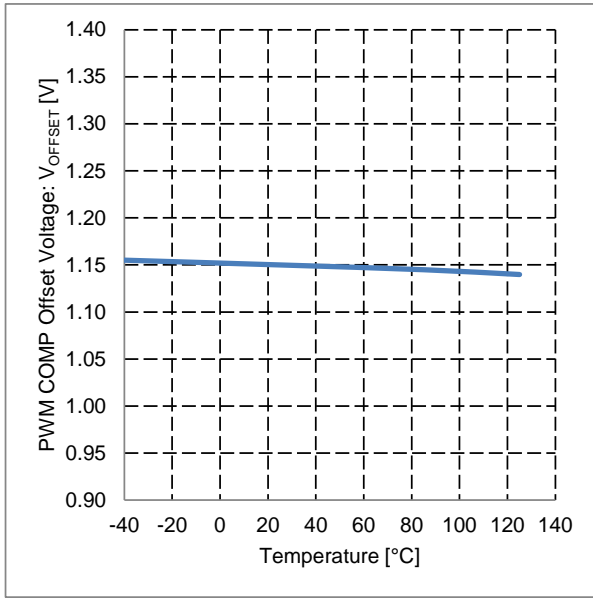


Figure 23. PWM COMP Offset Voltage vs Temperature

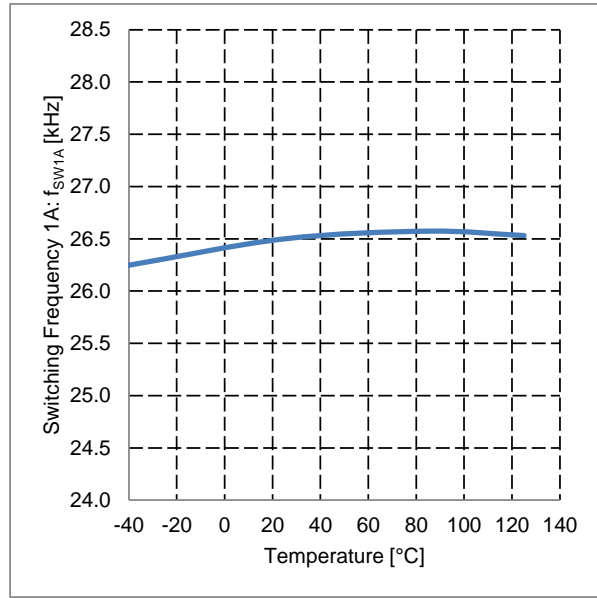


Figure 24. Switching Frequency 1A vs Temperature

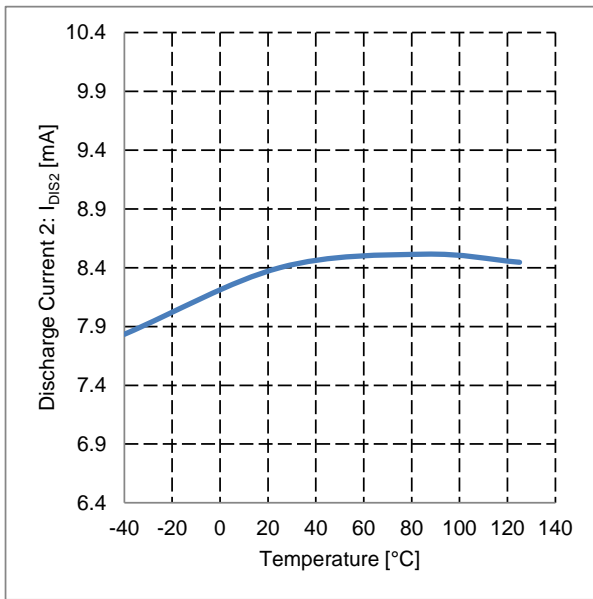


Figure 25. Discharge Current 2 vs Temperature

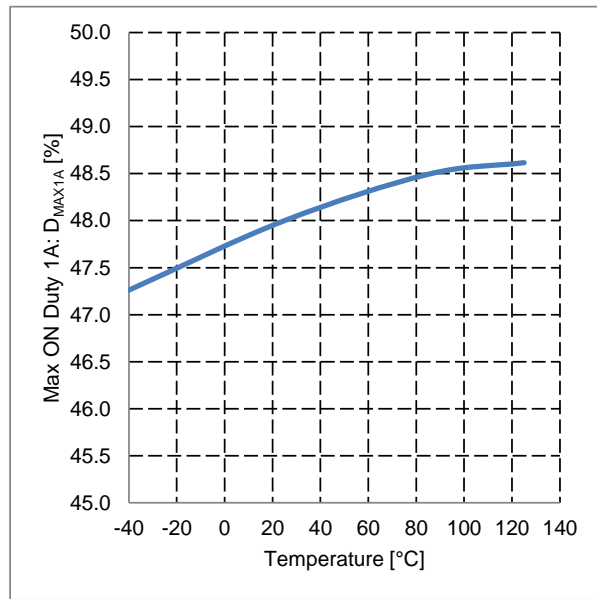


Figure 26. Max ON Duty 1A vs Temperature

特性データ - 続き  
(参考データ)

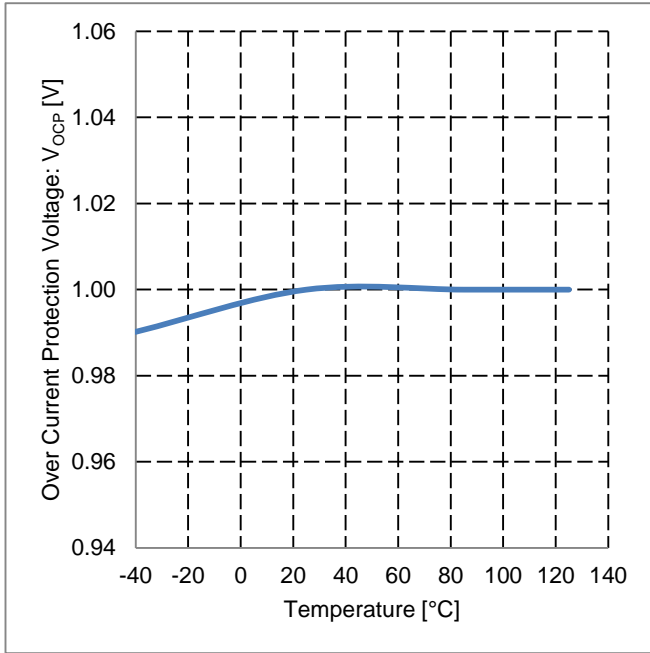


Figure 27. Over Current Protection Voltage vs Temperature

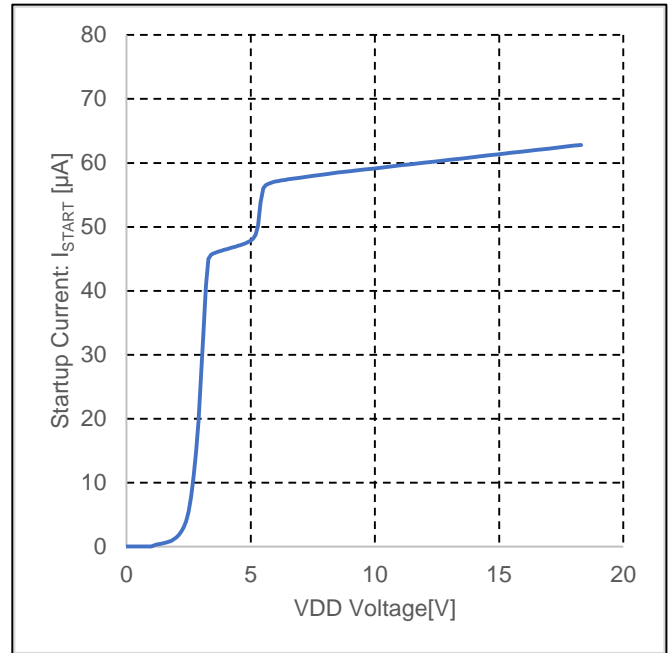


Figure 28. Startup Current vs VDD Voltage

応用回路例

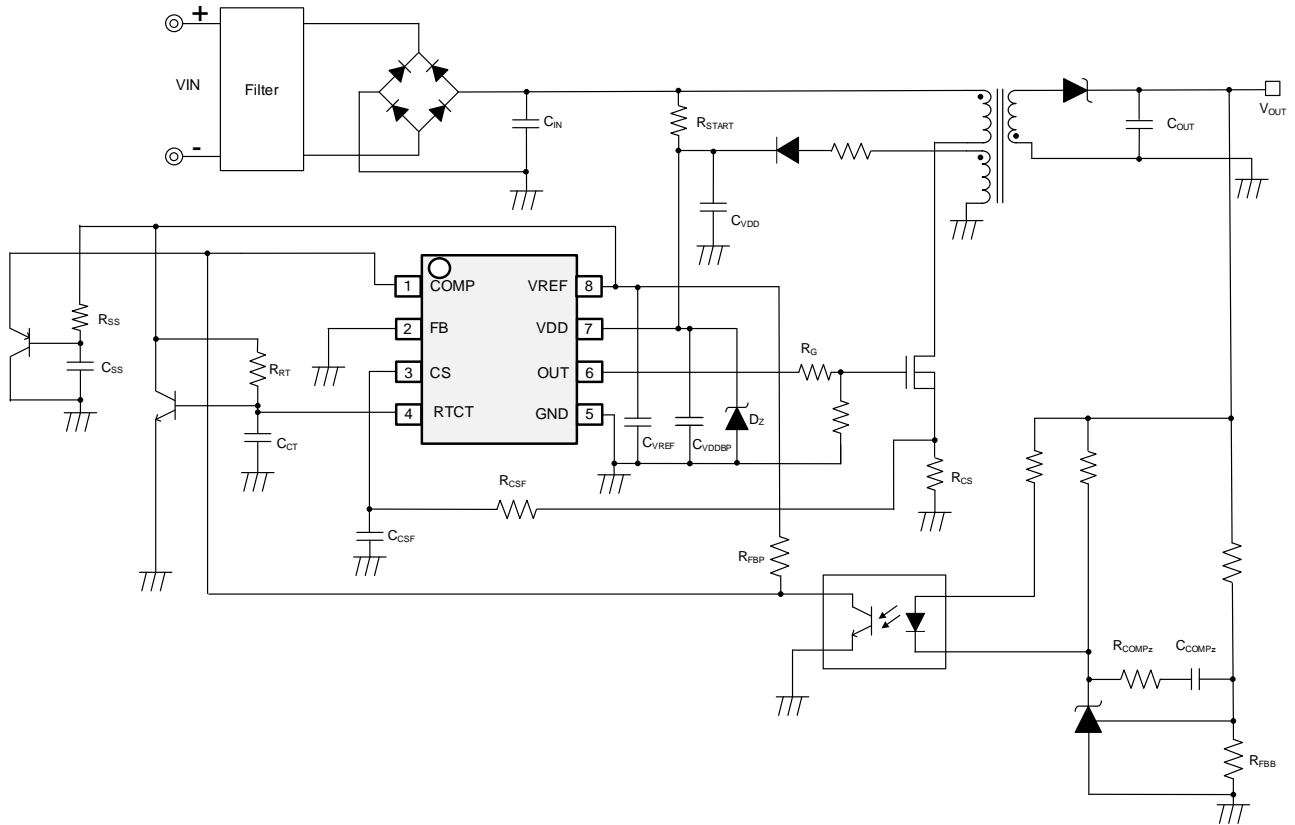


Figure 29. Application Circuit 1

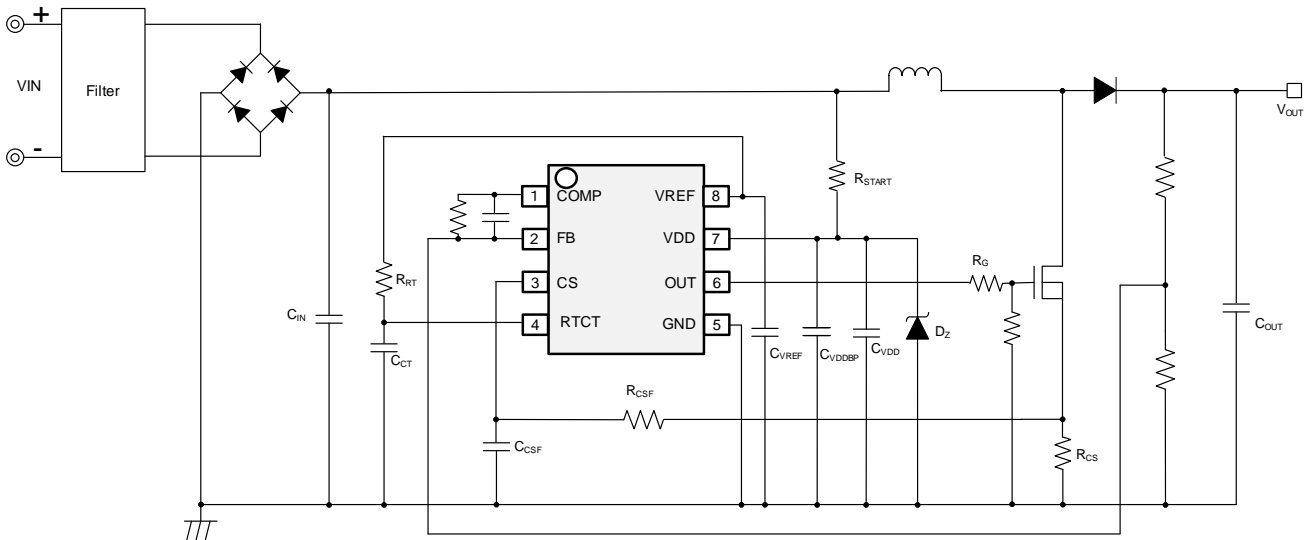
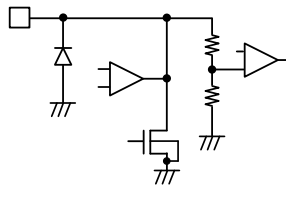
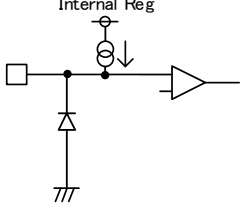
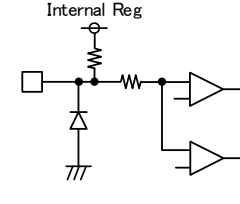
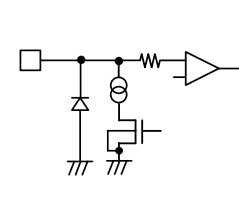

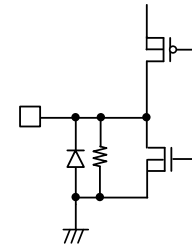
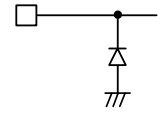
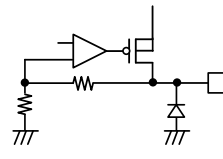


Figure 30. Application Circuit 2

入出力等価回路図

1	COMP	2	FB	3	CS	4	RTCT
							
5	GND	6	OUT	7	VDD	8	VREF
							

## 使用上の注意

## 1. 電源の逆接続について

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れるなどの対策を施してください。

## 2. 電源ラインについて

基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。グラウンドラインについても、同様のパターン設計を考慮してください。また、LSI のすべての電源端子について電源-グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量低下が起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

## 3. グラウンド電位について

機能的に負電位を入出力する端子を除き、グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子、負電位入出力端子以外の端子がグラウンド以下の電圧にならないようにしてください。

## 4. グラウンド配線パターンについて

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

## 5. 推奨動作条件について

推奨動作条件で規定される範囲で IC の機能・動作を保証します。また、特性値は電気的特性で規定される各項目の条件下においてのみ保証されます。

## 6. ラッシュカレントについて

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

## 7. セット基板での検査について

セット基板での検査時に、インピーダンスの低い端子にコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

## 8. 端子間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けた場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

## 9. 未使用の入力端子の処理について

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。



## 使用上の注意 - 続き

## 10. 各入力端子について

本 IC はモノリシック IC であり、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、GND > (端子 A)の時、トランジスタ(NPN)では GND > (端子 B)の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ(NPN)では、GND > (端子 B)の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできません。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に GND(P 基板)より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子が GND にショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

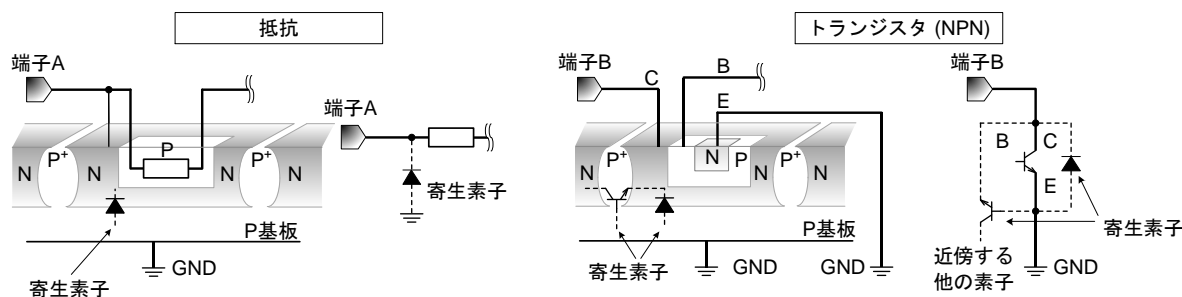


Figure 31. モノリシック IC 構造例

## 11. セラミック・コンデンサの特性変動について

外付けコンデンサに、セラミック・コンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮のうえ、定数を決定してください。

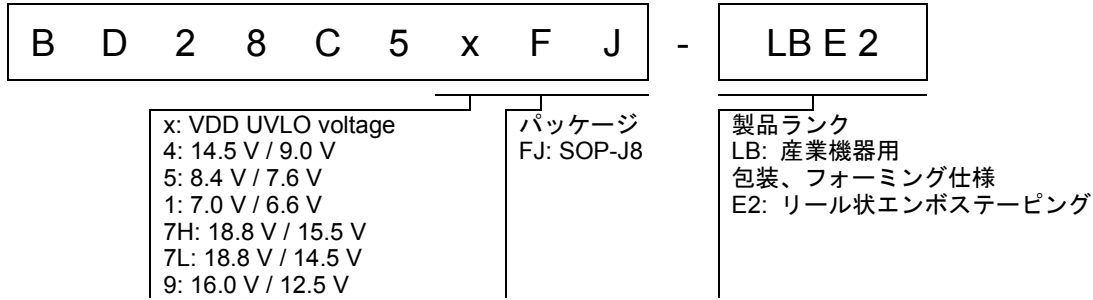
## 12. 温度保護回路について

IC を熱破壊から防ぐための温度保護回路を内蔵しております。最高接合部温度内でご使用いただきますが、万が一最高接合部温度を超えた状態が継続すると、温度保護回路が動作し出力パワー素子が OFF します。その後チップ温度  $T_j$  が低下すると回路は自動で復帰します。なお、温度保護回路は絶対最大定格を超えた状態での動作となりますので、温度保護回路を使用したセット設計などは、絶対に避けてください。

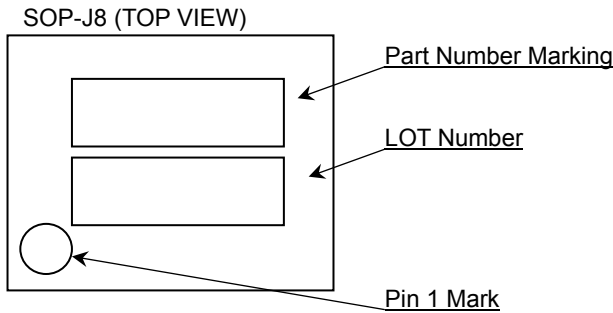
## 13. 過電流保護回路について

出力には電流能力に応じた過電流保護回路が内部に内蔵されているため、負荷ショート時には IC 破壊を防止しますが、この保護回路は突発的な事故による破壊防止に有効なもので、連続的な保護回路動作、過渡時でのご使用に対応するものではありません。

発注形名情報



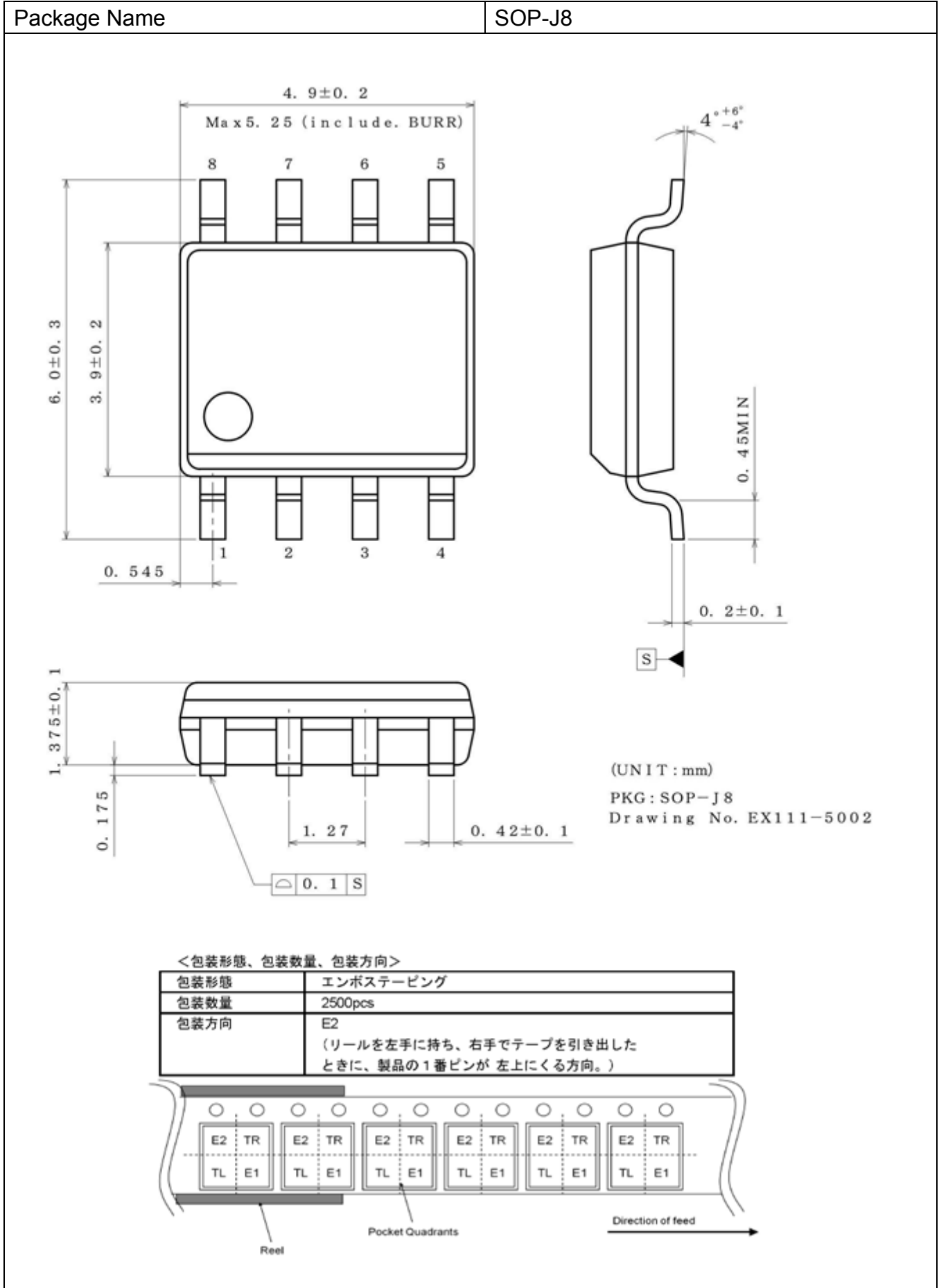
標印図



ラインアップ

Part Number Marking	Orderable Part Number	VDD UVLO	Max ON Duty
8C54	BD28C54FJ-LBE2	14.5 V / 9.0 V	50 %
8C55	BD28C55FJ-LBE2	8.4 V / 7.6 V	
8C57H	BD28C57HFJ-LBE2	18.8 V / 15.5 V	
8C57L	BD28C57LFJ-LBE2	18.8 V / 14.5 V	
8C59 (開発中)	BD28C59FJ-LBE2	16.0 V / 12.5 V	
8C51 (開発中)	BD28C51FJ-LBE2	7.0 V / 6.6 V	

外形寸法図と包装・フォーミング仕様



## 改訂履歴

日付	版	変更内容
2024.02.19	001	新規作成

# ご注意

## ローム製品取扱い上の注意事項

- 極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器<sup>(Note 1)</sup>、航空宇宙機器、原子力制御装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

- 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
  - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
  - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
- 本製品は、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
  - ①水・油・薬液・有機溶剤等の液体中でのご使用
  - ②直射日光・屋外暴露、塵埃中でのご使用
  - ③潮風、Cl<sub>2</sub>、H<sub>2</sub>S、NH<sub>3</sub>、SO<sub>2</sub>、NO<sub>2</sub>等の腐食性ガスの多い場所でのご使用
  - ④静電気や電磁波の強い環境でのご使用
  - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合
  - ⑥本製品を樹脂等で封止、コーティングしてのご使用
  - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用される場合は除く。ただし、残渣については十分に確認をお願いします。)又は、はんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合
  - ⑧結露するような場所でのご使用
- 本製品は耐放射線設計はなされておられません。
- 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
- パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
- 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
- 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
- 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

## 実装及び基板設計上の注意事項

- ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
- はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

## **応用回路、外付け回路等に関する注意事項**

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

## **静電気に対する注意事項**

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。(人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等)

## **保管・運搬上の注意事項**

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
  - ① 潮風、Cl<sub>2</sub>、H<sub>2</sub>S、NH<sub>3</sub>、SO<sub>2</sub>、NO<sub>2</sub>等の腐食性ガスの多い場所での保管
  - ② 推奨温度、湿度以外での保管
  - ③ 直射日光や結露する場所での保管
  - ④ 強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き(梱包箱に表示されている天面方向)で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

## **製品ラベルに関する注意事項**

本製品に貼付されている製品ラベルに2次元バーコードが印字されていますが、2次元バーコードはロームの社内管理のみを目的としたものです。

## **製品廃棄上の注意事項**

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

## **外国為替及び外国貿易法に関する注意事項**

本製品は、外国為替及び外国貿易法に定めるリスト規制貨物等に該当するおそれがありますので、輸出する場合には、ロームへお問い合わせください。

## **知的財産権に関する注意事項**

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等(ソフトウェア含む)との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

## **その他の注意事項**

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

**一般的な注意事項**

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。