

シリパラ LED ドライバ

3 線シリアルインターフェース付き 12ch シリパラ LED ドライバ

BD8379EFV-M

概要

BD8379EFV-M は 35V 高耐圧のシリアル入力パラレル出力制御 LED ドライバです。3 線シリアルデータに応じて 12ch オープンドレイン出力を ON/OFF します。
小型パッケージであるため省スペース化に最適です。

特長

- オープンドレイン出力
- 3 線シリアル制御+イネーブル信号
- カスケード接続対応
- HTSSOP-B20 パッケージ
- 12ch Power Tr 内蔵
- 出力スルーレート Typical 20V/μs (Typ.)
(低 EMC ノイズ)
- AEC-Q100 対応 (Note 1)
(Note 1) Grade2

用途

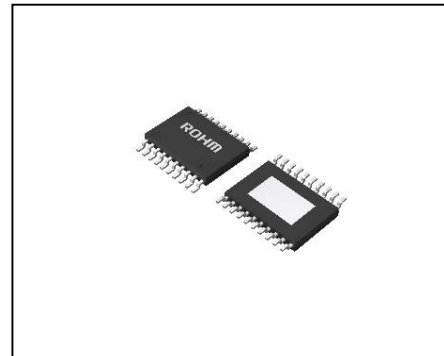
- 車載クラスタパネル・インジケータ向け

重要特性

- 入力電圧範囲 : 3.0V ~ 5.5V
- 出力電圧範囲 : 35V (Max.)
- DC 出力電流 (per CH) : 50mA (Max.)
- 出力 ON 抵抗 : 6Ω (Typ.)
- スタンバイ電流 : 0μA (Typ.)
- 動作温度範囲 : -40°C ~ +105°C

パッケージ

HTSSOP-B20

W(Typ.) x D(Typ.) x H(Max.)
6.50mm x 6.40mm x 1.00mm

基本アプリケーション回路

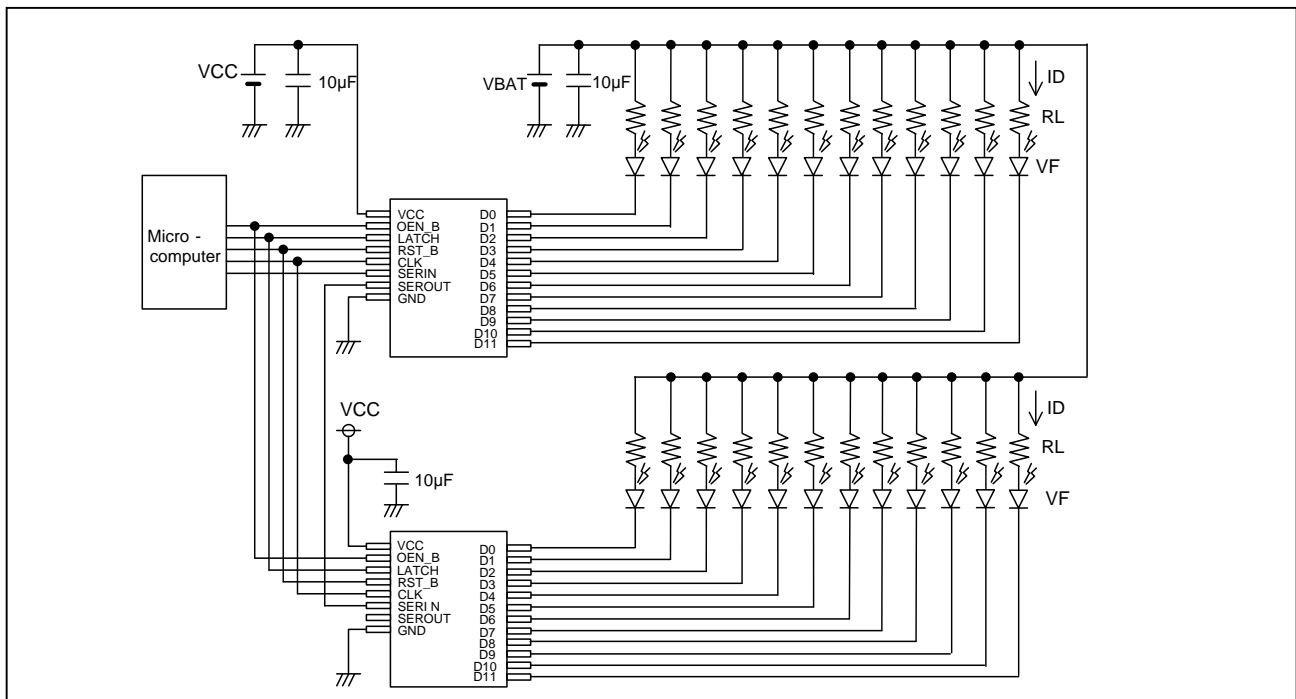


Figure 1. 基本アプリケーション回路

端子配置図

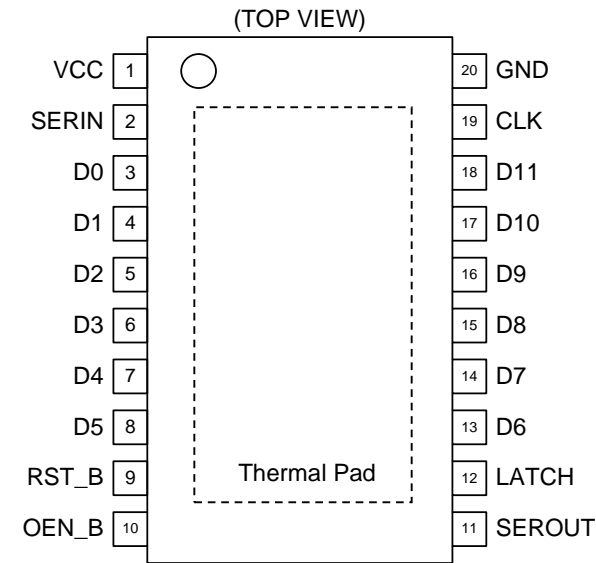


Figure 2. 端子配置図

端子説明

端子番号	記号	機能
1	VCC	電源電圧入力端子
2	SERIN	シリアルデータ入力端子
3	D0	ドレイン出力端子 0
4	D1	ドレイン出力端子 1
5	D2	ドレイン出力端子 2
6	D3	ドレイン出力端子 3
7	D4	ドレイン出力端子 4
8	D5	ドレイン出力端子 5
9	RST_B	リセット反転入力端子 (Low :FF データ 0)
10	OEN_B	シャットダウン入力端子 (High:出力 OFF)
11	SEROUT	シリアルデータ出力端子
12	LATCH	ラッチ信号入力端子(High:データをラッチ)
13	D6	ドレイン出力端子 6
14	D7	ドレイン出力端子 7
15	D8	ドレイン出力端子 8
16	D9	ドレイン出力端子 9
17	D10	ドレイン出力端子 10
18	D11	ドレイン出力端子 11
19	CLK	クロック入力端子
20	GND	GND 端子
-	Thermal PAD	裏面の放熱 PAD GND に接続してください

ブロック図

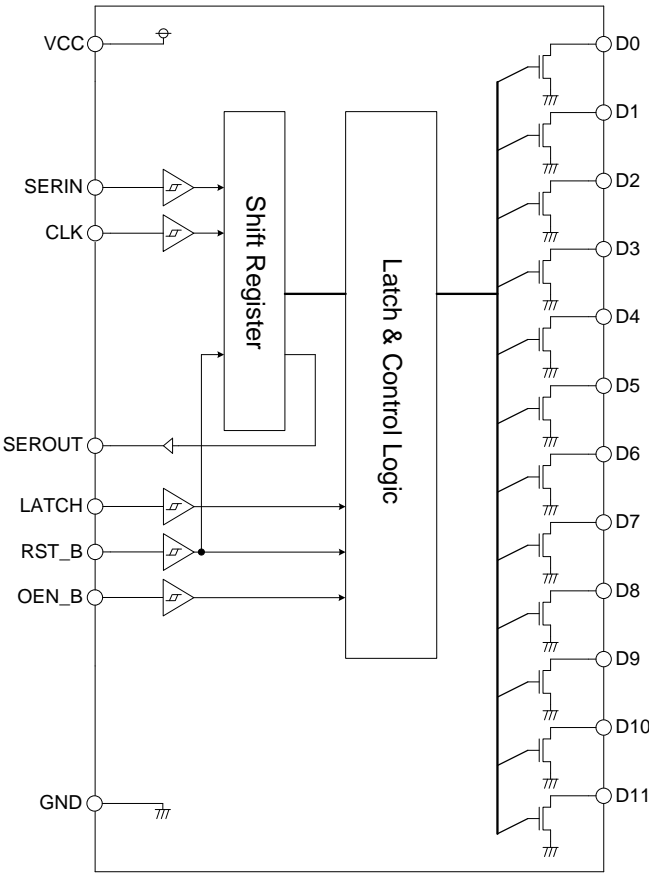


Figure 3. ブロック図

絶対最大定格

項 目	記号	定 格	単 位
電源電圧	VCC	7	V
出力電圧	VDmax	35	V
入力電圧	VIN	-0.3 ~ VCC	V
動作温度範囲	Topr	-40 ~ +105	°C
保存温度範囲	Tstg	-55 ~ +150	°C
出力電流能力(DC)	IomaxD	50	mA
出力電流能力(Pulse)	IomaxP	150 ^{*1}	mA
ジャンクション温度	Tjmax	150	°C

注意：印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施して頂けるようご検討をお願いします。

推奨動作範囲

項 目	記号	定 格	単 位
電源電圧	VCC	3.0 ~ 5.5	V
動作温度	Topr	-40 ~ 105	°C

熱抵抗 (Note 1)

項 目	記号	熱抵抗(Typ)		単 位
		1 層基板 (Note 3)	4 層基板 (Note 4)	
HTSSOP-B20				
ジャンクションー周囲温度間熱抵抗	θ_{JA}	143.0	26.8	°C/W
ジャンクションーパッケージ上面中心間熱特性パラメータ (Note 2)	Ψ_{JT}	8	4	°C/W

(Note 1) JESD51-2A(Still-Air) に準拠。

(Note 2) ジャンクションからパッケージ (モールド部分) 上面中心までの熱特性パラメータ。

(Note 3) JESD51-3 に準拠した基板を使用。

測定基板	基板材	基板寸法
1 層	FR-4	114.3mm x 76.2mm x 1.57mm
1 層目 (表面) 銅箔		
銅箔パターン	銅箔厚	
実装ランドパターン +電極引出し用配線	70μm	

(Note 4) JESD51-5、7 に準拠した基板を使用。

測定基板	基板材	基板寸法		サーマルビア (Note 5)	
				ピッチ	直径
4 層	FR-4	114.3mm x 76.2mm x 1.6mmt		1.20mm	Φ0.30mm
1 層目（表面）銅箔		2 層目、3 層目（内層）銅箔		4 層目（裏面）銅箔	
銅箔パターン	銅箔厚	銅箔パターン	銅箔厚	銅箔パターン	銅箔厚
実装ランドパターン +電極引出し用配線	70μm	74.2mm (正方形)	35μm	74.2mm (正方形)	70μm

(Note 5) 貫通ビア。全層の銅箔と接続する。配置はランドパターンに従う。

電氣的特性

(特に指定のない限り、Ta=-40 ~ 105°C VCC=3.0 ~ 5.5V)

項 目	記号	規 格 値			単位	条 件
		最小	標準	最大		
【出力部 D0 ~ D11】						
ON 抵抗 1	RON1	-	6	12	Ω	ID=20mA、VCC=4.5 ~ 5.5V
ON 抵抗 2	RON2	-	9	18	Ω	ID=20mA、VCC=3.0 ~ 4.5V
出力リーク電流 1	IDL1	-	-	0.3	μA	VD=34V、TA=-40 ~ 125°C
【ロジック入力部】						
上限スレッシュホールド電圧 1	VTH1	VCC x0.5	-	-	V	VCC=4.5 ~ 5.5V
上限スレッシュホールド電圧 2	VTH2	VCC x0.6	-	-	V	VCC=3.0 ~ 4.5V
下限スレッシュホールド電圧 1	VTL1	-	-	VCC x0.2	V	VCC=4.5 ~ 5.5V
下限スレッシュホールド電圧 2	VTL2	-	-	VCC x0.3	V	VCC=3.0 ~ 4.5V
OEN_B 端子ヒステリシス幅	VHYS	0.15	0.30	0.50	V	VCC=5V、OEN_B 端子
シリアルクロック周波数	FCLK	-	-	1.25	MHz	
入力リーク電流 Low	IINLL	-5	0	-	μA	VIN=0V
入力リーク電流 High	IINLH	-	0	5	μA	VIN=5V
【全体】						
動作電流	ICC	-	0.05	1	mA	シリアルデータ入力、 VCC=5V、CLK=500kHz、 VTH=VCC、VTL=0V、 SEROUT=OPEN
静止電流	ISTN	-	0	50	μA	SEROUT=OPEN
【SER OUT 部】						
出力電圧 High1	VOH1	4.6	4.8	-	V	VCC=5V、ISO=-4mA
出力電圧 Low1	VOL1	-	0.2	0.4	V	VCC=5V、ISO=4mA
出力電圧 High2	VOH2	2.7	3.0	-	V	VCC=3.3V、ISO=-4mA
出力電圧 Low2	VOL2	-	0.3	0.6	V	VCC=3.3V、ISO=4mA

特性データ(参考データ)

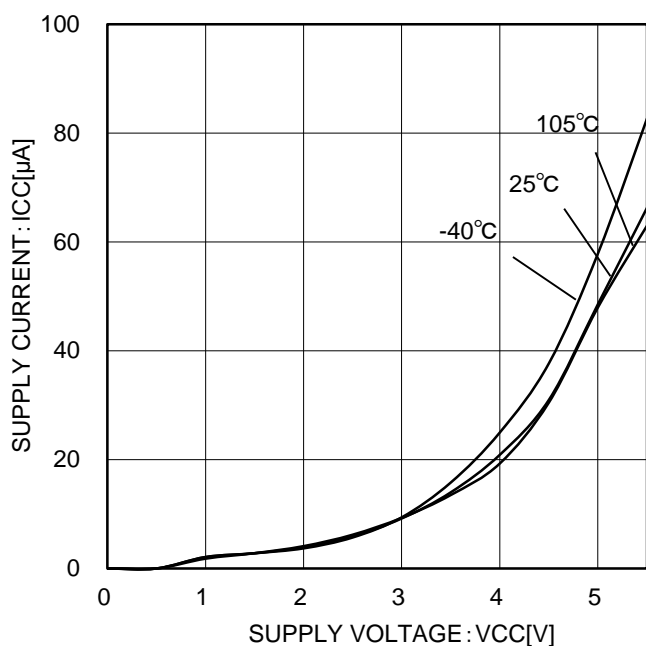


Figure 4. 回路電流 (電源電圧特性)

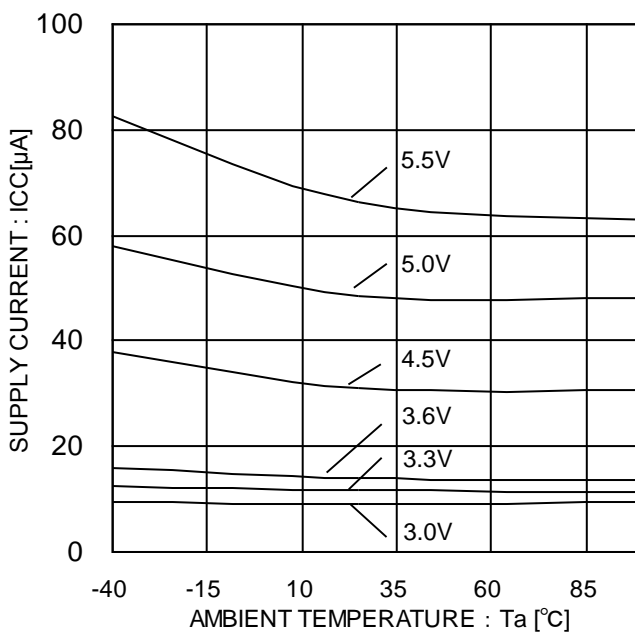
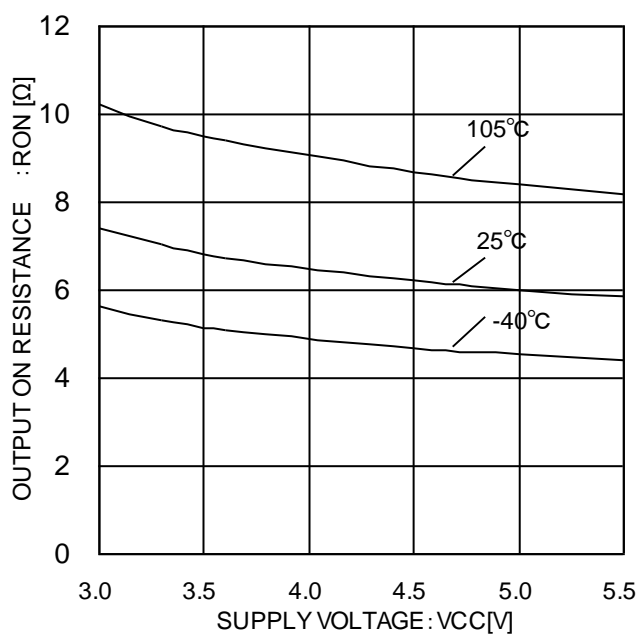
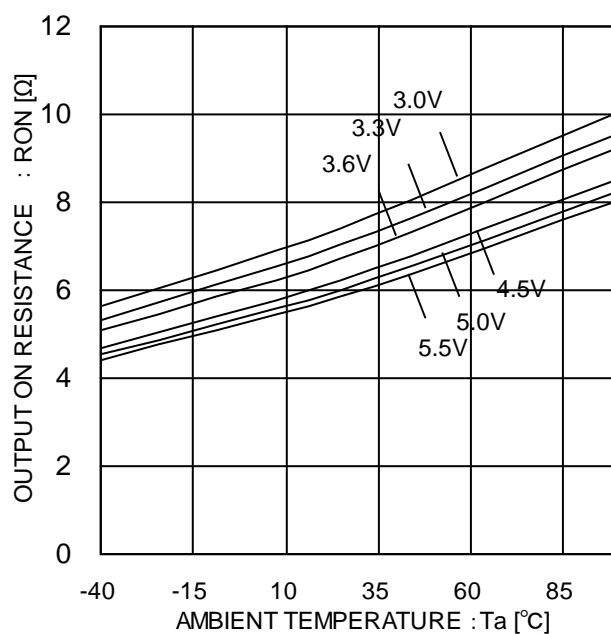


Figure 5. 回路電流 (温度特性)

Figure 6. 出力 ON 抵抗
(電源電圧特性 @ $I_D=20\text{mA}$)Figure 7. 出力 ON 抵抗
(温度特性 @ $I_D=20\text{mA}$)

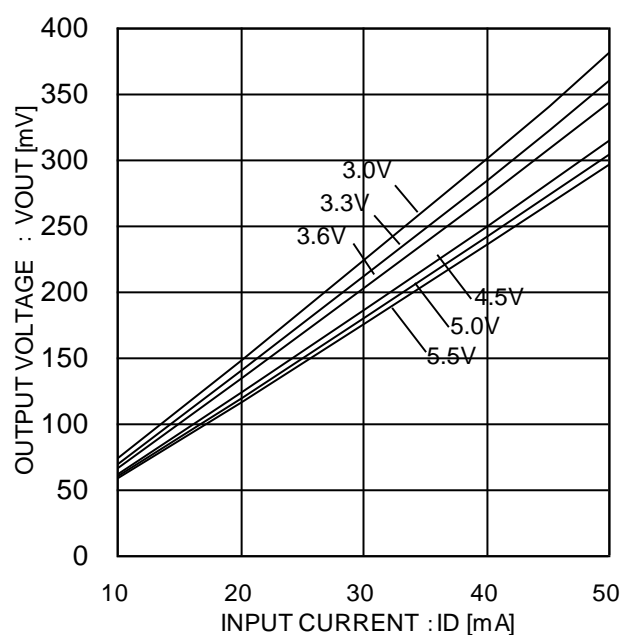


Figure 8. 出力 ON 抵抗
(出力電流特性)

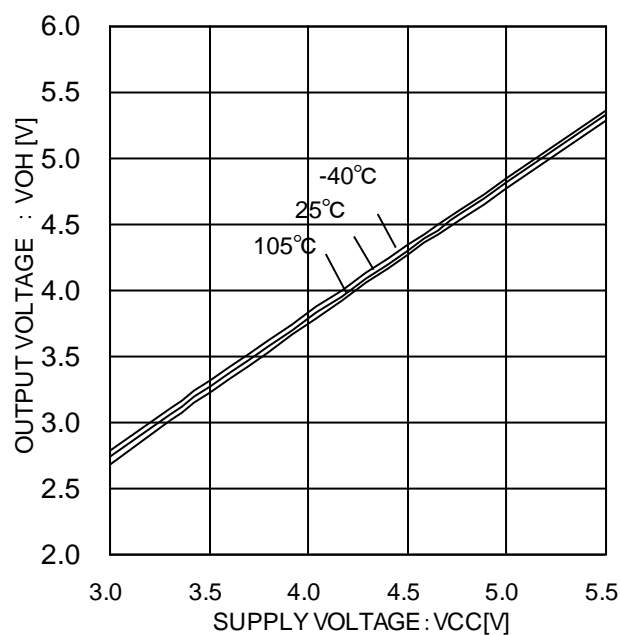


Figure 9. SEROUT 部 出力電圧 High
(電源電圧特性 @ ISO=-4mA)

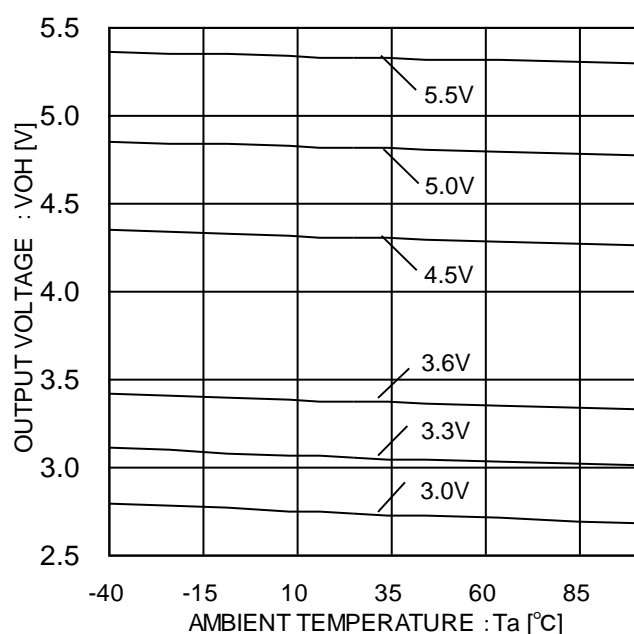


Figure 10. SEROUT 部 出力電圧 High
(温度特性 @ ISO=-4mA)

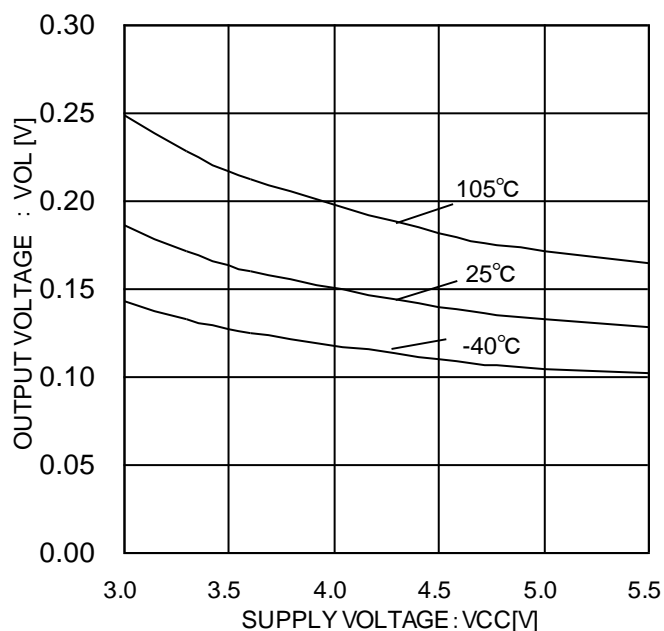


Figure 11. SEROUT 部 出力電圧 Low
(電源電圧特性 @ ISO=4mA)

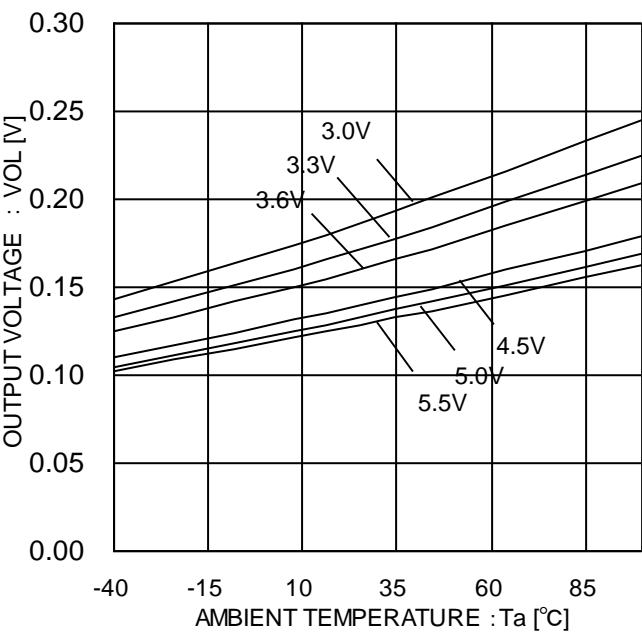


Figure 12. SEROUT 部 出力電圧 Low
(温度特性 @ ISO=4mA)

シリアル通信

シリアル I/F は CLK、SERIN のシリアル信号をパラレル信号へ変換するシフトレジスタとその信号を LATCH 信号により記憶するためのレジスタで構成されています。RST_B 端子に VTL 以下の電圧を印加することで、レジスタはリセットされ、D11 ~ D0 はオープン状態となります。IC 起動時の LED 誤点灯を防ぐため電源立上げ時には、RST_B に VTL 以下の電圧を印加してください。

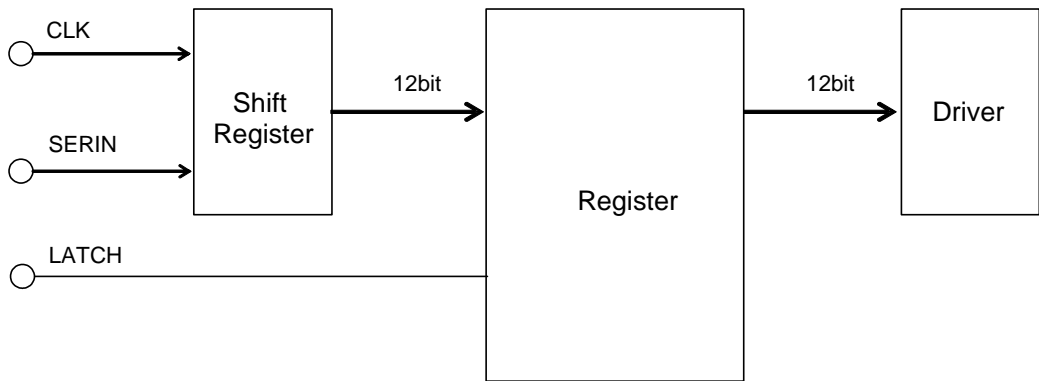


Figure 13. シリアル通信ブロック図

- 1) シリアル通信タイミング
- SERIN より入力される 12 ビットのシリアルデータは、CLK 端子に入力される信号の立ち上がりでシフトレジスタに取り込まれ、さらに LATCH 端子に入力される信号の立ち上がりでレジスタに記憶されます。
取り込まれたデータは次に入力される LATCH 信号の立ち上がりまで有効となります。
- 2) シリアル通信データ
- SERIN 端子に入力するシリアルデータの構成を以下に示します。

First →											→Last
d11	d10	d9	d8	d7	d6	d5	d4	d3	d2	d1	d0
Data											

Terminal	Output Condition	Data											
		d11	d10	d9	d8	d7	d6	d5	d4	d3	d2	d1	d0
D11	ON	1	*	*	*	*	*	*	*	*	*	*	*
	OFF	0	*	*	*	*	*	*	*	*	*	*	*
D10	ON	*	1	*	*	*	*	*	*	*	*	*	*
	OFF	*	0	*	*	*	*	*	*	*	*	*	*
D9	ON	*	*	1	*	*	*	*	*	*	*	*	*
	OFF	*	*	0	*	*	*	*	*	*	*	*	*
D8	ON	*	*	*	1	*	*	*	*	*	*	*	*
	OFF	*	*	*	0	*	*	*	*	*	*	*	*
...
D3	ON	*	*	*	*	*	*	*	*	1	*	*	*
	OFF	*	*	*	*	*	*	*	*	0	*	*	*
D2	ON	*	*	*	*	*	*	*	*	*	1	*	*
	OFF	*	*	*	*	*	*	*	*	*	0	*	*
D1	ON	*	*	*	*	*	*	*	*	*	*	1	*
	OFF	*	*	*	*	*	*	*	*	*	*	0	*
D0	ON	*	*	*	*	*	*	*	*	*	*	*	1
	OFF	*	*	*	*	*	*	*	*	*	*	*	0

*は Don't care を示します。

3) イネーブル信号

OEN_B 端子に VTH 以上の電圧を印加することで、D11 ~ D0 を強制的にオープン状態とすることができます。
また PWM 入力することで、全出力を同時に PWM 出力することができます。

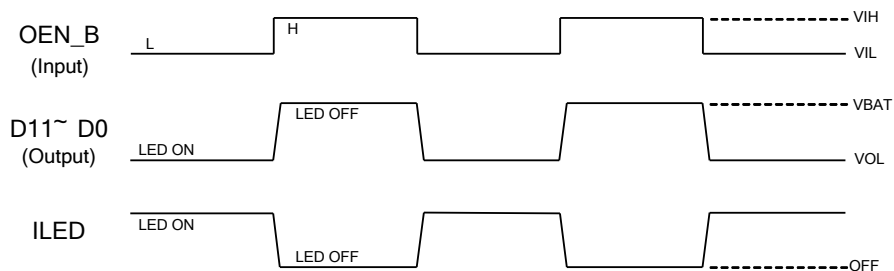


Figure 14. PWM 駆動方法

4) SEROUT

カスケード接続（本 IC を 2 個以上シリアルに接続）する場合に使用します。

SERIN 端子から入力されたシリアル信号を CLK 信号の立ち下がりで受信側 IC へシリアル転送を行います。よって受信側 IC の CLK 信号に対する Setup 時間が増加するため送信側 IC と同一 CLK 信号の使用においてカスケード接続機能の信頼性が上がります。

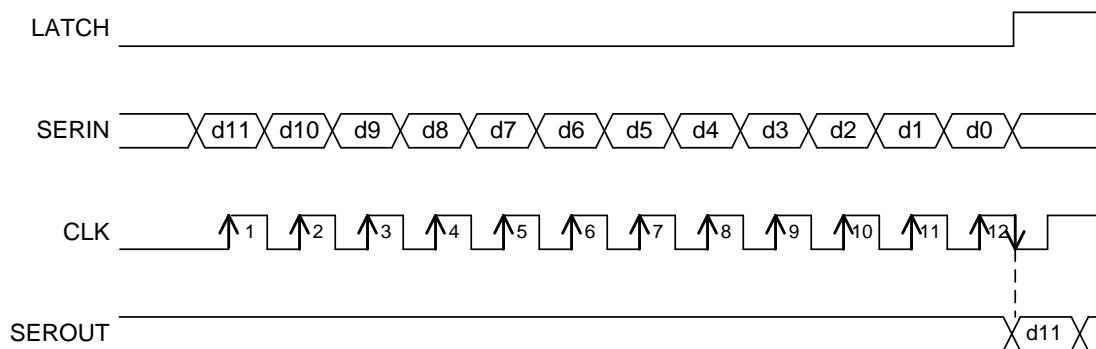


Figure 15. SEROUT 出力動作

カスケード接続

本 IC を 2 個（以上）使用することで、各 IC の D11 ~ D0 を 24ch（以上）として 24bit の SERIN 信号で制御することができます。送信側 IC へ入力されたシリアルデータは、CLK 端子に 12 クロック入力することで受信側 IC へ転送を行うことができます。

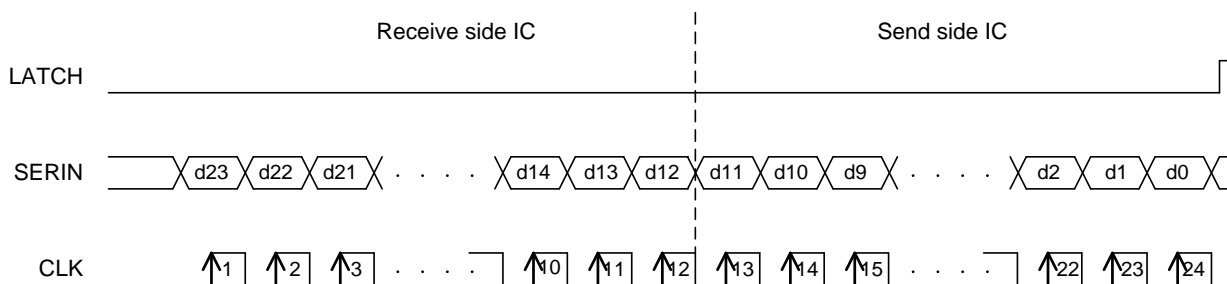


Figure 16. カスケード接続

入力信号のタイミングチャート

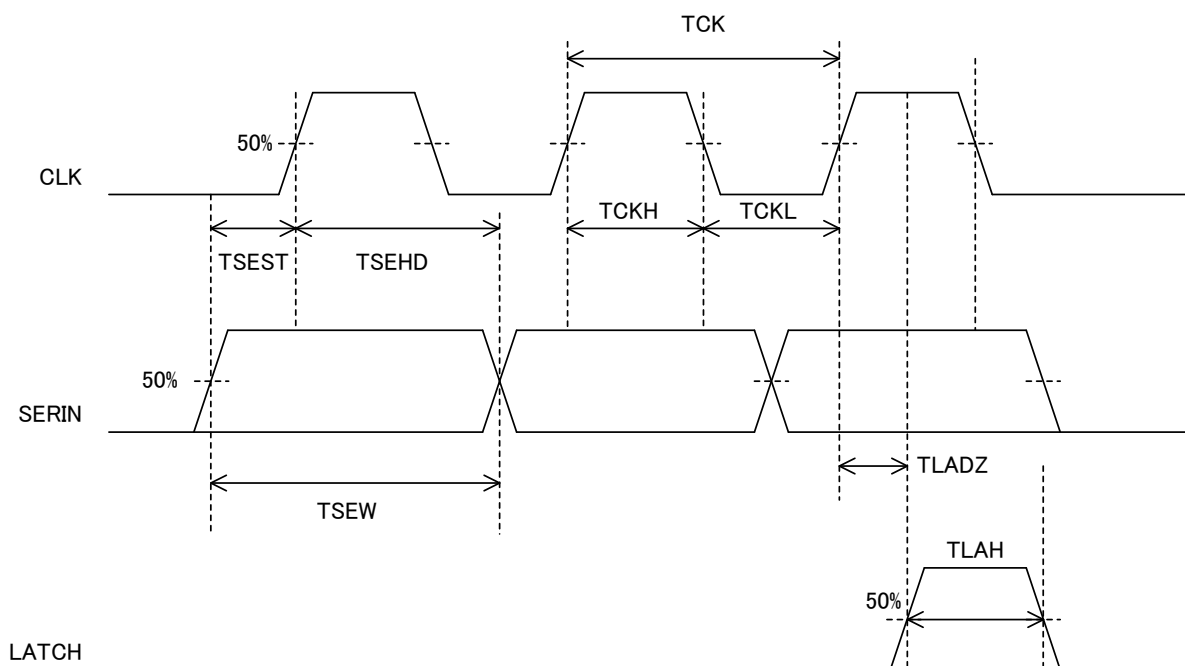


Figure 17. 入力信号タイミングチャート

入力信号のタイミング規定 (Ta=-40 ~ 105°C VCC=3.0V ~ 5.5V)

項目	記号	最小	単位
CLK 周期	TCK	800	ns
CLK High パルス幅	TCKH	380	ns
CLK Low パルス幅	TCKL	380	ns
SERIN High and Low パルス幅	TSEW	780	ns
SERIN セットアップ時間	TSEST	150	ns
SERIN ホールド時間	TSEHD	150	ns
LATCH High パルス時間	TLAH	380	ns
Last CLK rise to LATCH rise	TLADZ	200	ns

出力信号の遅延チャート

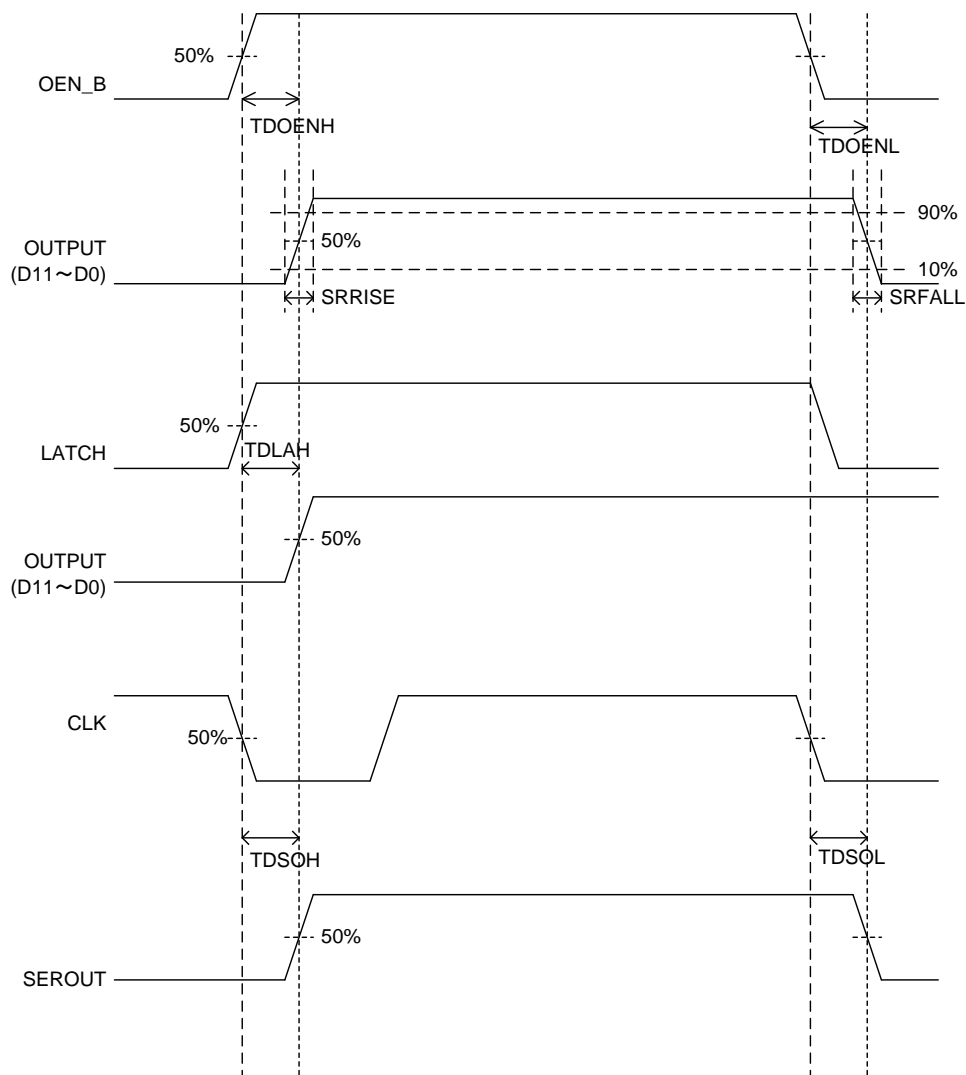
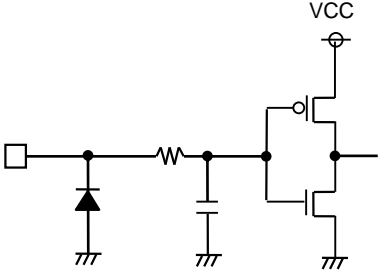
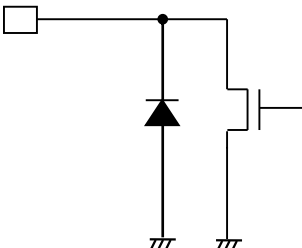
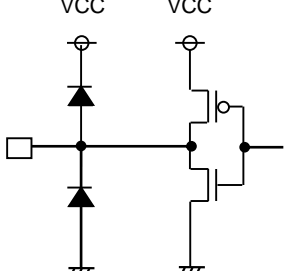


Figure 18. 出力信号タイミングチャート

●出力信号の遅延時間 (Ta=-40 ~ 105°C VCC=3.0V ~ 5.5V)

項目	記号	最小	標準	最大	単位	条件
OEN_B Switching 時間 (Low→High)	TDOENH	-	-	3000	ns	
OEN_B Switching 時間 (High→Low)	TDOENL	-	-	2000	ns	
LATCH Switching 遅延時間	TDLAH	-	-	3000	ns	
SEROUT 伝搬遅延時間 (Low→High)	TDSOH	-	-	350	ns	
SEROUT 伝搬遅延時間 (High→Low)	TDSOL	-	-	350	ns	
出力立ち上がり Slew Rate	SRRISE	-	20	-	V/μs	Ta=25°C、VCC=5V、 RL=500Ω、VBAT=10V
出力立ち下がり Slew Rate	SRFALL	-	20	-	V/μs	Ta=25°C、VCC=5V、 RL=500Ω、VBAT=10V

入出力等価回路図

Pin2 (SERIN) Pin9 (RST_B) Pin10 (SDWN) Pin12 (LATCH) Pin19 (CLK)	3PIN (D0)、4PIN (D1)、5PIN (D2)、 6PIN (D3)、7PIN (D4)、8PIN (D5)、 13PIN (D6)、14PIN (D7)、15PIN (D8)、 16PIN (D9)、17PIN (D10)、18PIN (D11)	Pin11 (SEROUT)
		

() 内は端子名

使用上の注意

1. 電源の逆接続について

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れるなどの対策を施してください。

2. 電源ラインについて

基板パターン設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。その際、デジタル系電源とアナログ系電源は、それらが同電位であっても、デジタル系電源パターンとアナログ系電源パターンは分離し、配線パターンの共通インピーダンスによるアナログ電源へのデジタル・ノイズの回り込みを抑止してください。グラウンドラインについても、同様のパターン設計を考慮してください。

また、LSI のすべての電源端子について電源-グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量低下が起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

3. グラウンド電位について

グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。

4. グラウンド配線パターンについて

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

5. 熱設計について

万一、最高接合部温度を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。本仕様書の絶対最大定格に記載しています最高接合部温度を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用するなどの対策をして、最高接合部温度を超えないようにしてください。

6. 推奨動作条件について

この範囲であればほぼ期待通りの特性を得ることができる範囲です。電気特性については各項目の条件下において保証されるものです。

7. ラッシュカレントについて

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

8. 強電磁界中の動作について

強電磁界中でのご使用では、まれに誤動作する可能性がありますのでご注意ください。

9. セット基板での検査について

セット基板での検査時に、インピーダンスの低いピンにコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

使用上の注意 — 続き

10. 端子間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けした場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

11. 未使用の入力端子の処理について

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

12. 各入力端子について

本 IC はモノリシック IC であり、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、 $GND > (\text{端子 A})$ の時、トランジスタ (NPN) では $GND > (\text{端子 B})$ の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ (NPN) では、 $GND > (\text{端子 B})$ の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に GND (P 基板) より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子が GND にショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

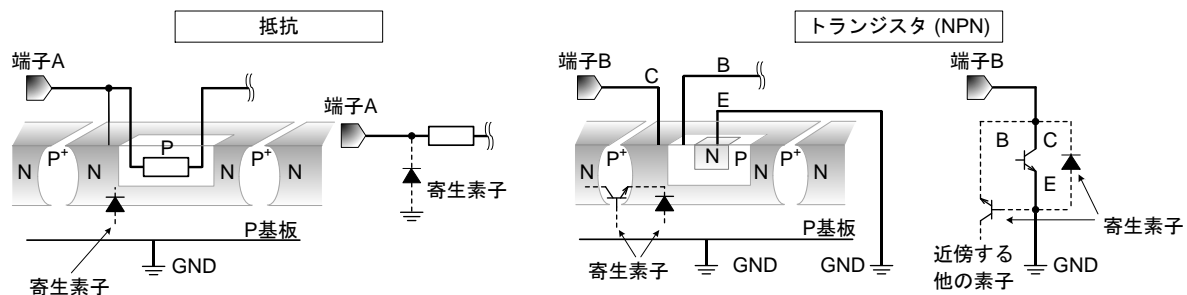


Figure 19. モノリシック IC 構造例

13. セラミック・コンデンサの特性変動について

外付けコンデンサに、セラミック・コンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮のうえ定数を決定してください。

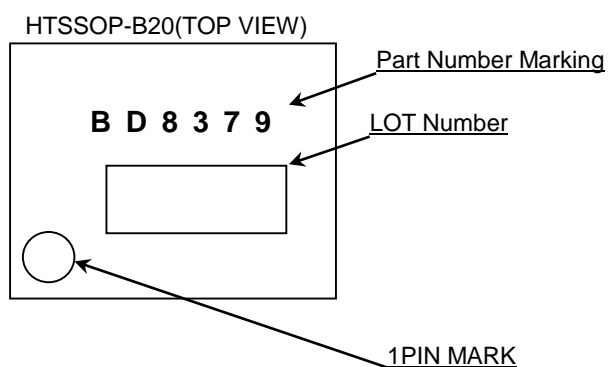
14. 安全動作領域について

本製品を使用する際には、出力トランジスタが絶対最大定格及び ASO を超えないよう設定してください。

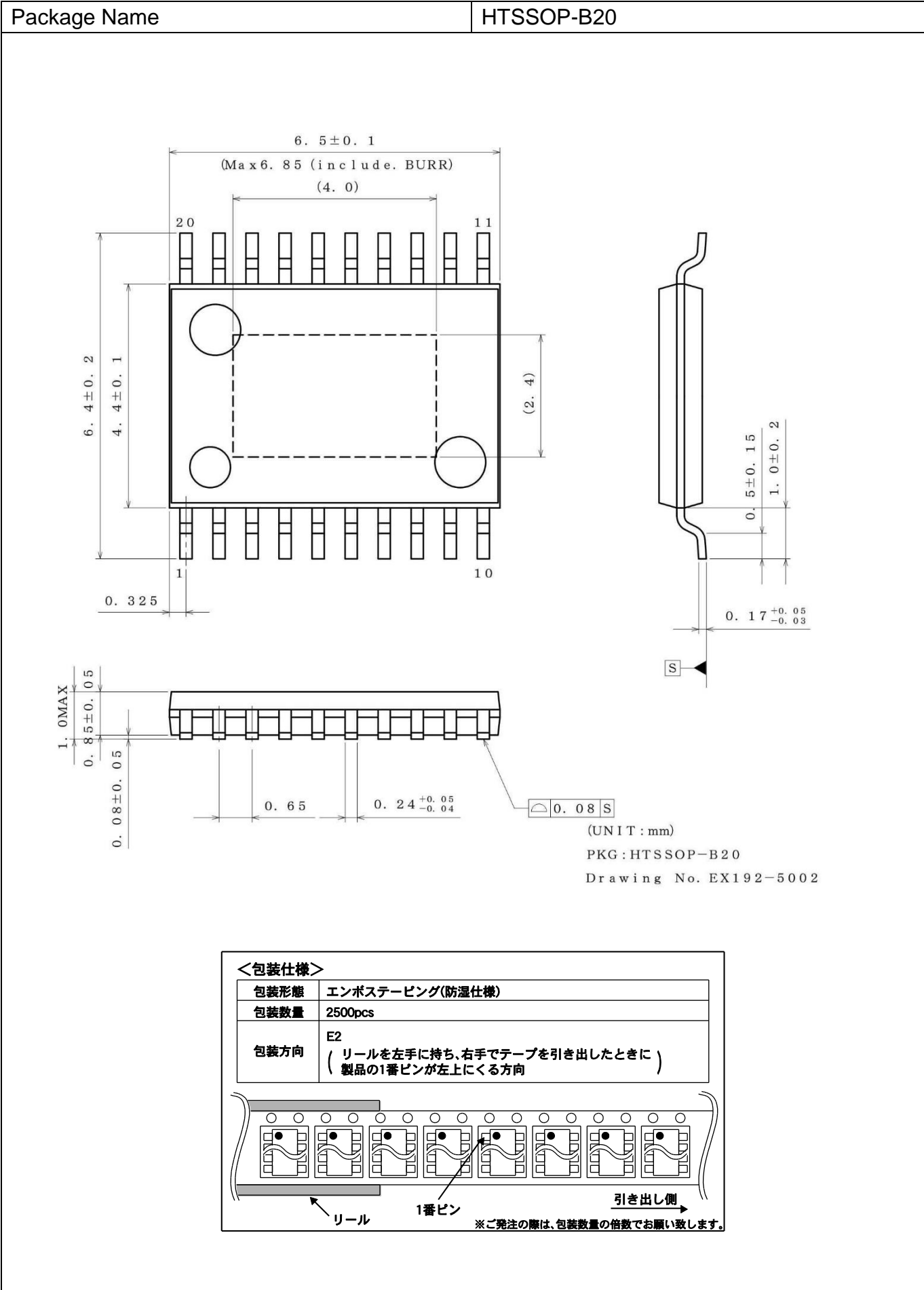
発注形名情報

B D 8 3 7 9 E F V	-	M E 2
品番	パッケージ EFV: HTSSOP-B20	包装、フォーミング仕様 M: 高信頼性設計 E2: リール状エンボステーパーピング (HTSSOP-B20)

標印図



外形寸法図と包装・フォーミング仕様



改訂履歴

日付	Revision	変更内容
16/03/14	001	新規登録
16/06/01	002	Revision No 更新のみ

ご注意

ローム製品取扱い上の注意事項

- 極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器^(Note 1)、航空宇宙機器、原子力制御装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

- 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
- 本製品は、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用
 - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用された場合も、残渣の洗浄は確実にすることをお薦め致します)、又ははんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合
 - ⑧結露するような場所でのご使用
- 本製品は耐放射線設計はなされておられません。
- 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
- パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
- 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
- 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
- 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

- ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
- はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。
その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。（人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等）

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
 - ① 潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ② 推奨温度、湿度以外での保管
 - ③ 直射日光や結露する場所での保管
 - ④ 強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱いください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルに2次元バーコードが印字されていますが、2次元バーコードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は、外国為替及び外国貿易法に定めるリスト規制貨物等に該当するおそれがありますので、輸出する場合には、ロームへお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等（ソフトウェア含む）との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。