

# DDR-SDRAM 用 ターミネーション用リニア電源

## BD3532F

### 概要

BD3532F は、JEDEC 準拠の DDR-SDRAM に対応する、ターミネーション・レギュレータです。N-MOSFET を内蔵しシンク/ソースで最大 3A まで供給できるリニア電源です。内部の OP-AMP を高速設計することで優れた過渡応答特性を実現しています。内部の N-MOSFET を駆動するため、バイアス用電源に、5.0V が必要です。JEDEC で定められた電圧精度を保つために、独立した基準入力ピン (VDDQ) と独立したフィードバックピン (VTTS) を持っており、優れた出力電圧精度、ロードレギュレーションを実現しています。また、DDR-SDRAM、メモリーコントローラ用の基準電源出力ピン (VREF) を持っています。EN ピン =L の場合、VTT 出力は、Hi-Z となっていますが、VREF 出力は維持されており、DDR-SDRAM の Self Refresh ステートに対応しています。

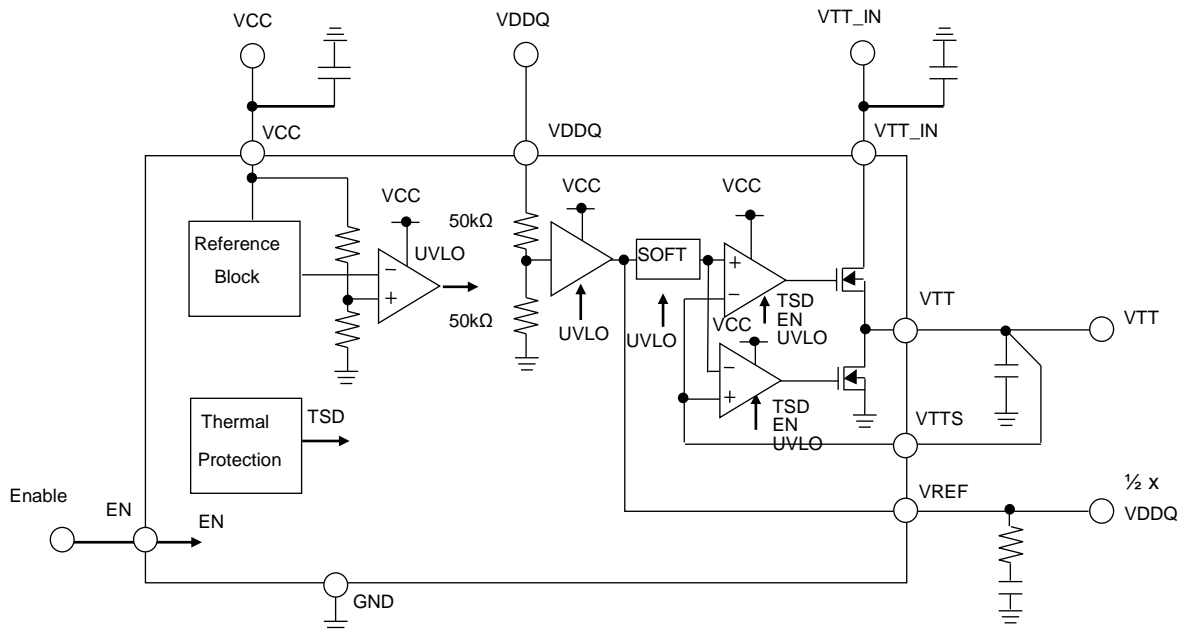
### 特長

- ターミネーション用プッシュプル電源内蔵(VTT)
- 基準電圧回路内蔵(VREF)
- イネイブル機能内蔵
- 低入力誤動作防止回路内蔵(UVLO)
- 過熱保護回路内蔵(TSD)
- Dual Channel 対応(DDR-II)

### 用途

DDR I / II-SDRAM 用電源

### 基本アプリケーション回路とブロック図

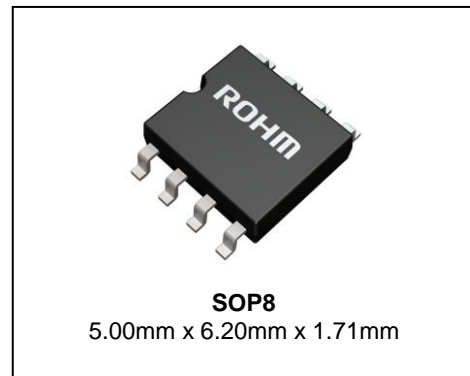


### 重要特性

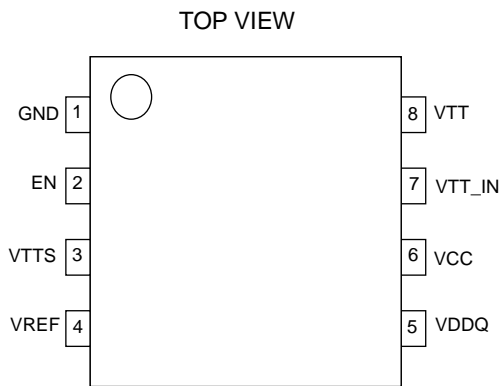
- ターミネーション入力電圧範囲: 1.0V ~ 5.5V
- VCC 入力電圧範囲: 4.3V ~ 5.5V
- 出力電圧:  $1/2 \times V_{DDQ}$  V(Typ)
- 出力電流: 3.0A(Max)
- 上側 ON 抵抗: 0.2Ω(Typ)
- 下側 ON 抵抗: 0.2Ω(Typ)
- スタンバイ電流: 0.8mA (Typ)
- 動作温度範囲: -40°C ~ +100°C

### パッケージ

W(Typ) x D(Typ) x H(Max)



## 端子配置図



## 端子説明

PIN No.	PIN 名	PIN 機能
1	GND	グラウンド端子
2	EN	イネイブル入力端子
3	VTTS	ターミネーション電圧検出端子
4	VREF	基準電圧出力端子
5	VDDQ	基準入力電圧端子
6	VCC	電源端子
7	VTT_IN	ターミネーション用電源端子
8	VTT	ターミネーション出力端子

## 各ブロック動作説明

## 1. VCC

BD3532F は、IC の内部回路動作に独立した電源入力ピンを持っています。これは、IC の AMP 回路の動作が目的であり、最大電流は 4mA(max)となります。電源電圧は、BD3532F は 5V を使用します。VCC のピンには、1 $\mu$ F 程度のパスコンを付けることを推奨します。

## 2. VDDQ

VDDQ ピンは、出力電圧の基準入力ピンです。IC 内部で 50K $\Omega$ 、50K $\Omega$  の抵抗分割することで、JEDEC で定められた DDR-SDRAM の SPEC である  $V_{TT} = 1/2V_{DDQ}$  を実現できます。

BD3532F は、VDDQ ピンの入力ノイズに注意する必要があります。IC は VDDQ ピンの 1/2 の電圧を出力するため VDDQ ピンに入ったノイズも 1/2 して出力するからです。IC 内部の分割抵抗に影響しない小さい抵抗値での RC フィルター(220 $\Omega$ 、2.2 $\mu$ F など)を付けることでノイズを減らすことができます。

## 3. VTT\_IN

VTT\_IN は、VTT 出力用の電源入力ピンです。VTT\_IN には 1.0~5.5V までの電圧を使用できますが、IC のオン抵抗による電流制限、入出力電圧差による許容損失の変化に注意する必要があります。

一般的には、

- ・ DDR I  $V_{VTT\_IN} = 2.5V$
- ・ DDR II  $V_{VTT\_IN} = 1.8V$

を使用しています。VTT\_IN 入力電圧のインピーダンスが高いと、発振やリップルリジェクションの性能低下の原因となりますので、注意してください。VTT\_IN には許容特性変化の少ないコンデンサ 10 $\mu$ F 程度を推奨しますが、入力電源の特性、基板の配線インピーダンスに依存するため、十分な確認をお願いします。

## 4. VREF

BD3532F は、VTT 出力とは独立した基準電圧出力ピンを持っており、メモリコントローラ、DRAM の基準入力に使用します。VREF 出力は、EN ピンが L レベルになっても出力が維持されており、DRAM の Self Refresh ステートに対応しています。VREF の電流能力は 20mA(max)で、出力電圧を安定させるためにコンデンサを付ける必要があります。容量変化特性の少ない 1.0 $\mu$ F~2.2 $\mu$ F のセラミックコンデンサと位相補償用の抵抗 0.5 $\Omega$ ~2.2 $\Omega$ 、もしくは 10 $\mu$ F 程度のセラミックコンデンサ、タンタルコンデンサを推奨します。

## 5. VTTS

VTTS ピンは、VTT 出力のロードレギュレーションを改善するために、独立したピンを設定しています。VTT 出力の負荷への配線が長くなる場合、負荷側から VTTS を接続することでロードレギュレーションの改善ができます。

## 各ブロック動作説明-続き

## 6. VTT

VTT ピンは、DDR メモリーターミネーション出力で BD3532F は、シンク、ソース $\pm 3.0A$  の電流能力を持っています。出力電圧は VDDQ ピンの 1/2 をトラッキングします。VTT 出力は、EN ピンが Low レベル、VCC の UVLO、加熱保護回路が動作すると OFF されます。VTT 出力ピンにはコンデンサを必ず接続して下さい。出力コンデンサは、ループゲインの位相補償と負荷急変時の出力電圧変動を低減する目的があります。容量が不十分な場合、発振を起こす可能性があります。またコンデンサの ESR (直列等価抵抗) が大きい場合には負荷急変時の出力電圧変動が増加します。220 $\mu F$  程度の機能性高分子コンデンサ (OS-CON、POS-CAP、NEO-CAP) を推奨しますが、温度、条件で変わります。ESR の低いセラミックコンデンサを使用した場合、ループゲインの位相余裕がなくなり、発振を起こす危険があります。この場合、コンデンサと直列に抵抗を入れることで改善が可能です。

## 7. EN

EN ピンは 2.3V 以上でハイレベルとなり、VTT が出力されます。EN ピンが 0.8V 以下でローレベルとなり、VTT が Hi-Z 状態となります。しかし、VCC と VDDQ が確定していれば、VREF の出力は維持されます。

## 絶対最大定格

項目	記号	定格	単位
入力電圧	V <sub>CC</sub>	7 (Note 1)	V
イネイブル入力電圧	V <sub>EN</sub>	7 (Note 1)	V
ターミネーション入力電圧	V <sub>VTT_IN</sub>	7 (Note 1)	V
VDDQ基準電圧	V <sub>VDDQ</sub>	7 (Note 1)	V
出力電流	I <sub>VTT</sub>	3	A
許容損失1	Pd1	0.56 (Note 2)	W
許容損失2	Pd2	0.69 (Note 3)	W
動作温度範囲	Topr	-40~+100	°C
保存温度範囲	Tstg	-55~+150	°C
接合部温度	Tjmax	+150	°C

(Note 1) 但し Pd を超えない事。

(Note 2) Ta  $\geq 25^{\circ}C$  の場合 (放熱板なし) 4.48mW/ $^{\circ}C$  で軽減。

(Note 3) Ta  $\geq 25^{\circ}C$  の場合 (70mm x 70mm x 1.6mm ガラエボ基盤実装時) 5.52mW/ $^{\circ}C$  で軽減

**注意:** 印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施して頂けるようご検討をお願いします。

## 推奨動作条件 (Ta=25°C)

項目	記号	最小	最大	単位
入力電圧	V <sub>CC</sub>	4.3	5.5	V
ターミネーション入力電圧	V <sub>VTT_IN</sub>	1.0	5.5	V
イネイブル入力電圧	V <sub>EN</sub>	-0.3	+5.5	V

## 電気的特性

(特に指定のない限り, Ta=25°C V<sub>CC</sub>=5V V<sub>EN</sub>=3V V<sub>VDDQ</sub>=2.5V V<sub>VTT\_IN</sub>=2.5V)

項目	記号	規格値			単位	条件
		最小	標準	最大		
スタンバイ電流	I <sub>ST</sub>	-	0.8	1.6	mA	V <sub>EN</sub> =0V
バイアス電流	I <sub>CC</sub>	-	2	4	mA	
[イネイブル部]						
入力High電圧	V <sub>ENHI</sub>	2.3	-	5.5	V	V <sub>CC</sub> =4.3V~ 5.5V Ta=0°C~ 100°C (Note 4)
入力Low電圧	V <sub>ENLOW</sub>	-0.3	-	+0.8	V	V <sub>CC</sub> =4.3V~ 5.5V Ta=0°C~ 100°C (Note 4)
入力電流	I <sub>EN</sub>	-	7	10	μA	V <sub>EN</sub> =3V
[ターミネーション部]						
ターミネーション電圧	V <sub>VTT</sub>	V <sub>VREF</sub> -30mV	V <sub>VREF</sub>	V <sub>VREF</sub> +30mV	V	I <sub>OUT</sub> =-3A~ 3A Ta=0°C~ 100°C (Note 4)
ソース電流	I <sub>VTT+</sub>	3	-	-	A	
シンク電流	I <sub>VTT-</sub>	-	-	-3	A	
負荷変動	ΔV <sub>VTT</sub>	-	-	40	mV	I <sub>OUT</sub> =-3A~ 3A
入力安定度	Reg.I	-	20	40	mV	V <sub>CC</sub> =4.3V~ 5.5V
上側ON抵抗	R <sub>Hron</sub>	-	0.2	0.4	Ω	
下側ON抵抗	R <sub>Lron</sub>	-	0.2	0.4	Ω	
[基準電圧入力部]						
入力インピーダンス	Z <sub>VDDQ</sub>	70	100	130	kΩ	
出力電圧1	V <sub>VREF1</sub>	1/2 x V <sub>VDDQ</sub> -30mV	1/2 x V <sub>VDDQ</sub>	1/2 x V <sub>VDDQ</sub> +30mV	V	I <sub>VREF</sub> =0mA
出力電圧2	V <sub>VREF2</sub>	1/2 x V <sub>VDDQ</sub> -40mV	1/2 x V <sub>VDDQ</sub>	1/2 x V <sub>VDDQ</sub> +40mV	V	I <sub>VREF</sub> =-10mA~ 10mA Ta=0°C~ 100°C (Note 4)
出力電圧1'	V <sub>VREF1'</sub>	1/2 x V <sub>VDDQ</sub> -30mV	1/2 x V <sub>VDDQ</sub>	1/2 x V <sub>VDDQ</sub> +30mV	V	V <sub>VDDQ</sub> =V <sub>VTT_IN</sub> =1.8V I <sub>VREF</sub> =0mA
出力電圧2'	V <sub>VREF2'</sub>	1/2 x V <sub>VDDQ</sub> -40mV	1/2 x V <sub>VDDQ</sub>	1/2 x V <sub>VDDQ</sub> +40mV	V	V <sub>VDDQ</sub> =V <sub>VTT_IN</sub> =1.8V I <sub>VREF</sub> =-10mA~10mA Ta=0°C~ 100°C (Note 4)
ソース電流1	I <sub>VREF1+</sub>	20	-	-	mA	
シンク電流1	I <sub>VREF1-</sub>	-	-	-20	mA	
ソース電流2	I <sub>VREF2+</sub>	20	-	-	mA	V <sub>VDDQ</sub> =V <sub>VTT_IN</sub> =1.8V
シンク電流2	I <sub>VREF2-</sub>	-	-	-20	mA	V <sub>VDDQ</sub> =V <sub>VTT_IN</sub> =1.8V
[低入力誤作動防止回路部]						
スレッショルド電圧	V <sub>UVLO</sub>	4.0	4.15	4.3	V	V <sub>CC</sub> : sweep up
ヒステリシス電圧	ΔV <sub>UVLO</sub>	100	160	220	mV	V <sub>CC</sub> : sweep down

(Note 4) 実製品の出荷検査は実施していません。

## 波形データ

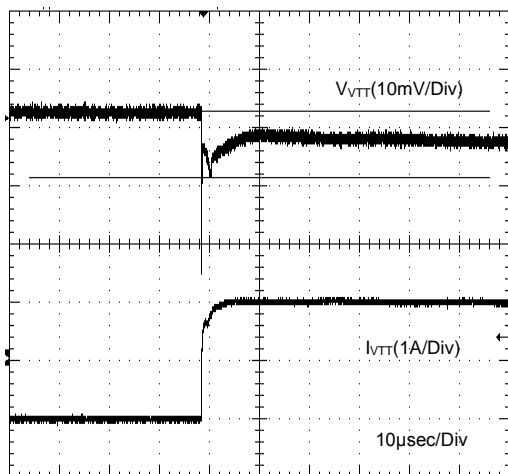


Figure 1. DDR I  
(-1A  $\rightarrow$  +1A)

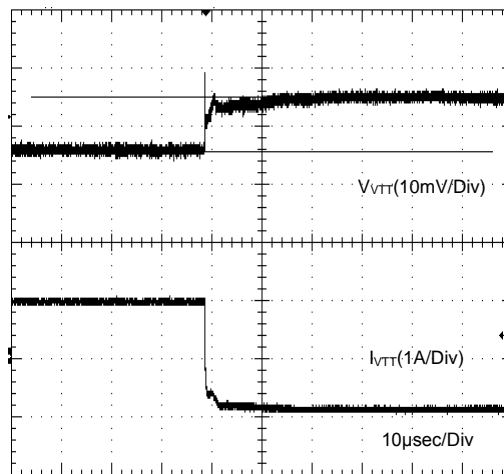


Figure 2. DDR I  
(+1A  $\rightarrow$  -1A)

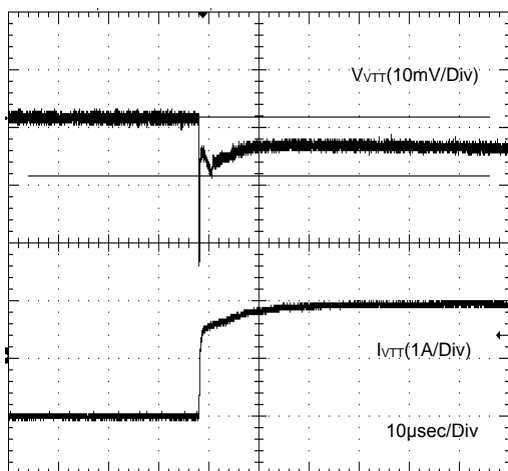


Figure 3. DDR II  
(-1A  $\rightarrow$  +1A)

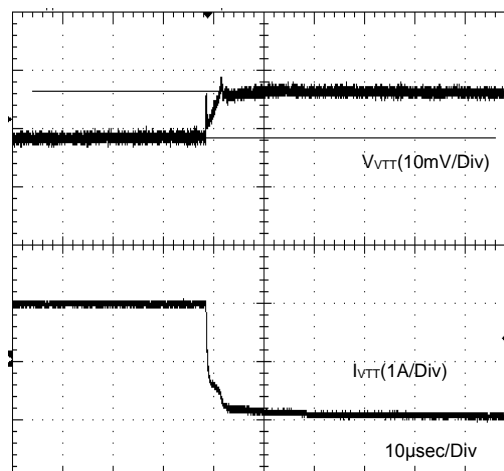


Figure 4. DDR II  
(+1A  $\rightarrow$  -1A)

波形データ - 続き

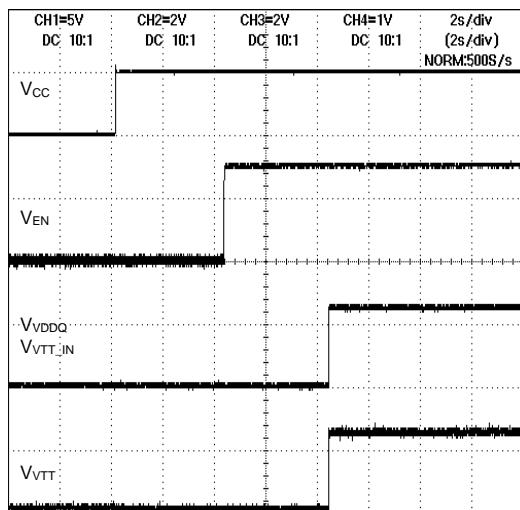


Figure 5. Input Sequence 1

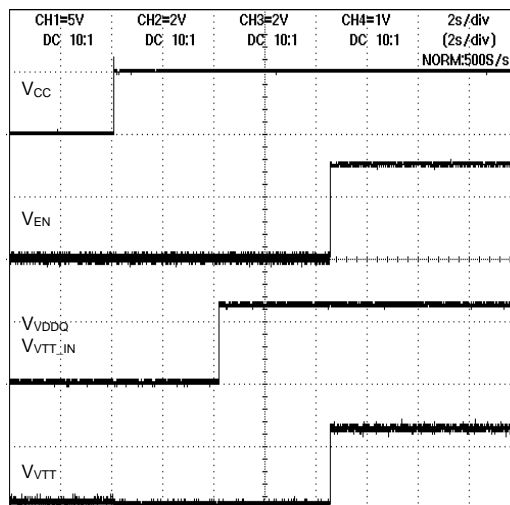


Figure 6. Input Sequence 2

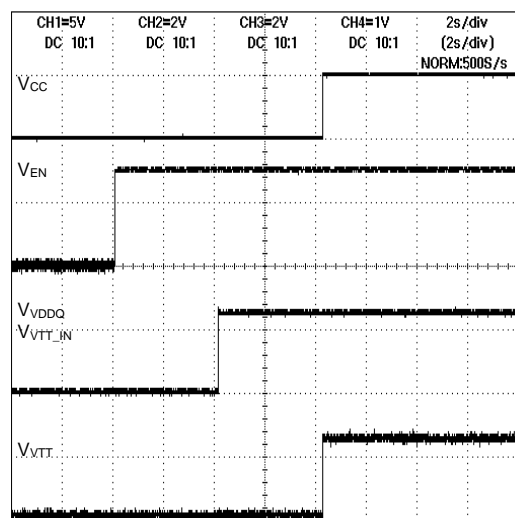


Figure 7. Input Sequence 3

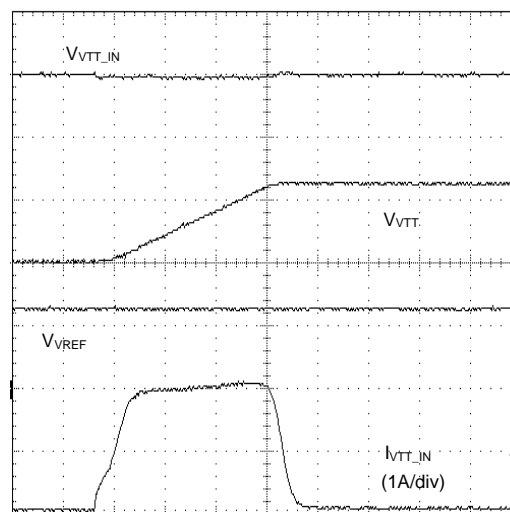


Figure 8. Start-up Waveform

特性データ (参考データ)

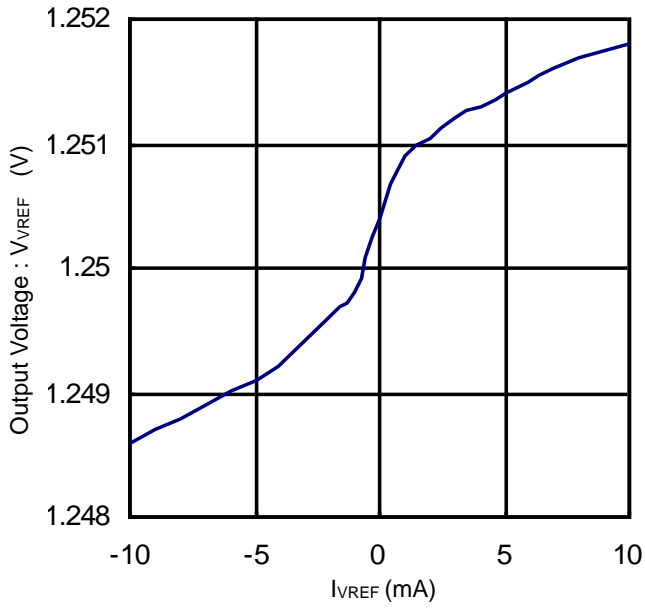


Figure 9. Output Voltage vs I<sub>VREF</sub> (DDR-I)

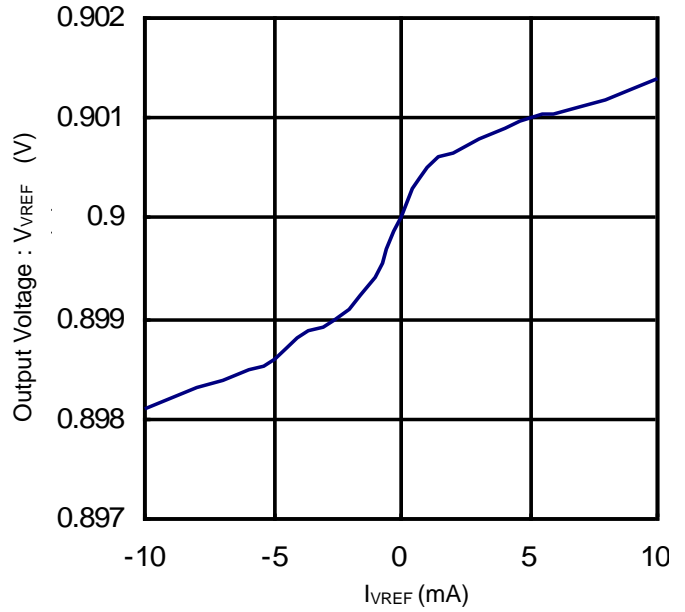


Figure 10. Output Voltage vs I<sub>VREF</sub> (DDR-II)

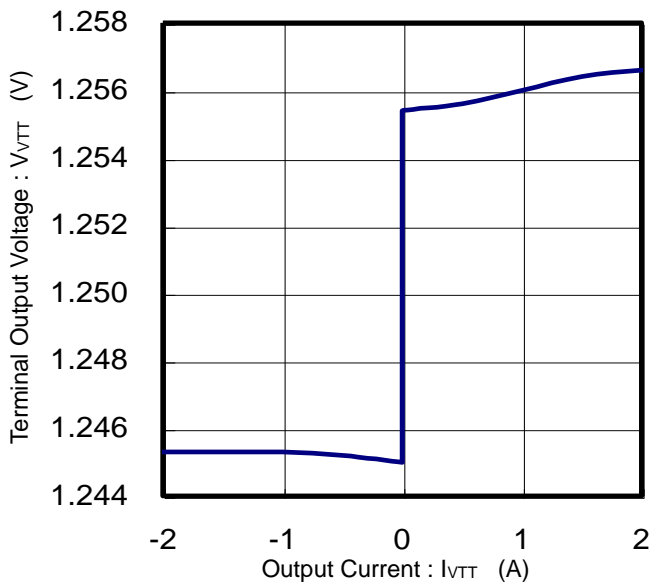


Figure 11. Terminal Output Voltage vs Output Current (DDR-I)

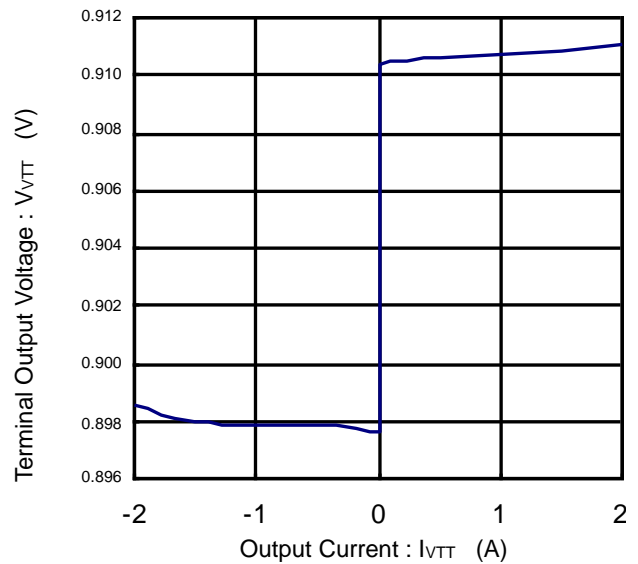
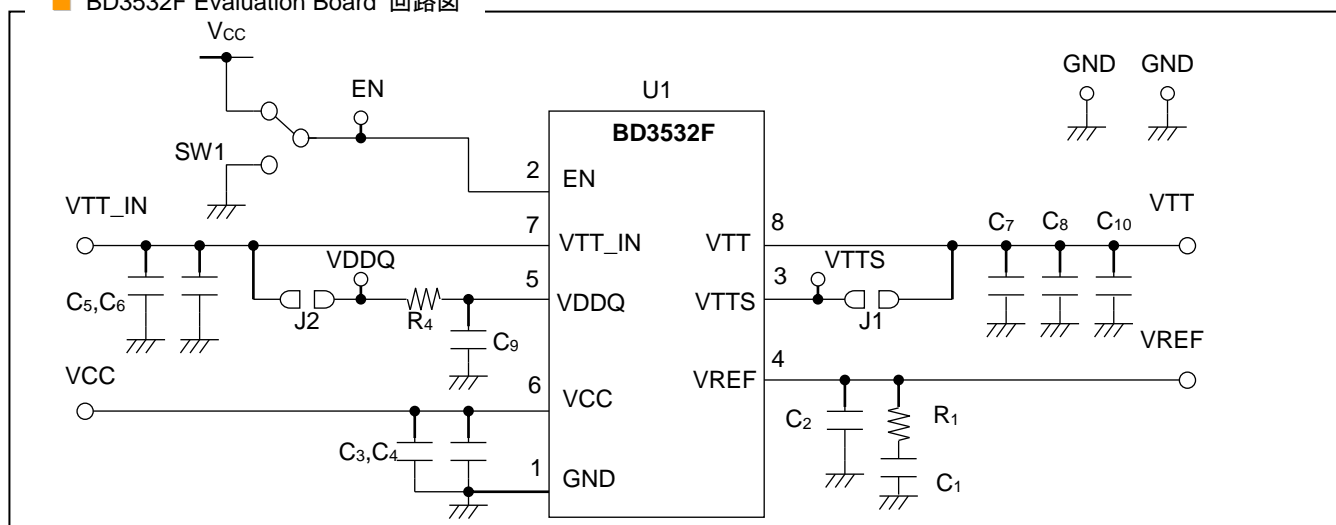


Figure 12. Terminal Output Voltage vs Output Current (DDR-II)

## アプリケーション情報

## 1. 評価基板

## ■ BD3532F Evaluation Board 回路図



## ■ BD3532F Evaluation Board 標準部品表

部品	定格	メーカー	型名
U1	-	ROHM	BD3532F
R <sub>1</sub>	-	-	-
R <sub>4</sub>	220Ω	ROHM	MCR03
J1	0Ω	-	-
J2	0Ω	-	-
C <sub>1</sub>	-	-	-
C <sub>2</sub>	10μF	KYOCERA	CM21B106M06A
C <sub>3</sub>	1μF	KYOCERA	CM105B105K06A

部品	定格	メーカー	型名
C <sub>4</sub>	-	-	-
C <sub>5</sub>	10μF	KYOCERA	CM21B106M06A
C <sub>6</sub>	-	-	-
C <sub>7</sub>	-	-	-
C <sub>8</sub>	-	-	-
C <sub>9</sub>	2.2μF	KYOCERA	CM105B225K06A
C <sub>10</sub>	220μF	SANYO	2R5TPE220MF



2. 熱損失について

熱設計において、次の条件内で動作させてください。(下記温度は保証温度ですので、必ずマージン等を考慮してください。)

- (1) 周囲温度 Ta が 100°C 以下であること。
- (2) チップジャンクション温度 Tj が 150°C 以下であること。

チップジャンクション温度 Tj は以下のように考えることができます。θja は下図を参照してください。

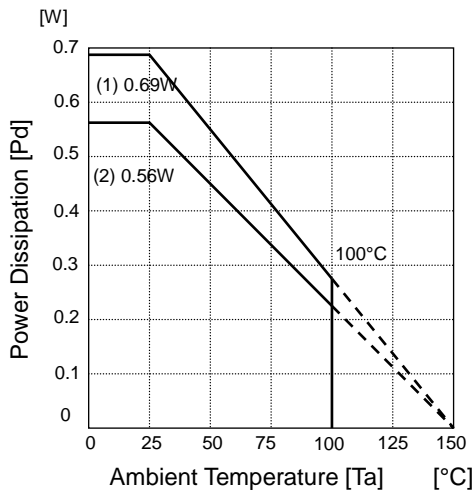
BD3532F にて発生する熱損失の大半は出力 Nch FET で発生します。IN-OUT 間の電圧と出力電流の積により損失する電力が決定します。ご使用する IN と OUT の電圧、出力電流の条件を確認し、熱軽減特性に照らし合わせてご確認願います。また、本 IC はパワーPKG を採用しているため基板条件により、大きく熱軽減特性が変化します。使用する基板サイズを考慮して設計してください。

$$\text{消費電力(W)} = \{ \text{入力電圧}(V_{VT\_IN}) - \text{出力電圧}(V_{VT}=1/2V_{DDQ}) \} \times I_{OUT(Ave)}$$

例)  $V_{VT\_IN}=1.8V$ ,  $V_{DDQ}=1.8V$ ,  $I_{OUT(Ave)}=0.5A$  時

$$\begin{aligned} \text{消費電力(W)} &= \{ 1.8(V) - 0.9(V) \} \times 0.5(A) \\ &= 0.4(W) \end{aligned}$$

◎SOP8



- (1) 70mm x 70mm x 1.6mm ガラエポ基盤実装時  
θj-c=181°C/W
- (2) 放熱板なし  
θj-a=222°C/W

## 使用上の注意

## 1. 電源の逆接続について

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れるなどの対策を施してください。

## 2. 電源ラインについて

基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。その際、デジタル系電源とアナログ系電源は、それらが同電位であっても、デジタル系電源パターンとアナログ系電源パターンは分離し、配線パターンの共通インピーダンスによるアナログ電源へのデジタル・ノイズの回り込みを抑制してください。グラウンドラインについても、同様のパターン設計を考慮してください。

また、LSI のすべての電源端子について電源-グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量ゆげが起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

## 3. グラウンド電位について

グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。

## 4. グラウンド配線パターンについて

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

## 5. 熱設計について

万一、許容損失を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。本仕様書の絶対最大定格に記載しています許容損失を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用するなどの対策をして、許容損失を超えないようにしてください。

## 6. 推奨動作条件について

この範囲であればほぼ期待通りの特性を得ることができる範囲です。電気特性については各項目の条件下において保証されるものです。

## 7. ラッシュカレントについて

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

## 8. 強電磁界中の動作について

強電磁界中でのご使用では、まれに誤動作する可能性がありますのでご注意ください。

## 9. セット基板での検査について

セット基板での検査時に、インピーダンスの低いピンにコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

## 10. 端子間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けた場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

## 11. 未使用の入力端子の処理について

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

## 使用上の注意 — 続き

## 12. 各入力端子について

本 IC はモノリシック IC であり、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、グラウンド > (端子 A) の時、トランジスタ (NPN) ではグラウンド > (端子 B) の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ (NPN) では、グラウンド > (端子 B) の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子にグラウンド (P 基板) より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子がグラウンドにショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

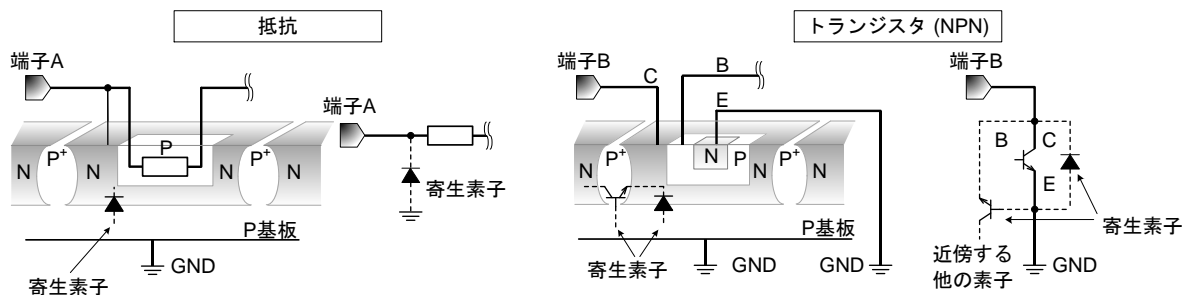


Figure 13. モノリシック IC 構造例

## 13. 温度保護回路について

IC を熱破壊から防ぐための温度保護回路を内蔵しております。許容損失範囲内でご使用いただきますが、万が一許容損失を超えた状態が継続すると、チップ温度  $T_j$  が上昇し  $T_j$  が  $175^\circ\text{C}$  を超えると温度保護回路が動作し出力パワー素子が OFF します。その後チップ温度  $T_j$  が低下すると回路は自動で復帰します。なお、温度保護回路は絶対最大定格を超えた状態での動作となりますので、温度保護回路を使用したセット設計などは、絶対に避けてください。

## 14. 出力-GND 間のコンデンサについて

出力-GND 間に大きなコンデンサを接続されている場合、何らかの要因により VCC、IN が 0V または GND とショートした時、コンデンサに充電された電流が出力に流れ込み破壊する恐れがあります。出力-GND 間のコンデンサは  $1000\mu\text{F}$  以下としてください。

## 15. 出力コンデンサ、抵抗

VREF 出力端子に接続する出力コンデンサは出力電圧を安定する為必ず接続してください。VREF 出力端子に接続するコンデンサはループゲインの位相を補償する役割があります。容量値が不十分な場合、発振を起す可能性があります。温度変化による容量値変化の少ない  $10\mu\text{F}$  程度のセラミックコンデンサを推奨いたしますが、温度及び負荷条件に大きく依存します。ご使用の温度、負荷範囲条件での十分な確認お願い致します。

## 16. 出力コンデンサ

VTT 出力端子に接続する出力コンデンサは、出力電圧を安定する為必ず接続してください。出力コンデンサにはループゲインの位相補償と負荷急変時の出力電圧変動を低減する役割があります。容量値が不十分な場合、発振を起す可能性があり、またコンデンサの直列等価抵抗 (ESR) が大きい場合には負荷急変時の出力電圧変動が増加します。 $220\mu\text{F}$  程度の機能性高分子コンデンサを推奨いたしますが、温度及び負荷条件に大きく依存します。また、ESR の低いセラミックコンデンサを使用した場合、ループゲインの位相余裕が十分でなくなり、発振を起す場合があります。この場合、コンデンサと抵抗を直列に入れ、改善することも可能です。ご使用の温度、負荷範囲条件での十分な確認お願い致します。

## 使用上の注意 — 続き

### 17. 入力コンデンサ設定方法

入力コンデンサは入力端子 (VCC, VTT\_IN) に接続される電源の出カインピーダンスを下げる役割を果たします。この電源の出カインピーダンスが増加すると入力電圧 (VCC, VTT\_IN) が不安定になり、発振または、リップルリジエクション特性の低下を引き起こす可能性があります。VCC に 1 $\mu$ F 程度、VTT\_IN に 10 $\mu$ F 程度の温度変化による容量値変化の少ない低 ESR のコンデンサを推奨いたしますが、入力に使用する電源の特性、基盤の配線パターン容量やインピーダンスに大きく依存するため、ご使用の温度、負荷範囲条件での十分な確認をお願い致します。

### 18. 入力端子 (VCC、VDDQ、VTT\_IN、EN) について

本 IC の VCC 端子、VDDQ 端子、VTT\_IN 端子、EN 端子は独立した構造になっています。VCC 端子には低入力時の誤作動防止のため UVLO 機能を搭載しています。入力端子の入力順番に依存せず、VTT 出力は UVLO 電圧、EN 電圧がスレッシュホールド電圧に達した時点、VREF 出力は UVLO 電圧がスレッシュホールド電圧に達した時点で出力電圧を起動し始めます。また、VDDQ 端子、VTT\_IN 端子間が同電位で共通インピーダンスをもつ場合、VTT\_IN 端子の電流変化により VTT\_IN 端子電圧が変動し、それに伴い VDDQ 端子に影響を及ぼし、出力電圧変動を引き起こす可能性があります。VDDQ 端子、VTT\_IN 端子には共通インピーダンスを持たないように配線して下さい。共通インピーダンスを持ってしまう場合は、VDDQ 端子、VTT\_IN 端子間に CR フィルタを設ける等の対策を施すよう検討をお願いします。

### 19. VTTs 端子について

VTTs 端子は VTT 出力の負荷レギュレーションを改善するためにあります。VTT 端子への接続は大電流ラインとの共通インピーダンスを持たないように接続してください。VTT 出力のさらに良好な負荷レギュレーションを可能にします。

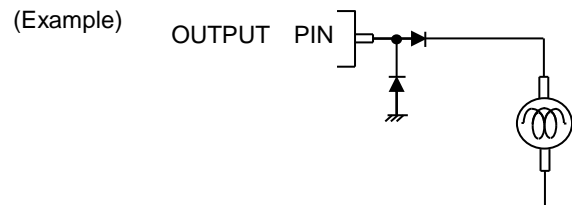
### 20. 動作範囲について

動作範囲であれば、動作周囲温度の範囲で一応の回路機能動作が保証されています。特性値に関しましては、電気的特性の規格値は保証できませんが、これらの範囲内では特性値の急激な変動はありません。

### 21. サーマル回路内蔵について

熱的破壊防止の為、温度保護回路を内蔵しておりますので、温度保護回路動作時には VTT 出力が OFF 状態となります。但し、温度保護回路は本来 IC 自身を保護する目的で内蔵しておりますので、温度保護回路動作可能な温度未満での熱設計をお願い致します。

22. 出力端子に大きなインダクタンス成分を含む負荷が接続され、起動時及び、出力 OFF 時逆起電力の発生が考えられる場合には、保護ダイオードの挿入をお願い致します。



23. 応用回路図の例は推奨すべきものと確信しておりますが、ご使用にあたっては特性の確認を十分をお願いします。その他外付け回路を変更してご使用になる時は静特性のみならず、過渡特性も含め外付け部品及び当社 IC のパラツキ等を考慮して十分なマージンを見て決定して下さい。

発注形名情報

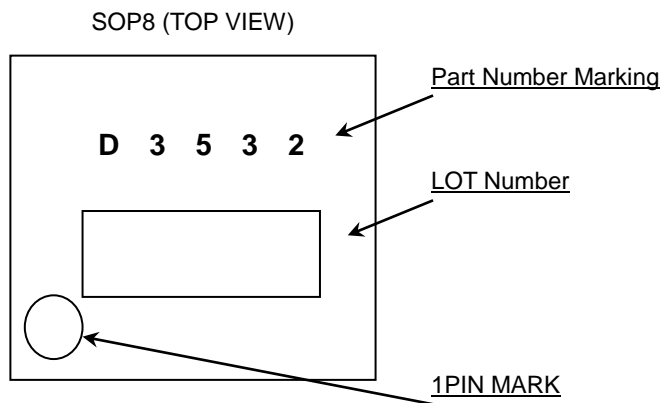
B D 3 5 3 2 F - E 2

形名

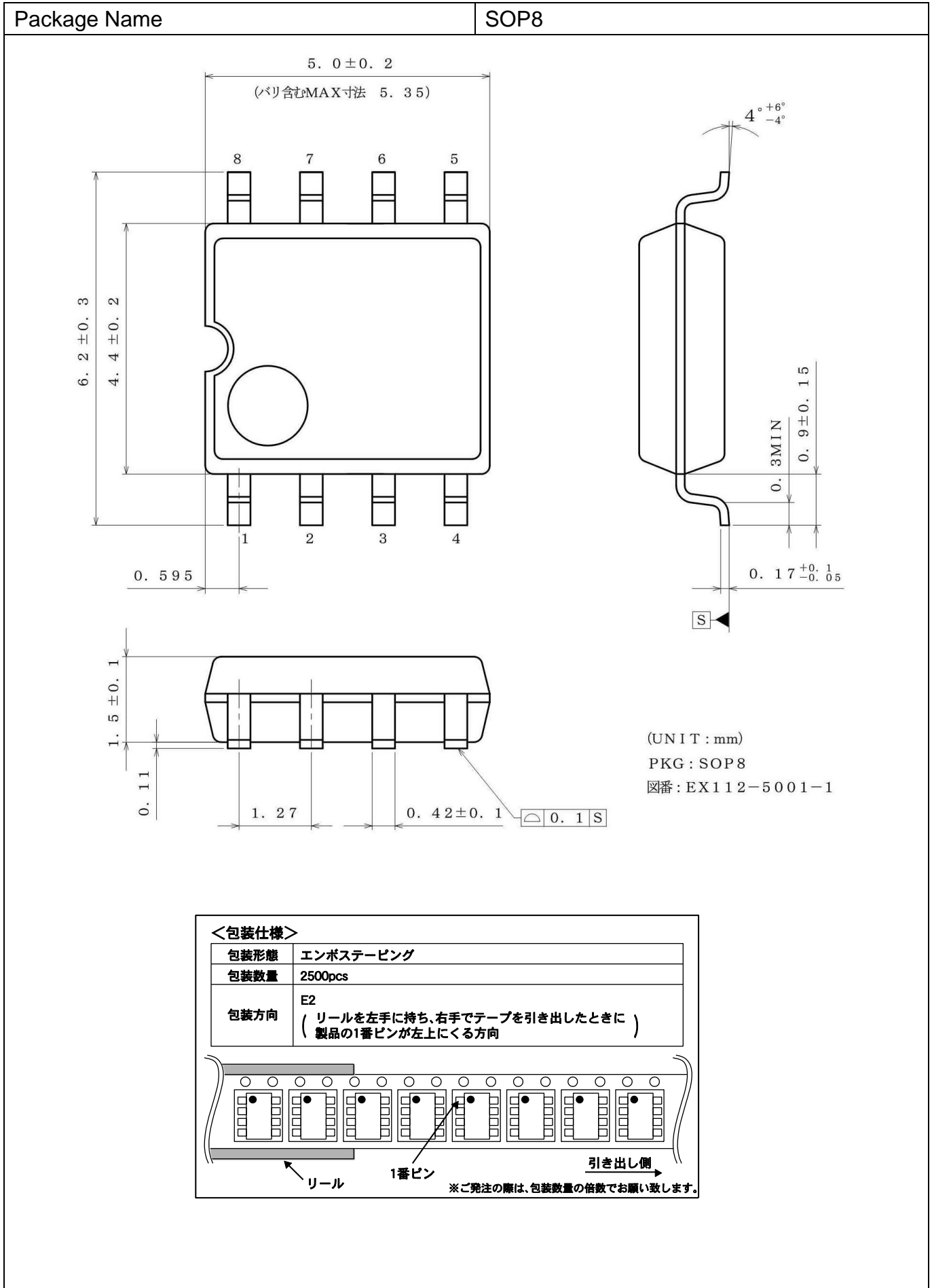
パッケージ  
F : SOP8

包装、フォーミング仕様  
E2: リール状エンボステープ 引出側奥方向に1pin

標印図



外形寸法図と包装・フォーミング仕様



## 改訂記録

日付	Revision	改訂内容
2015.11.02	001	新規作成

# ご注意

## ローム製品取扱い上の注意事項

1. 本製品は一般的な電子機器（AV 機器、OA 機器、通信機器、家電製品、アミューズメント機器等）への使用を意図して設計・製造されております。したがって、極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器<sup>(Note 1)</sup>、輸送機器、交通機器、航空宇宙機器、原子力制御装置、燃料制御、カーアクセサリを含む車載機器、各種安全装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

2. 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、かかる誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
  - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
  - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
3. 本製品は、一般的な電子機器に標準的な用途で使用されることを意図して設計・製造されており、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
  - ①水・油・薬液・有機溶剤等の液体中でのご使用
  - ②直射日光・屋外暴露、塵埃中でのご使用
  - ③潮風、Cl<sub>2</sub>、H<sub>2</sub>S、NH<sub>3</sub>、SO<sub>2</sub>、NO<sub>2</sub>等の腐食性ガスの多い場所でのご使用
  - ④静電気や電磁波の強い環境でのご使用
  - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合。
  - ⑥本製品を樹脂等で封止、コーティングしてのご使用。
  - ⑦はんだ付けの後に洗浄を行わない場合（無洗浄タイプのフラックスを使用された場合も、残渣の洗浄は確実にを行うことをお勧め致します）、又ははんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合。
  - ⑧本製品が結露するような場所でのご使用。
4. 本製品は耐放射線設計はなされておられません。
5. 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
6. パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
7. 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
8. 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
9. 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

## 実装及び基板設計上の注意事項

1. ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
2. はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。



## **応用回路、外付け回路等に関する注意事項**

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

## **静電気に対する注意事項**

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。(人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等)

## **保管・運搬上の注意事項**

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
  - ①潮風、Cl<sub>2</sub>、H<sub>2</sub>S、NH<sub>3</sub>、SO<sub>2</sub>、NO<sub>2</sub>等の腐食性ガスの多い場所での保管
  - ②推奨温度、湿度以外での保管
  - ③直射日光や結露する場所での保管
  - ④強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き(梱包箱に表示されている天面方向)で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

## **製品ラベルに関する注意事項**

本製品に貼付されている製品ラベルにQRコードが印字されていますが、QRコードはロームの社内管理のみを目的としたものです。

## **製品廃棄上の注意事項**

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

## **外国為替及び外国貿易法に関する注意事項**

本製品は外国為替及び外国貿易法に定める規制貨物等に該当するおそれがありますので輸出する場合には、ロームにお問い合わせください。

## **知的財産権に関する注意事項**

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等(ソフトウェア含む)との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

## **その他の注意事項**

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

**一般的な注意事項**

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。