

ボルテージディテクタ付き低飽和レギュレータ

# 200 mA / 300 mA LDO レギュレータ + 2ch RESET

**BD4269FJ-C BD4269EFJ-C BD4269UEFJ-C**

## ●概要

BD4269FJ-C BD4269EFJ-C BD4269UEFJ-C は 45 V 高耐圧のレギュレータであり、IC の出力電圧の低下を監視するリセット回路と、IC の入力電源電圧または他電源電圧の低下を監視するリセット回路を内蔵しています。暗電流を低く抑えており、システムの低消費電流化に適しています。また、使用用途に合わせて 200 mA 品と 300 mA 品をご用意しています。

出力低電圧リセット、電源電圧検出リセットは外付け抵抗により検出電圧を調整することが可能です。また、リセットの復帰遅延時間は外付けコンデンサにより調整することができます。

## ●特長

- AEC-Q100 対応 (Note 1)
- 出力コンデンサとして低 ESR セラミックコンデンサ使用可
- 低飽和電圧 PDMOS 出力 Tr
- 出力低電圧リセット内蔵
- IC の入力電源電圧または他電源電圧の監視が可能な電源電圧検出リセット内蔵
- 外付け抵抗によって出力低電圧リセット・電源電圧検出リセットの検出電圧調整可
- 外付けコンデンサによって出力低電圧リセット復帰時間調整可

(Note 1: Grade 1)

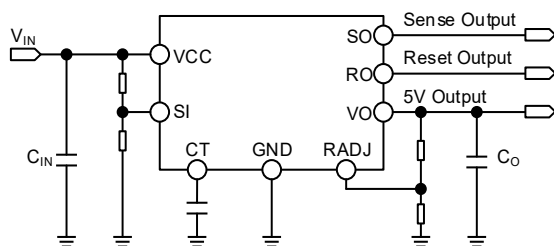
## ●用途

- 車載全般用 (ボディ系機器、カーステレオ、カーナビゲーション、etc.)

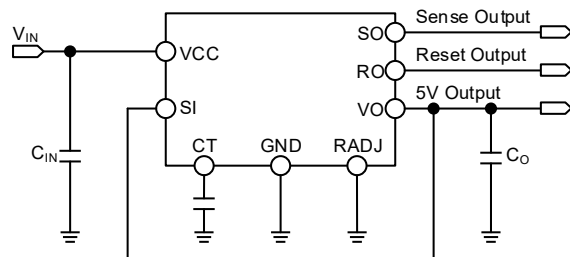
## ●基本アプリケーション回路

- 入出力端子コンデンサ:  $0.1 \mu\text{F} \leq C_{\text{IN}} (\text{Typ})$ ,  $6 \mu\text{F} \leq C_{\text{O}} (\text{Min})$   
入力端子、出力端子接続コンデンサの選定方法の詳細は“アプリケーション部品選定方法”をご参照ください。

&lt;SI・RADJ を使用する場合&gt;



&lt;SI・RADJ を使用しない場合&gt;



## ●重要特性

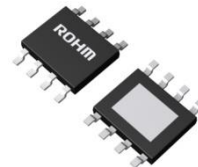
- 入力電圧範囲: -0.3 V to +45 V
- 低暗電流: 70  $\mu\text{A}$  (Typ)
- 出力電流 (BD4269FJ-C): 200 mA  
(BD4269EFJ-C): 300 mA  
(BD4269UEFJ-C): 300 mA
- 出力電圧:  $5.0 \text{ V} \pm 2 \%$
- 出力低電圧リセット電圧:  $4.62 \text{ V} \pm 2.6 \%$   
(可変調整精度:  $\pm 3 \%$ )
- 過電流保護回路内蔵 (OCP)
- 過熱保護回路 (TSD)

## ●パッケージ

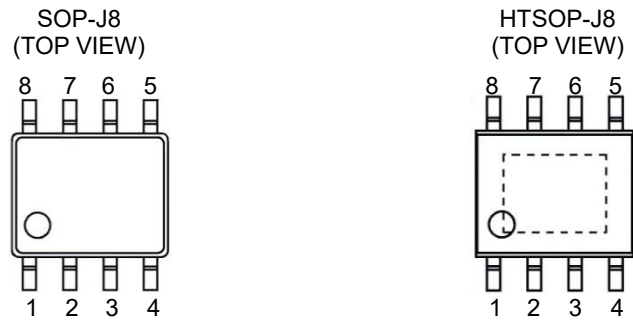
- FJ: SOP-J8 W (Typ) x D (Typ) x H (Max) 4.90 mm x 6.00 mm x 1.65 mm



- EFJ: HTSOP-J8 4.90 mm x 6.00 mm x 1.00 mm



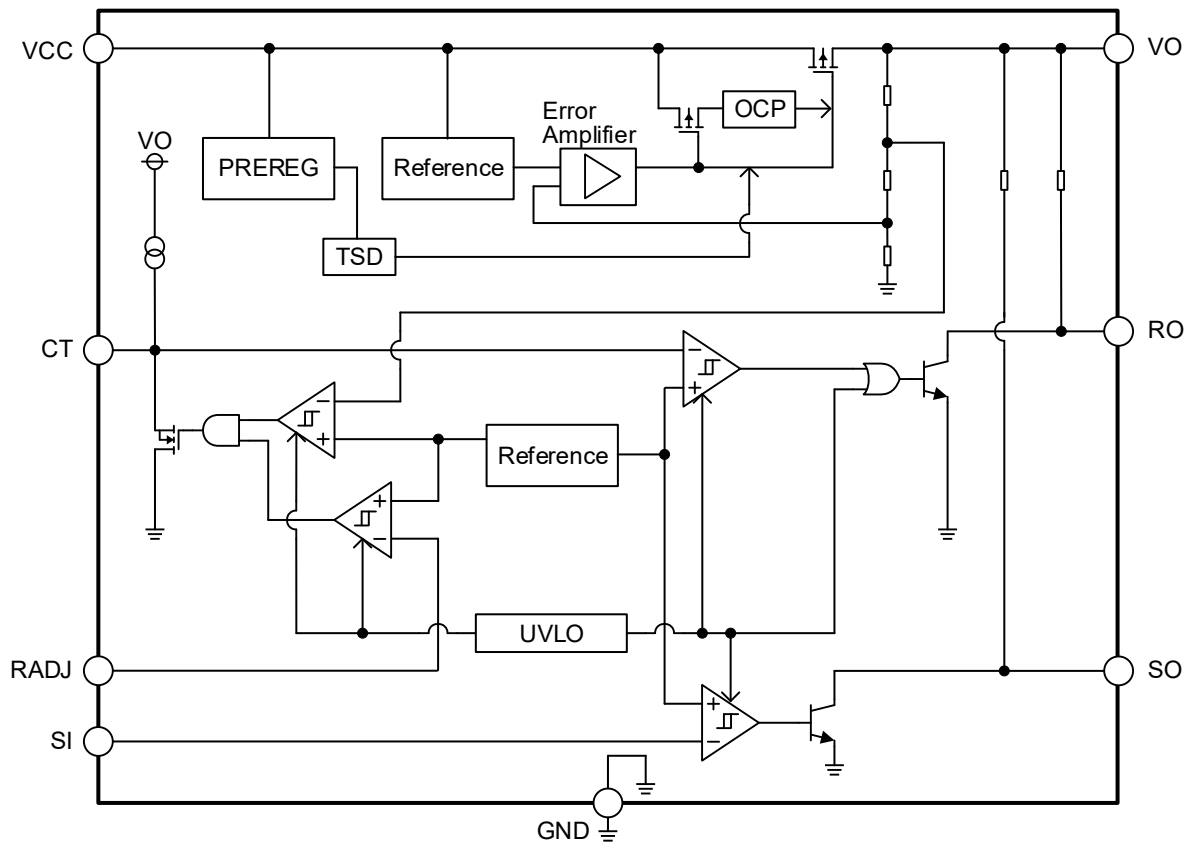
●端子配置図



●端子説明

端子番号	端子名	機 能
1	VCC	電源入力端子
2	SI	電源電圧検出リセット入力端子 (使用しない場合は VO にショートしてください)
3	RADJ	出力低電圧リセット検出電圧調整端子 (使用しない場合は GND にショートしてください)
4	CT	出力低電圧リセット遅延時間設定端子
5	GND	GND 端子
6	RO	出力低電圧リセット出力端子 (IC 内部にて VO に 24 kΩ でプルアップ)
7	SO	電源電圧検出リセット出力端子 (IC 内部にて VO に 24 kΩ でプルアップ)
8	VO	5 V 出力端子

●ブロック図



## ●各ブロック動作説明

ブロック名	機 能	動 作
PREREG	内部定電圧源	内部回路に電源供給する。
Reference	内部基準電圧	基準電圧を生成する。
Error Amplifier	誤差増幅	出力電圧のフィードバックと基準電圧の誤差を増幅し、出力トランジスタに伝達する。
TSD	過熱保護	許容損失を超えた状態が継続したときなど、チップ温度 $T_j$ が上昇した際に、出力を OFF する。(175 °C: Typ)
OCP	過電流保護	出力短絡などで、電流能力を超えた過電流が流れた場合、出力電流を制限し、デバイスが破壊することを防ぐ。
UVLO	低電圧誤動作防止	リセット回路の電源となっている VO が低い電圧を出力している時、リセット回路が誤動作することを防ぐ。

## ●絶対最大定格

項目		記号	定格	単位
VCC 入力電圧 (Note 1)		V <sub>CC</sub>	-0.3 to +45.0	V
RADJ 入力電圧		V <sub>RADJ</sub>	-0.3 to +7.0 ( $\leq V_O + 0.3$ )	V
RO 入力電圧		R <sub>O</sub>	-0.3 to +7.0 ( $\leq V_O + 0.3$ )	V
VO 入力電圧		V <sub>O</sub>	-0.3 to +7.0 ( $\leq V_O + 0.3$ )	V
SO 入力電圧		S <sub>O</sub>	-0.3 to +7.0 ( $\leq V_O + 0.3$ )	V
SI 入力電圧		V <sub>SI</sub>	-0.3 to +45.0 ( $\leq V_{CC} + 0.3$ )	V
許容損失	(SOP-J8) (Note 2)	Pd	0.80	W
	(HTSOP-J8) (Note 3)		0.96	W
動作接合部温度範囲		T <sub>j</sub>	-40 to +150	°C
保存温度範囲		T <sub>stg</sub>	-55 to +150	°C

(Note 1) ただし Pd を超えないこと。

(Note 2) Ta = 25 °C 以上は、6.45 mW / °C で軽減。114.3 mm x 76.2 mm x 1.6 mm 1 層ガラスエポキシ基板実装時。

(Note 3) Ta = 25 °C 以上は、7.69 mW / °C で軽減。114.3 mm x 76.2 mm x 1.6 mm 1 層ガラスエポキシ基板実装時。

注意: 印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施して頂けるようご検討をお願いします。

## ●推奨動作条件 (-40°C ≤ Tj ≤ +150°C)

項 目		記号	最小	最大	単位
入力電源電圧 (I <sub>O</sub> ≤ 100 mA) (Note 1)		V <sub>CC</sub>	5.5	45.0	V
入力電源電圧 (I <sub>O</sub> ≤ 200 mA) (Note 1)		V <sub>CC</sub>	6.0	45.0	V
始動電圧		V <sub>CC</sub>	3.0	-	V
RO 始動 VO 電圧		V <sub>OPR</sub>	1.0	-	V
SO 始動 VO 電圧		V <sub>OPS</sub>	3.5	-	V
出力低電圧リセット検出電圧調整範囲		V <sub>RTADJ</sub>	3.5	4.5	V
SI 入力電圧		V <sub>SI</sub>	0	V <sub>CC</sub>	V
RADJ 入力電圧		V <sub>RADJ</sub>	0	V <sub>O</sub>	V
出力電流	(SOP-J8)	I <sub>O</sub>	0	200	mA
	(HTSOP-J8)		0	300	mA
動作周囲温度範囲		T <sub>a</sub>	-40	+125	°C

(Note 1) ただし Pd を超えないこと

## ●熱特性 (Note 1)

項 目	記号	標準	単位	条件
SOP-J8				
ジャンクション-周囲温度間 熱抵抗	$\theta_{JA}$	155	°C / W	1s (Note 2)
		87	°C / W	2s2p (Note 3)
ジャンクション-パッケージ上面中心間 (Note 4) 熱特性パラメータ	$\Psi_{JT}$	15	°C / W	1s (Note 2)
		13	°C / W	2s2p (Note 3)
HTSOP-J8				
ジャンクション-周囲温度間 熱抵抗	$\theta_{JA}$	130	°C / W	1s (Note 2)
		34	°C / W	2s2p (Note 3)
ジャンクション-パッケージ上面中心間 (Note 4) 熱特性パラメータ	$\Psi_{JT}$	15	°C / W	1s (Note 2)
		7	°C / W	2s2p (Note 3)

(Note 1) JESD51 - 2A (Still-Air)に準拠した環境下でのデータになります。

(Note 2) JESD51 - 3 準拠 FR4 114.3 mm × 76.2 mm × 1.57 mm 1層 (1s)

(表層銅箔 : ローム推奨ランドパターン + 測定用配線、銅箔厚 2oz)

(Note 3) JESD51 - 5 / - 7 準拠 FR4 114.3 mm × 76.2 mm × 1.60 mm 4層 (2s2p)

(表層銅箔 : ローム推奨ランドパターン + 測定用配線 / 2層、3層、裏層銅箔面積 : 74.2 mm × 74.2 mm、銅箔厚(表裏層 / 内層) 2oz / 1oz)

(Note 4) パッケージ(モールド部分)上面中心温度を  $T_T$  としております。

## ●電気的特性

(特に指定のない限り、 $-40^{\circ}\text{C} \leq T_j \leq +150^{\circ}\text{C}$ 、 $V_{CC} = 13.5\text{ V}$ )

項 目		記号	規 格 値			単位	条 件
			最小	標準	最大		
回路電流		I <sub>CC</sub>	-	70	150	μA	I <sub>O</sub> = 0 mA to 200 mA
出力電圧		V <sub>O</sub>	4.90	5.00	5.10	V	1 mA ≤ I <sub>O</sub> ≤ 100 mA 6 V ≤ V <sub>CC</sub> ≤ 16 V
最小入出力電圧差		ΔV <sub>d</sub>	-	0.25	0.50	V	V <sub>CC</sub> = 4.75 V, I <sub>O</sub> = 100 mA
ロードレギュレーション		Reg.L	-	10	30	mV	I <sub>O</sub> = 10 mA to 100 mA
ラインレギュレーション		Reg.I	-	10	30	mV	V <sub>CC</sub> = 8 V to 16 V, I <sub>O</sub> = 1 mA
過電流保護	BD4269FJ-C	I <sub>OCP</sub>	200	-	-	mA	-
	BD4269EFJ-C BD4269UEFJ-C		300	-	-	mA	-
温度保護回路動作温度		T <sub>TSD</sub>	-	175	-	°C	-

## ●電気的特性 (出力低電圧リセット)

(特に指定のない限り、 $-40^{\circ}\text{C} \leq T_j \leq +150^{\circ}\text{C}$ 、 $V_{CC} = 13.5\text{ V}$ )

項 目	記号	規 格 値			単位	条 件
		最小	標準	最大		
出力低電圧リセット検出電圧	$V_{RT}$	4.50	4.62	4.74	V	-
出力低電圧リセットヒステリシス	$V_{RHY}$	20	60	100	mV	-
RADJ 端子閾値	$V_{RADJ,TH}$	0.776	0.800	0.824	V	$3.5\text{ V} \leq V_O \leq 4.5\text{ V}$
RADJ 入力電流	$I_{RADJ}$	-1	0	+1	$\mu\text{A}$	$V_{RADJ} = 2\text{ V}$
RO プルアップ抵抗	$R_{RO}$	10	24	40	k $\Omega$	-
CT 上側スレッシュホールド	$V_{CTH}$	-	1.20	-	V	-
CT 下側スレッシュホールド	$V_{CTL}$	-	0.25	-	V	-
CT 充電電流	$I_{CT}$	5	12	20	$\mu\text{A}$	$V_{CT} = 0.5\text{ V}$
遅延時間 L→H (パワーオンリセット)	$T_{DLH}$	17	22	28	ms	$C_{CT} = 0.22\text{ }\mu\text{F}$ (Note 1)

(Note 1)  $T_{DLH}$  は CT に接続するコンデンサの容量を比率で計算し可変可能。(使用可能範囲 0.001 $\mu\text{F}$  ~10 $\mu\text{F}$ )
$$T_{DLH}(\text{ms}) \approx T_{DLH0}(0.22\mu\text{F 接続時のリセット遅延時間}) \times C_{CT}(\mu\text{F}) / 0.22 \quad C_{CT}: 0.1\mu\text{F} \leq C_{CT} \leq 10\mu\text{F}$$

例:  $C_{CT} = 2.2\mu\text{F}$  時  $170\text{ms} \leq T_{POR} \leq 280\text{ms}$

$$T_{DLH}(\text{ms}) \approx T_{DLH0}(0.22\mu\text{F 接続時のリセット遅延時間}) \times C_{CT}(\mu\text{F}) / 0.22 \pm 0.1 \quad C_{CT}: 0.001\mu\text{F} \leq C_{CT} < 0.1\mu\text{F}$$

例:  $C_{CT} = 0.022\mu\text{F}$  時  $1.6\text{ms} \leq T_{DLH} \leq 2.9\text{ms}$

## ●電気的特性 (電源電圧検出リセット)

(特に指定のない限り、 $-40^{\circ}\text{C} \leq T_j \leq 150^{\circ}\text{C}$ 、 $V_{CC} = 13.5\text{ V}$ )

項 目	記号	規 格 値			単位	条 件
		最小	標準	最大		
SI 上側スレッシュホールド	$V_{SIH}$	0.80	0.87	0.94	V	-
SI 下側スレッシュホールド	$V_{SIL}$	0.75	0.80	0.85	V	-
SO プルアップ抵抗	$R_{SO}$	10	24	40	k $\Omega$	-
SI 入力電流	$I_{SI}$	-1	0	+1	$\mu\text{A}$	$V_{SI} = 2\text{ V}$

●特性データ（参考データ）（特に指定のない限り、 $T_j = 25\text{ }^{\circ}\text{C}$ 、 $V_{CC} = 13.5\text{ V}$ ）

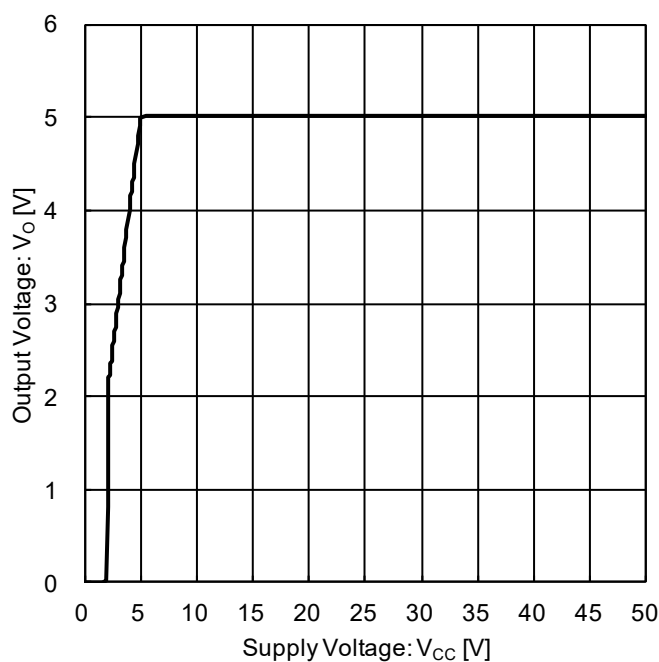


Figure 1. 出力電圧 vs 入力電源電圧  
( $R_L = \text{open}$ )

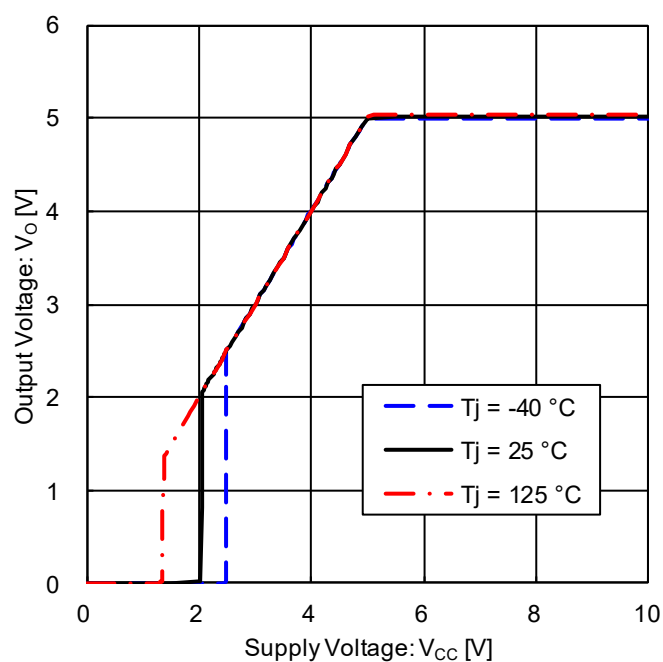


Figure 2. 出力電圧 vs 入力電源電圧  
(減電時  $R_L = \text{open}$ )

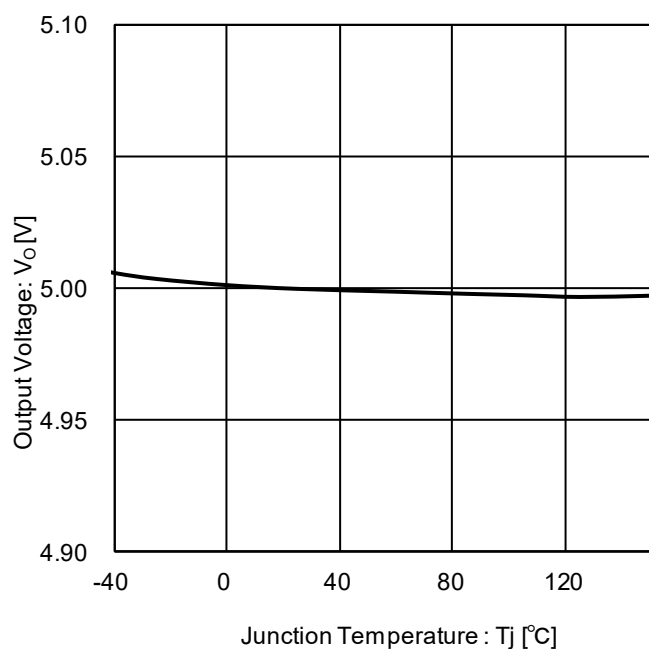


Figure 3. 出力電圧 vs 温度  
(出力電圧温度依存特性、 $R_L = 1\text{ k}\Omega$ )

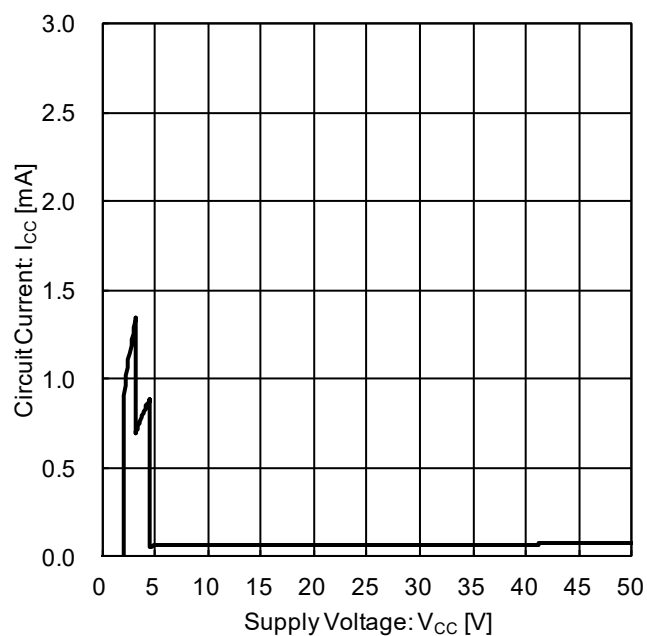


Figure 4. 回路電流 vs 入力電源電圧

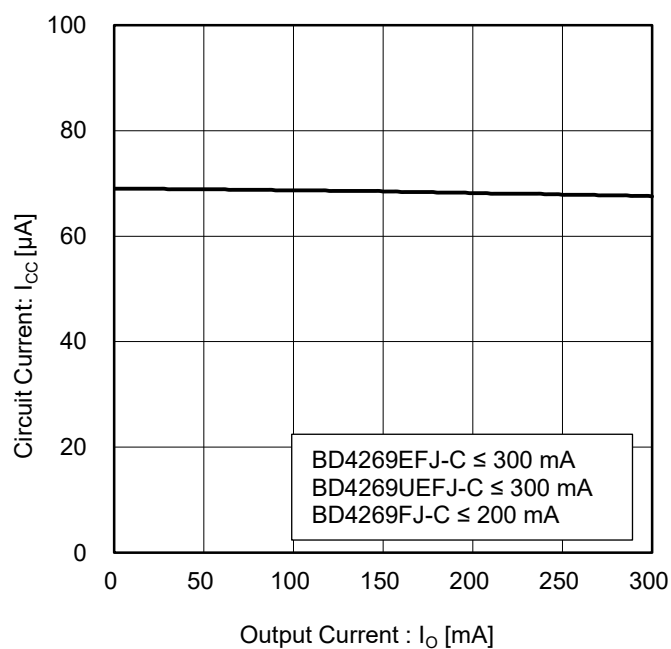
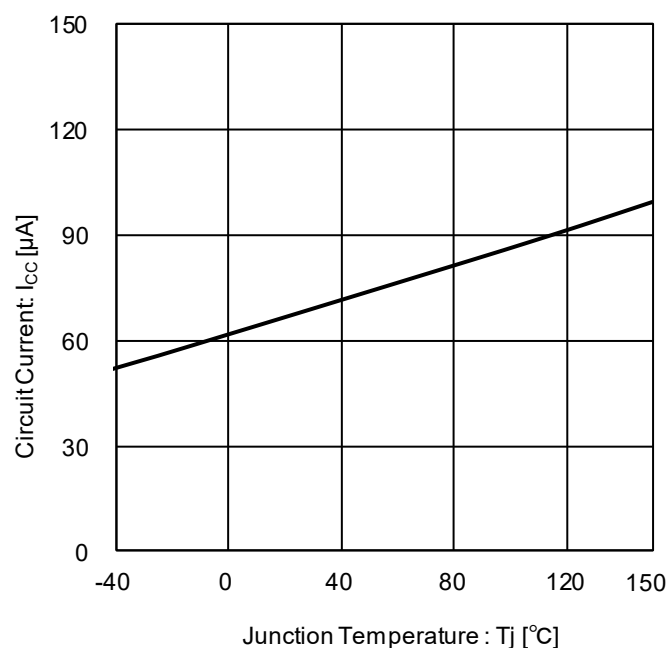
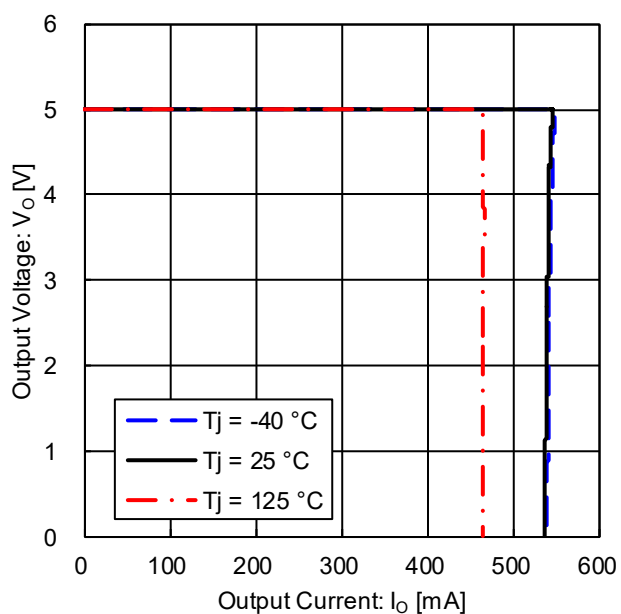
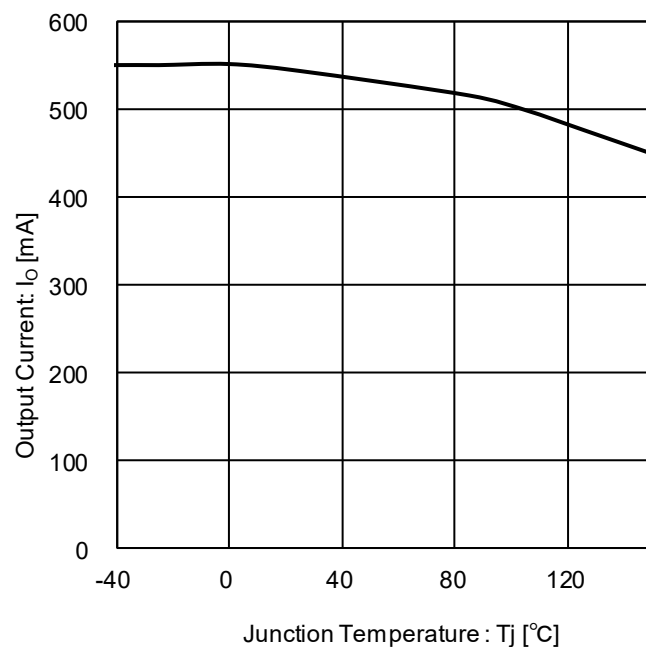
●特性データ（参考データ）（特に指定のない限り、 $T_j = 25\text{ }^{\circ}\text{C}$ 、 $V_{CC} = 13.5\text{ V}$ ）-続き

Figure 5. 回路電流 vs 負荷電流

Figure 6. 回路電流 vs 温度  
(回路電流温度依存特性)Figure 7. 出力電圧 vs 出力電流  
(過電流保護特性)Figure 8. 出力電流 vs 温度  
出力電流能力温度依存特性

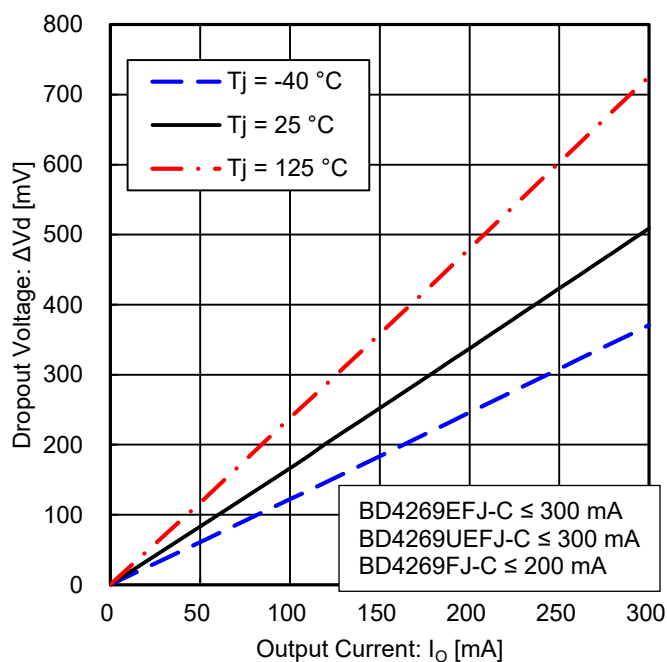
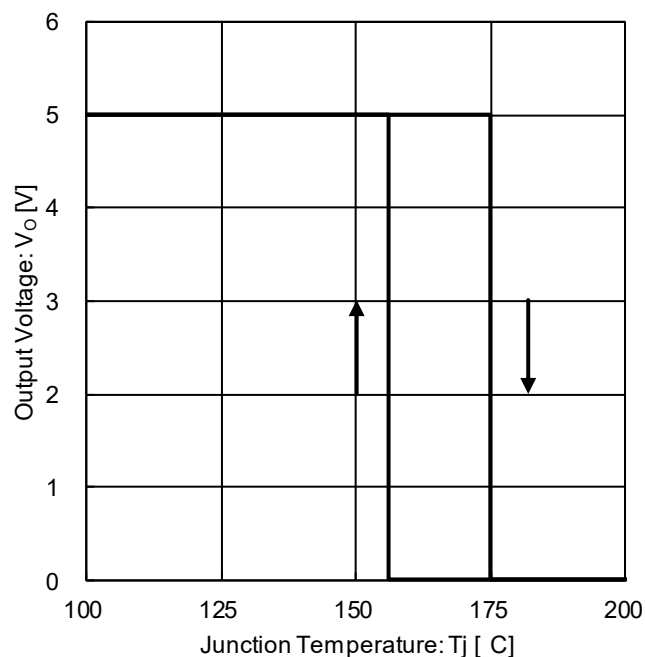
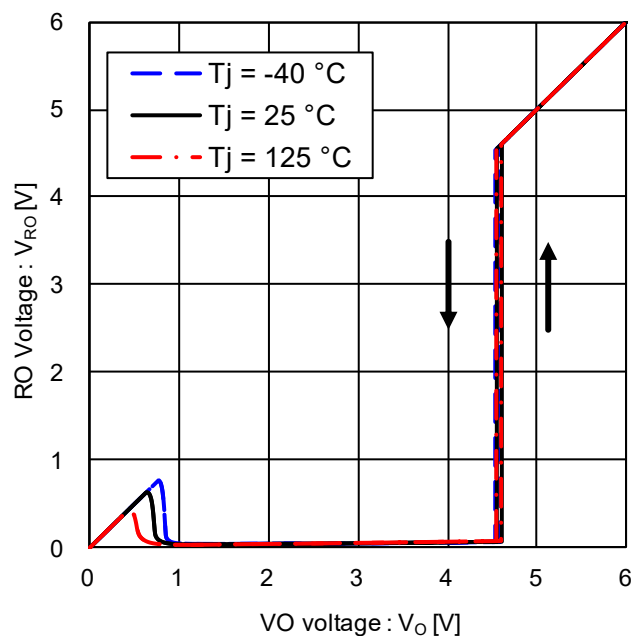
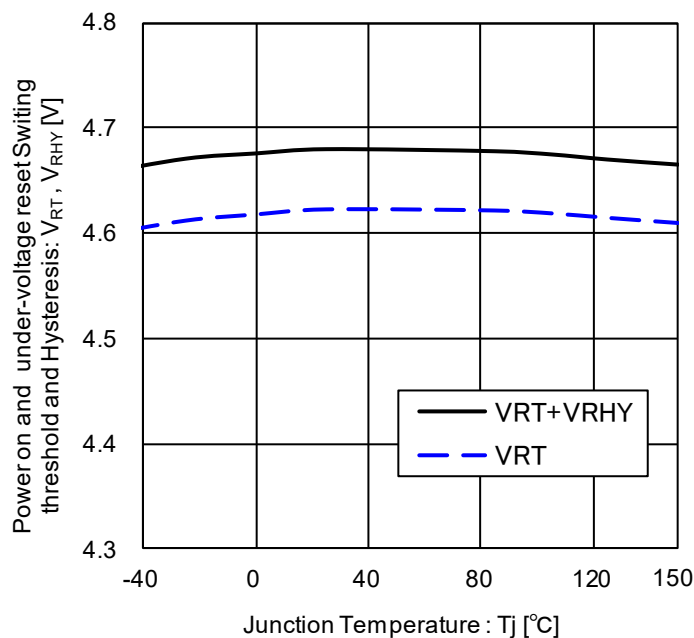
●特性データ（参考データ）（特に指定のない限り、 $T_j = 25\text{ }^{\circ}\text{C}$ 、 $V_{CC} = 13.5\text{ V}$ ）-続きFigure 9. 最小入出力電圧差 vs 負荷電流  
( $V_{CC} = 4.75\text{ V}$ )Figure 10. 出力電圧 vs 温度  
(温度保護回路特性)

Figure 11. RO 電圧 vs VO 電圧

Figure 12. 出力低電圧リセット検出電圧・  
ヒステリシス vs 温度  
(リセット検出電圧温度依存特性)

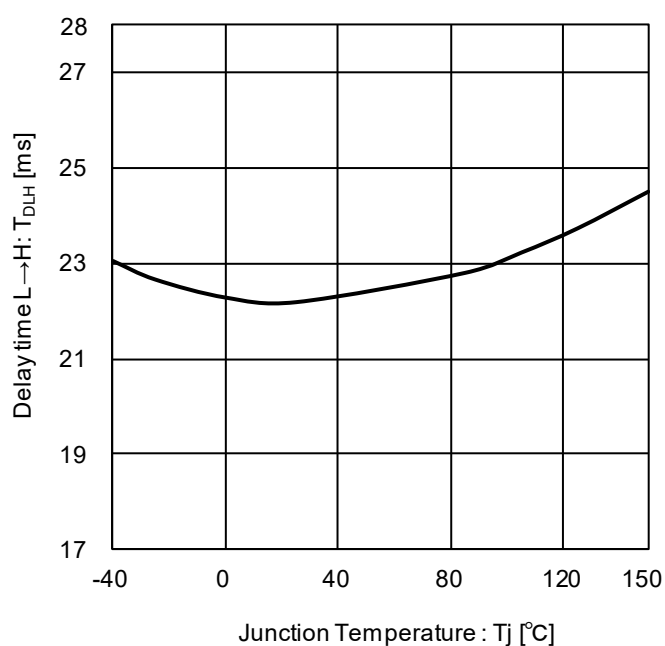
●特性データ（参考データ）（特に指定のない限り、 $T_j = 25\text{ }^{\circ}\text{C}$ 、 $V_{CC} = 13.5\text{ V}$ ）-続き

Figure 13. 遅延時間 L→H vs 温度  
(遅延時間 L→H 温度依存特性、 $C_{CT} = 0.22\text{ }\mu\text{F}$ )

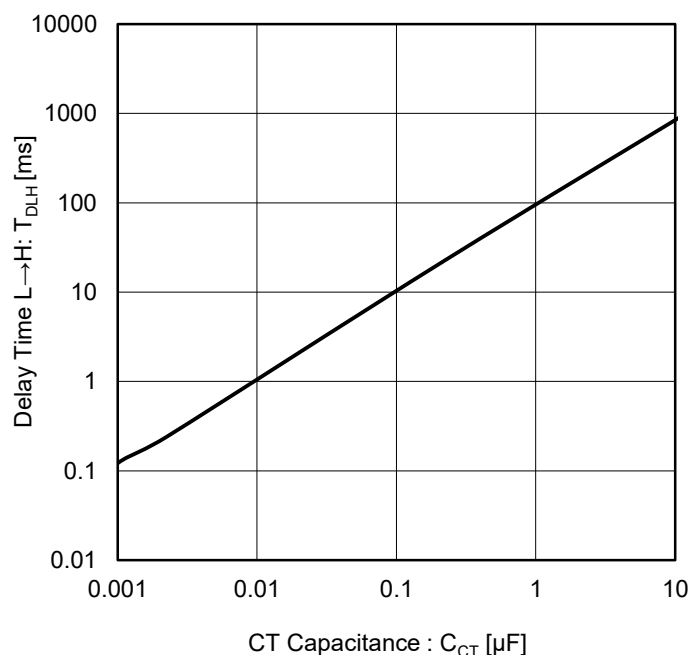


Figure 14. 遅延時間 L→H vs CT 容量

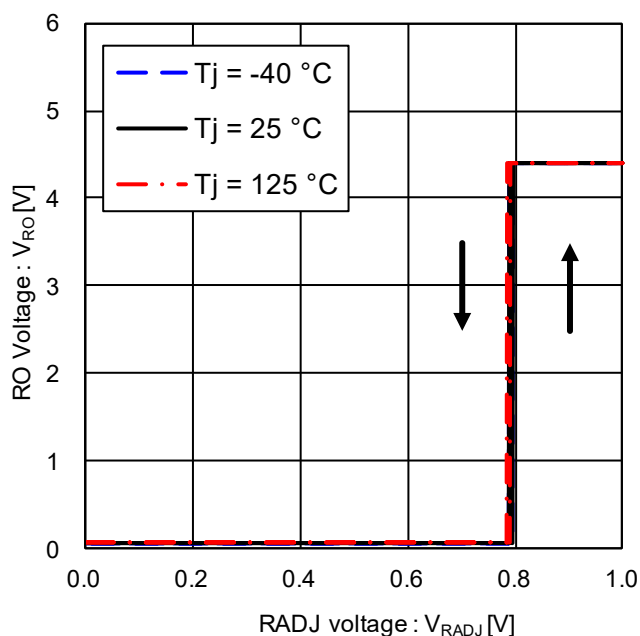


Figure 15. RO 電圧 vs RADI 電圧

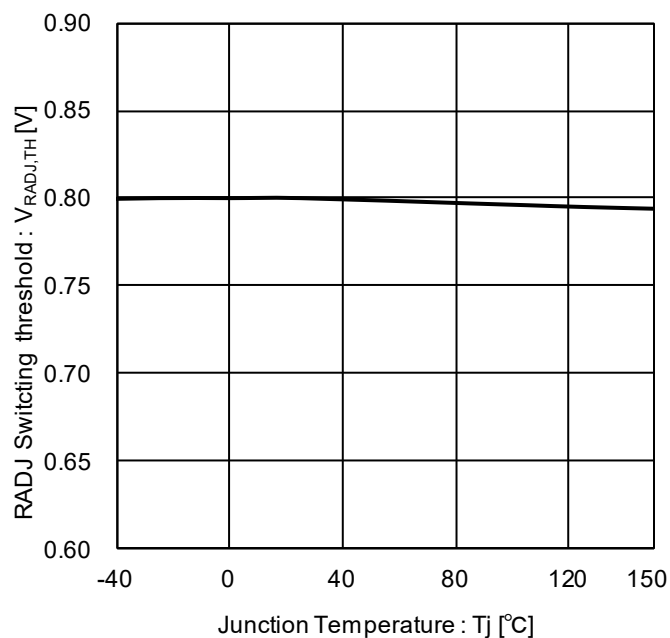


Figure 16. RADI 閾値 vs 温度  
(RADI 閾値電圧温度依存特性)

●特性データ（参考データ）（特に指定のない限り、 $T_j = 25\text{ }^{\circ}\text{C}$ 、 $V_{CC} = 13.5\text{ V}$ ）-続き

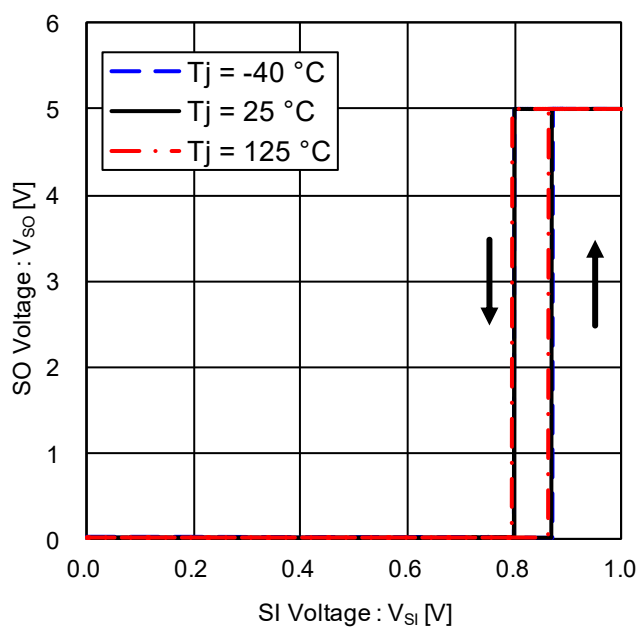


Figure 17. SO 電圧 vs SI 電圧

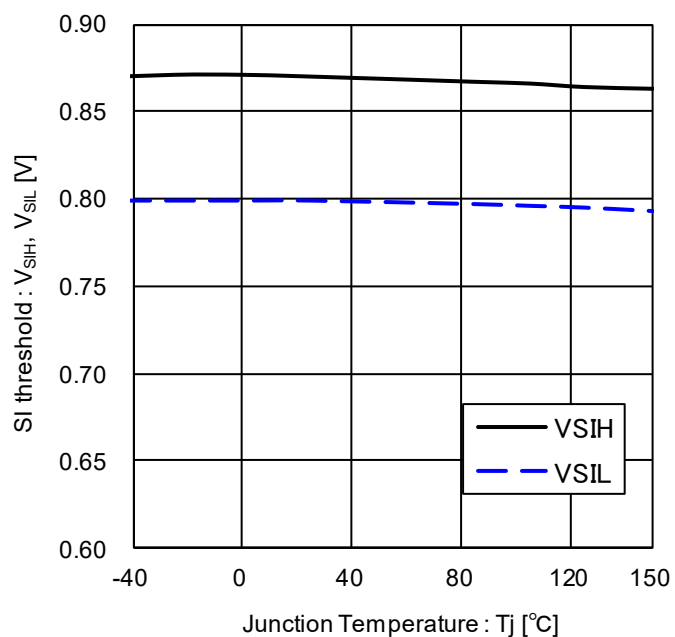


Figure 18. SI スレッシュホールド vs 温度  
(SI スレッシュホールド電圧温度依存特性)

## ●特性データ測定回路図

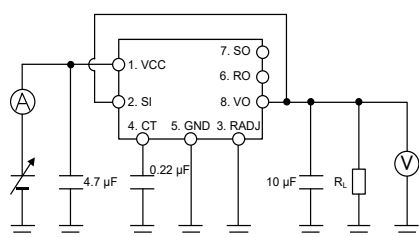


Figure.1、2、3、4、6、10 測定回路図

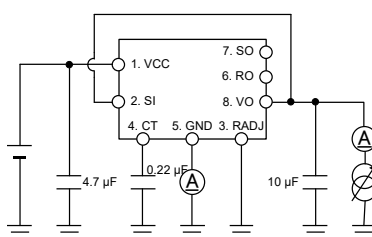


Figure.5 の測定回路図

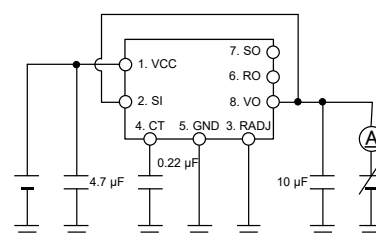


Figure.7、8 の測定回路図

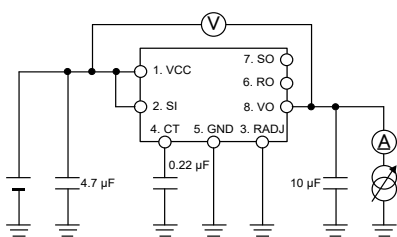


Figure.9 の測定回路図

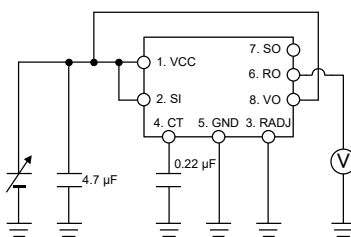


Figure.11、12 の測定回路図

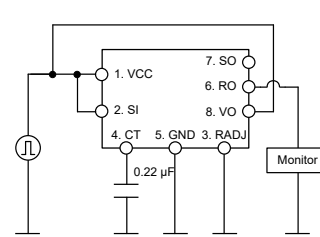


Figure.13、14 の測定回路図

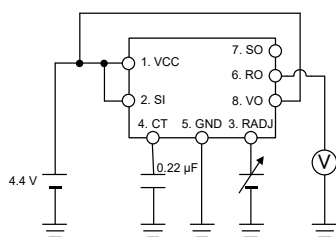


Figure.15、16 の測定回路図

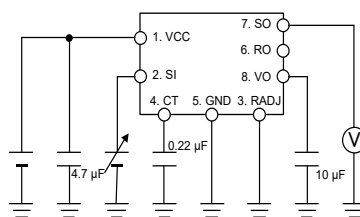
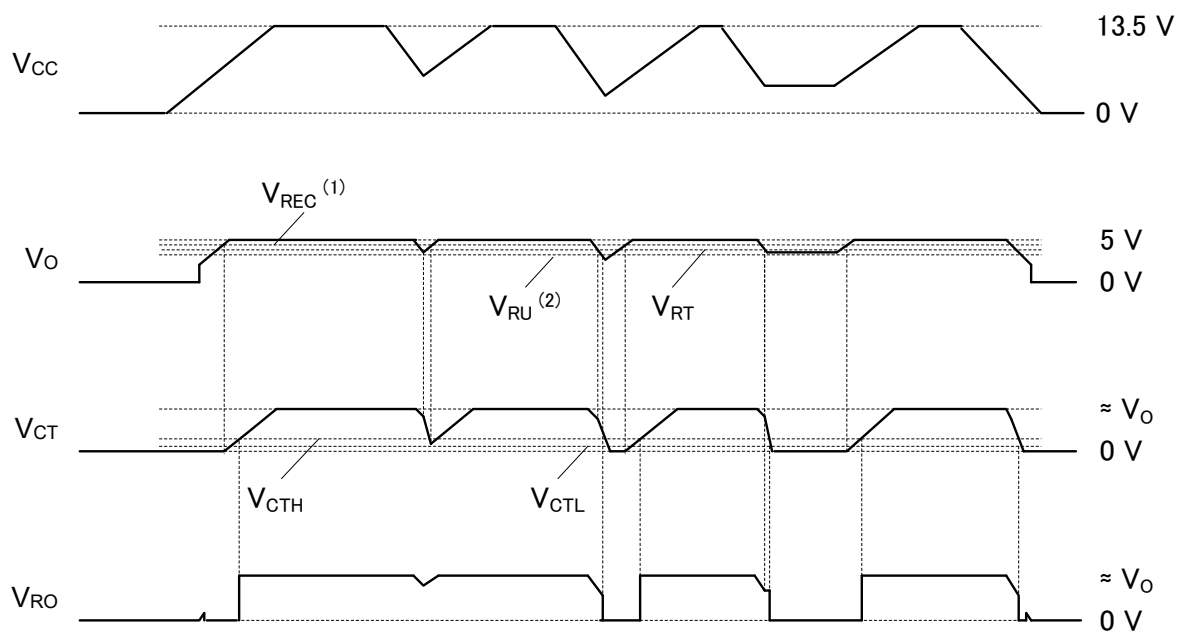


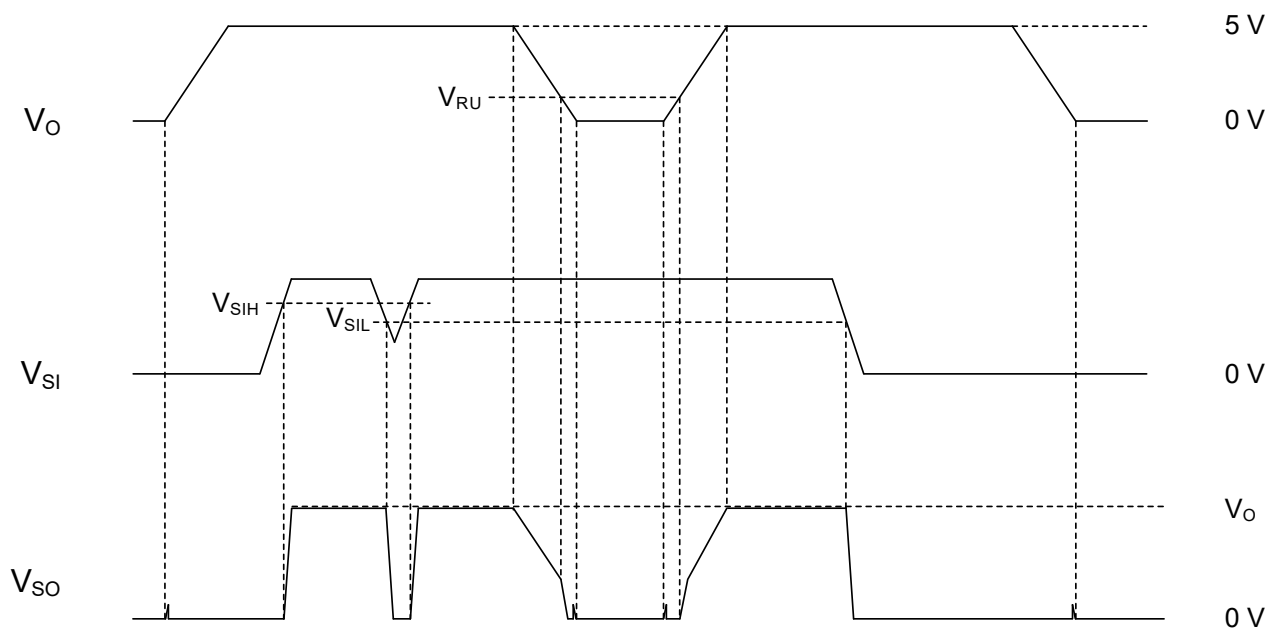
Figure.17、18 の測定回路図

## ● タイミングチャート

## 1. 出力低電圧リセット (RADJ を GND にプルダウン時)

(1)  $V_{REC} = V_{RT} + V_{RHY}$ (2)  $V_{RU} = 2 \text{ V to } 3.5 \text{ V}$ (3) RADJ をご使用の場合、 $V_{RT} = V_{RTADJ}$ ,  $V_{REC} = V_{RTADJ} + V_{RHY}$ 

## 2. 電源電圧検出リセット



## ●アプリケーション部品選定方法

### ・VCC 端子接続コンデンサについて

VCC - GND 間にコンデンサ 0.1 μF 以上を付加することで安定動作することができます。このコンデンサには、一般的に高周波特性に優れる、セラミックコンデンサを推奨します。ご使用になるセラミックコンデンサの DC バイアス特性、温度特性に十分注意して選定してください。なお、セラミックコンデンサをレイアウトする際は、高周波特性を最大限に発揮するために、VCC - GND 端子に出来る限り近くにレイアウトしてください。バッテリーからの距離が離れているときのように入力側のインピーダンスが高い場合は、大容量のコンデンサを使用してライン電圧の低下を防ぐ必要がございます。電源平滑回路と入力端子(VCC)とのラインインピーダンスに応じて選定してください。容量値設定はアプリケーションにより異なるため、実機にて確認の上、マージンを持って設計してください。

### ・出力端子接続コンデンサについて

出力端子と GND 間には発振止めのコンデンサを必ず入れてください。この発振止めのコンデンサには、容量値 6 μF 以上のセラミックコンデンサを推奨致します。コンデンサ選定に際して、使用する電圧、温度範囲で 6 μF 以上の容量値を確保してください。温度変化などによりコンデンサの容量値が変化し、この範囲を下回ると発振の可能性があります。

容量値 6 μF 以上であれば動作が安定することを IC 単品で確認しておりますが、実際には、基板の配線インピーダンス、入力電源のインピーダンス、負荷のインピーダンスの影響を受けるため、必ずご使用になる最終状態での十分なご確認をお願い致します。セラミックコンデンサの選定の際には、温度特性のよい X7R 以上で、DC バイアス特性の優れた高耐圧品をお勧めします。

急峻な入力電圧や負荷変動に対し、出力電圧が変動する場合があります。この変動がアプリケーション上問題となる場合、容量を増やして対応する必要があります。大容量コンデンサを接続する場合、低 ESR (ESR < 1 Ω) のコンデンサ 6 μF を接続した上で、ESR ≤ 5 Ω、容量値 13 μF 以上のコンデンサを並列に接続してください。この大容量コンデンサには、電解コンデンサ、導電性高分子コンデンサ、タンタルコンデンサなどあらゆる種類のコンデンサが使用可能です。電解コンデンサをご使用になる場合、低温時の ESR 増加、容量低下にご注意ください。

レイアウトの際、コンデンサは出来る限り VO 端子の近くに配置することを推奨致します。

### ・RADJ 端子設定方法について

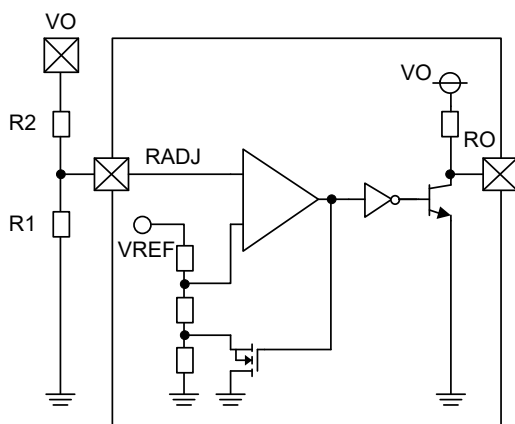


Figure 19. RADJ 端子設定方法

Figure 19 のように外付け抵抗 R1 と R2 を接続することで、出力低電圧リセットの検出電圧の調整が可能です。

リセット検出電圧は以下の計算式で算出してください。

$$V_O = V_{RADJ,TH} \times \frac{R1 + R2}{R1}$$

(R1 と R2 の推奨抵抗値：100kΩ 以下)

出力低電圧リセット検出電圧は 3.5 V~4.5 V で調整可能です。RADJ 端子を使用しない場合は、RADJ 端子を GND にショートしてください。RADJ 端子をオープンでご使用した場合、リセット機能が不安定になることがありますのでご注意ください。

### ・SI 端子設定方法について

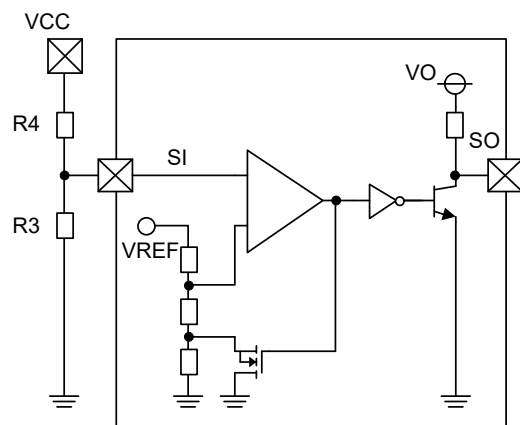


Figure 20. SI 端子設定方法

Figure 20 のように外付け抵抗 R3 と R4 を接続することで、IC の入力電源電圧または他電源電圧の監視が可能です。

電源電圧検出電圧の調整は以下の計算式で算出してください。

$$V_{CC} = V_{SIL} \times \frac{R3 + R4}{R3}$$

(R3 と R4 の推奨抵抗値：100kΩ 以下)

本 IC には、VO 低下時のリセット回路誤動作防止のための UVLO が内蔵されており、UVLO 動作時、SI 端子の電圧に関係なく SO 端子は L になります。UVLO 解除電圧の設定範囲は  $V_O < 3.5 \text{ V}$  のため、SI 端子を使用する場合は、 $V_O \geq 3.5 \text{ V}$  でご使用ください。

SI 端子を使用しない場合は、SI 端子を VO にショートしてください。SI 端子をオープンでご使用した場合、電源電圧検出リセットが不安定になることがありますのでご注意ください。

## ●熱損失について

## ■SOP-J8

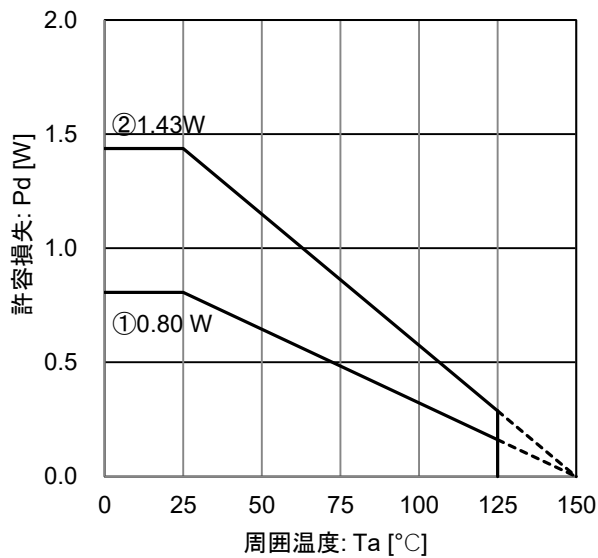


Figure 21. SOP-J8 パッケージ許容損失データ (参考データ)

ローム標準 JEDEC 基板実装

基板①: 1 層基板 (裏層銅箔 0mm × 0mm)

FR4(ガラエポ)基板 114.3mm × 76.2mm × 1.57mm

表層銅箔: ローム推奨ランドパターン + 測定用配線、銅箔厚 2oz

基板②: 4 層基板(2、3 層銅箔、裏層銅箔 74.2mm × 74.2mm)

FR4(ガラエポ)基板 114.3mm × 76.2mm × 1.60mm

表層銅箔: ローム推奨ランドパターン + 測定用配線、銅箔厚 2oz

2 / 3 層銅箔: 74.2mm × 74.2mm、銅箔厚 1oz

裏層銅箔: 74.2mm × 74.2mm、銅箔厚 2oz

条件①:  $\theta_{JA} = 155\text{ }^{\circ}\text{C/W}$ 、 $\Psi_{JT}$  (上面中心) =  $15\text{ }^{\circ}\text{C/W}$

条件②:  $\theta_{JA} = 87\text{ }^{\circ}\text{C/W}$ 、 $\Psi_{JT}$  (上面中心) =  $13\text{ }^{\circ}\text{C/W}$

## ■HTSOP-J8

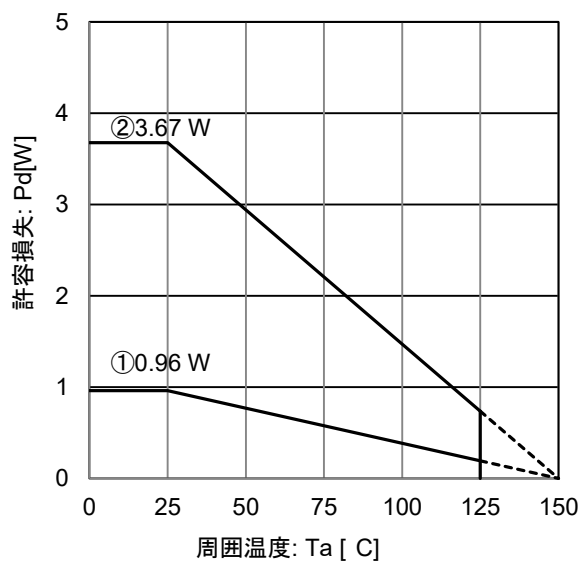


Figure 22. HTSOP-J8 パッケージ許容損失データ (参考データ)

ローム標準 JEDEC 基板実装

基板①: 1 層基板 (裏層銅箔 0mm × 0mm)

FR4(ガラエポ)基板 114.3mm × 76.2mm × 1.57mm

表層銅箔: ローム推奨ランドパターン + 測定用配線、銅箔厚 2oz

基板②: 4 層基板(2、3 層銅箔、裏層銅箔 74.2mm × 74.2mm)

FR4(ガラエポ)基板 114.3mm × 76.2mm × 1.60mm

表層銅箔: ローム推奨ランドパターン + 測定用配線、銅箔厚 2oz

2 / 3 層銅箔: 74.2mm × 74.2mm、銅箔厚 1oz

裏層銅箔: 74.2mm × 74.2mm、銅箔厚 2oz

条件①:  $\theta_{JA} = 130\text{ }^{\circ}\text{C/W}$ 、 $\Psi_{JT}$  (上面中心) =  $15\text{ }^{\circ}\text{C/W}$

条件②:  $\theta_{JA} = 34\text{ }^{\circ}\text{C/W}$ 、 $\Psi_{JT}$  (上面中心) =  $7\text{ }^{\circ}\text{C/W}$

## ●熱設計

本製品は使用される入出力電圧差と負荷電流量、回路電流で消費電力が決定されます。周囲温度  $T_a = 25\text{ }^{\circ}\text{C}$  以上でご使用になる場合は Figure 21、22 のパッケージ許容損失データを参考にしてください。また周囲温度  $T_a = 25\text{ }^{\circ}\text{C}$  でも、入力電圧と負荷電流の値によっては、チップ（接合部）温度  $T_j$  がかなり高温になっていることがありますので動作温度範囲内全てにおいて  $T_j \leq T_{j\max} = 150\text{ }^{\circ}\text{C}$  となるように設計してください。BD4269EFJ-C、BD4269UEFJ-C はパッケージの裏面にフレームを露出させており、この部分に放熱処理を施し放熱効率をあげて使用することが可能です。

万一、 $T_{j\max} = 150\text{ }^{\circ}\text{C}$  を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。本仕様書に記載されております熱抵抗値は、JEDEC で推奨されている基板条件、環境での測定になるため、実使用環境とは異なる可能性があり注意が必要です。以下式にて  $T_j$  を算出していただき、十分にマージンを持った形で放熱性能を確保してください。

$T_j$  は以下の 2 通りで考えることができます。

1. 周囲温度  $T_a$  から  $T_j$  を求める場合

$$T_j = T_a + P_c \times \theta_{JA}$$

$T_j$	: チップ（接合部）温度
$T_a$	: 周囲温度
$P_c$	: 消費電力
$\theta_{JA}$	: 熱抵抗 (ジャンクション - 周囲温度間)

2. パッケージ上面中心温度  $T_T$  から  $T_j$  を求める場合

$$T_j = T_T + P_c \times \psi_{JT}$$

$T_j$	: チップ（接合部）温度
$T_T$	: パッケージ(モールド部分)上面中心温度
$P_c$	: 消費電力
$\psi_{JT}$	: 熱特性パラメータ (ジャンクション - パッケージ上面中心間)

消費電力  $P_c$  は入出力の電圧差と負荷電流、回路電流より求めることができます。

$$P_c = (V_{CC} - V_O) \times I_O + V_{CC} \times I_{CC}$$

$P_c$	: 消費電力
$V_{CC}$	: 入力電圧
$V_O$	: 出力電圧
$I_O$	: 出力電流
$I_{CC}$	: 回路電流

## ・ 計算例 (SOP-J8)

$V_{CC} = 13.5\text{ V}$ 、 $V_O = 5.0\text{ V}$ 、 $I_O = 50\text{ mA}$ 、 $I_{CC} = 70\text{ }\mu\text{A}$  のとき消費電力  $P_C$  は、

$$\begin{aligned} P_C &= (V_{CC} - V_O) \times I_O + V_{CC} \times I_{CC} \\ &= (13.5\text{ V} - 5.0\text{ V}) \times 50\text{ mA} + 13.5\text{ V} \times 70\text{ }\mu\text{A} \\ &= 0.43\text{ W} \end{aligned}$$

となります。

この時、最大周囲温度  $T_{\text{amax}} = 85\text{ }^\circ\text{C}$ 、 $\theta_{JA} = 87\text{ }^\circ\text{C/W}$  (4 層基板実装時)とすると、

$$\begin{aligned} T_j &= T_{\text{amax}} + P_C \times \theta_{JA} \\ &= 85\text{ }^\circ\text{C} + 0.43\text{ W} \times 87\text{ }^\circ\text{C/W} \\ &= 122.5\text{ }^\circ\text{C} \end{aligned}$$

となります。

次に、実動作時のパッケージ(モールド部分)上面中心温度  $T_T = 100\text{ }^\circ\text{C}$ 、 $\Psi_{JT} = 15\text{ }^\circ\text{C/W}$  (1 層基板実装時)とすると、

$$\begin{aligned} T_j &= T_T + P_C \times \Psi_{JT} \\ &= 100\text{ }^\circ\text{C} + 0.43\text{ W} \times 15\text{ }^\circ\text{C/W} \\ &= 106.5\text{ }^\circ\text{C} \end{aligned}$$

となります。

上記計算にてマージンを確保できない場合は、基板の銅箔面積を広げる、基板層数を増やす、サーマル Via の本数を増やすなど、放熱性能を向上させることができます。

## ・ 計算例 (HTSOP-J8)

$V_{CC} = 13.5\text{ V}$ 、 $V_O = 5.0\text{ V}$ 、 $I_O = 50\text{ mA}$ 、 $I_{CC} = 70\text{ }\mu\text{A}$  のとき消費電力  $P_C$  は、

$$\begin{aligned} P_C &= (V_{CC} - V_O) \times I_O + V_{CC} \times I_{CC} \\ &= (13.5\text{ V} - 5.0\text{ V}) \times 50\text{ mA} + 13.5\text{ V} \times 70\text{ }\mu\text{A} \\ &= 0.43\text{ W} \end{aligned}$$

となります。

この時、最大周囲温度  $T_{\text{amax}} = 85\text{ }^\circ\text{C}$ 、 $\theta_{JA} = 34\text{ }^\circ\text{C/W}$  (4 層基板実装時)とすると、

$$\begin{aligned} T_j &= T_{\text{amax}} + P_C \times \theta_{JA} \\ &= 85\text{ }^\circ\text{C} + 0.43\text{ W} \times 34\text{ }^\circ\text{C/W} \\ &= 99.7\text{ }^\circ\text{C} \end{aligned}$$

となります。

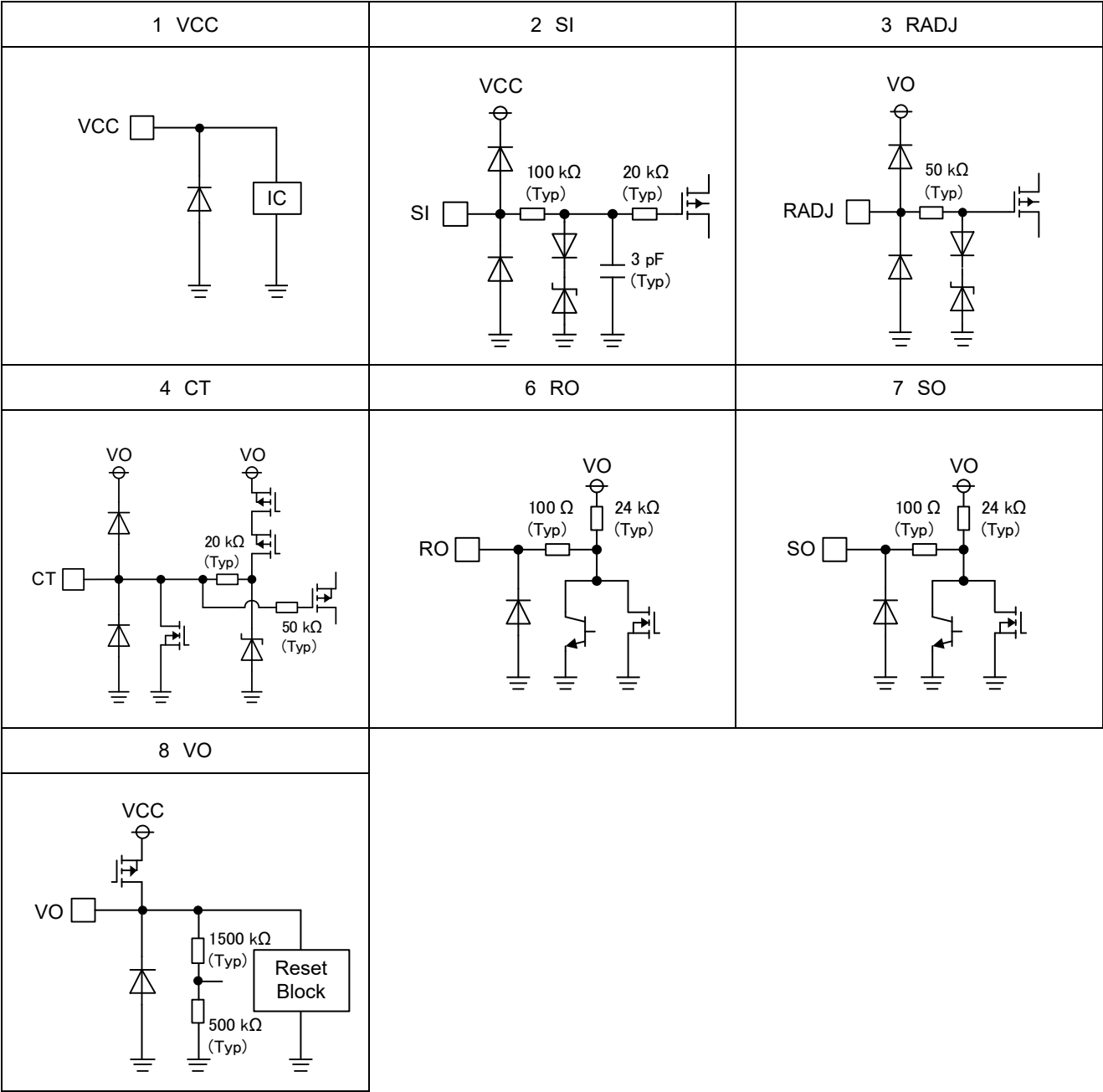
次に、実動作時のパッケージ(モールド部分)上面中心温度  $T_T = 100\text{ }^\circ\text{C}$ 、 $\Psi_{JT} = 15\text{ }^\circ\text{C/W}$  (1 層基板実装時)とすると、

$$\begin{aligned} T_j &= T_T + P_C \times \Psi_{JT} \\ &= 100\text{ }^\circ\text{C} + 0.43\text{ W} \times 15\text{ }^\circ\text{C/W} \\ &= 106.5\text{ }^\circ\text{C} \end{aligned}$$

となります。

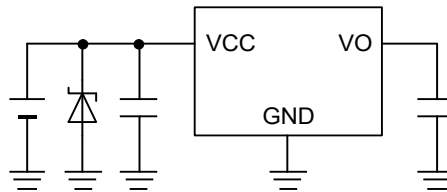
上記計算にてマージンを確保できない場合は、基板の銅箔面積を広げる、基板層数を増やす、サーマル Via の本数を増やすなど、放熱性能を向上させることができます。

●入出力等価回路図

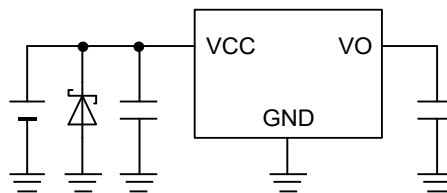


## ●応用回路例

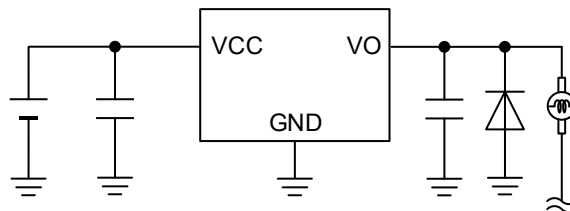
1. VCC 端子への正サージ印加について  
VCC に 45V を越えるサージが印加される場合は、下図のように VCC-GND 間にパワーツェナーの挿入をお願い致します。



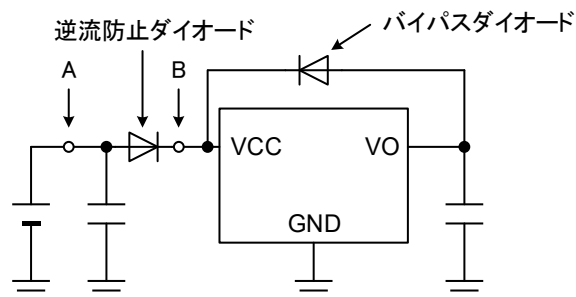
2. VCC 端子への負サージ印加について  
VCC が GND より低い電圧になる可能性がある場合は、下図のように VCC-GND 間にショットキーダイオードの挿入をお願い致します。



3. 保護ダイオードの挿入について  
出力端子に大きなインダクタンス成分を含む負荷が接続され、起動時及び、出力 OFF 時に逆起電力の発生が考えられる場合には、保護ダイオードの挿入をお願いします。



4. 逆流防止ダイオードの挿入について  
アプリケーションにおいて VCC と VO 端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、VO の外付けコンデンサに電荷がチャージされた状態で、点 A 部が GND にショートされた場合などです。これらの場合に内部回路または素子の損傷を減らすために VO の外付けコンデンサは 1000  $\mu$ F 以下でご使用ください。また、VCC 直列に逆流防止のダイオードもしくは VO と VCC 間にバイパスのダイオードを挿入することで点 A 部が GND ショートされた場合、バッテリーを逆接続した場合の逆流を阻止できます。点 B 部の GND ショートを想定する必要がある場合は、VO と VCC 間にバイパスのダイオードを挿入することを推奨します。



## ●使用上の注意

1. 電源の逆接続について  
電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れる等の対策を施してください。
2. 電源ラインについて  
基板パターンの設計においては、電源 / GND ラインの配線は、低インピーダンスになるようにしてください。その際、デジタル系電源とアナログ系電源は、それらが同電位であっても、デジタル系電源パターンとアナログ系電源パターンは分離し、配線パターンの共通インピーダンスによるアナログ電源へのデジタル・ノイズの回り込みを抑止してください。GND ラインについても、同様のパターン設計を考慮してください。また、LSI のすべての電源端子について電源-GND 端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量ぬけが起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。
3. グラウンド電位について  
GND 端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、GND 端子以外のすべての端子が GND 以下の電圧にならないようにしてください。
4. グラウンド配線パターンについて  
小信号 GND と大電流 GND がある場合、大電流 GND パターンと小信号 GND パターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号 GND の電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品の GND の配線パターンも変動しないよう注意してください。電源 / GND ラインの配線は、低インピーダンスになるようにしてください。
5. 熱設計について  
発生する熱量は使用されます入出力電圧差と負荷の量、回路電流で決定されます。BD4269EFJ-C、BD4269UEFJ-C はパッケージの裏側にフレームを露出させておりますので、放熱効率を上げる必要がある場合、この部分に放熱処理を施してのご使用が可能です。実際の使用状態での許容損失(Pd)を考え、十分マージンを持った熱設計を行ってください。  
万一、 $T_{jmax} = 150\text{ }^{\circ}\text{C}$  を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。本仕様書に記載されております熱抵抗値は、JEDEC で推奨されている基板条件、環境での測定になるため、実使用環境とは異なる可能性があります。注意が必要です。
6. 推奨動作条件について  
この範囲であればほぼ期待通りの特性を得ることが出来る範囲です。電気特性については各項目の条件下において保証されるものです。推奨動作範囲内であっても電圧、温度特性を示します。
7. ラッシュカレントについて  
IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、GND パターン配線の幅、引き回しに注意してください。
8. セット基板での検査について  
セット基板での検査時に、インピーダンスの低いピンにコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。
9. 端子間ショートと誤装着について  
プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けした場合、IC が破壊する恐れがあります。また、出力と電源および GND 間に異物が入るなどしてショートした場合についても破壊の恐れがあります。
10. 未使用の入力端子の処理について  
CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくは GND に接続するようにしてください。

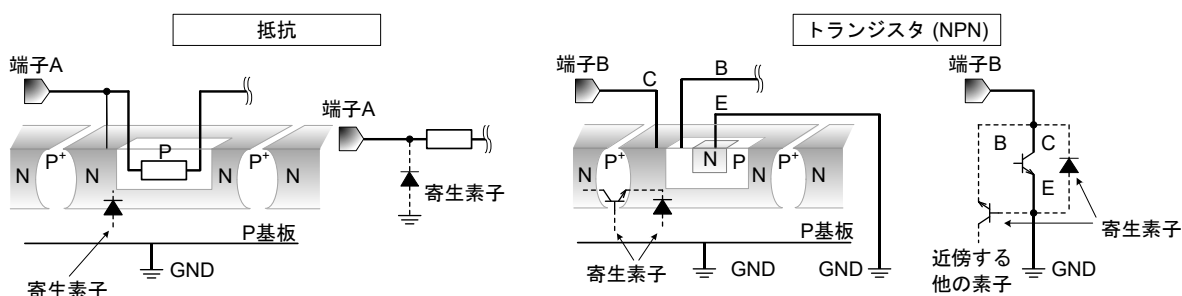
## 11. 各入力端子について

本 IC はモノリシック IC であり、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、 $GND > (\text{端子 A})$  の時、トランジスタ (NPN) では  $GND > (\text{端子 B})$  の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ (NPN) では、 $GND > (\text{端子 B})$  の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に  $GND$  (P 基板) より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。プリケーションにおいて  $V_{CC}$  と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、 $V_{CC}$  が  $GND$  にショートされた場合などです。出力端子のコンデンサは  $1000\mu F$  以下でご使用ください。また、 $V_{CC}$  直列に逆流防止のダイオードもしくは各端子と  $V_{CC}$  間にバイパスのダイオードを挿入することを推奨します。



## 12. セラミックコンデンサの特性変動について

外付けコンデンサに、セラミックコンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮の上定数を決定してください。

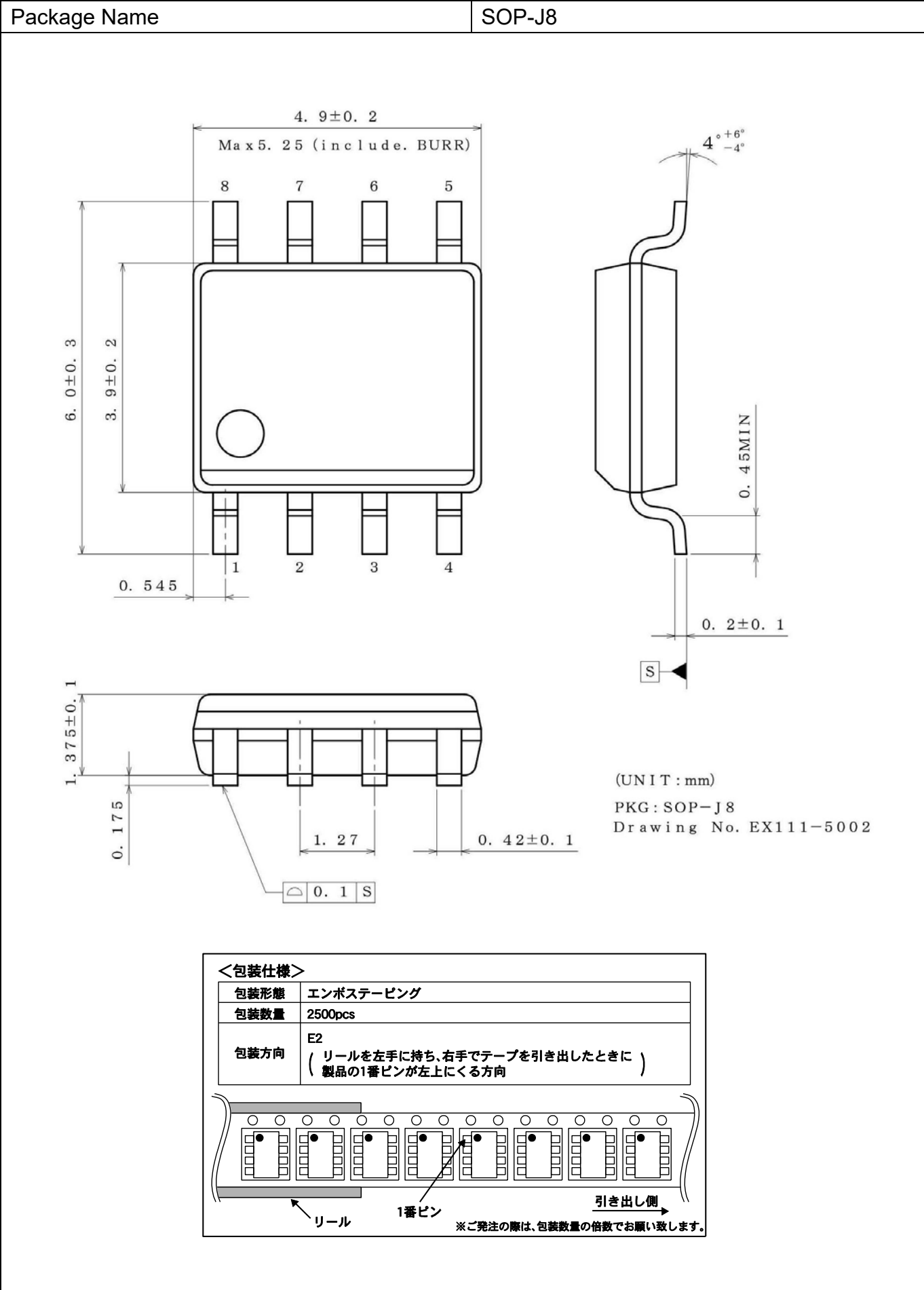
## 13. 温度保護回路について

IC を熱破壊から防ぐための温度保護回路を内蔵しております。許容損失範囲内でご使用いただきますが、万が一許容損失を超えた状態が継続すると、チップ温度  $T_j$  が上昇し温度保護回路が動作し出力パワー素子が OFF します。その後チップ温度  $T_j$  が低下すると回路は自動で復帰します。なお、温度保護回路は絶対最大定格を超えた状態での動作となりますので、温度保護回路を使用したセット設計等は、絶対に避けてください。

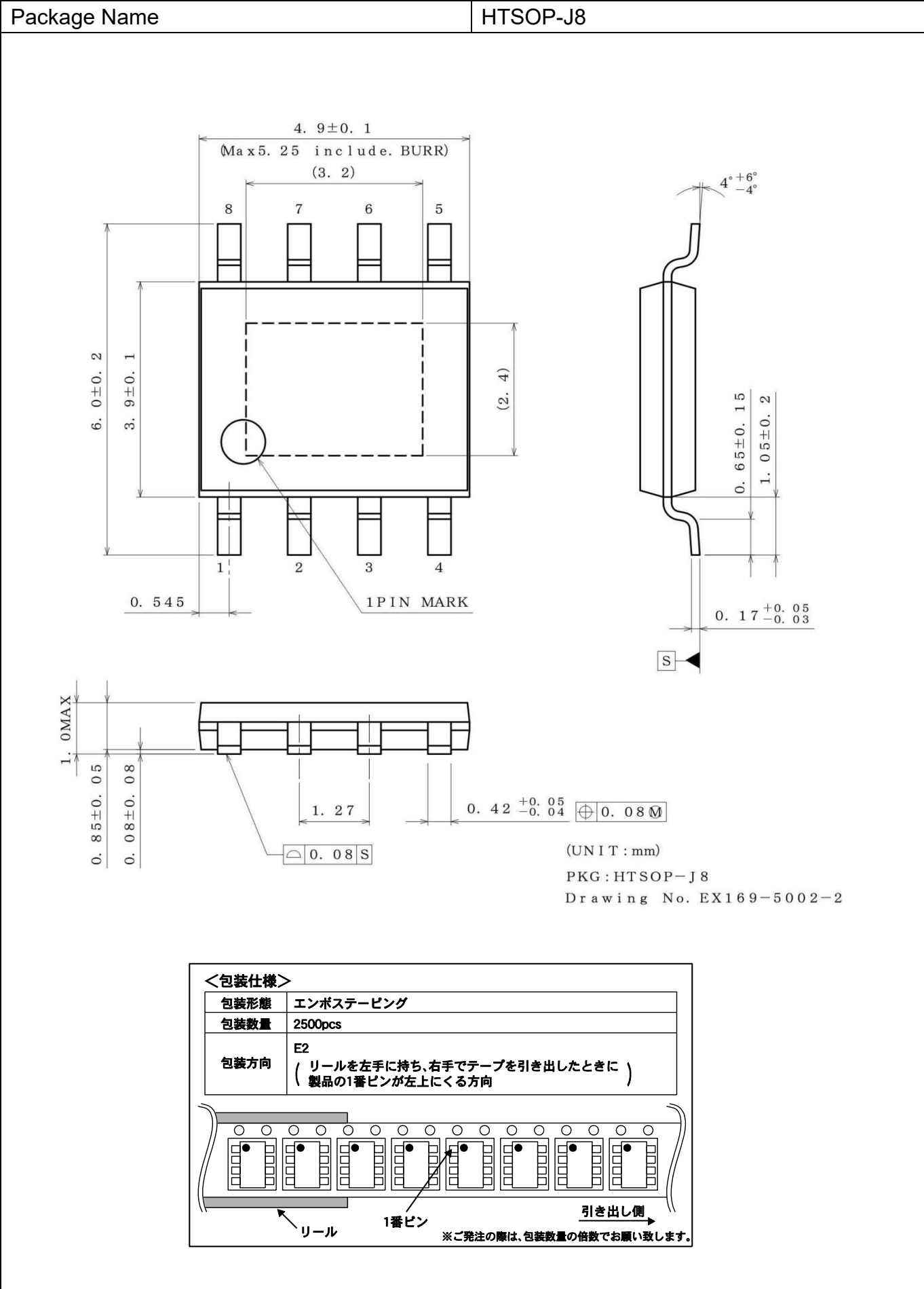
## 14. 過電流保護回路について

出力には電流能力に応じた過電流保護回路が内部に内蔵されているため、負荷ショート時には IC 破壊を防止しますが、この保護回路は突発的な事故による破壊防止に有効なもので、連続的な保護回路動作、過渡時でのご使用に対応するものではありません。

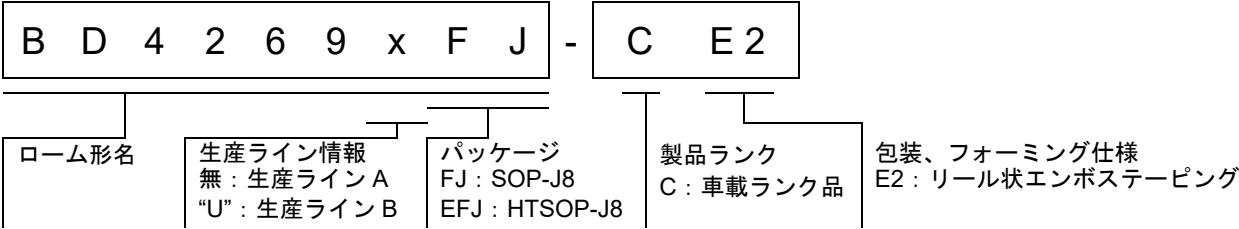
●外形寸法図と包装・フォーミング仕様



●外形寸法図と包装・フォーミング仕様 — 続き



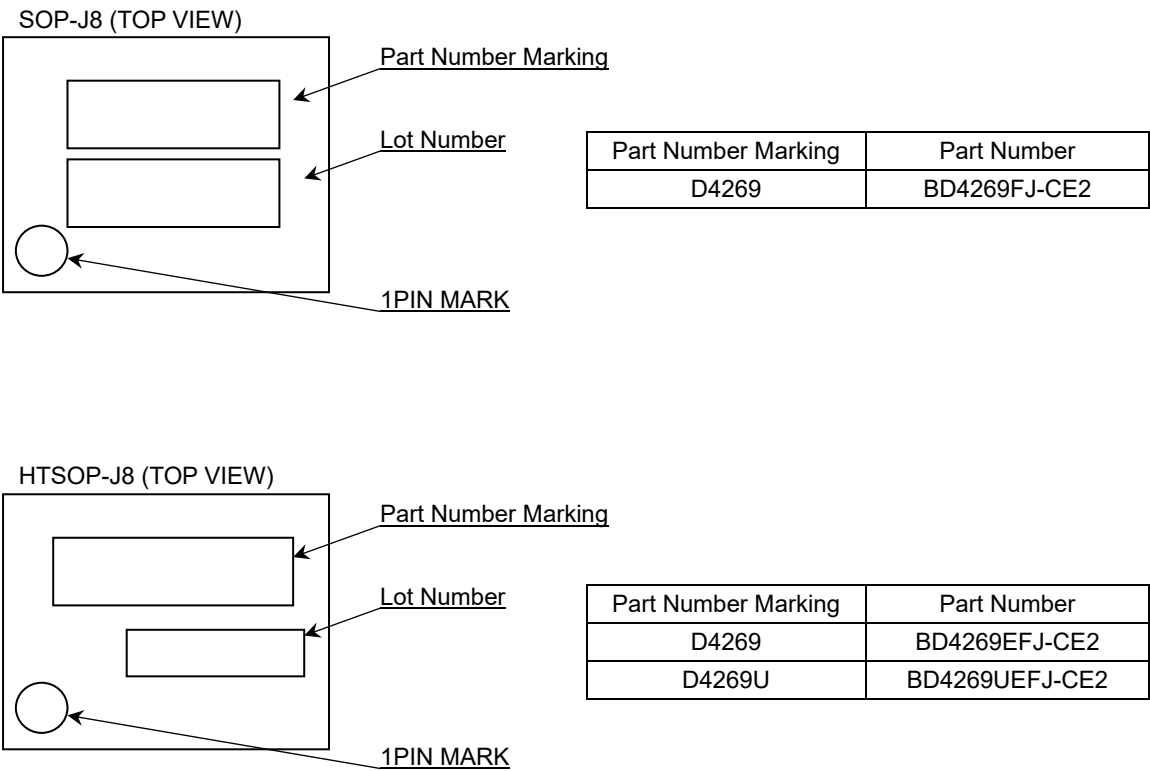
●発注形名情報



パッケージ	発注形名	備考
SOP-J8	BD4269FJ-CE2	-
HTSOP-J8	BD4269EFJ-CE2	生産ライン A (Note 1)
	BD4269UEFJ-CE2	生産ライン B (Note 2)

(Note 1) 生産ライン A、B は生産効率向上を目的に複数ライン構成となっています。  
データシート内の特性保証に差異はありません。新規ご採用時は生産ライン B を推奨します。

●標印図



## ●改訂履歴

日付	Revision	変更内容
2014.07.31	001	新規作成
2015.02.27	002	BD4269EFJ-C を追加 P1 AEC-Q100 の Grade を追記 P4, P5, P15, P16, P17 SOP-J8 熱特性値について、表現方法を変更 P14 VCC 端子・出力端子コンデンサについて、表現方法を変更 P19 逆流防止ダイオードの挿入について、記述を追記 P20 熱設計について、表現方法を変更
2015.03.20	003	英語版の訂正に伴い、日本語版も Revision を更新（内容の変更はなし）
2015.06.05	004	P16 熱設計についての記述を誤記訂正 P21 温度保護回路についての記述を誤記訂正
2021.11.19	005	BD4269UEFJ-C を追加 P.2 ブロック図に PREREG、TSD、OCP を追加 P.3 各ブロック動作説明に PREREG を追加

# ご注意

## ローム製品取扱い上の注意事項

- 極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器<sup>(Note 1)</sup>、航空宇宙機器、原子力制御装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

- 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
  - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
  - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
- 本製品は、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
  - ①水・油・薬液・有機溶剤等の液体中でのご使用
  - ②直射日光・屋外暴露、塵埃中でのご使用
  - ③潮風、Cl<sub>2</sub>、H<sub>2</sub>S、NH<sub>3</sub>、SO<sub>2</sub>、NO<sub>2</sub>等の腐食性ガスの多い場所でのご使用
  - ④静電気や電磁波の強い環境でのご使用
  - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合
  - ⑥本製品を樹脂等で封止、コーティングしてのご使用
  - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用される場合は除く。ただし、残渣については十分に確認をお願いします。)又は、はんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合
  - ⑧結露するような場所でのご使用
- 本製品は耐放射線設計はなされておられません。
- 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
- パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
- 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
- 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
- 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

## 実装及び基板設計上の注意事項

- ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
- はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。  
その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

## **応用回路、外付け回路等に関する注意事項**

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

## **静電気に対する注意事項**

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。（人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等）

## **保管・運搬上の注意事項**

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
  - ① 潮風、Cl<sub>2</sub>、H<sub>2</sub>S、NH<sub>3</sub>、SO<sub>2</sub>、NO<sub>2</sub>等の腐食性ガスの多い場所での保管
  - ② 推奨温度、湿度以外での保管
  - ③ 直射日光や結露する場所での保管
  - ④ 強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱いください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

## **製品ラベルに関する注意事項**

本製品に貼付されている製品ラベルに2次元バーコードが印字されていますが、2次元バーコードはロームの社内管理のみを目的としたものです。

## **製品廃棄上の注意事項**

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

## **外国為替及び外国貿易法に関する注意事項**

本製品は、外国為替及び外国貿易法に定めるリスト規制貨物等に該当するおそれがありますので、輸出する場合には、ロームへお問い合わせください。

## **知的財産権に関する注意事項**

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等（ソフトウェア含む）との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

## **その他の注意事項**

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

**一般的な注意事項**

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。