

ウォッチドッグタイマ付きリセット内蔵低飽和レギュレータ

車載用 200 mA LDO レギュレータ

+ WDT + RESET

BD820F50EFJ-C BD820F5UEFJ-C

概要

BD820F50EFJ-C、BD820F5UEFJ-C は 45 V 高耐圧のレギュレータであり、その出力を監視するリセット (RESET)、ウォッチドッグタイマ (WDT) を内蔵しています。出力電流能力 200 mA でありながら暗電流を低く抑えており、システムの低消費電流化に適しています。また、レギュレータの出力が 4.2 V (Typ) を下回ると RESET 信号を出力します。RESET 遅延時間、WDT 監視時間は外付けコンデンサにより調整することができます。

重要特性

- 広温度範囲 (Tj) : -40 °C to +150 °C
- 広入力電圧範囲 : -0.3 V to +45 V
- 低暗電流 : 6 μ A (Typ)
- 出力電流 : 200 mA (Max)
- 出力電圧 : 5.0 V (Typ)

パッケージ

HTSOP-J8

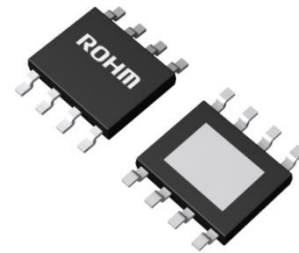
W (Typ) x D (Typ) x H (Max)

4.90 mm x 6.00 mm x 1.00 mm

特長

- AEC-Q100 準拠 (Note 1)
- 車載対応品
- 出力コンデンサとして低 ESR セラミック・コンデンサ使用可
- 低飽和電圧 PMOS 出力 Tr
- 出力低電圧検出 RESET 回路内蔵
- 外付けコンデンサによって RESET 遅延時間及び WDT 監視時間調節可
- 過電流保護 (OCP) 内蔵
- 過熱保護 (TSD) 内蔵

(Note 1) Grade 1



HTSOP-J8

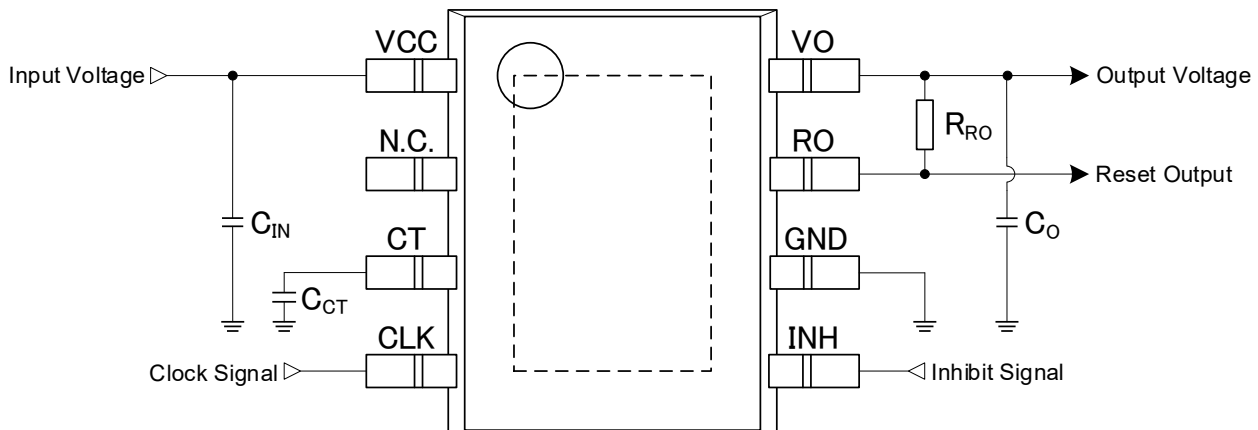
用途

- パワートレイン
- ボディ系機器
- カーステレオ
- カーナビゲーション

基本アプリケーション回路

- 外付け部品
コンデンサ (Note 2) : $0.1 \mu\text{F} \leq C_{\text{IN}}$ (Min) 、 $6 \mu\text{F} \leq C_{\text{O}}$ (Min) 、 $0.047 \mu\text{F} \leq C_{\text{CT}} \leq 10 \mu\text{F}$
抵抗 : $5.1 \text{k}\Omega$ (Min) $\leq R_{\text{RO}}$

(Note 2) 電解、タンタル、セラミック・コンデンサが使用可能です。

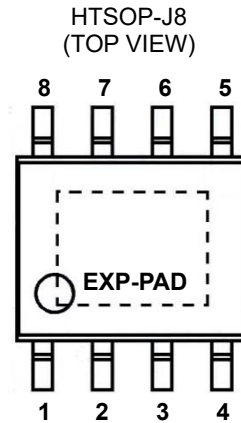


目 次

概要	1
特長	1
用途	1
重要特性	1
パッケージ	1
基本アプリケーション回路	1
端子配置図	4
端子説明	4
ブロック図	5
各ブロック動作説明	6
絶対最大定格	7
熱抵抗	7
動作条件	8
電気的特性	9
全体	9
LDO 機能	9
RESET、WDT 機能	10
特性データ	11
Figure 1. Circuit Current vs Supply Voltage	11
Figure 2. Circuit Current vs Supply Voltage	11
Figure 3. Circuit Current vs Junction Temperature	11
Figure 4. Circuit Current vs Output Current	11
Figure 5. Output Voltage vs Supply Voltage	12
Figure 6. Output Voltage vs Supply Voltage	12
Figure 7. Output Voltage vs Junction Temperature	12
Figure 8. Output Voltage vs Output Current	12
Figure 9. Drop Voltage vs Output Current	13
Figure 10. Ripple Rejection vs Frequency	13
Figure 11. Output Voltage vs Junction Temperature	13
Figure 12. Reset Voltage vs Output Voltage	14
Figure 13. Reset Voltage vs Output Voltage	14
Figure 14. Reset Voltage vs Junction Temperature	14
Figure 15. CT Current vs Junction Temperature	14
Figure 16. CT Voltage vs Junction Temperature	15
Figure 17. Delay Time vs Junction Temperature	15
Figure 18. Delay Time vs CT Capacitance	15
Figure 19. WDT Time vs Junction Temperature	15
Figure 20. WDT Monitor Time vs CT Capacitance	16
Figure 21. Delay Time vs CT Capacitance	16
Figure 22. CLK Input Current vs CLK Voltage	16
Figure 23. INH Input Current vs INH Voltage	16
Figure 24. RO Current vs RO Voltage	17
参考特性データ測定回路図	18
タイミングチャート	20
VCC ON/OFF	20
CLK ON/OFF	22
INH ON/OFF 1	23
INH ON/OFF 2	24
アプリケーションと実装	25
外付け部品選定方法	25
入力端子コンデンサについて	25
出力端子コンデンサについて	25
基本アプリケーション回路とレイアウト例	27
リニアレギュレータの入力にサージ印加時の保護	28
入力への正サージ印加について	28
入力への負サージ印加について	28
リニアレギュレータの逆電圧保護	28
入出力電圧の条件が逆転する場合について	28
入力の逆電圧保護	29
出力にインダクタを接続する場合の逆電圧保護	30
許容損失について	31
熱設計	32
計算例 (HTSOP-J8)	32

入出力等価回路図	33
使用上の注意	34
1. 電源の逆接続について	34
2. 電源ラインについて	34
3. グラウンド電位について	34
4. グラウンド配線パターンについて	34
5. 動作条件について	34
6. ラッシュカレントについて	34
7. 熱設計について	34
8. セット基板での検査について	34
9. 端子間ショートと誤装着について	34
10. 未使用の入力端子の処理について	34
11. 各入力端子について	35
12. セラミック・コンデンサの特性変動について	35
13. 過熱保護回路について	35
14. 過電流保護回路について	35
発注形名情報	36
標印図	36
外形寸法図と包装・フォーミング仕様	37
改訂履歴	38

端子配置図



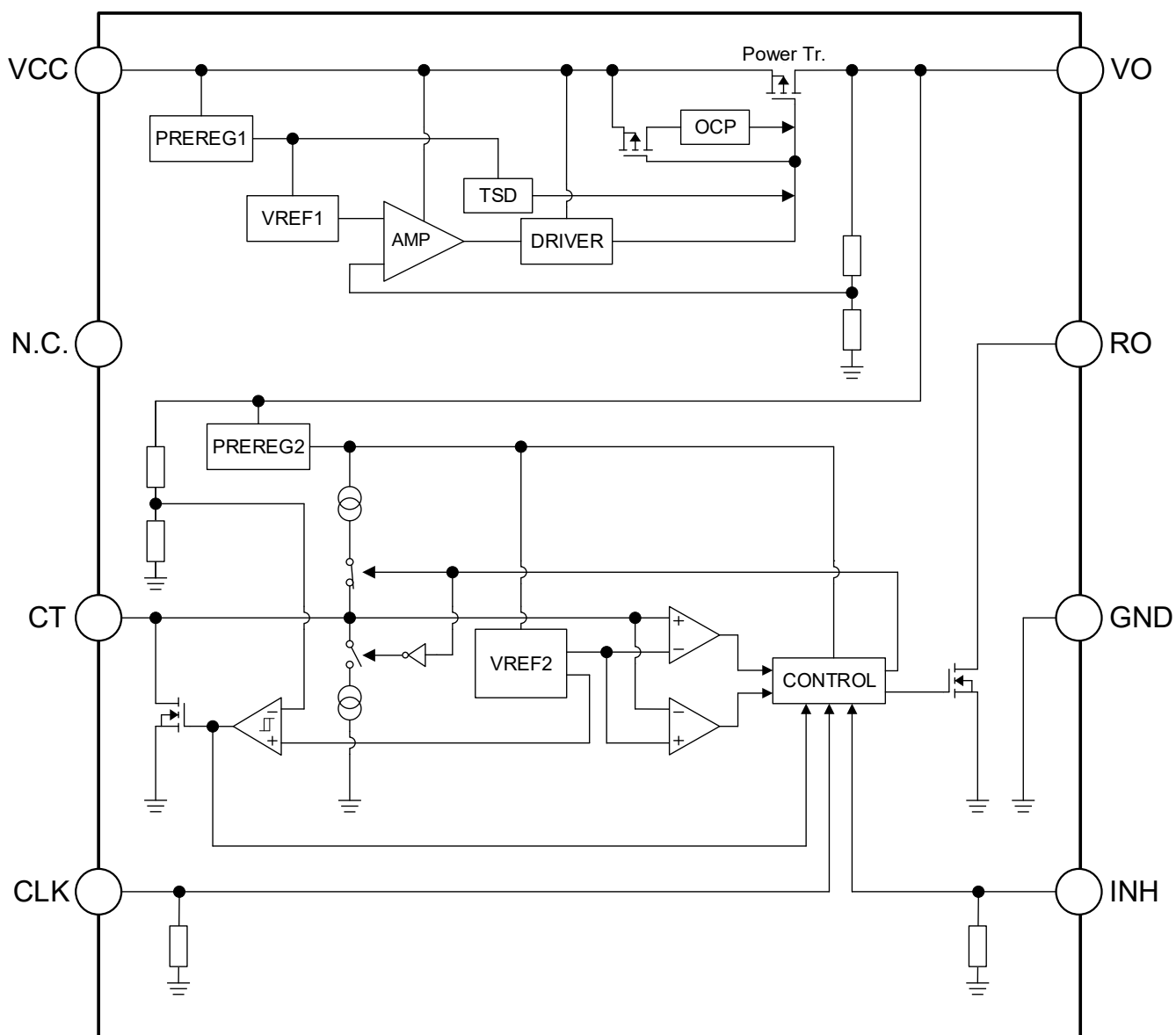
端子説明

端子番号	端子名	機能	詳細説明
1	VCC	電源入力	この端子には電源電圧を入力します。 VCC-GND 端子間に 0.1 μ F (Min) 以上のコンデンサが必要です。 詳細については、 外付け部品選定方法 を参照してください。
2	N.C.	-	この端子はチップに接続されていません。オープン状態でご使用ください。または、GND に接続することも可能です (Note 1)。
3	CT	RESET 遅延時間 WDT 監視時間 設定	RESET 遅延時間、WDT 監視時間を設定します。CT-GND 端子間に 0.047 μ F (Min)以上 10 μ F (Max)以下のコンデンサが必要です。詳細については、 電気的特性 RESET、WDT 機能 を参照してください。
4	CLK	クロック信号入力	この端子にはマイコンのクロック信号 (Note 2)を入力します。 また、IC 内部にプルダウン抵抗があります。オープン状態では Low 固定となります。
5	INH	WDT ON/OFF 制御	この端子に High/Low 電圧 (Note 2)を入力することにより、WDT 機能の ON/OFF を制御します。 High 電圧 : WDT 機能 OFF Low 電圧 : WDT 機能 ON また、IC 内部にプルダウン抵抗があります。オープン状態では Low 固定 (WDT 機能 ON 状態)となります。
6	GND	GND	グラウンド端子。最低電位に接続してください。
7	RO	RESET 出力	この端子は RESET 電圧を出力します。オープンドレイン端子かつ、オープンコレクタ端子です。VO 端子に 5.1 k Ω 以上の抵抗でプルアップして使用してください。または、最大定格以下の任意の電源に抵抗を介してプルアップすることも可能です。RESET 機能が不要な場合はオープンのままにしてください。
8	VO	出力	この端子からは電圧 5.0 V (Typ)が出力します。 VO-GND 端子間に 6 μ F (Min) 以上のコンデンサが必要です。 詳細については、 外付け部品選定方法 を参照してください。
EXP-PAD	EXP-PAD	放熱	裏面の放熱メタル部分は IC の基板(サブストレート)に接続していますので、外部 GND 電位に接続してください。

(Note 1) 2pin を GND パターンに接続すると、1pin の VCC と基板レイアウト上で隣接することになります。隣接端子ショート等を想定される場合、実アプリケーションで、問題ないか確認してください。

(Note 2) [電気的特性 RESET、WDT 機能](#)で規定している CLK 入力ハイ/ローレベル電圧、INH 入力ハイ/ローレベル電圧を入力してください。CLK 端子及び INH 端子への入力時は CLK 入力ハイ/ローレベル電圧、INH 入力ハイ/ローレベル電圧を切り替える中点電位で固定しないでください。

ブロック図



各ブロック動作説明

ブロック名	機 能	詳細説明
PREREG1	LDO 回路の内部定電圧源	LDO の内部回路に電源を供給します。
PREREG2	WDT / RESET 回路の内部定電圧源	WDT 及び RESET の内部回路に電源を供給します。
VREF1	LDO 回路の内部基準電圧	LDO ブロックで使用する基準電圧を生成します。
VREF2	WDT / RESET 回路の内部基準電圧	WDT 及び RESET で使用する基準電圧を生成します。
AMP	誤差増幅	分圧したフィードバック電圧と基準電圧の誤差を増幅し、DRIVERを介して出力パワートランジスタに伝達します。
DRIVER	出力 MOSFET ドライバ	出力パワートランジスタを駆動します。
TSD	過熱保護	許容損失を超えた状態や周囲温度が最高接合部温度より高い状態で、チップ温度(Tj)が上昇した場合、過熱異常を検出して出力を OFF することで、過熱から IC を保護します。チップ温度が低下すると、出力は自動的に復帰します。
OCP	過電流保護	出力短絡等の異常時に出力電流が最大出力電流を超えた場合、出力電流を制限し過電流による損傷から IC を保護します。過電流保護動作状態では、出力電流が制限されるため、出力電圧が低下する場合があります。異常状態が解除され、電流値が正常に戻れば、出力電圧も正常状態に復帰します。
CONTROL	WDT・RESET 制御	CT 端子電圧、INH 端子電圧、CLK 信号に応じて RESET 遅延時間及び、WDT 監視時間を制御します。

絶対最大定格

項目	記号	定格	単位
入力電源電圧 (Note 1)	V _{CC}	-0.3 to +45.0	V
CT 端子電圧	V _{CT}	-0.3 to +7.0 ($\leq V_O + 0.3$)	V
CLK 端子電圧	V _{CLK}	-0.3 to +7.0	V
INH 端子電圧	V _{INH}	-0.3 to +7.0	V
RO 端子電圧	V _{RO}	-0.3 to +20.0	V
出力電圧	V _O	-0.3 to +20.0 ($\leq V_{CC} + 0.3$)	V
接合部温度範囲	T _j	-40 to +150	°C
保存温度範囲	T _{stg}	-55 to +150	°C
最高接合部温度	T _{jmax}	+150	°C

注意 1: 印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施していただくようお願いいたします。

注意 2: 最高接合部温度を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。最高接合部温度を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用するなど、最高接合部温度を超えないよう許容損失及び熱抵抗にご配慮ください。

(Note 1) T_{jmax} を越えないようにしてください。

熱抵抗 (Note 2)

項目	記号	熱抵抗(Typ)		単位
		1 層基板 (Note 4)	4 層基板 (Note 5)	
HTSOP-J8				
ジャンクション—周囲温度間熱抵抗	θ_{JA}	130	34	°C/W
ジャンクション—パッケージ上面中心間熱特性パラメータ (Note 3)	Ψ_{JT}	15	7	°C/W

(Note 2) JESD51-2A(Still-Air)に準拠。BD820F50EFJ-C チップを使用。

(Note 3) ジャンクションからパッケージ（モールド部分）上面中心までの熱特性パラメータ。

(Note 4) JESD51-3 に準拠した基板を使用。

(Note 5) JESD51-5、7 に準拠した基板を使用。

測定基板	基板材	基板寸法
1 層	FR-4	114.3 mm x 76.2 mm x 1.57 mm

1 層目（表面）銅箔	
銅箔パターン	銅箔厚
実装ランドパターン ＋電極引出し用配線	70 μ m

測定基板	基板材	基板寸法	サーマルビア (Note 6)	
			ピッチ	直径
4 層	FR-4	114.3 mm x 76.2 mm x 1.6 mm	1.20 mm	$\Phi 0.30$ mm

1 層目（表面）銅箔	2 層目、3 層目（内層）銅箔	4 層目（裏面）銅箔
銅箔パターン	銅箔パターン	銅箔パターン
銅箔厚	銅箔厚	銅箔厚
実装ランドパターン ＋電極引出し用配線	74.2 mm \square （正方形）	74.2 mm \square （正方形）
70 μ m	35 μ m	70 μ m

(Note 6) 貫通ビア。全層の銅箔と接続する。配置はランドパターンに従う。

動作条件

項目	記号	最小	標準	最大	単位
入力電源電圧 (Note 1)	V_{IN}	5.9 (Note 2)	-	42.0	V
始動電圧 (Note 3)	$V_{IN \text{ START-UP}}$	3.0	-	-	V
出力電流	I_O	0	-	200	mA
入力コンデンサ	C_{IN}	0.1	-	-	μF
出力コンデンサ	C_O	6	-	1000	μF
出力コンデンサの ESR	ESR (C_O)	-	-	5	Ω
CT 端子接続コンデンサ	C_{CT}	0.047	0.1	10	μF
RO Pull-up 抵抗	R_{RO}	5.1	-	-	k Ω
動作温度	T_a	-40	-	+125	$^{\circ}C$

(Note 1) 最高接合部温度 T_{jmax} を超えないでください。

(Note 2) 最大出力電流($I_O = 200mA$)が供給可能な電源電圧の最小値です。実際の出力電流が 200 mA よりも小さい場合は、電源電圧の最小値も小さくなります。その場合は、出力電流に応じた電圧降下(最小入出力電圧差)を考慮してください。

(Note 3) IC の内部回路が動作する電圧です。ただし、LDO は入力電源電圧より高い電圧を出力することはできないので、出力電圧(最大:5.1 V)+最小入出力電圧差(ΔV_d)より低い電圧では、 $V_O = V_{CC} - \Delta V_d$ となります。

電気的特性

全体

特に指定のない限り、 $-40\text{ }^{\circ}\text{C} \leq T_j \leq +150\text{ }^{\circ}\text{C}$ 、 $V_{CC} = 13.5\text{ V}$ 、 $I_O = 0\text{ mA}$ 、標準値は $T_j = +25\text{ }^{\circ}\text{C}$ 時

項目	記号	規格値			単位	条件
		最小	標準	最大		
回路電流 (+25 °C)	I_{CC1}	-	5	12	μA	$I_O = 0\text{ mA}$ 、 $T_j = +25\text{ }^{\circ}\text{C}$ $V_{INH} = 5\text{ V}$
回路電流 (-40 °C to +125 °C)	I_{CC2}	-	5	18	μA	$I_O = 0\text{ mA}$ 、 $-40\text{ }^{\circ}\text{C} \leq T_j \leq +125\text{ }^{\circ}\text{C}$ $V_{INH} = 5\text{ V}$
回路電流 (-40 °C to +125 °C)	I_{CC3}	-	6	-	μA	$I_O = 0\text{ mA}$ 、 $-40\text{ }^{\circ}\text{C} \leq T_j \leq +125\text{ }^{\circ}\text{C}$ $V_{INH} = \text{GND}$

LDO 機能

特に指定のない限り、 $-40\text{ }^{\circ}\text{C} \leq T_j \leq +150\text{ }^{\circ}\text{C}$ 、 $V_{CC} = 13.5\text{ V}$ 、 $I_O = 0\text{ mA}$ 、標準値は $T_j = +25\text{ }^{\circ}\text{C}$ 時

項目	記号	規格値			単位	条件
		最小	標準	最大		
出力電圧	V_{O1}	4.90	5.00	5.10	V	$6\text{ V} \leq V_{CC} \leq 40\text{ V}$ 、 $0\text{ mA} \leq I_O \leq 100\text{ mA}$
出力電圧	V_{O2}	4.90	5.00	5.10	V	$8\text{ V} \leq V_{CC} \leq 26\text{ V}$ 、 $I_O \leq 200\text{ mA}$
最小入出力電圧差	ΔV_d	-	0.40	0.80	V	$V_{CC} = 4.75\text{ V} (= V_O \times 0.95)$ $I_O = 200\text{ mA}$
リップルリジェクション	R.R.	50	70	-	dB	$f = 120\text{ Hz}$ 、 $e_{in} = 1\text{ V}_{rms}$ 、 $I_O = 100\text{ mA}$
入力安定度	Reg.I	-	10	30	mV	$8\text{ V} \leq V_{CC} \leq 16\text{ V}$
負荷安定度	Reg.L	-	10	30	mV	$10\text{ mA} \leq I_O \leq 100\text{ mA}$
過熱保護	T_{TSD}	-	175	-	$^{\circ}\text{C}$	T_j at TSD ON
過電流保護	I_{OCP}	201	600	-	mA	

電気的特性 — 続き

RESET、WDT 機能

特に指定のない限り、 $-40\text{ }^{\circ}\text{C} \leq T_j \leq +150\text{ }^{\circ}\text{C}$ 、 $V_{CC} = 13.5\text{ V}$ 、 $I_O = 0\text{ mA}$ 、標準値は $T_j = +25\text{ }^{\circ}\text{C}$ 時

項 目	記号	規 格 値			単位	条 件
		最小	標準	最大		
RESET 検出電圧	V_{RT}	4.09	4.20	4.31	V	
RESET 検出ヒステリシス	V_{RHY}	25	60	100	mV	
RESET Low 電圧	V_{RO_L}	-	-	0.4	V	$3\text{ V} \leq V_O \leq V_{RT}$ 、 $R_{RO} = 5.1\text{ k}\Omega$
CT 上側スレッシュホールド	V_{CTH}	-	0.80	-	V	
CT 下側スレッシュホールド	V_{CTL}	-	0.40	-	V	
CT 充電電流	I_{CT_C}	-	4.0	-	μA	$V_{CT} = 0.20\text{ V}$
CT 放電電流	I_{CT_D}	-	1.0	-	μA	$V_{CT} = 1.00\text{ V}$
遅延時間 L→H	t_D	12	20	28	ms	$C_{CT} = 0.1\text{ }\mu\text{F}$ (Note 1)
WDT 監視時間	t_{WH}	24	40	56	ms	$C_{CT} = 0.1\text{ }\mu\text{F}$ (Note 1)
WDT RESET 時間	t_{WL}	6	10	14	ms	$C_{CT} = 0.1\text{ }\mu\text{F}$ (Note 1)
最低動作電圧	V_{OPR}	1	-	-	V	$V_{RO} < 0.5\text{ V}$ 、 $R_{RO} = 5.1\text{ k}\Omega$
CLK 端子流入電流	I_{CLK}	1.5	5	15	μA	$V_{CLK} = 5\text{ V}$
CLK 入力パルス幅	t_{PCLK}	3	-	-	μs	
CLK 入力 ハイレベル電圧	V_{HCLK}	$V_O \times 0.8$	-	V_O	V	
CLK 入力 ローレベル電圧	V_{LCLK}	0	-	$V_O \times 0.3$	V	
INH 端子流入電流	I_{INH}	1.5	5	15	μA	$V_{INH} = 5\text{ V}$
INH 入力 ハイレベル電圧	V_{HINH}	$V_O \times 0.8$	-	V_O	V	
INH 入力 ローレベル電圧	V_{LINH}	0	-	$V_O \times 0.3$	V	

(Note 1) 以下の式と、CT 端子に接続するコンデンサの容量で設定可能。(使用可能範囲 0.047 μF to 10 μF) $t_D [\text{s}] = 0.2 \times C_{CT} [\text{F}] \times 10^6$ 設定精度:標準値+35 %+1 ms、-40 % $t_{WH} [\text{s}] = 0.4 \times C_{CT} [\text{F}] \times 10^6$ 設定精度:標準値±40 % $t_{WL} [\text{s}] = 0.1 \times C_{CT} [\text{F}] \times 10^6$ 設定精度:標準値±40 % C_{CT} は 0.047 μF 以下でも使用可能ですが、回路内部の遅延時間により t_D の設定値ばらつきが大きくなるので注意が必要です。

また、本特性値に CT 容量の絶対値ばらつき、DC バイアス特性、温度特性などの外付け部品のばらつきは含まれておりません。

特性データ

特に指定のない限り、 $V_{CC} = 13.5\text{ V}$ 、 $I_O = 0\text{ mA}$ 、 $V_{INH} = 5\text{ V}$

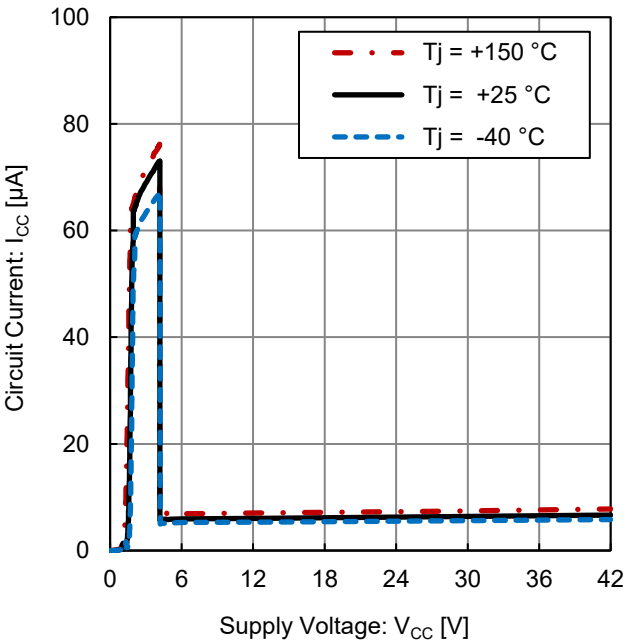


Figure 1. Circuit Current vs Supply Voltage

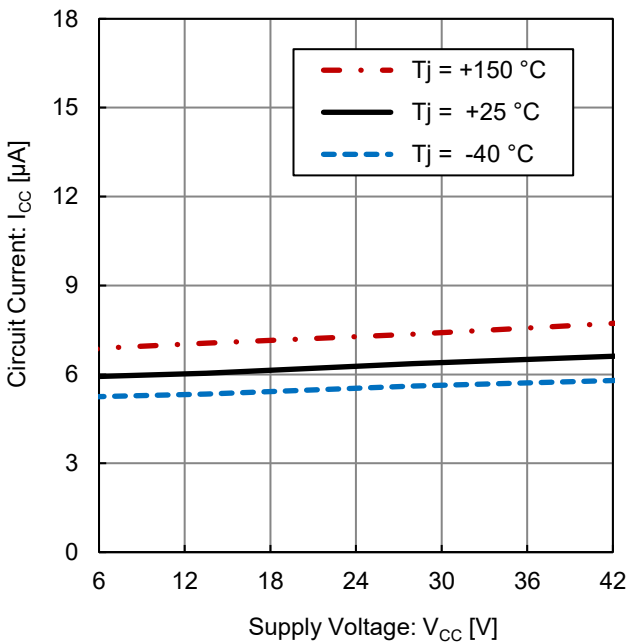


Figure 2. Circuit Current vs Supply Voltage

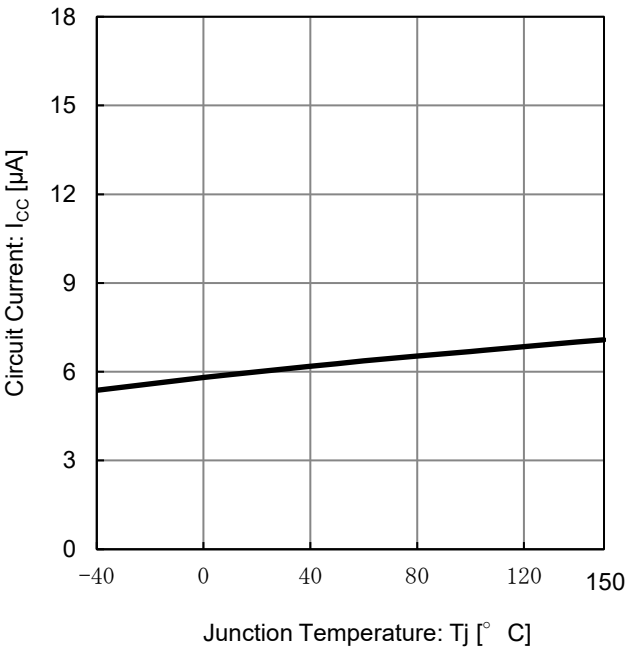


Figure 3. Circuit Current vs Junction Temperature

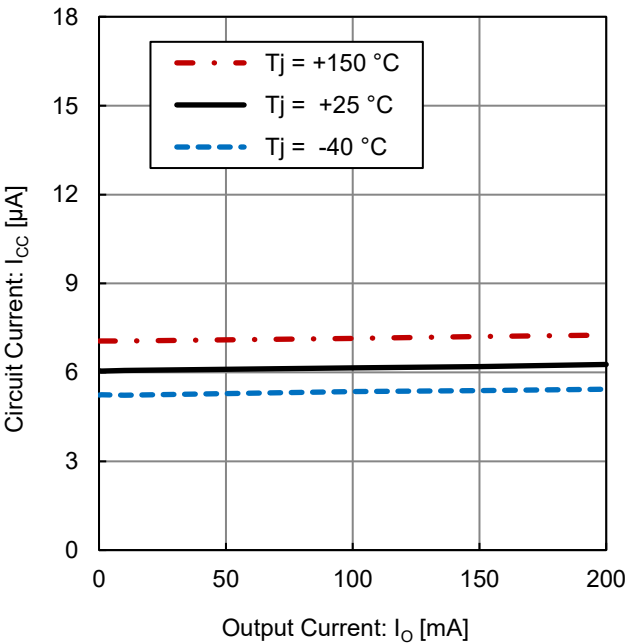


Figure 4. Circuit Current vs Output Current

参考特性データ — 続き

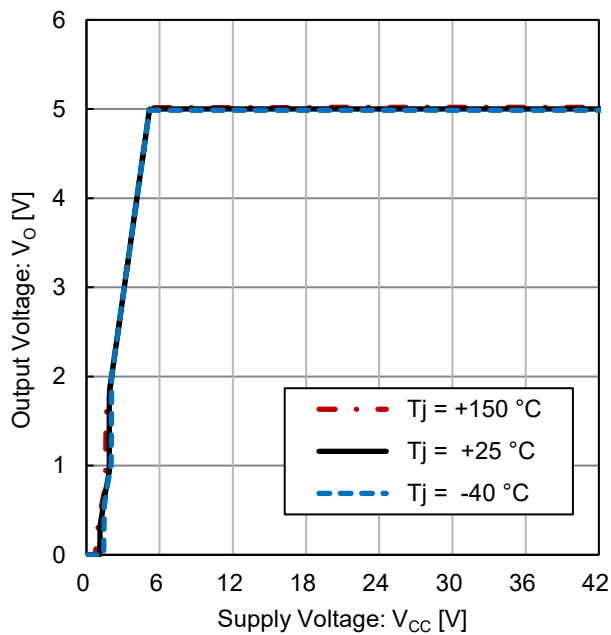
特に指定のない限り、 $V_{CC} = 13.5\text{ V}$ 、 $I_O = 0\text{ mA}$ 、 $V_{INH} = 5\text{ V}$ 

Figure 5. Output Voltage vs Supply Voltage

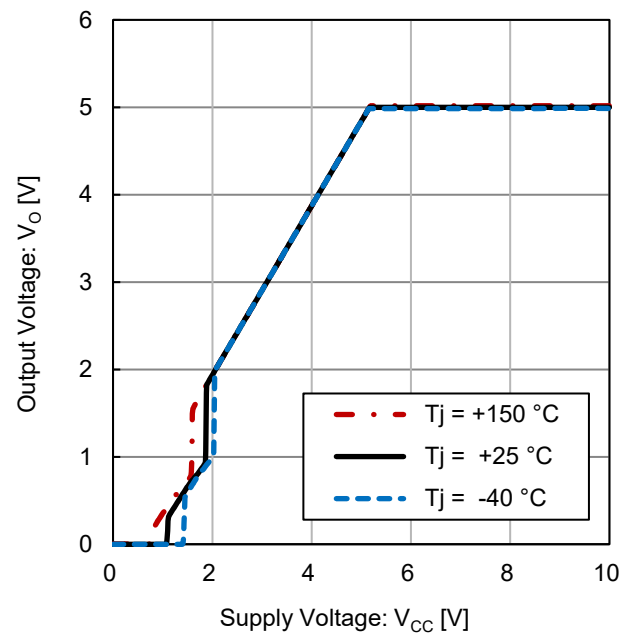


Figure 6. Output Voltage vs Supply Voltage

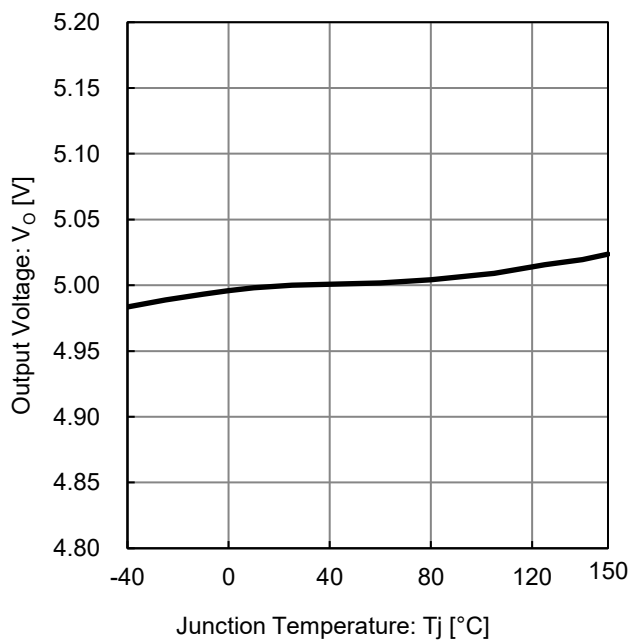


Figure 7. Output Voltage vs Junction Temperature

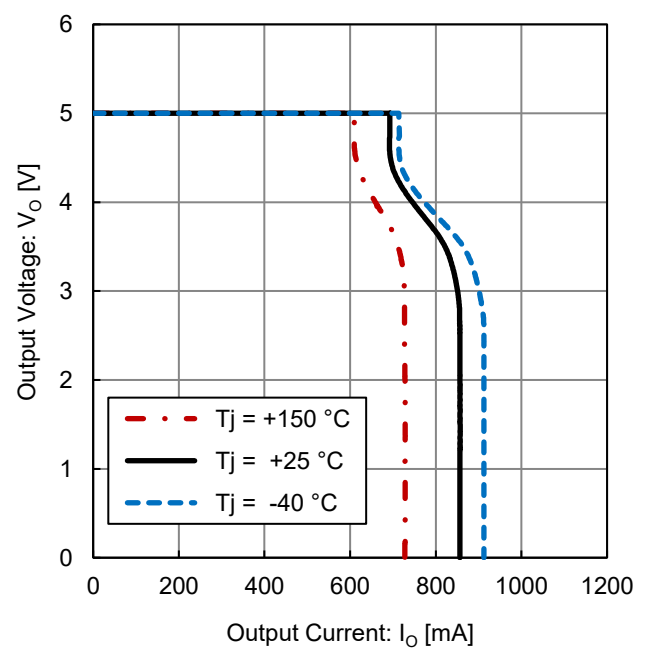


Figure 8. Output Voltage vs Output Current

参考特性データ — 続き

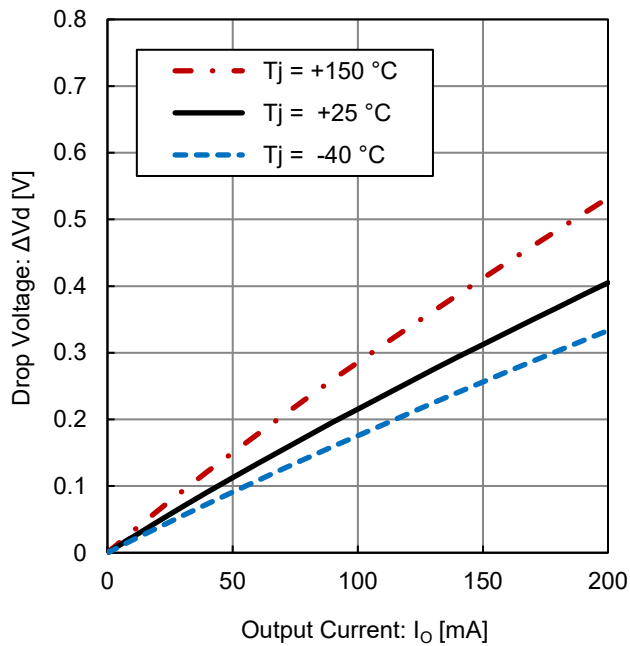
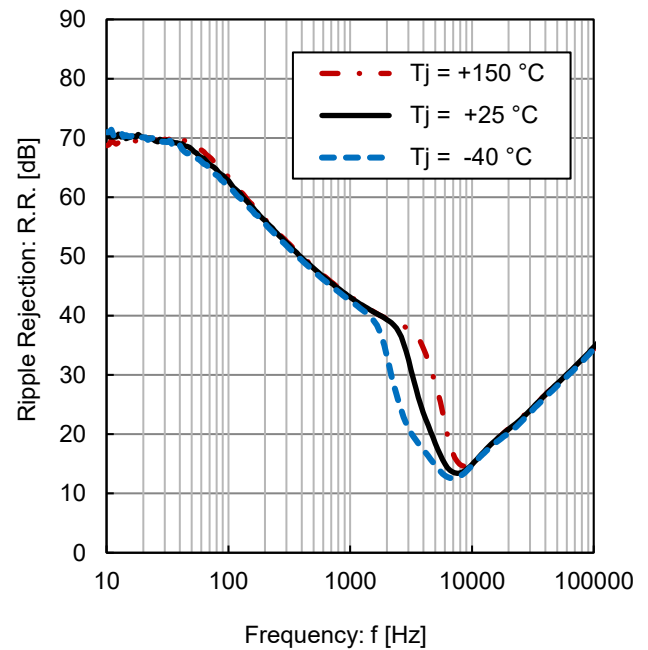
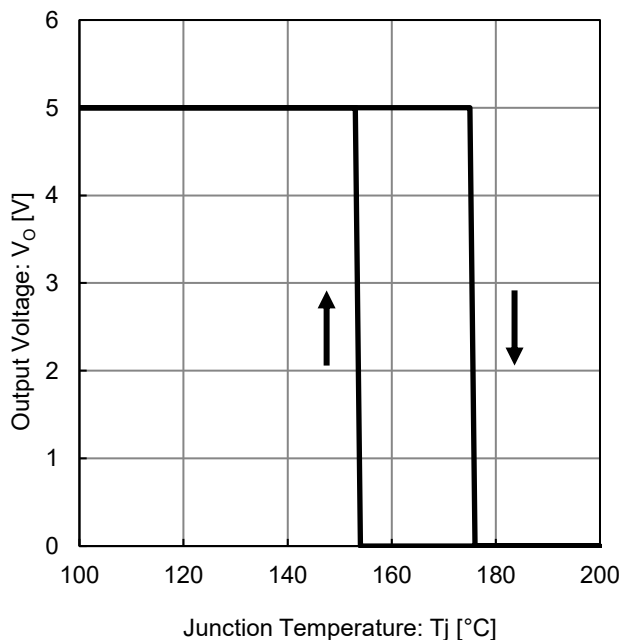
特に指定のない限り、 $V_{CC} = 13.5\text{ V}$ 、 $I_O = 0\text{ mA}$ 、 $V_{INH} = 5\text{ V}$ Figure 9. Drop Voltage vs Output Current
($V_{CC} = 4.75\text{ V}$)Figure 10. Ripple Rejection vs Frequency
($e_{in} = 1\text{ V}_{rms}$, $I_O = 100\text{ mA}$)

Figure 11. Output Voltage vs Junction Temperature

参考特性データ — 続き

特に指定のない限り、 $V_{CC} = V_O = 5\text{ V}$ 、 $I_O = 0\text{ mA}$ 、 $V_{INH} = 5\text{ V}$ 、 $C_{CT} = 0.1\text{ }\mu\text{F}$ 、 $R_{RO} = 5.1\text{ k}\Omega$

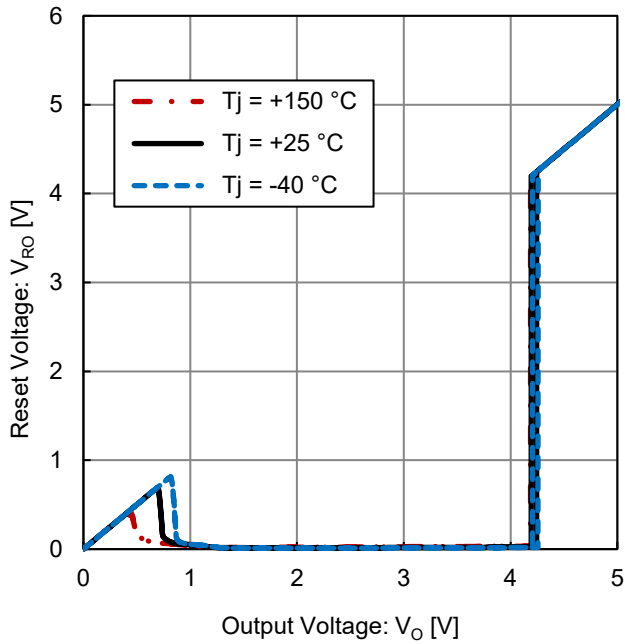


Figure 12. Reset Voltage vs Output Voltage

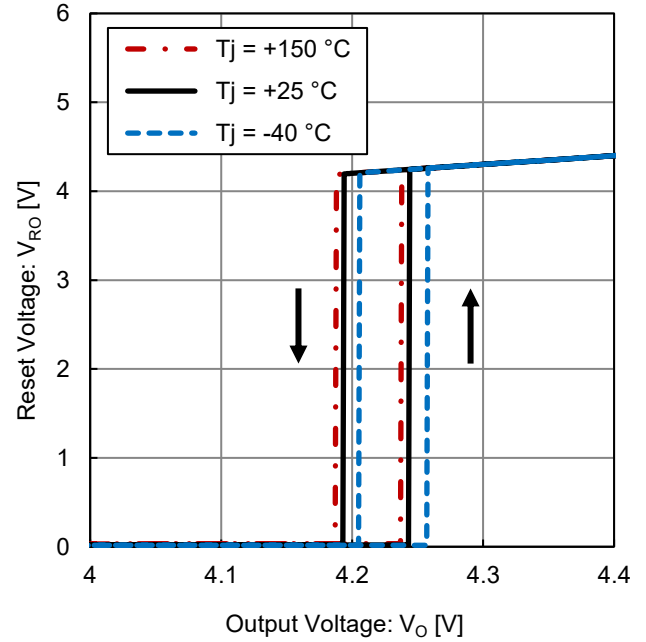


Figure 13. Reset Voltage vs Output Voltage

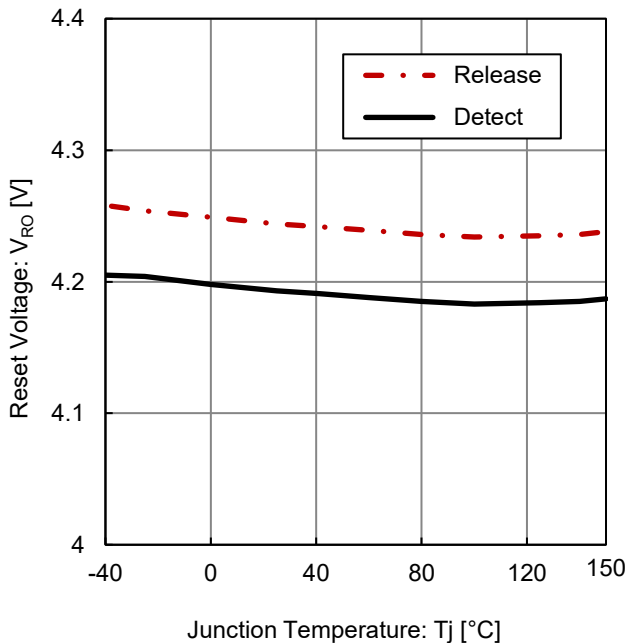


Figure 14. Reset Voltage vs Junction Temperature

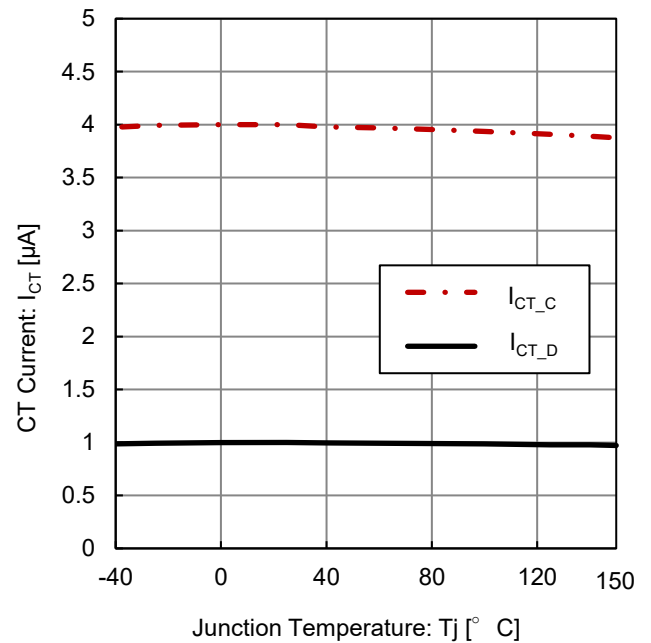


Figure 15. CT Current vs Junction Temperature
 $(I_{CT_C}: V_{CT} = 0.20\text{ V}$, $V_{INH} = \text{Open}$
 $I_{CT_D}: V_{CT} = 1.00\text{ V}$, $V_{INH} = \text{Open})$

参考特性データ — 続き

特に指定のない限り、 $V_{CC} = V_O = 5V$ 、 $I_O = 0\text{ mA}$ 、 $C_{CT} = 0.1\text{ }\mu\text{F}$ 、 $R_{RO} = 5.1\text{ k}\Omega$

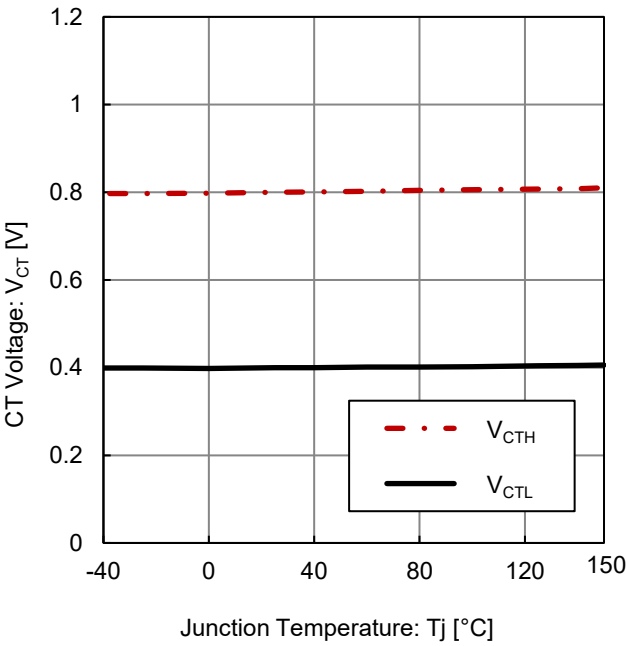


Figure 16. CT Voltage vs Junction Temperature

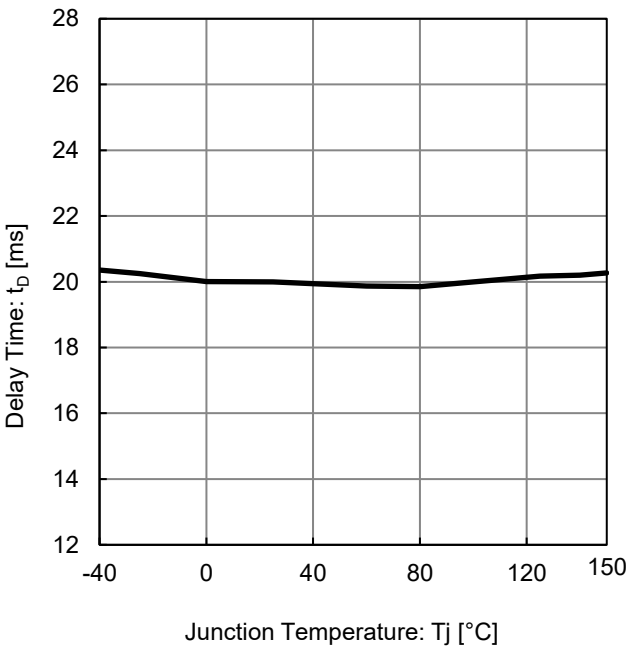


Figure 17. Delay Time vs Junction Temperature

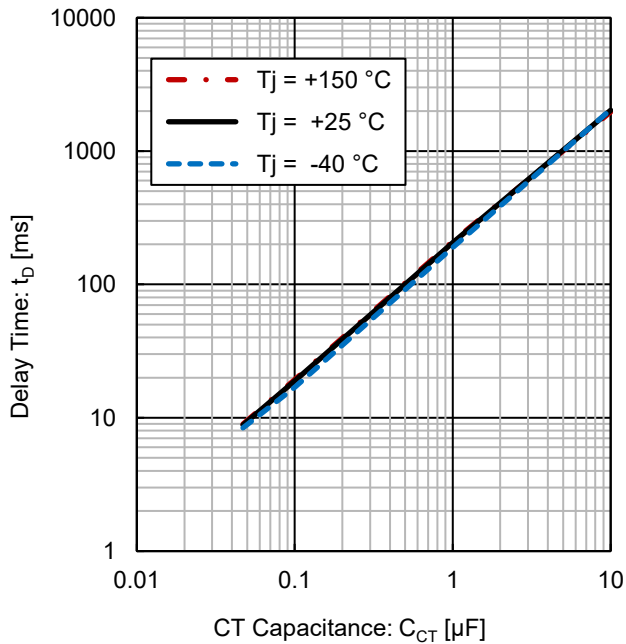


Figure 18. Delay Time vs CT Capacitance

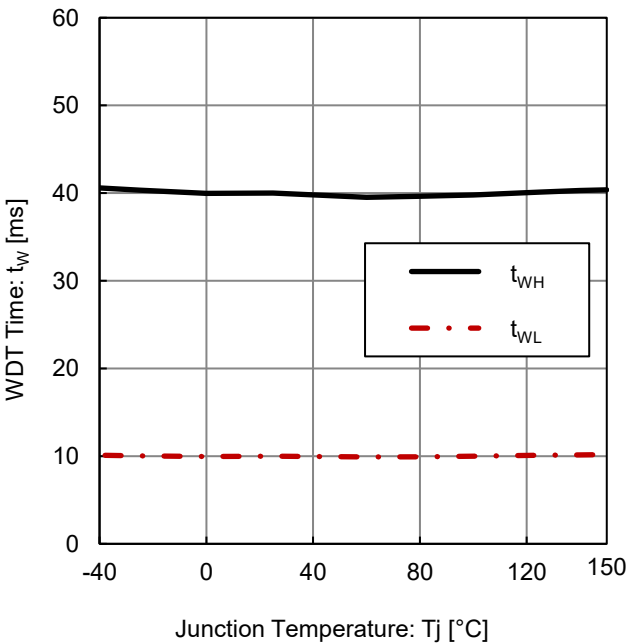


Figure 19. WDT Time vs Junction Temperature

参考特性データ — 続き

特に指定のない限り、 $V_{CC} = V_O = 5V$ 、 $I_O = 0\text{ mA}$ 、 $C_{CT} = 0.1\text{ }\mu\text{F}$ 、 $R_{RO} = 5.1\text{ k}\Omega$

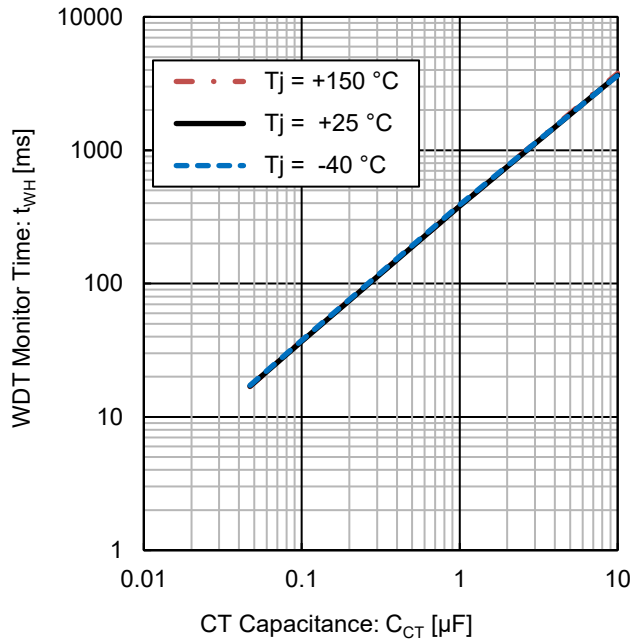


Figure 20. WDT Monitor Time vs CT Capacitance

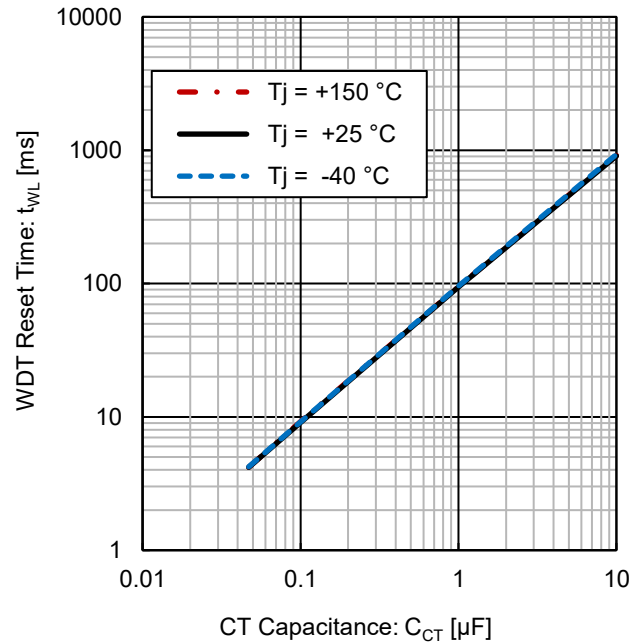


Figure 21. Delay Time vs CT Capacitance

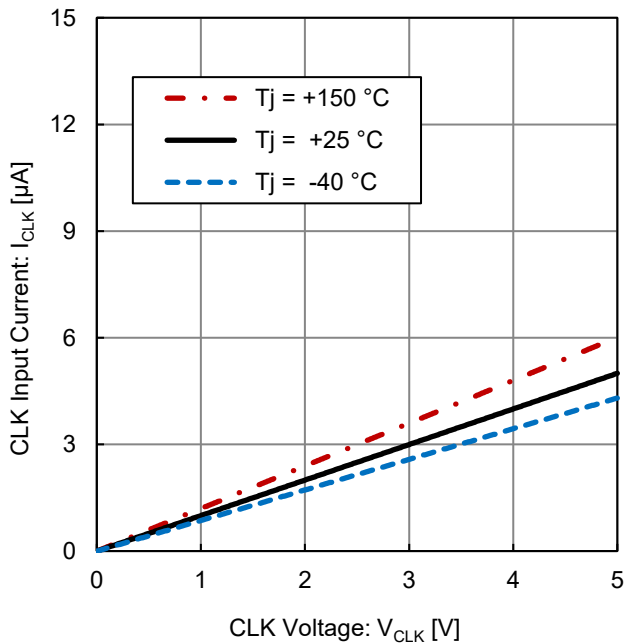


Figure 22. CLK Input Current vs CLK Voltage

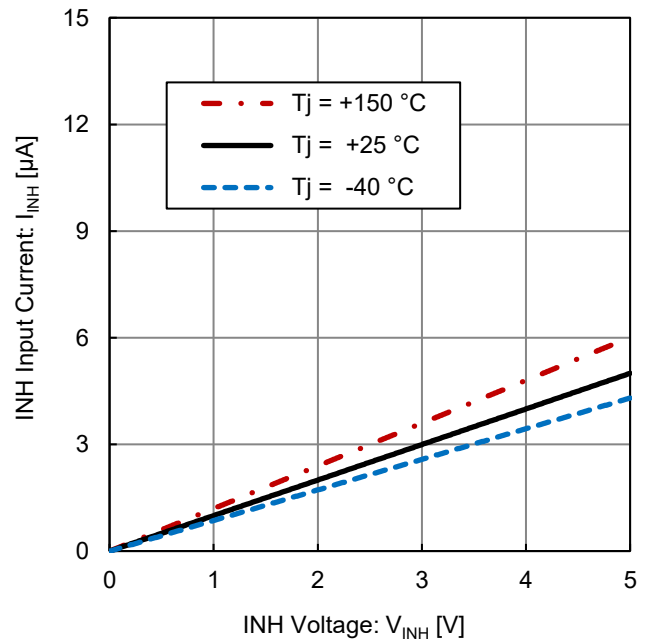


Figure 23. INH Input Current vs INH Voltage

参考特性データ—続き

特に指定のない限り、 $V_{CC} = V_O = 5V$ 、 $I_O = 0\text{ mA}$ 、 $C_{CT} = 0.1\text{ }\mu F$ 、 $R_{RO} = 5.1k\Omega$

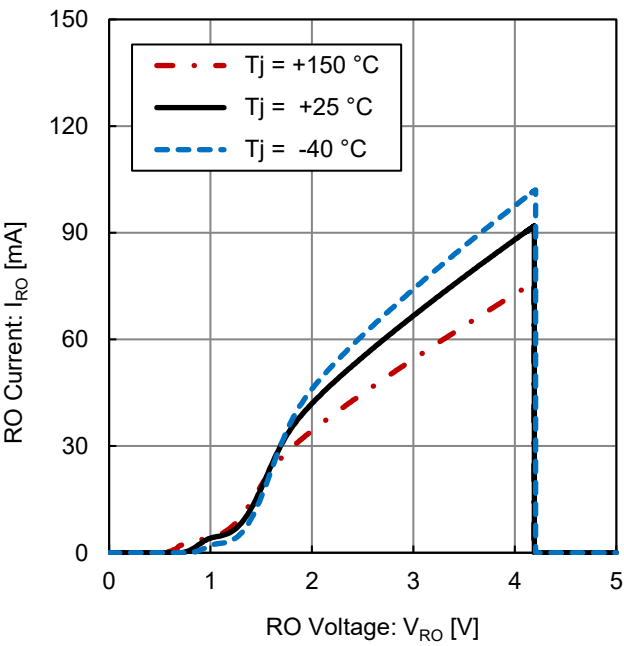
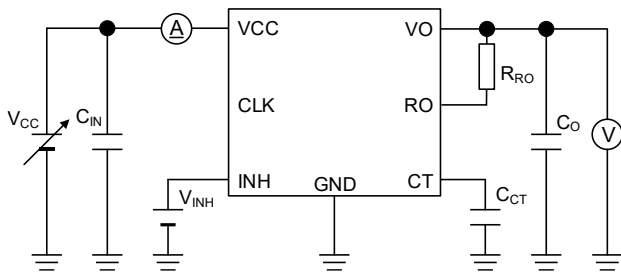
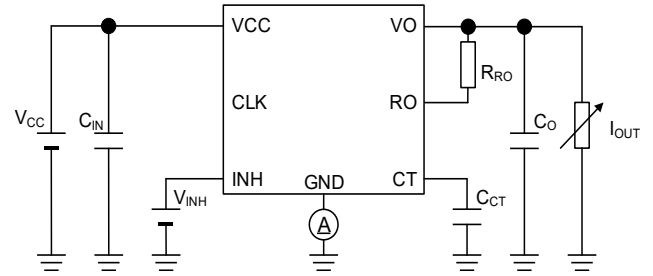
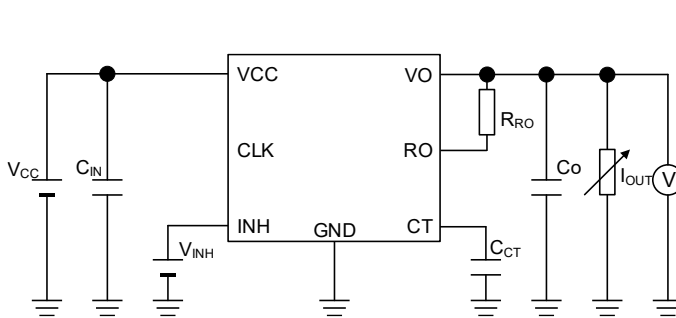
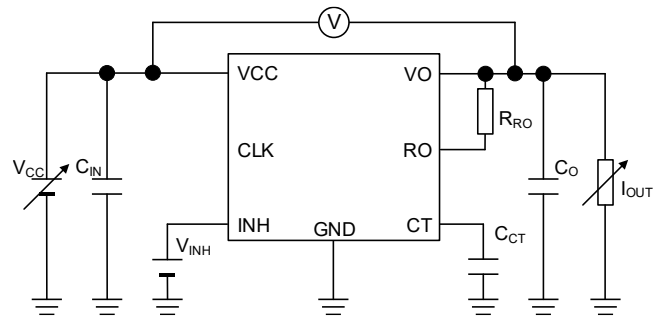
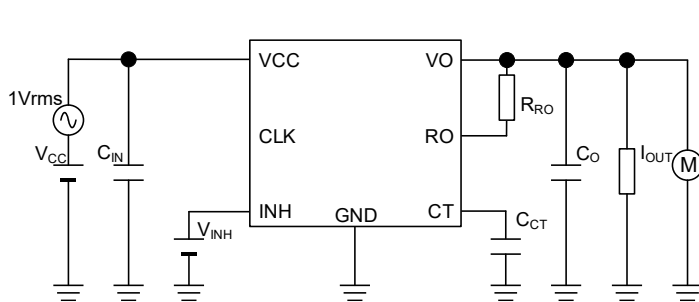
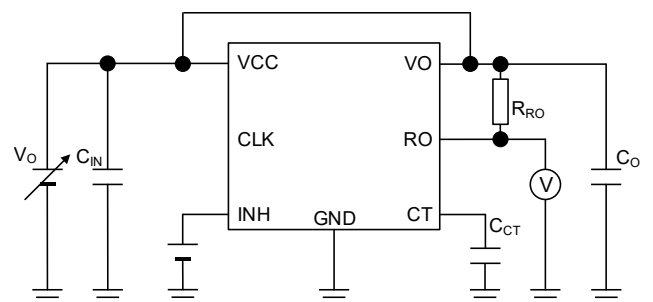


Figure 24. RO Current vs RO Voltage

参考特性データ測定回路図

Figure 1、2、3、5、6、7、11
測定回路図Figure 4
測定回路図Figure 8
測定回路図Figure 9
測定回路図Figure 10
測定回路図Figure 12、13、14
測定回路図

参考特性データ測定回路図 — 続き

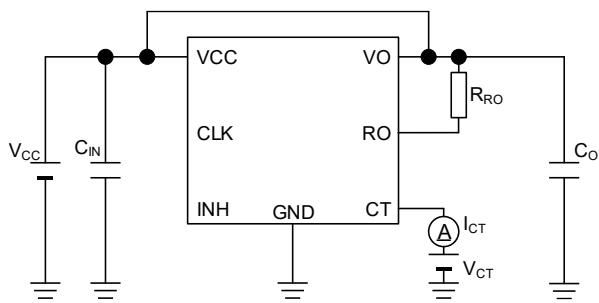


Figure 15、16
測定回路図

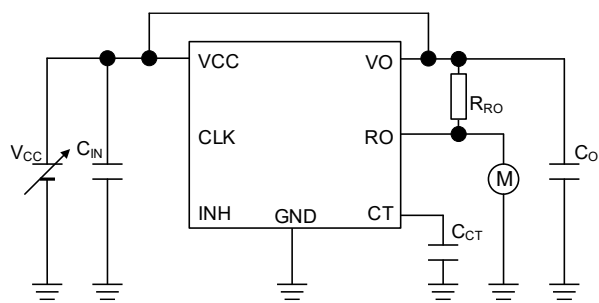


Figure 17、18
測定回路図

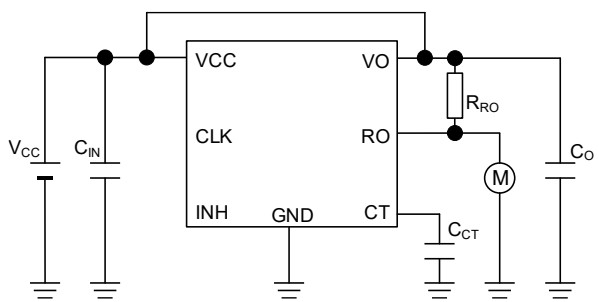


Figure 19、20、21
測定回路図

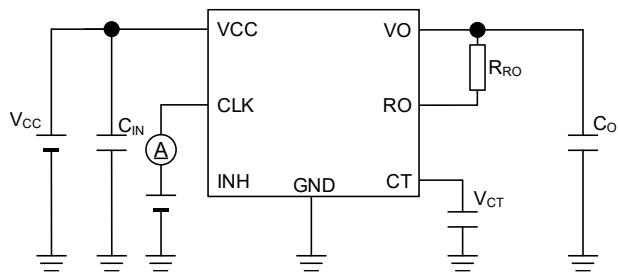


Figure 22
測定回路図

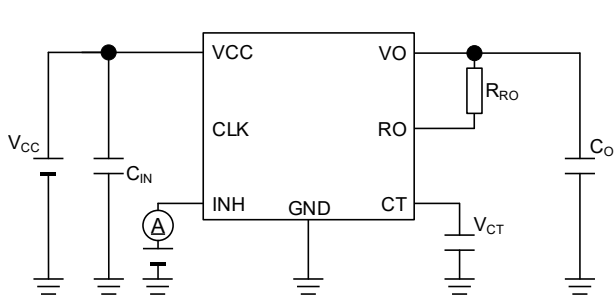


Figure 23
測定回路図

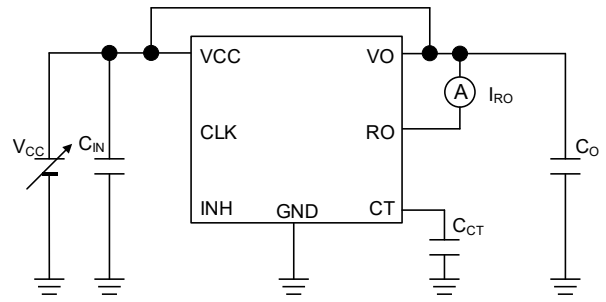


Figure 24
測定回路図

タイミングチャート

VCC ON/OFF

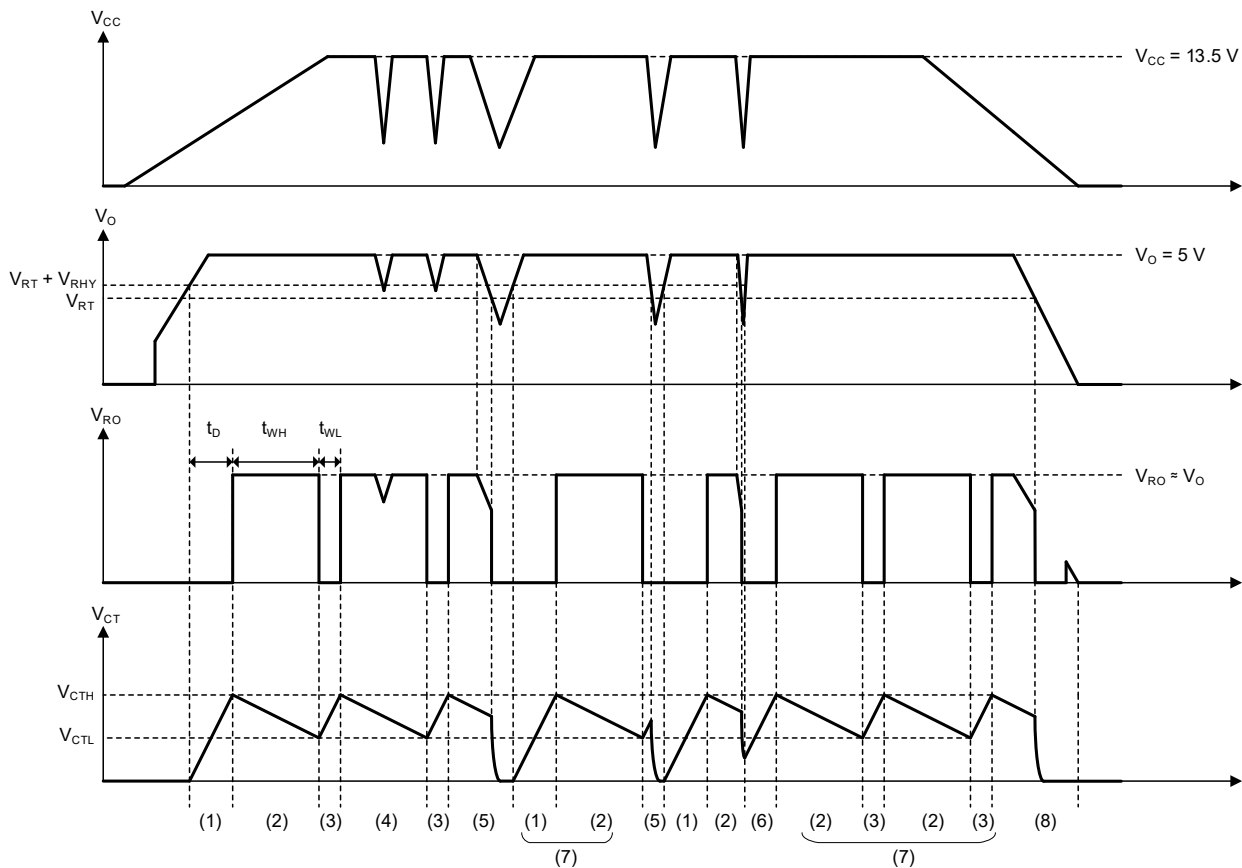


Figure 25. Timing Chart 1

RESET 動作とウォッチドッグタイマ動作(CLK 信号入力なし)を以下に示します。

- (1) BD820F50EFJ-C、BD820F5UEFJ-C は、出力電圧(V_O) > RESET 検出電圧(V_{RT}) + RESET 検出ヒステリシス(V_{RHY})となる(=出力低電圧検出リセット状態が解除される)と、RESET と WDT の時間監視動作を開始します。監視動作が始まると CT 端子に接続されているコンデンサ(C_{CT})に定電流が充電され、CT 端子の電圧が上昇します。CT 端子電圧(V_{CT})が CT 上側スレッシュホールド(V_{CTH})に達すると RO が H を出力します。この RO の H 電圧レベルは RO 端子を抵抗によりプルアップした電圧で決まります。この(1)を遅延時間 L→H (t_D)といいます。
- (2) V_{CT}が V_{CTH}に達すると、CT の定電流は充電から放電に切り替わります。C_{CT}の電荷が放電され CT 下側スレッシュホールド(V_{CTL})に達すると、RO は L を出力します。この(2)を WDT 監視時間(t_{WH})といいます。
- (3) V_{CT}が V_{CTL}に達すると、CT の定電流は再び放電から充電に切り替わります。C_{CT}の電荷が充電され V_{CTH}に達すると、RO は再び H を出力します。この(3)を WDT RESET 時間(t_{WL})といいます。
- (4) V_O 電圧が V_O > V_{RT} の範囲で変化した時、V_O 電圧が RESET 検出電圧を下回っていないため、IC は異常なしと判断し、RO は H を出力し続けます。
- (5) V_O 電圧が V_{RT} を下回って変化した時、CT の充電・放電のどちらの状態に関わらず、C_{CT} の電荷を急速に放電する状態となります。同時に RO は、V_O 電圧が RESET 検出電圧を下回ったため、異常 State として L を出力します。

VCC ON/OFF — 続き

- (6) もし VO 電圧の変動時間が短く、CT 端子電圧が完全に L に至る前に ($C_{CT} = 0.1 \mu F$ の時、 500Ω 程度のプルダウン抵抗による CT 急速放電時間 Typ $100 \mu s$ 程度)、VO 電圧が再び $V_{RT} + V_{RHY}$ を超えるような場合、CT の定電流は充電に切り替わり、(1)または(3)の動作に戻ります。この場合、 t_D は V_{CT} の電圧に伴い短くなります。なお、 $C_{CT} = 0.1 \mu F$ 以外の場合、その時定数に応じて、この CT 急速放電時間は変化します。
- このような動作を避けるため、短い時間での VO 電圧の急峻な変動が想定される場合には、変動のトリガとなる入力変動や負荷電流に応じて対策を講じてください。例えば、負荷電流の大きさに応じて出力電圧の変動を抑えるために、出力コンデンサを大きくする、または出力変動スピードを遅くするために、入力電圧の変動スピードを $100 \mu s$ 以上になるように制限するなどの調整を行ってください。
- (7) (5)の動作を経て RO 出力及び CT 端子が L となった後、 $V_O > V_{RT} + V_{RHY}$ となると再び(1)、(2)、(3)、(2)、(3)...と動作を繰り返します。
- (8) VO 電圧が V_{RT} を下回って L まで低下した場合、CT は放電論理を維持して L まで低下します。このとき、VO 電圧が $1 V (V_{OPR})$ 以下になるまで、すなわち $V_{OPR} < V_O < V_{RT}$ の状態の間は、RO は L 出力を維持します。

t_D 、 t_{WH} 、 t_{WL} は CT 容量 C_{CT} により調節が可能です。

それぞれの時間は下記のように概算できます。

$$t_D[s] \approx \frac{V_{CTH}[V] \times C_{CT}[F]}{I_{CT_C}[A]}$$

$$t_{WH}[s] \approx \frac{|V_{CTH} - V_{CTL}|[V] \times C_{CT}[F]}{I_{CT_D}[A]}$$

$$t_{WL}[s] \approx \frac{|V_{CTL} - V_{CTH}|[V] \times C_{CT}[F]}{I_{CT_C}[A]}$$

ただし、上記で概算はできますが、 C_{CT} 容量を設定する際は、[電氣的特性 RESET、WDT 機能](#)に記載している $C_{CT} = 0.1 \mu F$ 時の値と、実際に使用される C_{CT} との比率計算にて算出し、設定してください。

タイミングチャート — 続き

CLK ON/OFF

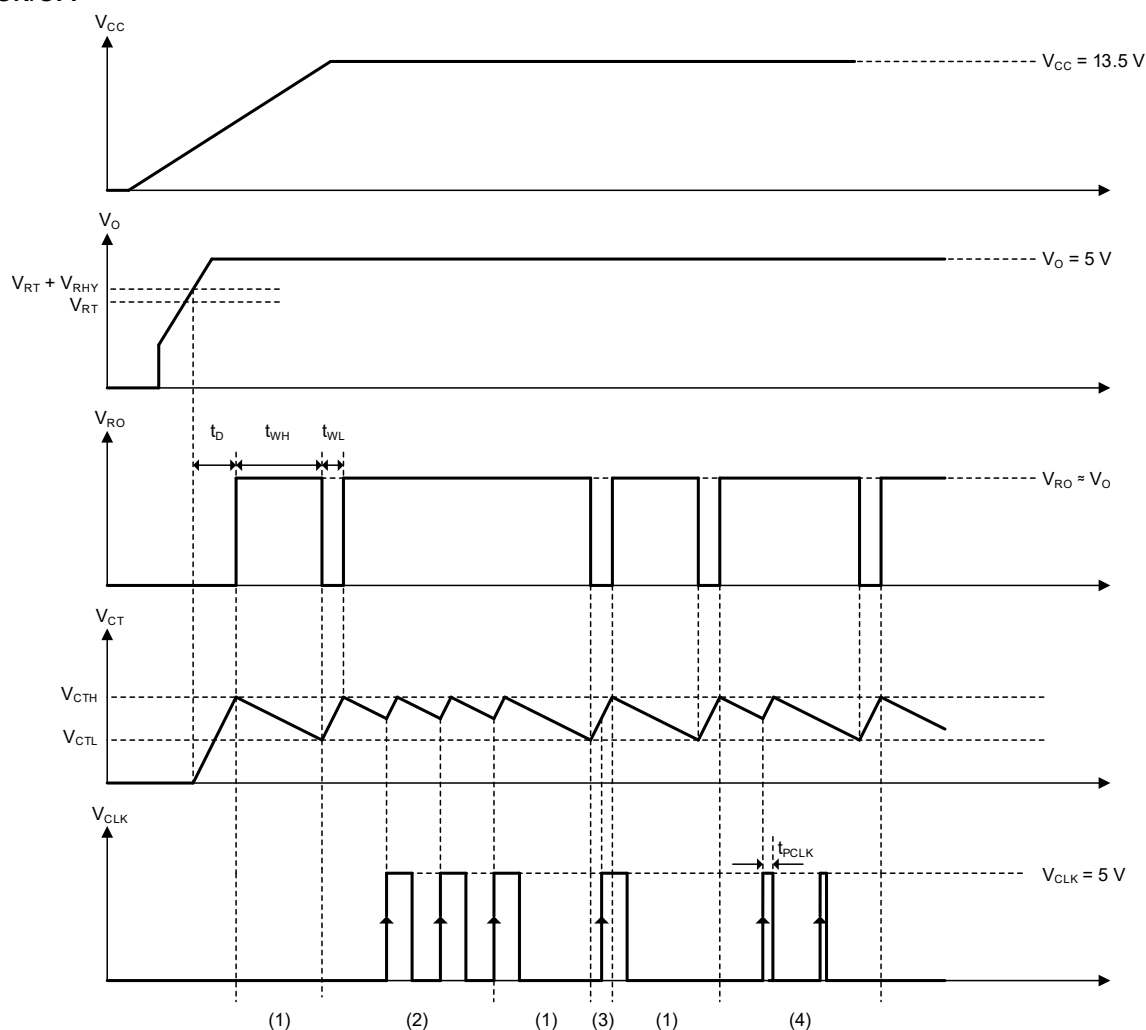


Figure 26. Timing Chart 2

ウォッチドッグタイマの CLK 受付動作を以下に示します。

BD820F50EFJ-C、BD820F5UEFJ-C のウォッチドッグタイマ(WDT)は、RO 出力が H の間(= t_{WH})のみ、CLK 信号を受け付けます。RO 出力が L の間(= t_{WL} 、 t_D など)は、CLK 信号は受け付けません。

- (1) RO 端子が H のとき、CLK 端子に立ち上がりエッジが入力されないと、CT 端子は放電を続けます。この状態が続き、 V_{CT} が V_{CTL} に達すると RO 端子は L になります。この動作は、 C_{CT} 容量により設定した一定期間中に、マイコンなどから CLK 信号が入力されない場合のタイムアウト NG を検出した状態です。
- (2) RO 端子が H のとき、CLK 端子に立ち上がりエッジが入力されると、WDT は立ち上がりエッジを検出し、CT の定電流を放電から充電に切り替えます。 V_{CT} が充電され、 V_{CTH} に達すると、CT の定電流は再び充電から放電に切り替わります。CT が放電中の一定のタイミングで CLK 端子に立ち上がりエッジが入力されることで、同様の動作を繰り返します。このとき、RO は H 出力を維持します。
- (3) RO が L 出力のとき、CLK 端子に立ち上がりエッジが入力されても、WDT は立ち上がりエッジを検出しません。
- (4) CLK の入力パルス幅は 3 μ s 以上(t_{PCLK})を入力してください。CLK 端子のパルス幅が t_{PCLK} より短い場合、CT 端子が放電から充電に切り替わらないことがあります。

タイミングチャート — 続き

INH ON/OFF 1

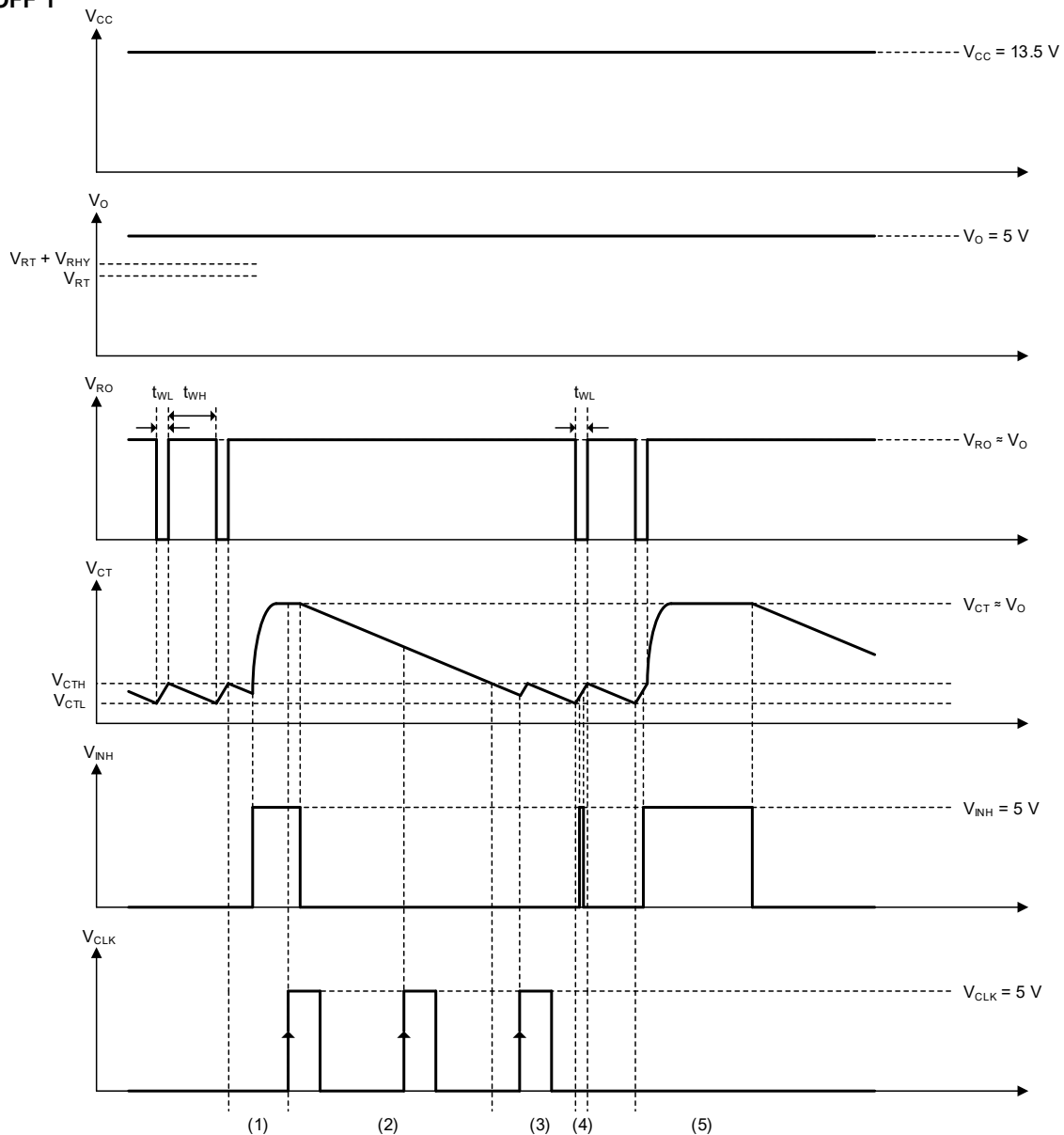


Figure 27. Timing Chart 3

INH 端子によるウォッチドッグタイマの停止動作について以下に示します。

なお、INH 端子は工程でのマイコンなどへの書き込み時の使用を想定しているため、通常使用時に INH 端子によってウォッチドッグタイマ動作を停止した状態、すなわち LDO と RESET 機能のみにした状態での使用はできません。

- (1) INH 端子に H($\approx V_O$)を入力すると、IC 内部で CT 端子を V_O 端子電圧にプルアップします。これにより、 V_{CT} が V_{CTL} 以上の電圧で維持されるため、 $V_{RT} < V_O$ の状態の間はウォッチドッグタイマ(WDT)動作を行わず、RO は常に H 出力を維持します。
- (2) INH 端子を L もしくはオープンにすると、 C_{CT} に充電された電荷を CT 放電電流(I_{CT_D})で放電します。 $V_{CT} > V_{CTH}$ のとき、CLK 端子に立ち上がりエッジが入力されても、ウォッチドッグタイマは立ち上がりエッジを検出しません。
- (3) $V_{CTH} > V_{CT} > V_{CTL}$ のとき、ウォッチドッグタイマは立ち上がりエッジを検出します。
- (4) CT 端子が充電状態のとき、ウォッチドッグタイマは INH 信号を検出しません。放電状態のみ検出します。
- (5) INH 端子を H に維持した状態で、 C_{CT} が充電され V_{CTH} に達し、CT の定電流が充電から放電に切り替わると、WDT は INH 信号を検出します。(1)と同様に CT 端子をプルアップし、RO 端子は H を維持します。

タイミングチャート — 続き

INH ON/OFF 2

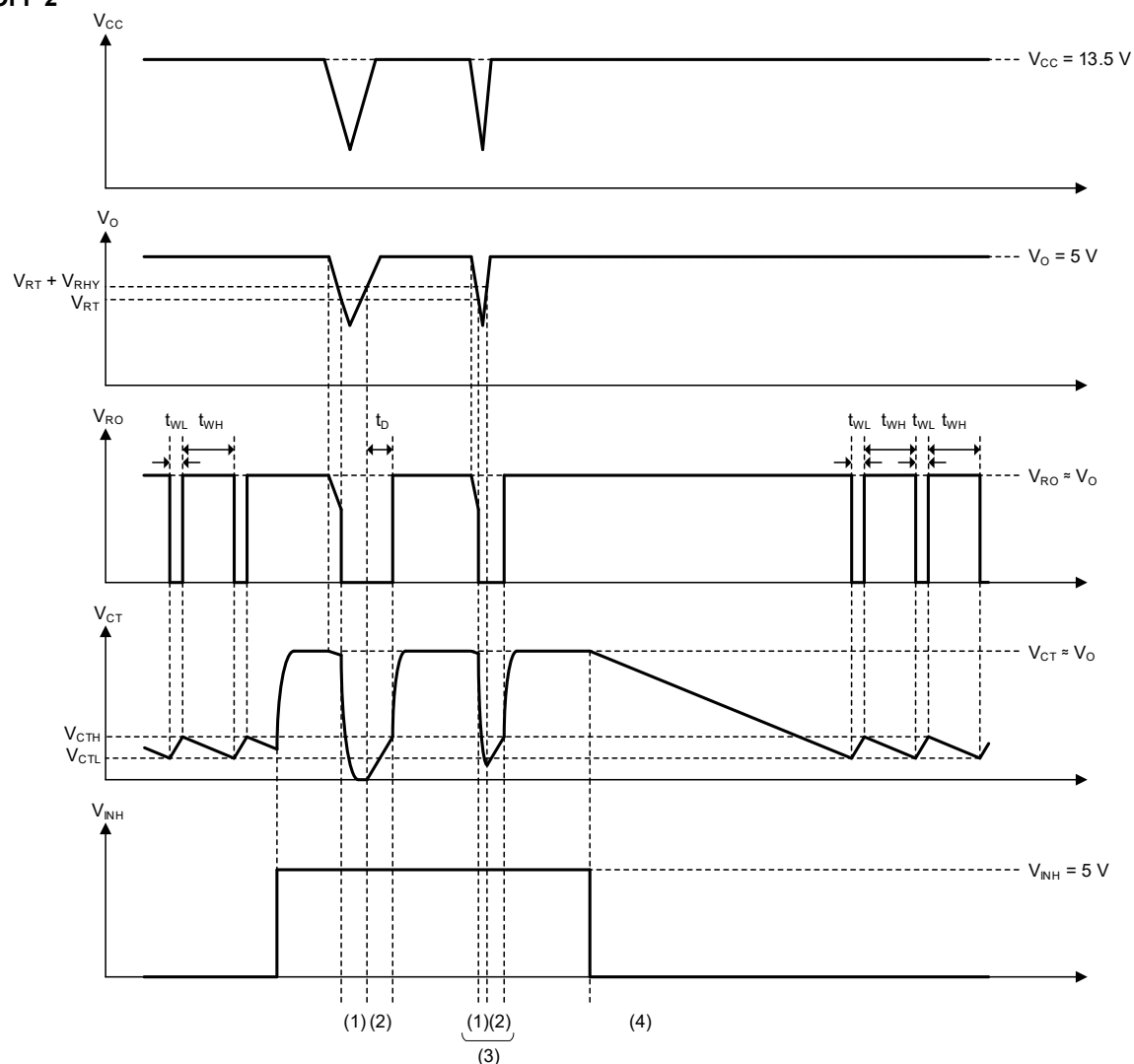


Figure 28. Timing Chart 4

- (1) INH 信号により CT 端子がプルアップされている状態で V_O 電圧が V_{RT} を下回って変化したとき、 C_{CT} の電荷を急速に放電する状態となります。同時に RO は V_O 電圧が V_{RT} 下回ったため、異常 State として L を出力します。
- (2) (1)の動作を経て RO 出力及び CT 端子が L となった後、 $V_O > V_{RT} + V_{RHY}$ となると、RESET と WDT の時間監視動作を開始します。 C_{CT} に電荷が充電され、 V_{CT} が V_{CTH} に達すると RO が H を出力します。この(2)は t_D になります。
- (3) [Timing Chart 1 の\(6\)](#)の動作と同じく、CT 急速放電時、CT 端子電圧が完全に L に至る前に V_O 電圧が再び $V_{RT} + V_{RHY}$ を超えるような場合、CT の定電流は充電に切り替わり、(2) の動作に戻ります。この場合、 t_D は V_{CT} の電圧に伴い短くなります。INH 機能を使用する際はご注意ください。
- (4) (3)の状態から INH を L もしくはオープンにすることで、CT の定電流は放電から充電に切り替わり、 $t_{WL} \rightarrow t_{WH} \rightarrow t_{WL} \rightarrow t_{WH} \rightarrow t_{WL} \dots$ と動作を繰り返します。

アプリケーションと実装

注意: 以下の情報はアプリケーション及び実装時の参考情報として提供しています。ご使用の特定機能や精度、もしくはアプリケーションの外付け部品などに対し、その動作を保証するものではありません。ご使用につきましては、コンデンサの特性などを十分に確認したうえ、実機アプリケーション評価にて適切かつ必要な検証を行い、十分なマージンを持って設計してください。

外付け部品選定方法

入力端子コンデンサについて

バッテリーからの距離が離れている場合や入力側のインピーダンスが高い場合は、大容量のコンデンサを使用し、ライン電圧の低下を防ぐ必要があります。電源平滑回路と入力端子間のラインインピーダンスに応じ、入力端子コンデンサを選定してください。その際、容量値設定はアプリケーションにより異なりますが、一般的に高周波特性に優れる容量値 0.1 μF (Min)以上のコンデンサを推奨します。

なお、外付けコンデンサの部品ばらつきによるレギュレータ特性への影響を避けるため、上記すべての入力端子コンデンサ、及び実装レイアウト位置につきましては、DC バイアス特性、温度特性が良く(約 $\pm 15\%$)、優れた EIA 規格高耐圧品のコンデンサを選定し、実装インピーダンスなどの影響を受けないようにできる限り入力端子の近くに配置すること、及び同一実装面にレイアウトすることを推奨します。

出力端子コンデンサについて

レギュレータを安定に動作させるため、出力端子と GND 端子間に容量値 6 μF (Min) 以上、ESR 5 Ω (Max) 以下の発振止めのコンデンサを必ず挿入してください。

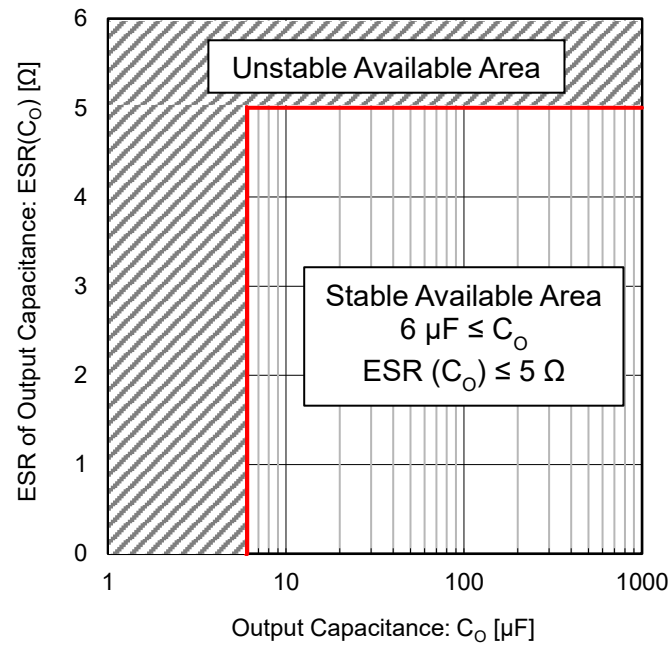
適切な出力端子コンデンサの容量値と ESR の選定は、レギュレータの過渡応答特性とその制御ループの安定性を改善します。出力コンデンサの容量値と ESR の関係を次頁グラフ(出力端子コンデンサ容量値、ESR 安定動作領域)で示します。このグラフに基づき、本製品は MLCC シリーズのようなセラミック・コンデンサの容量値 6 μF から 1000 μF 、ESR 約 0 Ω から 5 Ω (周波数帯域が約 10 kHz から 100 kHz 範囲内)において、安定的なレギュレータ動作を実現するように設計されています。

ただし、このグラフの安定領域は、弊社基板における IC 単品及び抵抗負荷による測定結果に基づいています。実際には、基板の配線インピーダンス、入力電源のインピーダンス、負荷のインピーダンスの影響を受けるため、必ず実使用環境での十分なご確認をお願いします。

レギュレータの制御ループの応答性を超えるような周波数帯域における入力電圧変動、負荷変動に対し、一般的にその応答性は出力端子コンデンサの容量値に依存します。そのため、基本的に[出力端子コンデンサ容量値、ESR 安定動作領域](#)のテーブルに記載されているように、出力端子コンデンサの容量値が 6 μF (Min) 以上の選定を推奨します。より大きな容量値のコンデンサ挿入により、上記の高周波帯域での応答性の改善がさらに期待できます。この大容量出力端子コンデンサには、電解コンデンサ、導電性高分子コンデンサ、タンタルコンデンサなどあらゆる種類のコンデンサが使用可能です。ただし、コンデンサの種類によって、ESR ($\leq 5 \Omega$) 絶対値の大小、低温時の ESR 増加、容量値の減少にご注意ください。

なお、入力端子コンデンサと同様に外付けコンデンサの部品ばらつきによるレギュレータ特性への影響を避けるため、上記すべての出力端子コンデンサ、及び実装レイアウト位置につきましては、DC バイアス特性、温度特性が良く(約 $\pm 15\%$ 例えば、X7R、X8R)、優れた EIA 規格高耐圧品のコンデンサを選定し、実装インピーダンスなどの影響を受けないようにできる限り出力端子の近くに配置すること、及び同一実装面にレイアウトすることを推奨いたします。

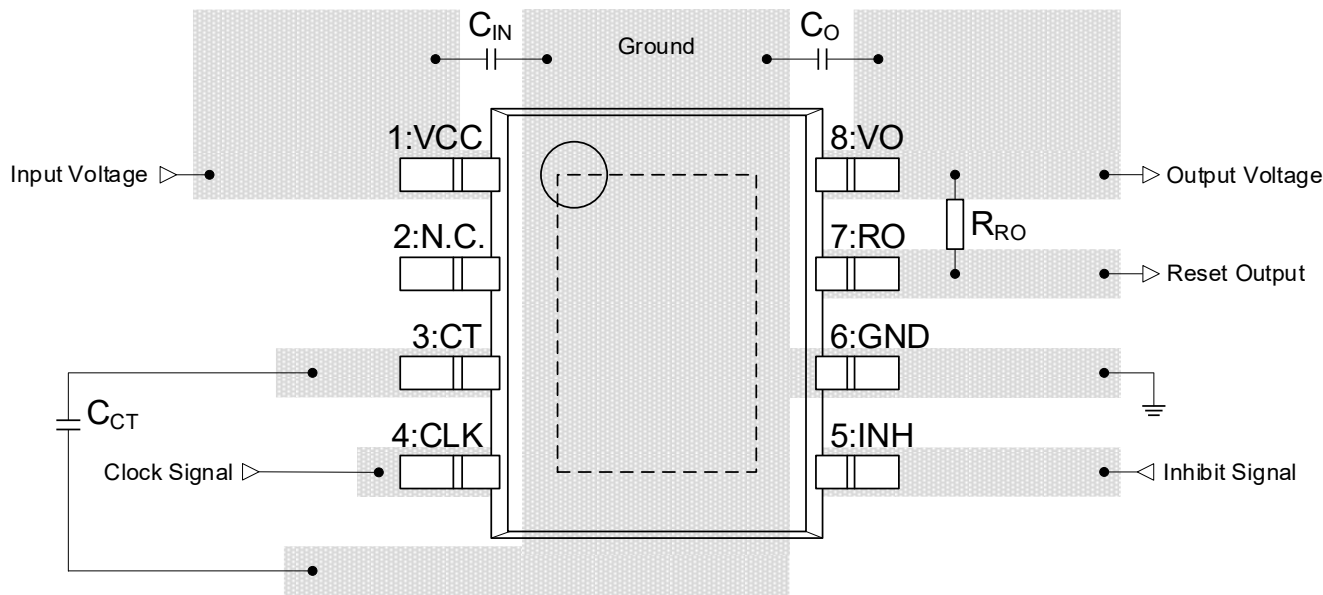
アプリケーションと実装 — 続き



出力端子コンデンサ容量値、ESR 安定動作領域
($-40\text{ }^{\circ}\text{C} \leq T_j \leq +150\text{ }^{\circ}\text{C}$ 、 $5.9\text{ V} \leq V_{CC} \leq 45\text{ V}$ 、 $V_{INH} = 5\text{ V}$ 、 $I_O = 0\text{ mA to } 200\text{ mA}$)

アプリケーションと実装 — 続き

基本アプリケーション回路とレイアウト例



項目	記号	動作範囲 / 部品定数設定範囲
出力電流範囲	I_O	$0 \text{ mA} \leq I_O \leq 200 \text{ mA}$
出力端子コンデンサ	C_O	$6 \text{ }\mu\text{F} \leq C_O \leq 1000 \text{ }\mu\text{F}$
出力端子コンデンサ ESR	ESR (C_O)	$\text{ESR} \leq 5 \text{ }\Omega$
入力電圧範囲	V_{CC}	$5.9 \text{ V to } 42.0 \text{ V}$
入力端子コンデンサ (Note 1)	C_{IN}	$0.1 \text{ }\mu\text{F} \leq C_{IN}$
CT 端子コンデンサ	C_{CT}	$0.047 \text{ }\mu\text{F} \leq C_{CT} \leq 10 \text{ }\mu\text{F}$
RO Pull-up 抵抗	R_{RO}	$5.1 \text{ k}\Omega \leq R_{RO}$

(Note 1) 電源ラインのインピーダンスの影響が大きい場合、入力コンデンサ容量値を調整してください。

アプリケーションと実装 — 続き

リニアレギュレータの入力にサージ印加時の保護

以下では入力に絶対最大定格を超えるサージが印加される可能性がある場合の IC の保護方法について説明します。

入力への正サージ印加について

入力に本 IC の絶対最大定格 45 V を超える正サージが印加される可能性がある場合は、Figure 29 のように VCC と GND 間にツェナーダイオードの挿入をお願いいたします。

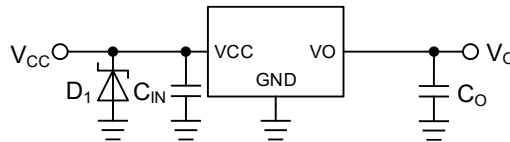


Figure 29. 入力に 45 V を超えるサージが印加される場合

入力への負サージ印加について

入力に本 IC の絶対最大定格 -0.3 V を超える負サージが印加される可能性がある場合は、下記 Figure 30 のように VCC と GND 間にショットキーダイオードの挿入をお願いいたします。

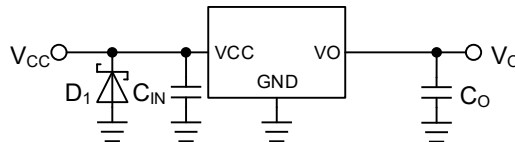


Figure 30. 入力に -0.3 V を超える負サージが印加される場合

リニアレギュレータの逆電圧保護

リニアレギュレータ IC は通常、入力電圧が出力電圧よりも高い状態で使用します。しかし、実際のアプリケーションでは、出力電圧が入力電圧よりも高くなるような状況が発生する可能性があります。また、入力、出力端子においても、逆接続やインダクタ成分等により、電圧、電流条件が逆転する場合があります。これらの状況が発生する可能性がある場合、IC に対して、対策を施していなければ、IC の損傷、破壊につながる可能性があります。以下では電圧、電流条件が逆転する場合の IC の保護方法について説明します。

入出力電圧の条件が逆転する場合について

MOS 型リニアレギュレータでは、出力 MOSFET のドレイン - ソース間に寄生素子としてボディダイオードが存在します。出力電圧が入力電圧よりも高くなり、その電圧差がボディダイオードの V_F を超えると、ボディダイオードを通じて電流が出力から入力へ流れます。このボディダイオードは寄生素子のため保護回路で制限することができず、過電流が流れた場合、素子の劣化や破壊につながる可能性があります (Figure 31 を参照)。

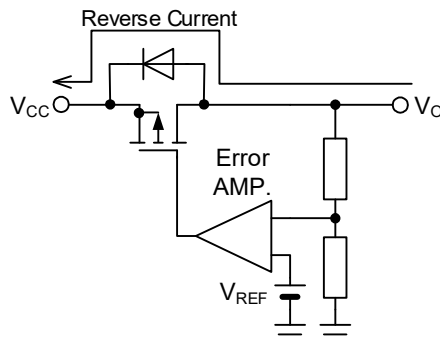


Figure 31. MOS 型の逆電流経路

入出力電圧の条件が逆転する場合について — 続き

対策として、逆電流が IC 内部を通らないようにするため、Figure 32 のように IC 外部にバイパスダイオードを接続します。バイパスダイオードは IC 内部のボディダイオードよりも先にオンする必要があるため、順方向電圧 V_F の低い製品が必要になります。ダイオードの逆方向定格電圧は、IC の入力定格電圧よりも大きいものを選択します。また、ダイオードの順方向定格電流は、想定される逆流電流値よりも大きいものを選択します。

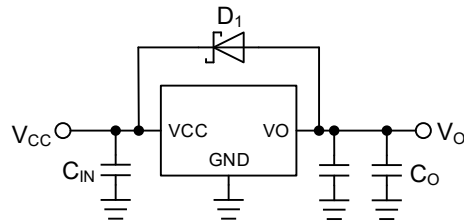


Figure 32. 逆電流バイパスダイオード

ショットキーバリアダイオードは順方向電圧 V_F が低く、バイパスダイオードとして使用可能ですが、逆バイアスリーク電流 I_R が大きくなる傾向があります。ダイオードの逆バイアスリーク電流が大きい場合、消費電流の増加や軽負荷時の出力電圧の持ち上がりにつながる可能性があるため、注意が必要です。また逆バイアスリーク電流の温度特性は高温で増加しますので、各メーカーのデータシートで詳細を確認し、実アプリケーションで動作を確認してください。

入出力電圧の条件が逆転する場合でも、下記 Figure 33 のように VCC がオープンになる場合や、インピーダンスが高い状態になる場合は、電流量が小さいため寄生素子の劣化や破壊は起こらず、逆電流バイパスダイオードは不要です。

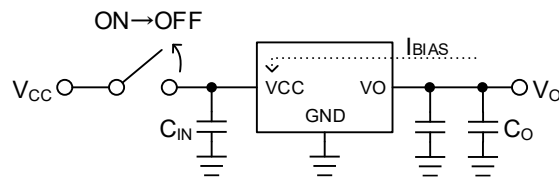


Figure 33. 入力をオープンにした場合

入力の逆電圧保護

入力を電源に接続する時、不注意によりプラスとマイナスを逆接続した場合、もしくは入力が GND 端子より低い電圧になる可能性がある場合は、IC 内部の VCC-GND 間の静電破壊防止ダイオードに大電流が流れるため IC が破壊する場合があります (Figure 34 を参照)。

逆接続対策として最も簡単な方法は Figure 35 のようにショットキーバリアダイオードか整流ダイオードを電源と直列に接続します。ただし、ダイオードの順方向電圧 V_F により、通常時の入力電圧に電圧降下が発生します。通常、整流ダイオードよりもショットキーバリアダイオードの方が V_F が低いので、電圧降下は小さくなります。負荷がある場合、ダイオードは発熱しますので許容損失にマージンがあるものを選択してください。逆接続時はダイオードの逆方向電流が流れますがこれは僅かな値です。

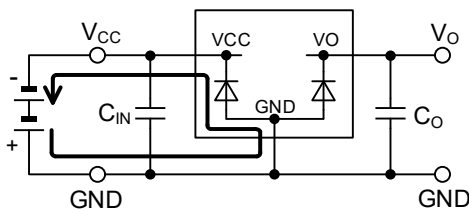


Figure 34. 入力を逆接続した時の電流経路

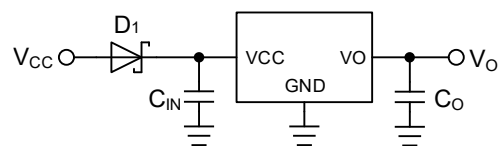


Figure 35. 逆接続対策 1

入力の逆電圧保護 — 続き

Figure 36 は Pch MOSFET を電源に対して直列に接続する方法です。MOSFET のドレイン-ソース間にあるダイオードは、ボディダイオード (寄生素子) です。正しい接続では Pch MOSFET が ON するため、ここでの電圧降下は MOSFET の ON 抵抗と出力電流 I_o から求められ、ダイオードによる電圧降下 (Figure 35 を参照) より小さいため、電力損失が小さくなります。逆接続時は Figure 36 の MOSFET は ON しないため電流は流れません。

MOSFET のゲート-ソース間(ディレーティングを考慮した)定格電圧を超える場合は、Figure 37 のようにゲート-ソース間を抵抗分割してゲート-ソース間電圧を下げてください。

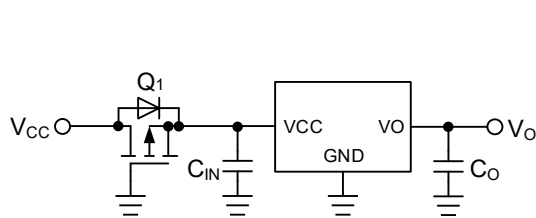


Figure 36. 逆接続対策 2

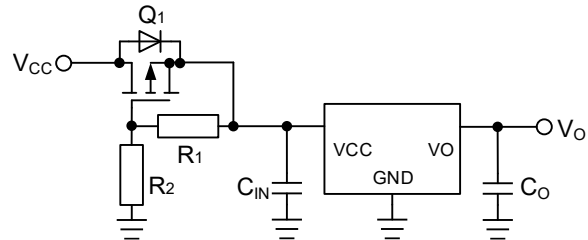


Figure 37. 逆接続対策 3

出力にインダクタを接続する場合の逆電圧保護

出力負荷が誘導性負荷の場合は、出力電圧が OFF になった瞬間に誘導性負荷に蓄積されたエネルギーがグラウンドへ放出されます。IC 内部の VO-GND 間には静電破壊防止ダイオードがあり、このダイオードに大電流が流れるため IC が破壊する場合があります。これを防止するため、静電破壊防止ダイオードに並列にショットキーバリアダイオードを接続してください (Figure 38 を参照)。

また、IC の出力ピンと負荷が長いワイヤーで接続されている場合は、ワイヤーが誘導負荷になっている可能性がありますのでオシロスコープで波形を観測し、出力停止時に VO 端子に負電圧が発生していないか確認してください。その他にも、負荷がモータの場合は、モータの逆起電力により同様の電流が流れますのでダイオードが必要です。

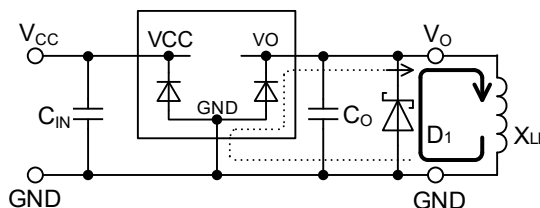


Figure 38. 誘導性負荷の電流経路 (出力 OFF 時)

許容損失について

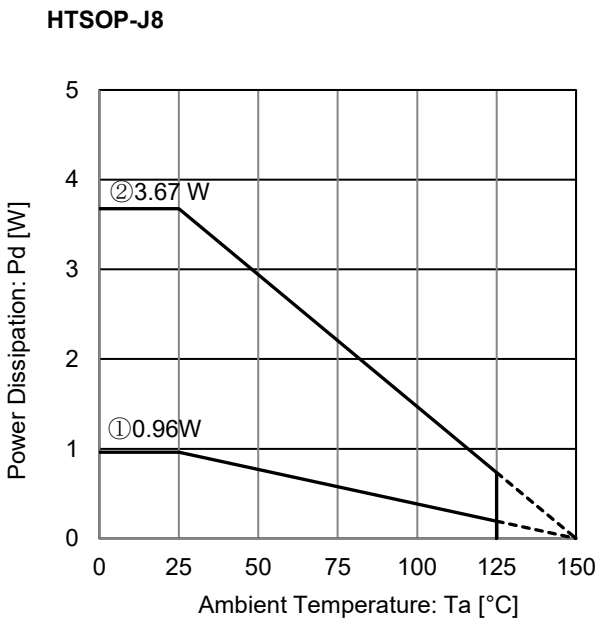


Figure 39. HTSOP-J8 パッケージ許容損失データ

ローム標準 JEDEC 基板実装
基板①: 1 層基板 (裏層銅箔 0 mm × 0 mm)
FR4(ガラエポ)基板 114.3 mm × 76.2 mm × 1.57 mm
表層銅箔: ローム推奨ランドパターン + 測定用配線、銅箔厚 2 oz

基板②: 4 層基板(2、3 層銅箔、裏層銅箔 74.2 mm × 74.2 mm)
FR4(ガラエポ)基板 114.3 mm × 76.2 mm × 1.60 mm
表層銅箔: ローム推奨ランドパターン + 測定用配線、銅箔厚 2 oz
2/3 層銅箔: 74.2 mm × 74.2 mm、銅箔厚 1 oz
裏層銅箔: 74.2 mm × 74.2 mm、銅箔厚 2 oz

条件①: $\theta_{JA} = 130\text{ }^{\circ}\text{C/W}$ 、 Ψ_{JT} (上面中心) = $15\text{ }^{\circ}\text{C/W}$
条件②: $\theta_{JA} = 34\text{ }^{\circ}\text{C/W}$ 、 Ψ_{JT} (上面中心) = $7\text{ }^{\circ}\text{C/W}$

熱設計

本製品はパッケージの裏面にフレームを露出させており、この部分に放熱処理を施し放熱効率を上げて使用することを想定しております。本製品は使用される入出力電圧差と負荷電流量、回路電流によって消費電力が決定されます。許容損失は周囲温度によって変動します。周囲温度 $T_a = 25^\circ\text{C}$ 以上でご使用になる場合は Figure 39 の熱低減曲線グラフを参考にしてください。また周囲温度 $T_a = 25^\circ\text{C}$ でも、入力電圧と負荷電流の値によっては、チップ（接合部）温度 T_j がかなり高温になっていることがありますので動作温度範囲内すべてにおいて $T_j \leq T_{j\max} = 150^\circ\text{C}$ となるように設計してください。

万一、 $T_{j\max} = 150^\circ\text{C}$ を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。本仕様書に記載されております熱抵抗値は、JEDEC で推奨されている基板条件、環境での測定になるため、実使用環境とは異なる可能性があります。以下式にて T_j を算出していただき、十分にマージンを持った形で放熱性能を確保してください。

T_j は以下の 2 通りで考えることができます。

1. 周囲温度 T_a から T_j を求める場合

$$T_j = T_a + P_c \times \theta_{JA} [^\circ\text{C}]$$

T_j : チップ（接合部）温度

T_a : 周囲温度

P_c : 消費電力

θ_{JA} : 熱抵抗（ジャンクション - 周囲温度間）

2. パッケージ上面中心温度 T_T から T_j を求める場合

$$T_j = T_T + P_c \times \Psi_{JT} [^\circ\text{C}]$$

T_j : チップ（接合部）温度

T_T : パッケージ（モールド部分）上面中心温度

P_c : 消費電力

Ψ_{JT} : 熱特性パラメータ（ジャンクション - パッケージ上面中心間）

消費電力 P_c は入出力の電圧差と負荷電流、回路電流より求めることができます。

$$P_c = (V_{CC} - V_o) \times I_o + V_{CC} \times I_{CC} [W]$$

P_c : 消費電力

V_{CC} : 入力電圧

V_o : 出力電圧

I_o : 出力電流(実効値)

I_{CC} : 回路電流

計算例 (HTSOP-J8)

$V_{CC} = 13.5\text{ V}$ 、 $V_o = 5.0\text{ V}$ 、 $I_o = 100\text{ mA}$ 、 $I_{CC} = 6\text{ }\mu\text{A}$ の時、消費電力 P_c は、

$$\begin{aligned} P_c &= (V_{CC} - V_o) \times I_o + V_{CC} \times I_{CC} \\ &= (13.5\text{ V} - 5.0\text{ V}) \times 100\text{ mA} + 13.5\text{ V} \times 6\text{ }\mu\text{A} \\ &= 0.85\text{ W} \end{aligned}$$

となります。

最大周囲温度が $T_{\max} = 85^\circ\text{C}$ の場合、 $\theta_{JA} = 34.0^\circ\text{C/W}$ (4 層基板実装時) とすると、

$$\begin{aligned} T_j &= T_{\max} + P_c \times \theta_{JA} \\ &= 85^\circ\text{C} + 0.85\text{ W} \times 34.0^\circ\text{C/W} \\ &= 113.9^\circ\text{C} \end{aligned}$$

となります。

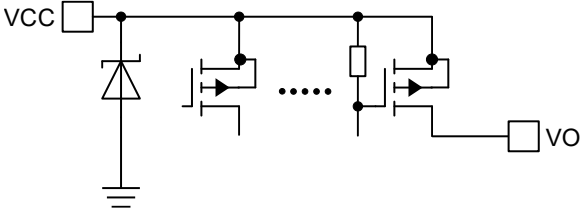
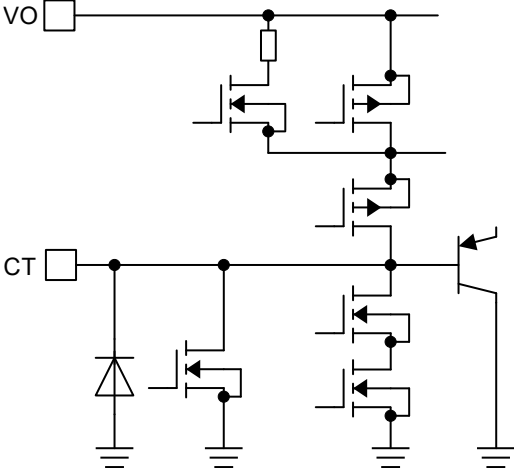
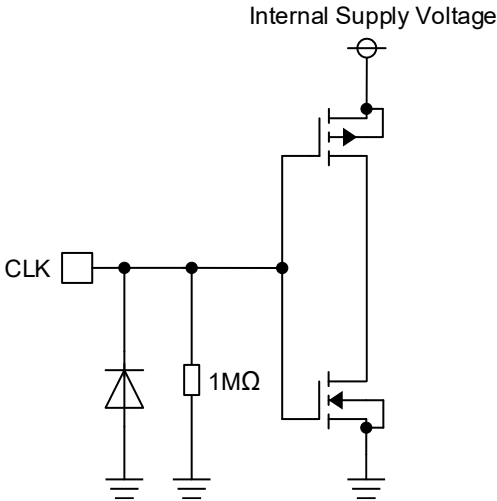
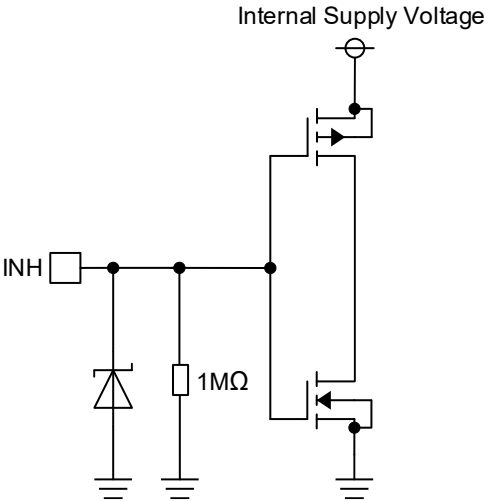
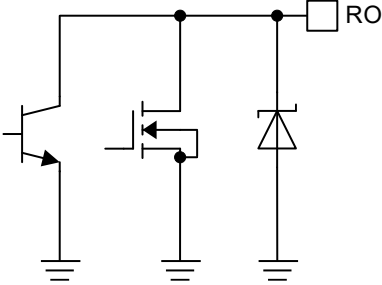
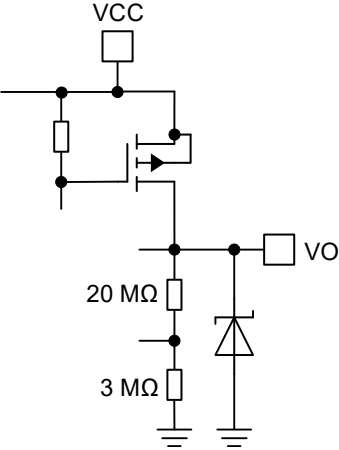
次に、実動作時のパッケージ(モールド部分) 上面中心温度から計算する場合、 $T_T = 108^\circ\text{C}$ 、 $\Psi_{JT} = 7^\circ\text{C/W}$ (4 層基板実装時) とすると、

$$\begin{aligned} T_j &= T_T + P_c \times \Psi_{JT} \\ &= 108^\circ\text{C} + 0.85\text{ W} \times 7^\circ\text{C/W} \\ &= 113.95^\circ\text{C} \end{aligned}$$

となります。

上記計算にてマージンを確保できない場合は、基板の銅箔面積を広げる、基板層数を増やす、サーマルビアの本数を増やすなど、放熱性能を向上させる必要があります。

入出力等価回路図 (Note 1)

<p>1. VCC</p> 	<p>3. CT</p> 
<p>4. CLK</p> <p>Internal Supply Voltage</p> 	<p>5. INH</p> <p>Internal Supply Voltage</p> 
<p>7. RO</p> 	<p>8. VO</p> 

(Note 1) 記載されている抵抗値は規格の標準値です。

使用上の注意

1. 電源の逆接続について

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れるなどの対策を施してください。

2. 電源ラインについて

基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。グラウンドラインについても、同様のパターン設計を考慮してください。また、LSI のすべての電源端子について電源-グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量低下が起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

3. グラウンド電位について

グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。

4. グラウンド配線パターンについて

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

5. 動作条件について

動作条件で規定される範囲で IC の機能・動作を保証します。また、特性値は電気的特性で規定される各項目の条件下においてのみ保証されます。

6. ラッシュカレントについて

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

7. 熱設計について

実際の使用状態での許容損失(Pd)を考え、十分マージンを持った熱設計を行ってください。本製品はパッケージの裏側にフレームを露出させておりますが、この部分には放熱処理を施し放熱効率を上げて使用することを想定しております。本製品は使用されます入出力電圧差と負荷の量、回路電流で発生する熱量が決定されます。そのため実際に使用した時の発生する熱量が Pd を超えないように注意してください。

万一、 $T_{jmax} = 150^{\circ}\text{C}$ を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。本仕様書に記載されております熱抵抗値は、JEDEC で推奨されている基板条件、環境での測定になるため、実使用環境とは異なる可能性があります。注意が必要です。

8. セット基板での検査について

セット基板での検査時に、インピーダンスの低いピンにコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

9. 端子間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けた場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

10. 未使用の入力端子の処理について

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

使用上の注意 — 続き

11. 各入力端子について

本 IC はモノリシック IC であり、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、GND > (端子 A)の時、トランジスタ(NPN)では GND > (端子 B)の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ(NPN)では、GND > (端子 B)の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に GND(P 基板)より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子が GND にショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

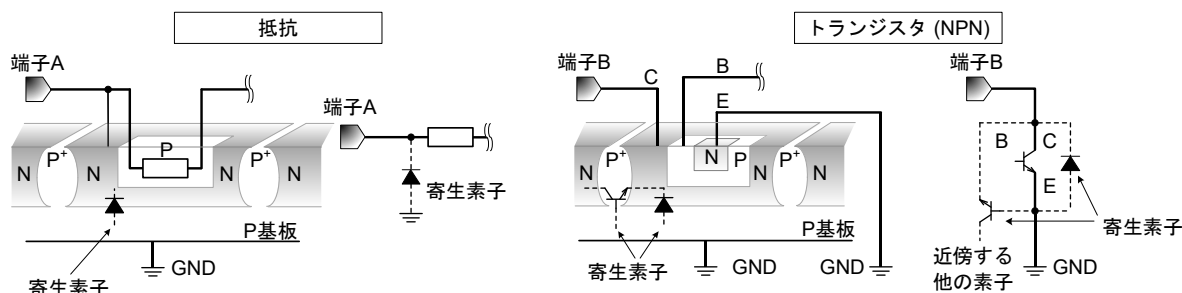


Figure 40. IC 構造例

12. セラミック・コンデンサの特性変動について

外付けコンデンサに、セラミック・コンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮のうえ定数を決定してください。

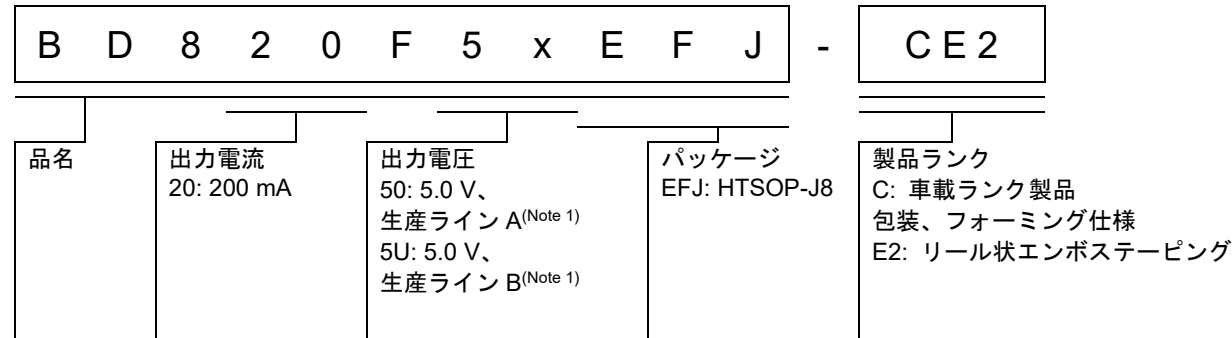
13. 過熱保護回路について

IC を熱破壊から防ぐための過熱保護回路を内蔵しております。最高接合部温度内でご使用いただきますが、万が一最高接合部温度を超えた状態が継続すると、過熱保護回路が動作し出力パワー素子が OFF します。その後チップ温度 T_j が低下すると回路は自動で復帰します。なお、過熱保護回路は絶対最大定格を超えた状態での動作となりますので、過熱保護回路を使用したセット設計などは、絶対に避けてください。

14. 過電流保護回路について

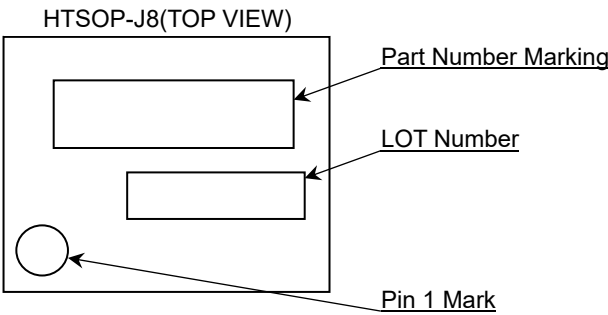
出力には電流能力に応じた過電流保護回路が内部に内蔵されているため、負荷ショート時には IC 破壊を防止しますが、この保護回路は突発的な事故による破壊防止に有効なもので、連続的な保護回路動作、過渡時でのご使用に対応するものではありません。

発注形名情報



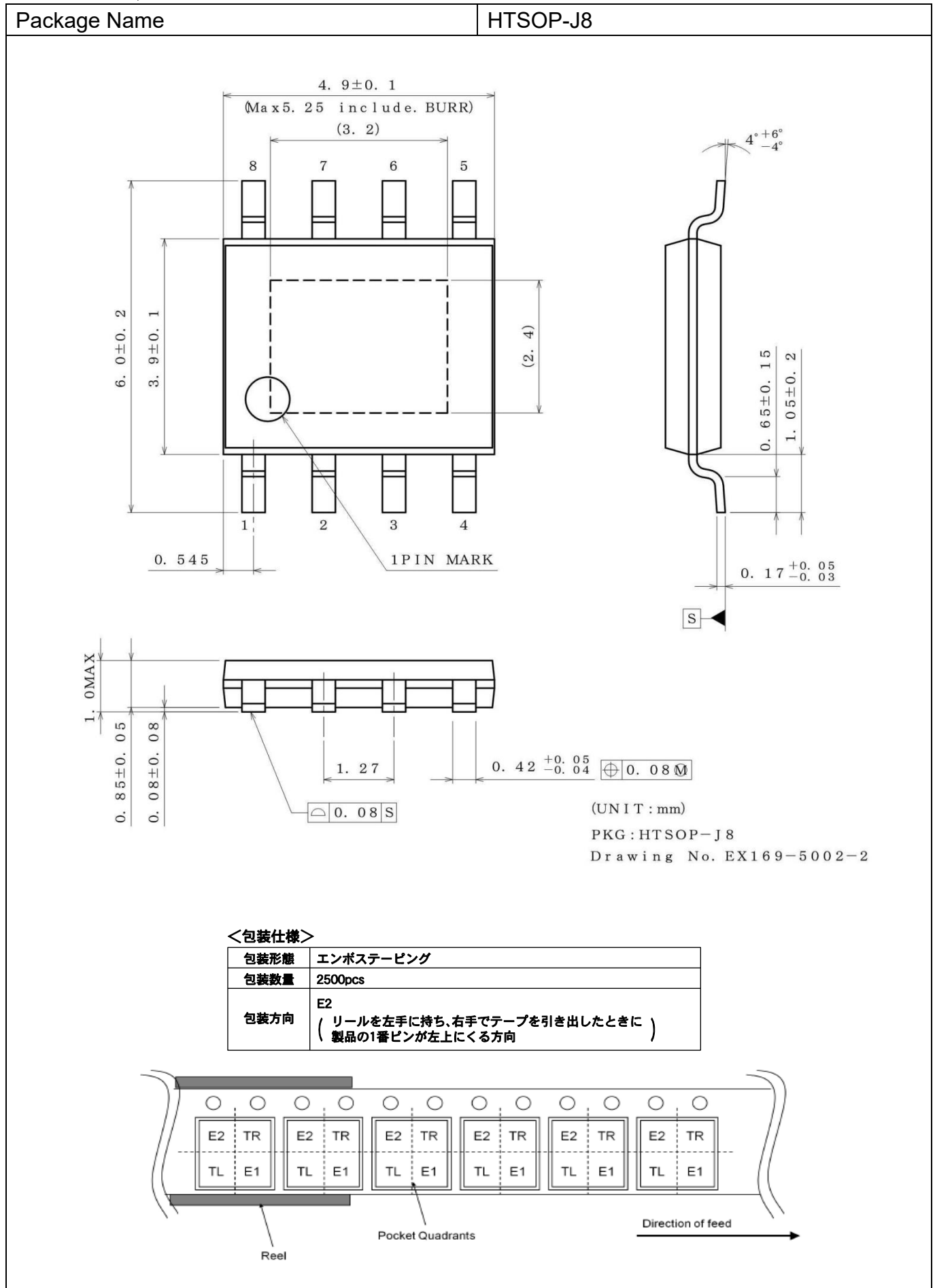
(Note 1) 生産ライン A、B は生産効率向上を目的に複数ライン構成となっています。データシート内の特性保証に差異はありません。新規ご採用時は生産ライン B を推奨します。

標印図



標印	パッケージ	生産ライン	発注可能形名
820F50	HTSOP-J8	A	BD820F50EFJ-CE2
820F5U		B	BD820F5UEFJ-CE2

外形寸法図と包装・フォーミング仕様



改訂履歴

日付	改訂	変更内容
2018.12.17	001	新規登録
2021.12.9	002	BD820F5UEFJ-C 追加 タイミングチャート INH ON/OFF 1 訂正

ご注意

ローム製品取扱い上の注意事項

- 極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器^(Note 1)、航空宇宙機器、原子力制御装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

- 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
- 本製品は、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用
 - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用される場合は除く。ただし、残渣については十分に確認をお願いします。)又は、はんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合
 - ⑧結露するような場所でのご使用
- 本製品は耐放射線設計はなされておられません。
- 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
- パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
- 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
- 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
- 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

- ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
- はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。
その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。（人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等）

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
 - ① 潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ② 推奨温度、湿度以外での保管
 - ③ 直射日光や結露する場所での保管
 - ④ 強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱いください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルに2次元バーコードが印字されていますが、2次元バーコードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は、外国為替及び外国貿易法に定めるリスト規制貨物等に該当するおそれがありますので、輸出する場合には、ロームへお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等（ソフトウェア含む）との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。