

シングルアウトプット 低飽和レギュレータ

35V 耐圧 2A LDO レギュレータ

BDxxFD0 シリーズ

概要

BDxxFD0 シリーズは 2A まで供給可能な低飽和型レギュレータです。出力電圧は外部抵抗にて設定する可変型と、固定型があります。

本シリーズは出力短絡などによる IC 破壊を防止する過電流保護回路、IC を過負荷状態などによる熱破壊から防ぐ過熱保護回路を内蔵しています。

パッケージ

HRP5

W(Typ) x D(Typ) x H(Max)

9.395mm x 10.540mm x 2.005mm



TO263-5

10.16mm×15.10mm×4.70mm



特長

- 出力電流 : 2A
- 出力電圧 : 可変型、固定型
(1.5V / 1.8V / 2.5V / 3.0V / 3.3V / 5.0V / 8.0V / 9.0V / 12V / 15V / 16V)
- $\pm 1\%$ ($\pm 1.5\%$: BD15/18/25FD0W)
高精度出力電圧 ($T_a=25^\circ\text{C}$)
- PDMOS 出力で低飽和型
- 出力短絡などによる IC 破壊を防止する出力電流制限回路を内蔵
- IC を過負荷状態などによる熱破壊から防ぐ過熱保護回路を内蔵
- 出力発振止コンデンサにセラミックコンデンサ対応
- HRP5/TO263-5 パッケージ

重要特性

- 入力電源電圧 ($V_o \geq 3.0\text{V}$): $V_o+1.0\text{V}$ to 32.0V
- 入力電源電圧 ($V_o < 3.0\text{V}$): 4.0V to 32.0V
- 出力電圧: (BD00FD0W): 1.5V to 16.0V
- 出力電流: 2A
- 出力電圧精度 (Note 1): $\pm 1\%$ ($T_a=25^\circ\text{C}$)
- 動作温度範囲: -40°C to $+105^\circ\text{C}$
(Note 1) BD15/18/25FD0W は $\pm 1.5\%$ ($T_a=25^\circ\text{C}$)

用途

汎用

発注形名セクション

B D x x F D 0 W x x x											-	x x		
出力電圧 00 : 可変出力 15 : 1.5V 18 : 1.8V 25 : 2.5V 30 : 3.0V 33 : 3.3V 50 : 5.0V 80 : 8.0V 90 : 9.0V J2 : 12.0V J5 : 15.0V J6 : 16.0V			耐圧、電流能力 FD0 : 35V、2A			イネーブル W : CTL(イネーブル)有			パッケージ HFP : HRP5 FP2 : TO263-5			包装、フォーミング仕様 TR : リール状エンボステ ピング(HRP5) E2 : リール状エンボステ ピング(TO263-5)		

目 次

概要.....	1
特長.....	1
パッケージ.....	1
重要特性.....	1
用途.....	1
発注形名セレクション.....	1
目 次.....	2
ラインアップ.....	3
基本アプリケーション回路.....	3
端子配置図・端子説明.....	4
ブロック図.....	5
各ブロック動作説明.....	6
絶対最大定格.....	7
推奨動作範囲.....	7
電気的特性.....	8
熱抵抗.....	9
参考データ.....	10
参考データ測定回路図.....	14
リニアレギュレータの入力にサージ印加時の保護.....	15
1. 入力への正サージ印加について.....	15
2. 入力への負サージ印加について.....	15
リニアレギュレータの逆電圧保護.....	15
1. 入出力電圧の条件が逆転する場合について.....	15
2. 入力の逆電圧保護.....	16
3. 出力にインダクタを接続する場合の逆電圧保護.....	17
熱設計.....	18
入出力等価回路図.....	20
出力電圧設定方法について(BD00FD0WHFP/FP2 のみ).....	20
使用上の注意.....	21
1. 電源の逆接続について.....	21
2. 電源ラインについて.....	21
3. グラウンド電位について.....	21
4. グラウンド配線パターンについて.....	21
5. 熱設計について.....	21
6. ラッシュカレントについて.....	21
7. セット基板での検査について.....	21
8. 端子間ショートと誤装着について.....	21
9. 未使用の入力端子の処理について.....	21
10. 各入力端子について.....	22
11. セラミックコンデンサの特性変動について.....	22
12. 過熱保護回路について.....	22
13. 過電流保護回路について.....	22
14. Vcc 端子について.....	22
15. 出力端子接続コンデンサについて.....	23
16. CTL 端子について.....	24
17. Vcc 電圧、負荷の急峻な変動について.....	24
18. 出力電圧の微小変動について.....	24
19. Vcc 電圧と各端子電圧について.....	24
外形寸法図と包装・フォーミング仕様.....	25
標印図.....	27
改訂履歴.....	28

ラインアップ

発注形名	出力電圧	パッケージ	発注形名	出力電圧	パッケージ
BD00FD0WHFP-TR	可変	HRP5 2000pcs/Reel	BD00FD0WFP2-E2	可変	TO263-5 500pcs/Reel
BD15FD0WHFP-TR	1.5V		BD15FD0WFP2-E2	1.5V	
BD18FD0WHFP-TR	1.8V		BD18FD0WFP2-E2	1.8V	
BD25FD0WHFP-TR	2.5V		BD25FD0WFP2-E2	2.5V	
BD30FD0WHFP-TR	3.0V		BD30FD0WFP2-E2	3.0V	
BD33FD0WHFP-TR	3.3V		BD33FD0WFP2-E2	3.3V	
BD50FD0WHFP-TR	5.0V		BD50FD0WFP2-E2	5.0V	
BD80FD0WHFP-TR	8.0V		BD80FD0WFP2-E2	8.0V	
BD90FD0WHFP-TR	9.0V		BD90FD0WFP2-E2	9.0V	
BDJ2FD0WHFP-TR	12V		BDJ2FD0WFP2-E2	12V	
BDJ5FD0WHFP-TR	15V		BDJ5FD0WFP2-E2	15V	
BDJ6FD0WHFP-TR	16V		BDJ6FD0WFP2-E2	16V	

基本アプリケーション回路

〈出力電圧可変型〉

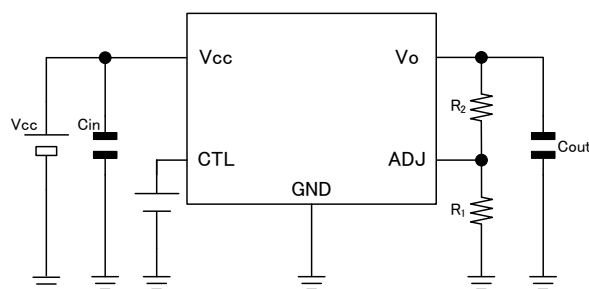


Figure 1. 基本アプリケーション回路 出力電圧可変型

〈出力電圧固定型〉

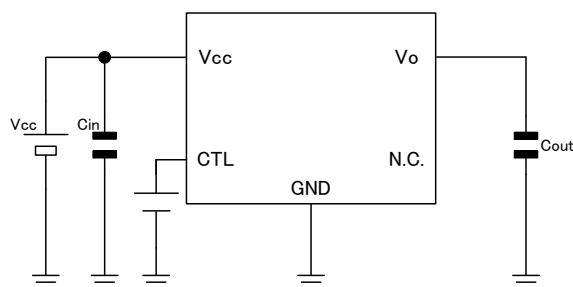


Figure 2. 基本アプリケーション回路 出力電圧固定型

端子配置図・端子説明

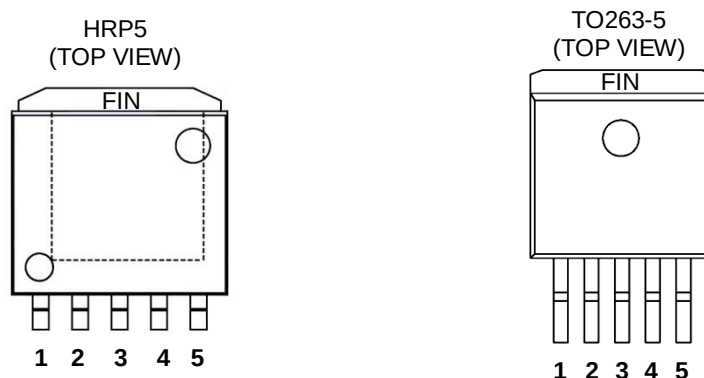


Figure 3. 端子配置図

出力電圧可変型

端子番号	端子名	機能
1	CTL	コントロール端子 この端子を High に設定することでデバイスをオンに、Low に設定することでオフにすることができます。
2	Vcc	電源入力端子 Vcc と GND 間にセラミックコンデンサを接続してください。コンデンサは端子の近くに配置してください。
3	GND	グラウンド 回路のグラウンドで、FIN 端子と接続されています。
4	Vo	出力端子 Vo と GND 間にコンデンサを接続してください。コンデンサは端子の近くに配置してください。静電容量と ESR 値は使用上の注意 15 を参照してください。
5	ADJ	出力電圧設定端子 Vo – ADJ 間、ADJ – GND 間に抵抗を接続してください。
FIN	FIN	放熱フィン FIN は熱性能を強化するため、面積の広い銅箔部にハンダ付けすることを推奨します。パッケージ内部で電氣的に GND へ接続されています。

出力電圧固定型

端子番号	端子名	機能
1	CTL	コントロール端子 この端子を High に設定することでデバイスをオンに、Low に設定することでオフにすることができます。
2	Vcc	電源入力端子 Vcc と GND 間にセラミックコンデンサを接続してください。コンデンサは端子の近くに配置してください。
3	GND	グラウンド 回路のグラウンドで、FIN 端子と接続されています。
4	Vo	出力端子 Vo と GND 間にコンデンサを接続してください。コンデンサは端子の近くに配置してください。静電容量と ESR 値は使用上の注意 15 を参照してください。
5	N.C.	未使用 オープンまたは GND へ接続してください。
FIN	FIN	放熱フィン FIN は熱性能を強化するため、面積の広い銅箔部にハンダ付けすることを推奨します。パッケージ内部で電氣的に GND へ接続されています。

ブロック図

<BD00FD0WHFP/FP2 (出力電圧可変型)>

■HRP5/TO263-5

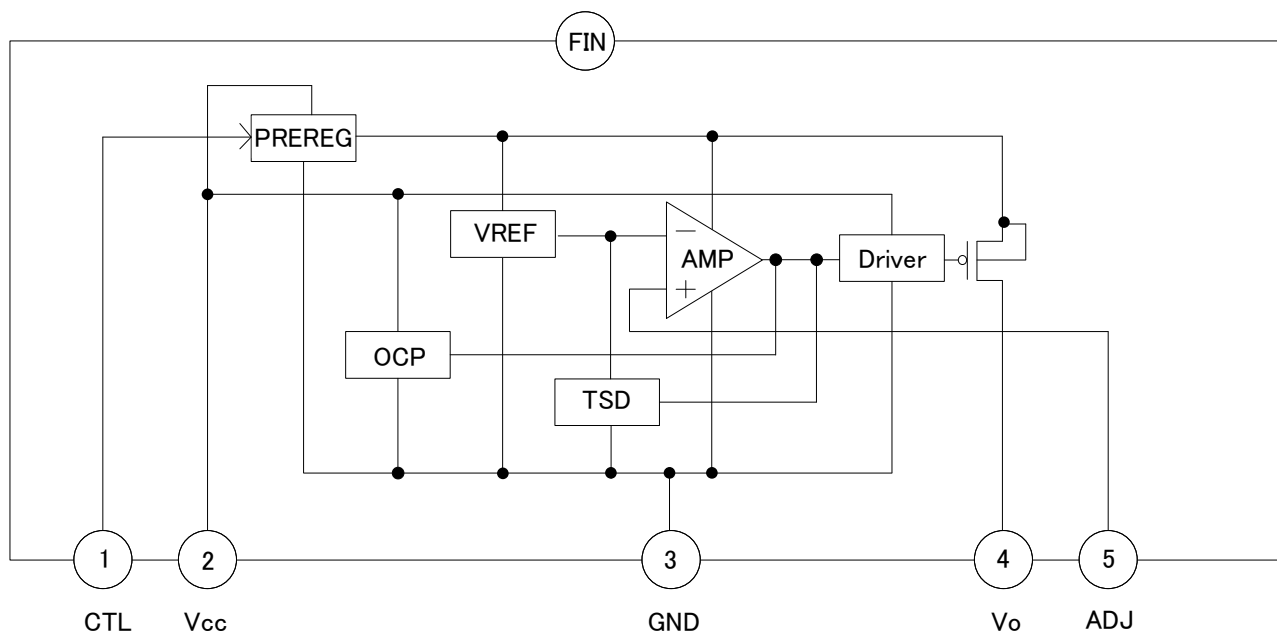


Figure 4. ブロック図
BD00FD0WHFP/FP2 (出力電圧可変型)

<BDxxFD0WHFP/FP2 (出力電圧固定型)>

■HRP5/TO263-5

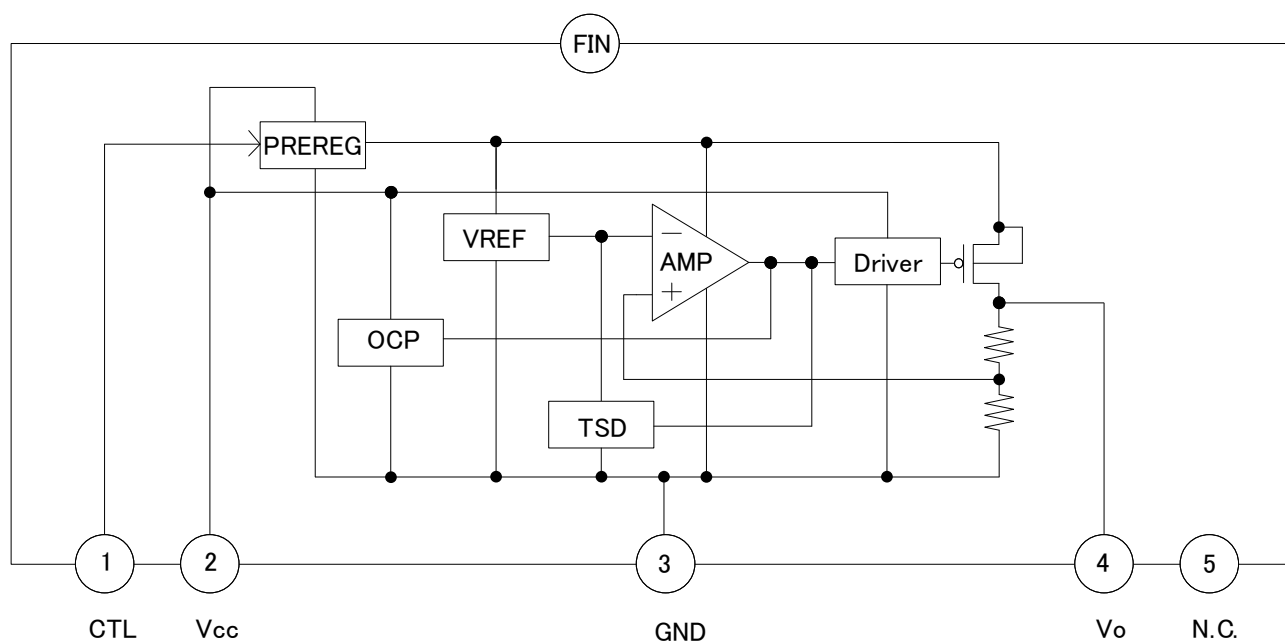


Figure 5. ブロック図
BDxxFD0WHFP/FP2 (出力電圧固定型)

各ブロック動作説明

ブロック名	機能	詳細説明
PREREG	内部定電圧源	CTL 端子電圧が“High” ($V_{thH} \geq 2.0\text{ V}$) のとき、内部回路に電源供給します。
TSD	過熱保護	許容損失を超えた状態が継続したときなどに、チップ温度 (T_J) が上昇し、TSD が動作して出力を OFF します。(Typ: 175 °C)
VREF	内部基準電圧	基準電圧を生成します。
AMP	誤差増幅	出力電圧と基準電圧の誤差を増幅し、出力トランジスタに伝達します。
Driver	出力 MOS FET ドライバ	出力パワートランジスタを駆動します。
OCP	過電流保護	出力短絡などで、電流能力を超えた過負荷時に OCP が動作して出力を OFF します。(Typ: 2500 mA)

絶対最大定格

項目	記号	定格	単位
電源電圧 (Note 1)	V _{CC}	-0.3~+35.0	V
出力制御端子電圧 (Note 2)	V _{CTL}	-0.3~+35.0	V
動作温度範囲	T _a	-40~+105	°C
保存温度範囲	T _{stg}	-55~+150	°C
最高接合部温度	T _{jmax}	150	°C

(Note 1) ただし T_{jmax} を超えないこと
(Note 2) 動作電源電圧範囲内で、電源 (V_{CC}) と CTL 端子の立ち上げの順序はどちらが先でも問題ありません。
注意：印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。
また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施して頂けるようご検討をお願いします。

推奨動作範囲 (-40°C ≤ T_a ≤ +105°C)

項目	記号	最小	最大	単位
入力電源電圧(V _o ≥ 3.3V)	V _{CC}	V _o +1	32.0	V
入力電源電圧(V _o ≤ 3.0V)	V _{CC}	4.0	32.0	V
始動電圧 (I _o =0mA)	V _{CC}	-	3.8	V
出力制御端子電圧	V _{CTL}	0	32.0	V
出力電流	I _o	0	2.0	A
出力電圧 (BD00FD0W のみ) (Note 3)	V _o	1.5	18.0	V

(Note 3) BD00FD0W を出力電圧 1.5V~3.0V 未満で使用する場合は、使用上の注意 15 を参照してください。

電気的特性

特に指定のない限り Ta=25°C、Vcc=13.5V^(Note 1)、Io=0mA、V_{CTL}=5.0V

ADJ 対 Vo 側抵抗=56.7kΩ、ADJ 対 GND 側抵抗=10kΩ (BD00FD0W のみ)

項目	記号	規格値			単位	条件
		最小	標準	最大		
シャットダウン時回路電流	I _{sd}	-	0	10	μA	V _{CTL} =0V、Vcc<10V
回路電流	I _b	-	0.5	1.0	mA	
ADJ 端子電圧 (BD00FD0W のみ)	V _{ADJ}	0.742	0.750	0.758	V	I _o =500mA、Vcc=13.5V
出力電圧 (BD15/18/25FD0W のみ)	V _o	$V_o \times 0.985$	V _o	$V_o \times 1.015$	V	I _o =500mA V _o ≤ 2.5V
出力電圧 (BD30~J6FD0W のみ) ^(Note 2)	V _o	$V_o \times 0.99$	V _o	$V_o \times 1.01$	V	I _o =500mA V _o ≥ 3.0V
最小入出力電圧差	ΔV _d	-	0.40	0.55	V	Vcc=V _o ×0.95、I _o =1A V _o ≥ 5.0V
リップルリジェクション (BD00~50FD0W のみ) ^(Note 3)	R.R.	45	55	-	dB	f=120Hz、 電源リップル=1V _{rms} 、 I _o =500mA
リップルリジェクション (BD80~J6FD0W のみ) ^(Note 4)	R.R.	40	50	-	dB	f=120Hz、 電源リップル=1V _{rms} 、 I _o =500mA
入力安定度 ^(Note 5)	Reg.I	-	20	80	mV	V _o +1.0V ≤ Vcc ≤ 26.5V V _o ≥ 3.3V
入力安定度 ^(Note 6)	Reg.I	-	20	80	mV	4.0V ≤ Vcc ≤ 26.5V V _o ≤ 3.0V
負荷安定度 ^(Note 5)	Reg.L	-	$V_o \times 0.007$	$V_o \times 0.014$	V	5mA ≤ I _o ≤ 1A V _o ≥ 3.3V
負荷安定度 ^(Note 6)	Reg.L	-	$V_o \times 0.020$	$V_o \times 0.040$	V	5mA ≤ I _o ≤ 1A V _o ≤ 3.0V
CTL 端子 ON モード電圧	V _{thH}	2.0	-	-	V	出力動作時
CTL 端子 OFF モード電圧	V _{thL}	-	-	0.8	V	シャットダウン時
CTL 端子 バイアス電流	I _{CTL}	-	25	50	μA	

(Note 1) V_o>10V は Vcc=V_o+5V

(Note 2) BD30/33/50/80/90/J2/J5/J6FD0W

(Note 3) BD00/15/18/25/30/33/50FD0W

(Note 4) BD80/90/J2/J5/J6FD0W

(Note 5) BD00/33/50/80/90/J2/J5/J6FD0W

(Note 6) BD15/18/25/30FD0W

熱抵抗 (Note 1)

項目	記号	熱抵抗(Typ)		単位
		1 層基板 ^(Note 3)	4 層基板 ^(Note 4)	
HRP5				
ジャンクション—周囲温度間熱抵抗	θ_{JA}	119.3	22.0	°C/W
ジャンクション—パッケージ上面中心間熱特性パラメータ ^(Note 2)	Ψ_{JT}	8	3	°C/W
TO263-5				
ジャンクション — 周囲温度間熱抵抗	θ_{JA}	80.7	20.3	°C/W
ジャンクション—パッケージ上面中心間熱特性パラメータ ^(Note 2)	Ψ_{JT}	8	2	°C/W

(Note 1) JESD51-2A(Still-Air) に準拠。
 (Note 2) ジャンクションからパッケージ（モールド部分）上面中心までの熱特性パラメータ。
 (Note 3) JESD51-3 に準拠した基板を使用。
 (Note 4) JESD51-5、7 に準拠した基板を使用。

測定基板	基板材	基板寸法
1 層	FR-4	114.3mm x 76.2mm x 1.57mmt

1 層目（表面）銅箔	銅箔厚 70μm
銅箔パターン	
実装ランドパターン ＋電極引出し用配線	

測定基板	基板材	基板寸法	サーマルビア (Note 5)	
			ピッチ	直径
4 層	FR-4	114.3mm x 76.2mm x 1.6mmt	1.20mm	Φ0.30mm

1 層目（表面）銅箔		2 層目、3 層目（内層）銅箔		4 層目（裏面）銅箔	
銅箔パターン	銅箔厚	銅箔パターン	銅箔厚	銅箔パターン	銅箔厚
実装ランドパターン ＋電極引出し用配線	70μm	74.2mm□（正方形）	35μm	74.2mm□（正方形）	70μm

(Note 5) 貫通ビア。全層の銅箔と接続する。配置はランドパターンに従う。

参考データ

■BD00FD0WHFP/FP2 (5.0V 出力設定)

特に指定のない限り $T_a=25^{\circ}\text{C}$ 、 $V_{cc}=13.5\text{V}$ 、 $V_{CTL}=5.0\text{V}$ 、 $I_o=0\text{mA}$ 、 $V_o=5.0\text{V}$
 (ADJ 対 V_o 側抵抗=56.7k Ω 、ADJ 対 GND 側抵抗=10.0k Ω)

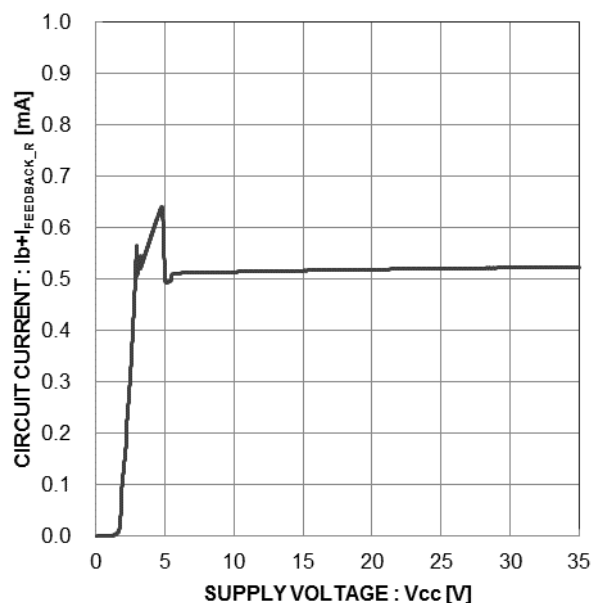


Figure 6. 回路電流
 ($I_{FEEDBACK_R} \approx 75\mu\text{A}$)

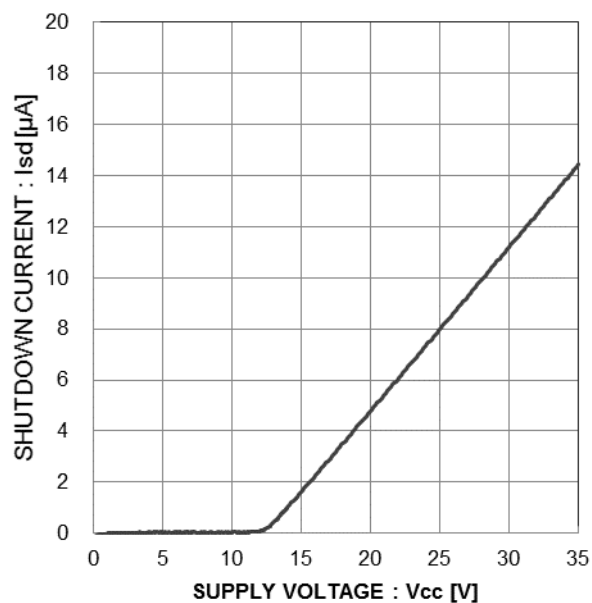


Figure 7. シャットダウン時回路電流
 ($V_{CTL}=0\text{V}$)

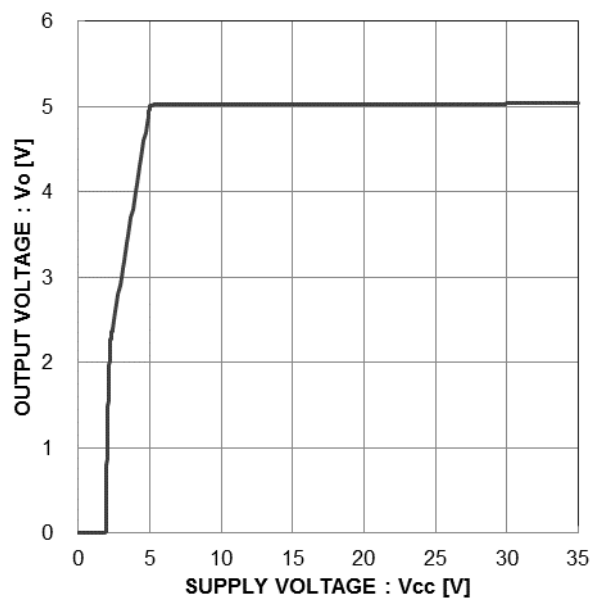


Figure 8. 入力安定度
 ($I_o=0\text{mA}$)

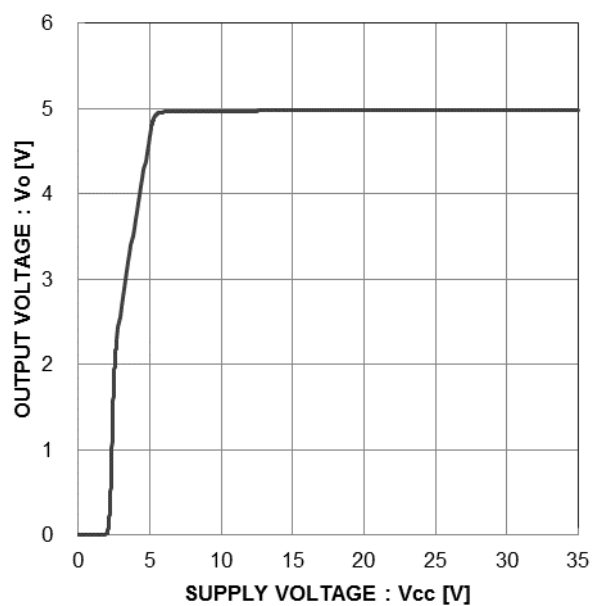


Figure 9. 入力安定度
 ($I_o=1.0\text{A}$)

参考データ - 続き

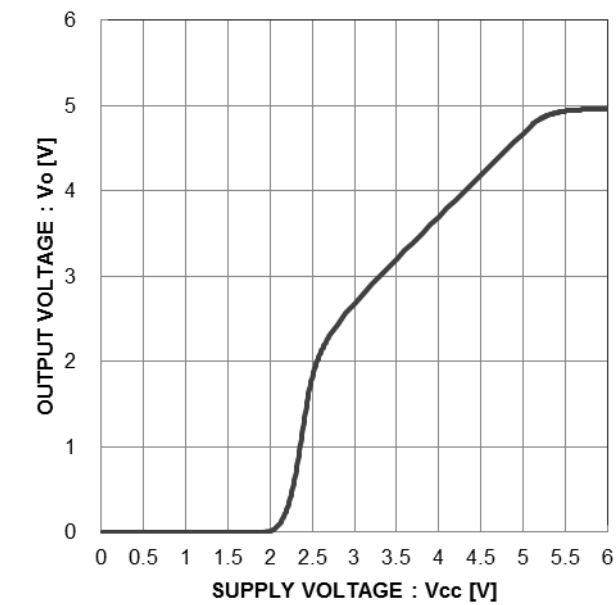


Figure 10. 始動電圧特性
(Io=1.0A、Vcc=0 to 6V)

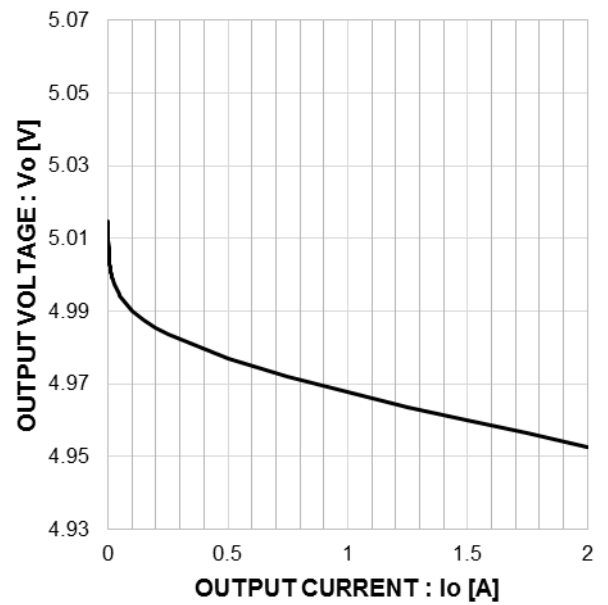


Figure 11. 負荷安定度
(Io=0 to 2A)

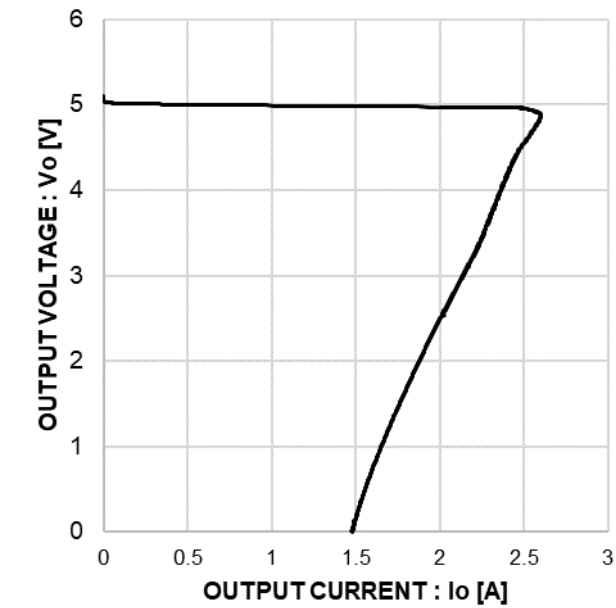


Figure 12. 過電流保護特性

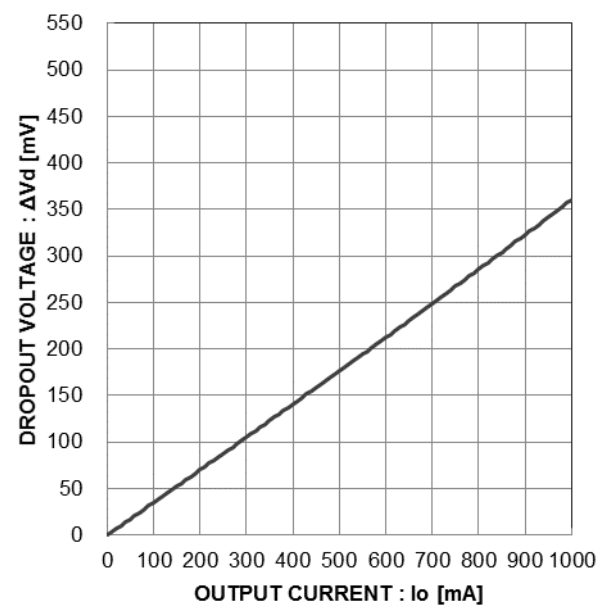


Figure 13. 入出力電圧差
(Vcc=4.75V)

参考データ — 続き

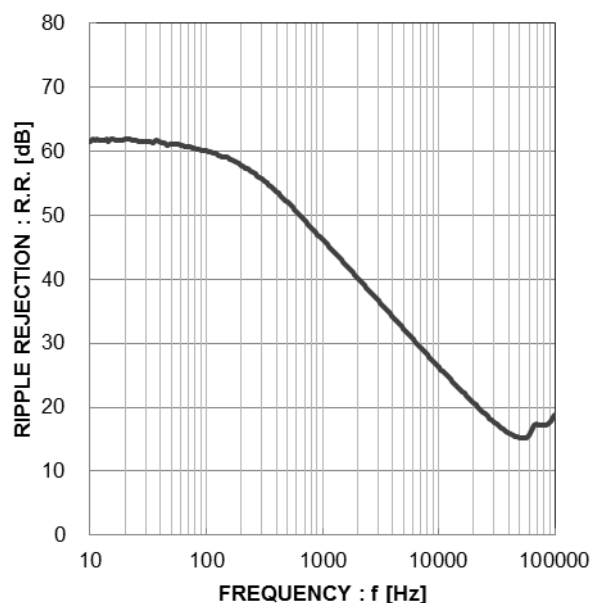
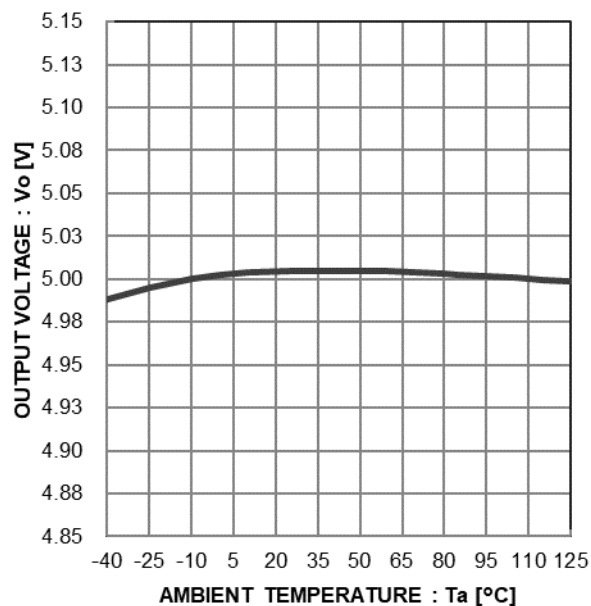
Figure 14. リップルリジェクション
($I_o=500\text{mA}$)

Figure 15. 出力電圧温度特性

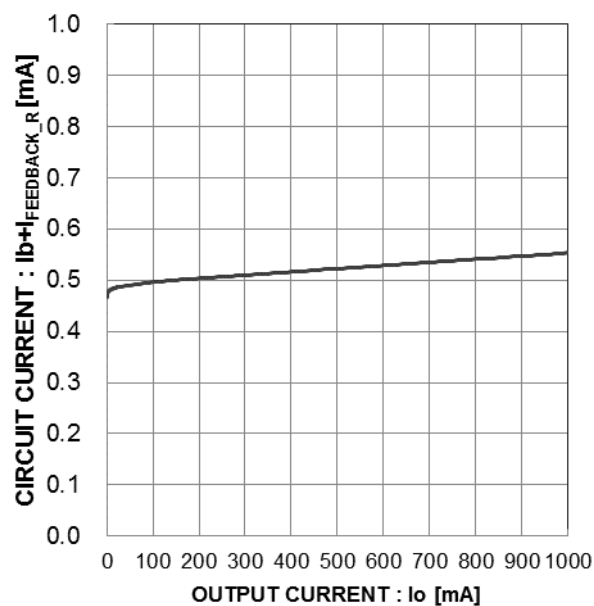
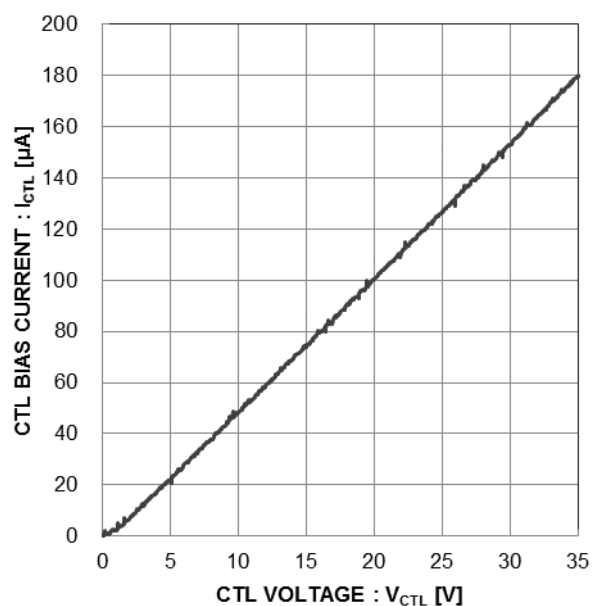
Figure 16. 負荷別回路電流
($0\text{mA} \leq I_o \leq 1000\text{mA}$, $I_{\text{FEEDBACK_R}} \approx 75\mu\text{A}$)

Figure 17. CTL 電圧 vs. CTL 電流

参考データ - 続き

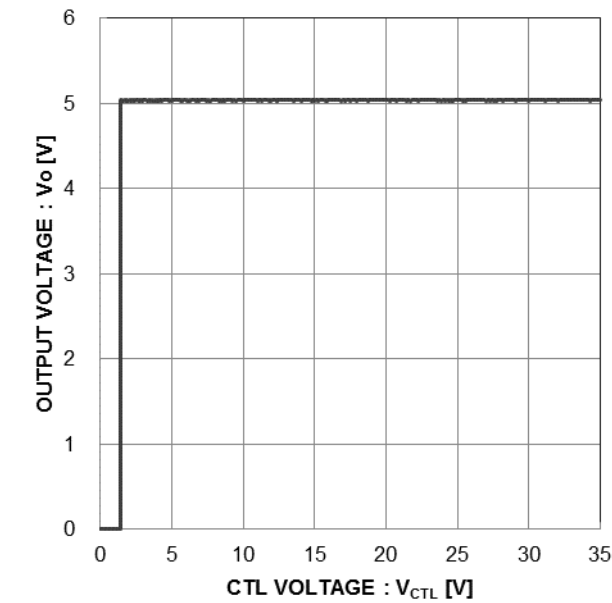


Figure 18. CTL 電圧 vs. 出力電圧

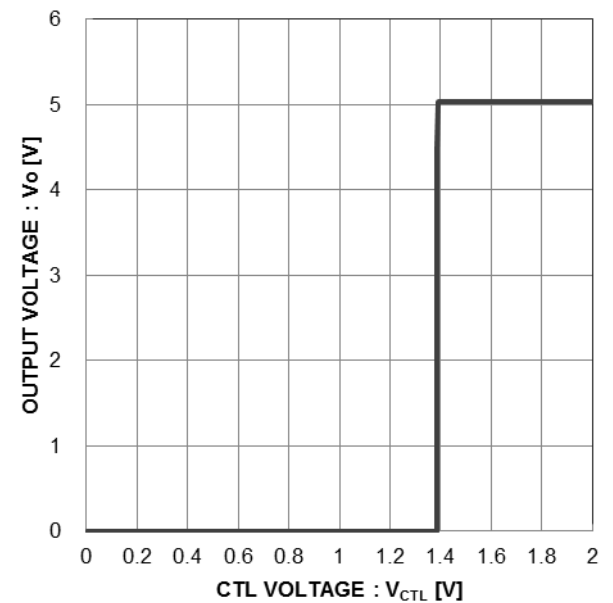


Figure 19. CTL 電圧 vs. 出力電圧
($V_{CTL}=0$ to 2V)

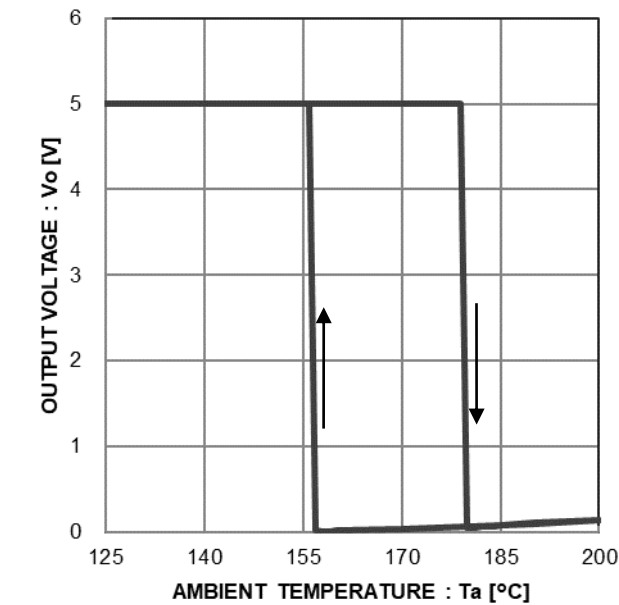


Figure 20. 過熱保護特性

参考データ測定回路図

BD00FD0WHFP/FP2 (5.0V 出力設定)

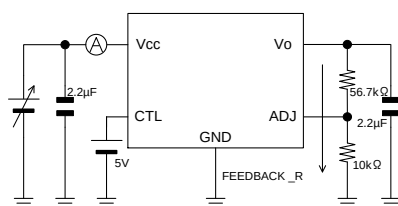


Figure 6 の測定回路

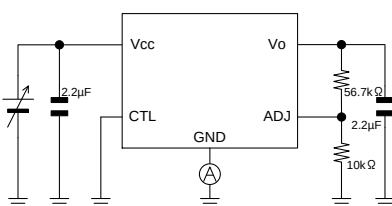


Figure 7 の測定回路

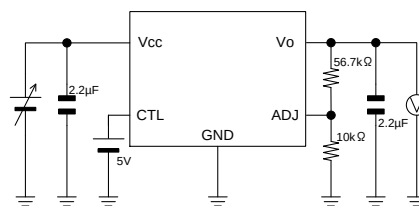


Figure 8 の測定回路

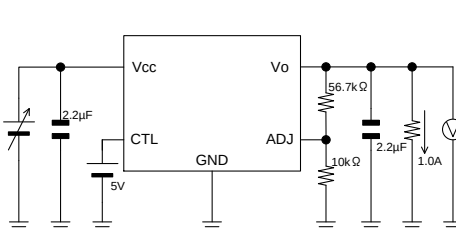


Figure 9、10 の測定回路

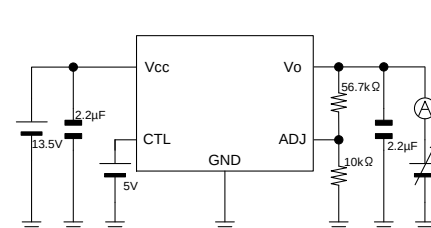


Figure 11、12 の測定回路

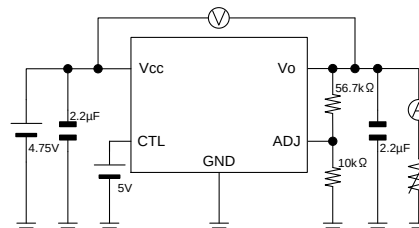


Figure 13 の測定回路

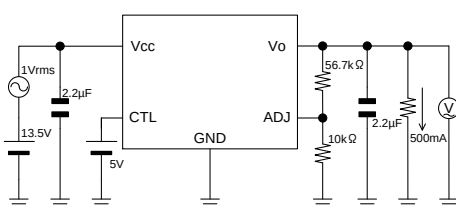


Figure 14 の測定回路

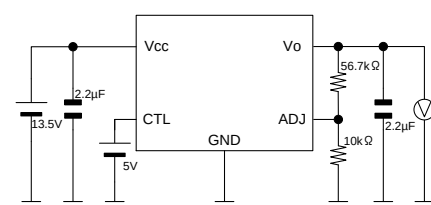


Figure 15 の測定回路

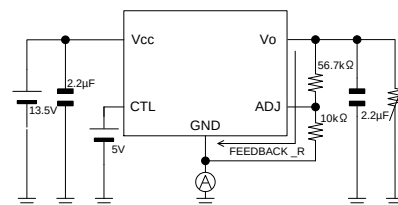


Figure 16 の測定回路

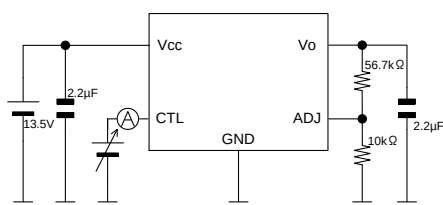


Figure 17 の測定回路

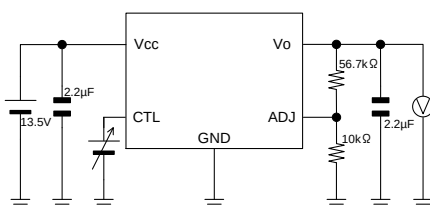


Figure 18、19 の測定回路

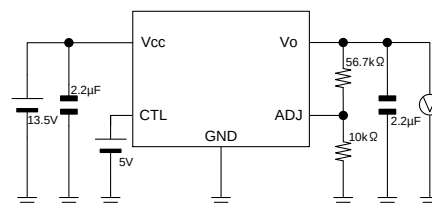


Figure 20 の測定回路

リニアレギュレータの入力にサージ印加時の保護

以下では入力に絶対最大定格を超えるサージが印加される場合の IC の保護方法について説明します。

1. 入力への正サージ印加について

入力に本 IC の絶対最大定格 35V を超える正サージが印加される場合は、下記 Figure 21 のように入力と GND 間にパワートレーナの挿入をお願い致します。

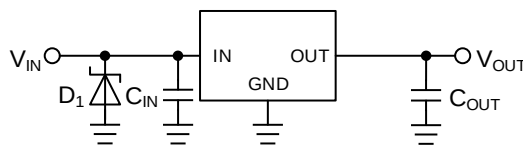


Figure 21. 入力に 35V を超えるサージが印加される場合

2. 入力への負サージ印加について

入力に本 IC の絶対最大定格 -0.3V を超える負サージが印加される場合は、下記 Figure 22 のように入力と GND 間にショットキーダイオードの挿入をお願い致します。

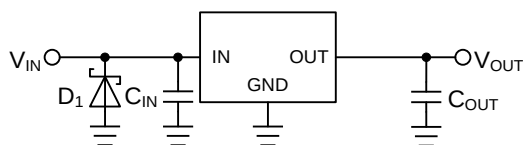


Figure 22. 入力に -0.3V を超える負サージが印加される場合

リニアレギュレータの逆電圧保護

リニアレギュレータ IC は通常に入力電圧が出力電圧よりも高い状態で使用しますが、ある条件や回路構成においては出力電圧が入力電圧よりも高くなる場合があります、逆電圧や逆流電流によって IC を損傷する可能性があります。また、入力、出力端においても、逆接続やインダクタ成分により、ある条件で入出力電圧が逆転する場合があります。以下では電圧の条件が逆転する場合の IC の保護方法について説明します。

1. 入出力電圧の条件が逆転する場合について

MOS 型リニアレギュレータでは、出力 MOSFET のドレイン - ソース間に寄生素子としてボディーダイオードが存在します。入出力電圧が逆転すると、ボディーダイオードを通じて電流が出力から入力へ流れます。このボディーダイオードは寄生素子のため動作保証されていないので、素子の劣化や破壊が起こる可能性があります (Figure 23 を参照)。

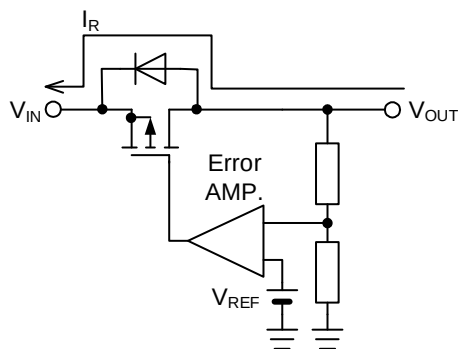


Figure 23. MOS 型の逆電流経路

対策として、逆電流が IC 内部を通らないようにするため、外部に逆電流バイパスダイオードを接続します (Figure 24 を参照)。バイパスダイオードは IC 内部回路よりも先にオンする必要があります。MOS 型リニアレギュレータでは内部回路がダイオードですので順方向電圧 V_F の低いものが必要になります。このバイパスダイオードの逆方向電流が大きいとシャットダウン機能がある IC で出力を OFF にしても、ダイオードのリーク電流が入力から出力へ多く流れますので、この値が小さいものを選択する必要があります。逆方向定格電圧は、使用する入出力電圧差よりも大きいものを選択します。順方向定格電流は、逆流電流値よりも大きいものを選択します。

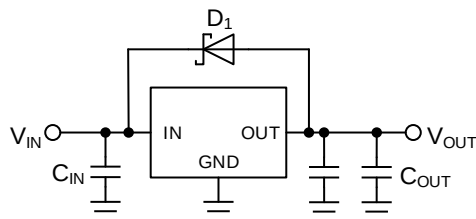


Figure 24. 逆電流バイパスダイオード

ショットキーバリアダイオードは順方向電圧 V_F が低く使用可能ですが、逆方向電流 I_R が大きなものが多いので、この値が小さいものを選択します。また逆方向電流 I_R の温度特性は高温で増加しますので、各メーカーのデータシートで詳細を確認してください。

入出力電圧の条件が逆転する場合でも下記 Figure 25 のように V_{IN} をオープンにしたときは、逆電流の経路が IC のバイパス電流のみになります。この場合は電流量が小さいため寄生素子の劣化や破壊は起こりませんので、逆電流バイパスダイオードは不要です。

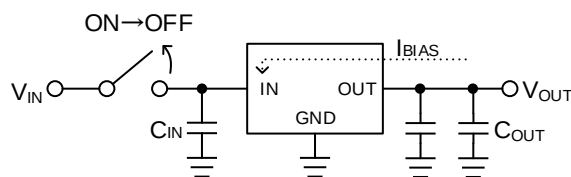


Figure 25. 入力をオープンにした場合

2. 入力の逆電圧保護

入力に電源を接続するとき、不注意によりプラスとマイナスを逆接続した場合、もしくは入力が GND 端子より低い電圧になる可能性がある場合は、IC の入力ピンと GND ピン間の静電破壊防止ダイオードに大電流が流れるため IC が破壊する場合があります (Figure 26 を参照)。

逆接続対策として最も簡単な方法は Figure 27 のようにショットキーバリアダイオードか整流ダイオードを電源と直列に接続します。ダイオードの順方向電圧 V_F の電圧降下があるため、 $V_F \times I_{OUT}$ の電力損失が発生します。整流ダイオードよりもショットキーバリアダイオードの方は V_F が低いため、多少は損失が小さくなります。ダイオードは発熱しますので許容損失にマージンがあるものを選択します。逆接続時はダイオードの逆方向電流が流れますがこれは僅かな値です。

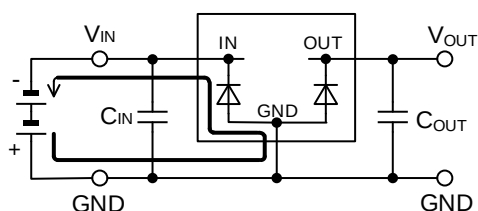


Figure 26. 入力を逆接続したときの電流経路

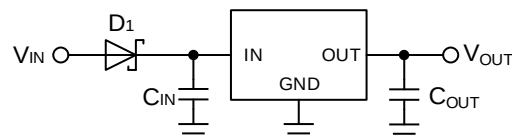


Figure 27. 逆接続対策 1

Figure 28 は P-ch MOSFET を電源に対して直列に接続する方法です。MOSFET のドレイン-ソース間にあるダイオードは、ボディダイオード (寄生素子) です。正しい接続では P-ch MOSFET が ON するため、ここでの電圧降下は MOSFET の ON 抵抗と出力電流 I_{OUT} を掛けた値になり、ダイオードによる電圧降下 (Figure 27 を参照) より小さいため、電力損失が小さくなります。逆接続時は、MOSFET は ON しないため電流は流れません。

MOSFET のゲート-ソース間(ディレーティングを考慮した)定格電圧を超える場合は、Figure 29 のようにゲート-ソース間を抵抗分割してゲート-ソース間電圧を下げてください。

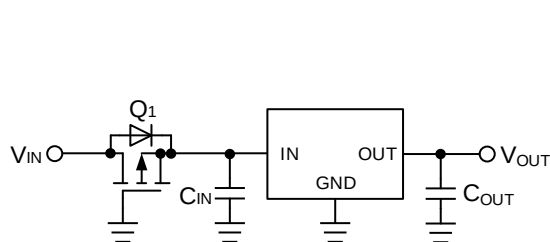


Figure 28. 逆接続対策 2

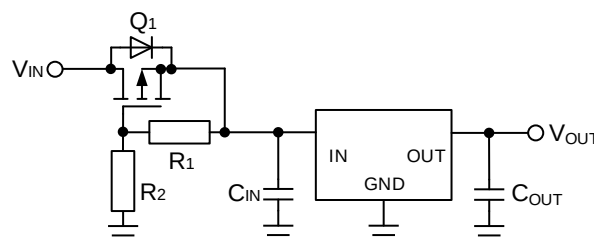


Figure 29. 逆接続対策 3

3. 出力にインダクタを接続する場合の逆電圧保護

出力負荷が誘導性負荷の場合は、出力電圧が OFF になった瞬間に誘導性負荷に蓄積されたエネルギーがグラウンドへ放出されます。IC の出力ピンと GND ピン間には静電破壊防止ダイオードがあり、このダイオードに大電流が流れるため IC が破壊する場合があります。これを防止するため、静電破壊防止ダイオードに並列にショットキーバリアダイオードを接続してください (Figure 30 を参照)。

また、IC の出力ピンと負荷が長いワイヤーで接続されている場合は誘導負荷になっている可能性がありますのでオシロスコープで波形を観測してください。その他にも、負荷がモータの場合は、モータの逆起電力により同様の電流が流れますのでダイオードが必要です。

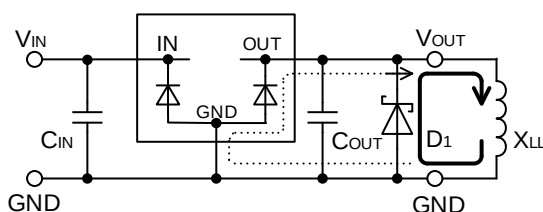


Figure 30. 誘導性負荷の電流経路 (出力 OFF 時)

熱設計

HRP5

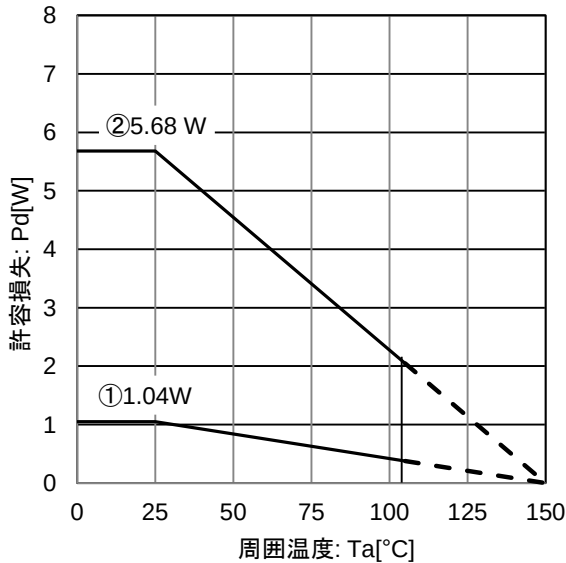


Figure 31. 許容損失(HRP5)

ローム標準 JEDEC 基板実装

基板①: 1層基板 (裏層銅箔 0mm × 0mm)

FR4(ガラエポ)基板 114.3mm × 76.2mm × 1.57mm

表層銅箔: ローム推奨ランドパターン + 測定用配線、銅箔厚 2oz

基板②: 4層基板(2、3層銅箔、裏層銅箔 74.2mm × 74.2mm)

FR4(ガラエポ)基板 114.3mm × 76.2mm × 1.60mm

表層銅箔: ローム推奨ランドパターン + 測定用配線、銅箔厚 2oz

2/3層銅箔: 74.2mm × 74.2mm、銅箔厚 1oz

裏層銅箔: 74.2mm × 74.2mm、銅箔厚 2oz

条件①: $\theta_{JA} = 119.3\text{ }^{\circ}\text{C/W}$ 、 Ψ_{JT} (上面中心) = $8\text{ }^{\circ}\text{C/W}$

条件②: $\theta_{JA} = 22.0\text{ }^{\circ}\text{C/W}$ 、 Ψ_{JT} (上面中心) = $3\text{ }^{\circ}\text{C/W}$

TO263-5

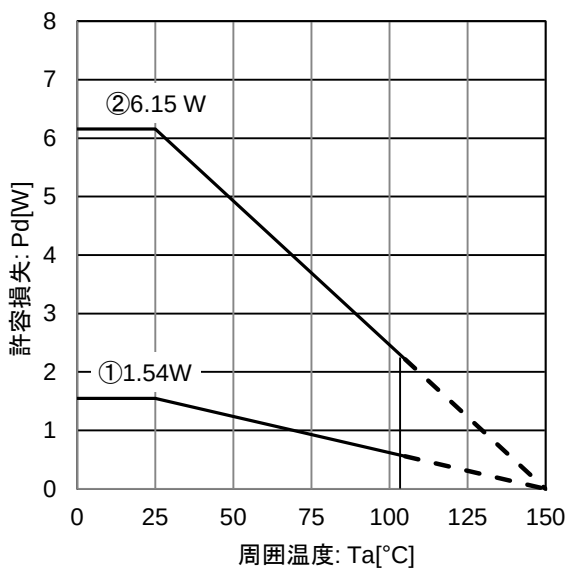


Figure 32. 許容損失(TO263-5)

ローム標準 JEDEC 基板実装

基板①: 1層基板 (裏層銅箔 0mm × 0mm)

FR4(ガラエポ)基板 114.3mm × 76.2mm × 1.57mm

表層銅箔: ローム推奨ランドパターン + 測定用配線、銅箔厚 2oz

基板②: 4層基板(2、3層銅箔、裏層銅箔 74.2mm × 74.2mm)

FR4(ガラエポ)基板 114.3mm × 76.2mm × 1.60mm

表層銅箔: ローム推奨ランドパターン + 測定用配線、銅箔厚 2oz

2/3層銅箔: 74.2mm × 74.2mm、銅箔厚 1oz

裏層銅箔: 74.2mm × 74.2mm、銅箔厚 2oz

条件①: $\theta_{JA} = 80.7\text{ }^{\circ}\text{C/W}$ 、 Ψ_{JT} (上面中心) = $8\text{ }^{\circ}\text{C/W}$

条件②: $\theta_{JA} = 20.3\text{ }^{\circ}\text{C/W}$ 、 Ψ_{JT} (上面中心) = $2\text{ }^{\circ}\text{C/W}$

Ta=25°C 以上でご使用になる場合は Figure 31.の熱軽減特性を参考にしてください。

IC の特性は、使用される温度に大きく関係し、最高接合部温度 Tjmax 以下で動作させる必要があります。

Figure 31.はパッケージ HRP5 の許容損失熱軽減特性です。周囲温度 Ta が常温 (25°C)であっても、チップ (接合部)温度 Tj はかなり高温になっていることがありますので、ご使用の際は許容損失 Pd 内で IC を動作させてください。

消費電力 Pc (W)の計算方法は次のようになります。

$$Pc = (Vcc - Vo) \times Io + Vcc \times Ib$$

許容損失 Pd ≥ Pc

これを許容損失内で動作させるように負荷電流 Io について解くと

$$Io \leq \frac{Pd - Vcc \times Ib}{Vcc - Vo}$$

Vcc : 入力電圧

Vo : 出力電圧

Io : 負荷電流

Ib : 回路電流

となり、熱設計時の印加電圧 Vcc に対しての最大負荷電流 Iomax を求めることができます。

計算例) パッケージが HRP5、Ta=85°C、Vcc=13.5V、Vo=5.0V の時

$$Io \leq \frac{2.953 - 13.5 \times Ib}{8.5}$$

$$Io \leq 346.5 \text{ mA} \quad (Ib: 0.58 \text{ mA})$$

$\left(\begin{array}{l} \text{Figure 31 } \textcircled{2} \theta_{ja} = 22^\circ\text{C/W} \rightarrow 45.5 \text{ mW}/^\circ\text{C} \\ 25^\circ\text{C} = 5.68 \text{ W} \rightarrow 85^\circ\text{C} = 2.953 \text{ W} \end{array} \right)$

熱設計は以上のことを参考に動作温度範囲内すべてにおいて許容損失内に収めるようにしてください。

入出力等価回路図

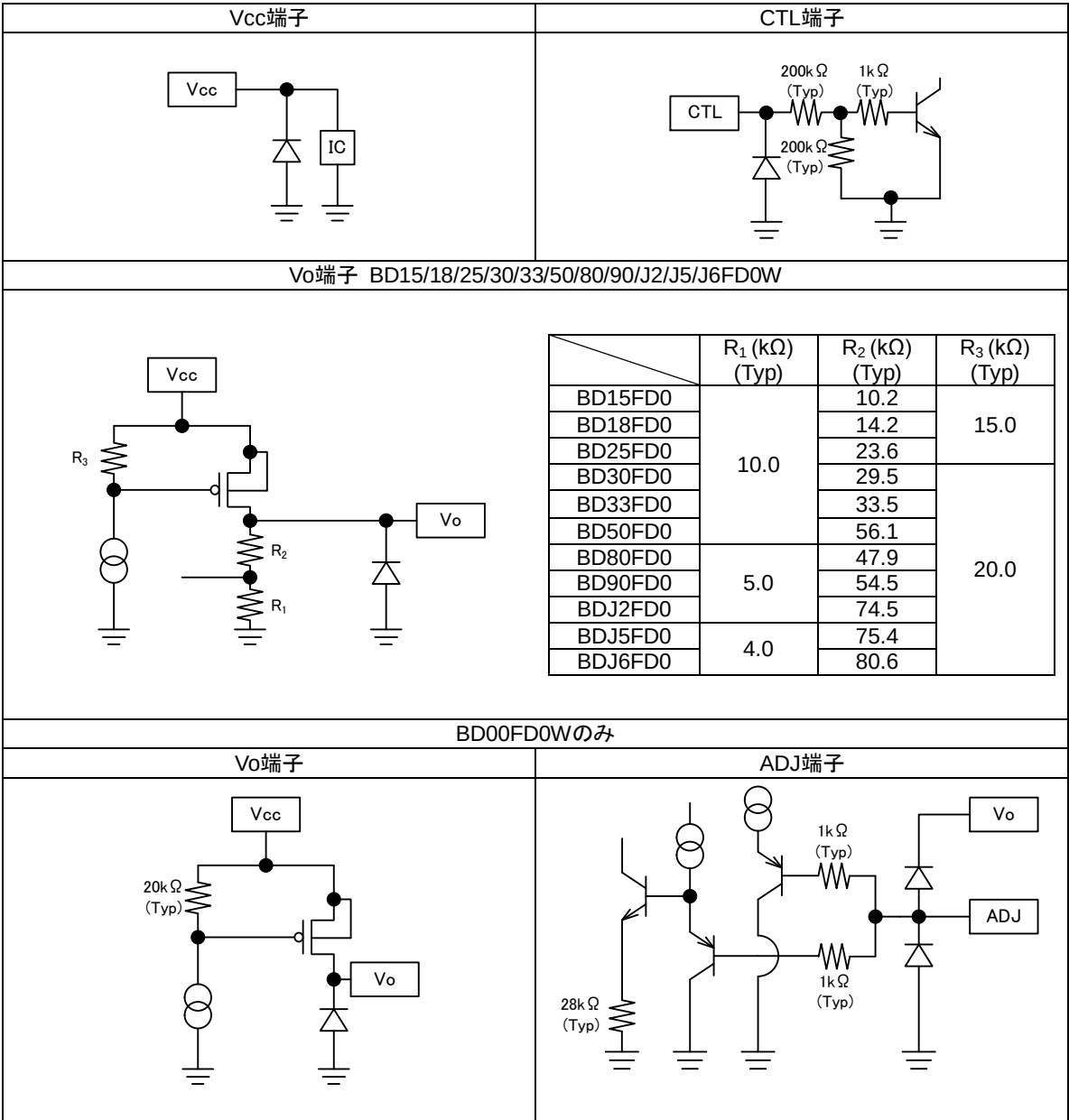


Figure 33. 入出力等価回路

出力電圧設定方法について(BD00FD0WHFP/FP2 のみ)

出力電圧を設定する R₁、R₂ の抵抗を Figure 34. のように接続してください。
値の大きな抵抗を使用されますと、ADJ 端子から流出する電流によるオフセットが大きくなりますのでご注意ください。
R₁=5kΩ~10kΩ のご使用を推奨致します。R₂ は R₁ に合わせて決定してください。

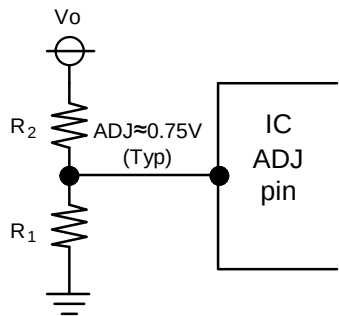


Figure 34. 出力電圧設定

Vo の設定計算式は、

$$Vo \approx ADJ \times (R_1 + R_2) / R_1$$

使用上の注意

1. 電源の逆接続について

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れる等の対策を施してください。

2. 電源ラインについて

基板パターンにおいては、電源ラインの配線は、低インピーダンスになるようにしてください。その際、デジタル系電源とアナログ系電源は、それらが同電位であっても、デジタル系電源パターンとアナログ系電源パターンは分離し、配線パターンの共通インピーダンスによるアナログ電源へのデジタル・ノイズの回り込みを抑止してください。グラウンドラインについても、同様のパターン設計を考慮してください。

また、LSI のすべての電源端子について電源－グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量ぬげが起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

3. グラウンド電位について

グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。

4. グラウンド配線パターンについて

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

5. 熱設計について

万一、許容損失を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。本仕様書の絶対最大定格に記載しています許容損失は、114.3mm x 76.2mm x 1.57mm (1 層基板) / 114.3mm x 76.2mm x 1.60mm (4 層基板) ガラスエポキシ基板実装時、放熱板なし時の値であり、これを超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用する等の対策をして、許容損失を超えないようにしてください。

6. ラッシュカレントについて

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

7. セット基板での検査について

セット基板での検査時に、インピーダンスの低いピンにコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

8. 端子間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けした場合、IC が破壊する恐れがあります。また、出力と電源およびグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

9. 未使用の入力端子の処理について

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

使用上の注意 — 続き

10. 各入力端子について

本 IC はモノリシック IC であり、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、 $GND > (\text{端子 A})$ の時、トランジスタ (NPN) では $GND > (\text{端子 B})$ の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ (NPN) では、 $GND > (\text{端子 B})$ の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に GND (P 基板) より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子が GND にショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

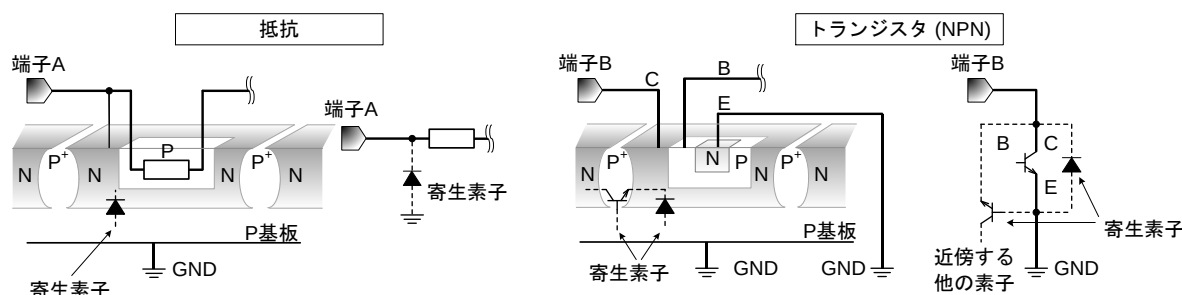


Figure 35. モノリシック IC 構造例

11. セラミックコンデンサの特性変動について

外付けコンデンサに、セラミックコンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮の上定数を決定してください。

12. 過熱保護回路について

IC を熱破壊から防ぐための過熱保護回路を内蔵しております。許容損失範囲内でご使用いただきますが、万が一許容損失を超えた状態が継続すると、チップ温度 T_j が上昇し過熱保護回路が動作し出力パワー素子が OFF します。その後チップ温度 T_j が低下すると回路は自動で復帰します。なお、過熱保護回路は絶対最大定格を超えた状態での動作となりますので、過熱保護回路を使用したセット設計等は、絶対に避けてください。

13. 過電流保護回路について

出力には電流能力に応じた過電流保護回路が内部に内蔵されているため、負荷ショート時には IC 破壊を防止しますが、この保護回路は突発的な事故による破壊防止に有効なもので、連続的な保護回路動作、過渡時でのご使用に対応するものではありません。

14. Vcc 端子について

Vcc-GND 間にコンデンサ ($V_o \geq 5.0V$: 入力コンデンサ $\geq 1\mu F$ 、 $1.5V \leq V_o < 5.0V$: 入力コンデンサ $\geq 2.2\mu F$) を付加してください。電源平滑回路と入力端子 (Vcc) とのラインに応じて選定してください。容量値設定はアプリケーションにより異なるため、確認の上、マージンを持って設計してください。使用するコンデンサには電圧特性、温度特性に優れたものを推奨します。入力端子に ESR の大きいコンデンサなどが接続される場合は、下図のように入力インピーダンスを下げるために並列に低 ESR のコンデンサを挿入してください。

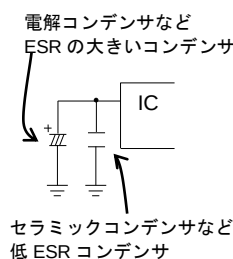


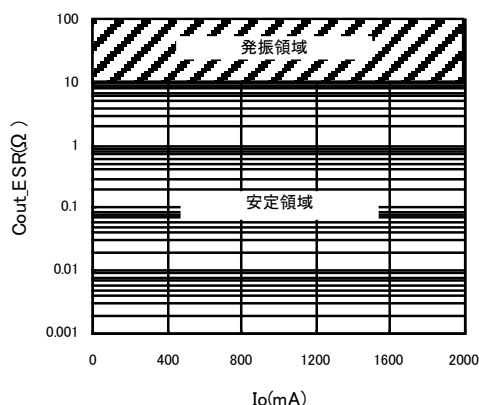
Figure 36. 入力コンデンサ

使用上の注意 — 続き

15. 出力端子接続コンデンサについて

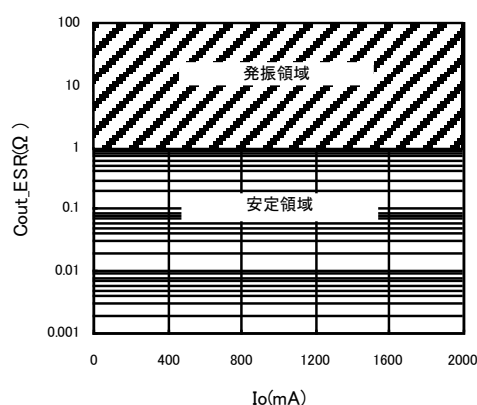
出力端子と GND 間には発振止めのコンデンサを必ず入れてください。出力電圧 3.0V 以上でご使用の場合は容量 2.2 μ F(Min)以上の発振止めコンデンサを推奨致します。電解コンデンサ、タンタルコンデンサ、セラミックコンデンサなどがご使用になれます。出力電圧 1.5V~3.0V 未満でご使用の場合は容量 4.7 μ F(Min)以上のセラミックコンデンサを発振止めコンデンサとして推奨致します。出力電圧コンデンサ選定に際して、使用する電圧、温度範囲で 2.2 μ F(Min)($V_o=3.0V$ 以上)もしくは 4.7 μ F(Min)($V_o=1.5V\sim 3.0V$ 未満)以上の容量を確保してください。温度変化などによりコンデンサの容量が変化しますと発振の可能性があります。選定には、下図の出力コンデンサ ESR vs 出力負荷(I_o) 特性などをご参照ください。参考データの安定領域は、IC 単品及び抵抗負荷によるものであり、実際には基板の配線インピーダンス、入力電源のインピーダンス、負荷のインピーダンスによって変化するため、必ずご使用になる最終状態での十分なご確認をお願い致します。セラミックコンデンサの選定の際には、温度特性のよい X5R もしくは X7R 以上で、直流バイアス特性の優れた高耐圧品をお勧めします。入力電圧変動、負荷変動が速い場合等は、仕様に応じて実アプリケーションにて十分ご確認の上、容量値の決定をお願いします。

$V_{CC}=4.0V$ to $26.5V$
 出力設定電圧= $3.0V$ to $16.0V$
 $T_a=-40^{\circ}C$ to $+105^{\circ}C$
 帰還抵抗 (対 GND)= $5k\Omega$ to $10k\Omega$
 (帰還抵抗の設定は BD00FD0W のみ)
 $C_{in}=1.0\mu F$ to $100\mu F$
 $C_{out}=2.2\mu F$ to $100\mu F$

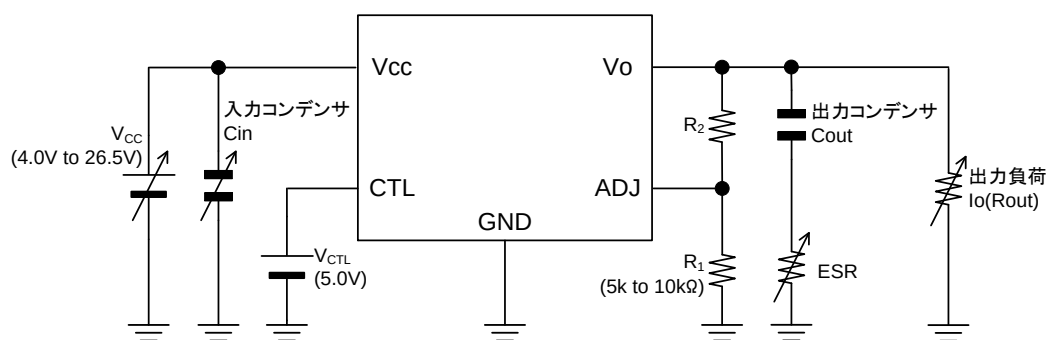


出力コンデンサ ESR vs. 出力負荷 (I_o) 特性
 出力設定電圧 $3.0V \leq V_o \leq 16.0V$

$V_{CC}=4.0V$ to $26.5V$
 出力設定電圧= $1.5V$ to $3.0V$ 未満
 $T_a=-40^{\circ}C$ to $+105^{\circ}C$
 帰還抵抗 (対 GND)= $5k\Omega$ to $10k\Omega$
 (帰還抵抗の設定は BD00FD0W のみ)
 $C_{in}=2.2\mu F$ to $100\mu F$
 $C_{out}=4.7\mu F$ to $100\mu F$



出力コンデンサ ESR vs. 出力負荷 (I_o) 特性
 出力設定電圧 $1.5V \leq V_o < 3.0V$



測定時条件(BD00FD0W で測定)

使用上の注意 — 続き

16. CTL 端子について

CTL 端子は出力電圧 ON/OFF 制御端子でありスイッチとして動作しますが、CTL 端子を ON/OFF 切り替えの midpoint 電位で固定しないでください。回路動作が不安定になる可能性があります。

17. Vcc 電圧、負荷の急峻な変動について

入力電圧変動が非常に急峻な場合など、出力トランジスタに MOSFET を使用しているため出力電圧が過渡的に変動する恐れがあります。実アプリケーションによって変動する要因もありますが、IC の入力電圧、出力電流、温度によっても変動する恐れがありますので、留意して実使用範囲内で問題ある場合は出力コンデンサ容量の調整などで対策をお願いします

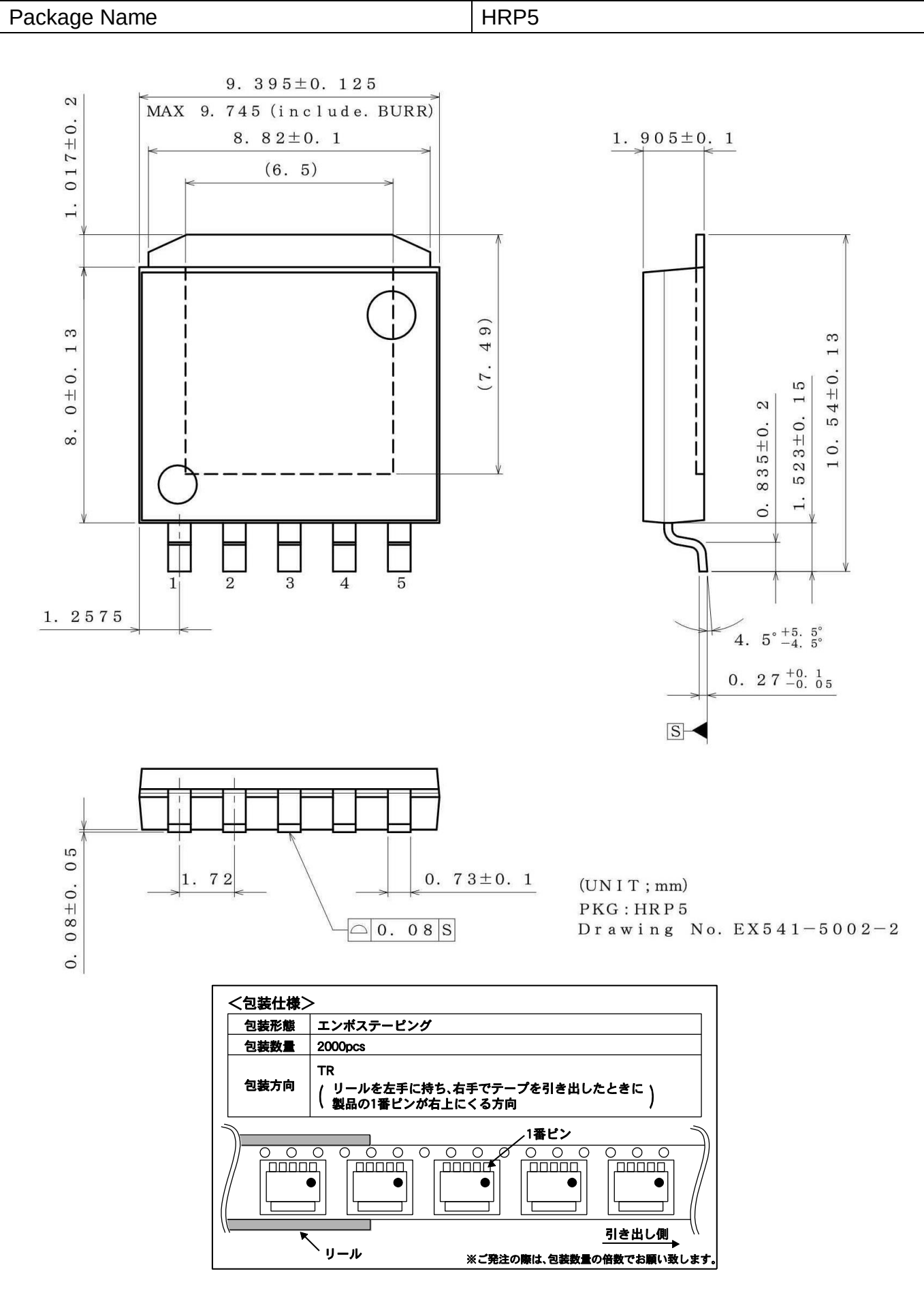
18. 出力電圧の微小変動について

外乱ノイズ、入力電圧変動、負荷変動等、何らかの要因によって出力電圧の微小変動の影響を受ける恐れのあるアプリケーションをご使用の際は、フィルタを挿入する等、十分な対策をお願いします。

19. Vcc 電圧と各端子電圧について

アプリケーションにおいて Vcc と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、Vcc が GND にショートされた場合などです。出力端子のコンデンサは 1000 μ F 以下でご使用ください。また、Vcc 直列に逆流防止のダイオードもしくは各端子と Vcc 間にバイパスのダイオードを挿入することを推奨します。

外形寸法図と包装・フォーミング仕様



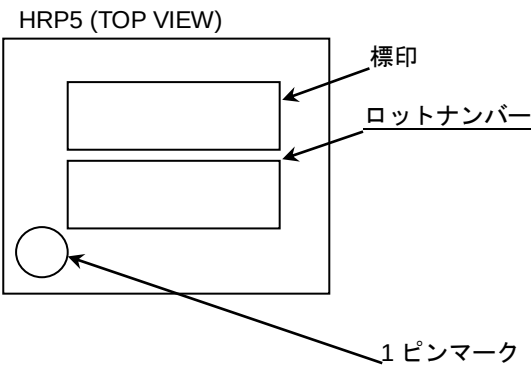
www.rohm.co.jp
© 2017 ROHM Co., Ltd. All rights reserved.
TSZ22111 · 15 · 001

26/28

TSZ02201-0G2G1AG00010-1-1
2019.09.09 Rev.003

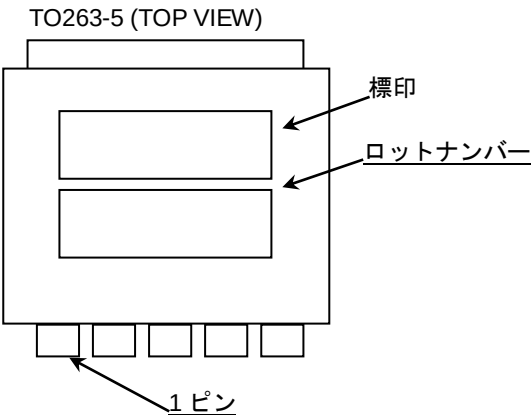
標印図

HRP5



出力電圧[V]	標印
可変	D00FD0WHFP
1.5	D15FD0WHFP
1.8	D18FD0WHFP
2.5	D25FD0WHFP
3.0	D30FD0WHFP
3.3	D33FD0WHFP
5.0	D50FD0WHFP
8.0	D80FD0WHFP
9.0	D90FD0WHFP
12.0	DJ2FD0WHFP
15.0	DJ5FD0WHFP
16.0	DJ6FD0WHFP

TO263-5



出力電圧[V]	標印
可変	00FD0WFP2
1.5	15FD0WFP2
1.8	18FD0WFP2
2.5	25FD0WFP2
3.0	30FD0WFP2
3.3	33FD0WFP2
5.0	50FD0WFP2
8.0	80FD0WFP2
9.0	90FD0WFP2
12.0	J2FD0WFP2
15.0	J5FD0WFP2
16.0	J6FD0WFP2

改訂履歴

日付	Revision	変更内容
2017.03.21	001	新規登録
2018.03.15	002	TO263-5 パッケージを追加
2019.09.09	003	Figure 12 変更 一部表記ゆれを修正

ご注意

ローム製品取扱い上の注意事項

1. 本製品は一般的な電子機器（AV 機器、OA 機器、通信機器、家電製品、アミューズメント機器等）への使用を意図して設計・製造されております。したがって、極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器^(Note 1)、輸送機器、交通機器、航空宇宙機器、原子力制御装置、燃料制御、カーアクセサリを含む車載機器、各種安全装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

2. 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、かかる誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
3. 本製品は、一般的な電子機器に標準的な用途で使用されることを意図して設計・製造されており、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂ 等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合。
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用。
 - ⑦はんだ付けの後に洗浄を行わない場合（無洗浄タイプのフラックスを使用される場合は除く。ただし、残渣については十分に確認をお願いします。）又は、はんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合
 - ⑧本製品が結露するような場所でのご使用。
4. 本製品は耐放射線設計はなされておられません。
5. 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
6. パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
7. 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
8. 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
9. 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

1. ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
2. はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。
その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。（人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等）

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
 - ①潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ②推奨温度、湿度以外での保管
 - ③直射日光や結露する場所での保管
 - ④強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルに2次元バーコードが印字されていますが、2次元バーコードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は外国為替及び外国貿易法に定める規制貨物等に該当するおそれがありますので輸出する場合には、ロームにお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等（ソフトウェア含む）との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。