

# 3.0V ~ 30V 入力, 1ch 降圧 DC/DC コントローラ

BD63536FJ

## 概要

BD63536FJ は、電源電圧 3V から動作するゲートダイレクト駆動スイッチングコントローラです。小型パッケージ SOP-J8 を採用しており、電圧制御方式の降圧 DC/DC コンバータ用スイッチングコントローラとして機能します。基準電圧の精度は $\pm 1\%$ となっており、また、カレントリミット機能も内蔵( $\pm 4\%$ )、各種保護回路を内蔵した安心設計が特徴です。

## 特長

- ゲートダイレクトドライブ可能  
(外付け Pch FET、 $V_{CC} = 5.4V$ )
- カレントリミット機能内蔵( $150mV \pm 4\%$ )
- ゲートオフ機能内蔵
- ソフトスタート内蔵
- 2.5V レギュレータ出力
- OSC 周波数外付け可変
- 温度保護回路(TSD)内蔵

## 用途

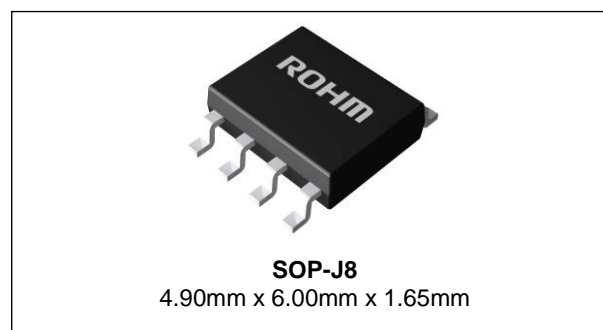
レーザービームプリンタ、MFP、PPC、その他

## 重要特性

- |               |                                  |
|---------------|----------------------------------|
| ■ 電源電圧範囲:     | 3.0V ~ 30V                       |
| ■ 誤差増幅器部基準電圧: | $1.25V \pm 1\%$                  |
| ■ 出力電流 (ピーク): | 200mA(Max)                       |
| ■ OSC 周波数:    | 300kHz(Max)                      |
| ■ 動作温度範囲:     | $-25^{\circ}C \sim +85^{\circ}C$ |

## パッケージ

W(Typ) x D(Typ) x H(Max)



## 基本アプリケーション回路

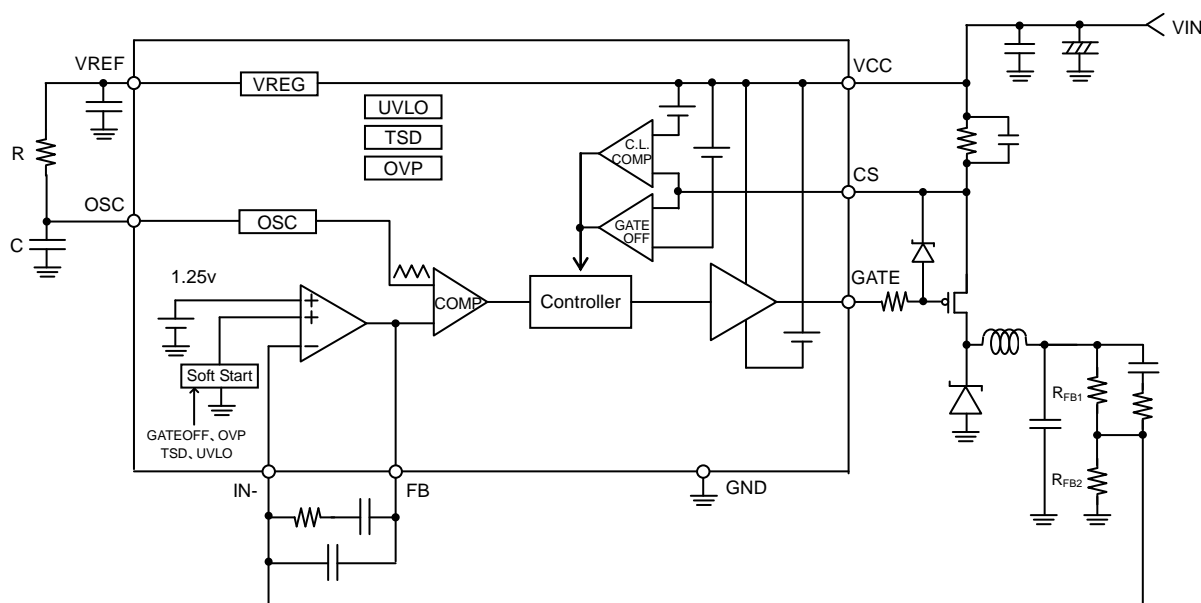
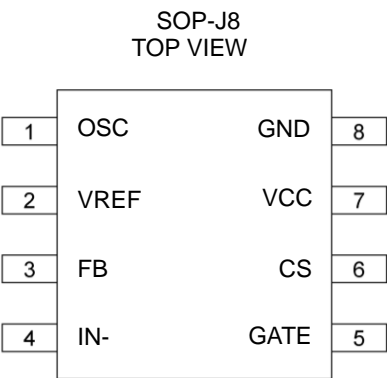


Figure1. 基本アプリケーション回路

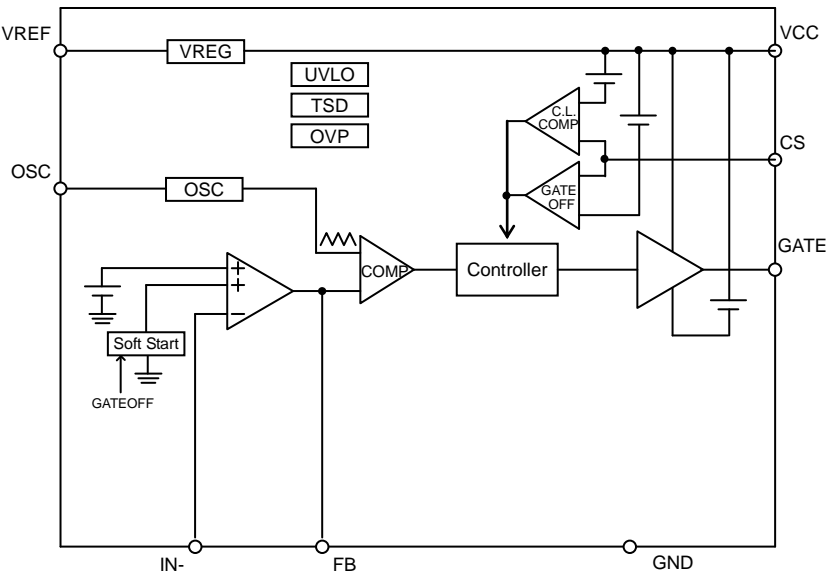
端子配置図



端子説明

PIN NO.	端 子 名	機 能
1	OSC	PWM 周波数設定端子
2	VREF	2.5V レギュレータ出力端子
3	FB	誤差アンプ出力端子
4	IN-	誤差アンプ入力端子
5	GATE	ゲート出力端子
6	CS	カレントリミット入力端子
7	VCC	電源端子
8	GND	GND 端子

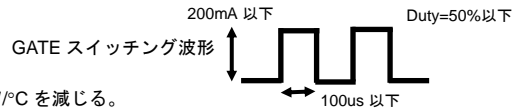
ブロック図



## 絶対最大定格(Ta=25°C)

項目	記号	定格	単位
入力電圧	V <sub>CC</sub>	-0.2~+32.0	V
電流検出ピン	V <sub>CS</sub>	-0.2~+32.0	V
V <sub>CC</sub> -V <sub>CS</sub> 間電位差	V <sub>CC</sub> -V <sub>CS</sub>	-0.2~+5.0	V
出力電流(DC)	I <sub>OUT</sub>	30 <sup>(Note 1)</sup>	mA
出力電流(ピーク)	I <sub>OUTPEAK</sub>	200 <sup>(Note 2)</sup>	mA
許容損失 1	Pd1	0.56 <sup>(Note 3)</sup>	W
許容損失 2	Pd2	0.67 <sup>(Note 4)</sup>	W
動作温度範囲	Topr	-25~+85	°C
保存温度範囲	Tstg	-55~+150	°C
接合部温度	Tjmax	150	°C

(Note 1) 但し Pd を超えないこと。

(Note 2) パルス幅  $t_w \leq 100\mu s$ 、Duty=50%以下で Pd を超えないこと。

(Note 3) IC 単体。Ta=25°C 以上で使用する場合は、1°C につき 4.5mW/°C を減じる。

(Note 4) 70mm x 70mm x 1.6mm ガラスエポキシ基板実装。Ta=25°C 以上で使用する場合は、1°C につき 5.4mW/°C を減じる。

**注意：**印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施して頂けるようご検討をお願いします。

## 推奨動作条件(Ta=-25~ +85°C)

項目	記号	定格			単位
		最小	標準	最大	
入力電圧	V <sub>CC</sub>	3	24	30	V
OSC 周波数	f <sub>OSC</sub>	-	-	300	kHz

電気的特性 (特に指定のない限り、Ta=25°C, V<sub>CC</sub>=24V)

項目	記号	規格値			単位	条件
		最小	標準	最大		
全体						
回路電流	I <sub>CC</sub>	-	2	4	mA	V <sub>OSC</sub> =0V
カレントリミット部						
切り替わり電圧	V <sub>CL</sub>	V <sub>CC</sub> -0.156	V <sub>CC</sub> -0.150	V <sub>CC</sub> -0.144	V	V <sub>CS</sub> : sweep down
出力オフ切り替わり電圧	V <sub>OOFF</sub>	V <sub>CC</sub> -1.3	V <sub>CC</sub> -1.0	V <sub>CC</sub> -0.7	V	V <sub>CS</sub> : sweep down
CS 入力バイアス電流	I <sub>CS</sub>	-	0.3	1.0	μA	V <sub>CS</sub> =V <sub>CC</sub>
出力部						
GATE H 電圧	V <sub>ONH</sub>	V <sub>CC</sub> -0.10	V <sub>CC</sub> -0.05	-	V	I <sub>GATE</sub> =-10mA
GATE L 電圧	V <sub>ONL</sub>	V <sub>CC</sub> -6.20	V <sub>CC</sub> -5.40	V <sub>CC</sub> -4.60	V	I <sub>GATE</sub> =10mA
基準電圧部						
VREF 出力電圧	V <sub>REF</sub>	2.375	2.500	2.625	V	I <sub>VREF</sub> =-0.1mA
低入力誤作動防止回路部						
スレッシュホールド電圧	V <sub>UVLO</sub>	2.3	2.5	2.7	V	V <sub>CC</sub> : sweep up
ヒステリシス電圧	ΔV <sub>UVLO</sub>	0.05	0.15	0.25	V	
三角波発振器部						
OSC H 電圧	V <sub>OSH</sub>	1.26	1.40	1.54	V	V <sub>OSC</sub> : sweep up
OSC L 電圧	V <sub>OSL</sub>	0.9	1.0	1.1	V	V <sub>OSC</sub> : sweep down
誤差増幅器部						
IN-入力バイアス電流	I <sub>IN-</sub>	-0.3	-0.1	-	μA	V <sub>IN-</sub> =0V
基準電圧	V <sub>IN-</sub>	1.237	1.250	1.263	V	V <sub>FB</sub> =V <sub>IN-</sub>
FB H 電圧	V <sub>FBH</sub>	1.6	1.9	-	V	I <sub>FB</sub> =-100μA
FB L 電圧	V <sub>FBL</sub>	-	0.6	0.9	V	I <sub>FB</sub> =100μA

参考特性 (特に指定のない限り、Ta=25°C, V<sub>CC</sub>=3V)

項目	記号	参考値			単位	条件
		最小	標準	最大		
出力部						
GATE H 電圧	V <sub>ONH</sub>	V <sub>CC</sub> -0.02	V <sub>CC</sub> -0.01	-	V	I <sub>GATE</sub> =-1mA
GATE L 電圧	V <sub>ONL</sub>	-	0.075	0.150	V	I <sub>GATE</sub> =1mA

(Note) 電流値における－符号は、IC から流出する方向とします

特性データ（参考データ）  
(特に指定のない限り, Ta=25°C, V<sub>CC</sub> =24V)

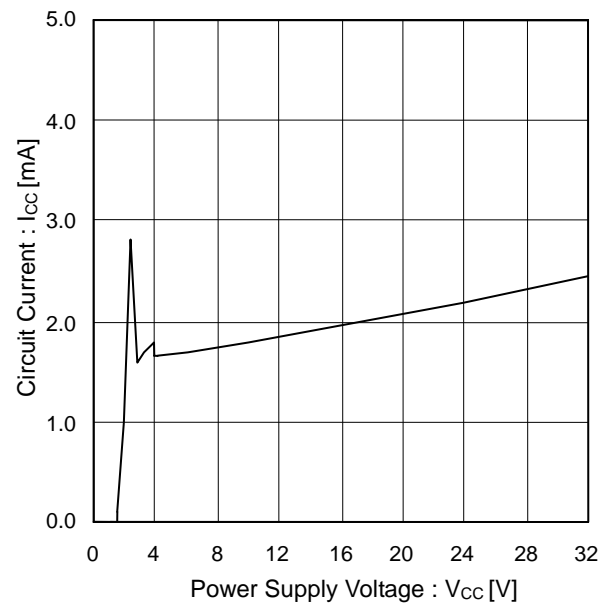


Figure 2. Circuit Current vs Power Supply Voltage

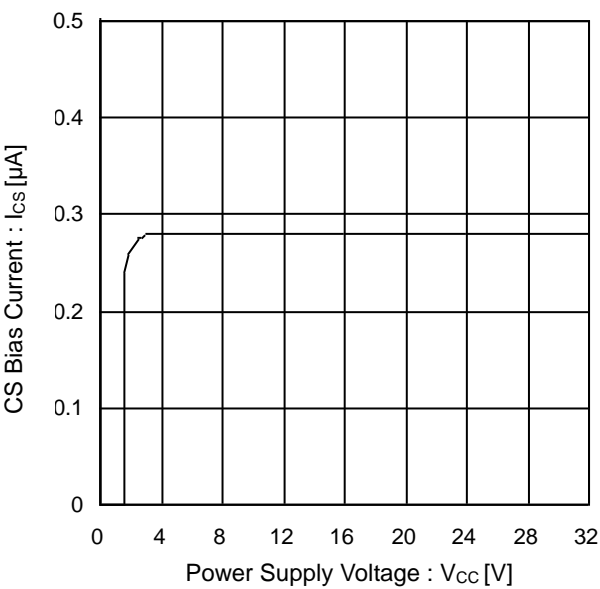


Figure 3. CS Bias Current vs Power Supply Current

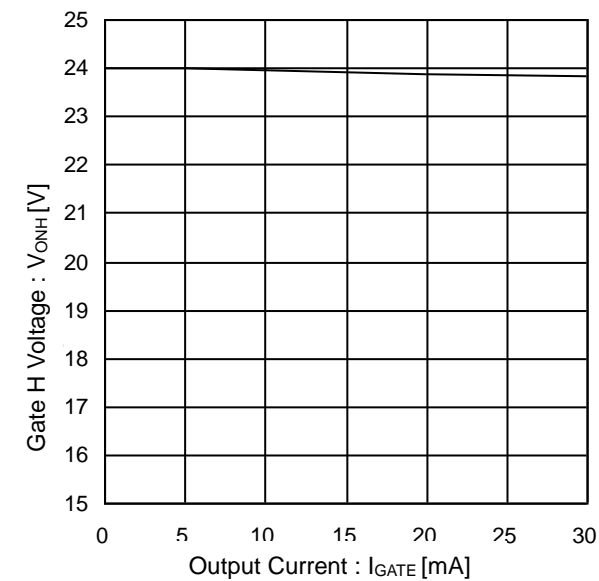


Figure 1. Gate H Voltage vs Output Current  
(Output Block)

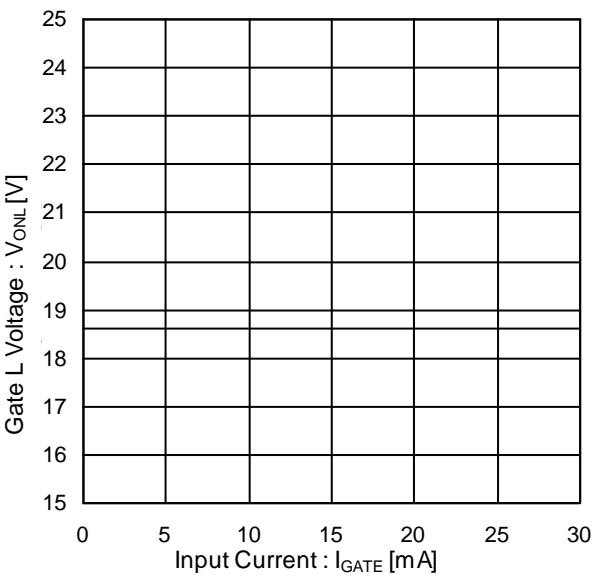


Figure 5. Gate L Voltage vs Input Current  
(Output Block)

特性データ（参考データ） - 続き

(特に指定のない限り, Ta=25°C, V<sub>CC</sub> =24V)

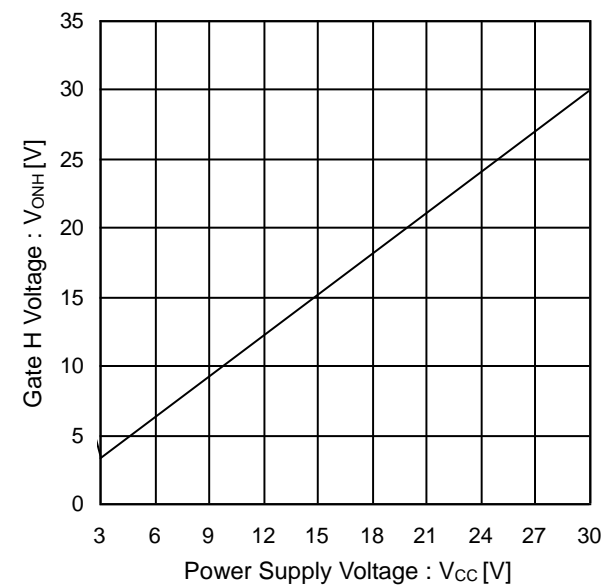


Figure 6. Gate H Voltage vs Power Supply Voltage (Output Block)

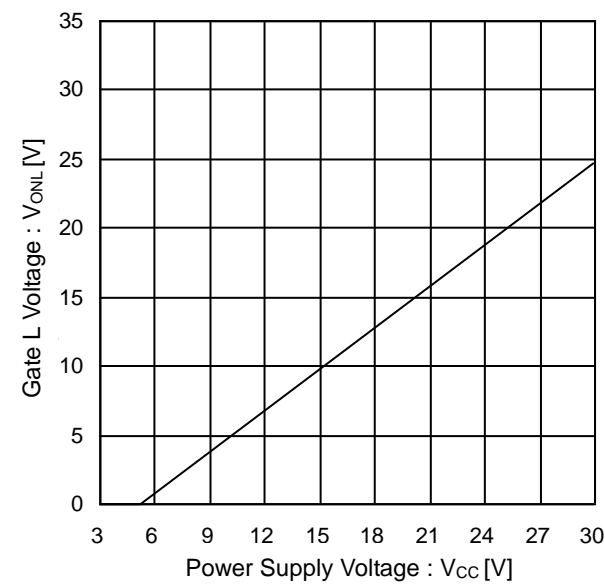


Figure 7. Gate L Voltage vs Power Supply Voltage (Output Block)

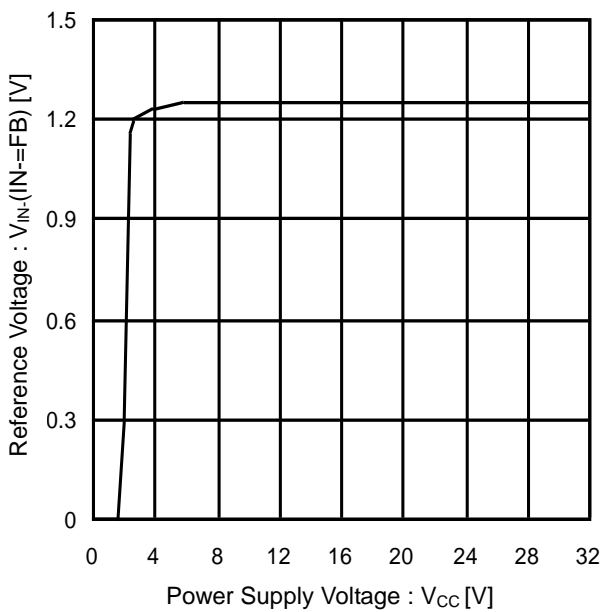


Figure 8. Reference Voltage vs Power Supply Voltage (Error Amplifier Block)

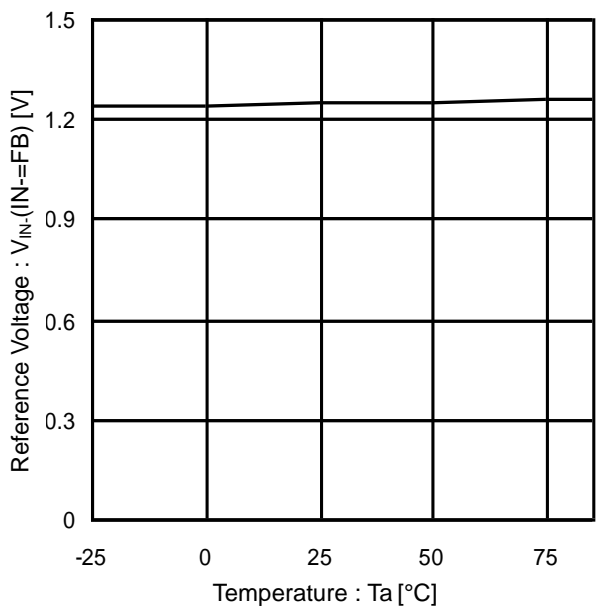


Figure 9. Reference Voltage vs Temperature (Error Amplifier Block)

特性データ（参考データ） - 続き

(特に指定のない限り, Ta=25°C, V<sub>CC</sub> =24V)

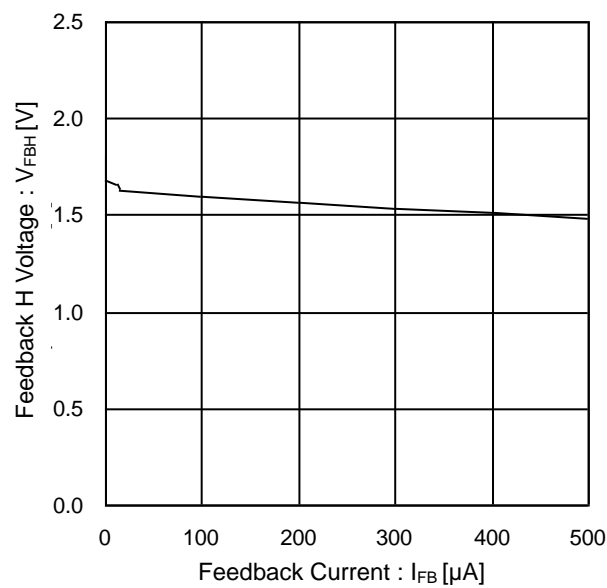


Figure 10. Feedback H Voltage vs Feedback Current

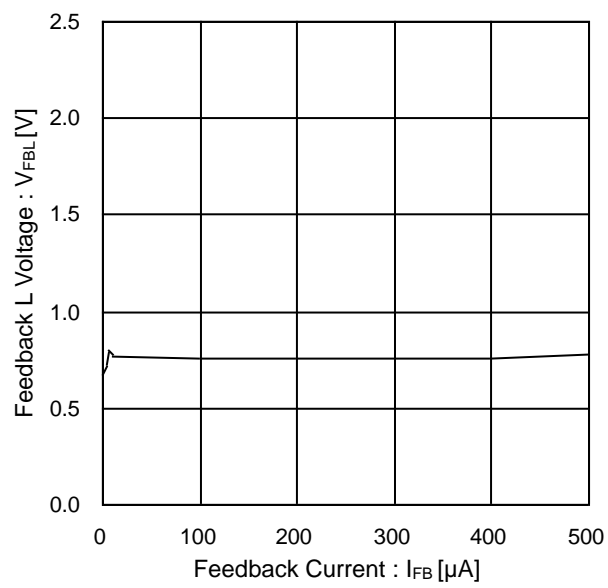


Figure 11. Feedback L Voltage vs Feedback Current

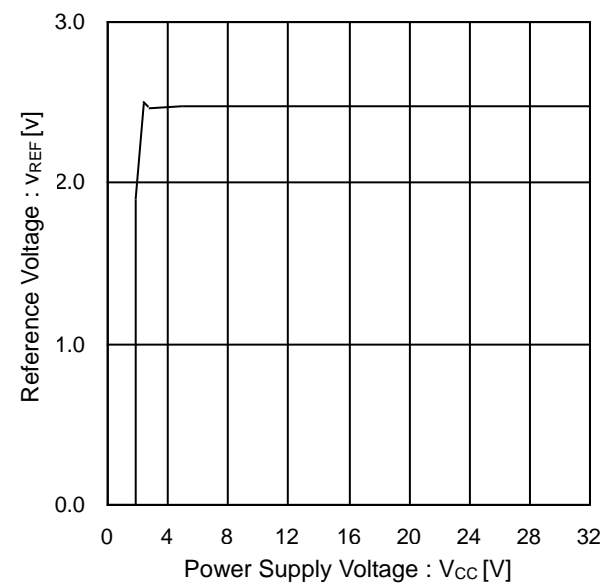


Figure 12. Reference Voltage vs Power Supply Voltage  
(Reference Voltage Block)

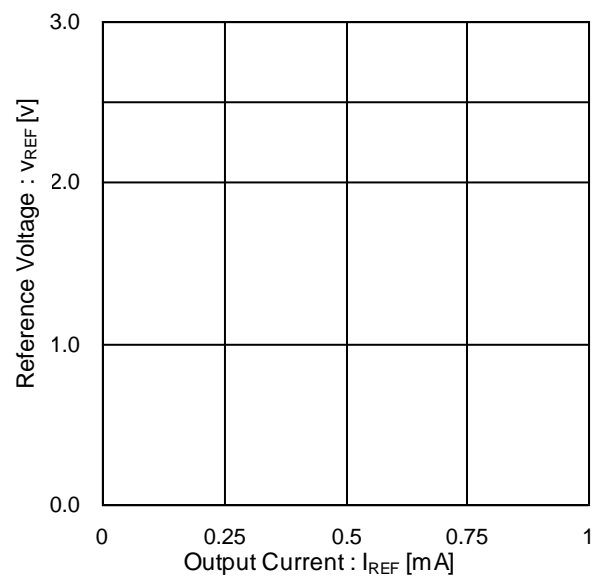


Figure 13. Reference Voltage vs Output Current  
(Reference Voltage Block)

## アプリケーション情報

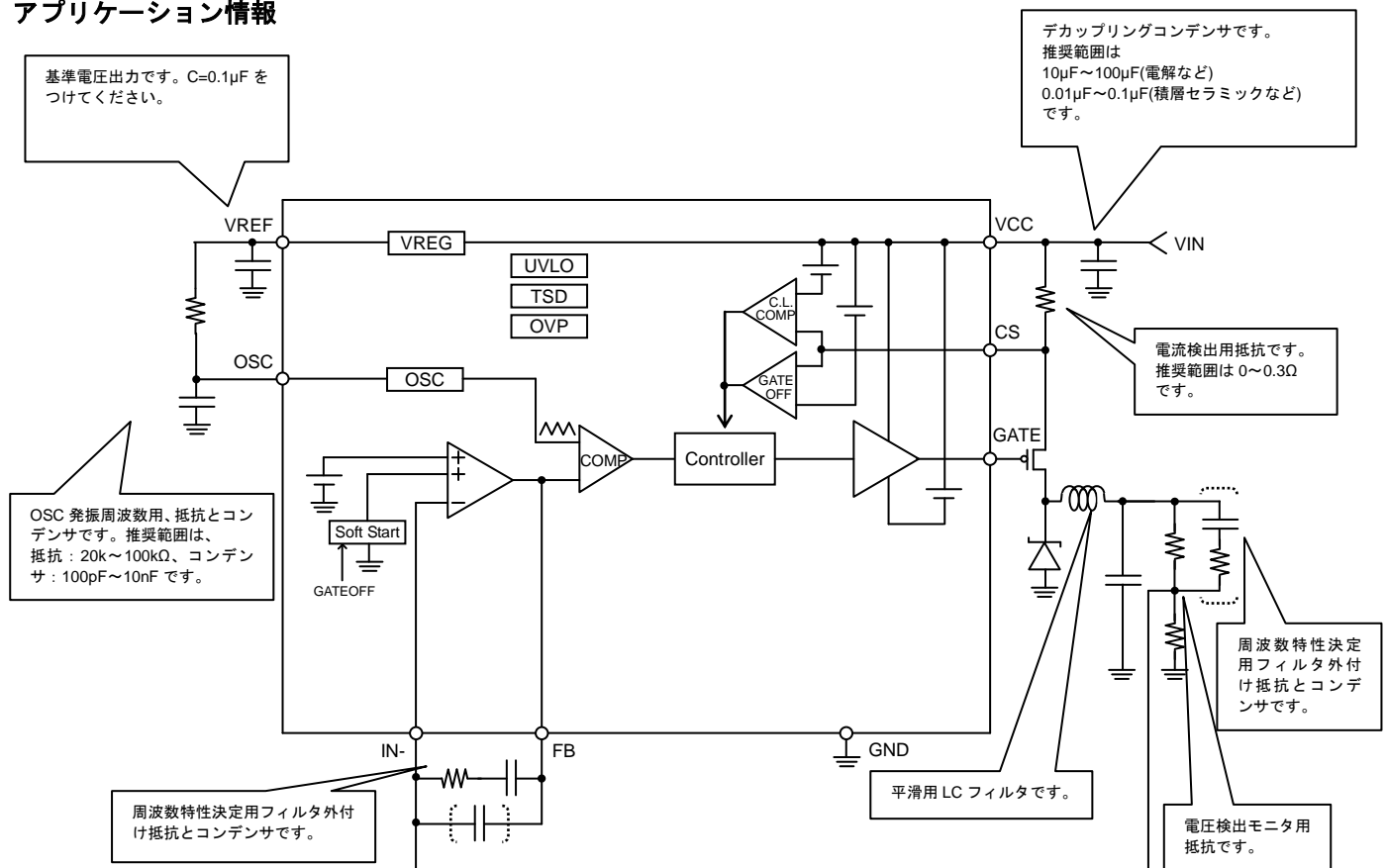


Figure 14. ブロック図、応用回路例

## 1. 端子および各機能の動作説明

## (1) VCC／電源端子

駆動電流が大きい場合は特に、太く短い低インピーダンス配線にしてください。PWM スイッチングノイズなどに注意し、VCC 電圧が安定するように調整してください。また、広い周波数帯域で電源のインピーダンスを下げる目的から並列に 0.01 $\mu$ ～0.1 $\mu$ F 程度の積層セラミックコンデンサなどを配置することも可能です。くれぐれも VCC 電圧が瞬時たりとも定格を超えることのないようにご注意ください。なお、電源端子には静電破壊防止用のクランプ素子が内蔵されています。絶対最大定格以上のサージなどの急峻なパルス信号や電圧が印加された場合、このクランプ素子が動作し、破壊に至る恐れがありますので、絶対最大定格は絶対に超えないでください。絶対最大定格程度のツェナーダイオードを付けることも有効です。また、VCC 端子と GND 端子間には静電破壊防止用のダイオードが挿入されており、VCC 端子と GND 端子に逆電圧が印加された場合、IC は破壊に至る恐れがありますのでご注意ください。

## (2) GND／グラウンド端子

スイッチング電流によるノイズの低減や IC の内部基準電圧の安定化のために、この端子からの配線インピーダンスはできるだけ低くし、いかなる動作状態においても最低電位になるようにしてください。また、他の GND パターンと共通インピーダンスを持たないようにパターン設計をしてください。

## (3) VREF／2.5V レギュレータ出力端子

VREF 端子は、VCC 端子に入力された電源電圧から生成している内部基準電圧 2.5V(Typ)の出力端子です。電源安定化のため必ず 0.1 $\mu$ F のコンデンサを接続してください。この端子はバイアス用電源としても使用する事が出来ますが、負荷電流は 1mA 程度以下になるようにしてください。また、この端子を地絡した場合、大電流が流れ破壊する恐れがあります。

## (4) FB／誤差アンプ出力端子

フィードバック用エラーアンプの出力端子です。

## (5) IN-／誤差アンプ入力端子

フィードバック用エラーアンプの入力端子です。

## (6) GATE／外付け FET 駆動端子

外付け FET のゲートドライブ用端子です。出力 H 電圧は  $V_{CC}-0.05(\text{Typ})$  であり、出力 L 電圧は  $V_{CC}-5.4\text{V}(\text{Typ})$  のため、外付け FET のゲートを直接ドライブすることができます。この端子からの配線は太く短い低インピーダンス配線にしてください。なお、GATE 端子には静電破壊防止用のクランプ素子が内蔵されています。絶対最大定格以上のサージなどの急峻なパルス信号や電圧が印加された場合、このクランプ素子が動作し、破壊に至る恐れがありますので絶対最大定格は絶対に超えないでください。また、GATE 端子から外付け FET の間に抵抗を付け、スイッチング速度を調整することも可能です。

また、この端子は CMOS 出力に内部レギュレータがつながる形式のため、地絡したりなど  $V_{CC}$ -GATE 端子間電圧差が大きい場合、破壊する恐れがあります。

## (7) OSC／PWM 発振周波数設定容量接続端子

出力 PWM 発振周波数用三角波を生成する端子です。外付け抵抗とコンデンサを接続する端子です。外付けに R と C を接続し、充放電を行います。三角波の H レベルは  $1.4\text{V}(\text{Typ})$ 、L レベルは  $1.0\text{V}(\text{Typ})$  であり、 $\Delta\text{OSC}=0.4\text{V}(\text{Typ})$  の振幅の三角波が生成されます。R は充電電流を決定し、放電は IC 内部で  $5\text{k}\Omega(\text{Typ})$  を通じて行います。ただし数百 kHz 以上の高周波では内部回路の遅延により  $\Delta\text{OSC}$  の振幅が  $0.4\text{V}(\text{Typ})$  より大きくなる場合がありますので高周波動作の場合は注意してください。外付け  $R=30\text{k}\Omega$  にした場合の各容量値に対する特性表を以下示します。例えば  $C=1000\text{pF}$  の時、 $f\approx 91\text{kHz}$  です。

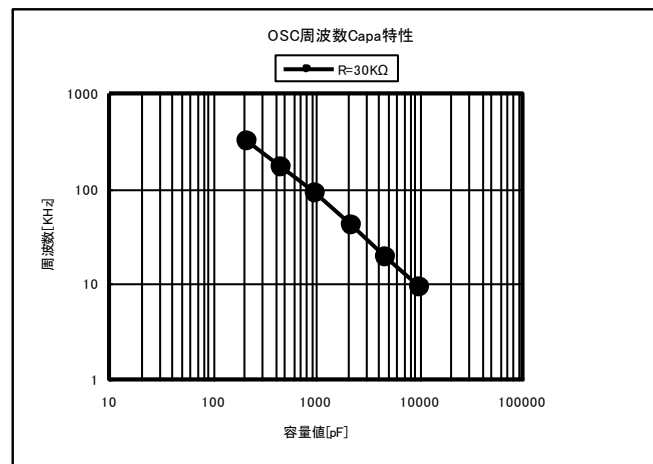


Figure 15. OSC 周波数特性例

発振周波数を設定する計算式は以下になります。

$$f = \frac{1}{C(0.31R + 1980) + 2e - 7}$$

但し、上式は  $C=470\text{p}\sim 2200\text{pF}$ 、 $R=30\text{k}\sim 100\text{k}\Omega$  の範囲での参考式です。セット基板上では配線容量、モニタするオシロスコープの容量等の影響を受ける可能性があり、実機と異なる場合がありますので、あくまでこの式は設定するための目安としてください。



## (8) CS/電流検出コンパレータ入力端子

CS 端子は、過電流検出回路コンパレータの入力端子です。本 IC では、出力の短絡など異常な過電流が流れた場合出力をオフさせるための過電流検出回路(カレントリミット機能)が内蔵されています。センス抵抗など外付け FET の電流をモニタし、この CS 端子に入力します。この端子に入力される電圧が  $V_{CC}-0.15V(Typ)$  になった場合、カレントリミット機能が働きます。設定した抵抗値と電流値により、カレントリミット電圧に達した場合、出力をオフさせます。そのあと、OSC 端子電圧の頂点で復帰する自動復帰タイプです。OSC 端子電圧の頂点で復帰しますが、その場合、カレントリミット設定電圧に達した場合は、再び OSC の頂点で復帰する、これを繰り返します。この端子にノイズなどが重畳すれば誤動作する可能性もあるため、内部で約 300nS のマスク時間が設定されています。また、この端子にコンデンサを追加し、ノイズの飛び込みなどを防止することもできます。また、カレントリミット入力から GATE 端子まで、先程の約 300nS のマスク時間を含め、約 700nS の遅延時間があるため、700nS 以下のデューティで制御する場合はカレントリミットは動作できません。通常約 700nS でカレントリミット電圧に達する程の電流設定はないと考えられますが、外付け FET にも依存するため十分注意してください。過電流検出回路を使用しない場合は、CS 端子を VCC にショートしてください。また、この端子の絶対最大定格を超えた場合、破壊する可能性があるため十分注意して下さい。

カレントリミット設定電流  $= 0.15V \div \text{抵抗値}$  となります。例えば 75mΩ の場合カレントリミット設定電流は 2A になります。

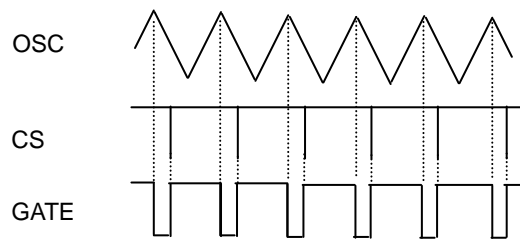


Figure 16. カレントリミット動作

また、CS 端子に入力される電圧が  $V_{CC}-1V(Typ)$  以下になった場合、ゲートオフ機能が働き出力をオフさせます。この端子が  $V_{CC}-1V(Typ)$  以上になるとソフトスタートで復帰します。

## (9) ソフトスタート

BD63536FJ ではソフトスタート機能を内蔵しています。IC 内部で OSC に同期したクロックを生成し、そのクロックで内部 6bitDAC を動作させます。ソフトスタート時間は OSC 周波数に依存します。OSC 周波数の 8 倍の周波数を基準クロックとして 40mV/カウントで上昇し、32 カウントで約 1.25V を越えます。例えば  $f_{OSC}=100kHz$  のとき、0V~1.25V までの時間は、 $10\mu s \times 8 \times 32 \text{ カウント} \approx 2.56ms$  となります。

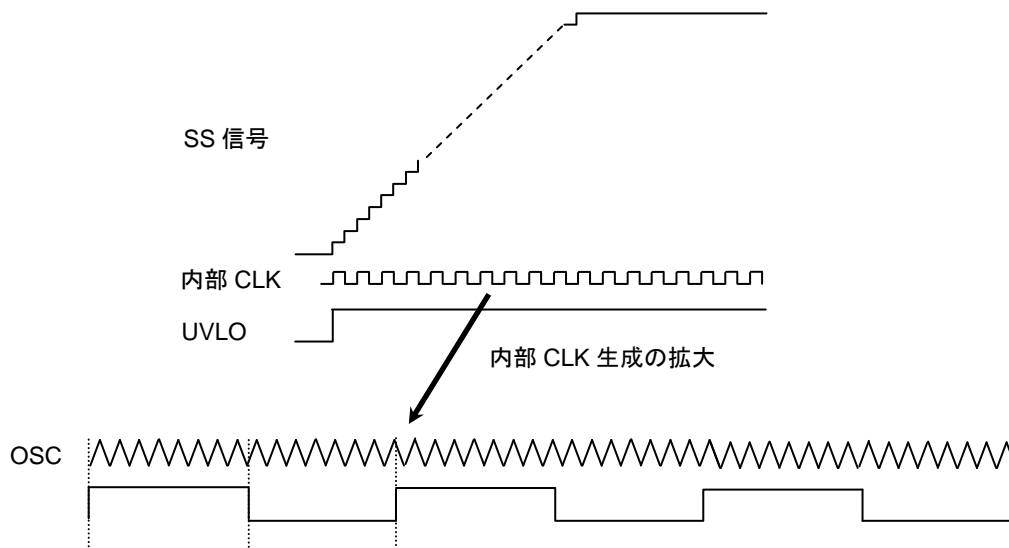


Figure 17. ソフトスタート動作

## 2. 各種保護回路について

### (1) 溫度保護回路(TSD)

BD63536FJ には過熱保護対策としてサーマルシャットダウン回路を内蔵しています。IC のチップ温度が 175°C (Typ) 以上になった場合、GATE 出力をオフにします。また、155°C (Typ) 以下になると通常動作に復帰します。この場合、復帰はソフトスタートで行います。ただし TSD が動作している状態でも外部から更に熱が加え続けられると熱暴走し破壊に至る恐れがあります。

(2) 過電流保護回路(カレントリミット機能)

BD63536FJ には過電流保護回路を内蔵しています。この回路はあくまで、出力ショートなどの異常状態において、過電流による IC の破壊を防ぐことを目的とした回路であり、セットの保護及び保障を目的とはしておりません。よって、この回路の機能を利用したセットの保護設計はしないでください。実際には、ヒューズを付けるなど物理的対策も行ってください。

### (3) 低電圧時誤動作防止機能(UVLO)

BD63536FJには電源低電圧時のIC出力などの誤動作を防止するために低電圧時誤動作防止回路を内蔵しています。これが動作する電圧は、動作条件以下ですがVCC端子への印加電圧が2.35V(Typ)になった場合、一旦ゲート出力をオフにします。この切り換わり電圧はノイズなどの誤動作を防止するため約0.15V(Typ)のヒステリシスを設けています。UVLO機能が解除された場合、ソフトスタートでICは起動します。

#### (4) 過電圧時出力オフ機能(OVP)

BD63536FJ には電源電圧上昇時の保護回路として、過電圧時出力オフ機能を内蔵しています。これが動作する電圧は絶対最大定格以上ですが VCC 端子への印加電圧が 33.5V(Typ)以上になった場合、ゲート出力をオフにします。この切り換わり電圧はノイズなどの誤動作を防止するため約 1V(Typ)のヒステリシスを設けています。OVLO 機能が復帰する場合、ソフトスタートで IC は起動します。

### 3. スイッチングレギュレータの制御について

スイッチングレギュレータアプリケーションの基本構成を Figure18 に示します。出力電圧をモニタした電圧と内部基準電圧が等しくなるように誤差増幅器が出力 Duty を決定します。出力ドライバはその Duty でスイッチングを行い、LC フィルタによりスイッチング電圧を平滑化し、 $V_{OUT}$  が出力されます。BD63536FJ の内部基準電圧は 1.25V(Typ)であり、推奨出力電圧範囲は 3.3V~5V です。1.25V 出力など、3.3V 以下の電圧の場合、使う発振周波数にもよりますが、出力スイッチングの Duty が細くなり、カレントリミット設定が掛からない場合がありますので注意してください。

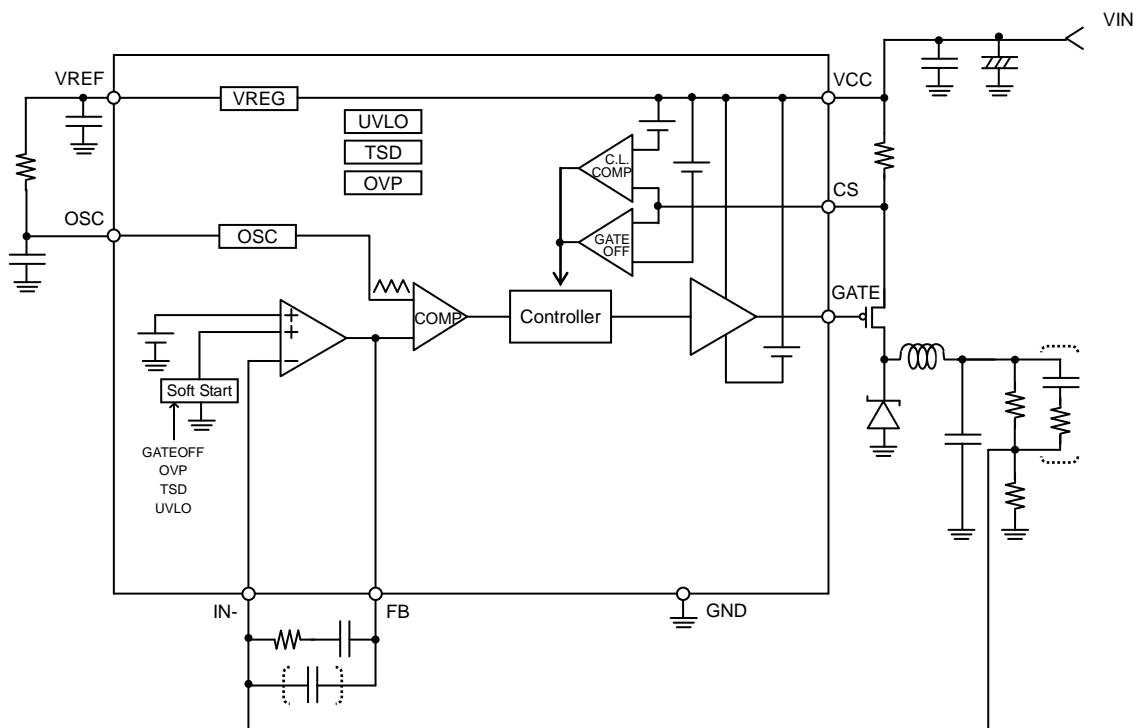


Figure 18. スイッチングレギュレータ ブロック図

#### 4. フィルタ回路例

BD63536FJ のアプリケーションで、位相特性決定用フィルタ回路を考えた場合、以下の Figure 19 のような 3 パターンの形式が一般的です。これら回路の使い分けは、使用する PWM 波数と LC2 次ポールとの関係および、出力コンデンサの ESR におけるゼロ点および、使用する PWM スwitchング周波数におけるリップル除去率などにより決定します。

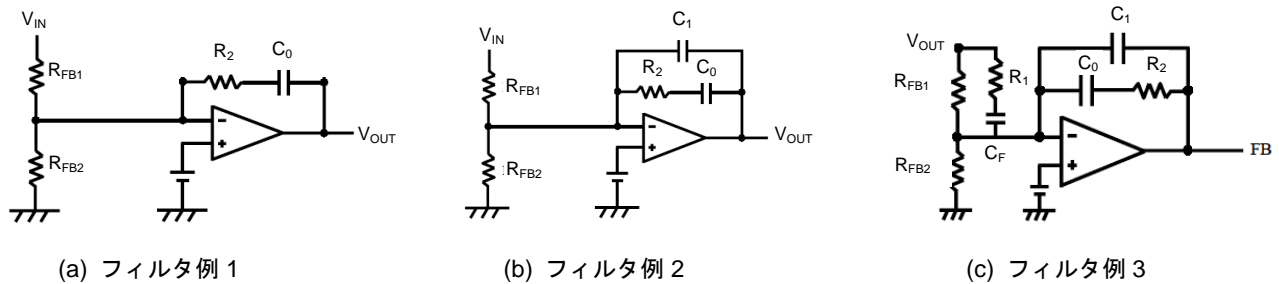


Figure 19. 位相特性決定用フィルタ回路例

- (a)の回路は最も簡単な形式であり、出力コンデンサの ESR が大きい場合に使える方式です。  
 (b)の回路は(a)の形式に C を追加した形であり、出力コンデンサの ESR が大きい場合で、(a)の形式より PWM 周波数における電圧リップル除去率を上げたい場合などに使える方式です。  
 (c)の回路は、2 つのゼロ点を追加する用法のため出力コンデンサの ESR が小さい場合でも使える形式です。

以上の形式を使用する L、C や PWM 周波数におけるそれぞれの要求仕様や状況に応じて使い分けてください。

#### 5. アプリケーション設計例

以下にアプリケーション設計例を示します。

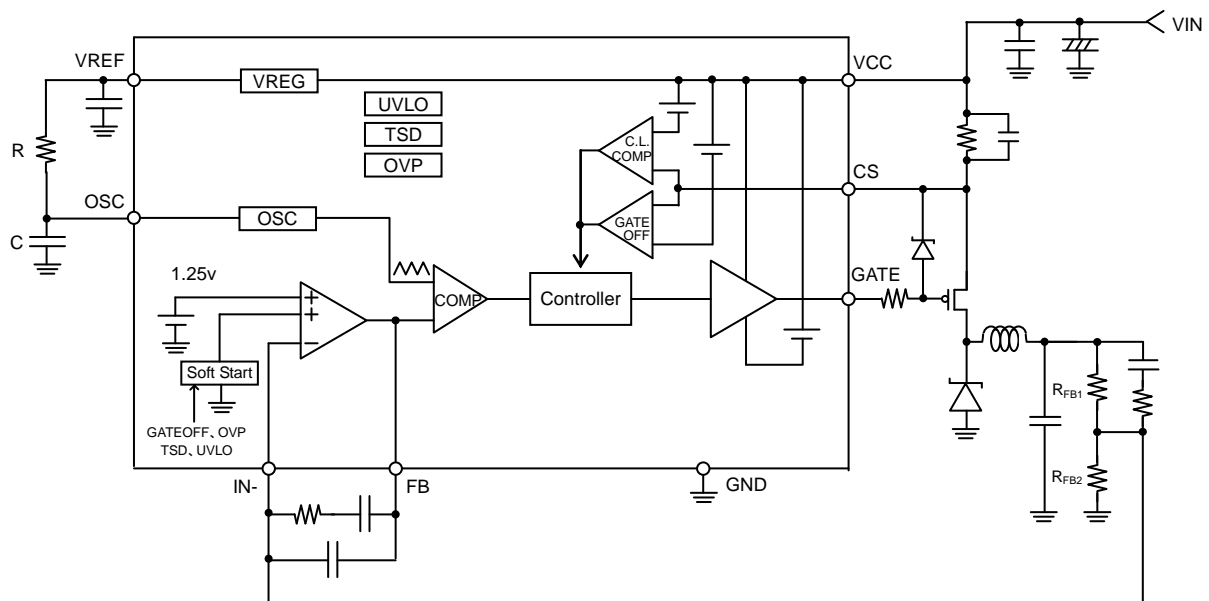
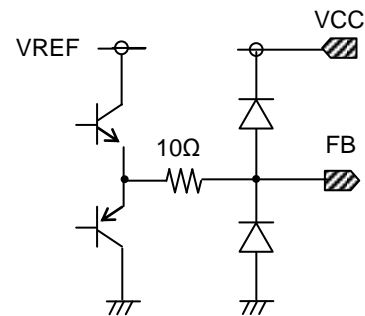
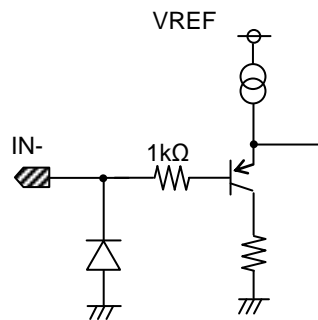
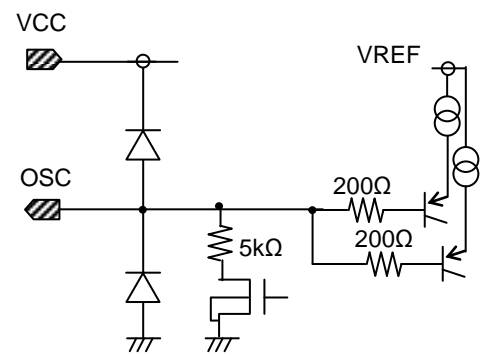
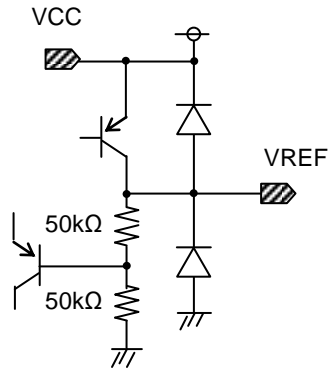
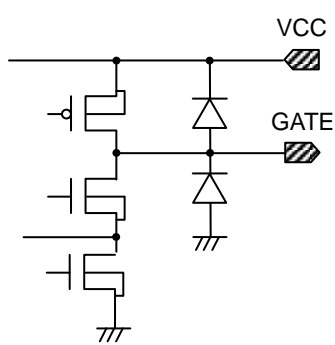
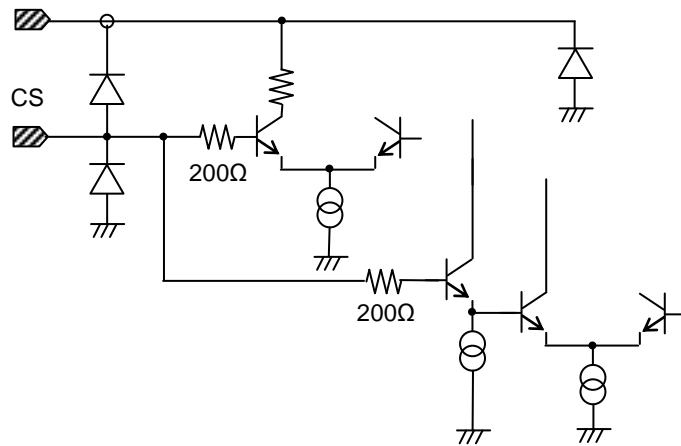


Figure 20. アプリケーション回路例

## 入出力等価回路図

VCC



## 使用上の注意

## 1. 電源の逆接続について

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れるなどの対策を施してください。

## 2. 電源ラインについて

基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。その際、デジタル系電源とアナログ系電源は、それらが同電位であっても、デジタル系電源パターンとアナログ系電源パターンは分離し、配線パターンの共通インピーダンスによるアナログ電源へのデジタル・ノイズの回り込みを抑止してください。グラウンドラインについても、同様のパターン設計を考慮してください。

また、LSI のすべての電源端子について電源-グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量ぬけが起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

## 3. グラウンド電位について

グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。

## 4. グラウンド配線パターンについて

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

## 5. 熱設計について

万一、許容損失を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。本仕様書の絶対最大定格に記載しています許容損失を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用するなどの対策をして、許容損失を超えないようにしてください。

## 6. 推奨動作条件について

この範囲であればほぼ期待通りの特性を得ることができる範囲です。電気特性については各項目の条件下において保証されるものです。

## 7. ラッシュカレントについて

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

## 8. 強電磁界中の動作について

強電磁界中でのご使用では、まれに誤動作する可能性がありますのでご注意ください。

## 9. セット基板での検査について

セット基板での検査時に、インピーダンスの低いピンにコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

## 使用上の注意 — 続き

## 10. 端子間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けた場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

## 11. 未使用の入力端子の処理について

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

## 12. 各入力端子について

本 IC はモノリシック IC であり、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

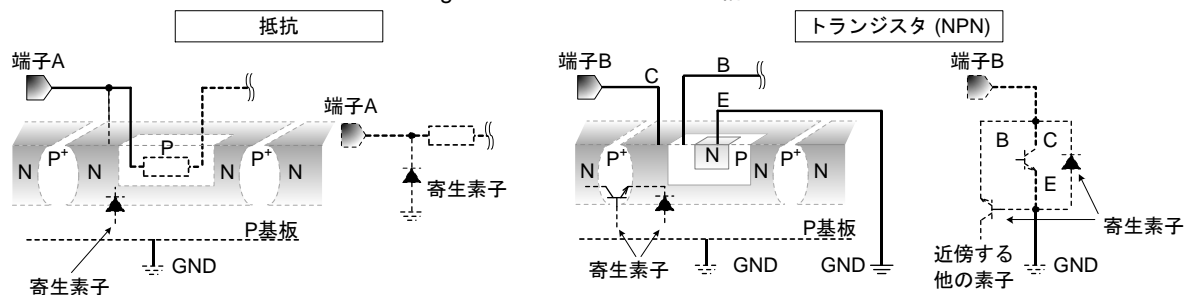
例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、 $GND > (\text{端子 A})$  の時、トランジスタ(NPN)では  $GND > (\text{端子 B})$  の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ(NPN)では、 $GND > (\text{端子 B})$  の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に  $GND$  (P 基板) より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子が  $GND$  にショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

Figure 21. モノリシック IC 構造例



## 13. 温度保護回路について

IC を熱破壊から防ぐための温度保護回路を内蔵しております。許容損失範囲内でご使用いただきますが、万が一許容損失を超えた状態が継続すると、チップ温度  $T_j$  が上昇し温度保護回路が動作し出力パワー素子が OFF します。その後チップ温度  $T_j$  が低下すると回路は自動で復帰します。なお、温度保護回路は絶対最大定格を超えた状態での動作となりますので、温度保護回路を使用したセット設計などは、絶対に避けてください。

TSD ON temperature [°C] (Typ)	Hysteresis temperature [°C] (Typ)
175	25

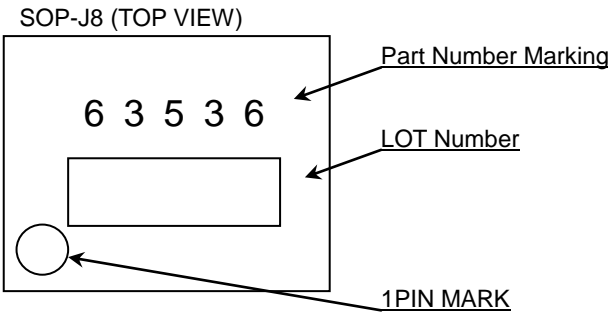
## 14. 過渡動作などについて

本 IC では GATE 端子 L 電圧は、IC 内部レギュレータにより、 $V_{CC}=5.4V$  (Typ) になっていますが、スイッチングスピードが早い場合など、出力が急峻に変化する場合は、過渡的に  $V_{CC}=6.2V$  (Max) 以上振れる可能性があります。その場合、外付けの MOS-FET のゲート・ソース間を保護するためにも GATE 端子と電源端子間に適切なツェナーダイオードを挿入し、クランプすることを推奨させていただきます。

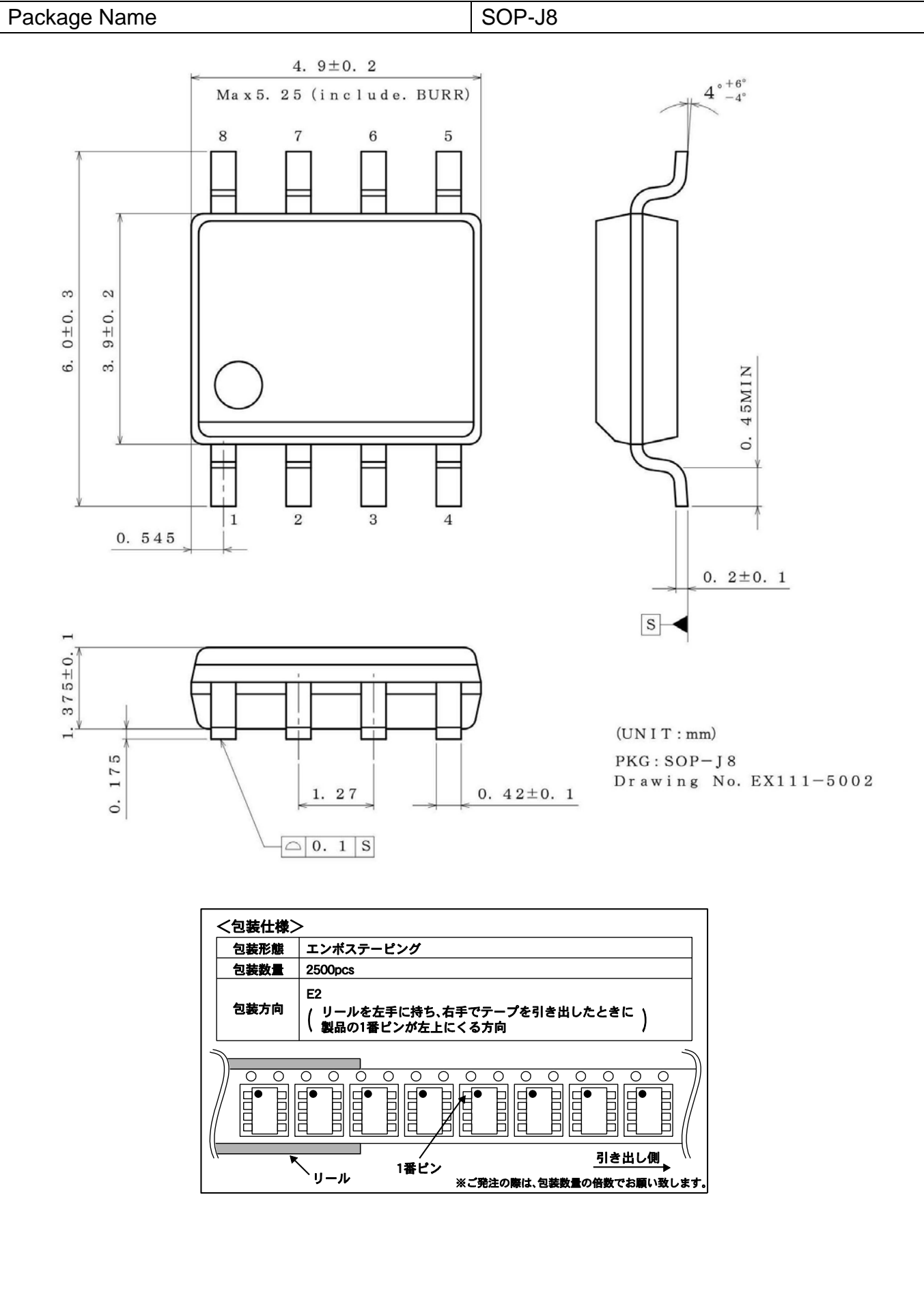
発注形名情報

B D 6 3 5 3 6 F J										-	E 2	
形名										パッケージ FJ: SOP-J8	包装、フォーミング仕様 E2: リール状エンボステーパーピング	

標印図



外形寸法図と包装・フォーミング仕様





改訂記録

Date	Revision	Changes
2014.10.23	001	新規作成

# ご注意

## ローム製品取扱い上の注意事項

1. 本製品は一般的な電子機器（AV 機器、OA 機器、通信機器、家電製品、アミューズメント機器等）への使用を意図して設計・製造されております。従いまして、極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険若しくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器<sup>(Note 1)</sup>、輸送機器、交通機器、航空宇宙機器、原子力制御装置、燃料制御、カーアクセサリを含む車載機器、各種安全装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

2. 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、かかる誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
  - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
  - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
3. 本製品は、一般的な電子機器に標準的な用途で使用されることを意図して設計・製造されており、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。従いまして、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
  - ①水・油・薬液・有機溶剤等の液体中でのご使用
  - ②直射日光・屋外暴露、塵埃中でのご使用
  - ③潮風、Cl<sub>2</sub>、H<sub>2</sub>S、NH<sub>3</sub>、SO<sub>2</sub>、NO<sub>2</sub> 等の腐食性ガスの多い場所でのご使用
  - ④静電気や電磁波の強い環境でのご使用
  - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合。
  - ⑥本製品を樹脂等で封止、コーティングしてのご使用。
  - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用された場合も、残渣の洗浄は確実にを行うことをお勧め致します)、又ははんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合。
  - ⑧本製品が結露するような場所でのご使用。
4. 本製品は耐放射線設計はなされておられません。
5. 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
6. パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
7. 許容損失(Pd)は周囲温度(Ta)に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、ディレーティングカーブ範囲内であることをご確認ください。
8. 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
9. 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

## 実装及び基板設計上の注意事項

1. ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
2. はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

## **応用回路、外付け回路等に関する注意事項**

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。従いまして、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

## **静電気に対する注意事項**

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施の上、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。（人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等）

## **保管・運搬上の注意事項**

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
  - ①潮風、Cl<sub>2</sub>、H<sub>2</sub>S、NH<sub>3</sub>、SO<sub>2</sub>、NO<sub>2</sub>等の腐食性ガスの多い場所での保管
  - ②推奨温度、湿度以外での保管
  - ③直射日光や結露する場所での保管
  - ④強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認した上でご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行った上でご使用ください。

## **製品ラベルに関する注意事項**

本製品に貼付されている製品ラベルに QR コードが印字されていますが、QR コードはロームの社内管理のみを目的としたものです。

## **製品廃棄上の注意事項**

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

## **外国為替及び外国貿易法に関する注意事項**

本製品は外国為替及び外国貿易法に定める規制貨物等に該当するおそれがありますので輸出する場合には、ロームにお問い合わせください。

## **知的財産権に関する注意事項**

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。従いまして、上記第三者の知的財産権侵害の責任、及び本製品の使用により発生するその他の責任に関し、ロームは一切その責任を負いません。
2. ロームは、本製品又は本資料に記載された情報について、ローム若しくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。

## **その他の注意事項**

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社若しくは第三者の商標又は登録商標です。

**一般的な注意事項**

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。