

## 1chip FET 内蔵タイプ スイッチングレギュレータシリーズ

# 昇圧/反転 2ch

# スイッチングレギュレータ



## BD8317GWL

### ●概要

BD8317GWLは昇圧及び反転の計2チャンネルを搭載したダイオード整流型電流モードコントロールのスイッチングレギュレータです。SW 用 FET とソフトスタート機能付きの昇圧ロード SW を内蔵しており、外付け部品の削減が可能です。また各チャンネルの独立制御可能の為、非動作チャンネルの低消費電力化シーケンス構成が容易です。

### ●特長

- 低入力電圧対応、広入力電圧対応 2.5~5.5 V
- 電流モードコントロールの昇圧 DCDC 1ch と反転 DCDC 1ch 計 2ch を搭載
- 高周波動作(0.8MHz)により小型コイル使用可能
- 230mΩ/22V の Nch PowFET、230mΩ/15V の Pch PowFET を内蔵
- 昇圧チャンネルはソフトスタート機能(4.2msec (typ)) 付きの 130mΩ ロード SW を内蔵
- 反転チャンネルソフトスタート機能(4.2msec(typ))
- 独立 ON/OFF 可能 反転出力はディスチャージ SW を内蔵
- 小型パッケージ UCSP50L1( 1.8mm × 1.5mm, 4 × 3 グリッド, 11pin, WLCSP)
- 各種保護回路 OCP,SCP,UVLO,TSD 内蔵

### ●重要特性

- |                 |                  |
|-----------------|------------------|
| ■ 入力電圧範囲        | 2.5~5.5 [V]      |
| ■ 最大昇圧出力電圧      | 最大入力電圧~18 [V]    |
| ■ 反転出力電圧範囲      | -9.0~-1.0 [V]    |
| ■ 最大 SW 電流      | 1[A](max)        |
| ■ 動作周波数         | 0.8 [MHz] (typ.) |
| ■ Nch FET ON 抵抗 | 230[mΩ]          |
| ■ Pch FET ON 抵抗 | 230[mΩ]          |
| ■ スタンバイ時電流      | 1[μA](max)       |

### ●パッケージ

UCSP50L1 (WLCSP)  
1.8mm × 1.5mm × 0.5mm, 4 × 3 グリッド, 11pin,

### ●用途

- LCD 用電源
- CCD 用電源
- 上記を要する DSC,携帯電話等の携帯機器全般

構造 : シリコンモノシリック集積回路

### ●基本アプリケーション回路

入力 :2.5~5.5V ch1 出力: -5.0V / 100mA(MAX) ch2 出力: 5.0V / 100mA(MAX)

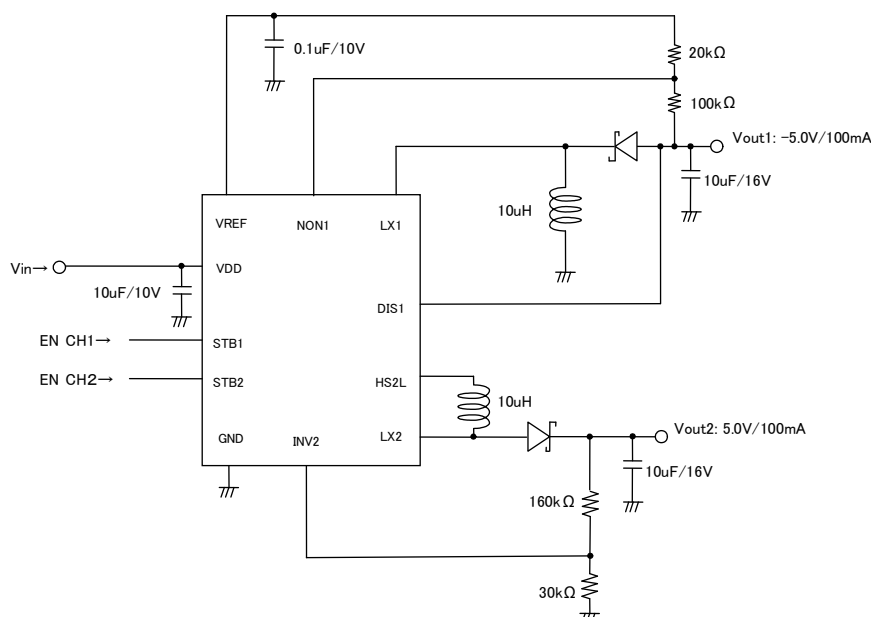


Figure 1. アプリケーション回路例

## ●端子配置図

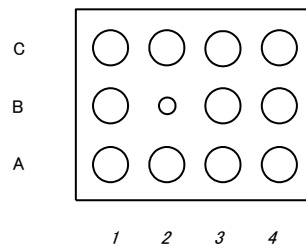


Figure 2. 端子配置図(Bottom view)

## ●端子説明

Pin No.	Pin Name	Function
A-1	VDD	電源入力端子です。出力段及び制御用回路に電源を供給します。入力段のセラミックコンデンサは容量値のバイアス効果に注意の上、実容量 0.47 $\mu$ F 以上の物をご使用下さい。
A-2	HS2L	昇圧チャネルローサイドスイッチの PMOS のドレインに接続されています。
A-3	LX2	昇圧チャネルの Nch PowerMOS のドレインに接続されています。ショットキーバリアダイオードと、インダクタを定格に注意した上で接続してください。
A-4	GND	スイッチングレギュレータ及び制御回路の GND 端子です。
B-1	LX1	反転チャネル PchPowerMOS のドレインに接続されています。ショットキーバリアダイオードとインダクタを定格に注意した上で接続してください。
B-3	STB1	反転チャネル ON/OFF 端子です。 High(1.5V 以上)でチャネル 1 をアクティブに、LOW で出力 OFF となります。 800k $\Omega$ (typ)のプルダウン抵抗が内蔵されています。
B-4	STB2	昇圧チャネル ON/OFF 端子です。 High(1.5V 以上)でチャネル 2 をアクティブに、LOW で出力 OFF となります。 800k $\Omega$ (typ)のプルダウン抵抗が内蔵されています。
C-1	DIS1	反転出力デイスチャージ端子です。 STB1 が OFF になると、100 $\Omega$ (typ)で出力の負電荷をデイスチャージ致します。
C-2	VREF	反転チャネル基準電圧出力端子です。1.0V(typ)となっております。
C-3	NON1	反転出力帰還端子です。エラーアンプ及びデイスチャージ用 NMOS に接続されています。 STB1 が OFF の場合、150 $\Omega$ (typ)でデイスチャージを行います。 出力電圧に対応する帰還抵抗を接続して下さい。設定方法は 16/20 ページを参照下さい。
C-4	INV2	昇圧出力帰還端子です。エラーアンプに接続されています。 出力電圧に対応する帰還抵抗を接続して下さい。設定方法は 16/20 ページを参照下さい。

## ●ブロック図

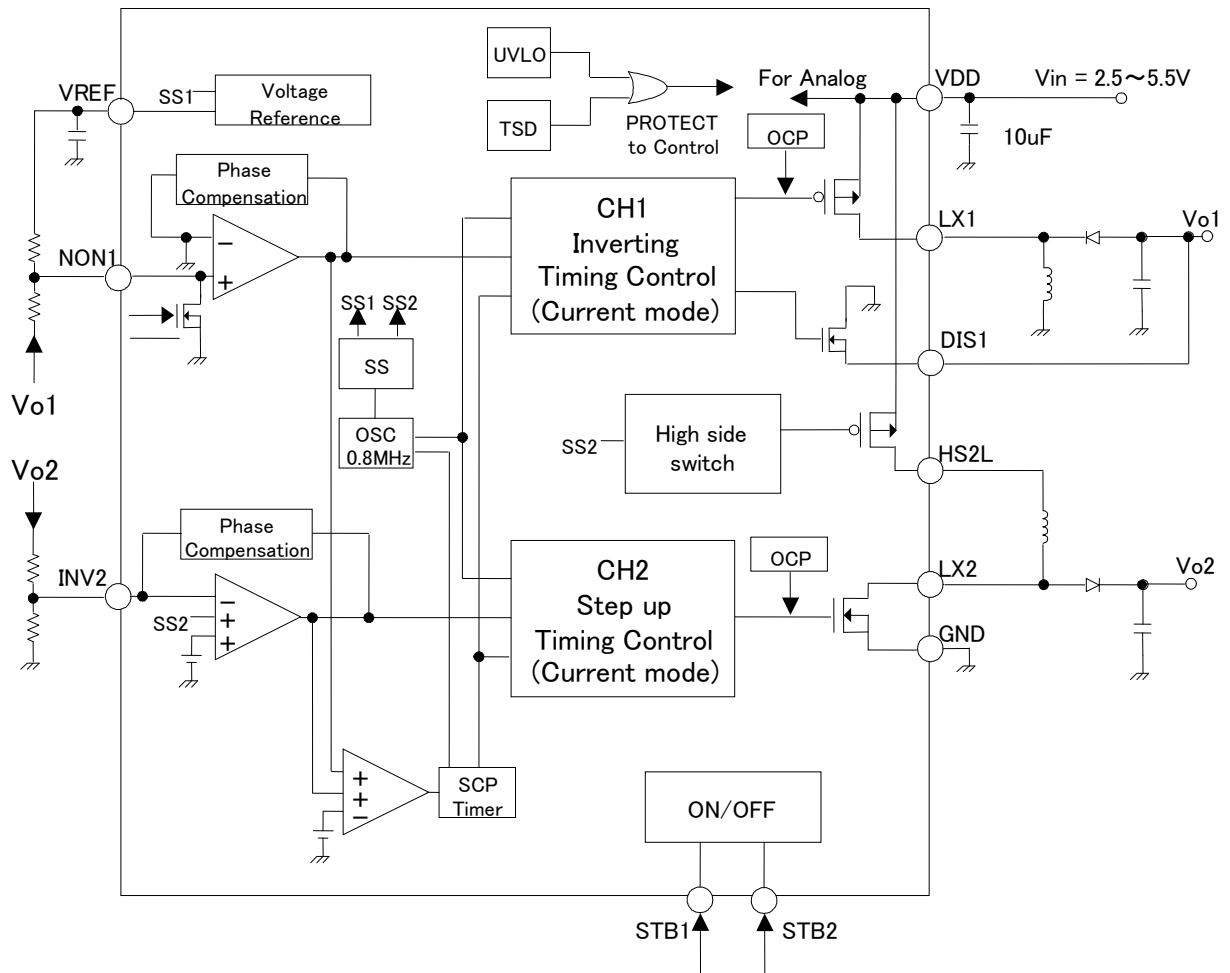


Figure 3. ブロック図

## ●各ブロック動作説明

## 1.Voltage Reference

反転チャンネル基準電圧及び昇圧チャンネルエラーアンプ基準電圧を生成するブロックです。  
反転チャンネル基準電圧は 1.0V、昇圧チャンネルエラーアンプ基準電圧は 0.8V となっています。  
ただし反転側基準電圧は、出力電圧を保証するため、エラーアンプの入力オフセット電圧を加えています。

## 2.UVLO

低電圧入力誤動作防止回路です。  
電源電圧の立上がり時、および電源電圧低下時の内部回路の誤動作を防止します。  
VCC 端子電圧をモニタしており、VCC 電圧が 2.2V(typ)以下となった場合、出力 FET を全て OFF することにより DC/DC コンバータ出力を OFF とします。また同時に、内部 SCP 回路のタイマーラッチ及びソフトスタート回路をリセットします。

## 3.SCP

タイマーラッチ式の短絡保護回路です。  
NON1 端子が設定電圧である 0V 以上、または INV2 端子が設定電圧である 0.8V 以下になった時点で内部 SCP 回路がカウンタを開始いたします。  
内部カウンタは OSC と同期しており、約 40msec 後ラッチ回路が動作し、DC/DC コンバータ出力を OFF します。  
ラッチ回路をリセットするには STB 端子を一度 OFF としたのち再度 ON するか、もしくは電源電圧を再投入してください。

## 4.OSC

周波数を決定する発振回路です。動作周波数は 0.8MHz に設定されています。

## 5.ERROR AMP

出力信号を検出し、PWM 制御信号を出力する誤差増幅器です。  
チャンネル 1 の ERRORAMP 内部基準電圧は 0V、チャンネル 2 の ERROR AMP 内部基準電圧は 0.8V に設定されています。

## 6.Timing Control

電流モードコントロール部です。  
なお Max Duty は両チャンネル共に 86%(typ)となっております。

## 7.SOFT START (SS)

DC/DC コンバータ起動時の出力電圧を徐々に上昇させることにより、起動時のラッシュ電流を防止する回路です。  
ソフトスタート時間は内部 OSC と同期しており、約 4.2msec で設定電圧に到達します。

## 8.OCP(過電流保護回路)

入力電流を制限することにより、内蔵 FET に定格以上の電流が流れることでの IC の破壊を防ぎます。過電流を検出すると内蔵 FET をパルス・バイ・パルス方式で OFF し入力電流を制限します。この動作が長時間継続すると出力電圧が低下し SCP 検出を行います。

## 9.TSD(温度保護回路/サーマルシャットダウン)

異常発熱による IC 破壊を防止するための保護回路です。チップの異常発熱(175°C)を検知すると、出力 FET を全て OFF する事により DC/DC コンバータ出力を OFF とします。また、検出温度と解除温度にはヒステリシス幅(25°C)があり、スレッシュホールド温度付近での変動による誤動作を防止しています。

## 10. ON/OFF

STB 端子に印加する電圧で、各チャンネルの ON/OFF をコントロールできます。  
1.5V 以上の電圧を印加すると ON、オープンもしくは 0.3V 以下の電圧を印加すると OFF となります。  
端子には 800k $\Omega$  (typ)のプルダウン抵抗が内蔵されています。

## ●絶対最大定格 (Ta=25°C)

項目	記号	定格	単位
最大印加電源電圧	VDD	-0.3~7	V
	STB1,STB2	-0.3~7	V
最大入力電流	IHS2L	1.0	A
	ILX1	1.0	A
	ILX2	1.0	A
最大入力電圧	VDD-LX1	15	V
	LX2	22	V
	NON1	-0.3~7	V
	INV2	-0.3~7	V
	DIS1	-9~0.3	V
許容損失 <sup>*1</sup>	Pd	730	mW
動作温度範囲	Topr	-35~+85	°C
保存温度範囲	Tstg	-55~+150	°C
ジャンクション温度	Tjmax	+150	°C

(<sup>\*1</sup>) 74.2 × 74.2 × 1.6<sup>t</sup>mm 基板実装時 Ta=25°C以上で使用する場合は、4.96mW/°Cで軽減。

## ●動作条件

項目	記号	規格値			単位
		MIN	TYP	MAX	
電源電圧	VDD	2.5	—	5.5	V
反転出力電圧	VO1	-9.0	—	-1.0	V
昇圧出力電圧	VO2	VCC	—	18	V

●電気的特性(特に指定のない限り Ta=25°C, VCC=3.6V)

項目		記号	規 格 値			単位	条件
			最小	標準	最大		
【低電圧入力誤動作防止回路部】							
検出スレッシュホールド電圧		Vuv	－	2.2	2.35	V	VDD sweep down
ヒステリシス幅		Δ Vuvhy	50	100	150	mV	
【発振器】							
発振周波数		Fosc	0.72	0.8	0.88	MHz	
LX1 Max Duty		Dmax1	82	86	90	%	
LX2 Max Duty		Dmax2	82	86	90	%	
【エラーアンプ、VREF】							
CH1 出力電圧		VO1	－5.06	－5.00	－4.94	V	NON1 feedback resistance 20kΩ , 100kΩ
VREF ラインレギュレーション		DVLi	－	4.0	12.5	mV	VDD=2.5～5.5V
INV スレッシュホールド電圧		VINV2	0.792	0.800	0.808	V	
NON1 入力バイアス電流		INON1	－50	0	50	nA	STB1=3.6V, NON1=－0.2V
INV2 入力バイアス電流		IINV2	－50	0	50	nA	INV2=1.2V
CH1 起動時間		TSS1	3.7	4.2	4.7	ms	
CH2 起動時間		TSS2	3.7	4.2	4.7	ms	
【内蔵 FET 部】							
LX1 PMOS ON 抵抗		RON1p	－	230	350	mΩ	
DIS1 放電抵抗		RDIS1	－	100	160	Ω	VSTB1=0V, IDIS1=－1mA
NON1 放電抵抗		RNON1	－	150	240	Ω	VSTB1=0V, INON1=1mA
LX2 Highside SW ON 抵抗		RON2p	－	130	220	mΩ	
LX2 NMOS ON 抵抗		RON2n	－	230	350	mΩ	
LX1 OCP スレッシュホールド		Iocp1	1.2	2.4	－	A	
LX2 OCP スレッシュホールド		Iocp2	1.2	2.4	－	A	
HS2L リーク電流		IleakH1	－1	0	1	μA	
LX1 リーク電流		I leak1	－1	0	1	μA	
LX2 リーク電流		I leak2	－1	0	1	μA	
【STB】							
STB 端子	動作	VSTBH	1.5	－	5.5	V	
制御電圧	非動作	VSTBL	－0.3	－	0.3	V	
STB 端子プルダウン抵抗		RSTB	500	800	1400	kΩ	
【回路電流】							
スタンバイ電流		ISTB	－	－	1	μA	
動作時回路電流 VDD		IDD	－	500	650	μA	STB1=STB2=3.6V NON1=－0.2V, INV2=1.2V

◎耐放射線設計はしていません。

●参考データ  
(特に指定のない限り Ta=25°C, VCC=3.6V)

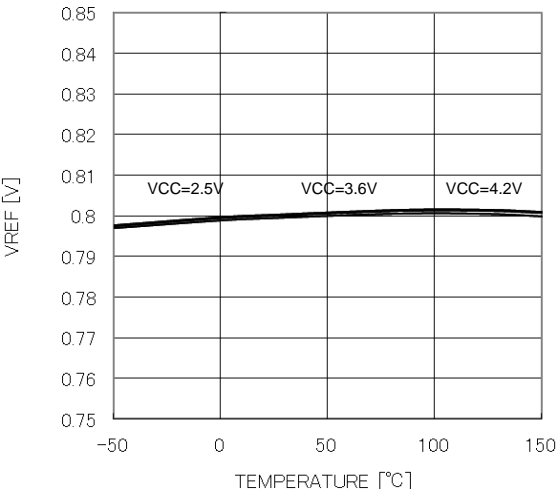


Figure 4. VREF vs temp

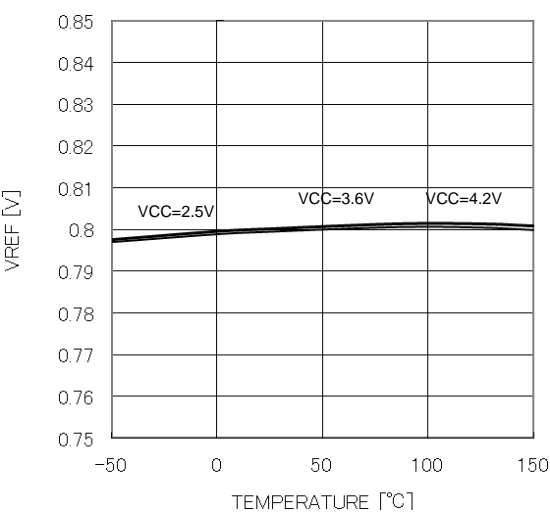


Figure 5. INV2 threshold vs temp

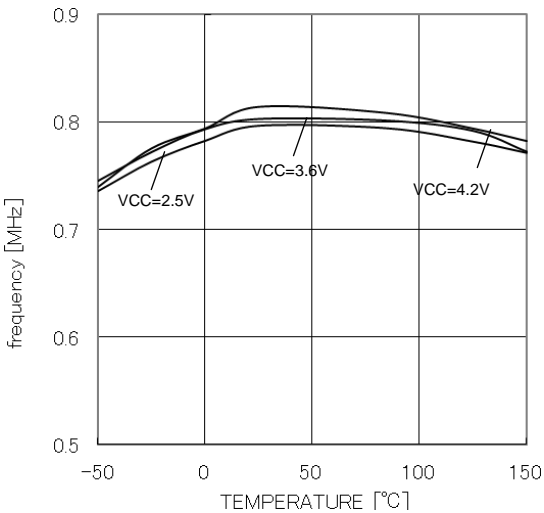


Figure 6. Oscillation frequency vs temp

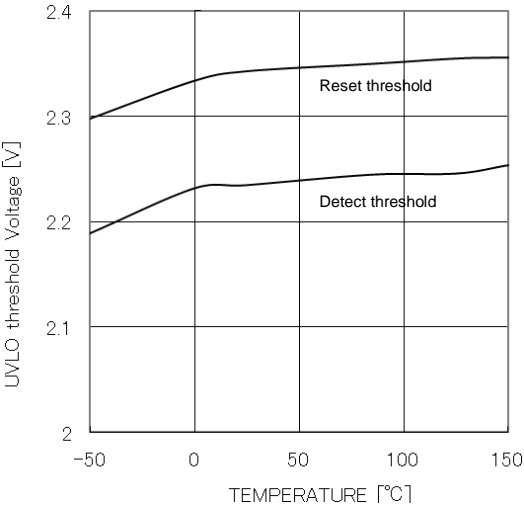


Figure 7. UVLO detect threshold Vs temp

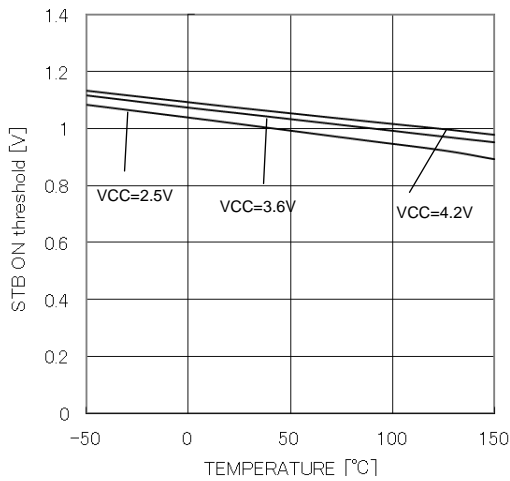


Figure 8. STB ON threshold voltage vs temp

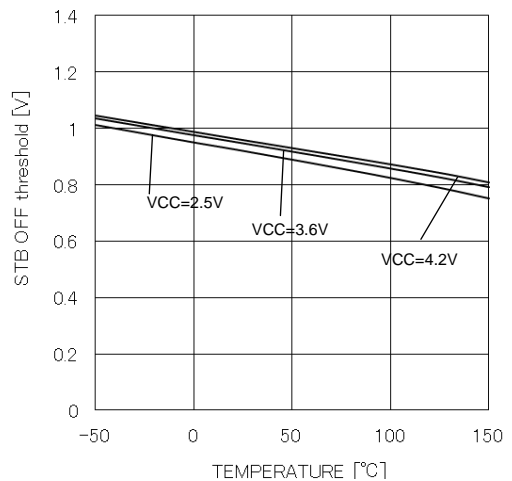


Figure 9. STB OFF threshold voltage vs temp

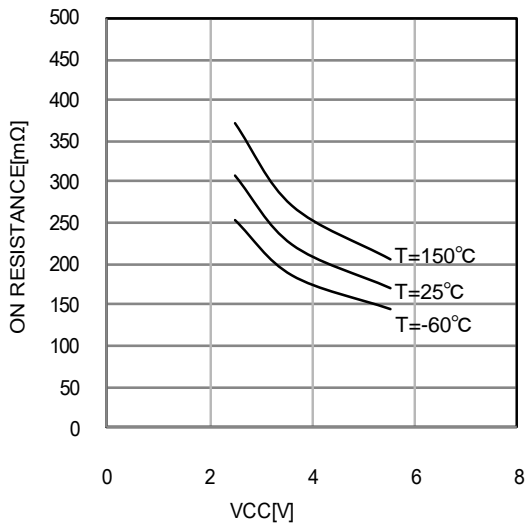


Figure 10. LX1 high side FET ON resistance vs VCC

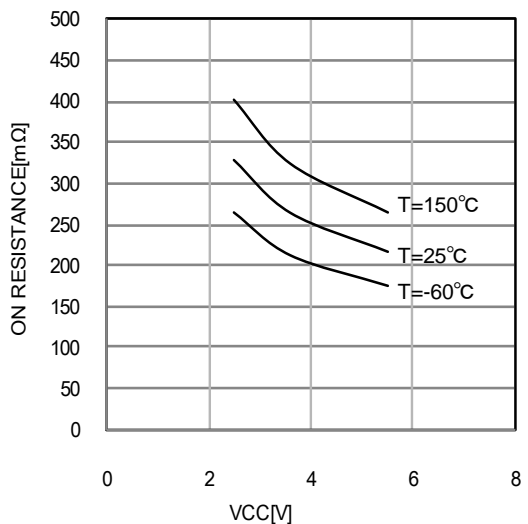


Figure 11. LX2 high side FET ON resistance vs VCC



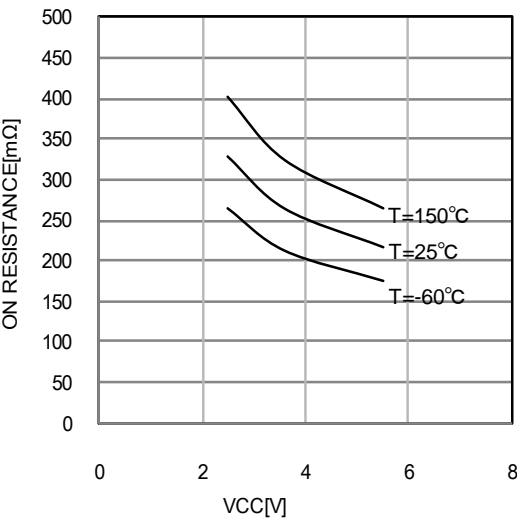


Figure 12. HS2L high side FET ON resistance vs VCC

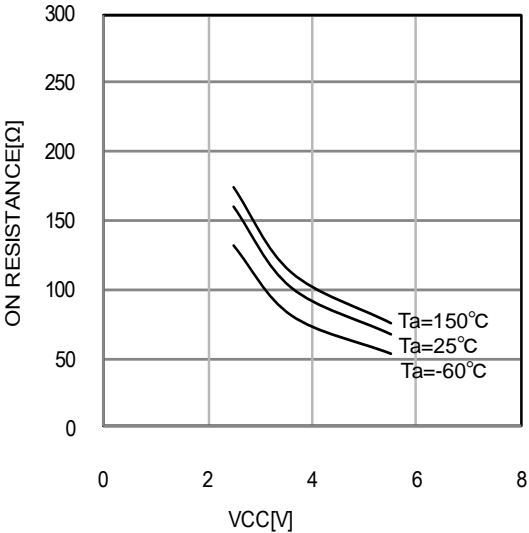


Figure 13. DIS1 discharge SW ON resistance vs VCC

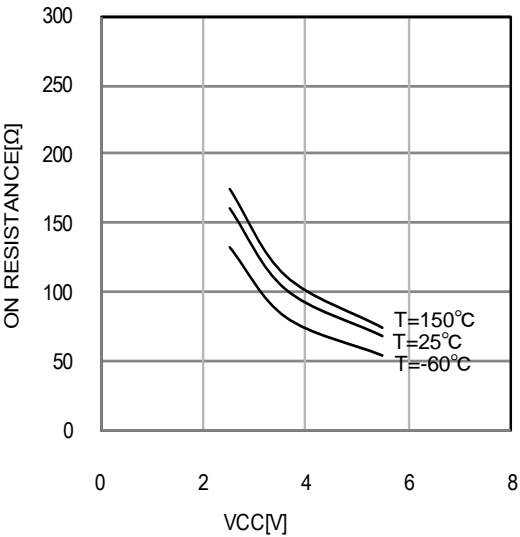


Figure 14. NON1 discharge SW ON resistance vs VCC

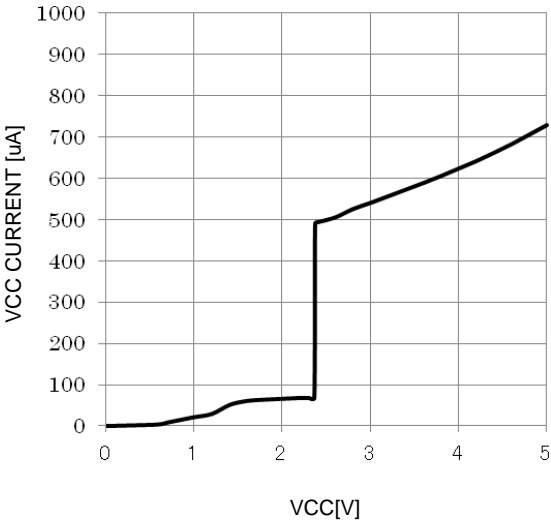


Figure 15. VCC input current vs VCC (STB ON)

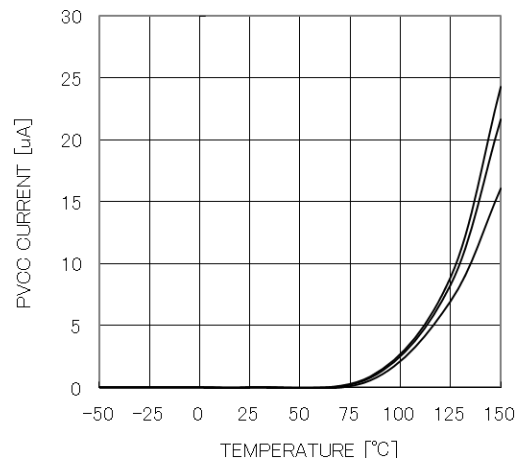


Figure 16. VCC input current vs Temp (STB OFF)

●アプリケーション例1 入力 :2.5~5.5V

出力 :ch1 -5.0V / 100mA(MAX)

:ch2 5.0V / 100mA(MAX)

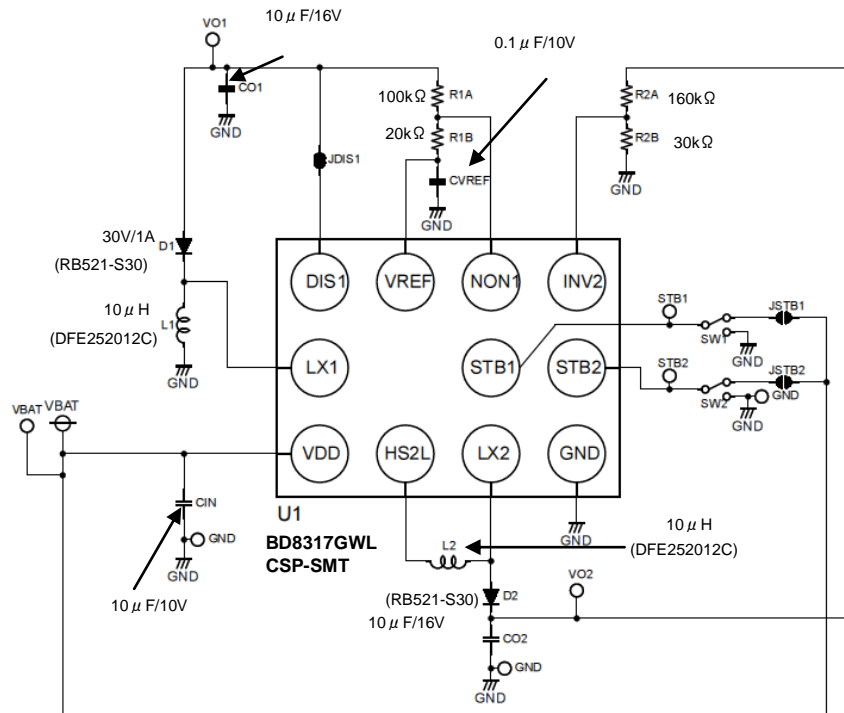


Figure 17. Example of Application1

●基板レイアウト  
ROHM 製表面実装評価基板

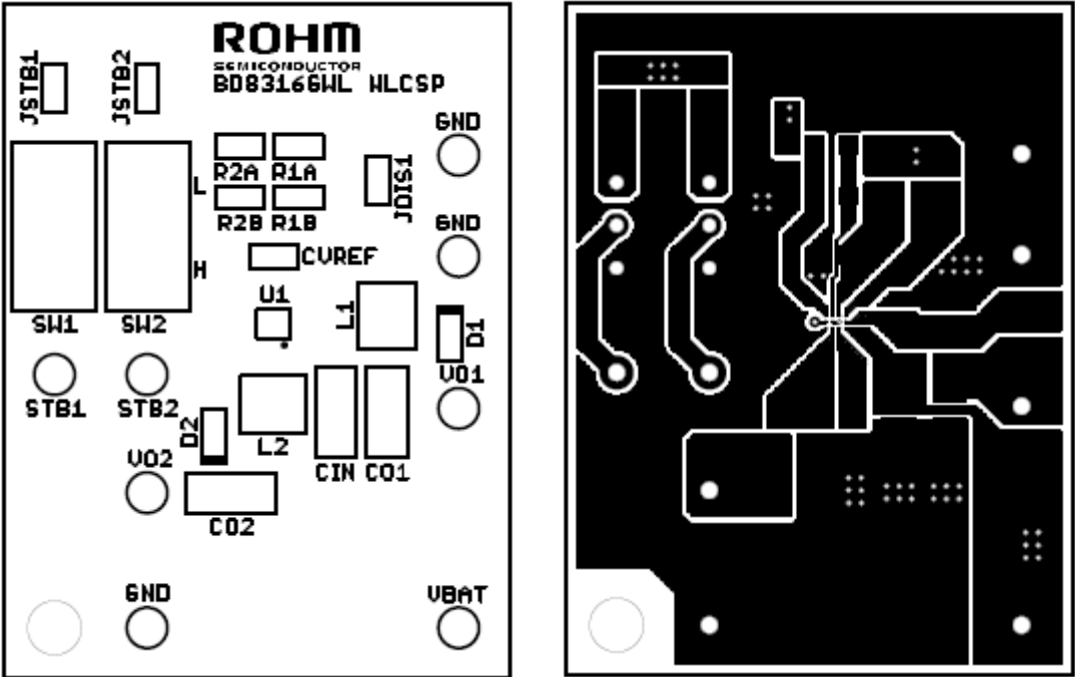


Figure 18. Assembly Layer

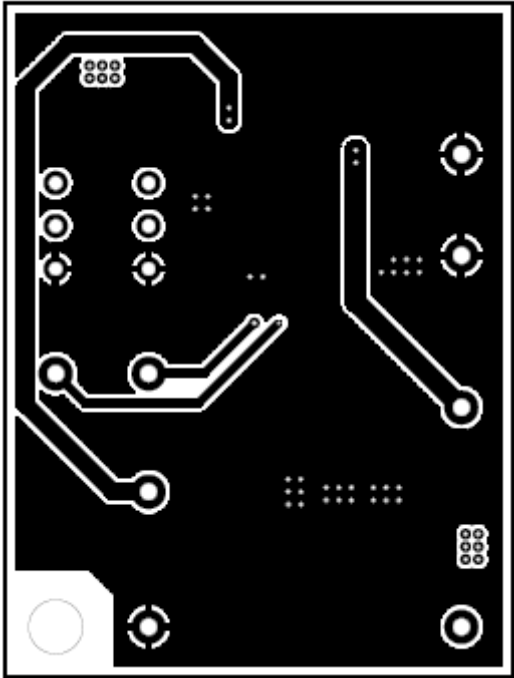


Figure 19. Bottom Layer

●参考アプリケーションデータ  
(特に指定のない限り Ta=25°C, VCC=3.6V)

(アプリケーション例 1)

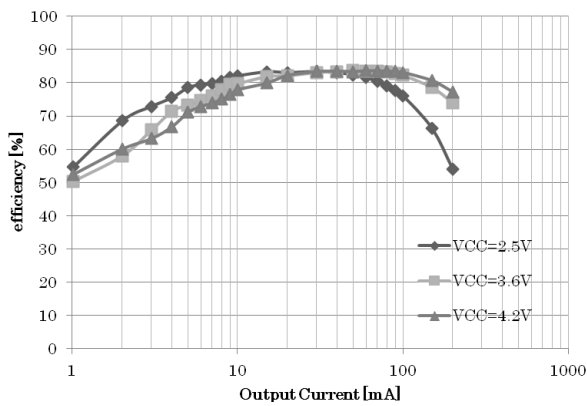


Figure 20. CH1 Power conversion efficiency vs output current

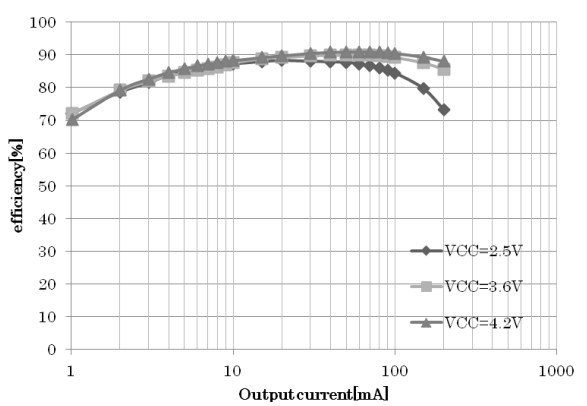


Figure 21. CH2 Power conversion efficiency vs output current

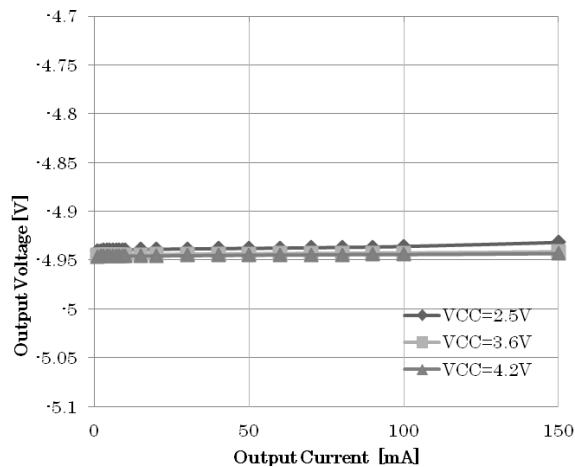


Figure 22. CH1 Output voltage vs Output Current

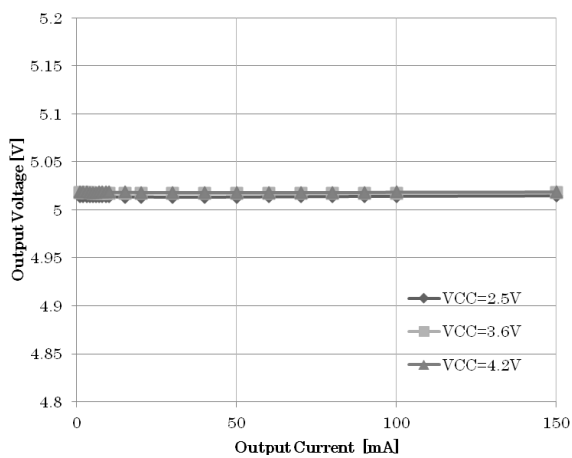


Figure 23. CH2 Output voltage vs Output Current

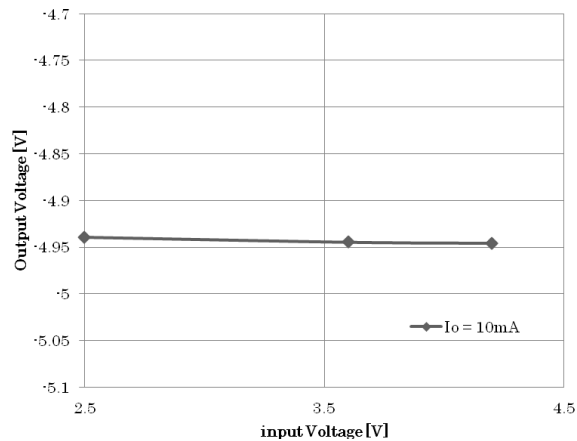


Figure 24. CH1 Output voltage vs Input voltage

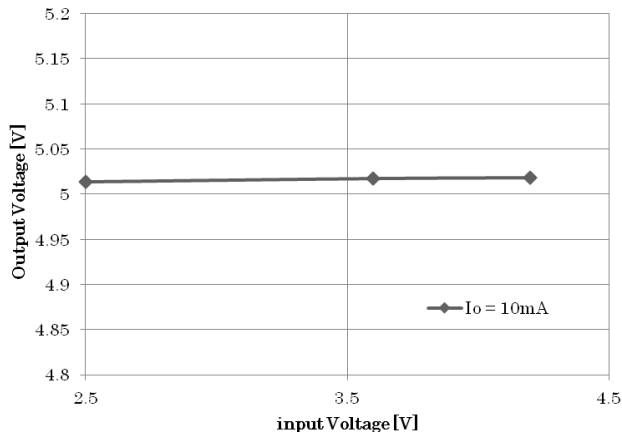


Figure 25. CH2 Output voltage vs Input voltage

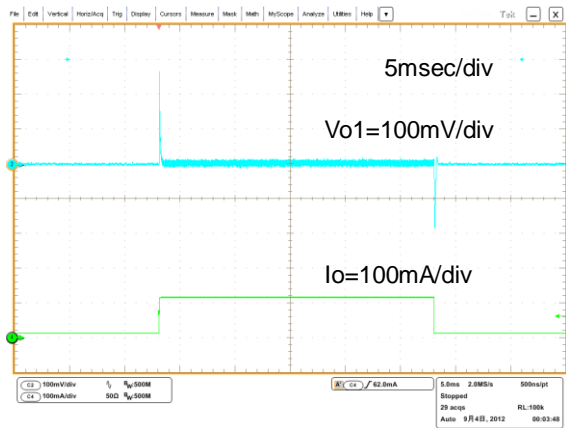


Figure 26. CH1 Output current response (output current : 10mA ⇔ 100mA)

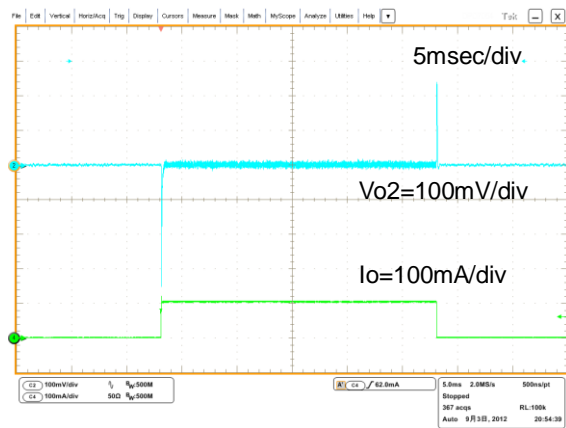


Figure 27. CH2 Output current response (output current : 10mA ⇔ 100mA)

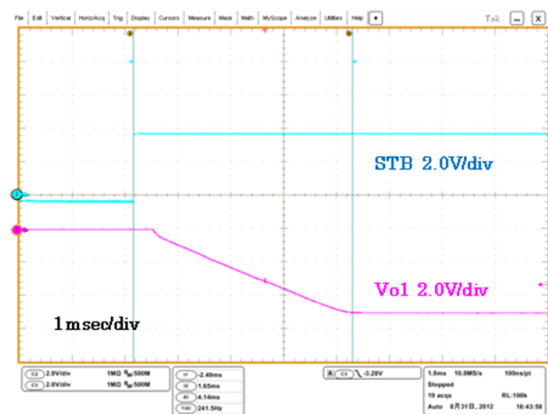


Figure 28. CH1 Soft start waveform

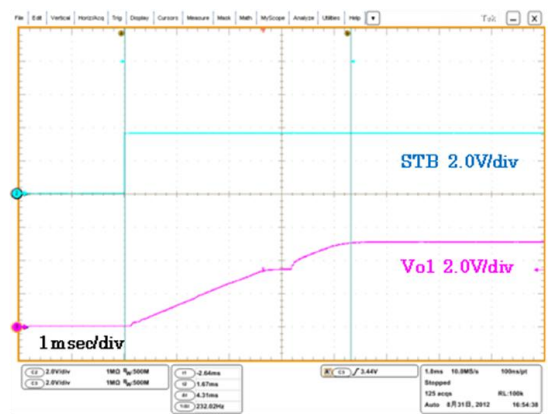


Figure 29. CH2 Soft start waveform

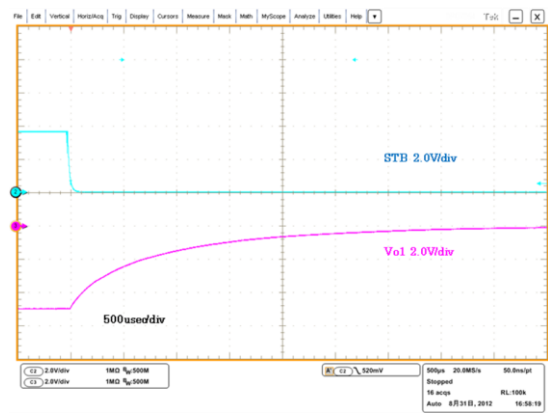


Figure 30. CH1 Discharge waveform  
[500usec/div]

## ●アプリケーション部品選定方法

## (1)インダクタ

電流定格（下記電流値  $I_{peak}$ ）を満たし、ESR（直流等価抵抗）が低く、シールドタイプのを推奨いたします。

インダクタの値は出力リップル電流に大きく影響します。

出力電流は以下の式で表されます。

$$I_{peak} = \frac{V_{in} - V_{out} + V_f}{V_{in}} \times I_{out} + \frac{1}{2} \times \frac{V_{in} \times (-V_{out} + V_f)}{L \times f \times (V_{in} - V_{out} + V_f)} \quad (\text{反転チャネル})$$

$$I_{peak} = \frac{I_{out} \times V_{out}}{V_{in} \times \eta} + \frac{1}{2} \times \frac{V_{in} \times (V_{out} - V_{in})}{L \times f \times V_{out}} \quad (\text{昇圧チャネル})$$

$\eta$ : Efficiency(<0.92),  $f$ : Switching frequency(1.6MHz),  $L$ : inductance,

上式の第二項は Fig32 に図示されるコイルのリプル電流  $\Delta I_L$  です。コイルのリプル電流は最大出力電流の 20~50%となるように設定してください。

※コイルの定格を超える電流をコイルに流しますとコイルが磁気飽和を起こし、効率の低下や出力の発振を引き起こすことがあります。ピーク電流がコイルの定格電流を超えないよう十分なマージンをもって選定してください。

## (2)出力電圧設定

## CH1

反転基準電圧の  $V_{REF}$  は 1V, ERRORAMP の内部基準電圧は 0V, となっています。出力電圧は Fig.33 を参考に決定して下さい。Fig.33 の  $R1A, R1B$  以外の素子は内蔵となっております。

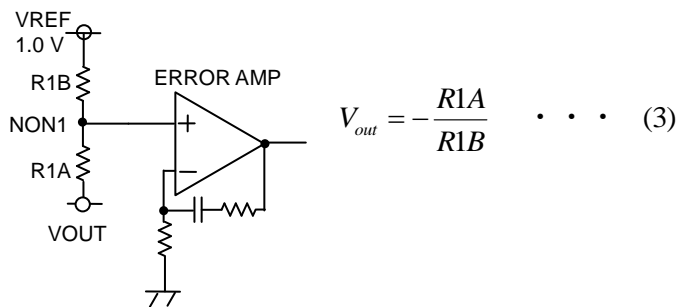


Figure 32. CH1 帰還抵抗設定方法

## CH2

ERROR AMP の内部基準電圧は 0.8V となっています。出力電圧は Fig.34 を参考に決定してください。

Fig34 の  $R2A, R2B$  以外の素子は内蔵となっております。

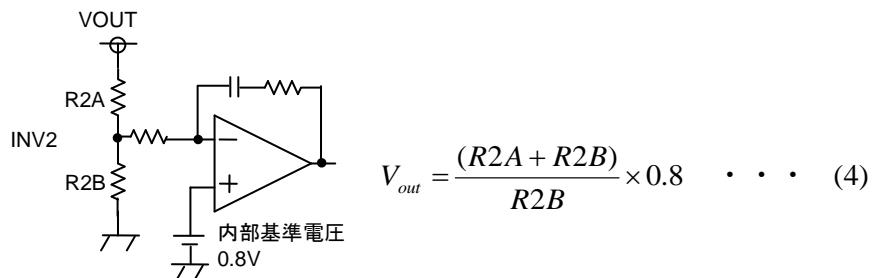


Figure 33. CH2 帰還抵抗設定方



## (3)出力コンデンサ

出力コンデンサは出力電圧リップルを軽減するため、ESR の低いセラミックコンデンサを推奨いたします。  
また、コンデンサの定格はDCバイアス特性を考慮にいれたうえ、最大定格が出力電圧に対して十分マージンのあるものを使用してください。セラミックコンデンサを用いた場合の出力リップル電圧は次式より求められます。

$$V_{pp} = \Delta I_L \times \frac{1}{2\pi \times f \times C} + \Delta I_L \times R_{ESR} \quad [V] \quad \dots (2)$$

$R_{ESR}$ : コンデンサ直流等価抵抗

4.7 $\mu$ F～20 $\mu$ F の推奨範囲内にて許容リップル電圧内に収まるよう設定を行ってください。

●入出力等価回路図

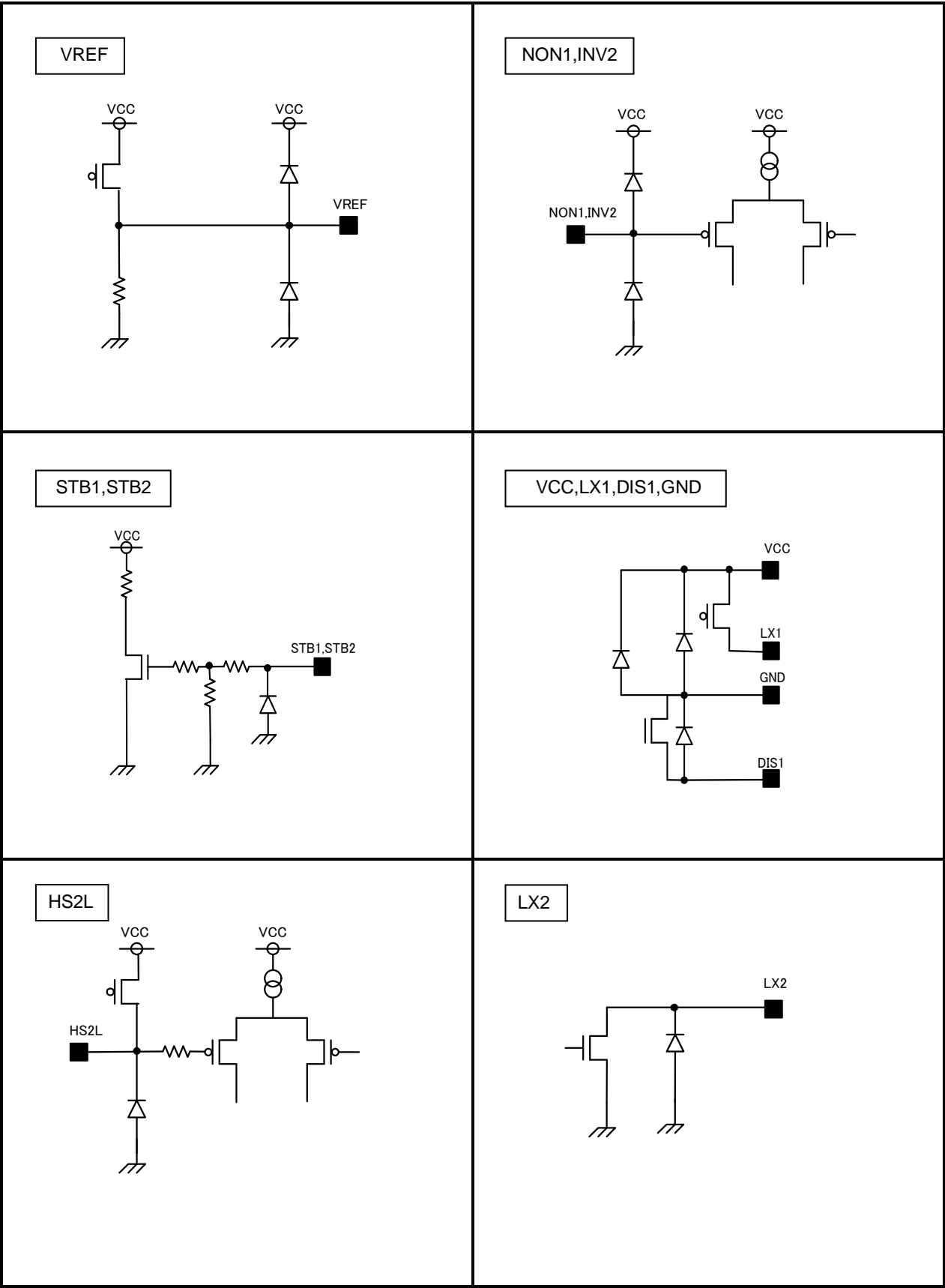


Figure 34. 入出力等価回路図

## ●使用上の注意

## 1.) 絶対最大定格について

本製品におきましては品質管理には十分注意を払っておりますが、印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は劣化または破壊に至る可能性があります。またショートモードもしくはオープンモード等破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズ等物理的な安全対策を施して頂けるとご検討をお願いします。

## 2.) GND 電位について

GND ピンの電位はいかなる動作状態においても、最低電位になるようにして下さい。

## 3.) 熱設計について

実際の使用状態での許容損失(Pd)を考え、十分マージンを持った熱設計を行って下さい。

## 4.) ピン間ショートと誤装着について

プリント基板にとりつける際、IC の向きや位置ずれに十分注意して下さい。誤って取り付けした場合、IC が破壊する恐れがあります。

また出力間や出力と電源 GND 間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

## 5.) 強電磁界中の動作について

強電磁界中でのご使用では、誤動作をする可能性がありますのでご注意下さい。

## 6.) 共通インピーダンスについて

電源及び GND の配線は、共通のインピーダンスを下げる、リップルを出来るだけ小さくする(配線を出来るだけ太く短くする、L.C によりリップルを落とす)等、十分な配慮を行って下さい。

## 7.) 温度保護回路(TSD 回路)

本 IC は温度保護回路(TSD 回路)を内蔵しています。温度保護回路(TSD 回路)はあくまでも熱的暴走から IC を遮断することを目的とした回路であり、IC の保護及び保証を目的としておりません。よって、この回路を動作させて以降の連続使用及び動作を前提とした使用はしないで下さい。

## 8.) 電源投入時のラッシュカレントについて

CMOS IC、複数電源を持つ IC では電源投入時に、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や、電源、GND パターン配線の幅、引き回しに注意して下さい。

## 9.) IC 端子入力について

本 IC はモノリシック IC であり、各素子間に素子分離の為に P+アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接続が形成され、各種の寄生素子が構成されます。

例えば図 47 のように抵抗とトランジスタが端子と接続されている場合、

○抵抗では、GND>(端子 A)の時、トランジスタ(NPN)では GND>(端子 B)の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ(NPN)では、GND>(端子 B)の時、

前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入力端子に GND(P 基板)より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。

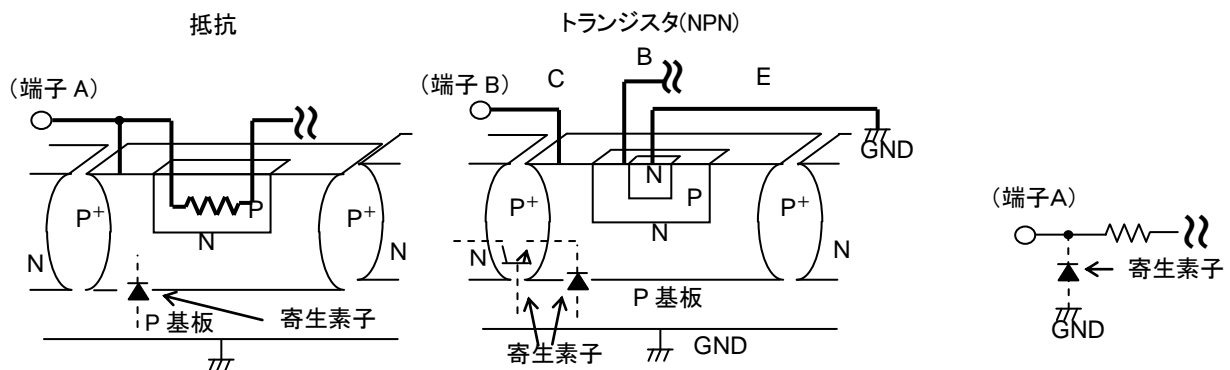
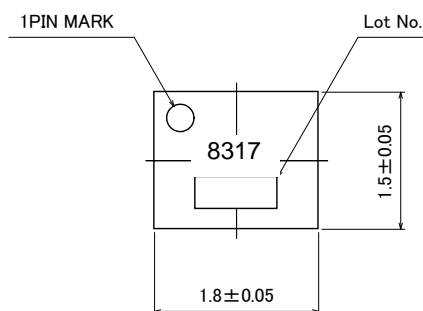


Figure 35. バイポーラ IC の簡易構

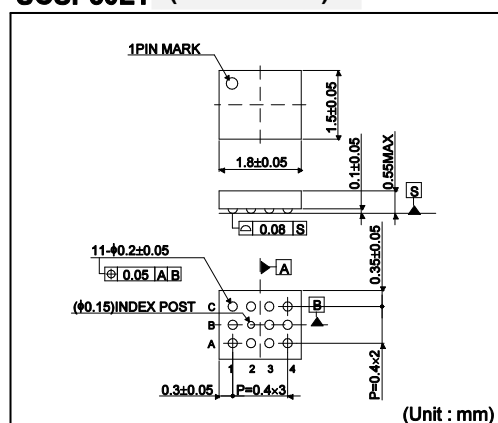
### ●発注形名セクション

B	D	8	3	1	7	G	W	L	-	E2
ローム形名		品番				パッケージ GWL: UCSP50L1			包装、フォーミング仕様 E2: リール状エンボステープング	

●標印図

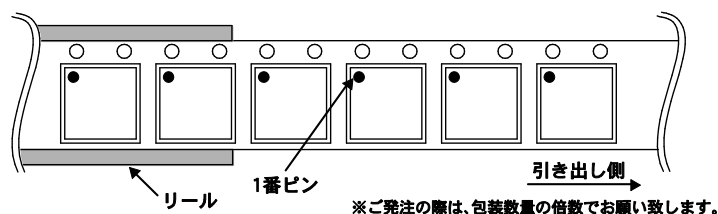


## UCSP50L1 (BD8317GWL)



＜包装仕様＞

包装形態	エンボステーピング
包装数量	3000pcs
包装方向	E2 ( リールを左手に持ち、右手でテープを引き出したときに 製品の1番ピンが左上にくる方向 )



# ご注意

## ローム製品取扱い上の注意事項

1. 本製品は一般的な電子機器（AV 機器、OA 機器、通信機器、家電製品、アミューズメント機器等）への使用を意図して設計・製造されております。従いまして、極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険若しくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器<sup>(Note 1)</sup>、輸送機器、交通機器、航空宇宙機器、原子力制御装置、燃料制御、カーアクセサリを含む車載機器、各種安全装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

2. 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、かかる誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
  - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
  - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
3. 本製品は、一般的な電子機器に標準的な用途で使用されることを意図して設計・製造されており、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。従いまして、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
  - ①水・油・薬液・有機溶剤等の液体中でのご使用
  - ②直射日光・屋外暴露、塵埃中でのご使用
  - ③潮風、Cl<sub>2</sub>、H<sub>2</sub>S、NH<sub>3</sub>、SO<sub>2</sub>、NO<sub>2</sub> 等の腐食性ガスの多い場所でのご使用
  - ④静電気や電磁波の強い環境でのご使用
  - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合。
  - ⑥本製品を樹脂等で封止、コーティングしてのご使用。
  - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用された場合も、残渣の洗浄は確実にを行うことをお勧め致します)、又ははんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合。
  - ⑧本製品が結露するような場所でのご使用。
4. 本製品は耐放射線設計はなされておられません。
5. 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
6. パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
7. 許容損失(Pd)は周囲温度(Ta)に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、ディレーティングカーブ範囲内であることをご確認ください。
8. 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
9. 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

## 実装及び基板設計上の注意事項

1. ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
2. はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

## **応用回路、外付け回路等に関する注意事項**

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。従いまして、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

## **静電気に対する注意事項**

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施の上、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。（人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等）

## **保管・運搬上の注意事項**

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
  - ①潮風、Cl<sub>2</sub>、H<sub>2</sub>S、NH<sub>3</sub>、SO<sub>2</sub>、NO<sub>2</sub>等の腐食性ガスの多い場所での保管
  - ②推奨温度、湿度以外での保管
  - ③直射日光や結露する場所での保管
  - ④強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認した上でご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行った上でご使用ください。

## **製品ラベルに関する注意事項**

本製品に貼付されている製品ラベルに QR コードが印字されていますが、QR コードはロームの社内管理のみを目的としたものです。

## **製品廃棄上の注意事項**

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

## **外国為替及び外国貿易法に関する注意事項**

本製品は外国為替及び外国貿易法に定める規制貨物等に該当するおそれがありますので輸出する場合には、ロームにお問い合わせください。

## **知的財産権に関する注意事項**

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等（ソフトウェア含む）との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ローム若しくは第三者が所有又は管理している知的財産権、その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。但し、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

## **その他の注意事項**

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社若しくは第三者の商標又は登録商標です。

**一般的な注意事項**

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。