

2.7V~5.5V 入力, 2A 同期整流 1ch 降圧 DC/DC コンバータ

BD89630EFJ BD89630JEFJ

●概要

ロームの高効率降圧スイッチングレギュレータ BD89630EFJ、BD89630JEFJ は 5.5V/3.3V 以下の電源ラインから 1V などの低電圧を作る電源で、同期整流回路にて高効率化を実現します。また、カレントモード制御方式を採用しており、負荷急変における高速過渡応答を実現しています。

●特長

- カレントモード PWM 制御方式により高速過渡応答実現
- 同期整流内蔵(Nch/Pch FET)により高効率
- ソフトスタート機能内蔵
- 温度・UVLO 保護機能内蔵
- タイマラッチ式 ショート保護機能内蔵
- シャットダウン機能内蔵

●用途

DSP、マイコンや ASIC などの LSI 用電源

●アプリケーション回路

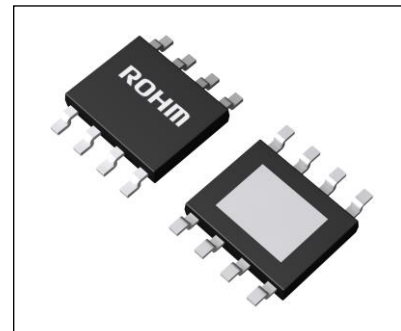
●重要特性

- 入力電圧範囲: 2.7V~5.5V
- 出力電圧範囲: 1.0V~2.5V
- 平均出力電流: 2A(Max.)
- スwitchング周波数: 1MHz(Typ.)
- PMOS ON 抵抗: 145mΩ(Typ.)
- NMOS ON 抵抗: 80mΩ(Typ.)
- スタンバイ電流: 5μA (Typ.)
- 動作温度範囲: -25°C~+85°C

●パッケージ

HTSOP-J8

(Typ.) (Typ.) (Max.)
4.90mm x 6.00mm x 1.00mm



HTSOP-J8

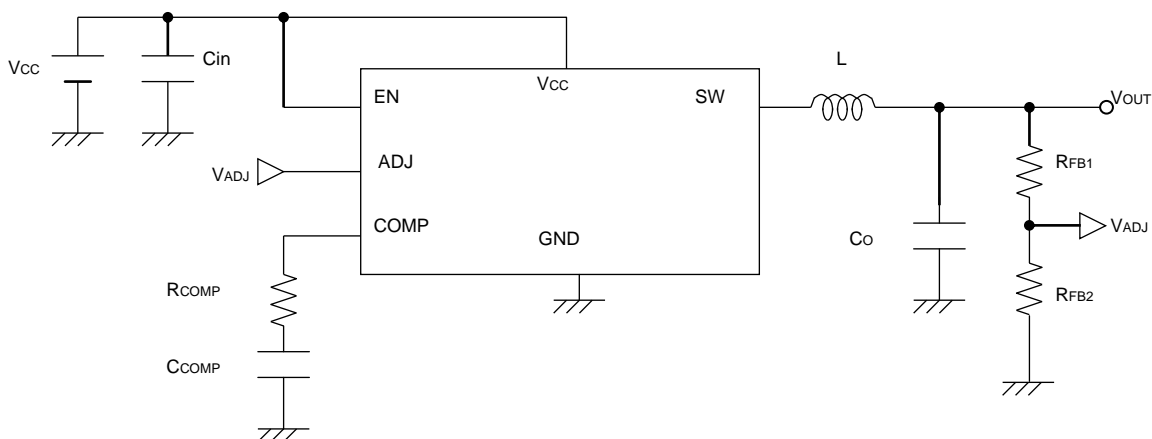


Fig.1 アプリケーション回路例

●端子配置図

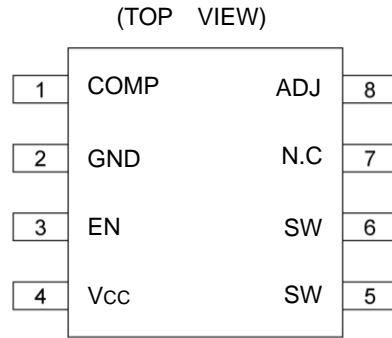


Fig.2 端子配置図

●端子説明

Pin No.	端子名	端子機能
1	COMP	GmAmp 出力端子/位相補償用端子
2	GND	GND 端子
3	EN	イネーブル端子(High アクティブ,オープンアクティブ)
4	Vcc	Vcc 電源入力端子
5	SW	Pch/Nch FET ドレイン出力端子
6	SW	Pch/Nch FET ドレイン出力端子
7	N.C	Non Connection
8	ADJ	出力電圧可変端子

●ブロック図

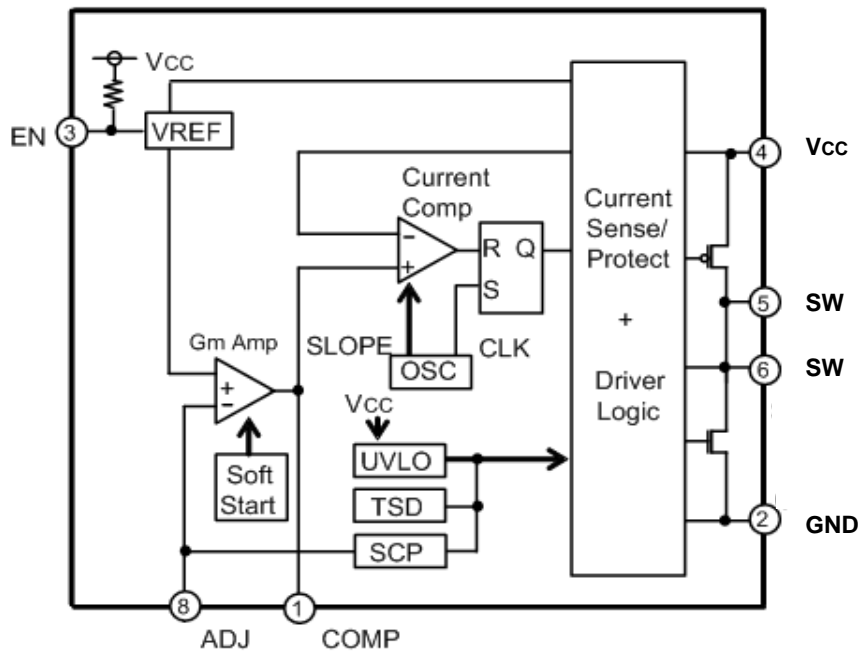


Fig.3 ブロック図

●絶対最大定格(Ta=25°C)

項目	記号	定格	単位
Vcc 電圧	VCC	-0.3 ~ +7 ^{*1}	V
EN 電圧	VEN	-0.3 ~ +7	V
SW,COMP 電圧	VSW VCOMP	-0.3 ~ +7	V
許容損失 1	Pd1	0.5 ^{*2}	W
許容損失 2	Pd2	3.76 ^{*3}	W
動作温度範囲	Topr	-25 ~ +85	°C
保存温度範囲	Tstg	-55 ~ +150	°C
最高接合部温度	Tjmax	+150	°C

*1 ただし、Pd を超えないこと。

*2 Ta≥25°Cの場合 4.0mW/°Cで軽減。(IC 単体時)

*3 Ta≥25°Cの場合 30.0mW/°Cで軽減。(70mm×70mm×1.6mm ガラスエポキシ基板(銅箔密度 3%)実装時)

●推奨動作条件(Ta=-25 ~ +85°C)

項目	記号	定格			単位
		最小	標準	最大	
VCC 電圧	VCC	2.7 ^{*5}	5.0	5.5	V
EN 電圧	VEN	0	-	Vcc	V
出力電圧設定範囲	VOUT	1.0	-	2.5 ^{*4}	V
SW 端子平均出力電流	ISW	-	-	2.0 ^{*5}	A

*4 ただし、出力電圧を 1.6V 以上に設定して使用する場合は VccMin.=Vout+2.25V とする。

*5 ただし、Pd を超えないこと。

●電気的特性(特に指定のない限り Ta=25°C Vcc=5V, EN=Vcc, R1=20kΩ, R2=7.5kΩ)

項目	記号	規格値			単位	条件
		最小	標準	最大		
スタンバイ時回路電流	ISTB	-	5	20	μA	EN=GND
アクティブ時回路電流	ICC	-	350	600	μA	
EN Low 電圧	VENL	-	GND	0.3	V	スタンバイ時
EN High 電圧	VENH	2.0	Vcc	-	V	アクティブ時
EN 流入電流	IEN	-	1.25	10	μA	VEN=5V
動作周波数	FOSC	0.8	1	1.2	MHz	
Pch FET ON 抵抗	RONP	-	145	290	mΩ	VCC=5V
Nch FET ON 抵抗	RONN	-	80	160	mΩ	VCC=5V
ADJ 端子電圧	VADJ	0.788	0.800	0.812	V	
COMP シンク電流	ICOSI	10	25	-	μA	VADJ=1.0V
COMP ソース電流	ICOSO	10	25	-	μA	VADJ=0.6V
UVLO 検出電圧	VUVLO1	2.400	2.500	2.600	V	VCC=5V→0V
UVLO 解除電圧	VUVLO2	2.425	2.550	2.700	V	VCC=0V→5V
ソフトスタート時間	TSS	0.5	1	2	ms	
タイマラッチ時間	TLATCH	1	2	4	ms	
出力短絡検出電圧	VSCP	-	VOUT × 0.5	VOUT × 0.7	V	VOUT=1.1V→0V

●特性データ

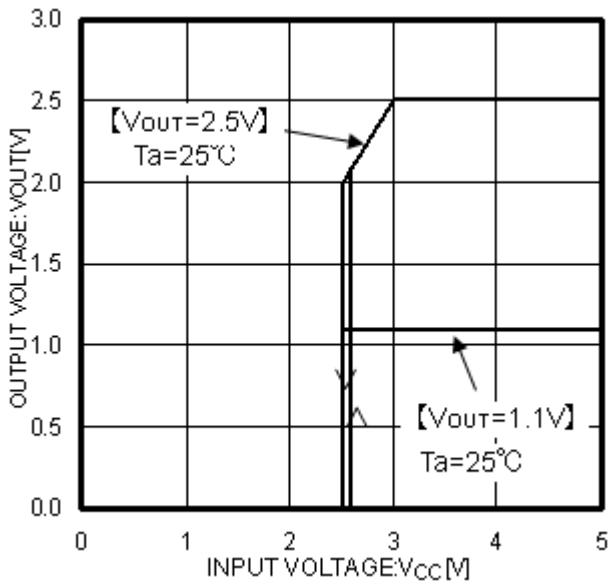


Fig.4 電源電圧—出力電圧

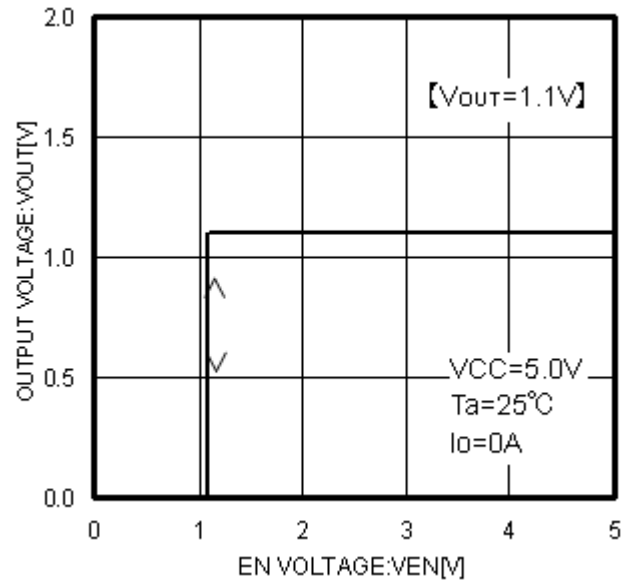


Fig.5 EN 電圧—出力電圧

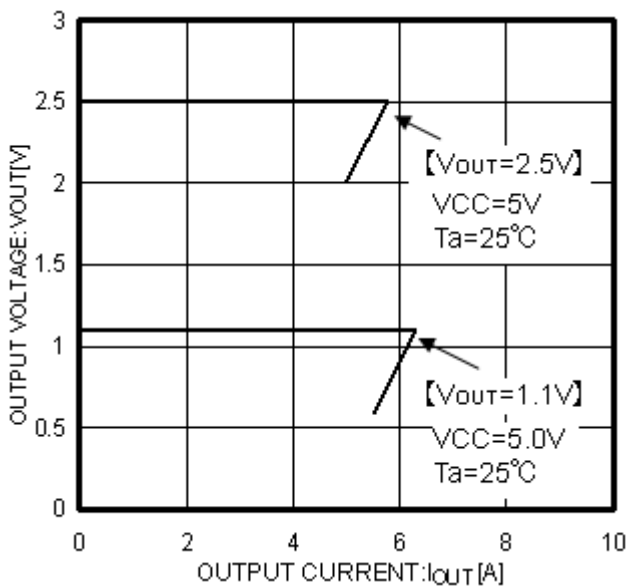


Fig.6 負荷電流—出力電圧

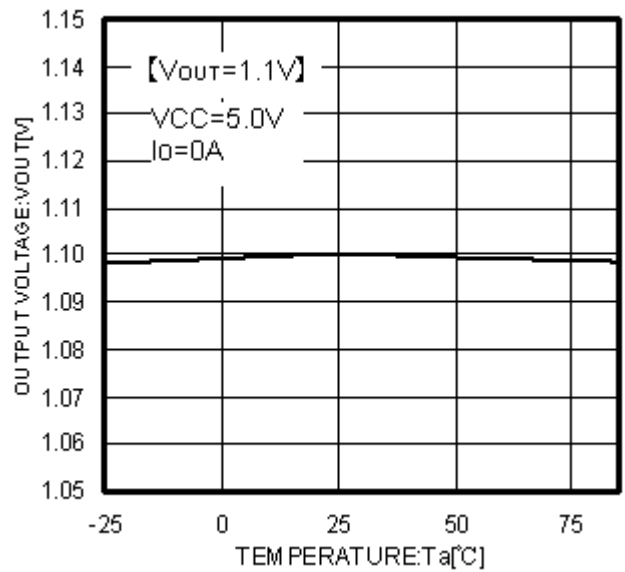


Fig. 7 温度—出力電圧

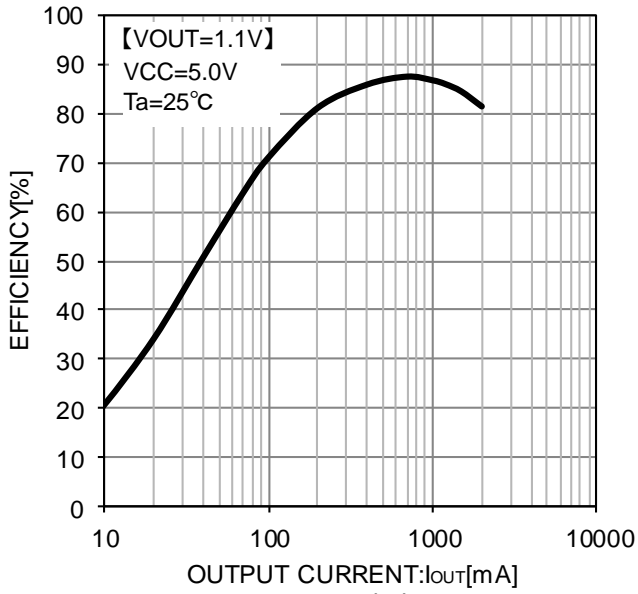


Fig.8 効率

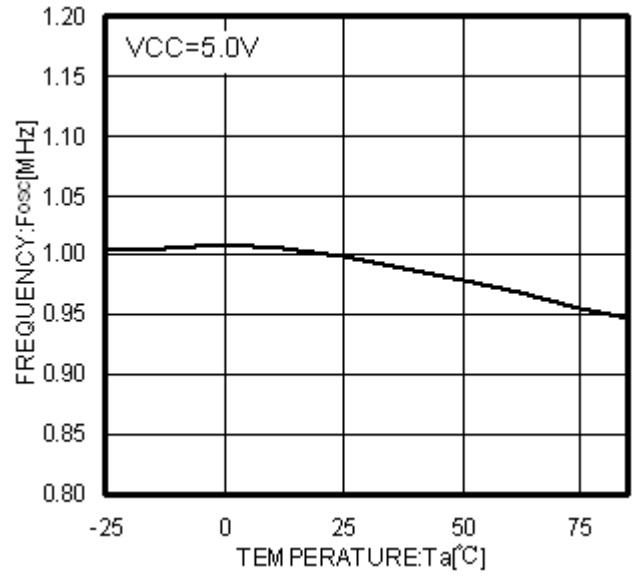


Fig.9 温度—動作周波数

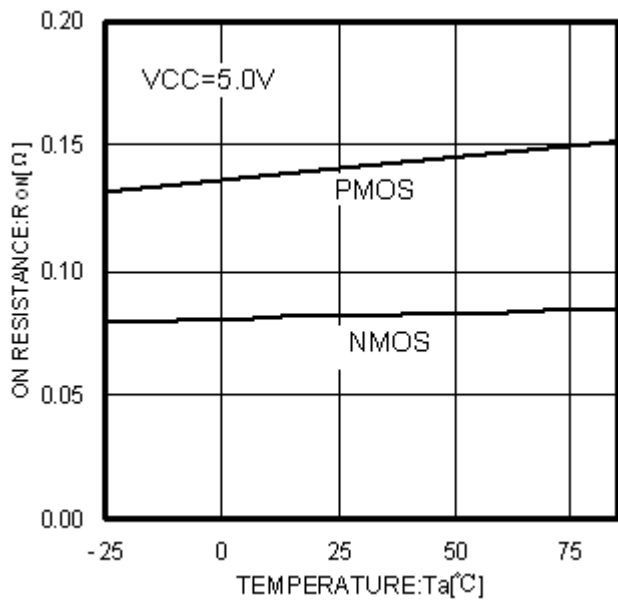


Fig.10 温度—NMOS,PMOS-FET ON 抵抗

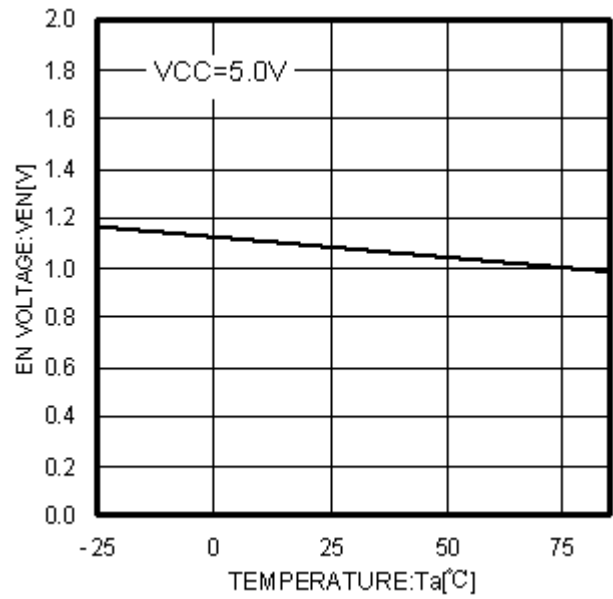


Fig.11 温度—EN スレッシュヨルド電圧

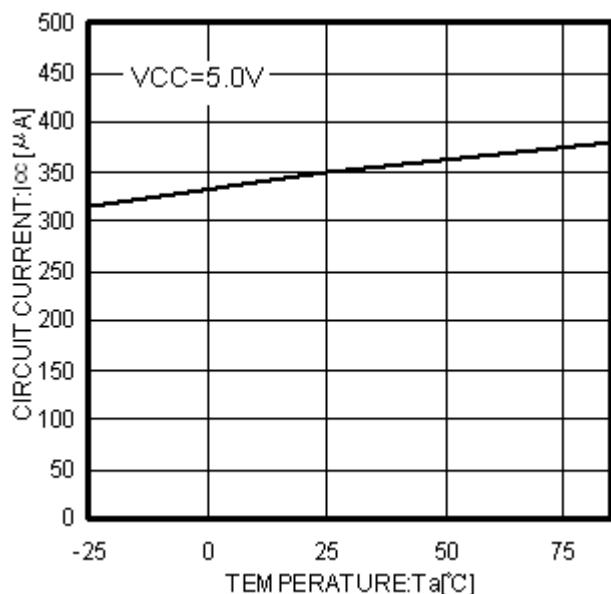


Fig.12 温度—アクティブ時回路電流

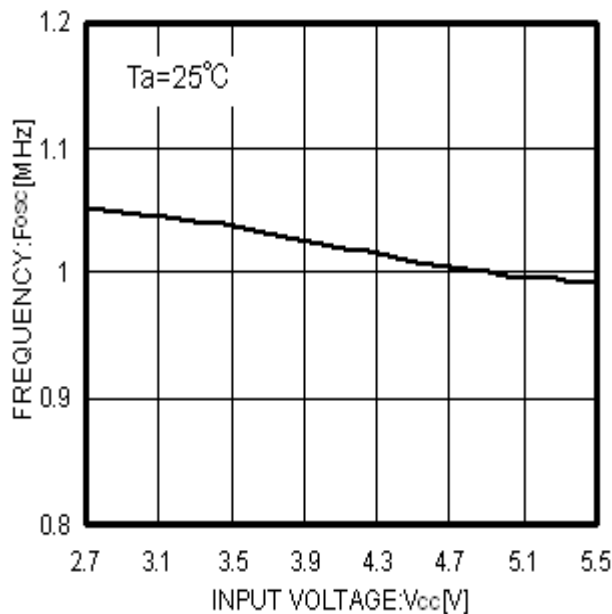


Fig.13 電源電圧—動作周波数

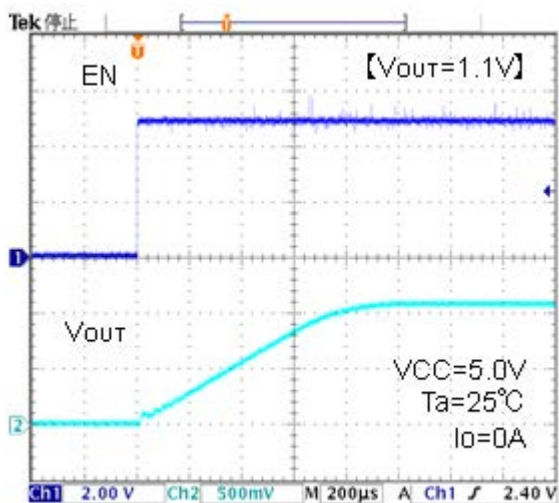


Fig.14 ソフトスタート波形

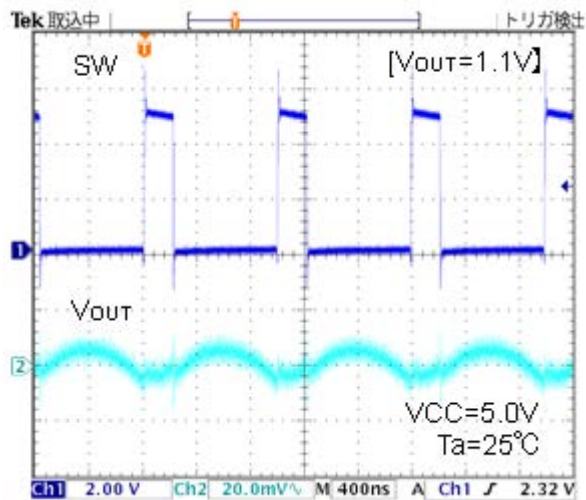


Fig.15 SW 波形 Io=10mA

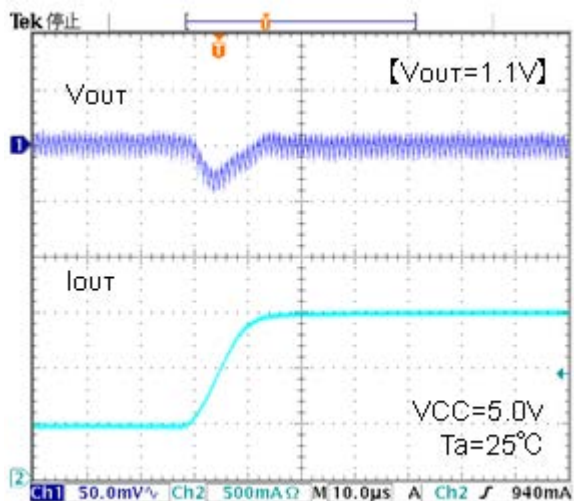


Fig. 16
負荷応答 I_o=0.5A→1.5A(10μs)

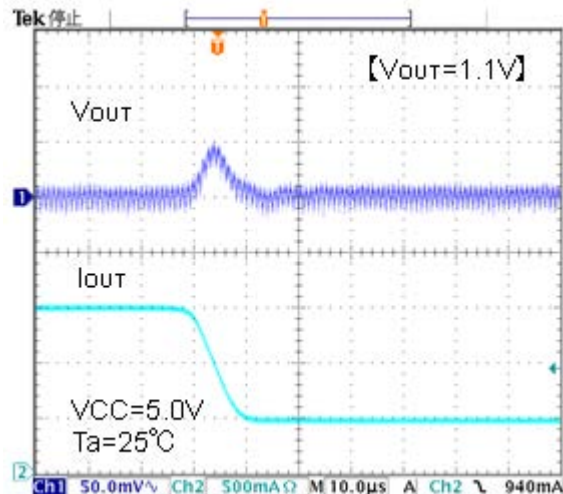


Fig. 17
負荷応答 I_o=1.5A→0.5A(10μs)

アプリケーション情報

●動作説明

○同期整流

従来の DC/DC コンバータ IC より外付け整流素子分の消費電力を減らすことができ、P.N 貫通防止機能によって動作時の貫通電流を抑えることにより、セットの消費電力を低減します。

○カレントモード PWM 制御

電圧帰還にコイル電流を帰還するループを追加して PWM 制御信号を合成しています。

・ PWM(Pulse Width Modulation)制御

PWM 発振周波数は 1MHz です。OSC から出力される SET 信号で Pch MOS FET がターン・オン(Nch MOS FET はターン・オフ)し、コイル電流 I_L が増加します。電流検出比較器(Current Comp)で、電流帰還制御信号(SENSE= I_L の変換電圧)が電圧帰還制御信号(FB)と一致すると RESET 信号を出力し、固定周期の残りの期間ターン・オフ(Nch MOS FET はターン・オン)します。PWM 制御はこれを繰り返します。

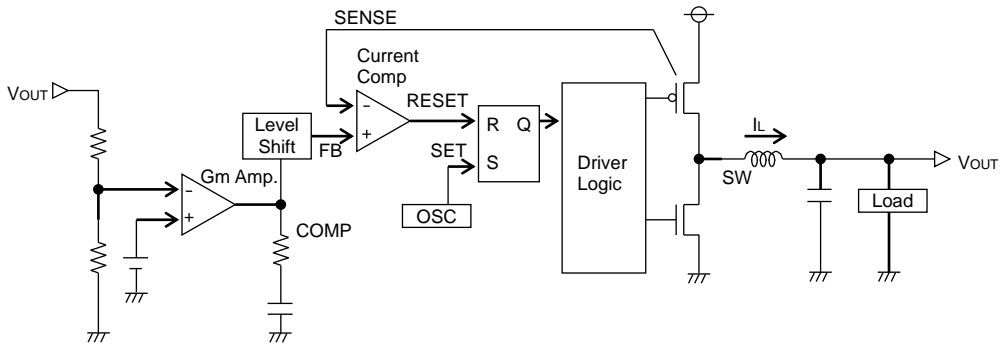


Fig.18 カレントモード PWM 制御ブロック図

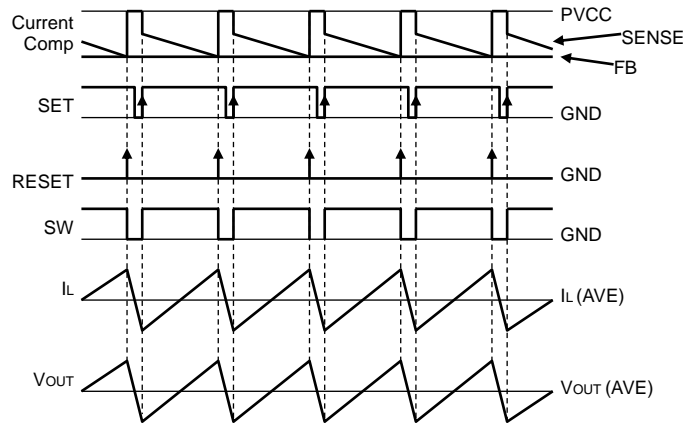


Fig.19 PWM スイッチングタイミングチャート

●各ブロック動作説明

・ソフトスタート機能

EN 端子を High にすると、ソフトスタート機能が働き起動時の電流に制限をかけながら緩やかに出力電圧が立ち上がりますので、出力電圧のオーバーシュートや突入電流を防ぐことができます。

・シャットダウン機能

EN 端子を Low にするとスタンバイモードとなり、基準電圧・内部発振器・ドライバなど全ての機能ブロックを OFF 状態とします。スタンバイ時の回路電流は 5 μ A(Typ.)です。

・UVLO 機能

BD89630EFJ、BD89630JEFJ の出力電圧を確保できる入力電圧が供給されているかを検出します。また、出力のチャタリングを防ぐために検出電圧に 50mV(typ.)のヒステリシス幅を設けています。

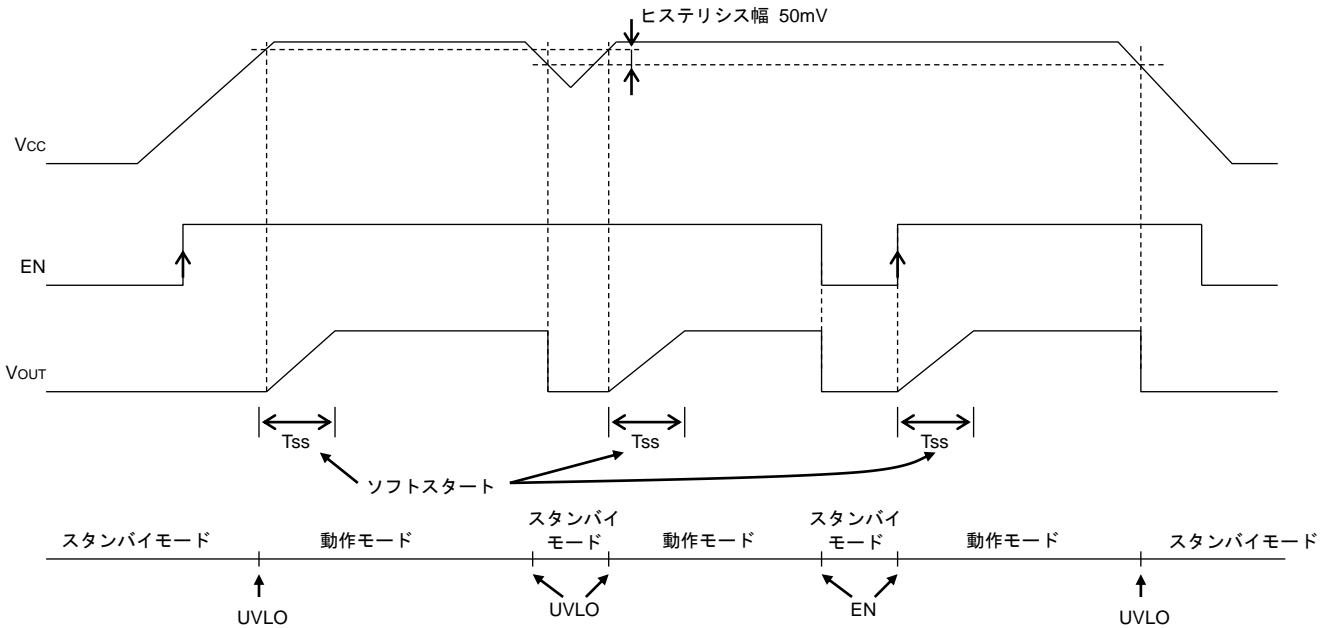


Fig.20 ソフトスタート、シャットダウン、UVLO タイミングチャート

・タイマラッチ式ショート保護機能

出力には過電流保護回路を内蔵しており、電流制限をかけます。さらに出力短絡保護回路によって、負荷ショートモードなどを検出し保護回路が一定時間以上連続動作すると、出力が OFF 状態でラッチし IC の破壊を防止します。EN を再投入するまたは、UVLO を再度解除することで出力が復帰します。

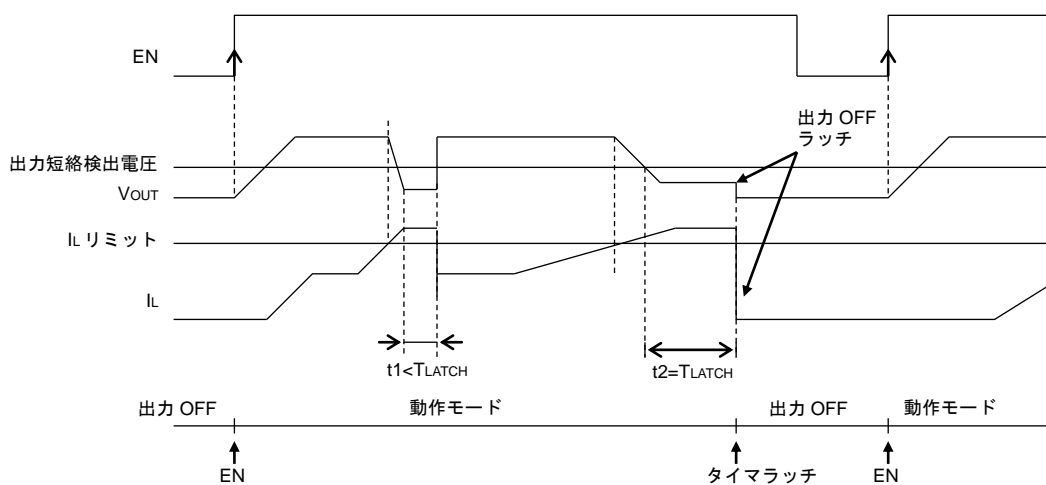


Fig.21 タイマラッチ式ショート保護タイミングチャート

●お客様への提案

メリット1: カレントモード制御方式により、高速過渡応答を実現します。

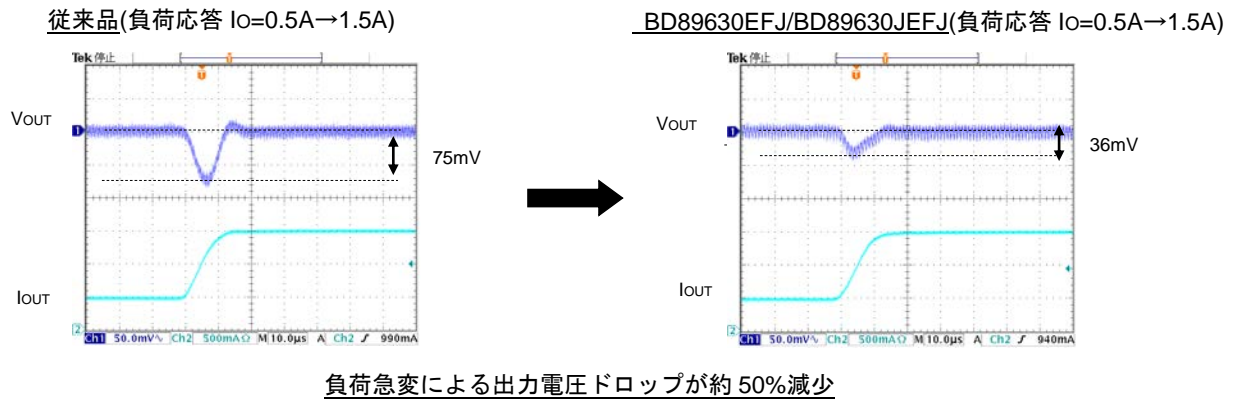
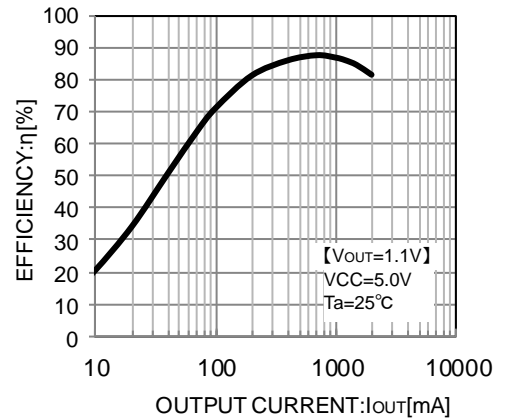


Fig.22 過渡応答比較

メリット2: BD89630EFJ、BD89630JEFJ は同期整流方式により高効率を実現します。

BD89630EFJ、BD89630JEFJ は同期整流方式を採用。また Power Tr に低 ON 抵抗の Power MOS FET を内蔵

- { Pch MOS FET ON 抵抗: 145mΩ(Typ.)
- { Nch MOS FET ON 抵抗: 80mΩ(Typ.)



メリット3: ・アプリケーションの小型化 (・カレントモード制御によりセラミックコンデンサ $C_o=10\mu F$ 使用可能
・動作周波数 1MHz により $L=1.5\mu H$

↓
実装面積を削減することができます。

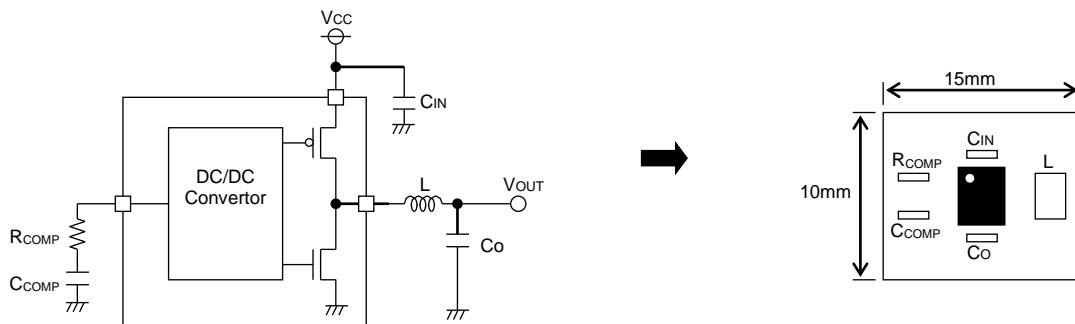


Fig.24 アプリケーション実装例

●スイッチング電源の効率について

効率 η は次式のように表せます。

$$\eta = \frac{V_{OUT} \times I_{OUT}}{V_{IN} \times I_{IN}} \times 100[\%] = \frac{P_{OUT}}{P_{IN}} \times 100[\%] = \frac{P_{OUT}}{P_{OUT} + P_{D\alpha}} \times 100[\%]$$

スイッチングレギュレータの損失の要因 $P_{D\alpha}$ は、下記のようなものがあげられ、これらを軽減することで効率を向上させることができます。

損失の要因

- 1) コイル、FET の ON 抵抗による損失 : $PD(I^2R)$
- 2) ゲート充放電損失 : $PD(\text{Gate})$
- 3) スイッチング損失 : $PD(\text{SW})$
- 4) コンデンサの ESR 損失 : $PD(\text{ESR})$
- 5) IC の動作電流損失 : $PD(\text{IC})$

1) $PD(I^2R) = I_{OUT}^2 \times (R_{COIL} + R_{ON})$ ($R_{COIL}[\Omega]$: コイルの DC 抵抗、 $R_{ON}[\Omega]$: FET の ON 抵抗、 $I_{OUT}[A]$: 出力電流)

2) $PD(\text{Gate}) = C_{gs} \times f \times V^2$ ($C_{gs}[F]$: FET のゲート容量、 $f[\text{Hz}]$: スイッチング周波数、 $V[V]$: FET のゲート駆動電圧)

3) $PD(\text{SW}) = \frac{V_{in}^2 \times C_{RSS} \times I_{OUT} \times f}{I_{DRIVE}}$ ($C_{RSS}[F]$: FET の逆伝達容量、 $I_{DRIVE}[A]$: ゲートのピーク電流)

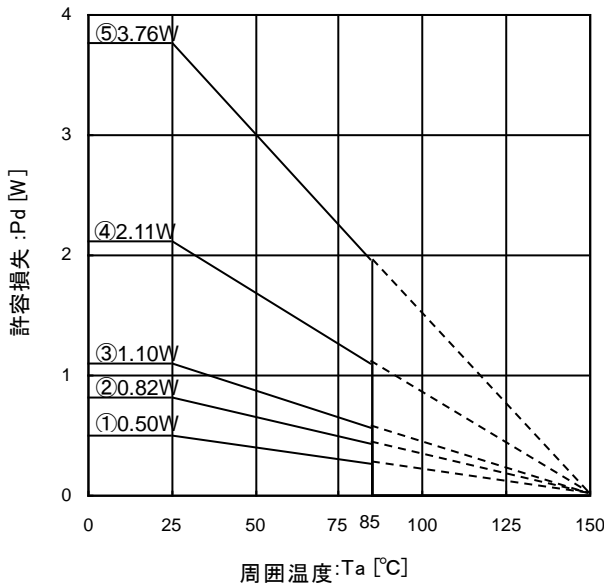
4) $PD(\text{ESR}) = I_{RMS}^2 \times ESR$ ($I_{RMS}[A]$: コンデンサのリプル電流、 $ESR[\Omega]$: 等価直列抵抗)

5) $PD(\text{IC}) = V_{in} \times I_{CC}$ ($I_{CC}[A]$: 回路電流)

●許容損失、熱に関する検討

BD89630EFJ、BD89630JEFJ は高効率のため、ほとんどのアプリケーションで大きな発熱ではなく、検討の必要はないと考えておりますが、低入力電圧、高出力電圧、重負荷、高温での使用時には検討する必要があります。

損失は、FET の ON 抵抗による導通損失のみ検討することとします。前途の損失にはその他にゲート充放電損失やスイッチング損失がありますが、上記条件においては、導通損失が最も支配的になるからです。



測定状態：ローム基板実装、及びIC単体
 基板サイズ：70mm×70mm×1.6mm
 (基板にサーマルビアあり)
 ・基板とパッケージ表面露出放熱板部分とを半田にて接続

① IC単体
 $\theta_{j-a}=249.5^{\circ}\text{C/W}$
 ② 1層基板 (表面銅箔:0mm×0mm)
 $\theta_{j-a}=153.2^{\circ}\text{C/W}$
 ③ 2層基板 (表面銅箔:15mm×15mm)
 $\theta_{j-a}=113.6^{\circ}\text{C/W}$
 ④ 2層基板 (表面銅箔:70mm×70mm)
 $\theta_{j-a}=59.2^{\circ}\text{C/W}$
 ⑤ 4層基板 (表面銅箔:70mm×70mm)
 $\theta_{j-a}=33.3^{\circ}\text{C/W}$

$P=I_{OUT}^2 \times R_{ON}$
 $R_{ON}=D \times R_{ONP}+(1-D)R_{ONN}$
 D : ON デューティ (=Vout/Vcc)
 R_{ONP} : Pch MOS FET のオン抵抗
 R_{ONN} : Nch MOS FET のオン抵抗
 I_{OUT} : 出力電流

Fig.25 熱軽減特性 (HTSOP-J8)

例) $V_{CC}=5V$, $V_{OUT}=1.1V$, $R_{ONP}=0.145\Omega$, $R_{ONN}=0.08\Omega$

$I_{OUT}=2A$ のとき、

$D=V_{OUT}/V_{CC}=1.1/5=0.22$ より

$R_{ON}=0.22 \times 0.145+(1-0.22) \times 0.08$

$=0.0319+0.0624$

$=0.0943[\Omega]$

$P=2^2 \times 0.0943=0.3772[W]$

BD89630EFJ、BD89630JEFJ は $R_{ONP}>R_{ONN}$ であり、ON デューティが大きいほど損失が大きくなります。以上の許容損失を考慮し、充分マージンをもった熱設計を行ってください。

●外付け部品の選定

1.コイル(L)の選定

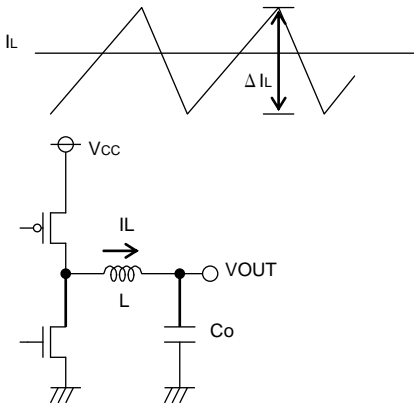


Fig.26 出力リップル電流

コイルの値は、出力リップル電流に大きく影響します。式(1)のようにコイルが大きいくほど、また、スイッチング周波数が高いほどリップル電流は下がります。

$$\Delta I_L = \frac{(V_{CC} - V_{OUT}) \times V_{OUT}}{L \times V_{CC} \times f} \quad [A] \dots (1)$$

出力リップル電流の適当な設定値は、最大出力電流の 20%程度です。

$$\Delta I_L = 0.2 \times I_{OUTmax.} \quad [A] \dots (2)$$

$$L = \frac{(V_{CC} - V_{OUT}) \times V_{OUT}}{\Delta I_L \times V_{CC} \times f} \quad [H] \dots (3)$$

(ΔI_L :出力リップル電流、f:スイッチング周波数)

※コイルの定格電流値を越える電流をコイルに流しますと、コイルが磁気飽和を起こし、効率が低下します。ピーク電流がコイルの定格電流値を超えないよう十分なマージンをもって選定してください。

例) BD89630EFJ/BD89630JEFJ $V_{CC}=5.0V, V_{OUT}=1.1V, f=1MHz, \Delta I_L=0.2 \times 2A=0.4A$ のとき

$$L = \frac{(5-1.1) \times 1.1}{0.4 \times 5 \times 1M} = 2.1\mu \rightarrow 2.2[\mu H]$$

※コイルでの損失を少なくし、効率をよくするため、抵抗成分(DCR,ACR)の低いコイルを選定してください。

2.出力コンデンサ(Co)の選定

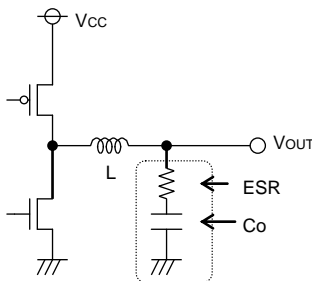


Fig.27 出力コンデンサ

出力側コンデンサは、出力電圧の安定領域やリップル電圧を平滑化するのに必要な等価直列抵抗を考慮して決定してください。

出力リップル電圧は、式(4)のように決定されます。

$$\Delta V_{OUT} = \Delta I_L \times ESR \quad [V] \dots (4)$$

(ΔI_L :出力リップル電流、ESR:Co の等価直列抵抗)

※コンデンサの定格は、出力電圧に対し十分なマージンをもって選定してください。ESR は小さい方が出力リップル電圧を小さくすることができます。また、10 μ F~100 μ F 程度のセラミックコンデンサを推奨します。

3.入力コンデンサ(Cin)の選定

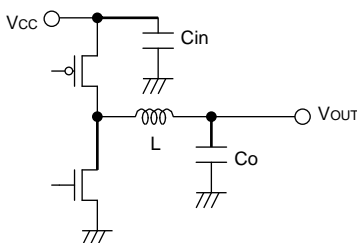


Fig.28 入力コンデンサ

入力側コンデンサの選定におきましては、大きな過渡電圧を防止するために大きなリップル電流に充分対応できる大きさの低 ESR の入力コンデンサである必要があります。リップル電流 I_{RMS} は式(5)で与えられます。

$$I_{RMS} = I_{OUT} \times \frac{\sqrt{V_{OUT}(V_{CC} - V_{OUT})}}{V_{CC}} \quad [A] \dots (5)$$

<ワースト条件> $I_{RMS(max)}$

$$V_{CC} = 2 \times V_{OUT} \text{ のとき、} I_{RMS} = \frac{I_{OUT}}{2}$$

例) BD89630EFJ/BD89630JEFJ $V_{CC}=5V, V_{OUT}=1.1V, I_{OUTmax.} = 2A$ のとき

$$I_{RMS} = 2 \times \frac{\sqrt{1.1(5-1.1)}}{5} = 0.828[A_{RMS}]$$

また、入力コンデンサの ESR 損失を少なくし、効率をよくするために低 ESR の 10V 耐圧 22 μ F 程度のセラミックコンデンサを推奨します。

4.位相補償回路 RCOMP,CCOMP の設定

カレントモード制御では、コイル電流が制御されているため、出力コンデンサと負荷抵抗からなる CR フィルタによるポール(位相遅れ)が低周波数領域に一つと、出力コンデンサとコンデンサの ESR によるゼロ(位相進み)が高周波数領域に一つだけできます。そこで電力増幅段のポールをキャンセルするために、誤差増幅器の出力に下記のように C と R でゼロ点を追加するだけで簡単に補償できます。

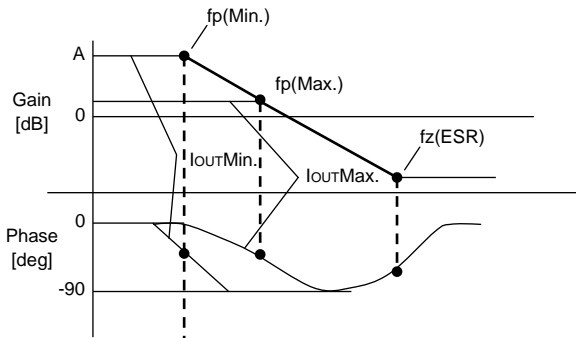


Fig.29 オープンループゲイン特性

$$fp = \frac{1}{2\pi \times Ro \times Co}$$

$$fz(ESR) = \frac{1}{2\pi \times ESR \times Co}$$

電力増幅段のポールについて

出力電流が減少すると、負荷抵抗 Ro が増大しポールの周波数は低くなります。

$$fp(\text{Min.}) = \frac{1}{2\pi \times R_{O\text{Max.}} \times Co} \text{ [Hz]} \leftarrow \text{軽負荷時}$$

$$fp(\text{Max.}) = \frac{1}{2\pi \times R_{O\text{Min.}} \times Co} \text{ [Hz]} \leftarrow \text{重負荷時}$$

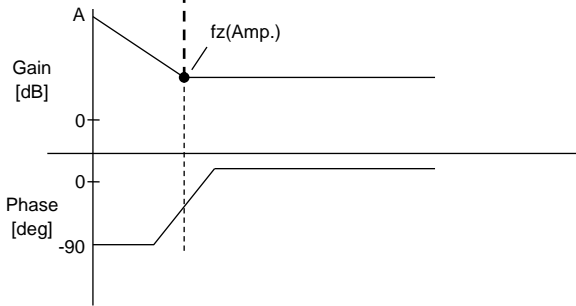


Fig.30 エラーアンプ位相補償特性

電力増幅段のゼロについて

出力コンデンサを大きくすると、ポール周波数は低くなりますが、ゼロ周波数は変化しません。(これは容量が 2 倍になるとコンデンサの ESR は 1/2 になるからです。)

$$fz(\text{Amp.}) = \frac{1}{2\pi \times R_{ITH} \times C_{ITH}}$$

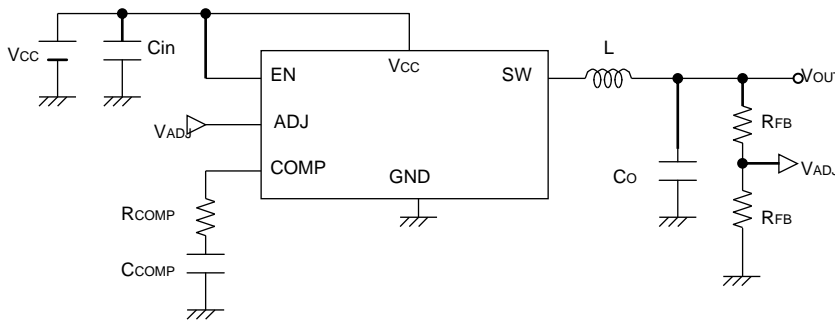


Fig.31 外付け部品概略図

安定した帰還ループを作るためには、次のように、出力コンデンサと負荷抵抗によってできるポール fp(Min.)をエラーアンプの CR ゼロ補正でキャンセルすることで実現されます。

$$fz(\text{Amp.}) = fp(\text{Min.})$$

$$\rightarrow \frac{1}{2\pi \times R_{ITH} \times C_{ITH}} = \frac{1}{2\pi \times R_{O\text{Max.}} \times Co}$$

5.出力電圧の設定

出力電圧 V_{OUT} は次式(6)により決定されます。
 $V_{OUT} = (R2/R1 + 1) \times V_{ADJ}$. . . (6) V_{ADJ} :ADJ 端子電圧(0.8V Typ.)
 $R1$ 、 $R2$ を調節することで自由に出力電圧を設定できます。

[出力電圧設定範囲は 1.0V~2.5V]

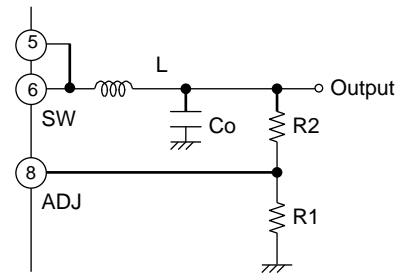


Fig.32 出力電圧設定抵抗

また、 $R1$ には $1k\Omega \sim 100k\Omega$ 程度の抵抗値をご使用ください。100k Ω 以上の大きな抵抗値を使用する場合は、リップル電圧等をセットにて十分ご確認くださいませますようお願いいたします。

出力電圧の設定値によって入力電圧の下限値が異なります。基本的には $V_{CCmin} = V_{OUT} + 2.25V$ の条件でご使用ください。また、入力電圧下限値において使用可能な出力電流値を Fig33 に示します。(インダクタの DCR が 0.05 Ω の場合)
 なお、このデータは特性値であり、使用範囲を保証するものではありません。

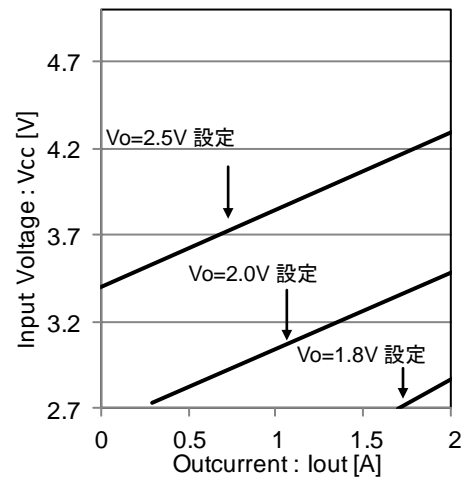


Fig.33 各出力電圧における必要最低入力電圧

●評価ボードレイアウト

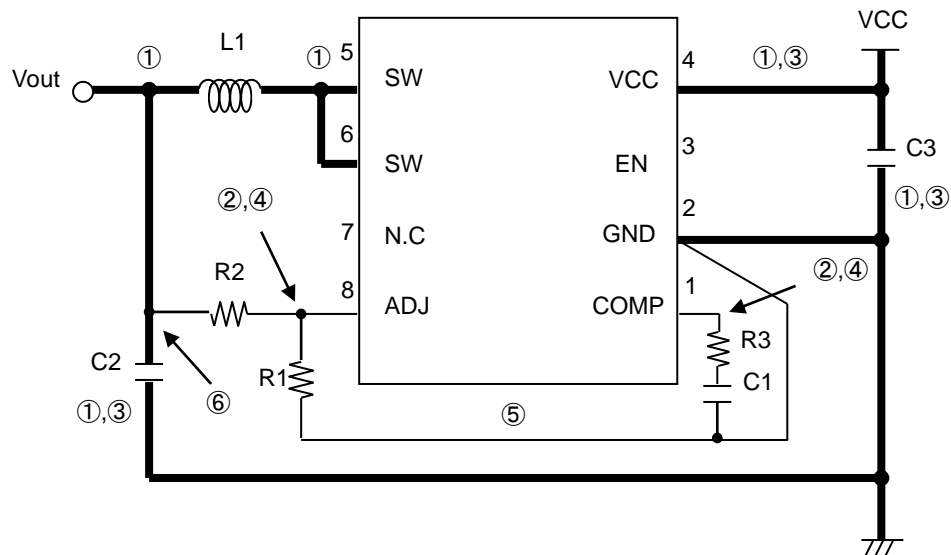
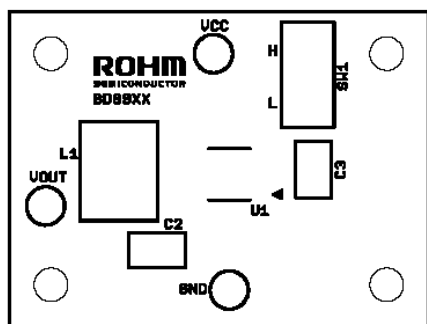


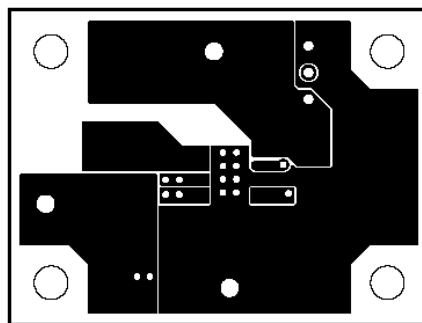
Fig.34 基板レイアウト簡易図

- ① 太線の部分は幅広のパターンでできるだけ短くレイアウトしてください。
- ② スイッチングするノイズラインに近づけないでください。
- ③ ICにできるだけ近くレイアウトしてください。
- ④ できるだけ短くしてください。
- ⑤ 2PIN(GND PIN)と1点で接続してください。
- ⑥ R2 と C2 はできるだけ近くで接続してください。

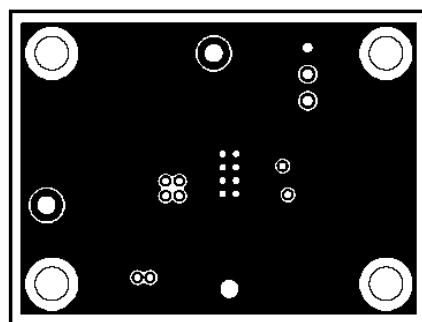
※HTSOP-J8 (BD89630EFJ/BD89630JEFJ)の裏面(放熱 FIN)は基板で最も面積のとれる GND 電位にして実装してください。より放熱性を向上させることができます。



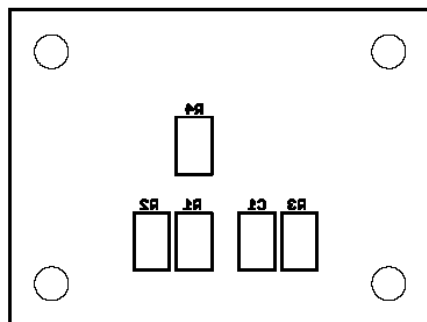
Top Silkscreen Overlay



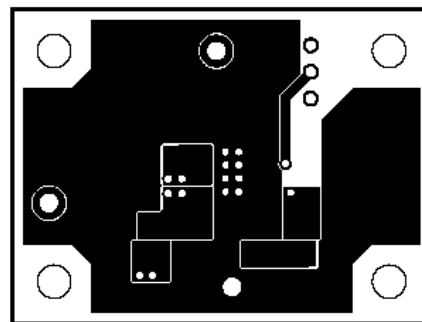
Top Layer



Middle Layer



Bottom Silkscreen Overlay



Bottom Layer

Fig.35 参考 PCB レイアウトパターン

●上記アプリケーションでの推奨部品リスト

記号	品名	値		メーカー	型番
L	Coil	1.5μH		TDK	VLC6045T-1R5N
CIN	Ceramic capacitor	Vcc-VOUT>3V	10μF	Kyocera	CM316X5R106M10A
		Vcc-VOUT<3V	22μF	Kyocera	CM32X5R226M10A
CO	Ceramic capacitor	10uF		Kyocera	CM316X5R106M10A
CCOMP	Ceramic capacitor	VOUT=1.0V 時	330pF	Murata	GRM18 Series
		VOUT=1.1V 時	330pF	Murata	GRM18 Series
		VOUT=1.2V 時	330pF	Murata	GRM18 Series
		VOUT=1.5V 時	390pF	Murata	GRM18 Series
		VOUT=1.8V 時	390pF	Murata	GRM18 Series
		VOUT=2.5V 時	390pF	Murata	GRM18 Series
RCOMP	Resistance	VOUT=1.0V 時	2kΩ	Rohm	MCR03 Series
		VOUT=1.1V 時	2kΩ	Rohm	MCR03 Series
		VOUT=1.2V 時	2.4kΩ	Rohm	MCR03 Series
		VOUT=1.5V 時	2.4kΩ	Rohm	MCR03 Series
		VOUT=1.8V 時	3.6kΩ	Rohm	MCR03 Series
		VOUT=2.5V 時	5.6kΩ	Rohm	MCR03 Series

※ 推奨部品リスト例は推奨すべきものと確信しておりますが、ご使用にあたってはセットでの特性確認を十分にお願ひします。
 また、スイッチングノイズ等の影響が大きい場合は、SW-GND 間にショットキーダイオードを挿入するようにお願ひします。
 その他外付け回路定数を変更してご使用になる時は静特性のみならず、過渡特性も含め外付け部品及び当社 IC のバラツキ等を考慮して十分マージンを見て決定してください。

●端子等価回路図

【BD89630EFJ/BD89630JEFJ】

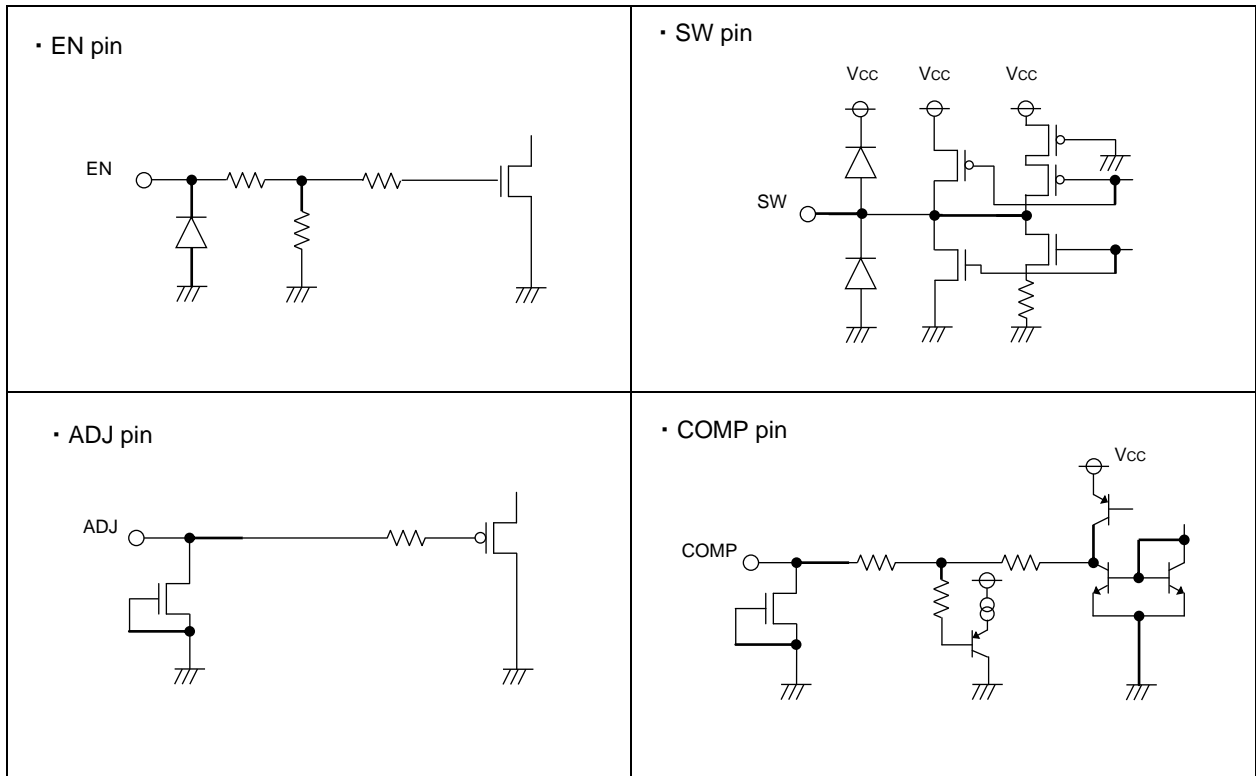


Fig.36 I/O 入出力等価回路図

●使用上の注意

- 絶対最大定格について
本製品におきましては品質管理には十分注意を払っておりますが、印加電圧及び動作温度範囲等の絶対最大定格を越えた場合、破壊の可能性があります。破壊した場合、ショートモードもしくはオープンモード等、特定できませんので絶対最大定格を越えるような特殊モードが想定される場合、ヒューズ等、物理的な安全対策を施すようお願い致します。
- GND 電位について
GND 端子の電位はいかなる動作状態においても、最低電位になるようにしてください。
- 端子間ショートと誤装着について
プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けた場合、IC が破壊する恐れがあります。また出力間や出力と電源-GND 間に異物が入るなどしてショートした場合についても破壊の可能性があります。
- 強電磁界中での動作について
強電磁界中のご使用では、誤動作をする可能性がありますのでご注意ください。
- 温度保護 (サーマルシャットダウン)回路について
温度保護 (サーマルシャットダウン)回路は、あくまでも熱的暴走から IC を遮断することを目的とした回路であり、IC の保護及び保証を目的とはしておりません。よって、この回路を動作させて以降の連続使用及び動作を前提とした使用はしないでください。
- セット基板での検査について
セット基板での検査時に、インピーダンスの低いピンにコンデンサを接続する場合には、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。また、静電気対策として、組み立て工程にはアースを施し、運搬や保存の際には十分にご注意ください。また、検査工程での治具への接続時には必ず電源を OFF にしてから接続し検査を行い、電源を OFF にしてから取り外してください。
- IC 端子入力について
本 IC はモノリシック IC であり、各素子間に素子分離のための P⁺アイソレーションと P 基板を有しています。この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。例えば Fig.37 のように抵抗とトランジスタが端子と接合されている場合、
○ 抵抗では GND>(端子 A)の時、トランジスタ(NPN)では GND>(端子 B)の時、P-N 接合が寄生ダイオードとして動作します。
○ また、トランジスタ(NPN)では、GND>(端子 B)の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。
IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって入力端子に GND(P 基板)より低い電圧を抑制するなど、寄生素子が動作するような使い方をしないように十分注意してください。

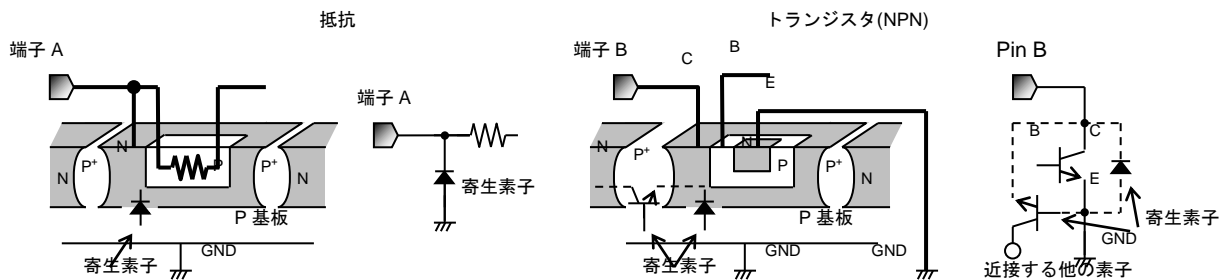


Fig.37 モノリシック IC の簡易構造例

- GND 配線パターンについて
小信号 GND と大電流 GND がある場合、大電流 GND パターンと小信号 GND パターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号 GND の電圧を変化させないように、セットの基準点で一点アースすることを推奨します。外付け部品の GND の配線パターンも変動しないように注意してください。
- インダクタの選定について
インダクタの選定につきましては、直列抵抗成分(DCR)が 0.1Ω 以下のものを使用してください。特に、出力電圧を 1.6V 以上に設定される場合、DCR の大きなインダクタを使用されますと、起動時などにインダクタの損失等により出力電圧の低下を招きます。その状態を一定時間(ソフトスタート時間+タイマラッチ時間)続けた場合、出力短絡保護回路が動作し、出力が OFF 状態でラッチします。DCR が 0.1Ω 以上のインダクタをご使用になる際には動作や特性の確認を十分に行い、過渡特性も含め当社の IC のバラつき等を考慮して十分なマージンを見て決定してください。また、いずれの場合においても電源電圧が動作条件内に立ち上がった後で EN をアクティブにし、出力電圧を起動させることを推奨します。

この文書の扱いについて

この文書の日本語版が、正式な仕様書です。この文書の翻訳版は、正式な仕様書を読むための参考として下さい。なお、相違が生じた場合は、正式な仕様書を優先してください。

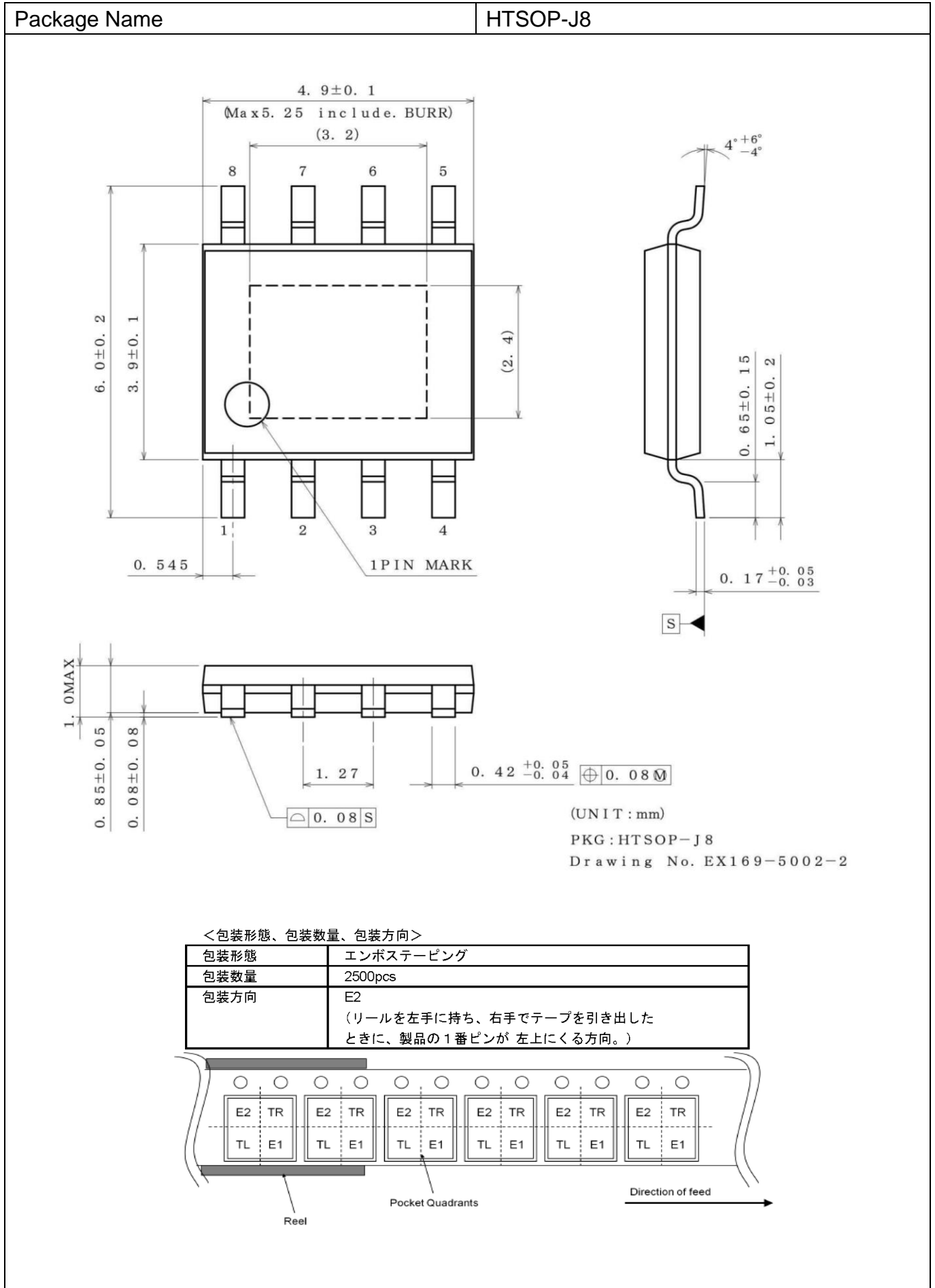
●発注形名情報

B D 8 9 6 3 0 x E F J										-		E 2			
形名										生産ライン 情報 無：生産ライ ン A "J"：生産ライ ン B		パッケージ EFJ: HTSOP-J8		包装・フォーミング仕様 E2: リール状エンボステーピング	

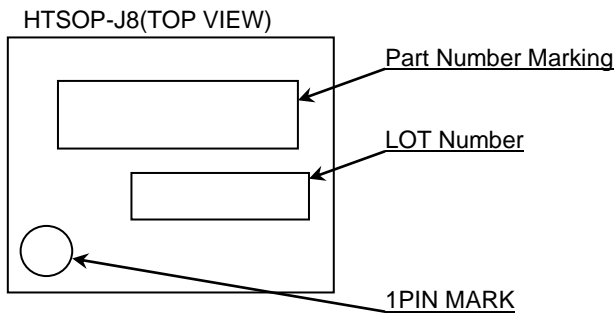
発注形名	備考
BD89630EFJ-E2	生産ライン A ^(Note 1)
BD89630JEFJ-E2	生産ライン B ^(Note 1)

(Note 1) 生産ライン A : B は生産効率向上を目的に複数ライン構成となっています。
データシート内の保証特性に差異はありません。新規のご採用時には生産ライン B を推奨します。

外形寸法図と包装・フォーミング仕様



●標印図



Part Number Marking	Part Number
D89630	BD89630EFJ-E2
89630J	BD89630JEFJ-E2

●改訂履歴

Date	Revision	改訂
2012.08.28	001	新規リリース
2022.03.28	002	BD89630JEFJ 追加

ご注意

ローム製品取扱い上の注意事項

1. 本製品は一般的な電子機器（AV 機器、OA 機器、通信機器、家電製品、アミューズメント機器等）への使用を意図して設計・製造されております。したがって、極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器^(Note 1)、輸送機器、交通機器、航空宇宙機器、原子力制御装置、燃料制御、カーアクセサリを含む車載機器、各種安全装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

2. 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、かかる誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
3. 本製品は、一般的な電子機器に標準的な用途で使用されることを意図して設計・製造されており、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合。
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用。
 - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用される場合は除く。ただし、残渣については十分に確認をお願いします。)又は、はんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合
 - ⑧本製品が結露するような場所でのご使用。
4. 本製品は耐放射線設計はなされておられません。
5. 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
6. パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
7. 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
8. 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
9. 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

1. ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
2. はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。(人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等)

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
 - ①潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ②推奨温度、湿度以外での保管
 - ③直射日光や結露する場所での保管
 - ④強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き(梱包箱に表示されている天面方向)で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルに2次元バーコードが印字されていますが、2次元バーコードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は外国為替及び外国貿易法に定める規制貨物等に該当するおそれがありますので輸出する場合には、ロームにお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等(ソフトウェア含む)との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。