

2.9V~5.5V 入力, 5A MOSFET 内蔵 1ch 同期整流 降圧 DC/DC コンバータ

BD91364BMUU

概要

ロームの高効率降圧スイッチングレギュレータ BD91364BMUU は 2.9V~5.5V の電源ラインから 0.8V~3.3V などの低電圧を生成する降圧コンバータです。PFM/PWM 自動切換えにより、全負荷領域にて高効率化を実現します。
オンタイム制御方式を採用しており、負荷急変における高速過渡応答を実現しています。

特長

- オンタイム制御方式により高速過渡応答実現
- 同期整流内蔵(Nch/Nch FET)、PFM/PWM 自動切り換えにより全負荷領域にて高効率
- 可変ソフトスタート機能内蔵
- 温度・UVLO 保護機能内蔵
- タイマーラッチ式 ショート保護機能内蔵
- シャットダウン機能内蔵

用途

- DSP や FPGA、マイクロプロセッサなどの降圧電源として最適
- ラップトップ PC / タブレット PC / サーバー
 - 液晶 TV、ストレージ機器(HDD / SSD)
 - プリンタ機器
 - アミューズメント機器
 - 二次側電源

重要特性

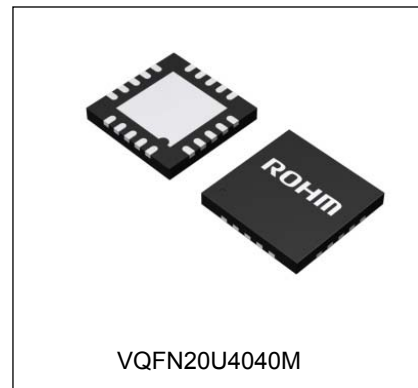
- 入力電圧範囲 : 2.9V ~ 5.5V
- 出力電圧範囲 : 0.8V ~ PVCC×0.8V
- 出力電流 : 5.0A(Max)
- スwitchング周波数 : 1.7MHz(Typ)
- High side FET ON 抵抗 : 27mΩ(Typ)
- Low side FET ON 抵抗 : 27mΩ(Typ)
- スタンバイ電流 : 0μA (Typ)
- 動作温度範囲 : -40°C ~ +105°C

パッケージ

VQFN20U4040M

W(Typ) x D(Typ) x H(Max)

4.00mm x 4.00mm x 0.50mm



基本アプリケーション回路

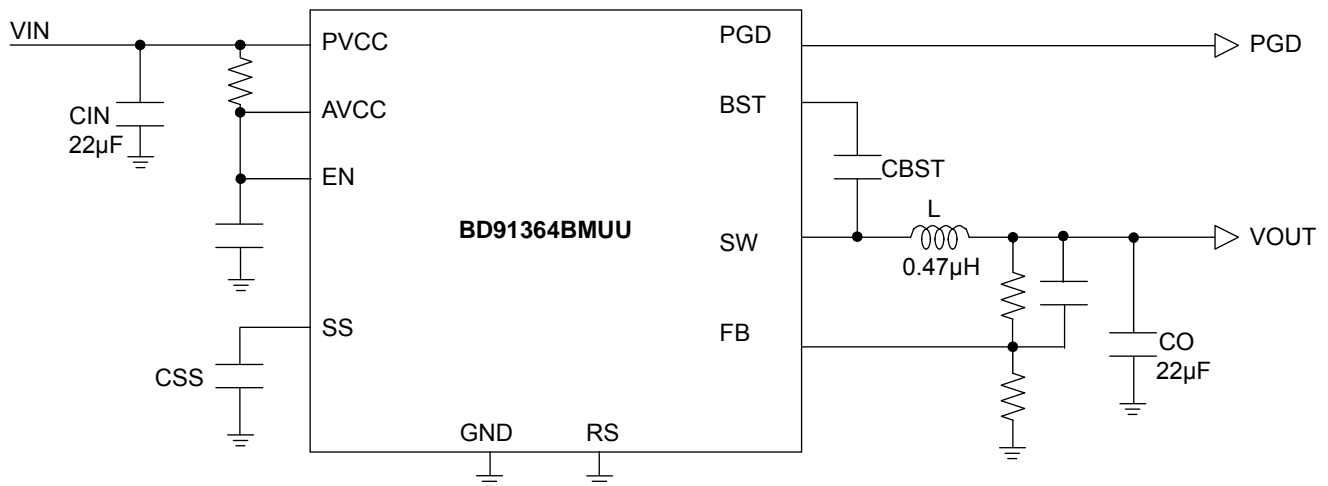


Figure 1. アプリケーション回路例

端子配置図 (TOP VIEW)

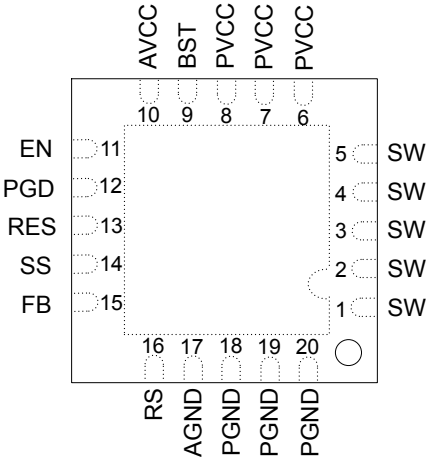


Figure 2. 端子配置図

端子説明

端子番号	記号	機能	端子番号	記号	機能
1	SW	スイッチ端子	11	EN	イネーブル端子 (High Active)
2	SW	スイッチ端子	12	PGD	パワーグッド・オープンドレイン端子
3	SW	スイッチ端子	13	RES	RESERVE 端子, GND へ接続
4	SW	スイッチ端子	14	SS	ソフトスタート用コンデンサ接続端子
5	SW	スイッチ端子	15	FB	出力フィードバック端子
6	PVCC	Power 電源入力端子	16	RS	リモートセンス用 GND 端子
7	PVCC	Power 電源入力端子	17	AGND	GND 端子
8	PVCC	Power 電源入力端子	18	PGND	Power GND 端子
9	BST	ブートストラップ容量接続端子	19	PGND	Power GND 端子
10	AVCC	電源入力端子	20	PGND	Power GND 端子

ブロック図

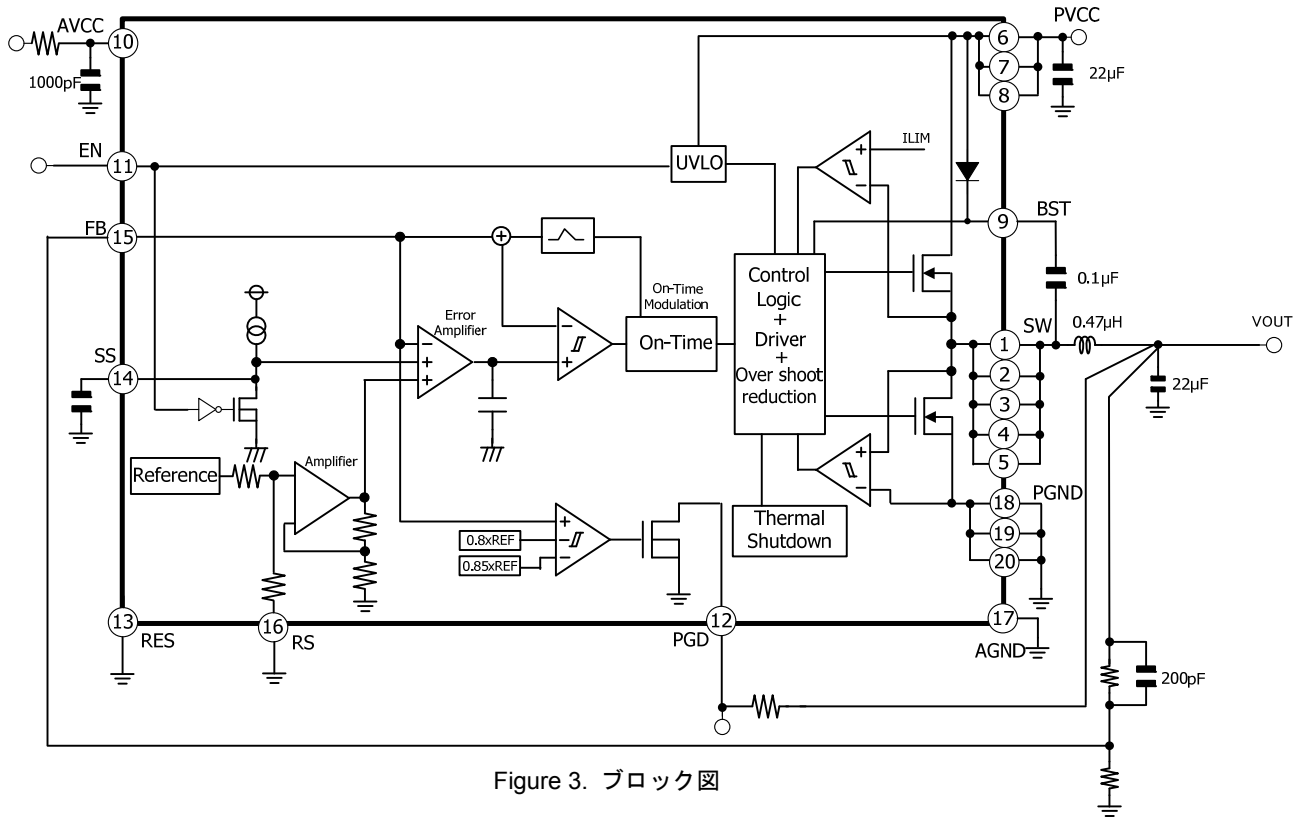


Figure 3. ブロック図

絶対最大定格 (Ta = 25°C)

項 目	記号	定 格	単位
AV _{CC} /PV _{CC} 電源電圧	AVCC/PVCC	-0.3 ~ +7 ^(Note 1)	V
EN 電圧	VEN	-0.3 ~ +7 ^(Note 1)	V
BST端子電圧	VBST	-0.3 ~ +13	V
BST_SW間電圧	VBST-SW	-0.3 ~ +7	V
SW電圧	VSW	-0.3 ~ +7	V
SS/FB/PGD/RS電圧	VSS/ VFB VPGD/ VRS	-0.3 ~ +7	V
許容損失 1	Pd1	0.8 ^(Note 2)	W
許容損失 2	Pd2	1.7 ^(Note 3)	W
許容損失 3	Pd3	2.7 ^(Note 4)	W
動作温度範囲	Topr	-40 ~ +105	°C
保存温度範囲	Tstg	-55 ~ +150	°C
最高接合部動作温度	Tjmax	150	°C

(Note 1) Pd,及び Tj=150°C を越えないこと。

(Note 2) 1層基板(74.2mm×74.2mm×1.6mm, 裏面銅箔 0mm²)実装時。(Note 3) 2層基板(74.2mm×74.2mm×1.6mm, 裏面銅箔 5505mm²)実装時。(Note 4) 4層基板(74.2mm×74.2mm×1.6mm, 2層3層,裏面銅箔 5505mm²)実装時。

推奨動作条件(Ta= -40°C to +105°C)

項 目	記号	最小	標準	最大	単位
電源電圧	AVCC	2.9	5.0	5.5	V
	PVCC	2.9	5.0	5.5	V
EN電圧	VEN	0	AVCC	5.5	V
出力電圧設定範囲	VOOUT	0.8	-	PVCC× 0.8	V
SW端子平均出力電流	ISW	-	-	5 ^(Note5)	A

(Note 5) Pd を超えないこと。

電気的特性 (特に指定のない限り Ta=25°C AVCC=PVCC=5V, EN=VCC, R1=200kΩ, R2=51kΩ)

項 目	記号	最小	標準	最大	単位	条 件
AVCC&PVCC印加範囲	VIN	2.9	-	5.5	V	
スタンバイ時回路電流	ISTB	-	-	3	μA	EN=GND
アクティブ時回路電流	ICC	100	150	200	μA	
UVLO検出電圧	VUVLO1	2.650	2.750	2.850	V	VCC rising
UVLO解除電圧	VUVLO2	2.450	2.550	2.650	V	VCC falling
Enable						
EN Low 電圧	VENL	GND	-	0.8	V	スタンバイ時
EN High 電圧	VENH	1.8	-	V _{CC}	V	アクティブ時
EN 流入電流	IEN	-	3	6	μA	VEN=5V
Power GOOD						
PGスレッショルド電圧	VPGTH	-20%	-15%	-10%	V	VFB-15% (Typ)
PGヒステリシス電圧	VPGHYS	-25%	-20%	-15%	V	VFB-20% (Typ)
PG検出遅延時間	PDELAY	6	15	25	μs	
オープンドレイン出力抵抗	RPG	50	100	200	Ω	VFB < VPGTH
PGリーク電流	IPL	-	-	1	μA	VPG=5V
Power Switch						
Highside FET ON抵抗	RONH	-	27	50	mΩ	PVCC=5V
Lowside FET ON抵抗	RONL	-	27	50	mΩ	PVCC=5V
On-Time	TON	94	118	142	ns	VCC=5V, VOUT=1.0V, PWM
Soft Start						
ソフトスタート内蔵時間	TSS	0.45	1	2	ms	
ソフトスタート電流	ISS	0.5	1.2	1.8	μA	
Output						
出力帰還検出電圧	VFB	0.788	0.800	0.812	V	
リモートセンス検出範囲	VRS	0	-	100	mV	

特性データ(参考データ)

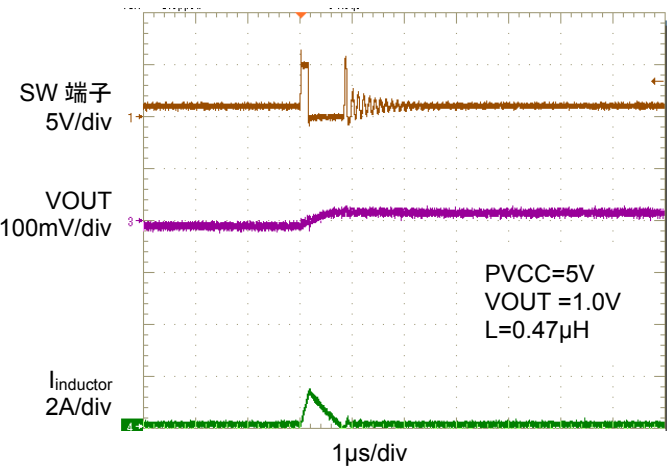


Figure 4. PFM 動作 負荷 0mA

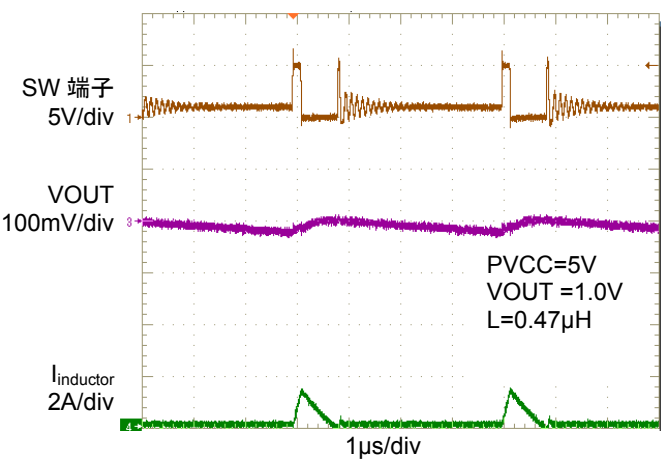


Figure 5. PFM 動作 負荷 100mA

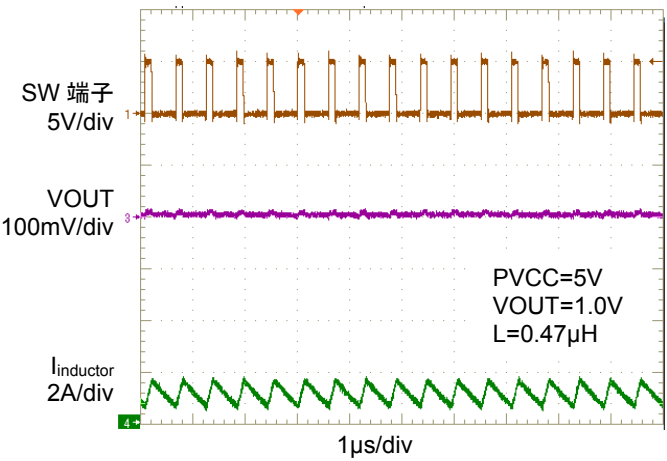


Figure 6. PWM 動作 負荷 1000mA

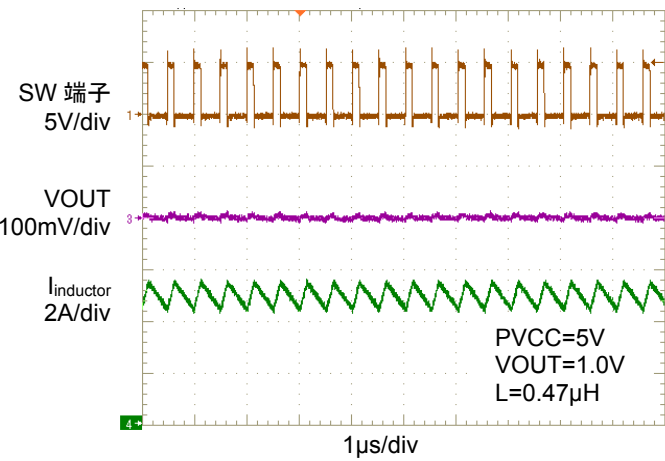


Figure 7. PWM 動作 負荷 5000mA

特性データ(参考データ) ー 続き

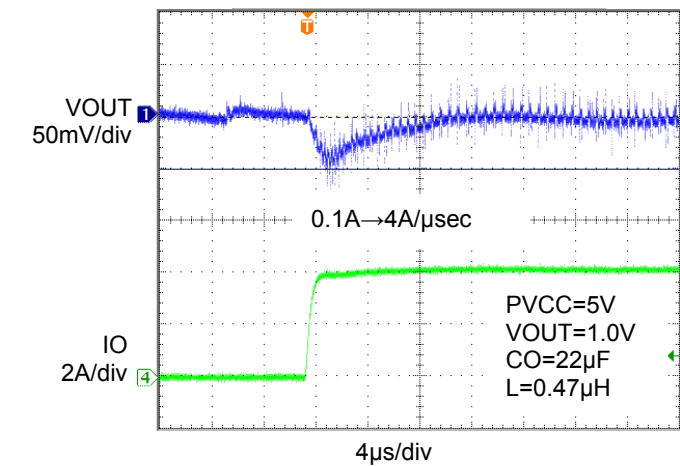


Figure 8. 負荷 rise 応答

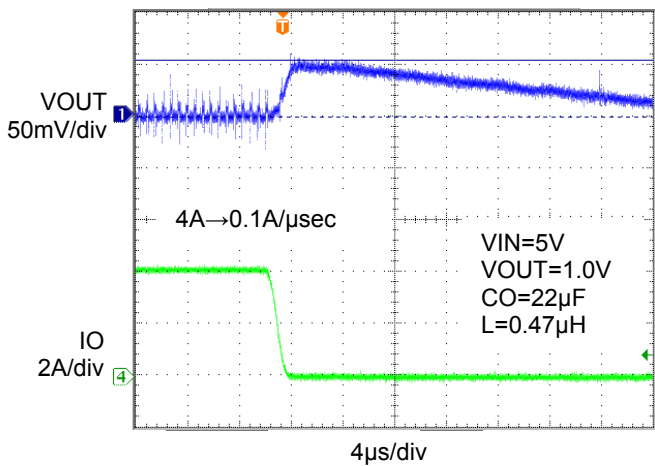


Figure 9. 負荷 fall 応答

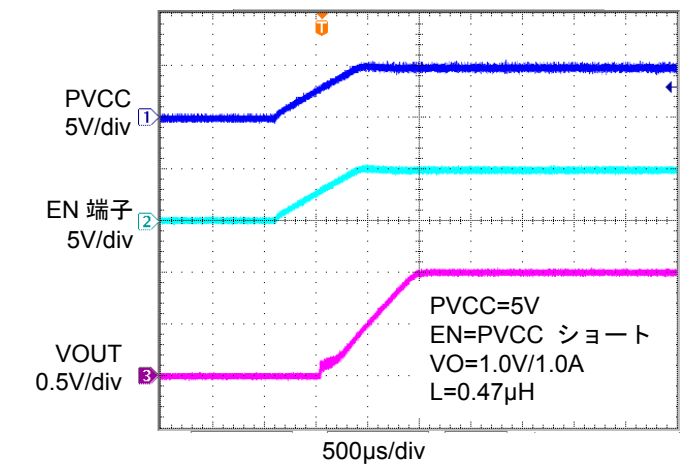


Figure 10. Start-up PVCC sweep

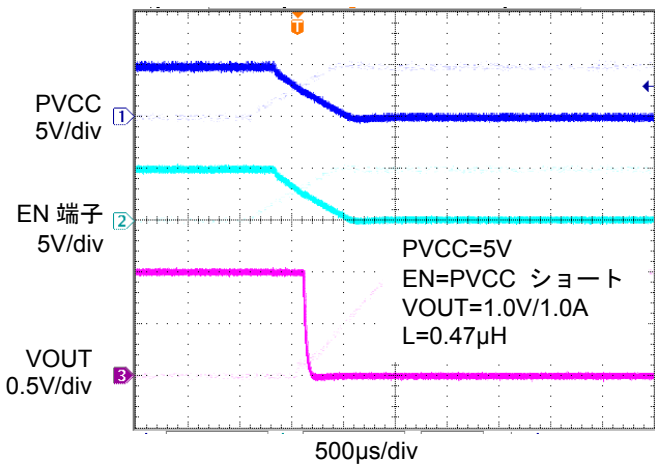


Figure 11. Shutdown PVCC sweep

特性データ(参考データ) ー 続き

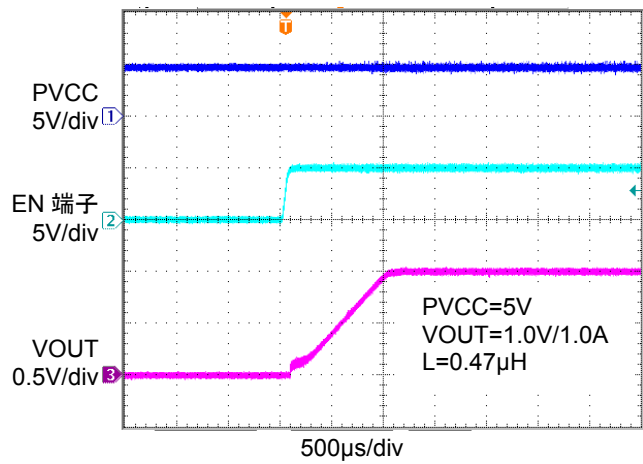


Figure 12. Start-up (EN on)

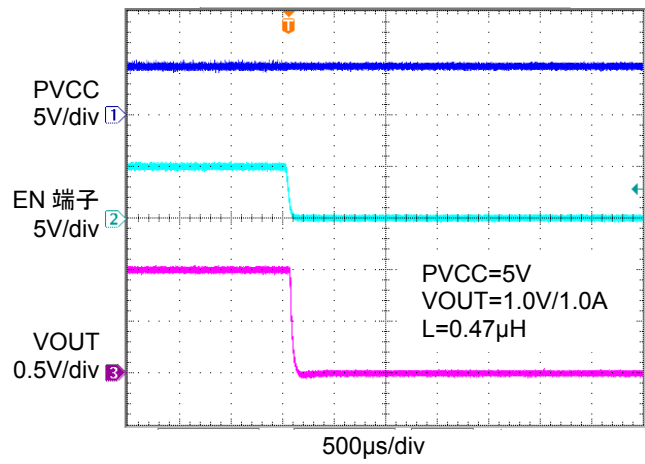


Figure 13. Shutdown (EN off)

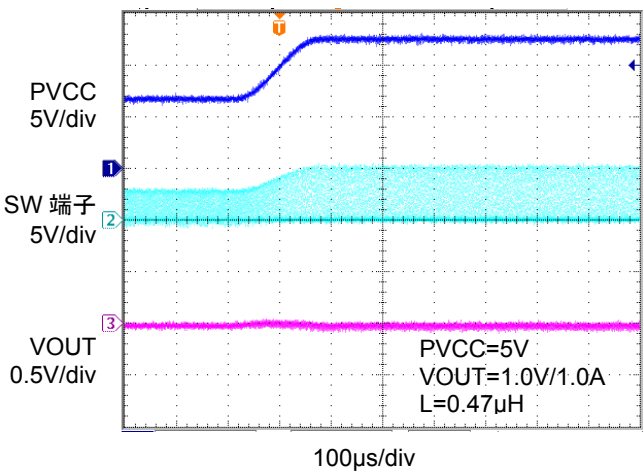


Figure 14. Vin 変動 2.9V→5.5V

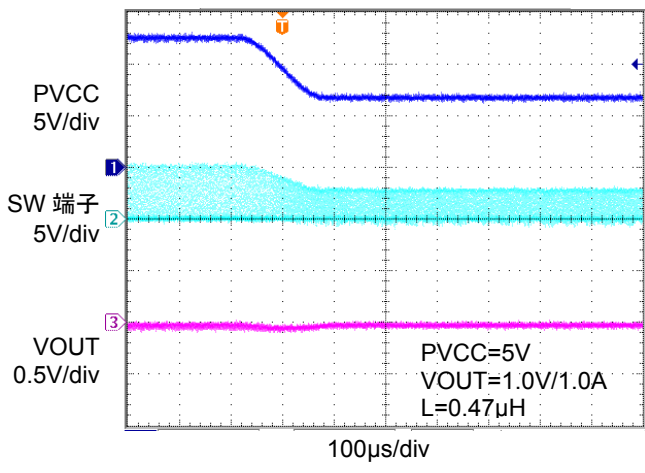


Figure 15. Vin 変動 5.5V→2.9V

特性データ(参考データ) ー 続き

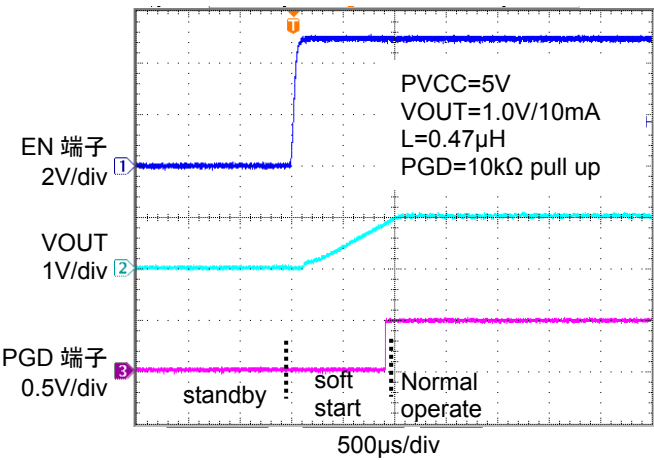


Figure 16. Power Good (Start-up)

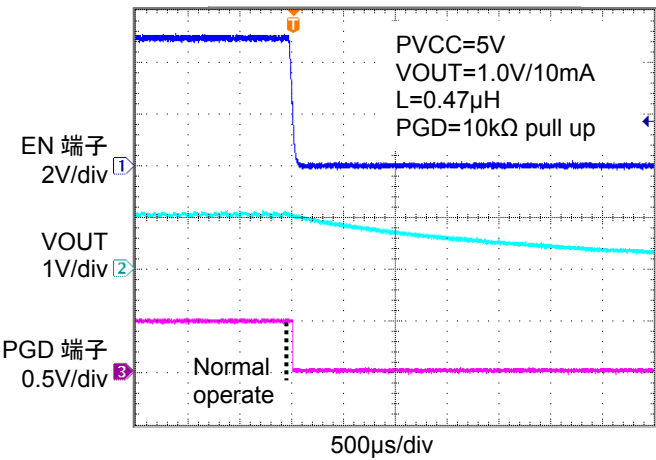


Figure 17. Power Good (Shutdown)

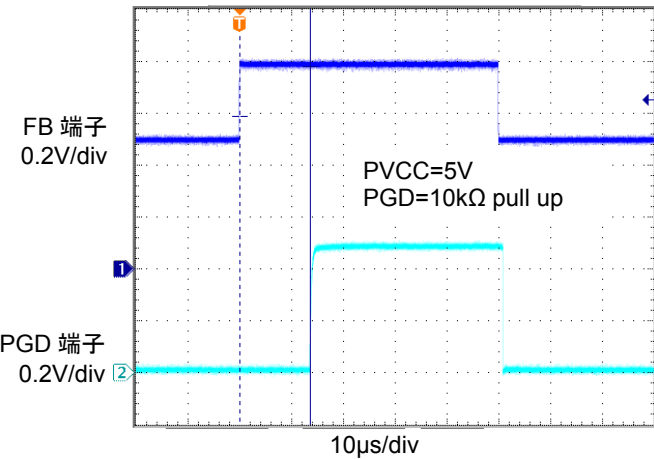


Figure 18. Power Good delay

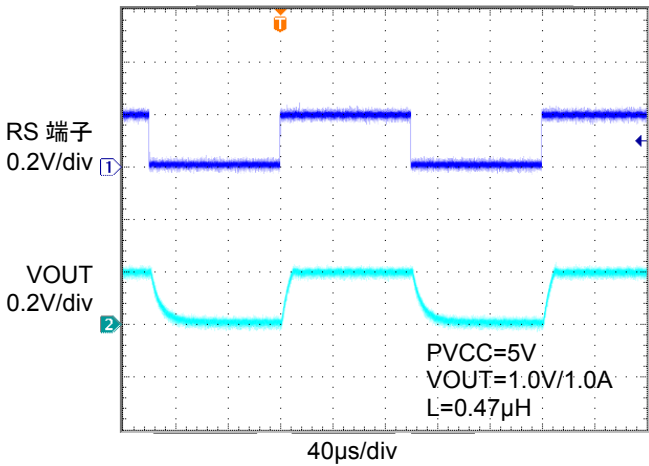


Figure 19. Remote sense function

特性データ(参考データ) ー続き

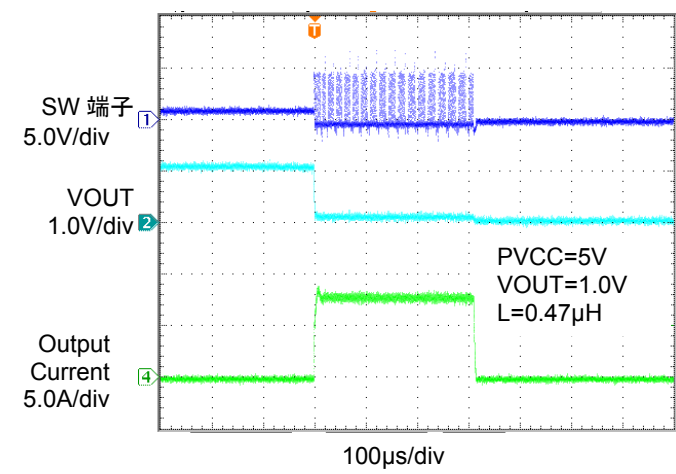


Figure 20. 出力地絡

特性データ(参考データ) ー 続き

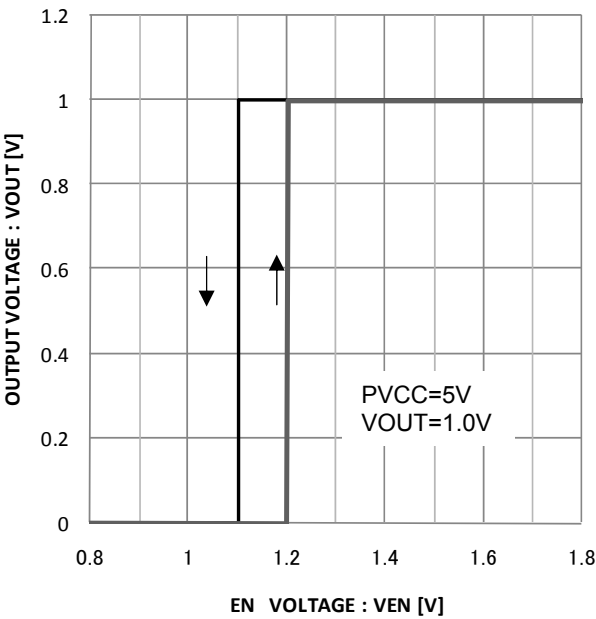


Figure 21. EN start-up

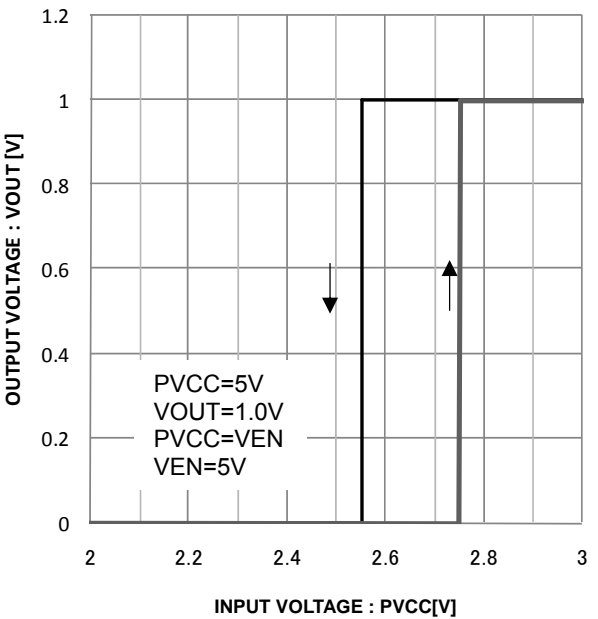


Figure 22. PVCC start-up

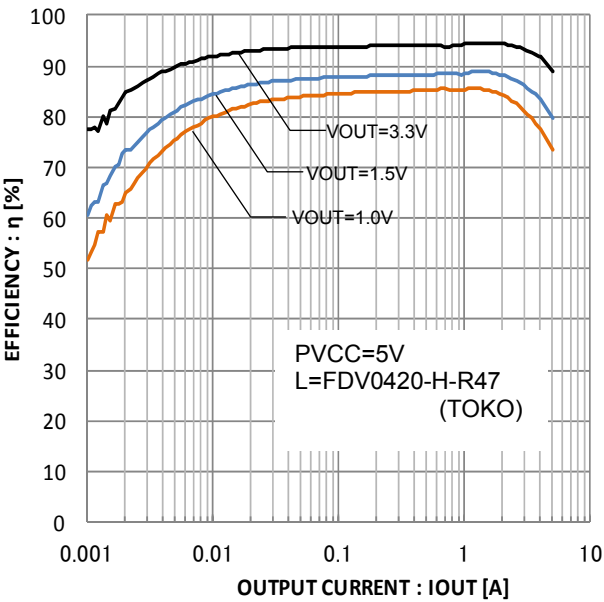


Figure 23. Efficiency

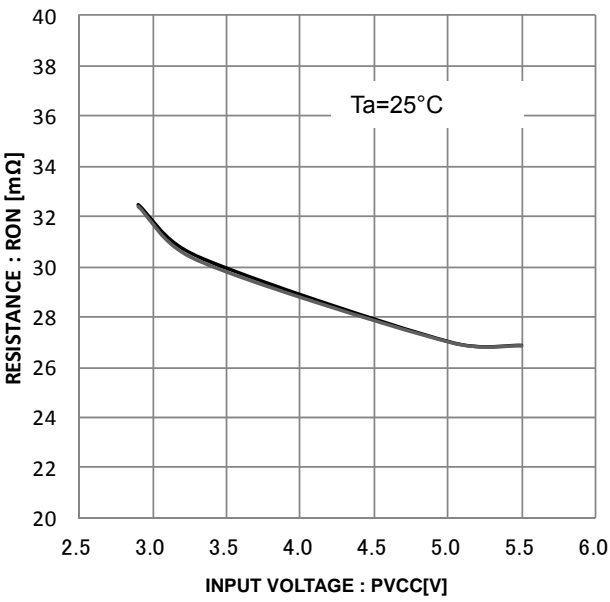


Figure 24. Power MOSFET On-resistor

特性データ(参考データ) ー 続き

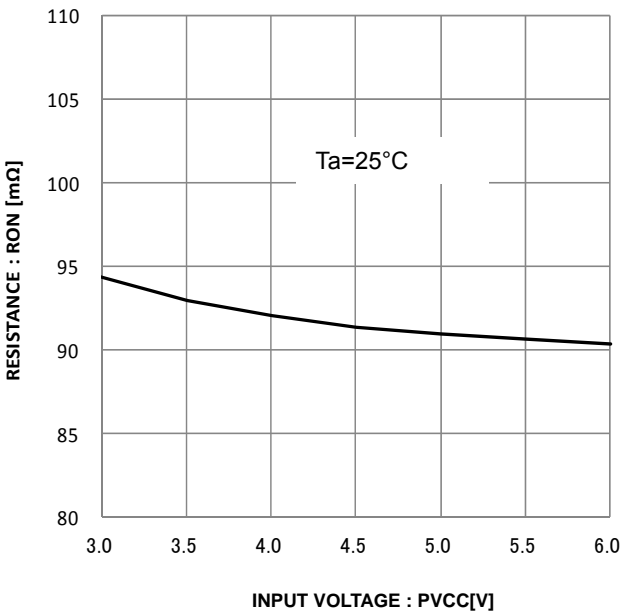


Figure 25. PowerGood MOSFET On-resistor

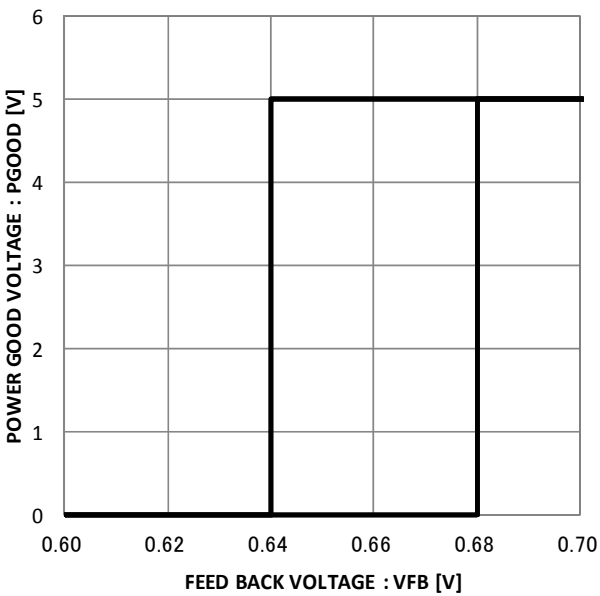


Figure 26. PowerGood voltage/hysteresis

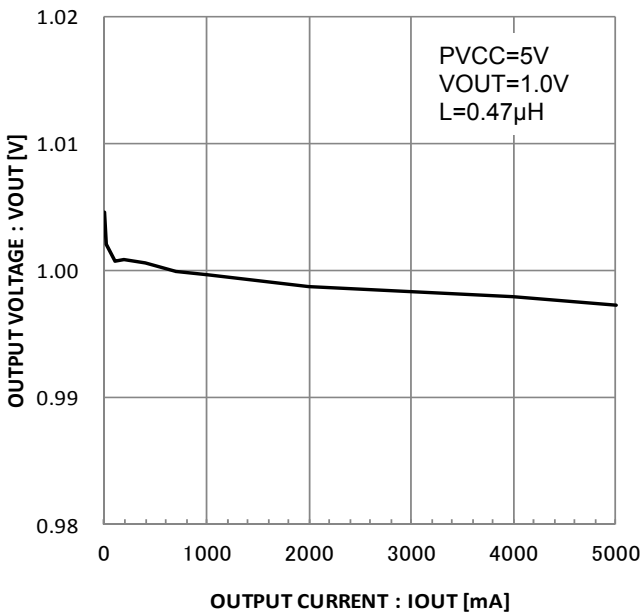


Figure 27. 出力変動(Load regulation)

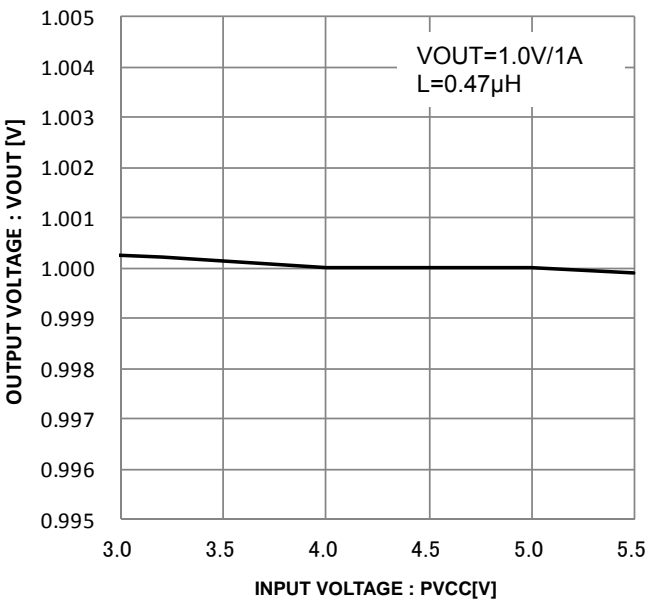


Figure 28. 出力変動(Line regulation)

特性データ(参考データ) ー 続き

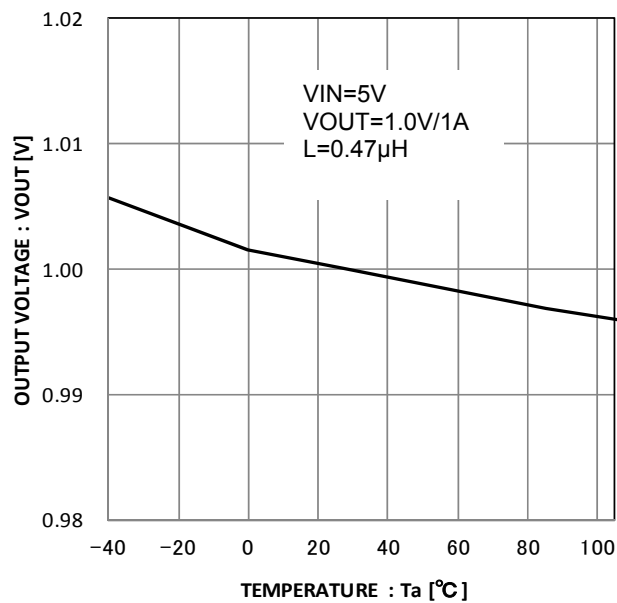


Figure 29. 出力変動(周囲温度)

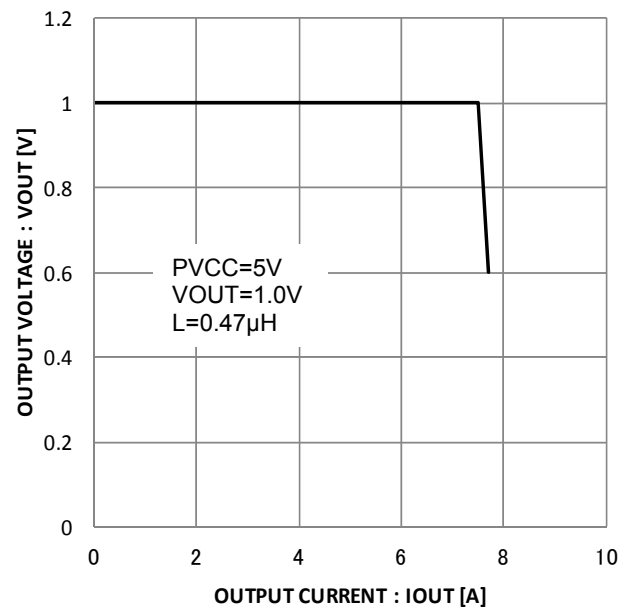


Figure 30. OCP 検出電流

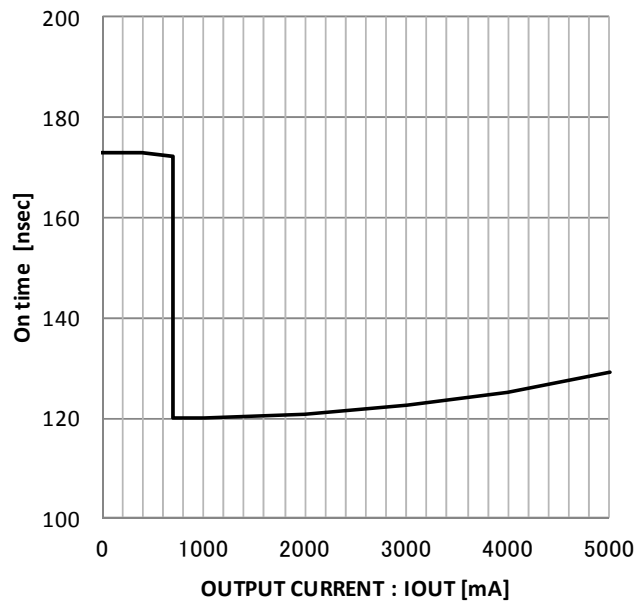


Figure 31. On time 変動(Load regulation)

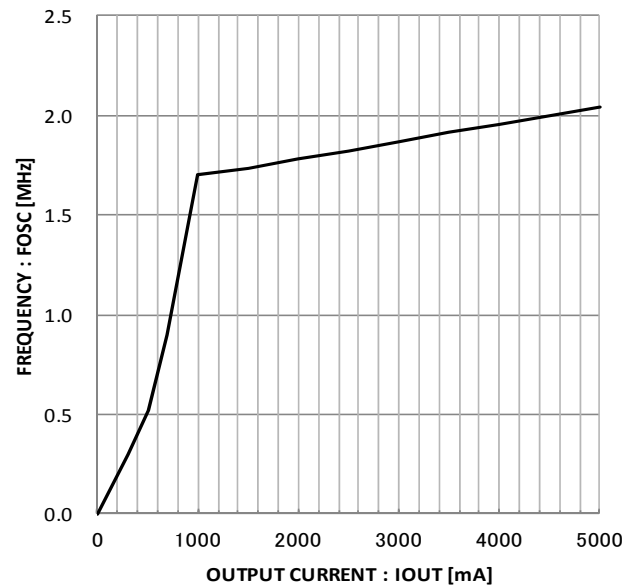


Figure 32. 周波数変動(Load regulation)

アプリケーションヒント

動作説明

BD91364BMUU はヒステリシス制御方式の一つであるコンスタント・オンタイム方式により高速過渡応答を実現した、降圧型同期整流スイッチングレギュレータです。一般的なヒステリシス制御方式では適切なスイッチング制御を維持する為に出力電圧に一定以上のリップルが必要であり、高 ESR の出力コンデンサを使用する必要があります。BD91364BMUU は、出力検出部に独自のリップル注入方式を採用することで、低 ESR の出力コンデンサを使用した場合でも正常なスイッチング動作を維持し、また、ヒステリシス制御の弱点である周波数の変動に対しても、一定の周波数を保つように動作します。

軽負荷時は独自のパルススキップ方式を採用することで、スイッチングロスを軽減し高効率を実現しています。

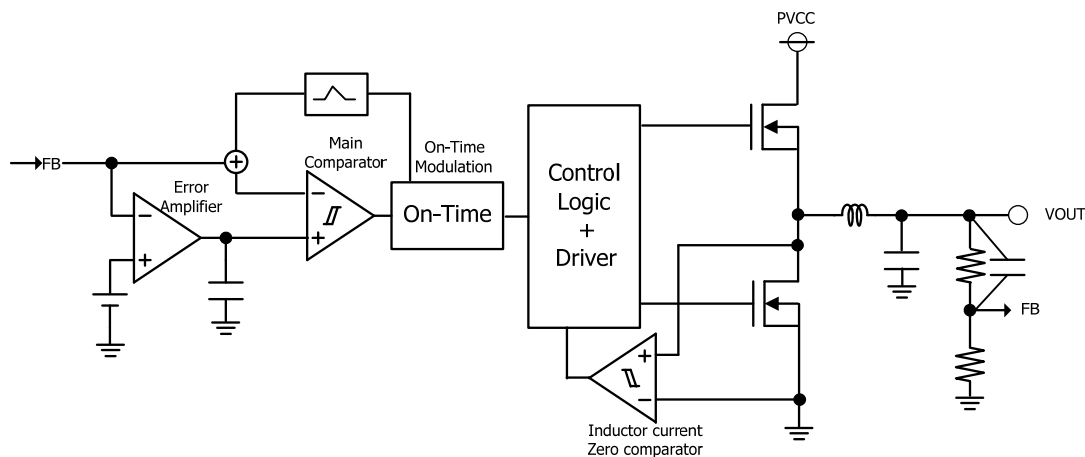


Figure 33. コンスタント・オンタイム方式ブロック図

各ブロック動作説明

1. ソフトスタート機能

EN 端子を High にすると、ソフトスタート機能が働き起動時の電流に制限をかけながら緩やかに出力電圧が立ち上がる為、出力電圧のオーバーシュートや突入電流を防ぐことができます。立ち上がり時間は SS 端子に接続するコンデンサの定数に依存します。ソフトスタート時間は次式で表されます。

$$TSS = (CSS \times VFB) / ISS \quad [\text{sec}]$$

TSS : Soft-start time

CSS : Capacitor connected to Soft-start pin

VFB : FB Voltage 0.8V (Typ)

ISS : Source current at Soft-start pin 1.2μA (Typ)

Ex.) When $CSS=0.01\mu\text{F}$

$$TSS = (0.01 [\mu\text{F}] \times 0.8 [\text{V}]) / 1.2 [\mu\text{A}]$$

$$= 6.67 \quad [\text{msec}]$$

SS 端子にコンデンサを接続せず、OPEN、または High にした状態で EN 端子を High にすると 1msec(Typ)の時間で出力電圧は立ち上がります。1msec 未満で出力電圧を立ち上げることはできません。

2. シャットダウン機能

EN 端子を Low にするとスタンバイモードとなり、基準電圧・ドライバなど全ての機能ブロックが OFF 状態になります。スタンバイ時の回路電流は 0μA(Typ)です。

3. UVLO 機能

本 IC の出力電圧を確保するために必要な入力電圧が供給されているかを検出します。また、出力のチャタリングを防ぐために検出電圧に 200mV(Typ)のヒステリシス幅を設けています。

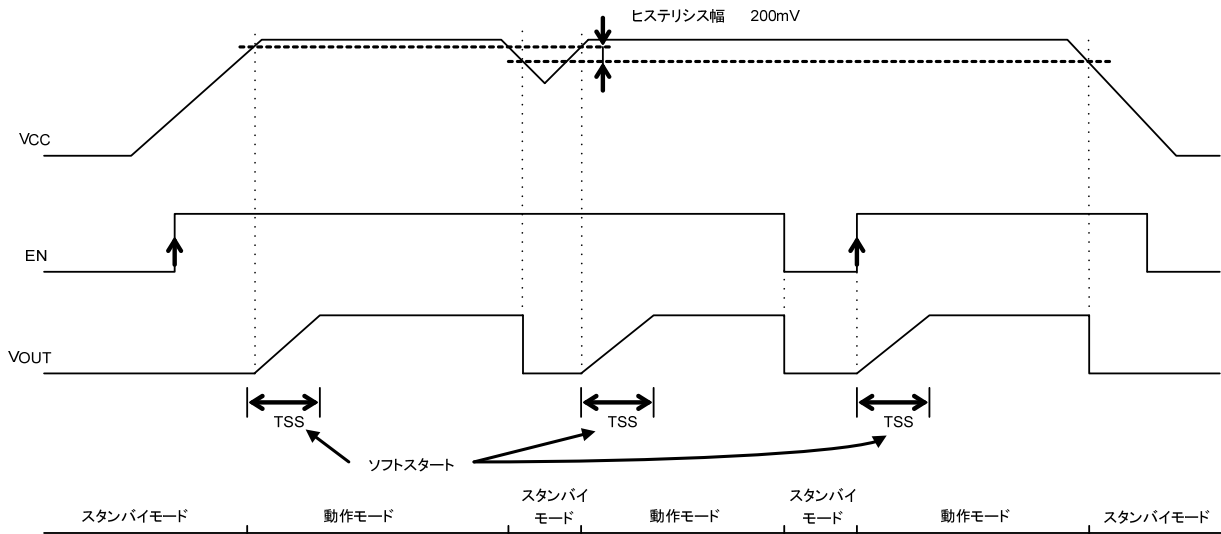


Figure 34. ソフトスタート、シャットダウン、UVLO タイミングチャート

4. パワーグッド(PGOOD)機能

FB 端子電圧が内部リファレンス電圧の 80%(0.64V)以下になると PGD 端子に内部接続されているオープンドレイン MOS が ON し、PGD 端子が 100Ω(Typ)のインピーダンスでプルダウンします。FB 端子電圧が内部リファレンス電圧の 85%(0.68V)以上になると 15μsec の遅延後に PGD 端子はハイインピーダンスになります。この端子はオープンドレイン出力なので抵抗でプルアップして使用してください。

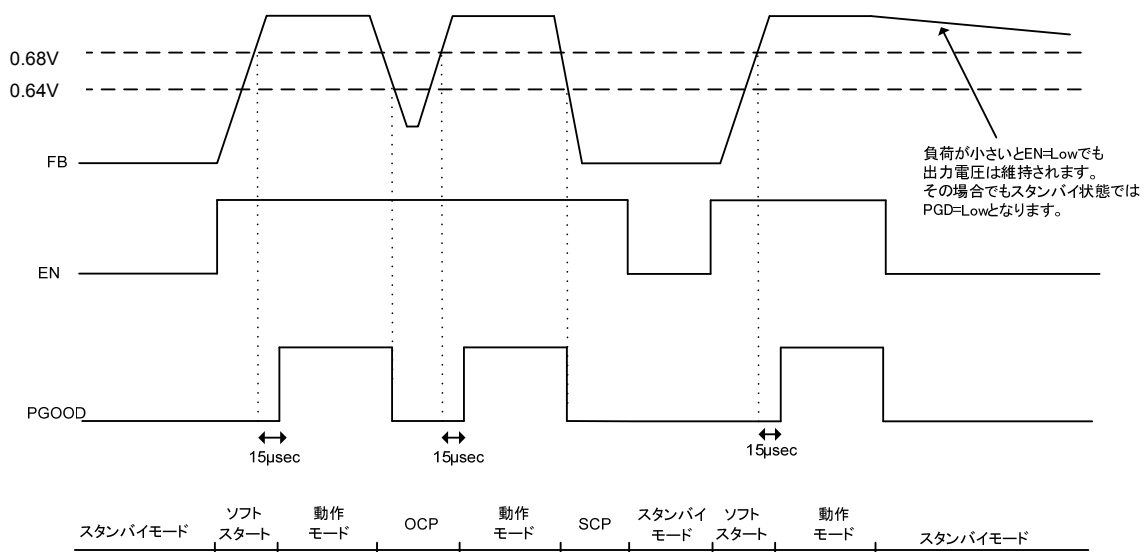


Figure 35. パワーグッド機能タイミングチャート

5. 過電流保護機能・パルスカウント式短絡保護

High side MOS ON時に機能する過電流検出回路を内蔵しており、過電流を検出するとスイッチング On/Off Duty を制御し、出力電圧を降下します。ここで出力電圧が設定値の 80% 以下 (PGOOD エラー) となってから 1024 回の過電流検出を行うと、出力が OFF 状態でラッチし IC の破壊を防止します。EN を再投入するまたは、UVLO を再度解除することで出力が復帰します。

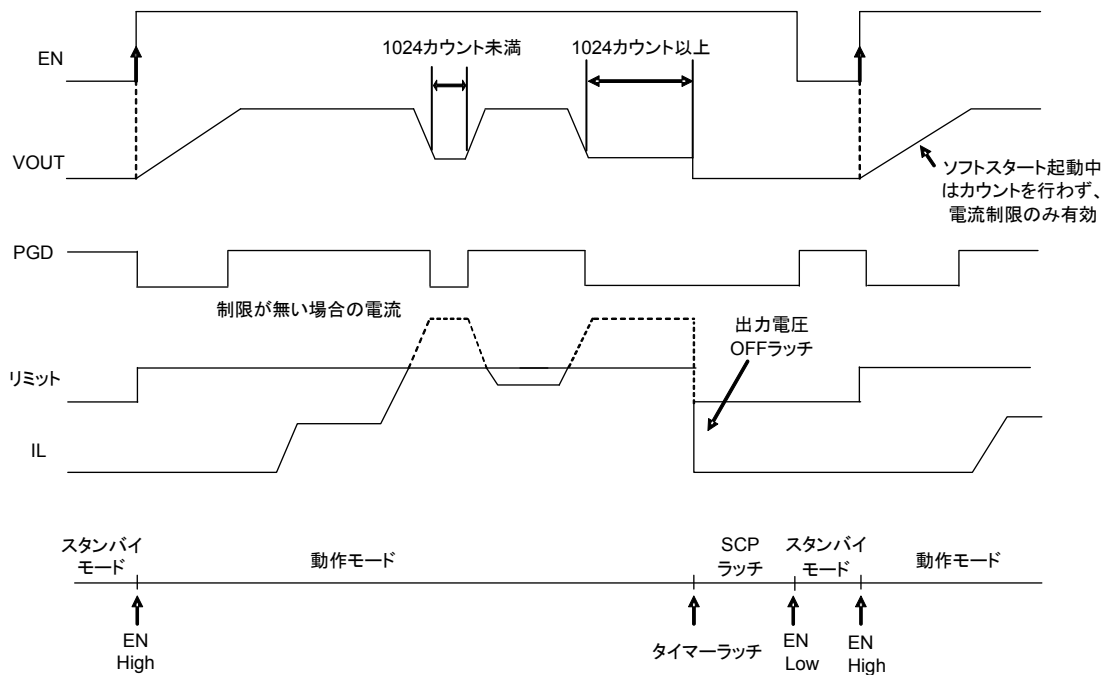


Figure 36. 過電流保護・短絡保護機能タイミングチャート

6. オーバーシュートリダクション(負荷応答特性改善機能)

負荷電流が急減した場合、出力電圧が持ち上がる為、通常は LG 制御信号が ON し続けます。その時のコイル電流の傾き ΔIL は、 $\Delta IL = -VOUT/L$ になります。ここで、負荷電流 $IOUT$ のスルーレート $\Delta IOUT$ が $\Delta IOUT > \Delta IL$ となった場合、過剰な電流が出力コンデンサにチャージされてしまい、出力電圧は持ち上がり続けます (Fig 37 点線波形)。特に出力電圧の設定値が低い時は ΔIL が小さくなり、より顕著に出力電圧の持ち上がりを生じます。

BD91364BMUU では Low side Power MOS が通常 PWM 動作時の約 2 倍の時間を ON し続けた時に Over shoot reduction を動作させます。HG, LG ともに OFF し、Low side MOS の body diode を通して IL を流すことで、SW 端子に $-Vf$ の電圧を発生させます。これにより $\Delta IL = (-Vf - VOUT)/L$ となり、過剰な電流が出力コンデンサにチャージされることを抑制して出力電圧の持ち上がりを軽減します。

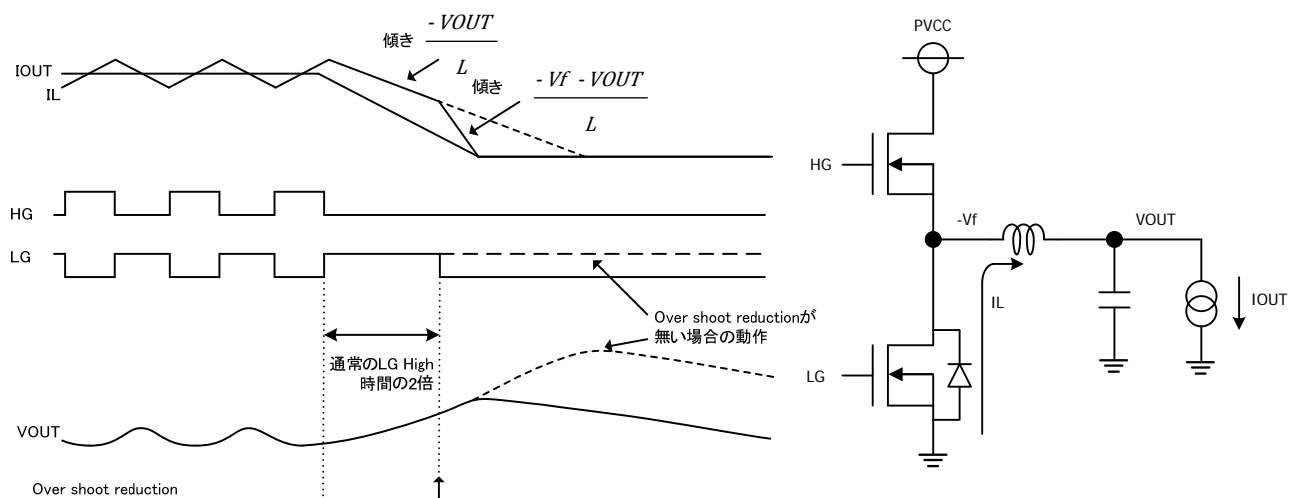


Figure 37. オーバーシュートリダクションタイミングチャート

7. リモートセンス

電源ICの出力VOUTが、System on a chip(SoC)などの負荷と接続されるまでには配線抵抗 R_x による電圧降下を生じます。また SoC の GNDS 端子から基板 GND への配線抵抗 R_y により GNDS 端子の電圧が上昇することがあります。この電圧変動は負荷電流に比例して大きくなり、SoC の誤動作を生じる要因となることもあります。

BD91364BMUU は Fig 38 に示すように配線抵抗 R_y による電圧変動を抑制するため、リモートセンス回路を内蔵しています。GNDS 端子の持ち上げを検出し、IC の基準電圧に持ち上げり量を加算することで、VS-GNDS 間電圧を一定に保ちます。

また、配線抵抗 R_x に関しては出力電圧のフィードバックラインを SoC 入力端子 VS の直近からモニターすることで電圧変動を防止できます。

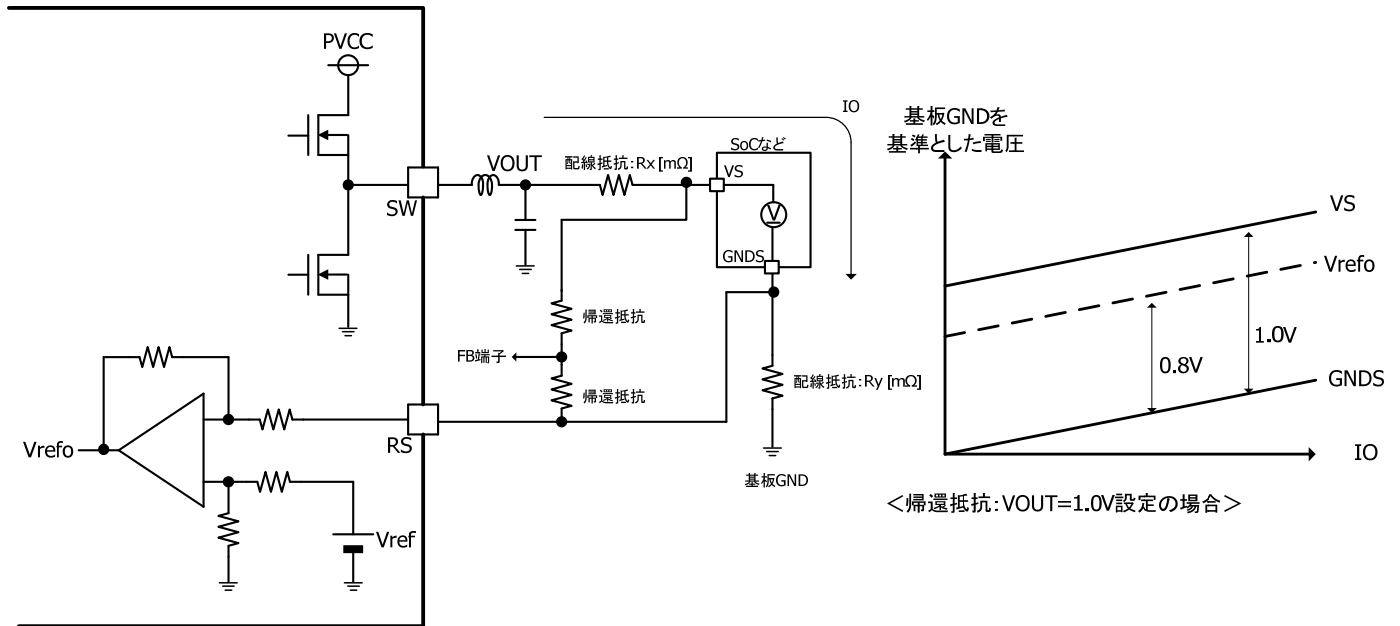


Figure 38. リモートセンス

スイッチング電源の効率について

$$\eta = \frac{V_{OUT} \times I_{OUT}}{V_{IN} \times I_{IN}} \times 100[\%] = \frac{P_{OUT}}{P_{IN}} \times 100[\%] = \frac{P_{OUT}}{P_{OUT} + P_{D\alpha}} \times 100[\%]$$

スイッチングレギュレータの損失の要因 $P_{D\alpha}$ は、下記のようなものがあげられ、これらを軽減することで効率を向上させることができます。

損失の要因

1. コイル、FET の ON 抵抗による損失 : $PD(I^2R)$ [W]
2. ゲート充放電損失 : $PD(Gate)$ [W]
3. スwitchング損失 : $PD(SW)$ [W]
4. コンデンサの ESR 損失 : $PD(ESR)$ [W]
5. IC の動作電流損失 : $PD(IC)$ [W]

$$(1) PD(I^2R) = I_{OUT}^2 \times (R_{COIL} + R_{ON}) \quad [W]$$

($R_{COIL}[\Omega]$: コイルの DC 抵抗、 $R_{ON}[\Omega]$: FET の ON 抵抗、 $I_{OUT}[A]$: 出力電流)

$$(2) PD(Gate) = C_{gs} \times f \times V^2 \quad [W]$$

($C_{gs}[F]$: FET のゲート容量、 $f[Hz]$: スwitchング周波数、 $V[V]$: FET のゲート駆動電圧)

$$(3) PD(SW) = \frac{V_{IN}^2 \times C_{rss} \times I_{OUT} \times f}{IDRIVE} \quad [W] \quad (C_{rss}[F]: \text{FET の逆伝達容量、} IDRIVE[A]: \text{ゲートのピーク電流})$$

$$(4) PD(ESR) = I_{rms}^2 \times ESR \quad [W] \quad (I_{rms}[Arms]: \text{コンデンサのリプル電流、} ESR[\Omega]: \text{等価直列抵抗})$$

$$(5) PD(IC) = V_{IN} \times I_{CC} \quad [W] \quad (I_{CC}[A]: \text{回路電流})$$

許容損失、熱に関する検討

本 IC は高効率のため、ほとんどのアプリケーションで大きな発熱などはなく、検討の必要はないと考えておりますが、低入力電圧、高出力電圧、重負荷、高温での使用時には検討する必要があります。

損失は、FET の ON 抵抗による導通損失のみ検討することとします。前途の損失にはその他にゲート充放電損失やスswitchング損失などがありますが、上記条件においては、導通損失が最も支配的になるからです。

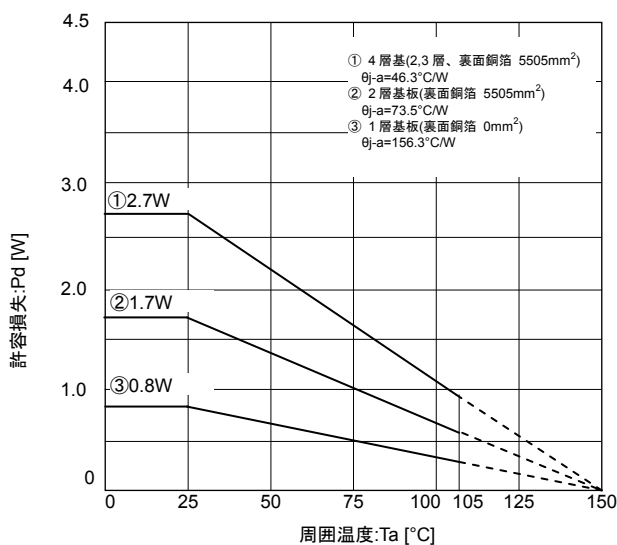


Figure 39. 熱軽減特性 (VQFN20U4040M)

$$P = I_{OUT}^2 \times R_{ON} \quad [W]$$

$$R_{ON} = D \times R_{ONH} + (1 - D) \times R_{ONL} \quad [\Omega]$$

D : ON デューティ (= V_{OUT}/V_{CC})

R_{ONH} : Highside MOS FET のオン抵抗 $[\Omega]$

R_{ONL} : Lowside MOS FET のオン抵抗 $[\Omega]$

I_{OUT} : 出力電流 $[A]$

例) $V_{CC}=5V$, $V_{OUT}=1V$, $R_{ONH}=27m\Omega$, $R_{ONL}=27m\Omega$, $I_{OUT}=5A$ のとき、

$$D = V_{OUT}/V_{CC} = 1/5 = 0.2 \text{ より}$$

$$R_{ON} = 0.2 \times 0.027 + (1 - 0.2) \times 0.027$$

$$= 0.0054 + 0.0216$$

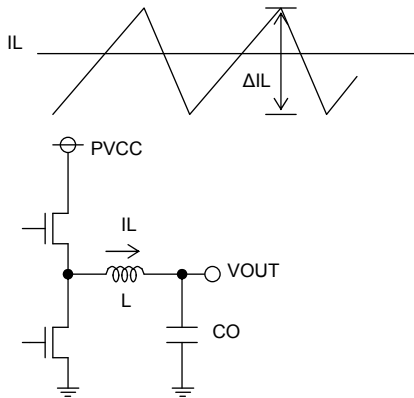
$$= 0.027 \quad [\Omega]$$

$$P = 5^2 \times 0.027 = 0.675 \quad [W]$$

以上の許容損失を考慮し、充分マージンを持った熱設計を行ってください。

外付け部品の選定

1. コイル(L)の選定



コイルの値は、出力リップル電流に大きく影響します。
式(1)のようにコイルが大きいほど、また、スイッチング周波数が高いほどリップル電流は下がります。

$$\Delta IL = \frac{(VCC - VOUT) \times VOUT}{L \times VCC \times f} \quad [A] \cdots (1)$$

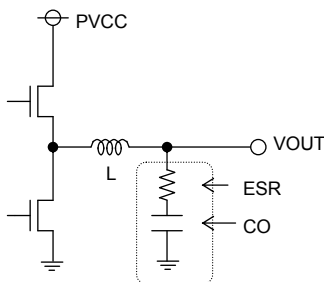
f : スwitchング周波数 [Hz] ΔIL : 出力リップル電流 [A]

PFM での周波数はリップル電流に依存し、コイルの値によって損失要因の $PD(I^2R)$ [W]、 $PD(\text{Gate})$ [W]、 $PD(\text{SW})$ [W]が変化し、効率に影響します。
BD91364BMUU は PFM、PWM とともに $L=0.33\mu\text{H}\sim 0.47\mu\text{H}$ 程度で最も損失を少なくするように設計しています。

Figure 40. 出力リップル電流

※コイルの定格電流値を越える電流をコイルに流しますと、コイルが磁気飽和を起こし、効率が低下します。
ピーク電流がコイルの定格電流値を超えないよう充分なマージンをもって選定してください。
また、コイルでの損失を少なくし、効率をよくするため、抵抗成分(DCR,ACR)の低いコイルを選定してください。

2. 出力コンデンサ(CO)の選定



出力側コンデンサは、出力電圧の安定領域やリップル電圧を平滑化するのに必要な等価直列抵抗を考慮して決定してください。

出力リップル電圧は、式(2)のように決定されます。

$$\Delta VOUT = \Delta IL \times ESR \quad [V] \cdots (2)$$

ESR : CO の等価直列抵抗 [Ω] ΔIL : 出力リップル電流 [A]

※コンデンサの定格は、出力電圧に対し充分なマージンをもって選定してください。
 ESR の値が低い方が出力リップル電圧を小さくすることができるため、 $22\mu\text{F}\sim 100\mu\text{F}$ 程度のセラミックコンデンサを推奨します。
多数のセラミックコンデンサを並列接続しますと、低 ESR の値も極端に小さくなる為、ノイズ等による干渉も注意が必要となります。

また、CO の最大値について、起動時は $VOUT$ を設定値まで上昇させるため、CO に電荷をチャージしますが、大容量の CO を実装すると大きな電流が必要です。
その電流により過電流保護機能(OCP)を検出すると、正常な起動をできないことがあります。

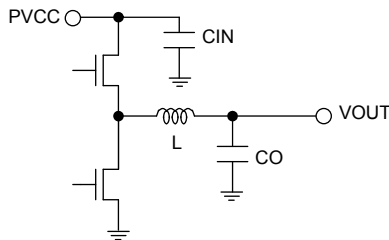
式(3)の条件を満足するように CO の最大値を決定して下さい。

$$TSS > \frac{CO \times VOUT}{IOCP} \quad [\text{sec}] \cdots (3)$$

TSS : ソフトスタート時間 [sec] (Page10 参照)

$IOCP$: 過電流検出 [A] (min) 約 6.5A

3. 入力コンデンサ(CIN)の選定



入力側コンデンサの選定におきましては、大きな過渡電圧を防止するために大きなリップル電流に充分対応できる大きさの低 ESR の入力コンデンサである必要があります。リップル電流 I_{rms} は式(4)で与えられます。22 μ F 以上を推奨します。

$$I_{rms} = I_{OUT} \times \frac{\sqrt{V_{OUT}(V_{CC} - V_{OUT})}}{V_{CC}} \quad [\text{Arms}] \cdots (4)$$

<ワースト条件> $I_{rms}[\text{Arms}](\text{max})$

$$V_{CC} = 2 \times V_{OUT} \text{ の時、 } I_{rms} = \frac{I_{OUT}}{2} \quad [\text{Arms}]$$

Figure 42. 入力コンデンサ

例) BD91364BMUU $V_{CC}=5.5\text{V}$, $V_{OUT}=2.75\text{V}$, $I_{OUT\text{max}}=5\text{A}$ のとき

$$I_{rms} = 5 \times \frac{\sqrt{2.75(5 - 2.75)}}{5.5} = 2.75 \quad [\text{Arms}]$$

4. フィードバックコンデンサ

一般的に固定オンタイム制御ではフィードバック電圧にコンパレータが安定動作するために十分な量のリップル電圧が必要です。本 IC は IC 内部でフィードバック電圧にリップルを注入することにより、セラミックコンデンサなどの低 ESR 出力コンデンサに対応できるように設計されています。適切なリップルを注入するため、フィードバックコンデンサには 100pF~200pF 程度を接続してください。

5. 出力電圧の設定

出力電圧 V_{OUT} は次式(5)により決定されます。

$$V_{OUT} = (R_2/R_1 + 1) \times V_{FB} \quad [\text{V}] \cdots (5)$$

V_{FB} : FB 端子電圧(0.8V Typ)

R_1 、 R_2 を調節することで自由に出力電圧を設定できます。

$$\left[\text{出力電圧設定範囲は } 0.8\text{V} \sim \text{PVCC} \times 0.8\text{V} \right]$$

R_1 、 R_2 には PFM での損失を考慮して、100k Ω 程度の抵抗値をご使用ください。

<入力電圧減電時の留意点>

出力電圧に対して十分な入力電圧が得られない場合、出力電圧は設定値よりも低下します。また、低下の程度は本 IC の特性だけでなく、インダクタの DCR や出力負荷電流にも依存します。

Figure 44 は出力電圧を 3.3V に設定し、各負荷電流状態にて入力電圧を低下させたときの出力電圧状態を示したものです。
(L =FDSD0420-H-R47 : DCR=15m Ω Typ)

基本的には $\text{PVCC} \times 0.8 \geq V_{OUT}$ の条件を仕様範囲としています。この条件を満足しない場合は、Figure 44 のように出力電圧が設定値よりも低下するため、ご注意ください。

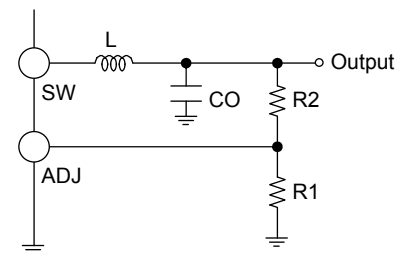
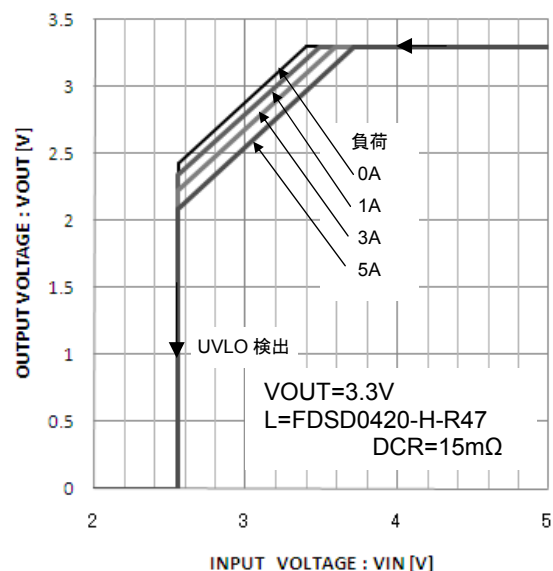


Figure 43. 出力電圧設定抵抗



推奨部品回路図

Figure 44. Output and input voltage difference limits

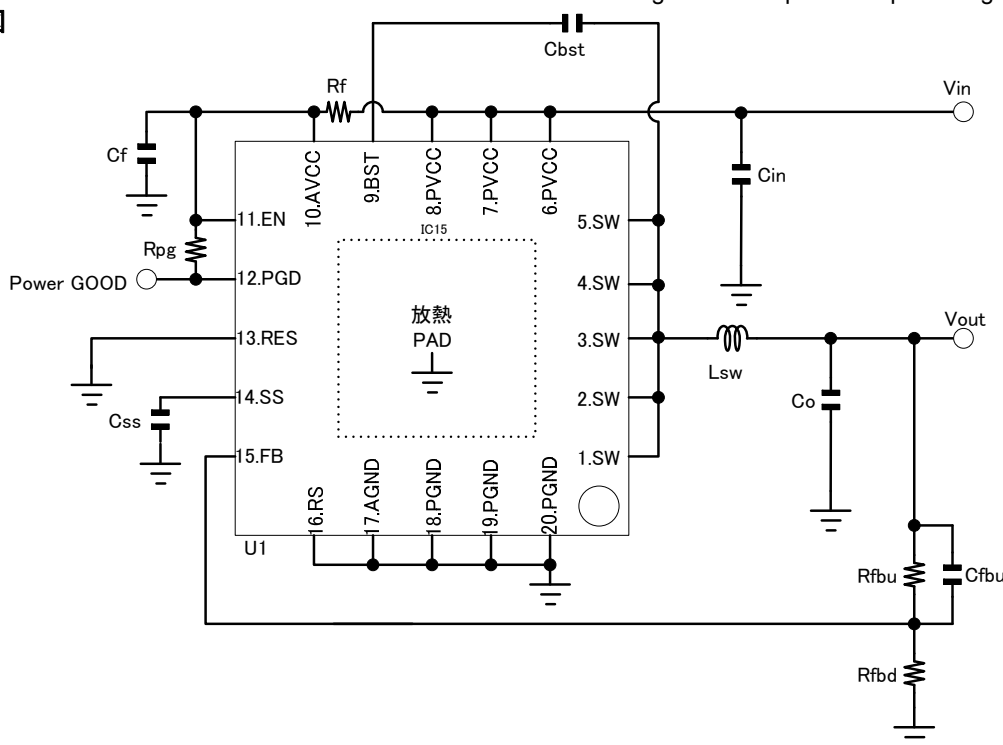


Figure 45. 推奨部品回路図

- 11pin EN
イネーブル端子にて出力制御を行う場合、外部より制御信号を与えてください。
- 13pin RES
グラウンドに接地してください。
- 16pin RS
リモートセンス機能を使用する場合は、グラウンドセンスをする箇所に接続してください。
使用しない場合は AGND(Ground)に接地してください。
- Rpg
Power GOOD プルアップ用抵抗です。Power GOOD 機能を使用しない場合は、12pin PGD をオープンにするか、グラウンドに接地して下さい。
- Css
ソフトスタート時間設定用コンデンサです。C6 を実装せず、14pin SS をオープンで使用すると、固定時間 1msec でソフトスタート起動します。

推奨部品リスト

Part No	Value	Manufacturer	Part number
U1	-	ROHM	BD91364BMUU
L _{sw}	0.47μH	TOKO	FDSD0420-H-R47M
C _o	22μF	MURATA	GRM32ER61E226
Cin(Note6)	22μF	MURATA	GRM21BR60J226
Cbst	0.1μF	MURATA	GRM15 Series 1005
Css	1000pF	MURATA	GRM15 Series 1005
Cfbu	200pF	MURATA	GRM15 Series 1005
Cf	1000pF	MURATA	GRM15 Series 1005
Rfbd	200kΩ	ROHM	MCR01 Series 1005
Rfbu	51kΩ	ROHM	MCR01 Series 1005
Rf	100Ω	ROHM	MCR01 Series 1005
Rpg	100kΩ	ROHM	MCR01 Series 1005

(Note6) Cin (入力コンデンサ) の容量は、Dc バイアス特性等を考慮して最小値が 10uF を下回らないように設定してください。

PCB レイアウトの時の注意点

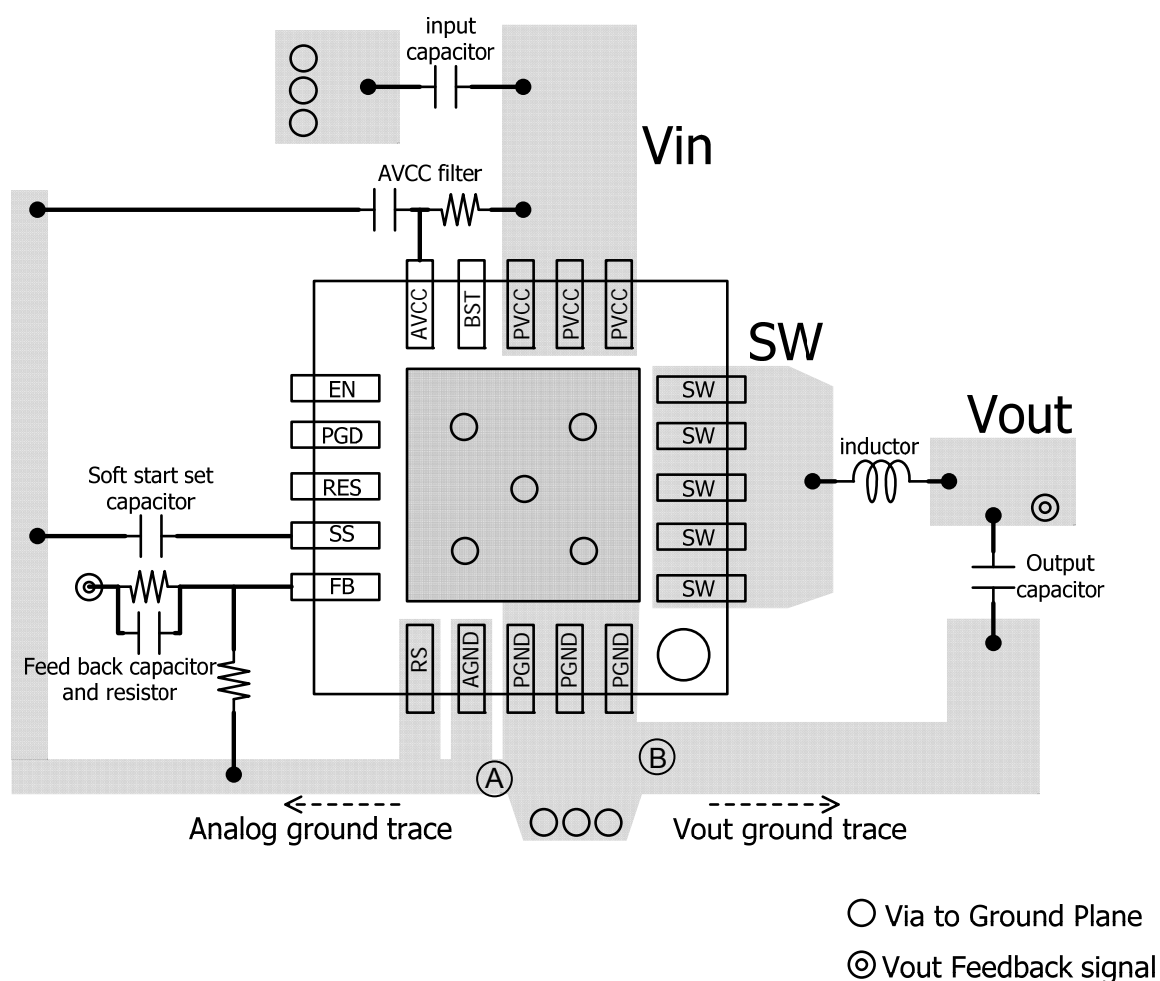


Figure 46. PCB レイアウト

DC/DC コンバータ IC の PCB レイアウトにおいて、入力コンデンサには大きな電流遷移が発生する為、センスグラウンドの配線には特に注意が必要です。

Fig 46 に示すように、Analog ground を配線し、このラインに大電流が流れないように、① の 1 点でのみ Ground plane に接続してください。

また、Vout ground についても、電流遷移が発生する Ground plane には②の一点でのみで接続して下さい。

また、Feed back capacitor and resistor は FB 入力端子の近傍に設置してください。

また、Feed back ラインの配線は、引き回しに注意して、ノイズ等が回り込まないようにレイアウトにご注意下さい。

端子等価回路図

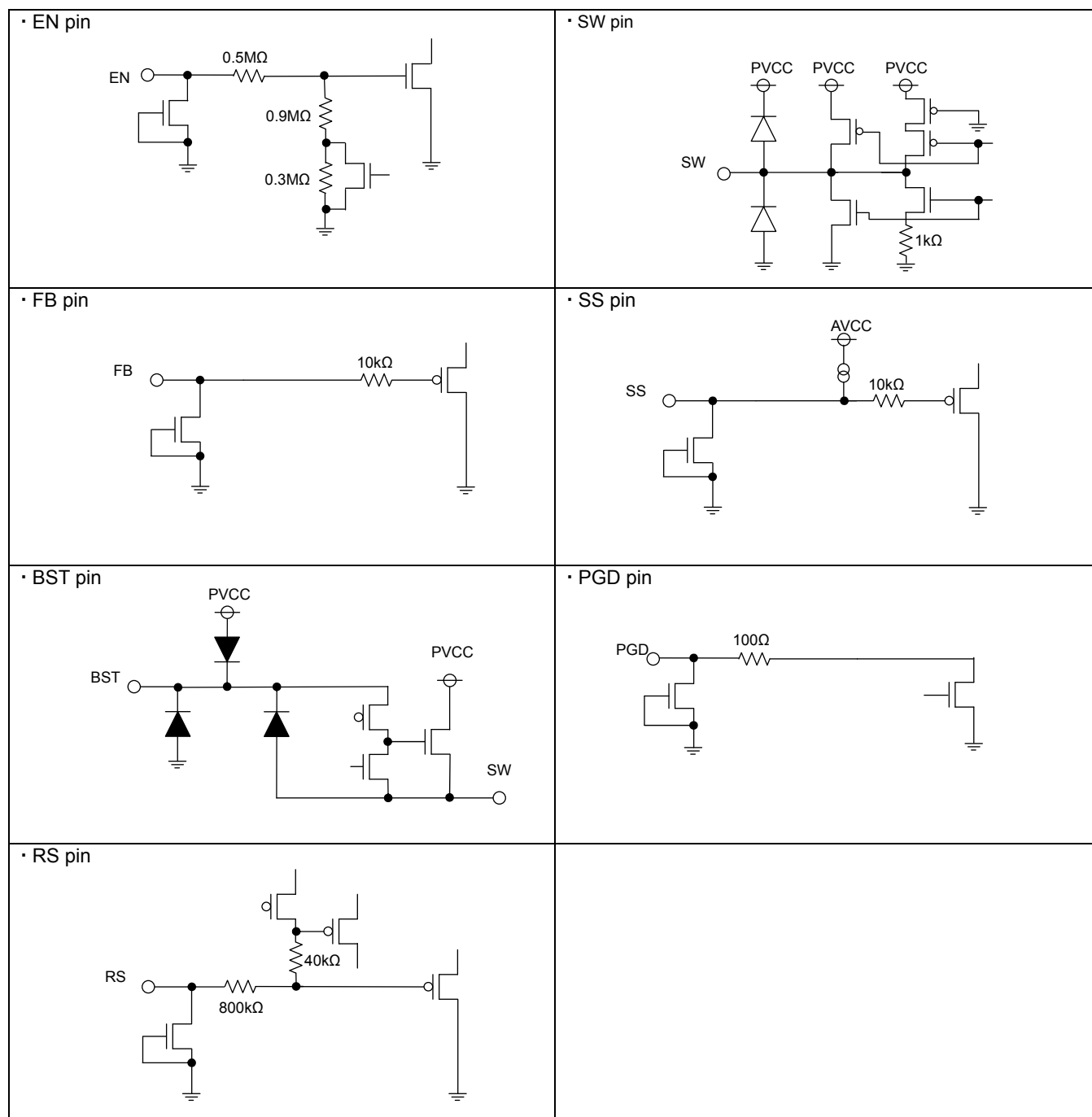


Figure 47. I/O 入出力等価回路図

使用上の注意

1. 電源の逆接続について

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れる等の対策を施してください。

2. 電源ラインについて

基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。その際、デジタル系電源とアナログ系電源は、それらが同電位であっても、デジタル系電源パターンとアナログ系電源パターンは分離し、配線パターンの共通インピーダンスによるアナログ電源へのデジタル・ノイズの回り込みを抑止してください。グラウンドラインについても、同様のパターン設計を考慮してください。

また、LSI のすべての電源端子について電源ーグラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量ぬけが起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

3. グラウンド電位について

グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。

4. グラウンド配線パターンについて

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

5. 熱設計について

万一、許容損失を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。本仕様書の絶対最大定格に記載しています許容損失は、70mm x 70mm x 1.6mm ガラスエポキシ基板実装時、放熱板なし時の値であり、これを超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用する等の対策をして、許容損失を超えないようにしてください。

6. 推奨動作条件について

この範囲であればほぼ期待通りの特性を得ることが出来る範囲です。電気特性については各項目の条件下において保証されるものです。推奨動作範囲内であっても電圧、温度特性を示します。

7. ラッシュカレントについて

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

8. 強電磁界中の動作について

強電磁界中でのご使用では、まれに誤動作する可能性がありますのでご注意ください。

9. セット基板での検査について

セット基板での検査時に、インピーダンスの低いピンにコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

10. 端子間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けした場合、IC が破壊する恐れがあります。また、出力と電源およびグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

使用上の注意 — 続き

11. 未使用の入力端子の処理について

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

12. 各入力端子について

本 IC はモノリシック IC であり、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、 $GND > (\text{端子 A})$ の時、トランジスタ(NPN)では $GND > (\text{端子 B})$ の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ(NPN)では、 $GND > (\text{端子 B})$ の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に GND (P 基板)より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子が GND にショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

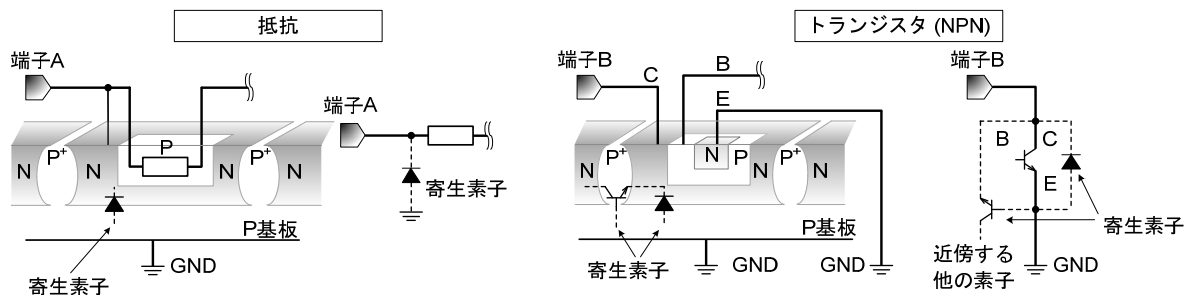


Figure 48. モノリシック IC 構造例

13. セラミック・コンデンサの特性変動について

外付けコンデンサに、セラミック・コンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮の上定数を決定してください。

14. 安全動作領域について

本製品を使用する際には、出力トランジスタが絶対最大定格及び ASO を越えないよう設定してください。

15. 温度保護回路について

IC を熱破壊から防ぐための温度保護回路を内蔵しております。許容損失範囲内でご使用いただきますが、万が一許容損失を超えた状態が継続すると、チップ温度 T_j が上昇し温度保護回路が動作し出力パワー素子が OFF します。その後チップ温度 T_j が低下すると回路は自動で復帰します。なお、温度保護回路は絶対最大定格を超えた状態での動作となりますので、温度保護回路を使用したセット設計等は、絶対に避けてください。

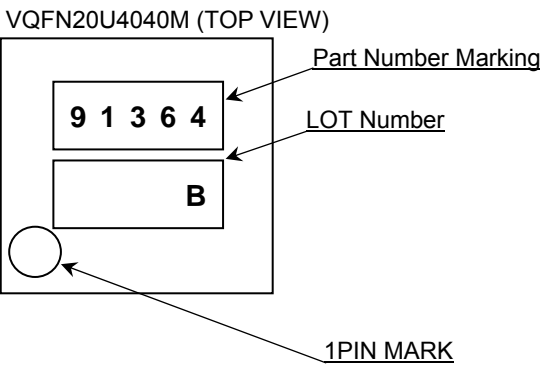
16. 過電流保護回路について

出力には電流能力に応じた過電流保護回路が内部に内蔵されているため、負荷ショート時には IC 破壊を防止しますが、この保護回路は突発的な事故による破壊防止に有効なもので、連続的な保護回路動作、過渡時でのご使用に対応するものではありません。

発注形名情報

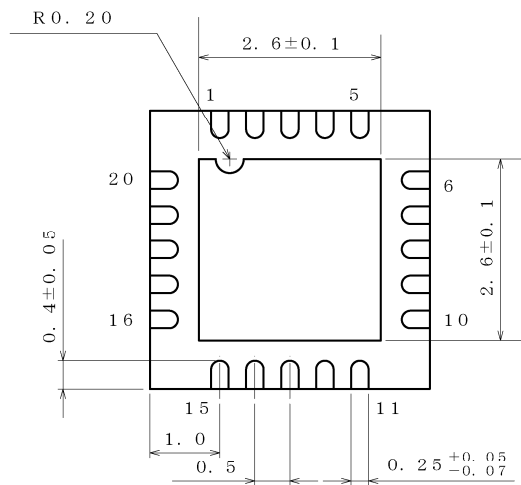
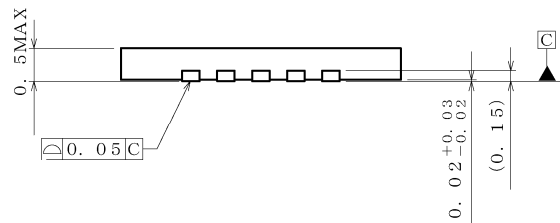
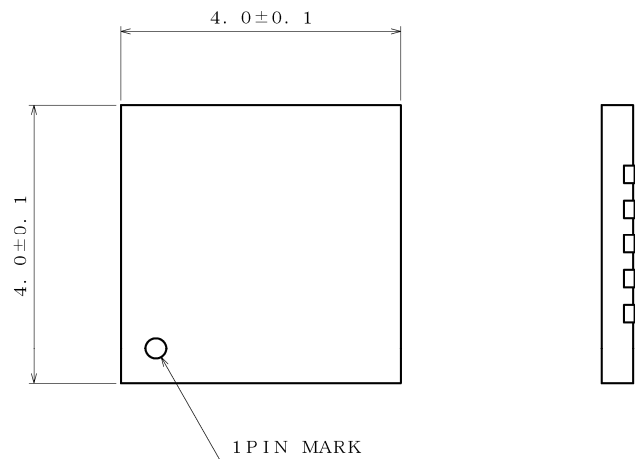
B D 9 1 3 6 4 B M U U											-	Z E 2		
品名											パッケージ MUU:VQFN20U4040M	包装、フォーミング仕様 E2: リール状エンボステーピング		

標印図



外形寸法図と包装・フォーミング仕様

Package Name	VQFN20U4040M
--------------	--------------



PKG : VQFN20U4040M
Drawing No. EX375-5001

(UNIT : mm)

<包装仕様>

包装形態	エンボステーピング
包装数量	2500pcs
包装方向	E2 (リールを左手に持ち、右手でテープを引き出したときに) 製品の1番ピンが左上にくる方向

※ご発注の際は、包装数量の倍数をお願い致します。

改訂履歴

日付	版	変更内容
2015.7.27	001	新規作成

ご注意

ローム製品取扱い上の注意事項

1. 本製品は一般的な電子機器（AV 機器、OA 機器、通信機器、家電製品、アミューズメント機器等）への使用を意図して設計・製造されております。従いまして、極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険若しくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器^(Note 1)、輸送機器、交通機器、航空宇宙機器、原子力制御装置、燃料制御、カーアクセサリを含む車載機器、各種安全装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

2. 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、かかる誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
3. 本製品は、一般的な電子機器に標準的な用途で使用されることを意図して設計・製造されており、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。従いまして、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂ 等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合。
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用。
 - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用された場合も、残渣の洗浄は確実にを行うことをお勧め致します)、又ははんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合。
 - ⑧本製品が結露するような場所でのご使用。
4. 本製品は耐放射線設計はなされておられません。
5. 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
6. パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
7. 許容損失(Pd)は周囲温度(Ta)に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、ディレーティングカーブ範囲内であることをご確認ください。
8. 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
9. 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

1. ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
2. はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。従いまして、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施の上、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。（人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等）

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
 - ①潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ②推奨温度、湿度以外での保管
 - ③直射日光や結露する場所での保管
 - ④強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認した上でご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行った上でご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルに QR コードが印字されていますが、QR コードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は外国為替及び外国貿易法に定める規制貨物等に該当するおそれがありますので輸出する場合には、ロームにお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等（ソフトウェア含む）との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ローム若しくは第三者が所有又は管理している知的財産権、その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。但し、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社若しくは第三者の商標又は登録商標です。

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。