

4.5V ~ 28V 入力, 3A 同期整流 1ch 降圧 DC/DC コンバータ

BD95513MUV

概要

BD95513MUV は、広入力電圧範囲(4.5~28V)から低出力電圧(0.7V~5.0V)を大電流(3A まで)で実現できるスイッチングレギュレータです。スイッチングトランジスタの N-MOSFET を内蔵しており、高効率同期整流スイッチングレギュレータを省スペースで実現できます。H³Reg™ というローム独自の制御モードを採用することで、業界最速の過渡応答特性を実現できます。また、軽負荷時の効率を改善するために SLLM™ (Simple Light Load Mode)を採用し、広範囲な負荷に対して高効率を実現できます。ソフトスタート機能、周波数可変機能、タイマーラッチ付出力短絡保護回路機能、出力電圧保護機能、REF 同期機能を有しており、PC 用スイッチング電源として最適です。

特長

- 5V リニアレギュレータ内蔵
- H³Reg™ DC/DC コンバータコントローラ内蔵
- 軽負荷モード(SLLM™)、静音軽負荷モード(QLLM)、連続モード選択可能
- 過熱、低入力、過電流、出力過電圧、出力減電圧の保護回路内蔵
- ソフトスタート機能により起動時の突入電流を軽減
- 周波数設定可能(f=200KHz~600KHz)
- 出力ディスチャージ機能内蔵
- トラッキング機能内蔵
- ブートストラップ用 Di を内蔵

重要特性

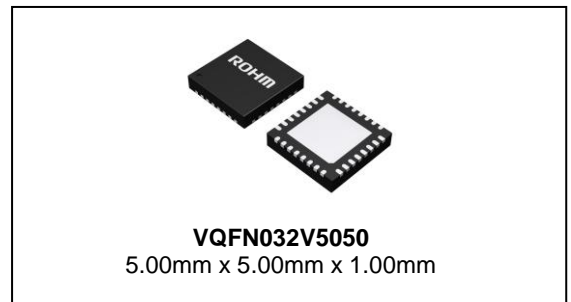
- 入力電圧範囲 +4.5V~+28V
- 出力電圧範囲 0.7V~5.0V
- 出力電流 3.0A(Max)
- High 側 ON 抵抗 120mΩ(Typ)
- Low 側 ON 抵抗 120mΩ(Typ)
- スタンバイ電流 0μA(Typ)
- 動作温度範囲 -10°C ~ +100°C

用途

モバイル PC、デスクトップ PC、LCD-TV、デジタル家電等

パッケージ

W (Typ) x D (Typ) x H (Max)



基本アプリケーション回路

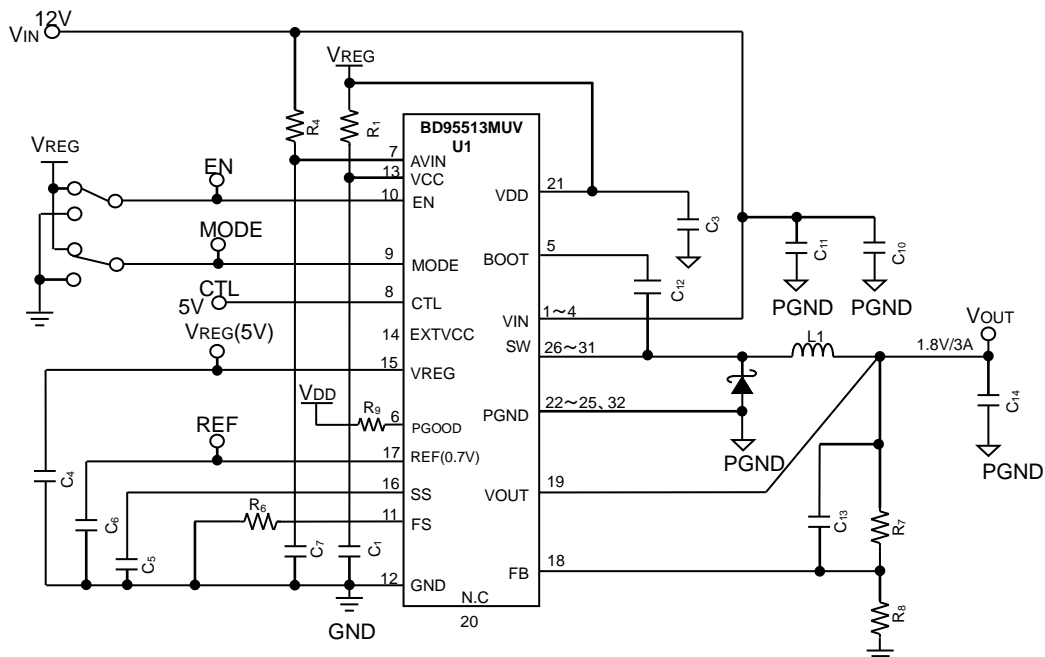
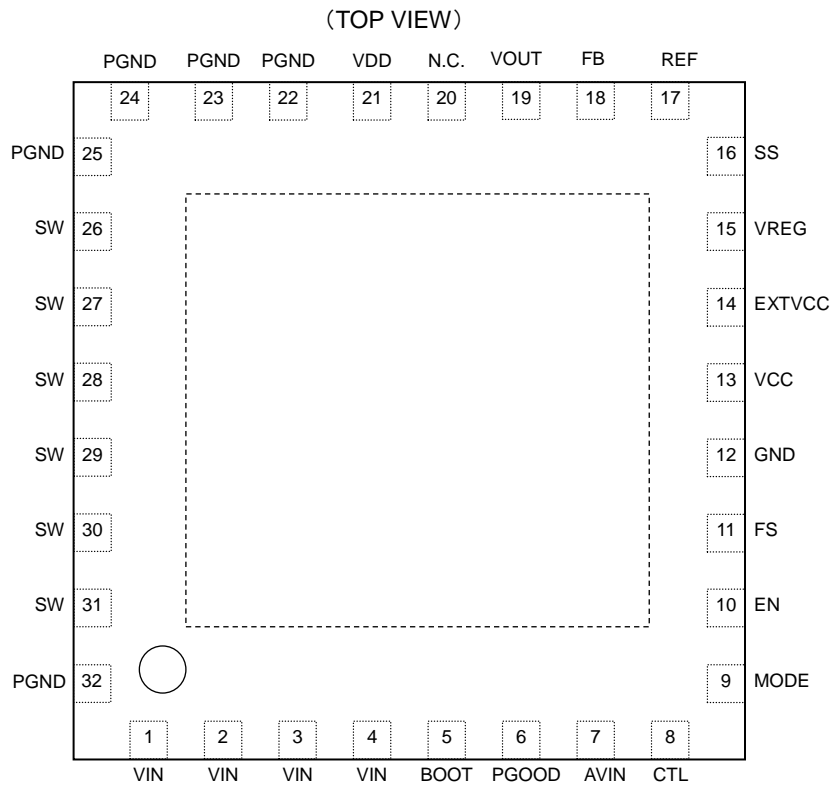


Figure 1. 基本アプリケーション回路

端子配置図



注意：裏面(FIN)は GND 端子に接続してください。

Figure 2. 端子配置図

端子説明

(機能表)

Pin No.	Pin Name	Pin Description
1~4	VIN	バッテリーVoltage 入力端子。(4.5~28V 入力)
5	BOOT	HG driver 電源端子。
6	PGOOD	パワーグッド出力端子。(±10%で High)
7	AVIN	バッテリーVoltage センス端子。
8	CTL	リニアレギュレータ ON/OFF 端子。(High=5.0V、Low=OFF)
9	MODE	コントロールモード設定端子。 GND: 連続モード 3.0V: QLLM VCC: SLLM™
10	EN	イネイブル入力端子。(High 時 VOUT ON)
11	FS	周波数設定用抵抗接続端子($R_{FS}=30k\sim 300k\Omega$)
12	GND	センス GND。
13	VCC	電源入力端子。
14	EXTVCC	外部電源入力端子。
15	VREG	IC 内部基準電圧。(5.0V/200mA)
16	SS	ソフトスタート用コンデンサ接続端子。
17	REF	出力電圧設定端子。(0.7V)
18	FB	出力基準電圧フィードバック端子。(0.7V)
19	VOUT	出力電圧ディスチャージ用端子。
20	N.C.	No Connect Pin
21	VDD	パワー電源入力端子。(5V 入力)
22~25	PGND	パワーGND。
26~31	SW	コイル接続端子。
32	PGND	パワーGND。
裏面	FIN	サブストレート。

ブロック図

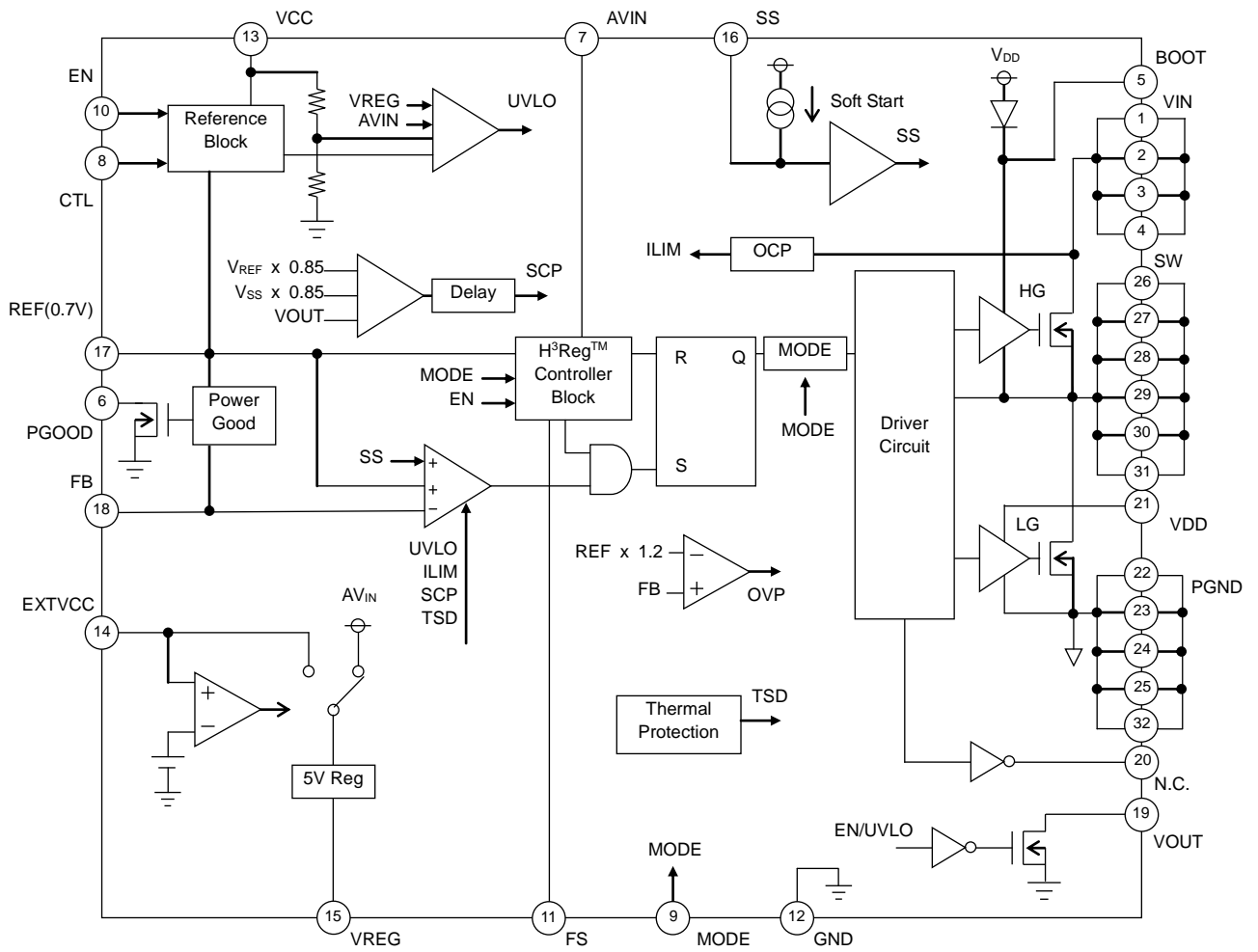


Figure 3. ブロック図

ブロック図説明

1. VCC
IC 内部回路動作用の電源・入力ピン。FET ドライバ以外のブロックの電源となっています。VREG 出力を接続して使用してください。VCC ピンには 10Ω、1μF 程度の RC フィルタ等を推奨します。
2. EN
EN 端子は 2.3V 以上でハイレベルとなり、スイッチング動作が開始されます。0.8V 以下でローレベルとなりスイッチング動作が OFF します。
3. VDD
LOW サイド FET のドライブ用電源、ブート Di 用の電源となります。FET ON/OFF 時のピーク電流が流れるため 1μF 程度のパスコンを付けることを推奨します。
4. VREG
5V リニアレギュレータ出力端子です。ドライバと内部制御回路の電源としても使用しています。VREG のスタンバイ機能は、CTL ピンによって決まります。出力 5V で 100mA の電流能力があり、10μF(B 特以上)を対 GND に接続してください。
5. EXTVCC
VREG への外部電源入力ピン。EXTVCC が 4.4V を超えると、EXTVCC を電源として VREG を供給します。EXTVCC 端子を使用しない時は、オープンもしくは GND にしてください。
6. REF
出力電圧設定基準ピンです。IC 内部で 0.7V の基準電圧を設定しています。V_{REF} ≈ V_{FB} となるよう IC が制御します。この端子がゆれると出力電圧にも影響を及ぼすため、100pF~0.1μF のセラコンを付けることを推奨します。
7. SS
ソフトスタート/ストップ設定用端子です。EN High 時 IC 内部の定電流(ソース)と SS-GND 間に接続されたコンデンサにより立ち上り時間が決定します。SS が REF 端子電圧(0.7V)以下の間、FB 端子の電圧を SS 端子と同等になるよう制御します。
8. AVIN
BD95513MUV は入力電圧により Duty を決定し出力電圧を制御します。そのためこの端子がゆれると動作が非常に不安定になります。AVIN ラインはスイッチング部の入力電圧ともなっているため電源のインピーダンスによっては非常に不安定になります。セット内状態に応じたパスコン、RC フィルタ等を推奨します。
9. FS
周波数設定用抵抗接続端子です。周波数範囲 f=200KHz~600KHz で設定が可能です。ON Time と MAX ON Time を設定します。
10. BOOT
ハイサイド FET ドライブ用電源端子です。ブートストラップ用のダイオードを内蔵しています。対 GND 耐圧は 35V まで、対 SW 耐圧は 7V まであります。スイッチング動作時、BOOT 動作により(VIN+VDD)~VDD までスイングします。
11. PGOOD
パワーグッドの出力端子です。オープンドレイン構造になっているため、他電源に 100kΩ 程度の抵抗を介し Pull up します。使用しない場合は、オープンもしくは GND にショートしてください。
12. MODE
SLLM™(Simple Light Load Mode)、連続モードの選択ピンです。Low 時:連続モード、Middle(OPEN)時 QLLM、High 時 SLLM™になります。
13. CTL
CTL 端子は 2.3V 以上でハイレベルとなり、リニアレギュレータ(V_{REG}=5V)が出力されます。0.8V 以下でローレベルとなりリニアレギュレータが OFF します。また、EN 端子がハイレベルの時であっても CTL 端子がローレベルであれば、スイッチングレギュレータは動作しません。
14. FB
出力電圧フィードバック用端子です。V_{FB}=0.7V となるよう IC が制御します。
15. SW
コイル接続端子です。VIN~GND までスイングします。コイルまでのパターンを太く短く接続してください。
16. VOUT
出力電圧ディスチャージ用端子です。EN OFF 時に出力を Low にします。
17. VIN
入力電源端子です。4.5~28V を入力してください。対 GND に入力コンデンサをピン直に接続してください。
18. PGND
パワーGND 端子です。

絶対最大定格 (Ta = 25°C)

項目	記号	定格	単位
入力電圧 1	V _{CC}	7 (Note 1)	V
入力電圧 2	V _{DD}	7 (Note 1)	V
入力電圧 3	AV _{IN}	30 (Note 1)	V
入力電圧 4	V _{IN}	30 (Note 1)	V
EXTVCC 電圧	EXTV _{CC}	7 (Note 1)	V
BOOT 電圧	V _{BOOT}	35	V
BOOT-SW 電圧	V _{BOOT-SW}	7 (Note 1)	V
出力フィードバック電圧	V _{FB}	V _{CC}	V
SS/FS/MODE 電圧	V _{SS} /V _{FS} /V _{MODE}	V _{CC}	V
VREG 電圧	V _{REG}	V _{CC}	V
EN/CTL 入力電圧	V _{EN} /V _{CTL}	7 (Note 1)	V
PGOOD 電圧	V _{PGOOD}	7 (Note 1)	V
出力電流(平均)	I _{SW}	3 (Note 1)	A
許容損失 1	Pd1	0.38 (Note 2)	W
許容損失 2	Pd2	0.88 (Note 3 and Note 6)	W
許容損失 3	Pd3	3.26 (Note 4 and Note 6)	W
許容損失 4	Pd4	4.56 (Note 5 and Note 6)	W
動作温度範囲	Topr	-10 ~ +100	°C
保存温度範囲	Tstg	-55 ~ +150	°C
接合部温度	Tjmax	+150	°C

(Note 1) ただし Pd を超えないこと。

(Note 2) Ta ≥ 25°C の場合(IC 単体時)3.0mW/°C で軽減。

(Note 3) Ta ≥ 25°C の場合(1 層基板(表裏放熱銅箔:20.2mm²))7.0mW/°C で軽減。

(Note 4) Ta ≥ 25°C の場合(4 層基板(表裏層放熱銅箔:20.2mm²、2、3 層放熱銅箔:5505mm²))26.1mW/°C で軽減。

(Note 5) Ta ≥ 25°C の場合(4 層基板(全層放熱銅箔:5505mm²))36.5mW/°C で軽減。

(Note 6) 裏面を半田付けした時の値です。裏面を半田付けしない場合は、許容損失は低下します。

注意：印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施して頂くようお願いいたします。

推奨動作条件 (Ta = 25°C)

項目	記号	定格		単位
		最小	最大	
入力電圧 1	V _{CC}	4.5	5.5	V
入力電圧 2	V _{DD}	4.5	5.5	V
入力電圧 3	AV _{IN}	4.5	28	V
入力電圧 4	V _{IN}	4.5	28	V
EXTVCC 電圧	EXTV _{CC}	4.5	5.5	V
BOOT 電圧	V _{BOOT}	4.5	33	V
SW 電圧	V _{SW}	-0.7	+28	V
BOOT-SW 電圧 e	V _{BOOT-SW}	4.5	5.5	V
MODE 入力電圧	V _{MODE}	0	5.5	V
EN/CTL 入力電圧	V _{EN} /V _{CTL}	0	5.5	V
PGOOD 電圧	V _{PGOOD}	0	5.5	V
MIN ON 時間	t _{ON_MIN}	-	100	ns

電気的特性

(特に指定のない限り、 $T_a=25^{\circ}\text{C}$, $AV_{IN}=12\text{V}$, $V_{CC}=V_{DD}=V_{REG}$, $V_{EN}/V_{CTL}=5\text{V}$, $V_{MODE}=0\text{V}$, $R_{FS}=180\text{k}\Omega$)

項目	記号	規格値			記号	条件
		最小	標準	最大		
【Whole Device】						
AVIN バイアス電流 1	I_{IN1}	-	1200	1800	μA	
AVIN バイアス電流 2	I_{IN2}	-	150	250	μA	$EXTV_{CC}=5\text{V}$
AVIN スタンバイ電流	I_{INSTB}	-	0	10	μA	$V_{CTL}=V_{EN}=0\text{V}$
EN Low 電圧	V_{ENLOW}	GND	-	0.8	V	
EN High 電圧	V_{ENHIGH}	2.3	-	5.5	V	
EN バイアス電流	I_{EN}	-	12	20	μA	
CTL Low 電圧	V_{CTLLOW}	GND	-	0.8	V	
CTL High 電圧	V_{CTHIGH}	2.3	-	5.5	V	
CTL バイアス電流	I_{CTL}	-	1	6	μA	
【5V リニアレギュレータ部】						
VREG 出力電圧	V_{REG}	4.90	5.00	5.10	V	$AV_{IN}=6.0\sim 25\text{V}$ $I_{REG}=0\sim 100\text{mA}$
最大電流	I_{REG}	100	-	-	mA	
【5V スイッチ部】						
EXTVCC 入力スレッシュヨルド電圧	EV_{CC_UVLO}	4.2	4.4	4.6	V	$EXTV_{CC}$:Sweep up
スイッチ抵抗	R_{EVCC}	-	1.0	2.0	Ω	
【低入力誤作動防止部】						
AVIN スレッシュヨルド電圧	AV_{IN_UVLO}	4.1	4.3	4.5	V	V_{CC} :Sweep up
AVIN ヒステリシス電圧	dAV_{IN_UVLO}	100	160	220	mV	V_{CC} :Sweep down
VREG スレッシュヨルド電圧	V_{REG_UVLO}	4.1	4.3	4.5	V	V_{REG} :Sweep up
VREG ヒステリシス電圧	dV_{REG_UVLO}	100	160	220	mV	V_{REG} :Sweep down
【H ³ Reg™ 制御部】						
ON Time	t_{ON}	400	500	600	nsec	
MAX ON Time	t_{ONMAX}	10.0	22.0	40.0	μsec	
MIN OFF Time	t_{OFFMIN}	-	450	550	nsec	
【FET 部】						
High 側 ON 抵抗	R_{ON_HIGH}	-	120	200	m Ω	
Low 側 ON 抵抗	R_{ON_LOW}	-	120	200	m Ω	
【SCP 部】						
SCP 起動電圧	V_{SCP}	0.420	0.490	0.560	V	V_{FB} :30%down 時
ディレイ時間	t_{SCP}	0.5	1	2	ms	

電気的特性 - 続き

(特に指定のない限り、 $T_a=25^{\circ}\text{C}$, $A_{VIN}=12\text{V}$, $V_{CC}=V_{DD}=V_{REG}$, $V_{EN}/V_{CTL}=5\text{V}$, $V_{MODE}=0\text{V}$, $R_{FS}=180\text{k}\Omega$)

項目	記号	規格値			記号	条件
		最小	標準	最大		
【OVP 部】						
OVP 設定電圧	V_{OVP}	0.800	0.840	0.880	V	$V_{FB}:20\%\text{up}$ 時
【ソフトスタート部】						
チャージ電流	I_{SS}	1.4	2.2	3.0	μA	
スタンバイ電圧	V_{SS_STB}	-	-	100	mV	
【電流制限部】						
出力電流制限	I_{OCP}	3	-	-	A	
【出力電圧検出部】						
フィードバック端子電圧 1	V_{FB1}	0.693	0.700	0.707	V	
フィードバック端子電圧 2	V_{FB2}	0.690	0.700	0.710	V	$T_a = -10^{\circ}\text{C} \sim +100^{\circ}\text{C}$ $I_{OUT}=0\text{A} \sim 3\text{A}$
フィードバック端子バイアス電流	I_{FB}	-100	0	+100	nA	
【MODE 部】						
SLLM™	V_{THSLLM}	$V_{CC}-0.5$	-	V_{CC}	V	SLLM™ (最大 LG オフ時間: ∞)
強制連続モード	V_{THCONT}	GND	-	0.5	V	連続モード
オープン電圧	V_{MODE}	1.5	-	3.0	V	
【パワーグッド部】						
V_{FB} Power Good Low 電圧	V_{FBPL}	0.605	0.63	0.655	V	$V_{FB}:10\%\text{down}$ 時
V_{FB} Power Good High 電圧	V_{FBPH}	0.745	0.77	0.795	V	$V_{FB}:10\%\text{up}$ 時

特性データ(参考データ)

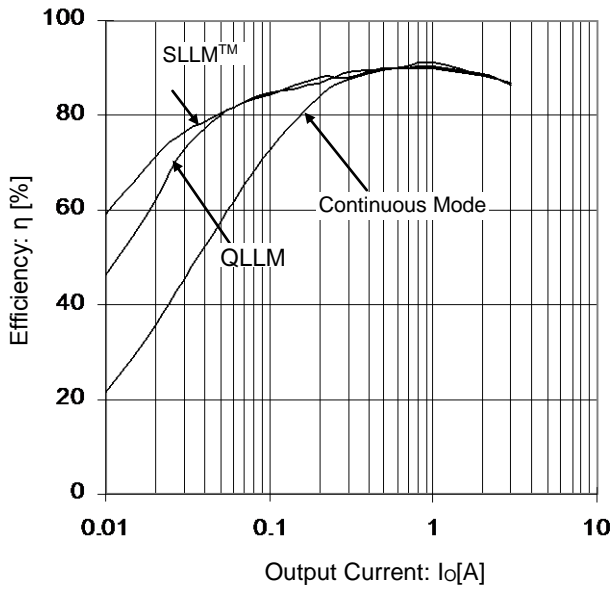


Figure 4. Efficiency vs Output Current
($V_{IN}=7V, V_{OUT}=2.5V$)

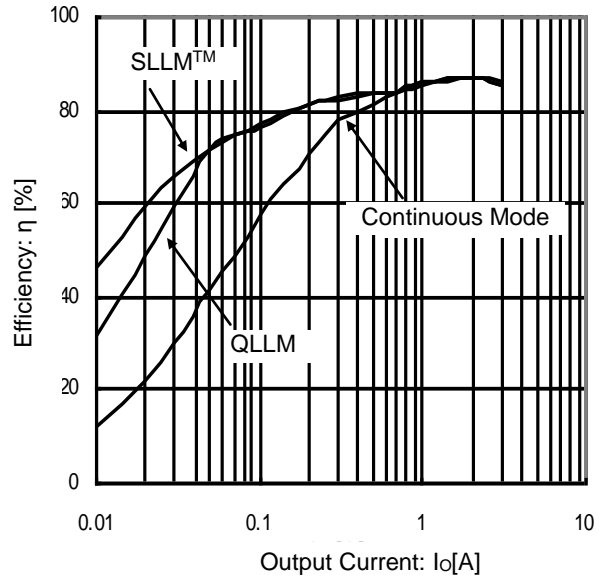


Figure 5. Efficiency vs Output Current
($V_{IN}=12V, V_{OUT}=2.5V$)

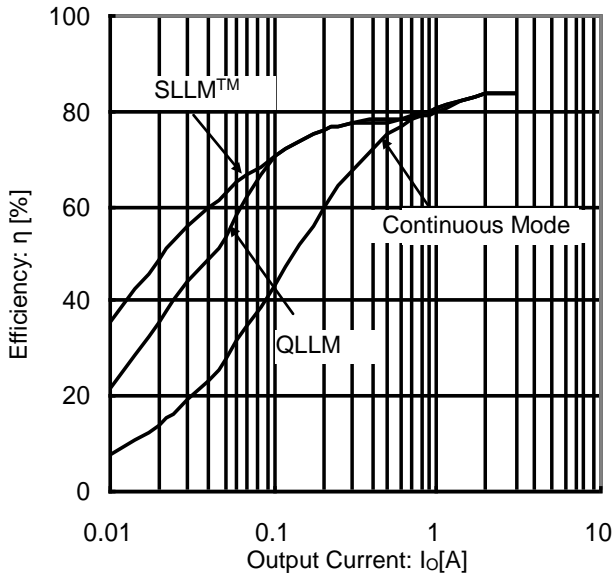


Figure 6. Efficiency vs Output Current
($V_{IN}=19V, V_{OUT}=2.5V$)

波形データ

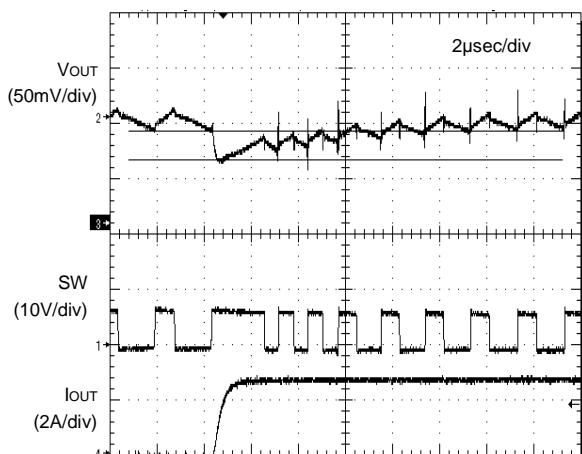


Figure 7. 過渡応答波形
($V_{IN}=7V$ 、 $V_{OUT}=2.5V$)

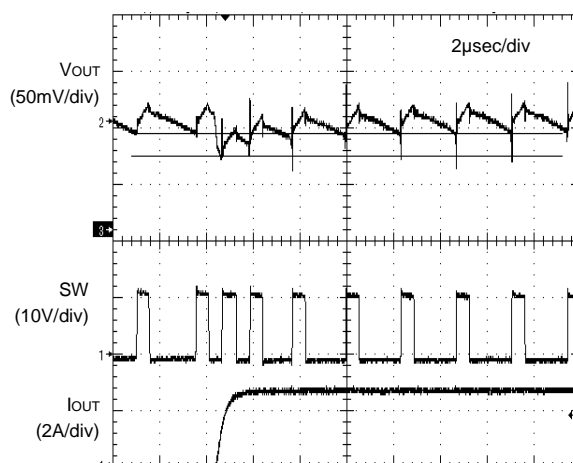


Figure 8. 過渡応答波形
($V_{IN}=12V$ 、 $V_{OUT}=2.5V$)

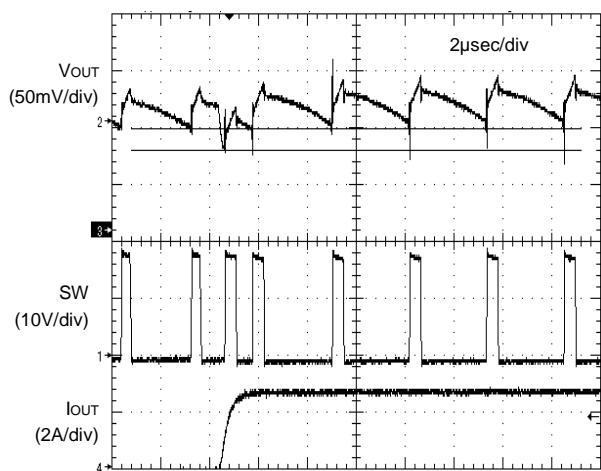


Figure 9. 過渡応答波形
($V_{IN}=19V$ 、 $V_{OUT}=2.5V$)

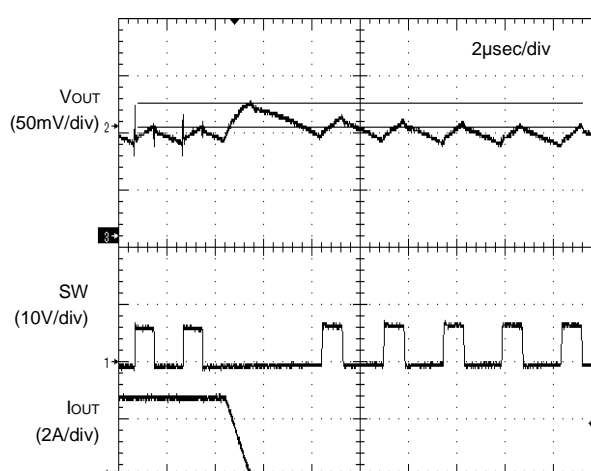


Figure 10. 過渡応答波形
($V_{IN}=7V$ 、 $V_{OUT}=2.5V$)

波形データ - 続き

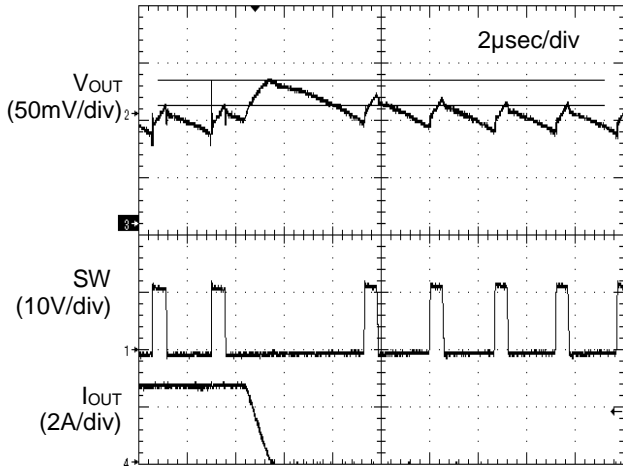


Figure 11. Transient Response
($V_{IN}=12V$, $V_{OUT}=2.5V$)

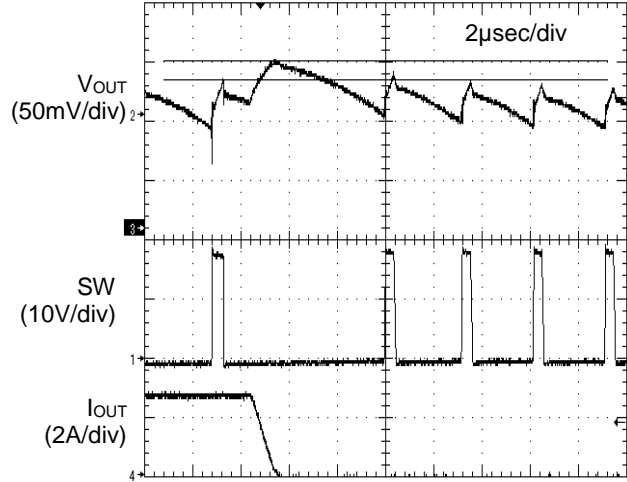


Figure 12. Transient Response
($V_{IN}=19V$, $V_{OUT}=2.5V$)

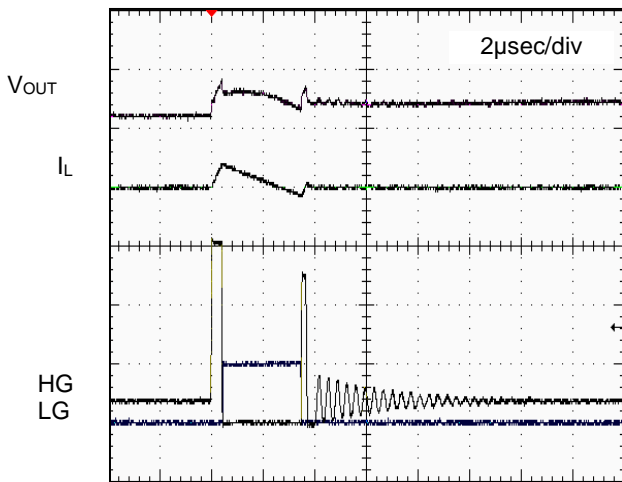


Figure 13. SLLM™ Mode
($I_{OUT}=0A$)

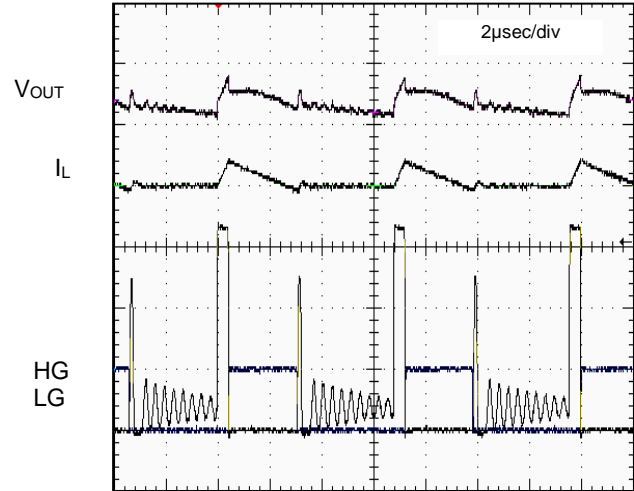


Figure 14. SLLM™ Mode
($I_{OUT}=0.4A$)

波形データ - 続き

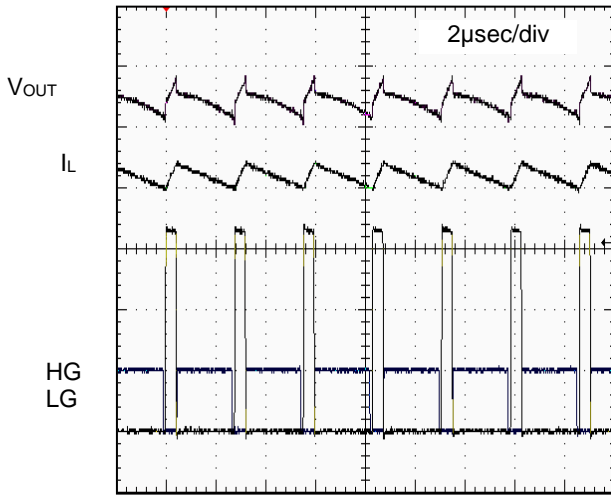


Figure 15. 1 SLLM™ Mode
($I_{OUT} = 1A$)

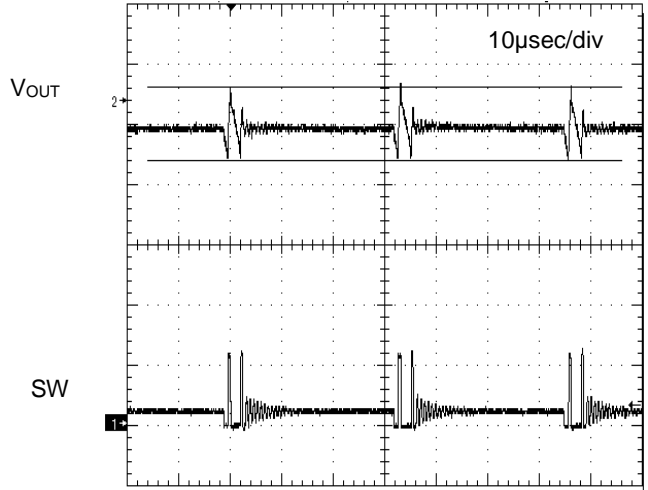


Figure 16. QLLM Mode
($I_{OUT} = 0A$)

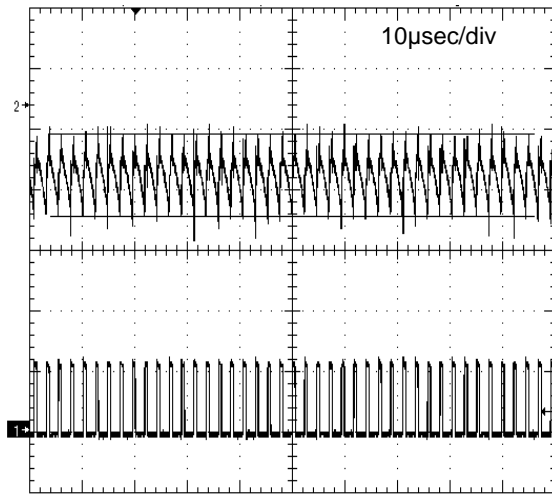


Figure 17. QLLM Mode
($I_{OUT} = 1A$)

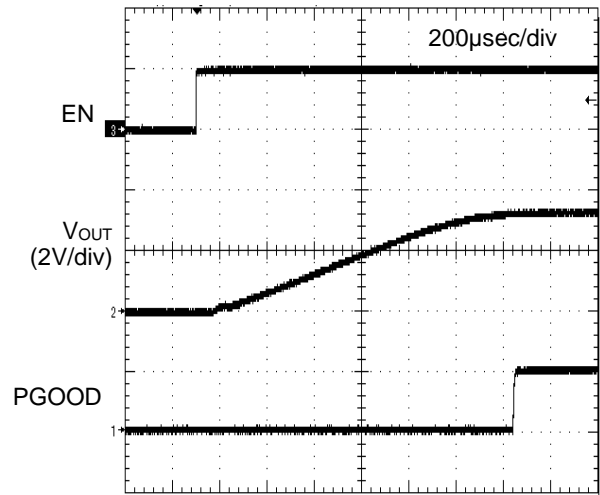


Figure 18. PGOOD Rising Waveform

波形データ - 続き

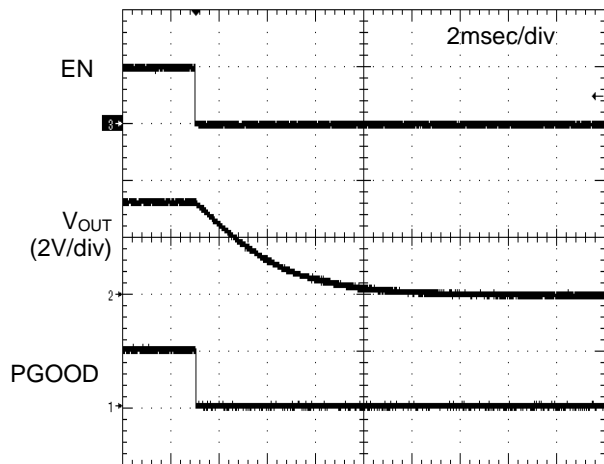


Figure 19. PGOOD Falling Waveform

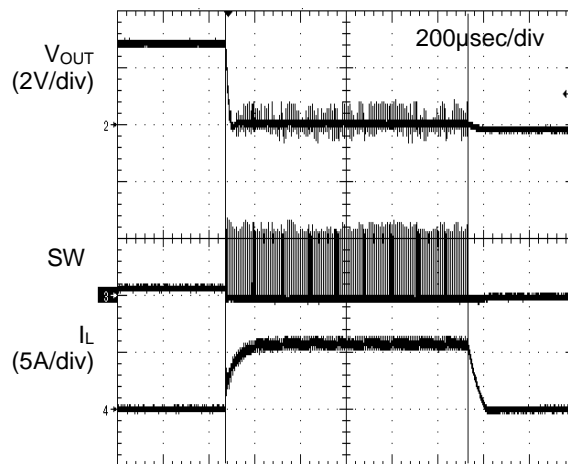


Figure 20. SCP Timer Latch Waveform

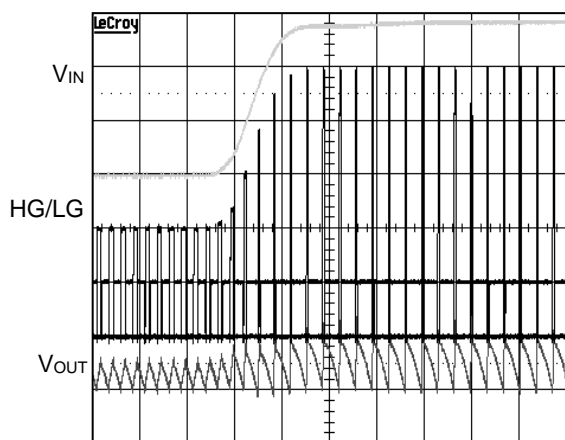


Figure 21. V_{IN} Change
(5V → 19V)

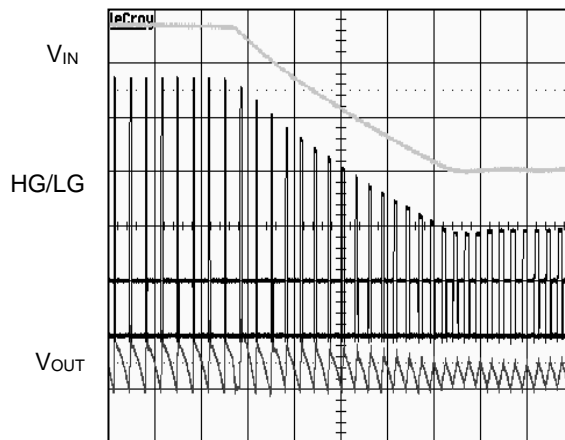


Figure 22. V_{IN} Change
(19V → 5V)

波形データ - 続き

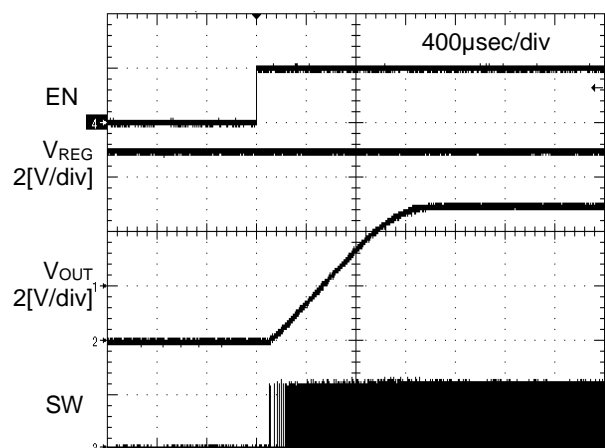


Figure 23. EN Wake Up

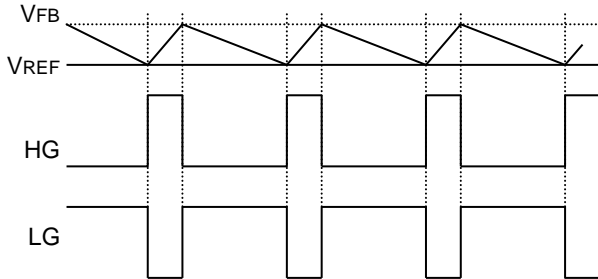
アプリケーション例

1. 動作説明

BD95513MUV は、ローム独自の制御方式 H³Reg™ CONTROLLA を内蔵した降圧型同期整流スイッチングレギュレータです。負荷急変時 V_{OUT} が低下した場合、t_{ON} 時間をのばすことにより V_{OUT} の復帰を高速にして過渡応答特性を向上させます。軽負荷モードを起動させることにより、負荷が軽い時 Simple Light Load Mode (SLLM™) 制御を行い、効率を向上させます。

注) HG は FET のゲート、LG は Low Side FET のゲートを示します。動作説明のための波形でありモニタできません。

H³Reg™ 制御
(通常動作時)

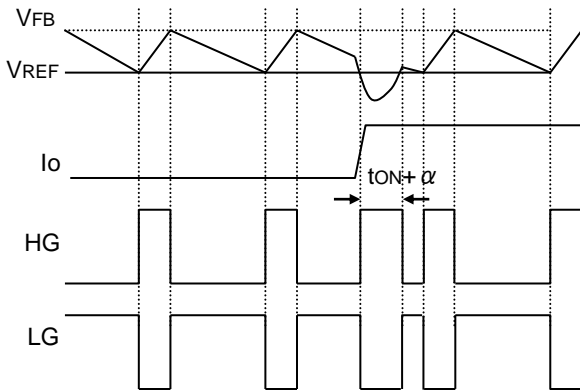


VFB が基準電圧(V_{REF}:0.7V)以下になったことを検出したら、H³Reg™ CONTROLLA が起動し、

$$t_{ON} = \frac{V_{REF}}{V_{IN}} \times \frac{1}{f} \quad [\text{sec}] \quad (1)$$

で決定する HG を出力します。

(負荷急変時)

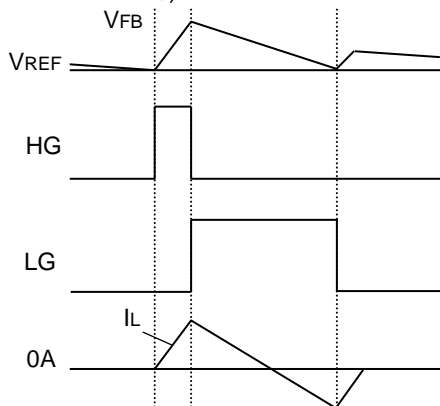


負荷急変時 V_{OUT}、VFB が低下し、設定 t_{ON} 経過後まだ VFB が V_{REF} 以下の場合、t_{ON} 時間をのばすことにより、VFB の復帰を高速にして過渡応答特性を向上させます。

t_{ON} 時間の MAX 値は MAX ON Time で制限されます。

(R_{FS}=180kΩ 時 22μs<typ>)

軽負荷制御
(SLLM™ モード時)

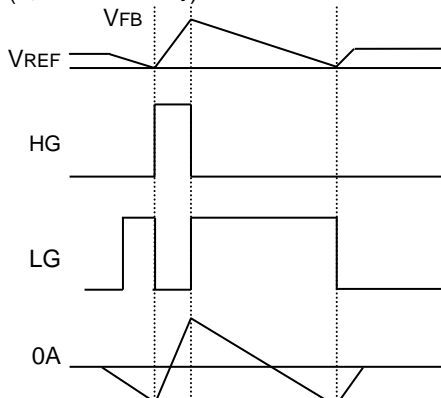


SLLM™ モード状態(MODE="High voltage")では LG が OFF した時、コイル電流が 0A 以下(V_{OUT} から SW 方向へ電流が流れる状態)であれば SLLM™ 機能が動作し、次の HG を出力できないようにします。

再び、VFB が V_{REF} を下回ると HG を ON させます。

動作により、スイッチング周波数を低下させ、軽負荷時の効率を改善します。

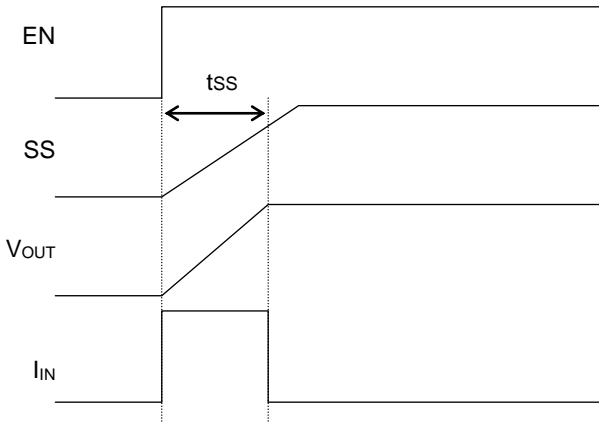
(QLLM モード時)



QLLM モードは、MODE 端子をオープンもしくは 3V 程度にすることで設定可能です。コイル電流が 0A になり、LowsideFET が OFF すると QLLM モードが有効となり、HighsideFET のゲート信号を制限します。IC 内部で設定された時間(40μsec)よりも早く V_{FB}<REF になると、High サイド FET を ON しますが、そうでない場合は、Low サイド FET を強制的に ON し、V_{FB}<REF の状態にした後に High サイド FET を ON させます。QLLM モード時の最小周波数を 25kHz (周期=40μsec) にすることで、オーディオノイズ発生を防ぎます。しかしながら、SLLM に比べ効率は悪くなります。

2. タイミングチャート

(1) ソフトスタート機能



EN 端子を High にすると、ソフトスタート機能が働き、起動時の電流に制限をかけながら緩やかに出力電圧を立ち上げます。出力ソフトスタート時間、突入電流は式(2)(3)のように決定します。

ソフトスタート時間

$$t_{SS} = \frac{0.7(V) \times C_{SS}}{2.2\mu A(typ)} \quad [sec] \quad (2)$$

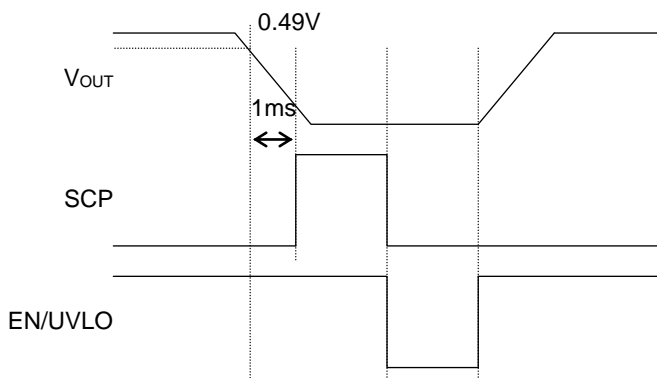
突入電流

$$I_{IN(ON)} = \frac{C_O \times V_{OUT}}{t_{SS}} \quad [A] \quad (3)$$

C_{SS}:ソフトスタート用コンデンサ

C_O:出力コンデンサ

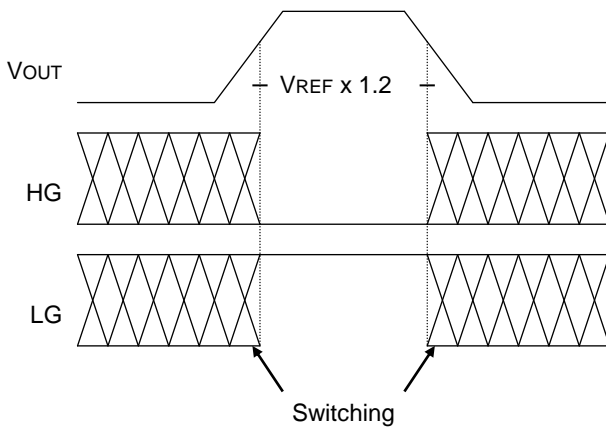
(2) タイマーラッチ式 出力短絡保護回路



出力が設定電圧の 70%以下(V_{FB} 電圧が 0.49V 以下)になると、出力短絡保護が起動し、設定時間経過後出力を OFF 状態でラッチさせ、IC の破壊を防止します。

EN を再投入する、または UVLO を再度解除することで出力は復帰します。出力短絡保護設定時間は IC 内部で 1ms に設定しています。

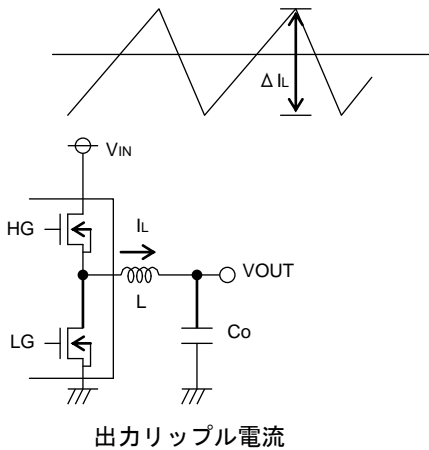
(3) 出力過電圧保護回路



出力が設定電圧 x 1.2 以上(V_{FB} 電圧が 0.84V 以上)になると、出力過電圧保護が起動し、出力を下げるため Low Side FET をフルオンさせます。(LG=High、HG=Low)出力が低下すると通常動作に戻ります。

3. 外付け部品の選定

(1) コイル(L)の選定



出力リップル電流

コイルの値は、出力リップル電流に大きく影響します。式(4)のようにコイルが大きいくほど、また、スイッチング周波数が高いほどリップル電流は下がります。

$$\Delta I_L = \frac{(V_{IN} - V_{OUT}) \times V_{OUT}}{L \times V_{IN} \times f} \quad [A] \quad (4)$$

出力リップル電流の適当な設定値は、最大出力電流の 30%程度です。

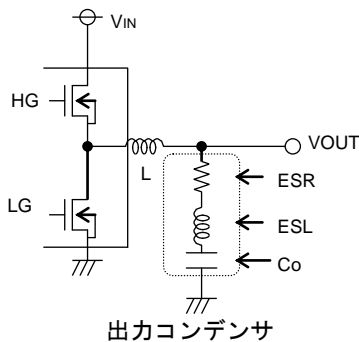
$$\Delta I_L = 0.3 \times I_{OUT \max} \quad [A] \quad (5)$$

$$L = \frac{(V_{IN} - V_{OUT}) \times V_{OUT}}{\Delta I_L \times V_{IN} \times f} \quad [H] \quad (6)$$

ΔIL:出力リップル電流
f:スイッチング周波数

- (a) コイルの定格電流値を越える電流をコイルに流しますと、コイルが磁気飽和を起こし、効率が低下します。ピーク電流がコイルの定格電流値を超えないよう十分なマージンをもって選定してください。
- (b) コイルでの損失を少なくし、効率をよくするため、抵抗成分(DCR、ACR)の低いコイルを選定してください。

(2) 出力コンデンサ(Co)の選定



出力コンデンサ

出力コンデンサは、出力リップル電圧が 20mV 以上(P16 の回路例を参考にしてください。) になるように等価直列抵抗、等価直列インダクタンスを考慮して決定してください。また、コンデンサの定格は出力電圧に対して十分なマージンをもって選定してください。

出力リップル電圧は、式(7)のように決定されます。

$$\Delta V_{OUT} = \Delta I_L \times ESR + ESL \times \Delta I_L / T_{ON} \quad (7)$$

ΔIL:出力リップル電流
ESR:等価直列抵抗
ESL:等価直列インダクタンス

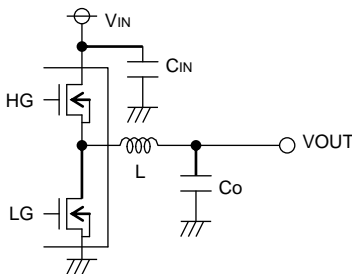
また、出力の立ち上がり時間は、ソフトスタート時間内に設定する必要があるため、出力コンデンサの容量は式(8)の条件も考慮してください。

$$C_O \leq \frac{t_{SS} \times (I_{limit} - I_{OUT})}{V_{OUT}} \quad (8)$$

t_{SS}:ソフトスタート時間(15/24 ページ(2)式を参照)
I_{limit}:過電流検出設定値(BD95513MUV では 3A)
I_{OUT}:出力起動時の負荷

容量値が大きすぎると起動時間が設定通りにならず、条件によっては出力短絡保護回路が動作する恐れがあるので注意してください。

(3) 入力コンデンサ(CIN)の選定



入力コンデンサ

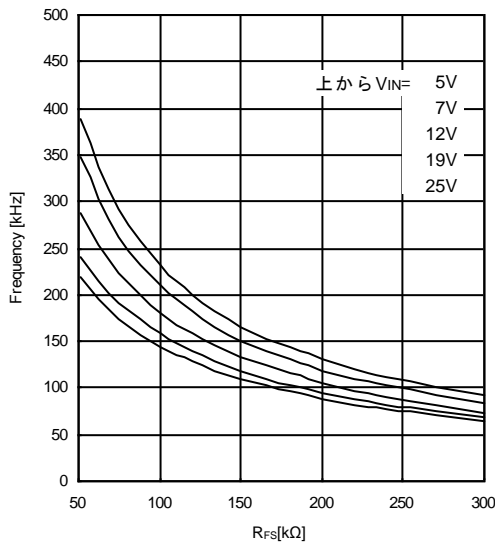
入力側コンデンサの選定におきましては、大きな過渡電圧を防止するために大きなリップル電流に充分対応できる大きさの低 ESR 入力コンデンサである必要があります。リップル電流 IRMS は式(9)で与えられます。

$$I_{RMS} = I_{OUT} \times \frac{\sqrt{V_{IN} (V_{IN} - V_{OUT})}}{V_{IN}} \quad [A] \quad (9)$$

$$V_{IN} = 2 \times V_{OUT} \text{ の時、 } I_{RMS} = \frac{I_{OUT}}{2}$$

また、入力コンデンサの ESR 損失を少なくし、効率をよくするために低 ESR のコンデンサを推奨します。

(4) 周波数設定



FS 端子に接続する抵抗値によって左図のように定常時のオンタイム (tON) が決定されます。tON、入力電圧、VREF 電圧が発生すると、以下の式により周波数が決定します。

$$F = \frac{V_{REF}}{V_{IN} \times t_{ON}} \quad (10)$$

しかし実際には、コイルの抵抗成分損失やスイッチングスピードによる SW の立ち上がり、立下り時間が発生するため、tON が増加し、上記式よりトータル周波数は低下します。また、連続モードでの出力電流 0A 付近の領域では Dead Time も tON に影響を与えるため、設定周波数よりもより低周波になります。大電流領域(コイル電流が逆流しないポイント)での定常周波数の確認をお願いします。また出力設定電圧により、周波数が変化します。以下(12)の式を参照してください。

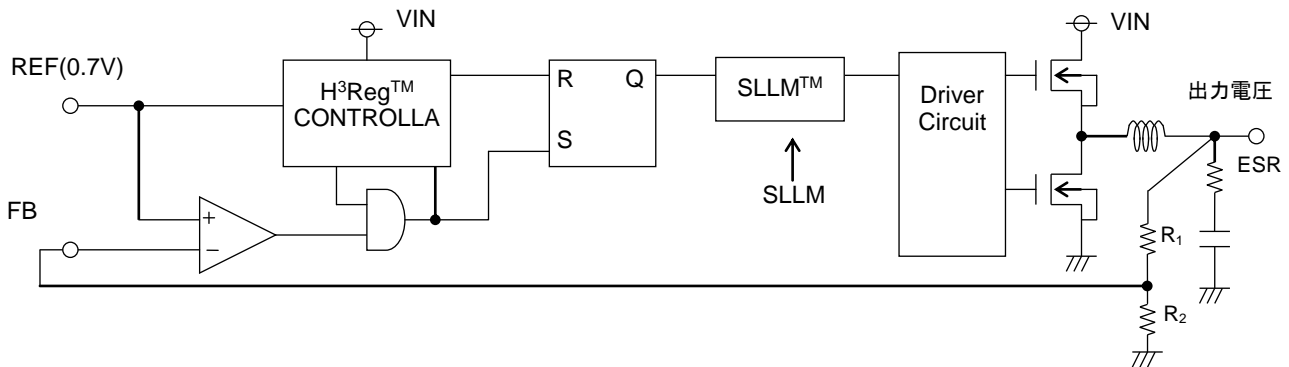
BD95513MUV では、出力電圧を抵抗で分割し、その抵抗分割値を FB 端子にフィードバックすることにより動作します。出力電圧値は、

$$\text{出力電圧} = \frac{R_1 + R_2}{R_2} \times V_{REF} (0.7V) + \frac{1}{2} \Delta I_L \times ESR \quad (11)$$

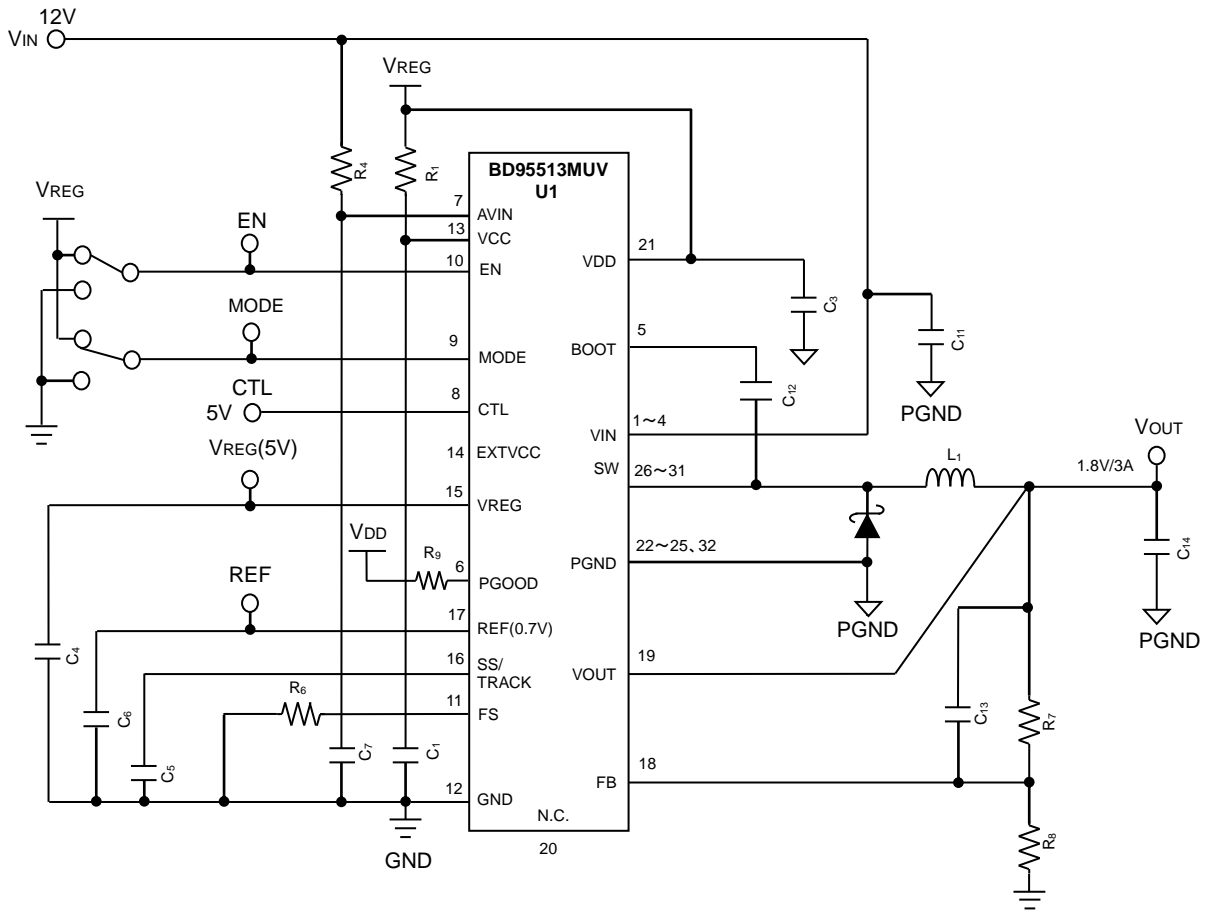
となります。

この際、周波数も抵抗分割の倍率で増幅され、以下の式で求められます。

$$\text{周波数} = \frac{R_1 + R_2}{R_2} \times (\text{RFS で決まる周波数}) \quad [\text{Hz}] \quad (12)$$



4. Evaluation Board Circuit (Frequency=300kHz 連続モード/SLLM™回路例)



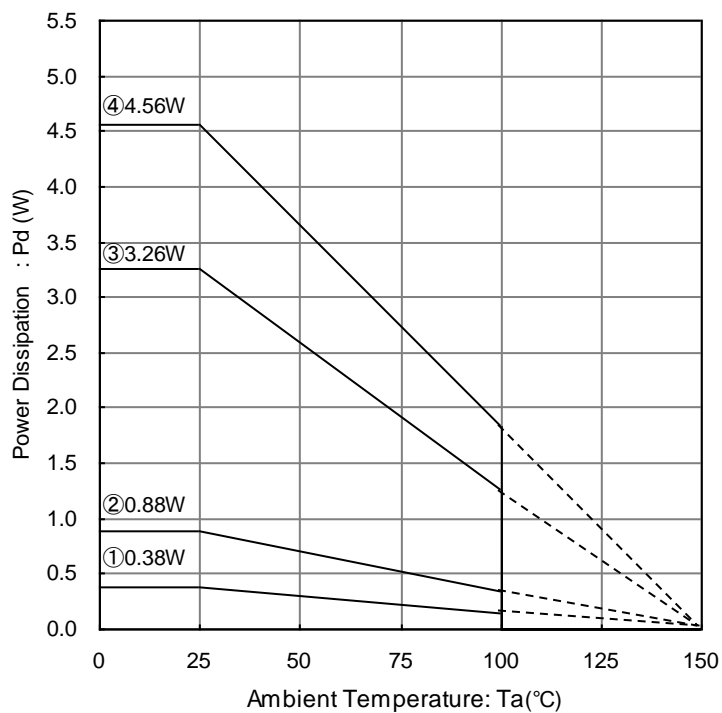
5. Evaluation Board Parts List

Part No	Value	Company	Part name
U1		ROHM	BD95513MUV
D1		ROHM	RB051L-40
C1	1μF	KYOCERA	CM105B105K06A
C3	1μF	KYOCERA	CM105B105K16A
C4	10μF	KYOCERA	CM316B106K06A
C5	1000pF	MURATA	GRM39X7R102K50
C6	0.1μF	KYOCERA	CM105B104K06A
C7	1μF	KYOCERA	CM105B105K16A
C11	10μF	KYOCERA	CM316B106M16A
C12	0.1μF	KYOCERA	CM05B104K25A
C13	220pF	MURATA	GRM39C0G221J50

Part No	Value	Company	Part name
R1	10Ω	ROHM	MCR03
R4	10Ω	ROHM	MCR03
R6	180KΩ	ROHM	MCR03
R7	31kΩ	ROHM	MCR03
R8	20kΩ	ROHM	MCR03
R9	100kΩ	ROHM	MCR03
L1	1.8μH	SUMIDA	CDEP104-1R8ML
C14	470μF	SANYO	2R5TPE470ML

熱損失について

VQFN032V5050



① IC 単体時

 $\theta_{j-a} = 328.9^{\circ}\text{C/W}$ ② 1層基板(表層放熱銅箔 20.2mm²) $\theta_{j-a} = 142.0^{\circ}\text{C/W}$ ③ 4層基板(表裏層放熱銅箔 20.2mm²、2、3層放熱銅箔 5505mm²) $\theta_{j-a} = 38.3^{\circ}\text{C/W}$ ④ 4層基板(全層放熱銅箔 5505mm²) $\theta_{j-a} = 27.4^{\circ}\text{C/W}$

使用上の注意

1. 電源の逆接続について

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れるなどの対策を施してください。

2. 電源ラインについて

基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。その際、デジタル系電源とアナログ系電源は、それらが同電位であっても、デジタル系電源パターンとアナログ系電源パターンは分離し、配線パターンの共通インピーダンスによるアナログ電源へのデジタル・ノイズの回り込みを抑制してください。グラウンドラインについても、同様のパターン設計を考慮してください。

また、LSI のすべての電源端子について電源-グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量ぬげが起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

3. グラウンド電位について

グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。

4. グラウンド配線パターンについて

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

5. 熱設計について

万一、許容損失を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。本仕様書の絶対最大定格に記載しています許容損失を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用するなどの対策をして、許容損失を超えないようにしてください。

6. 推奨動作条件について

この範囲であればほぼ期待通りの特性を得ることができる範囲です。電気特性については各項目の条件下において保証されるものです。

7. ラッシュカレントについて

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

8. 強電磁界中の動作について

強電磁界中でのご使用では、まれに誤動作する可能性がありますのでご注意ください。

9. セット基板での検査について

セット基板での検査時に、インピーダンスの低いピンにコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

10. 端子間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けた場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

使用上の注意 — 続き

11. 未使用の入力端子の処理について

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

12. 各入力端子について

本 IC はモノリシック IC であり、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

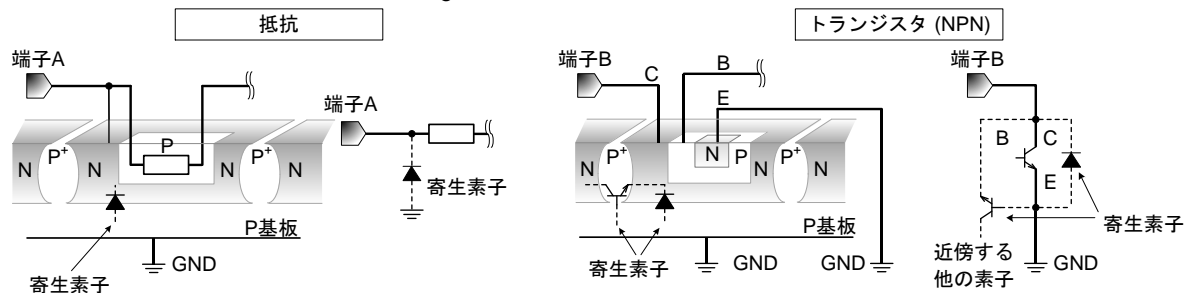
例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、 $GND >$ (端子 A) の時、トランジスタ (NPN) では $GND >$ (端子 B) の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ (NPN) では、 $GND >$ (端子 B) の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に GND (P 基板) より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子が GND にショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

Figure 24. モノリシック IC 構造例



13. 安全動作領域について

本製品を使用する際には、出力トランジスタが絶対最大定格及び ASO を超えないよう設定してください。

14. 温度保護回路について

IC を熱破壊から防ぐための温度保護回路を内蔵しております。許容損失範囲内でご使用いただきますが、万が一許容損失を超えた状態が継続すると、チップ温度 T_j が上昇し温度保護回路が動作し出力パワー素子が OFF します。その後チップ温度 T_j が低下すると回路は自動で復帰します。なお、温度保護回路は絶対最大定格を超えた状態での動作となりますので、温度保護回路を使用したセット設計などは、絶対に避けてください。

	TSD ON 温度[°C] (typ)	ヒステリシス温度[°C] (typ)
BD95513MUV	175	15

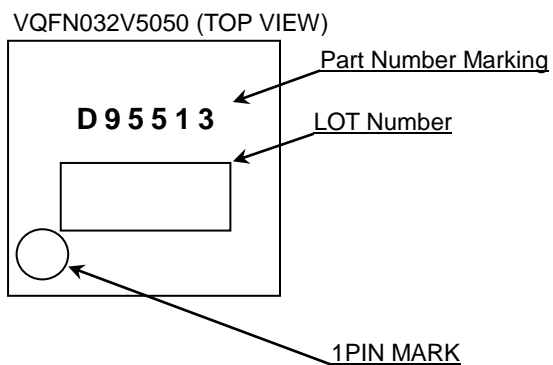
15. アース配線パターンについて

小信号 GND と大電流 GND がある場合、大電流 GND パターンと小信号 GND パターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号 GND の電圧を変化させないように、セットの基準点で一点アースすることを推奨します。外付け部品の GND 配線パターンも変動しないように注意してください。

発注形名情報

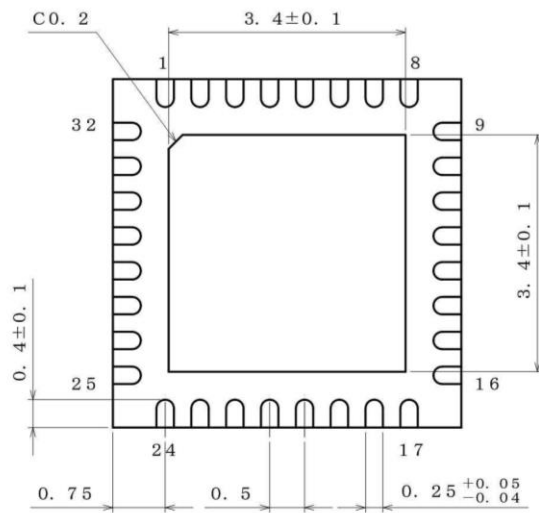
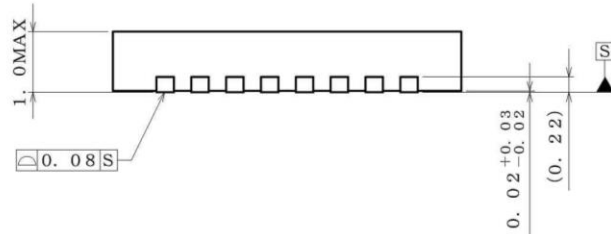
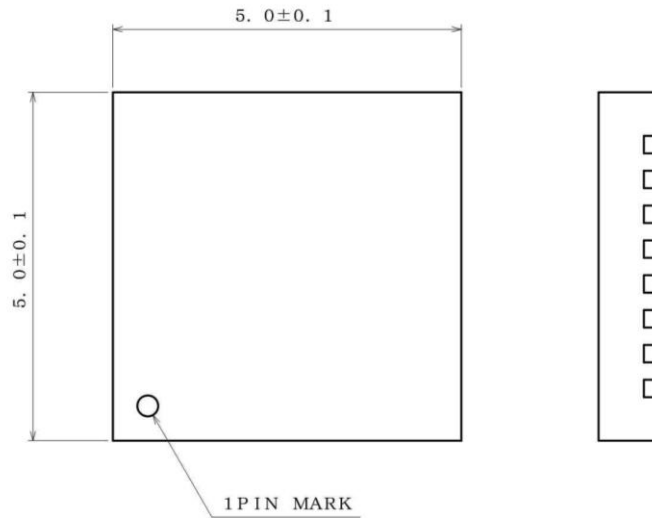
B	D	9	5	5	1	3	M	U	V	-	E	2
形名										パッケージ	包装、フォーミング仕様	
										MUV: VQFN032V5050	E2: リール状エンボステーピング	

標印図



外形寸法図と包装・フォーミング仕様

Package Name	VQFN032V5050
--------------	--------------



(UNIT : mm)
 PKG : VQFN032V5050
 Drawing No. EX461-5001-2

<包装仕様>

包装形態	エンボステーピング
包装数量	2500pcs
包装方向	E2 (リールを左手に持ち、右手でテープを引き出したときに 製品の1番ピンが左上にくる方向)

改訂記録

日付	Revision	改訂内容
2014.11.17	001	新規作成
2016.08.02	002	誤記訂正

ご注意

ローム製品取扱い上の注意事項

1. 本製品は一般的な電子機器（AV 機器、OA 機器、通信機器、家電製品、アミューズメント機器等）への使用を意図して設計・製造されております。したがって、極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器^(Note 1)、輸送機器、交通機器、航空宇宙機器、原子力制御装置、燃料制御、カーアクセサリを含む車載機器、各種安全装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

2. 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、かかる誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
3. 本製品は、一般的な電子機器に標準的な用途で使用されることを意図して設計・製造されており、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合。
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用。
 - ⑦はんだ付けの後に洗浄を行わない場合（無洗浄タイプのフラックスを使用された場合も、残渣の洗浄は確実にを行うことをお勧め致します）、又ははんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合。
 - ⑧本製品が結露するような場所でのご使用。
4. 本製品は耐放射線設計はなされておられません。
5. 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
6. パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
7. 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
8. 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
9. 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

1. ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
2. はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。(人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等)

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
 - ①潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ②推奨温度、湿度以外での保管
 - ③直射日光や結露する場所での保管
 - ④強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を超過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を超過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き(梱包箱に表示されている天面方向)で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を超過した場合はベーク処置を行ったうえでご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルに2次元バーコードが印字されていますが、2次元バーコードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は外国為替及び外国貿易法に定める規制貨物等に該当するおそれがありますので輸出する場合には、ロームにお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等(ソフトウェア含む)との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。