

大電流 FET 外付コントローラタイプ スイッチングレギュレータシリーズ

60V 耐圧降圧同期整流 スイッチングレギュレータ(コントローラ)

BD9611MUV

●概要

BD9611MUV は、高電圧入力可能で広い入力範囲 ($V_{CC}=10V\sim56V$) を持つ 60V 耐圧降圧同期整流 DC/DC コントローラです。

PWM、電圧モードによる制御回路、外付けする 2 つの Nch-FET の駆動回路を内蔵しています。

発振周波数やソフトスタートの調整機能、過電流保護(ヒカッパ動作による自動復帰型)などの保護機能、外部 CLK への同期機能などを備えており、フレキシブルな設計が可能です。

さらに CTL 端子に高精度な基準電圧を持つ低入力誤動作防止回路(EXUVLO)が接続されており、VCC-GND 間抵抗比にて調整可能です。

またプリバイアスに対応して、起動時の出力側からの電流の引き込みを抑えています。

●重要特性

■ 入力電圧	10~56 [V]
■ 出力電圧	1.0~($V_{in} \times 0.8$) [V]
■ 基準電圧精度	± 1.0 [%]
■ 外付け FET ゲート駆動電圧 (REG10)	9~11 [V]
■ 動作周波数	50~500 [kHz]

●パッケージ

VQFN020V4040

4.00 mm × 4.00 mm × 1.00 mm

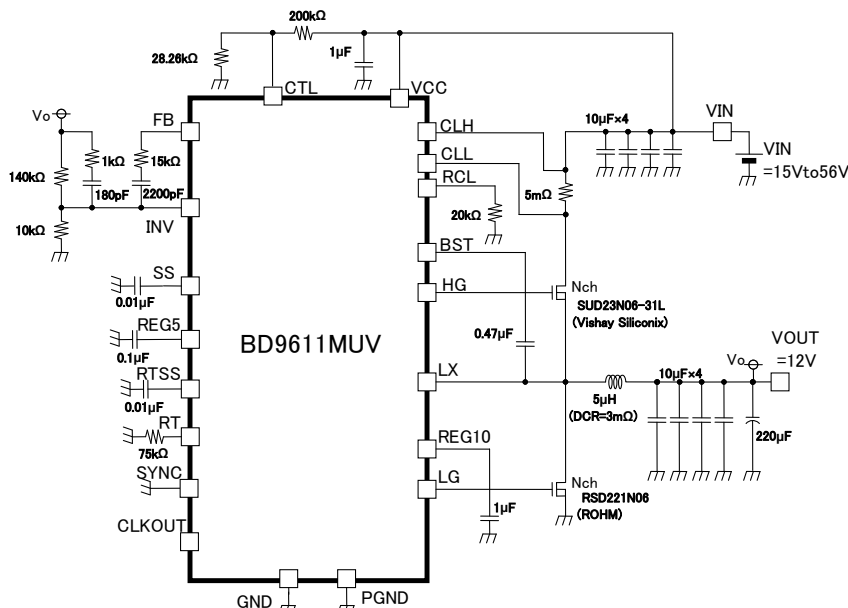


●特長

- 高電圧で広い入力範囲($V_{CC}=10V\sim56V$)
- 外部 Nch-FET 駆動回路内蔵 (降圧同期整流 1 出力、ゲート駆動電圧 REG10=10V)
- プリバイアス対応
- 基準電圧 ($0.8V \pm 1.0\%$) 回路内蔵
- 発振周波数・ソフトスタートが調整可能
- 外部 CLK 同期・マスタ/スレブ動作機能(SYNC)
- 過電流保護(OCP)、低入力誤動作防止 (UVLO, EXUVLO)、過熱保護(TSD)機能

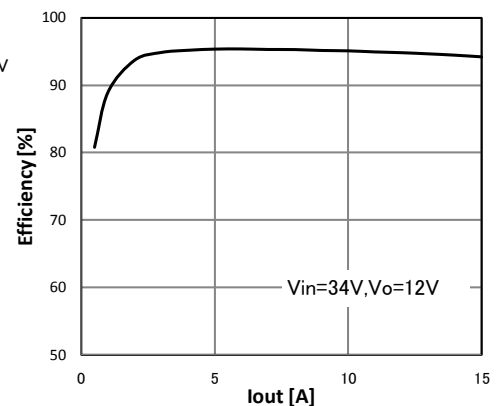
●用途

- アミューズメント
- 産業用機器
- OA 機器
- LED 照明
- 24V, 48V バスラインを持つ機器全般

●基本アプリケーション回路($V_o=12V/I_o=10A$)

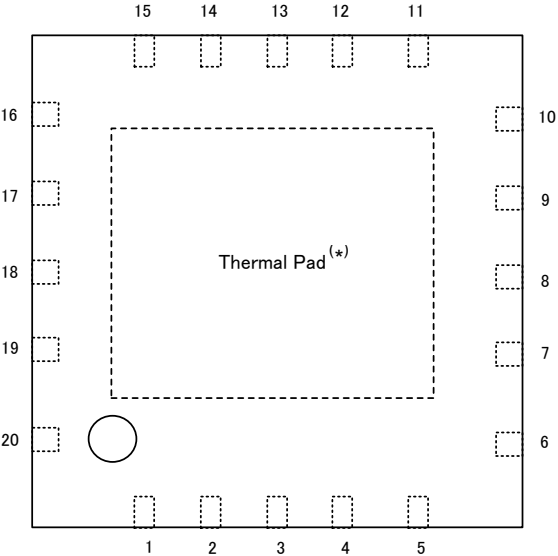
●効率特性例

$\eta = 95\%$
($V_{in}=34V, I_o=10A, f_{osc}=250kHz$)



○製品構造：シリコンモノリシック集積回路 ○耐放射線設計はしておりません。

●端子配置図

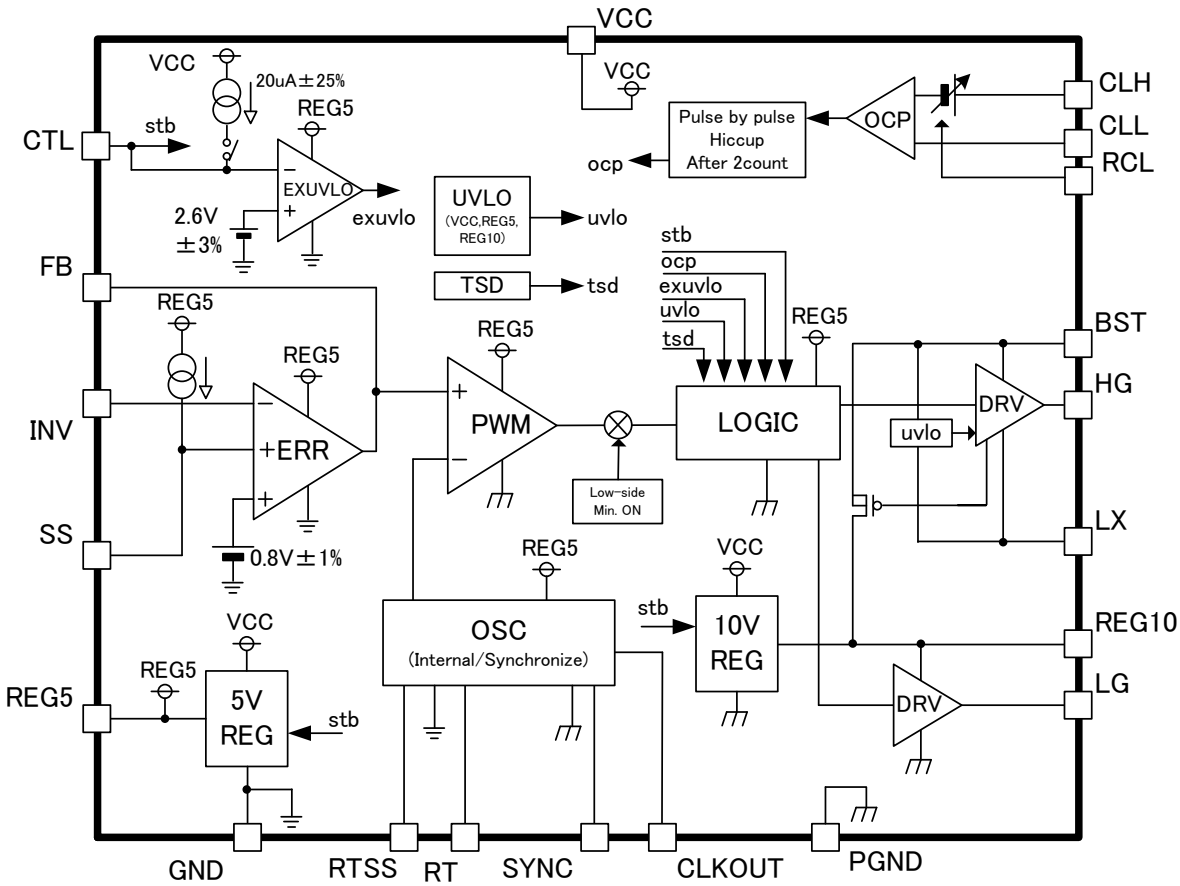


(*) オープンでも問題ありませんが IC の放熱性を高める為
裏面の Thermal Pad を GND 処理する事を推奨致します。

●端子説明

Pin No.	Pin Name	Description
1	GND	GROUND
2	SS	Soft-start programming
3	INV	Inverting input to the error amplifier
4	FB	Output of the error amplifier
5	RCL	Current limit programming
6	RT	Frequency programming
7	RTSS	Reference of the RT voltage
8	CLKOUT	Output of Internal clock pulse
9	PGND	GROUND
10	SYNC	Synchronization input for the device
11	LG	Gate drive for low-side N-channel FET
12	REG10	Output of 10V regulator for gate drive
13	LX	This pin is connected to the switched node of the converter
14	HG	Gate drive for high-side N-channel FET
15	BST	Gate drive voltage for the high side N-channel FET
16	CLL	Inverting input to current detector
17	CLH	Input to current detector
18	VCC	Power supply
19	CTL	Shutdown pin
20	REG5	Output of 5V regulator for internal circuit

●ブロック図



●各ブロック動作説明

1. 5VREG

内部回路電源用 5V($\pm 2\%$)のレギュレータです。外部電源用として IREG5 $\leq 2\text{mA}_{\text{max}}$ の電流能力を持っています。

2. ERROR AMP

出力信号を検出し、PWM 制御信号を出力する誤差増幅器です。

内部基準電圧は 0.8V($\pm 1\%$)に設定されています。

また本エラーアンプの反転入力端子(INV)-出力端子(FB)間に位相補償素子として C,R を接続します。

3. SS 端子部

DC/DC コンバータの出力電圧にソフトスタートをかけ、起動時の突入電流を防ぐ回路です。

SS 端子の外付け容量を IC からのソース電流(1 μA)で充電し、そのスロープが基準電圧としてエラーアンプに入力されます。

4. OSC

PWM 動作の基準となる三角波(IC 内部波形)の発振器です。

三角波の周波数は RTSS 電圧を基準とし、そのバッファ出力である RT 端子に接続した抵抗によってスイッチング動作周波数($F_{\text{OSC}}=50\text{k}\sim 500\text{kHz}$)を設定します。

また三角波と同一周波数の矩形波を、外部への CLK 出力として CLKOUT 端子から出力します。外部 CLK にも同期可能で、SYNC 端子に矩形波を入力すると自動的に同期します。

(RT 抵抗の設定は必要)

5. PWMCOMP

エラーアンプの出力と、三角波を比較し、スイッチング Duty を決定します。

スイッチングの最大 Duty は、ブーストコンデンサ(BST-LX 間外付け容量)をチャージする為 IC 内部で決定されるハイサイド最小オフ時間(350ns)で制限を受けるため、100%にはなりません。

6. DRV

DC/DC ドライバブロックです。PWMCOMP から信号が入力され、外付け FET をドライブします。

ハイサイド側のドライバ回路には UVLO 回路を設けており BST-LX 間電圧が低下すると出力を停止します。

7. 10VREG

ローサイドドライバ用の電源用 10V レギュレータです。

またこの REG から、内部 SW を介してブーストコンデンサ(BST-LX 間外付け容量)を充電します。

8. UVLO

低電圧誤動作防止回路です。

電源電圧の立上がり時、及び電源電圧低下時の内部回路の誤動作を防止します。

VCC 電圧及び REG5、REG10 電圧をモニタしており、いずれかの電圧がスレッシュホールド電圧を下回ると

出力 FET をすべて OFF 論理とし DC/DC コンバータ出力を停止、ソフトスタートもリセットされます。

9. EXUVLO

外付け抵抗にて VCC 検出電圧/解除電圧を調整可能な低電圧誤動作防止回路です。

スレッシュホールド電圧 2.6V ($\pm 3\%$)を上回ると定電流 20 μA ($\pm 25\%$)が CTL 端子へ出力されます。

VCC-CTL 及び CTL-GND 間抵抗を調整する事で VCC 検出電圧/解除電圧の設定が可能となり VCC 電圧が検出電圧を下回ると出力 FET をすべて OFF 論理とし DC/DC コンバータ出力を停止、ソフトスタートもリセットされます。

10. TSD

加熱保護(温度保護)回路です。

最大接合部温度($T_j=150^{\circ}\text{C}$)を超える異常な温度を検知すると、出力 FET をすべて OFF 論理とし DC/DC コンバータは停止、ソフトスタートをリセットします。

温度が低下すると、ヒステリシスを持って自動復帰します。

11. OCP

過電流保護回路です。

ハイサイドドライバ ON 時の CLH-CLL 間電圧をモニタしており、

RCL 端子によって設定されるスレッシュホールド電圧を越えると、即時に HG 出力を OFF します。
(パルスバイパルス)

連続 3 パルス中 2 回 OCP を検出した場合には、出力の他に SS や FB も Low として、

一定の時間(THICCUP)、OFF 状態を保持します。復帰はソフトスタートにより自動的に復帰します。(ヒカップ)

12. CTL 端子部

CTL 端子に印加する電圧(VCTL)で、IC の ON/OFF をコントロールできます。

また外付け抵抗にて VCC 検出電圧設定が可能となります。(9.EXUVLO 参照)。

2.4V 以上の電圧を印加すると 5VREG が ON、2.8V 以上で EXUVLO が解除されソフトスタートが開始します。

5.6V 以上で内部クランパが動作し($V_{CTL}-5.6V$)/100k Ω の電流が CTL へ流入されます。

$V_{CTL}<0.3V$ で OFF (スタンバイ: $I_{SC}=0\mu A$) となります。

ただし一旦 UVLO 解除した後 CTL 端子をオープンすると定電流により CTL 端子電圧が上昇し OFF 出来なくなります。

●絶対最大定格

Item	Symbol	Rating	Unit
Supply voltage	VCC	60	V
CTL pin	VCTL	VCC	V
BST pin	VBST	70	V
LX pin	VLX	VCC	V
Between BST pin – LX pin	VBSTLX	15	V
HG pin	VHG	LX~BST	V
LG pin	VLG	0~VREG10	V
REG10 pin	VREG10	15	V
REG5 pin	VREG5	7	V
SYNC pin	VSNC	7	V
INV pin	VINV	REG5	V
CLH pin	VCLH	LX	V
CLL pin	VCLL	LX	V
Power Dissipation	Pd	3.56 ^{*1}	W
Operating Temperature Range	Topr	-40~+105	°C
Storage Temperature Range	Tstg	-55~+150	°C
Junction Temperature	Tjmax	150	°C

*1 70.0mm×70.0mm×1.6mm 4 層基板 (銅箔面積: 70mm×70mm) 実装時。Ta=25°C以上では 28.5mW/°Cで軽減

●推奨動作範囲

Item	Symbol	Range	Unit
Power supply voltage	VCC	10~56	V
Configurable output voltage	VOU	$1.0 \sim (V_{in} \times 0.8V)^{*2}$	V
CTL input voltage	CTL	0~VCC ^{*3}	V
Frequency	FOSC	50~500	kHz
RT resister	RRT	33~470	kΩ
RTSS capacitor	CRTSS	0.001~1.0	μF
Synchronize frequency	SYNCFRQ	FOSC±10%	kHz
SYNC input duty	SYNCDTY	40~60	%
OCP program resister	RRCL	3.3~20	kΩ

*2 出力設定電圧範囲については、入力電圧、周波数、負荷条件などに依存する為、p.25(13)項をご参照ください。

*3.EXUVLO 解除後 CTL 端子をオープンにするとヒステリシス定電流により CTL が“H”を維持します。p.26(14)項ご参照ください。

●電気的特性

(特に指定のない限り Ta=25°C, VCC=CTL=24V, RT=200kΩ)

PARAMETER	SYMBOL	LIMIT			UNIT	CONDITION
		MIN	TYP	MAX		
【OSCILLATOR】						
Frequency	FOSC	93	100	107	kHz	RT=200kΩ
RTSS maximum current (sink/source)	IRTSS	2.5	5	10	uA	VRTSS=0V/1.0V
RTSS pre-charge threshold	VRTSSTH	0.45	0.5	0.55	V	
RTSS pre-charge current	IRTSSP	50	100	200	uA	VRTSS=0.3V
【SOFT START】						
SS source current	ISSSO	0.7	1	1.3	uA	SS=1.0V
【UVLO】						
UVLO threshold (VCC)	VUTHVCC	8.5	9.0	9.5	V	VCC rise-up
UVLO threshold (REG10)	VUTHR10	7.9	8.7	9.5	V	REG10 rise-up
UVLO threshold (REG5)	VUTHR5	4.2	4.5	4.8	V	REG5 rise-up
UVLO hysteresis (VCC)	VUHSVCC	-	0.5	1.0	V	VCC pin
UVLO hysteresis (REG10)	VUHSR10	-	0.5	1.0	V	REG10 pin
UVLO hysteresis (REG5)	VUHSR5	-	0.2	0.4	V	REG5 pin
UVLO threshold(CTL)	VEXUTH	2.522	2.6	2.678	V	CTL rise-up
UVLO hysteresis current	IUVHYS	-25	-20	-15	uA	CTL=5V
【ERROR AMPLIFIER】						
Reference voltage	VNON	0.792	0.8	0.808	V	INV=FB
INV input bias current	IBINV	-	0.01	1.0	uA	INV=0.8V
FB max. voltage	VFBH	REG5-0.5	-	REG5	V	
FB min. voltage	VFBL	-	0	0.5	V	
FB sink current	IFBSI	0.5	2	-	mA	FB=1.25V , INV=1.5V
FB source current	IFBSO	60	120	-	uA	FB=1.25V , INV=0V
【PWM COMPARATOR】						
Input threshold voltage	VT0	1.4	1.5	1.6	V	0% Duty ,FB pin vol.
HG min. OFF pulse width	HGmin	150	350	450	ns	FB=3V
【OUTPUT DRIVER】						
Output driver PchFET Ron	RONH	-	6	10	Ω	Iout=0.1A
Output driver NchFET Ron	RONL	-	1	3	Ω	Iout=0.1A

●電気的特性

(特に指定のない限り Ta=25°C, VCC=CTL=24V, RT=200kΩ)

PARAMETER	SYMBOL	LIMIT			UNIT	CONDITION
		MIN	TYP	MAX		
【CURRENT LIMIT】						
OCP threshold voltage	VOCPTH	160	200	240	mV	Between CLH and CLL (RCL=7.5kΩ)
OCP propagation delay to output	TOCP	-	200	300	ns	
OCP counts to hiccup	NOCP	-	2	-	counts	series or every other cycles
OCP shut-down hold cycles	THICCUP	-	32768	-	cycles	T=1/FOSC, Hold time=T×THICCUP
【REGULATOR】						
REG10 output voltage	VREG10	9	10	11	V	
REG5 output voltage	VREG5	4.9	5.0	5.1	V	
REG5 current ability	IREG5	10	30	-	mA	V=VREG5 * 0.95
【SYNCHRONIZE OSCILLATOR】						
SYNC input current	ISYNC	-	8	16	uA	SYNC=5V
SYNC input voltage H	VSYNCH	2.8	-	5.0	V	
SYNC input voltage L	VSYNCL	GND	-	0.3	V	
CLKOUT output range	VCLKOUT	REG5-0.5	REG5	REG5+0.5	V	
CLKOUT sink current	ICLSI	1.5	3	-	mA	CLKOUT=0.5V
CLKOUT source current	ICLSO	1.5	3	-	mA	CLKOUT=4.5V
【WHOLE DEVICE】						
CTL output current	ICTL	15	20	25	uA	CTL=5V
CTL input voltage L	VCTLL	GND	-	0.3	V	
CTL input voltage1 H	VCTL1H	2.2	-	2.4	V	REG5, REG10 start up
CTL input voltage2 H	VCTL2H	2.8	-	VCC	V	DRV start up
Stand-by current	ISC	-	0	5.0	uA	CTL=0V
Quiescent current	ICC	1.0	2.0	4.0	mA	INV=5V

●参考データ 1
(特に指定のない限り Ta=25°C,VCC=CTL=24V,RT=200kΩ)

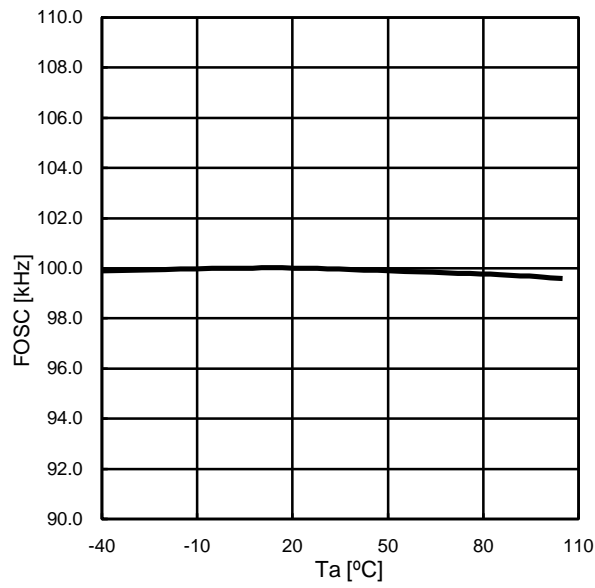


Fig.1. FOSC-Ta

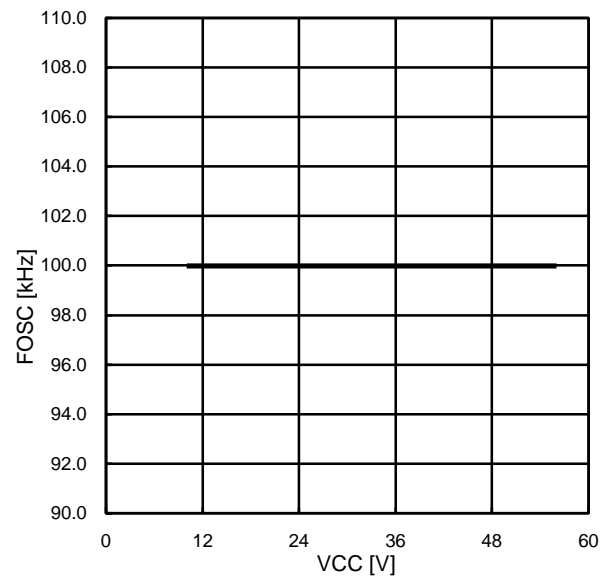


Fig.2 FOSC-VCC

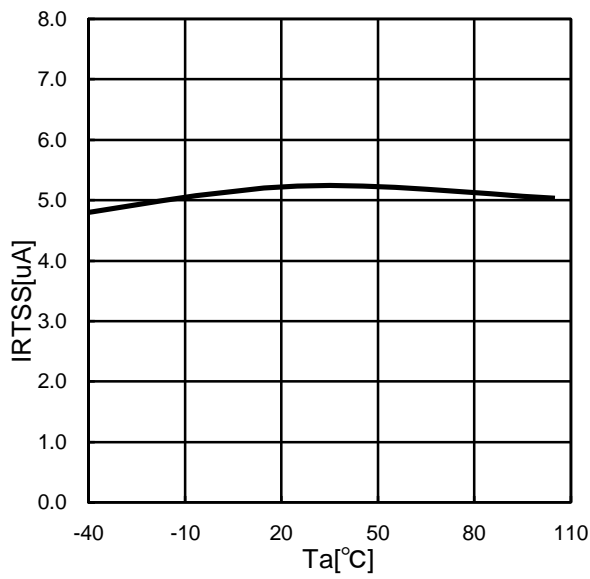


Fig.3 IRTSS-Ta(VRTSS=0V)

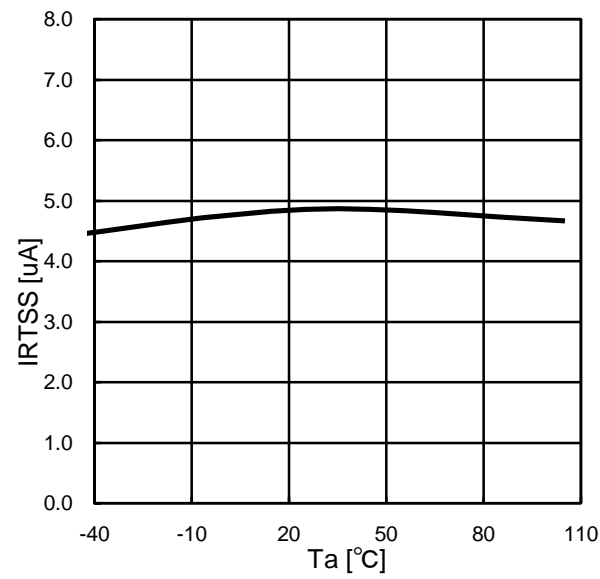


Fig.4 IRTSS-Ta(VRTSS=1V)

●参考データ 2

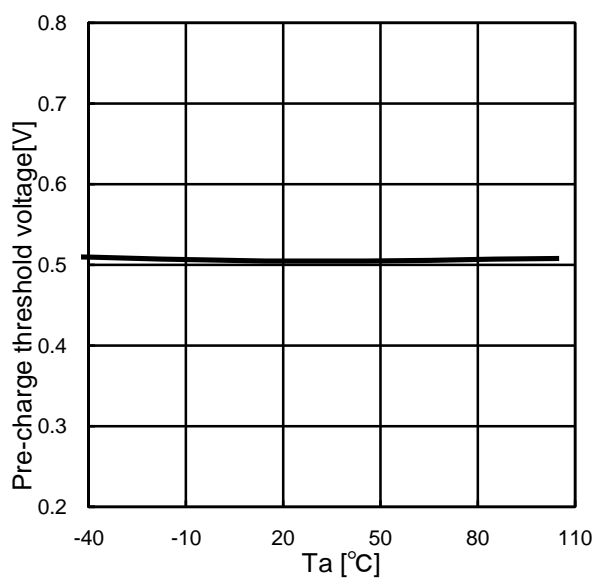
(特に指定のない限り Ta=25°C, VCC=CTL=24V, RT=200k Ω)

Fig.5 RTSS Pre-charge threshold-Ta

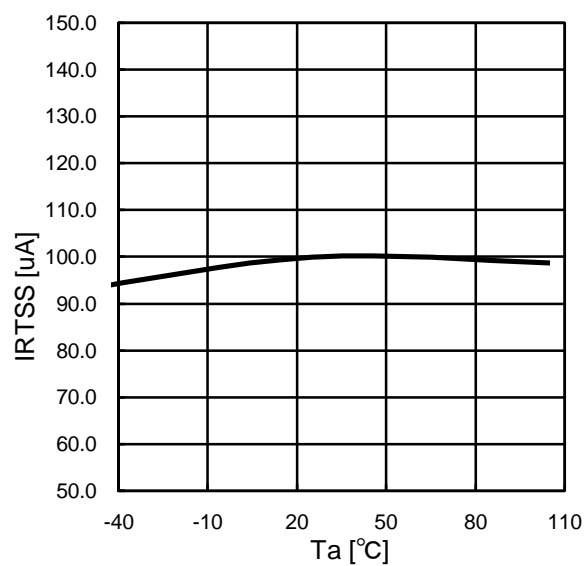


Fig.6 RTSS Pre-charge current-Ta

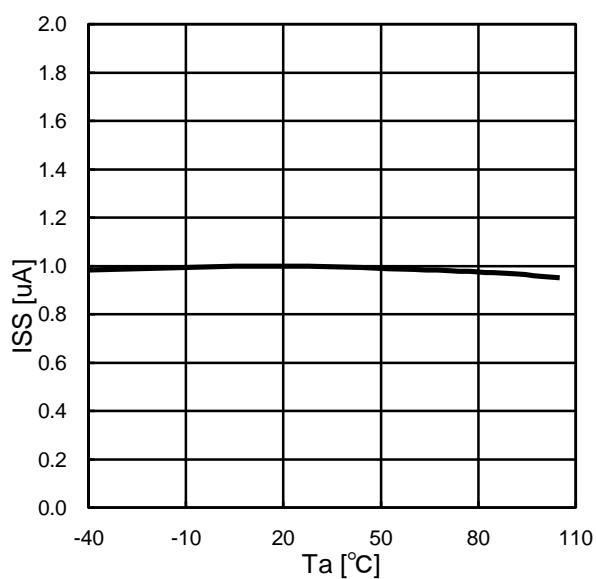


Fig.7 SS source current-Ta(VSS=1V)

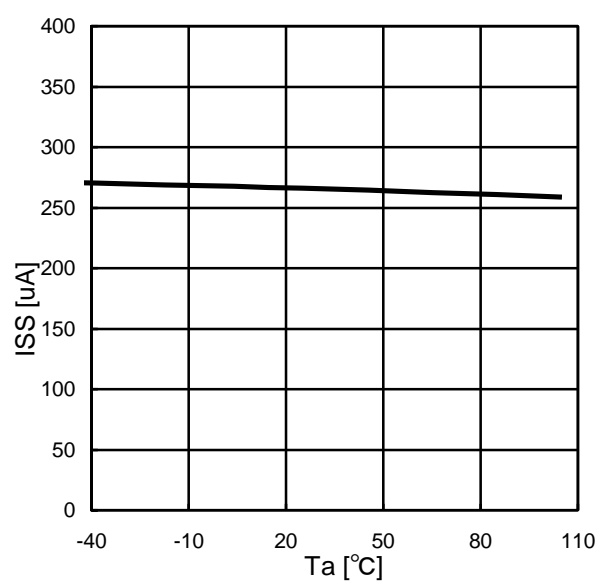


Fig.8 SS sink current(VSS=1V,Protection)

●参考データ 3
(特に指定のない限り Ta=25°C,VCC=CTL=24V,RT=200kΩ)

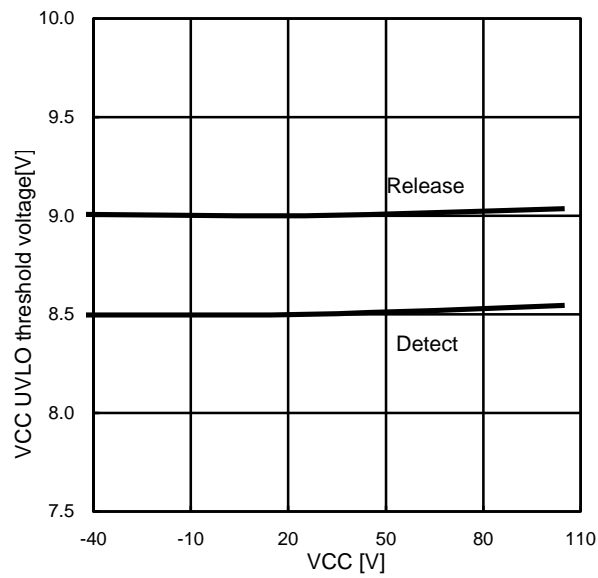


Fig.9 VCC UVLO-Ta

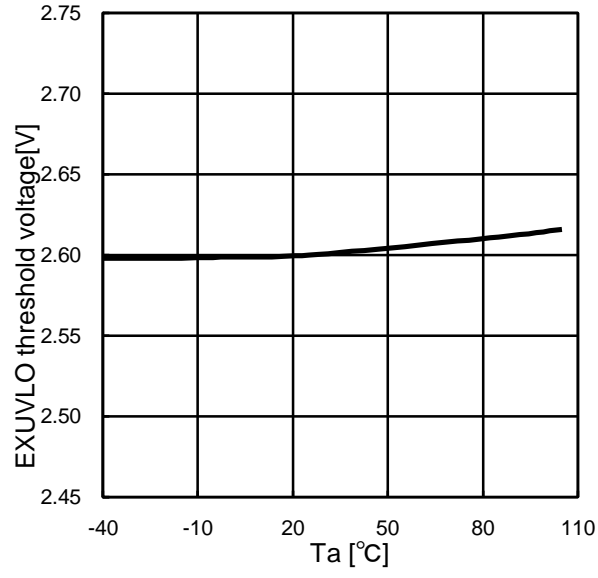


Fig.10 EXUVLO(CTL)-Ta

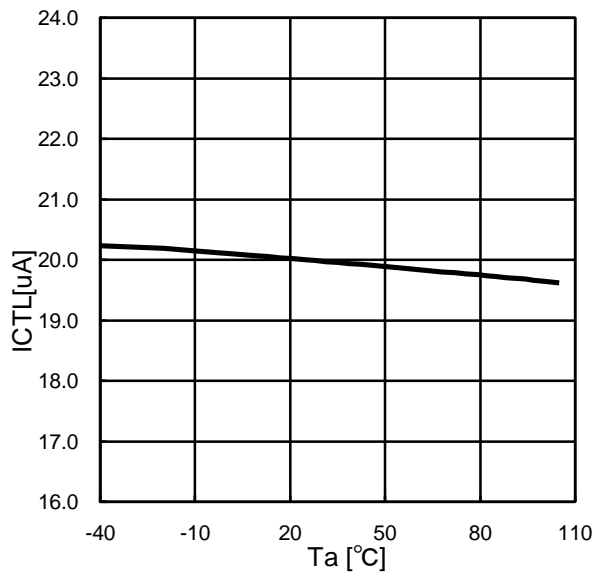


Fig.11 Hysteresis current-Ta

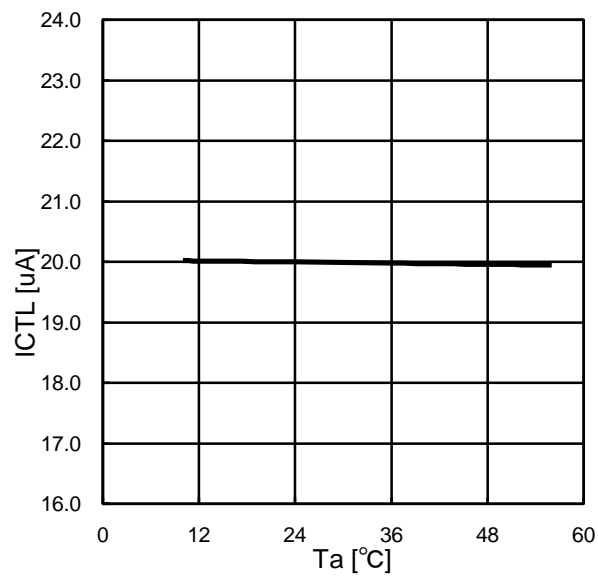


Fig.12 UVLO hysteresis current-VCC

●参考データ 4

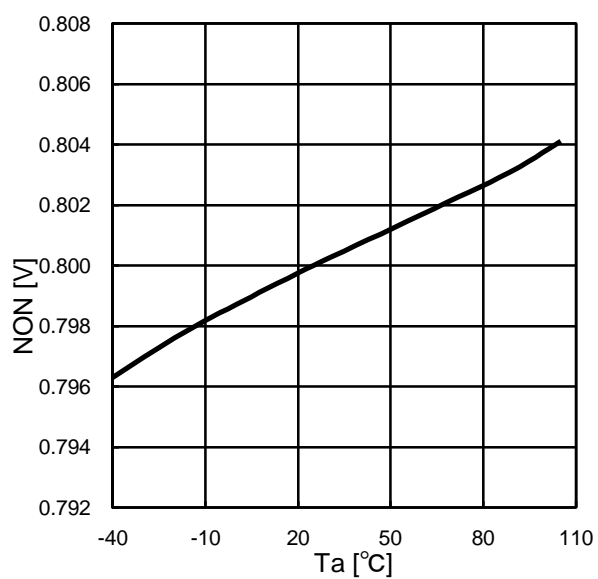
(特に指定のない限り $T_a=25^{\circ}\text{C}$, $V_{CC}=V_{CTL}=24\text{V}$, $R_T=200\text{k}\Omega$)

Fig.13 Reference Voltage-Ta

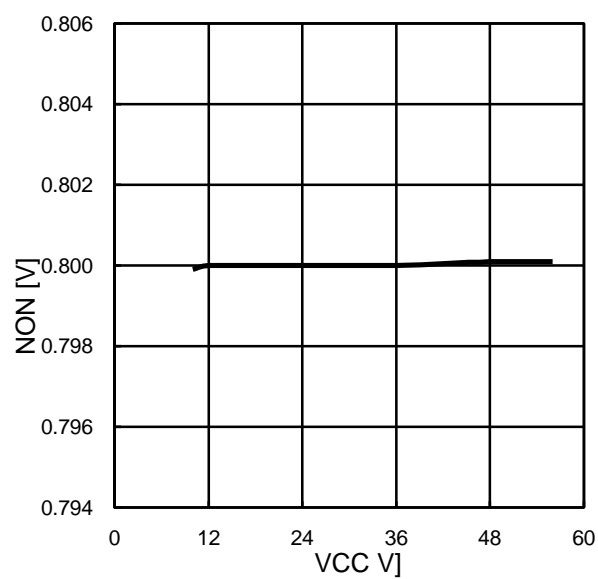


Fig.14 Reference Voltage-VCC

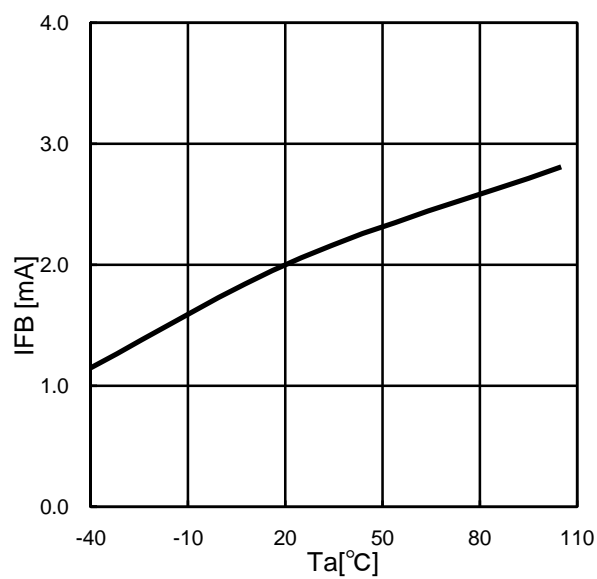


Fig.15 FB sink current-Ta

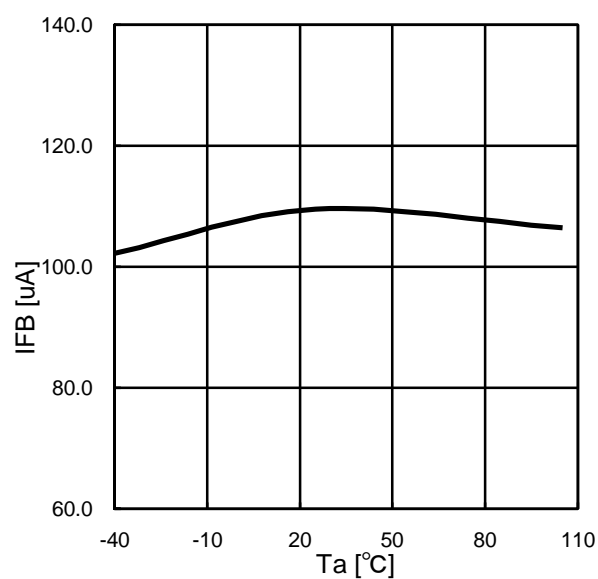


Fig.16 FB source current-Ta

●参考データ 5
(特に指定のない限り Ta=25°C,VCC=CTL=24V,RT=200kΩ)

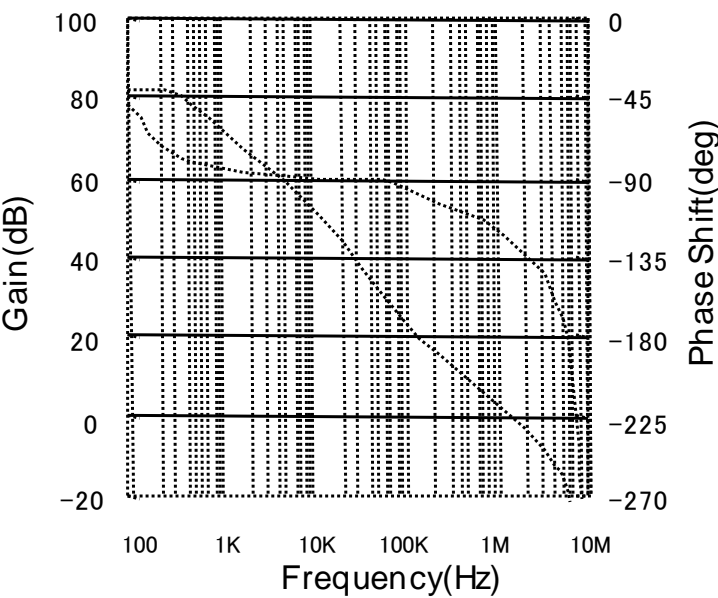


Fig.17 Err Amp frequency

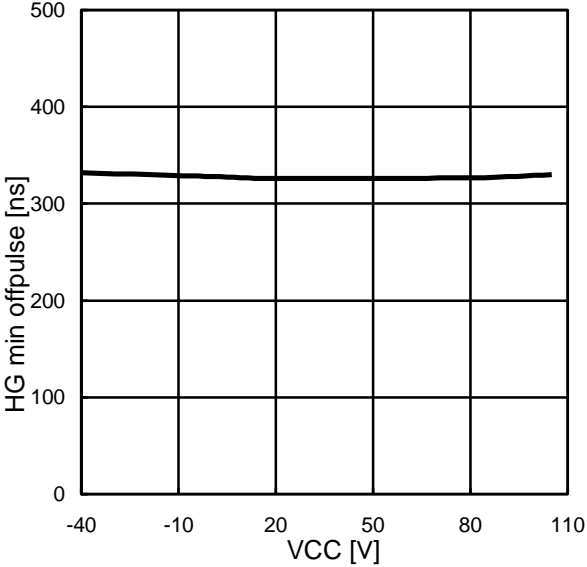


Fig.18 HG min offpulse-Ta

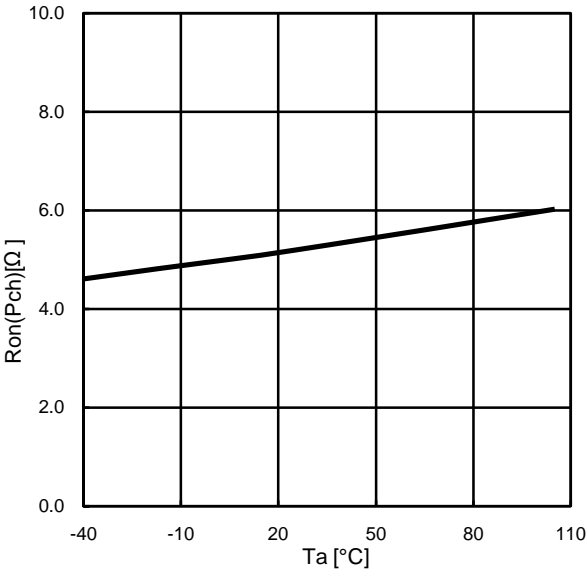


Fig.19 FET Ron –Ta(Pch)

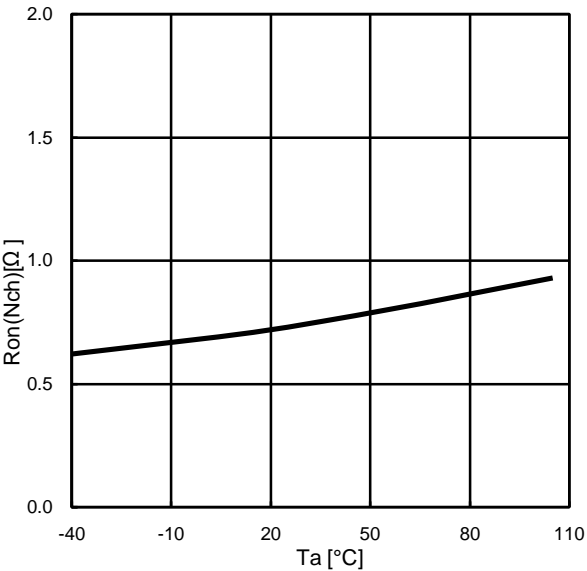


Fig.20 FET Ron –Ta(Nch)

●参考データ 6

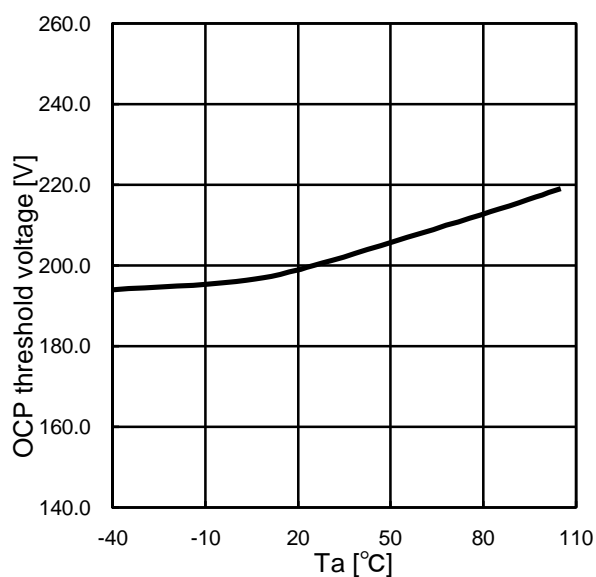
(特に指定のない限り Ta=25°C, VCC=CTL=24V, RT=200k Ω)

Fig.21 OCP threshold voltage-Ta

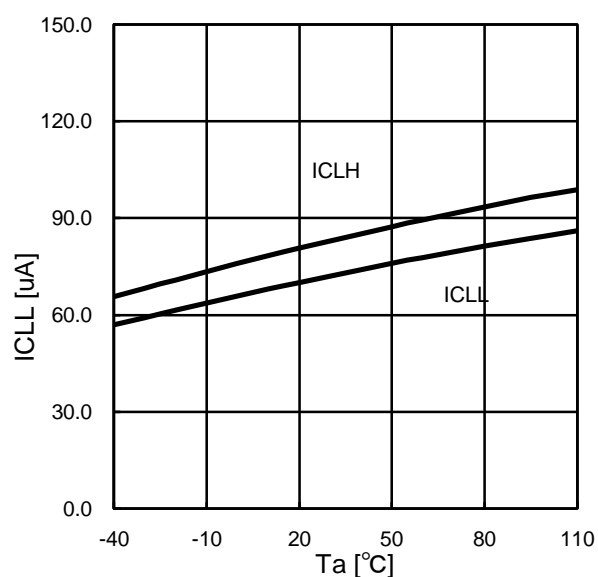


Fig.22 ICLH, ICLL-Ta

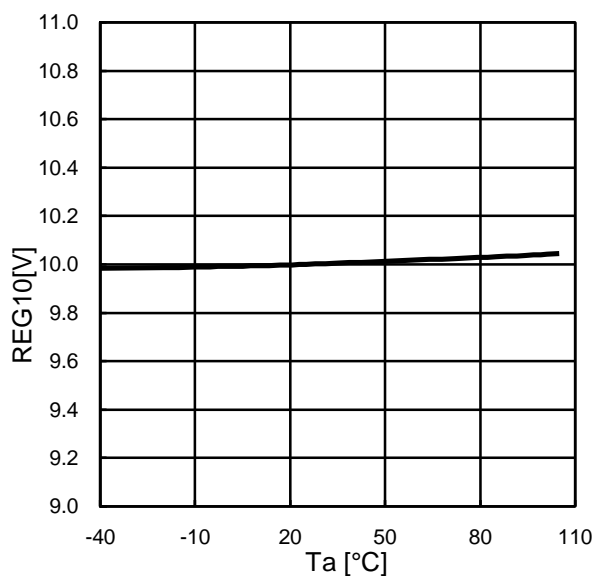


Fig.23 REG10-Ta

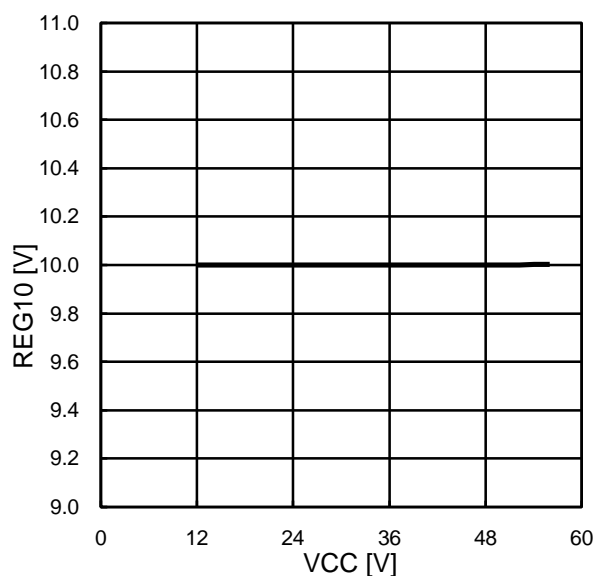


Fig.24 REG10 Line regulation

●参考データ 7

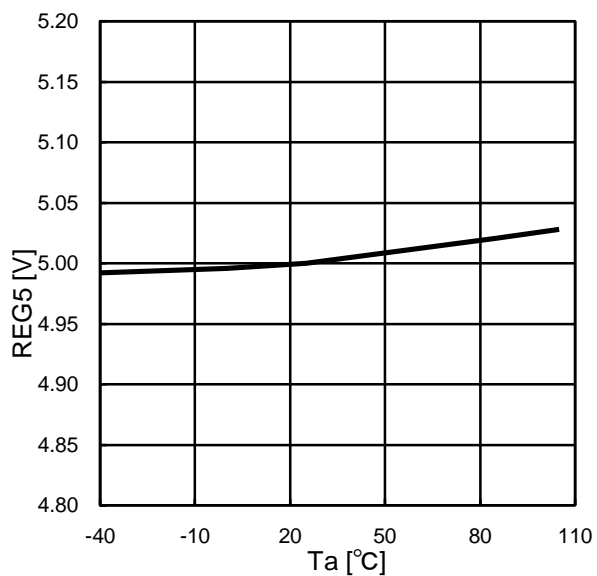
(特に指定のない限り $T_a=25^{\circ}\text{C}$, $V_{CC}=V_{CTL}=24\text{V}$, $R_T=200\text{k}\Omega$)

Fig.25 REG5-Ta

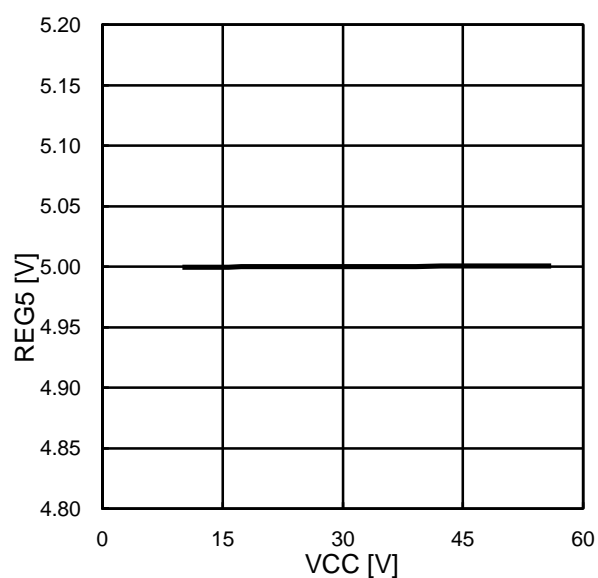


Fig.26 REG5-VCC

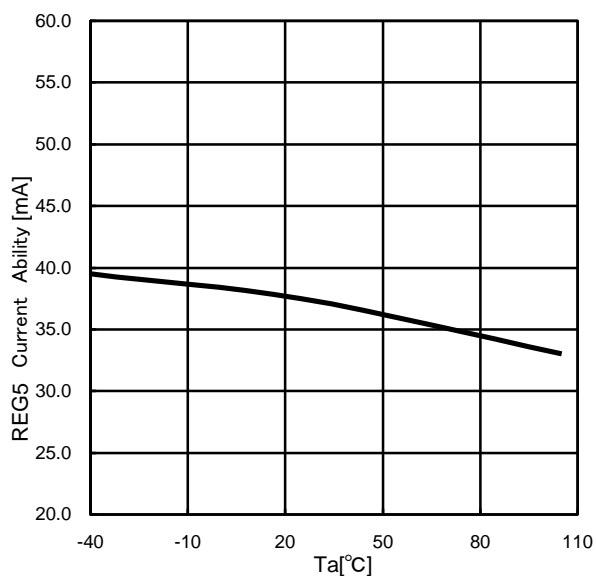


Fig.27 REG5 current ability-Ta

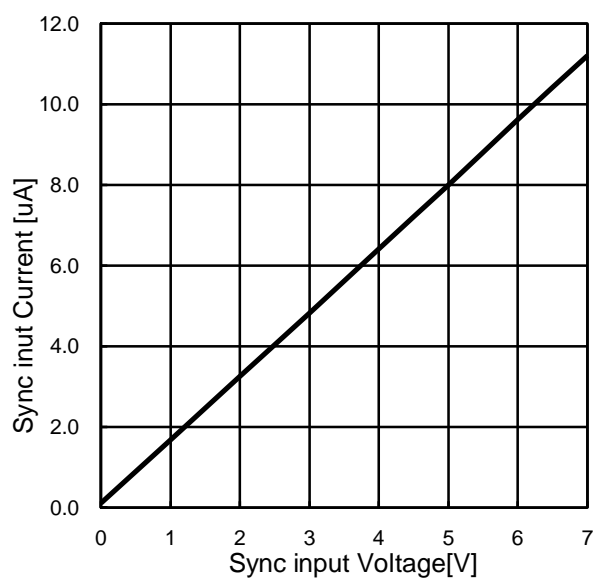


Fig.28 ISYNC-VSYNC

●参考データ 8

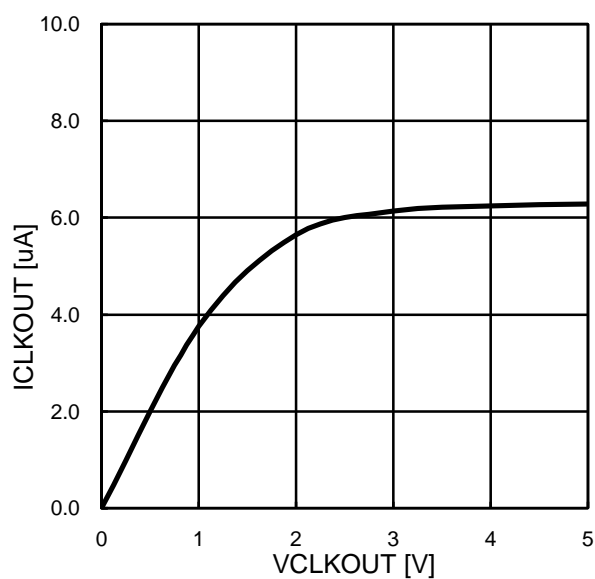
(特に指定のない限り Ta=25°C, VCC=CTL=24V, RT=200k Ω)

Fig.29 CLKOUT sink current -VCLKOUT

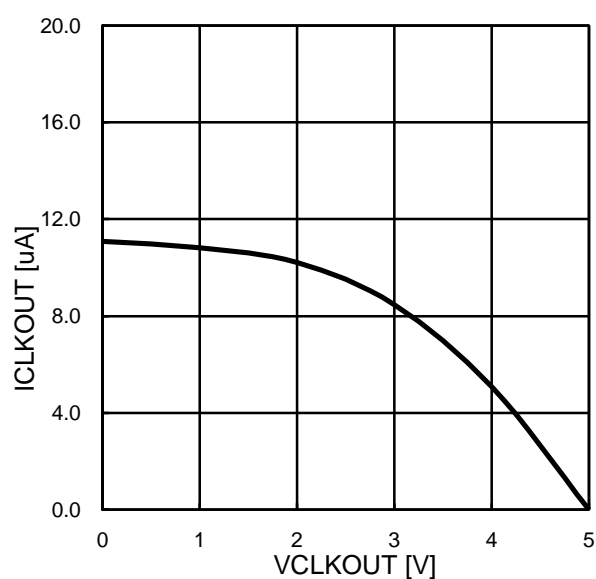


Fig.30 CLKOUT source current - VCLKOUT

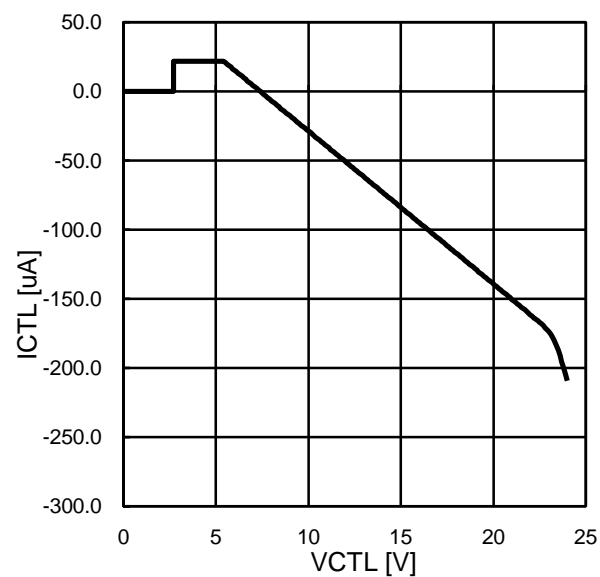


Fig.31 ICTL- VCTL

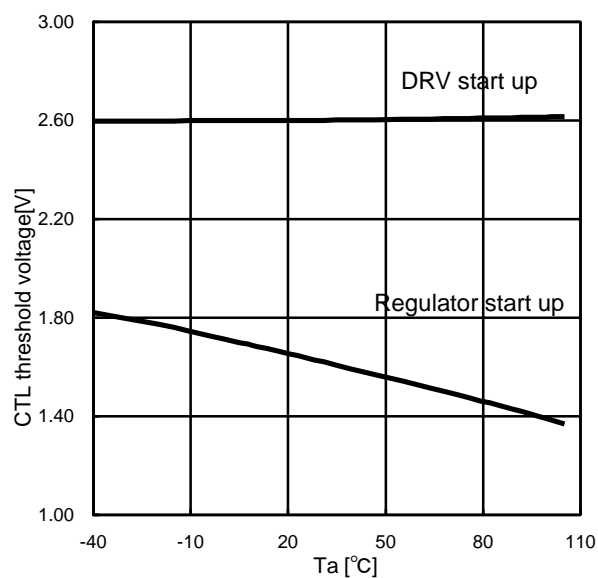


Fig.32 CTL threshold Voltage-Ta

●参考データ 9

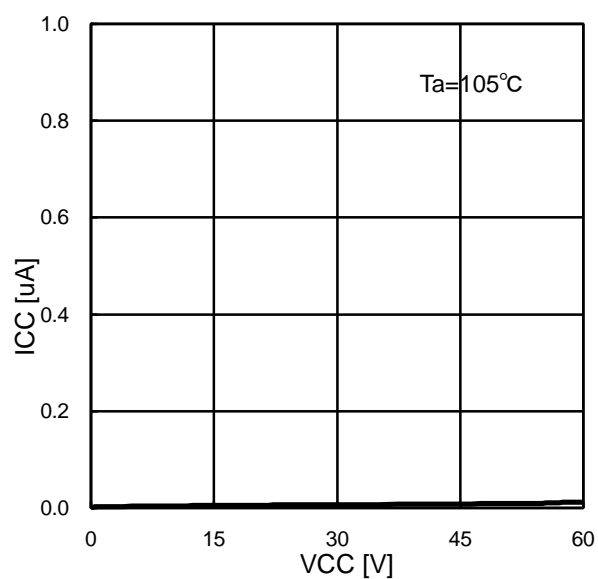
(特に指定のない限り $T_a=25^{\circ}\text{C}$, $V_{CC}=V_{CTL}=24\text{V}$, $R_T=200\text{k}\Omega$)

Fig.33 Stand-by Current-VCC

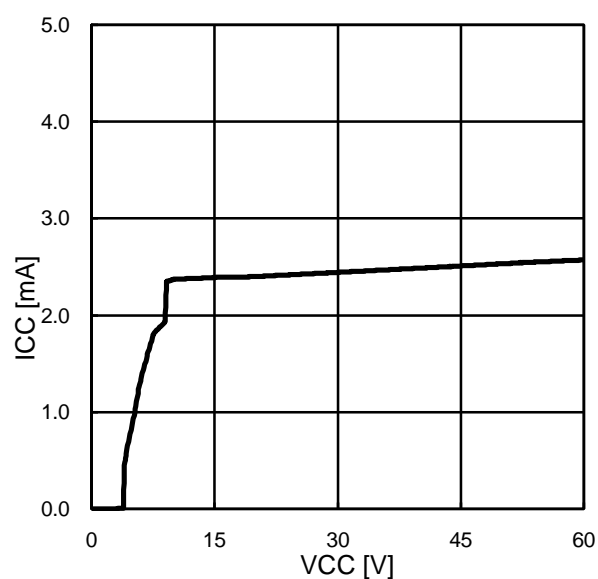
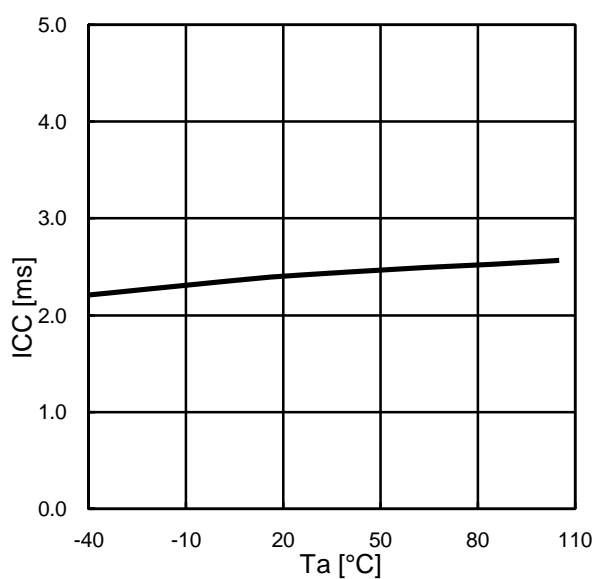
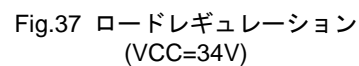
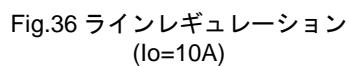


Fig.34 Quiescent Current-VCC

Fig.35 Quiescent Current- T_a

(VCC=34V, V_o=12V, T_a=25°C)



●参考アプリケーションデータ
(VCC=34V, Vo=12V, Ta=25°C)

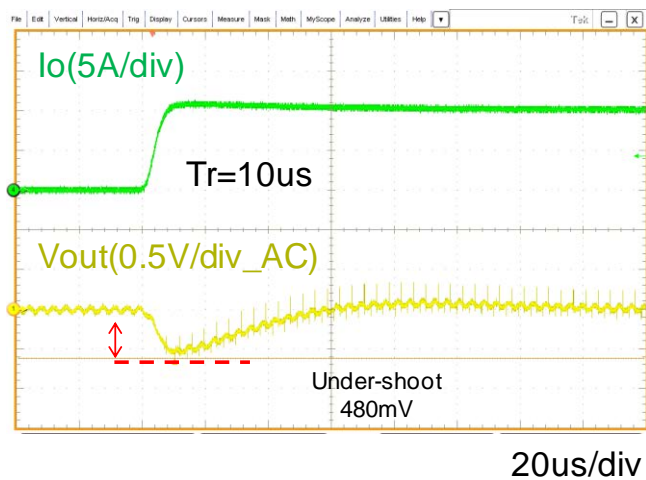
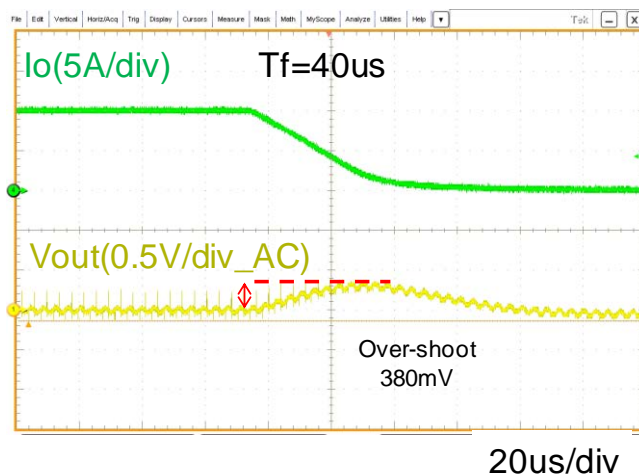
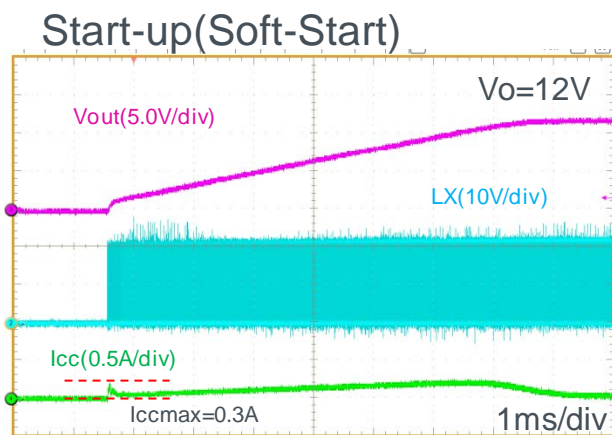
Fig.38 負荷応答($I_o=0A \rightarrow 10A$)Fig.39 負荷応答($I_o=10A \rightarrow 0A$)

Fig.40 起動波形(ソフトスタート)

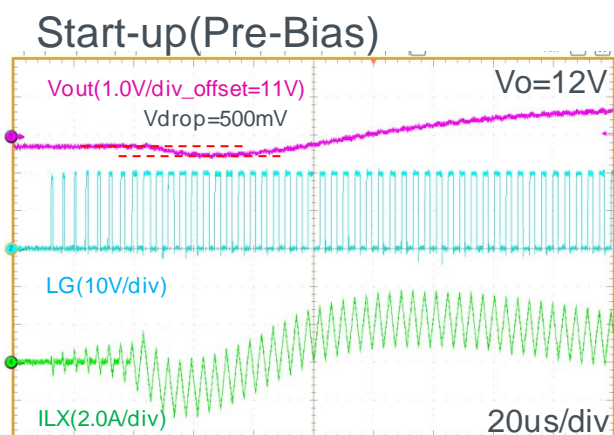


Fig.41 起動波形(プリバイアス)

●各機能説明

(1)REG5 レギュレータ

IC 内部回路の電源及び基準電圧です。IC 外部へは、 $I_{REG5} \leq 2\text{mA}$ までの電源としても使用可能です。
 $C_{REG5} = 0.1\mu\text{F}$ の積層セラミックコンデンサを接続してください。

(2)REG10 レギュレータ

ローサイドドライバの電源及びブーストコンデンサを充電するためのレギュレータです。
 通常 $C_{REG10} = 1\mu\text{F}$ の積層セラミックコンデンサを接続してください。
 外付けの FET のゲート電荷量が多い場合、後述の BST-LX 間容量と合わせて C_{REG10} も大きくしてください。
 短絡保護機能として、GND 短絡時には I_{REG10} 電流を 20mA 程度に抑えます。
 この短絡保護機能の為、起動時の REG10 波形は $REG10 = 2\text{V}$ 付近に変曲点を持ちます。

(3)ソフトスタート機能

ラッシュ電流やオーバーシュートを防ぐために、基準電圧をスローブ状に立ち上げます。
 ソフトスタート時間は、IC 内部の定電流 ($I_{SS} = 1\mu\text{A}$) で SS 端子に外付けする容量を $0.8\text{V} (=V_{NON})$ まで充電する時間で決定されます。

$$t_{ss} = (C_{SS} \times V_{NON}) / I_{SS}$$

(ex.) $C_{SS} = 0.01\mu\text{F}$ のとき $t_{ss} = (0.01\mu \times 0.8) / 1\mu = 8 [\text{ms}]$

ただし、起動開始からソフトスタート開始までに、次項の RTSS の起動時間等が必要となりますのでご注意ください。

(4)発振周波数(RT、RTSS、CLKOUT)の設定

RT 端子に接続する抵抗 R_{RT} に応じた周波数の波形が IC 内部で生成されます。
 振幅レベルが $1.5\text{V} - 2.0\text{V}$ の三角波で、PWM コンパレータへ入力されます。
 下式及びグラフ(発振周波数 vs RT 抵抗)を基に RT の抵抗を選択してください。

$$FOSC = 15900 \times R_{RT}^{-0.955} [\text{kHz}] \quad (R_{RT}: \text{RT 接続抵抗値}[\text{k}\Omega])$$

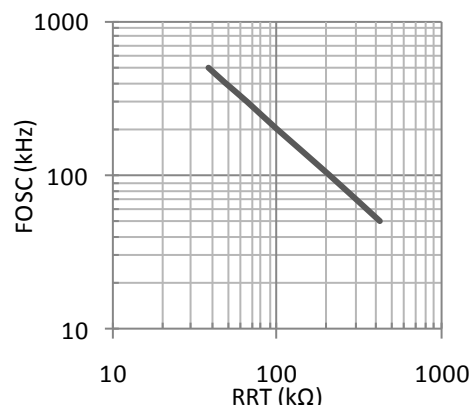


Fig.42 発振周波数 vs RT 抵抗

RTSS 端子は IC 内部で設定した RT 用基準電圧(通常時 $V_{RTREF} = 0.5\text{V}$)のバッファ出力(最大シンク・ソース電流 $5\mu\text{A}$)となっています。また RTSS 端子電圧は、IC 内部のバッファ回路に入力され、RT 端子電圧(=RTSS 端子電圧)を出力します。次項の外部同期を使用しない場合は、通常 $C_{RTSS} = 0.01\mu\text{F}$ を接続してください。
 また UVLO 時には RTSS コンデンサをディスチャージしている為、UVLO からの解除時にはプリチャージ機能として $I_{RTSS} = 100\mu\text{A}$ で $V_{RTSS} = 0.50\text{V}$ に達するまでの間(T_{RTSS})、急速充電を行います。
 $V_{RTSS} = 0.50\text{V}$ となった時点で IC 全体の UVLO 解除となり、ソフトスタートが始まります。
 この為設定によっては、電源投入からのソフトスタート時間が影響を受けますのでご注意ください。

(ex.) $C_{RTSS} = 0.01\mu\text{F}$ のとき

$$T_{RTSS} = (0.01\mu\text{F} \times 0.50\text{V}) / 100\mu\text{A} = 50 [\mu\text{s}]$$

CLKOUT 端子には IC 内部の発振器と同じ周波数の矩形波が REG5 電圧を電源としたプッシュプル出力形式で出力され、次項のような同期動作に使用できます。使用しない場合の端子処理は、オープンとしてください。

(5)外部同期機能(SYNC 端子)

ノイズマネジメントなどを目的に、IC のスイッチング周波数を外部周波数に同期させる機能です。SYNC 端子や CLKOUT 端子の機能を用いることで、複数 IC での多 ch 出力同期動作が可能になります。本機能を使用しない場合の SYNC 端子処理は、ノイズ誤動作防止の為 GND 処理としてください。

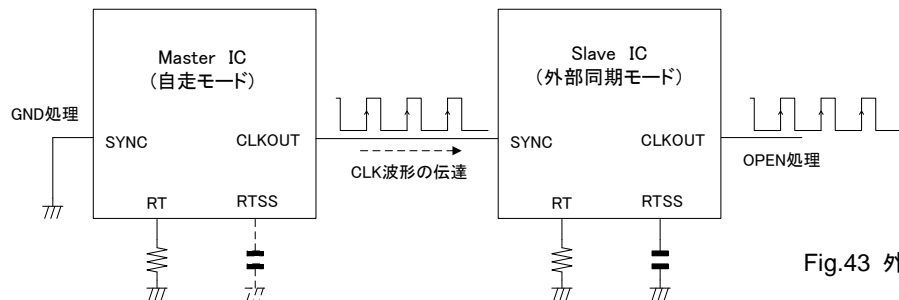


Fig.43 外部同期回路構成例

外部同期を行う場合には SYNC 端子へ直接矩形波を入力すると、入力された波形の立ち上がりエッジを拾い、3 回連続で立ち上がりエッジを検出した時点で、自動的に内部の三角波の周波数（及び振幅）を同期させるように制御が働きます。

◆SYNC 端子へ入力する波形の条件としては、

周波数設定は通常(自走)時と同様 $FOSC=50\sim 500\text{kHz}$ の範囲で、パルス幅 $TWSYNC \geq 500\text{ns}$ 以上、H レベルは $2.8\text{V} \leq VSYNCH \leq 5\text{V}$ 、L レベルは $GND \leq VSYNCL \leq 0.3\text{V}$ としてください。

入力順序については、CTL との入力順序等に特に制約はありません。

RT の抵抗は、SYNC 端子へ入力する周波数にあった RT 抵抗値を、前項のグラフから決定してください。(RT 抵抗値から決まる周波数に対し、 $FOSC \pm 10\%$ 以内の値の周波数の波形を SYNC へ入力してください)

外部との同期は、IC を動作させる時点で確定させておくことを推奨致します。

IC の動作中に、自走モード⇄同期モードを切り替える場合、しばらくの間三角波が変動することにより、出力電圧も変動することが考えられます。

また逆に動作中に SYNC 波形を停止した場合は、周波数は RTSS コンデンサにより徐々に自走周波数へと収束します。SYNC 波形が停止すると、同期するエッジが 8 周期の間検出されなくなることにより、IC 内部の動作モードが同期モード⇄自走モードに切り換わります。このとき $I_{RTSS}=5\mu\text{A}$ にて RTSS コンデンサが充電(放電)されて、徐々に RTSS 端子電圧が 0.5V (自走モード電圧)に収束していきます。この $RTSS(=RT)$ 電圧の緩やかな変化に伴って、周波数も徐々に自走モード周波数へと自動的に収束します。

RT 電圧は通常(自走)時およそ $V_{RT}=0.5\text{V}$ となりますが、外部同期機能を使用する場合には自走時と同じ振幅で三角波が生成されるように、およそ $V_{RT}=0.25\text{V}\sim 1.0\text{V}$ の間で RT 電圧の自動調整を行います。この場合には RTSS に接続したコンデンサが RT の変動を平滑化する役割をします。

通常 $C_{RTSS}=0.01\mu\text{F}$ の積層セラミックコンデンサを接続してください。RTSS の容量が小さい場合には三角波の振幅が変動する要因となり、大きい場合には周波数が同期するまでの時間が長くなります。

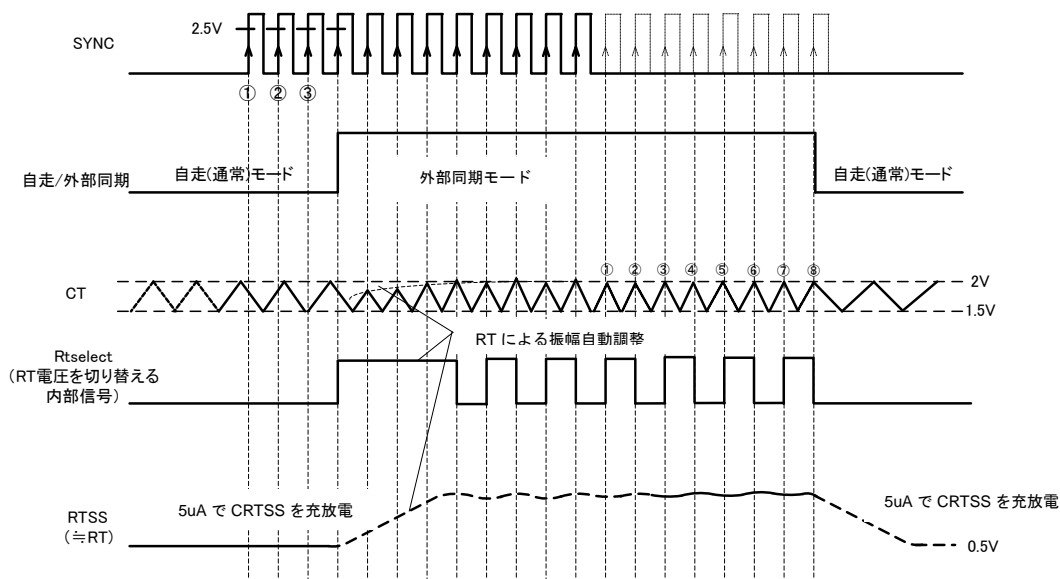


Fig.44 外部同期部タイミングチャート

(6)PWM 制御・ブーストコンデンサ(CBST)チャージ機能(プリチャージモード)

外付けのハイサイド Nch-FET を駆動する手段として、ブートストラップ動作を行うためにはブーストコンデンサ (CBST : BST-LX 間の容量) をチャージする為の時間が必ず必要となります。本 IC では、LG の ON 時間中に、内蔵された REG10-BST 間の FET スイッチ(LG 端子に同期して ON)を介して、REG10~BST~CBST~LX~ローサイド FET~GND の経路で、CBST を REG10 電圧(10V)までチャージします。FB>2V(=三角波上限電圧)、すなわちハイサイドが常に ON しようとする条件となった場合にも、CBST を充電できるよう、IC 内部に LG min. ON 時間を設けている為、最大 Duty は 100%になることはありません。入出力電圧の小さい条件でご使用される場合には、入力=出力とはなりませんので、ご注意ください。

※最大 Duty について

アプリケーション動作としては、LG min. ON 時間(およそ 100ns)と、LG パルスの前後に設けている HG, LG 同時 OFF 時間(: デットタイム。それぞれおよそ 100ns)を併せて、およそ $T_{off}=350\text{ns}$ の間は各周期 OFF 時間が発生します。(=ハイサイド最小オフ時間 $HG_{min.}$)従いまして最大 ON_Duty としては、として計算されます。

$$D(on) = (T - T_{off}) / T \quad [T : \text{スイッチング周期}(1/FOSC), T_{off} : \text{OFF 時間}(=350\text{ns typ.})]$$

※プリチャージモード

起動時、及び動作中にブーストコンデンサ電圧が低下(BSTUVLO 動作)した場合、保護回路動作モード[UVLO、TSD、OCP(ヒカッパ動作)]などからの復帰には、ブーストコンデンサを予め充電する為の機能として、BST-LX 間容量が充電されるまでの間プリチャージモードで動作します。このプリチャージモードでは LG 端子におよそ 300ns のローサイド ON パルスが発生してブーストコンデンサを充電し、BSTUVLO の解除により通常モードへ切り替わります。

(7)スタンバイ機能

CTL 端子電圧を Low とすることで、消費電流を $I_{SC}=0\mu\text{A}$ とすることができます。

このとき REG5、REG10 などのすべての機能は停止します。

CTL 端子には、VCC に対してダイオードが接続されております。このダイオードは通常電流を流すことを想定しておりませんので、CTL>VCC となるようなご使用は避けてください。

(8)UVLO 機能

入力電圧や REG 電圧が低下して、VCC(<8.5V)、REG10(<8.2V)、REG5(<4.3V)のいずれかの条件を満たすと UVLO が動作し、出力を停止して(HG=L、LG=L)、SS、FB を Low とします。

また UVLO にはそれぞれヒステリシスを設けています。(VCC : 0.5V、REG10 : 0.5V、REG5 : 0.2V 程度)復帰時にはソフトスタート復帰となりますが、UVLO 解除電圧に達しても $V_{RTSS} \geq 0.5\text{V}$ になるまでソフトスタートを開始しません。

立ち上がりの時間の仕様が短い場合は、RTSS コンデンサの値も合わせてご検討ください。

BST-LX 間にも BSTUVLO(およそ 7.5V 程度)を設けております。この UVLO が検出された場合は

HG、SS、FB を停止し、プリチャージモード(LG の 300ns パルスによるブーストコンデンサの充電)に移行します。

(9)TSD 機能

過熱保護回路は、IC に定格温度を超えるような異常な発熱があった場合に、IC が暴走したりしないように IC チップを破壊から守る為の回路です。

(検出温度はおよそ 175℃となっており、通常使用の範囲($T_{jmax}<150^\circ\text{C}$)では動作しません。

また解除はおよそ 150℃以下となることで自動復帰します。)

TSD 検出時は UVLO と同様に HG、LG、SS、FB を Low として出力を停止させます。

(10)LG 短絡保護機能

LG 端子が GND 短絡した場合、LG=ON(High)論理のタイミングで IC に異常電流が流れてしまいます。

(DC/DC としてはローサイド Nch-FET の Body-diode により、ダイオード整流にて出力をし続けます。)

この場合の保護機能として、IC 内部では各周期毎に、PWM ブロックから LG=ON の信号が出力された後 LG=High とならなかった場合に、出力を停止する機能を設けております。

(11) OCP 機能

ハイサイドドライバ ON 時の CLH-CLL 間電圧をモニタしており、RCL 端子によって設定されるスレッシュホールド電圧を越えると、即時に出力のみを OFF 論理とします。本検出回路はハイサイド検出を前提としており、ハイサイドの FET のドレインに接続した電流検出抵抗 R_s などで電流をモニタします。

このときの過電流検出(OCP)電流値は次式によって決まります。

$$I_{OCP} = V_{OCPH} / R_s \quad (8)$$

I_{OCP} : OCP 電流、

V_{OCPH} : RCL によって設定した OCP スレッシュホールド(CLH-CLL 間)電圧、

R_s : 電流検出抵抗

RCL 端子に接続する抵抗と OCP スレッシュホールド(CLH-CLL 端子間電圧: V_{ocph})は次式及びグラフから決定してください。

また $RRCL > 12.5k\Omega$ の OCP 検出電圧値が小さい領域では製造ばらつきの影響が顕著に現れ、OCP の変動幅も増加します。

製造ばらつきも考慮し $RRCL$ を決定してください。

$$V_{OCPH} = (0.8 / RRCL) \times 1850 \text{ [mV]} \quad RRCL: RCL \text{ 接続抵抗値[k}\Omega\text{]}$$

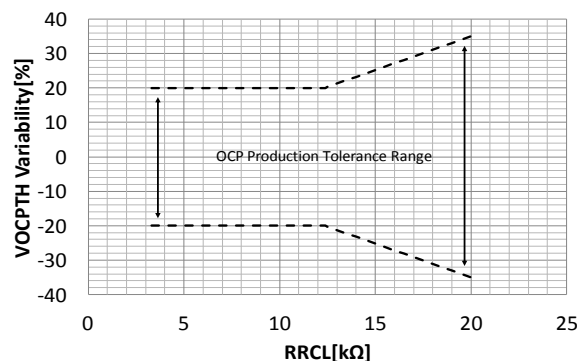


Fig.45 OCP 検出電圧 vs RCL 抵抗設定

電流検出抵抗の両端に、大電流系と共通インピーダンスを持たないように CLH、CLL を接続、CLH や CLL の配線間に C,R フィルタを挿入することで、検出成分のバラツキを抑え、安定的に動作させることが可能です。

CLH、CLL への入力 CR フィルタは下図のような構成とし、ノイズ周波数における容量 C_{ocp} のインピーダンスを極力下げ(ノイズ周波数と自己共振周波数を合わせる)、抵抗 R_{ocp} によりフィルタ定数を調整してください。

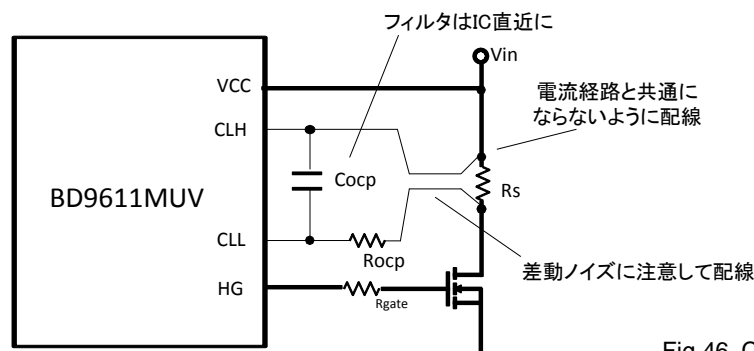


Fig.46 CLH,CLL フィルタ設定注意点

FET のオン抵抗での検出は、オン抵抗バラツキの影響や、スイッチングノイズが大きく OCP が誤検出する可能性がありますので、FET の選定やパターンの引き回しにはご注意ください。

CLH、CLL 端子の入力レベルとして、VCC(もしくは FETON 時 LX)電位での過電流検出回路となっております。出力電位などでの過電流検出には使用できませんのでご注意ください。

また OCP 機能を使用しない場合は、RCL 端子を REG5 へショートし、CLH、CLL 端子ともに大電流経路との共通インピーダンスに注意して IC の VCC 端子へ最短ショートしてください。

＜パルスバイパルス保護＞

OCF 検出にはハイサイド ON の遷移中に発生するリングングノイズなどを考慮して IC 内部にておよそ 60ns の不感応時間を設けております。
また、検出から HG を OFF しようとするまでおよそ 140ns 程度の遅れ時間が発生します。

周波数が高く入出力電圧比(=Vo/Vin)の小さい設定では、上記不感応時間 60ns+遅延時間 140ns の最小パルス幅から意図した電流値で OCF 検出ができない可能性がありますので、(13)の出力設定電圧範囲について十分ご確認ください。

＜ヒカッ保護＞

2 パルス連続、もしくは 1 パルスおきに（連続 3 回のパルス中に 2 回）OCF を検出した場合には、出力の他に SS や FB も Low として、スイッチング周波数の周期×32768 倍の時間、OFF 状態を保持します。

(ex.) FOSC=300kHz の場合

$$\begin{aligned} \text{OCF 出力停止保持時間(THICCUP)} &= T(=1/\text{FOSC}) \times 32768 \\ &= (1/300\text{k}) \times 32768 = 108 [\text{ms}] \end{aligned}$$

過電流検出の出力 OFF 状態からの復帰は、ソフトスタートにより自動的に復帰します。

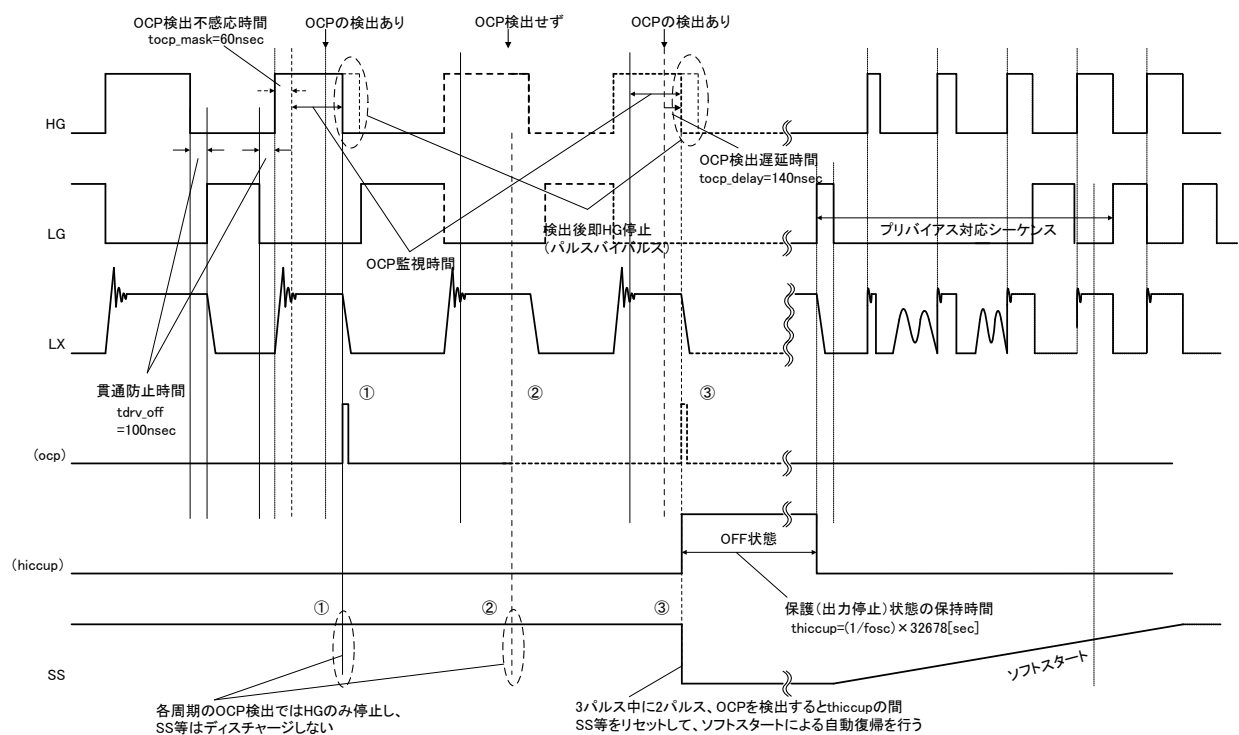


Fig.47 OCF 動作タイミングチャート(※説明の為に実際とは時間軸を変えています)

(12) プリバイアス対応

出力電圧が予めバイアスされている状態で起動する場合に、出力側から電流を引きこまない為のシーケンスを設けています。

ただし出力設定電圧値 $V_o < 10V$ の範囲では BST チャージ用 SW ボディ Di 及び BST-LX 間内部インピーダンスを介して REG10 から V_o に向け電流経路が生じ出力が上昇する可能性があります。

その為、出力電圧に応じて以下の抵抗値以下の抵抗値を用いてフィードバック抵抗を構成する、もしくは負荷抵抗として V_o -PGND に接続する事により出力電圧上昇を抑える事で $V_o < 10V$ の範囲においてもご使用頂けます。

$V_o \geq 10V$ の範囲ではプリバイアス時に問題無く動作いたします。

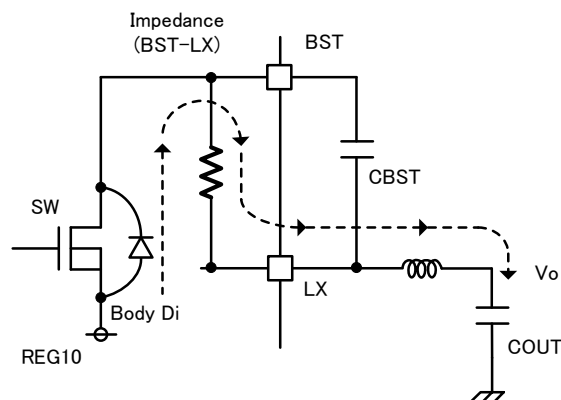


Fig.48 出力電圧減電設定時プリバイアス電流経路

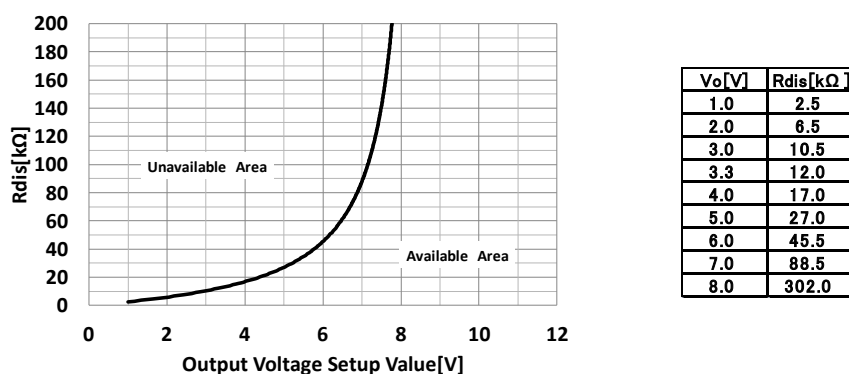


Fig.49 出力設定電圧-負荷抵抗特性

(13)出力電圧設定範囲について

本 IC アプリケーションでの出力電圧の設定は入力電圧や周波数、ハイサイド最小 OFF パルス、また負荷などにより、下記の範囲に制限されます。

◆周波数と入出力電圧比の関係について

本 IC にて帰還制御可能で、かつ過電流検出(OCP)が設定可能となる最小のパルス幅の制約(11)から、以下のグラフのような、周波数と入出力電圧比に関する出力電圧の設定限界が生じます。

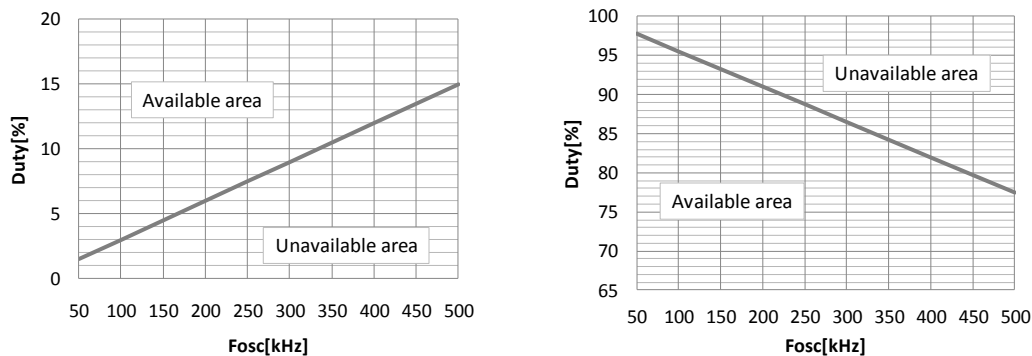


Fig.50 周波数と入出力電圧比の設定限界

◆ハイサイド(HG)最小 OFF パルスについて

本アプリケーションではブートストラップ方式を採用していることから、ブーストコンデンサ(CBST)の充電に必要な時間(ハイサイド最小 OFF パルス max.450ns)の制約が生じます。

OFF デューティパルスとして $t_{off}=450\text{ns}$ を考慮してください。

入力電圧と出力電圧が近い条件で、この影響を受けますので、出力電圧設定が高い場合や、入力減電限界などにはご注意ください。

(ex.)出力 $V_o=12\text{V}$ 設定、周波数 $f=250\text{kHz}$ ($T = 1 / f = 4\mu\text{s}$)のとき

$\text{OFF_Duty}=1-V_o/V_{in}$ 、最小 OFF パルス幅 $t_{off_min} = T \times \text{OFF_Duty}$ を計算すると

$$t_{off_min} = T \times (1 - V_o / V_{in}) = 4\mu\text{s} \times (1 - 12\text{V} / V_{in}) \geq 450\text{ns}$$

上式から、設定電圧($V_o=12\text{V}$)を保持するには、 $V_{in} \geq 13.52 [\text{V}]$ 以上の電圧が必要となります。

実際にはこの値に加えて、ハイサイド FET の ON 抵抗や、コイルの DCR、配線インピーダンスなどの電圧降下も考慮して、マージンを決定してください。

◆負荷条件について

出力設定電圧 $V_o \geq 10\text{V}$ では、負荷と出力設定電圧の間に制約はありません。

ただし、 $V_o < 10\text{V}$ では P.16(12)プリバイアス対応を参照してください。

(14)外部 UVLO 設定(EXUVLO)について

CTL 端子に Fig.51 に示すような VCC 抵抗分割を用いる事で UVLO 検出/解除電圧の設定が可能となります。入力電圧が設定電圧を下回ると UVLO が動作し、出力を停止して(HG=L、LG=L)、SS、FB を Low とします。定電流のオン/オフによりヒステリシスを設けているおり、解除電圧を上回ると CTL へ電流が供給されます。

CTL 端子電圧が 5.6V 以上となるとクランプ電圧により $(V_{CTL}-5.6V)/100k\Omega$ のシンク電流が生じます。(Fig.52) また一旦 UVLO 解除した後 R1,R2 がオープンとなった場合 CTL が 5.6V でクランプされ 0.3V 以下にならず オフ出来なくなります。

(ex.)解除電圧設定(V_{uv+})=21V 設定、ヒステリシス電圧(V_{hys})=4V(検出電圧 V_{uv-} =17V)設定のとき

$$V_{uv+} = (R_1 + R_2) / R_2 \times V_{EXUTH}$$

$$V_{\text{hys}} = R_1 \times I_{\text{UVHYS}}$$

(VEXUTH=2.6V(typ),IUVHYS=20uA(typ))

を計算すると $R1=200k\Omega$, $R2=28.26k\Omega$ となります。

製造ばらつき,温度特性を考慮すると $VEXUTH=2.6V \pm 3\%$, $IUVHYS=20\mu A \pm 25\%$ より

上記抵抗分割の場合には 21.63V 以上で確実に UVLO が解除され、15.37V 以下で検出します。

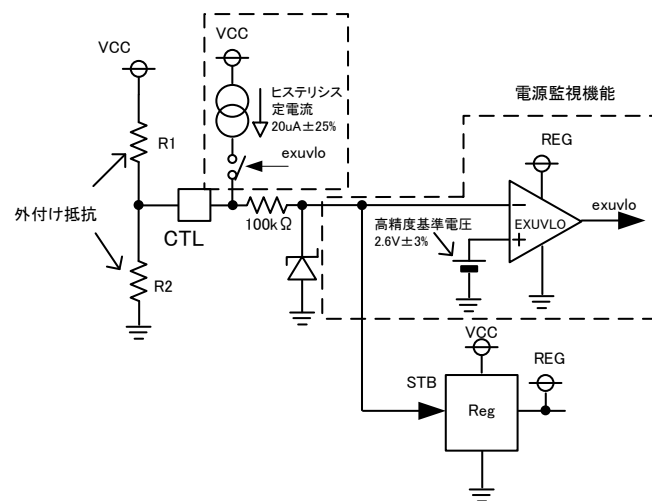


Fig.51 外部 UVLO(EXUVLO)回路構成

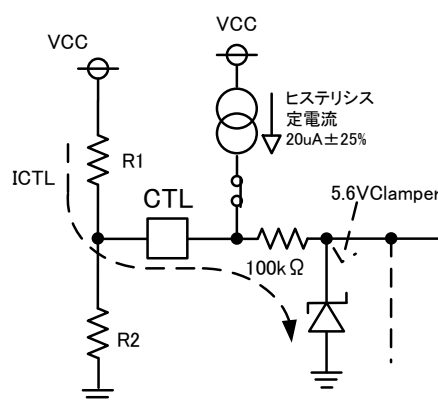


Fig.52 CTL>5.6V 電流経路

●起動時タイミングチャート

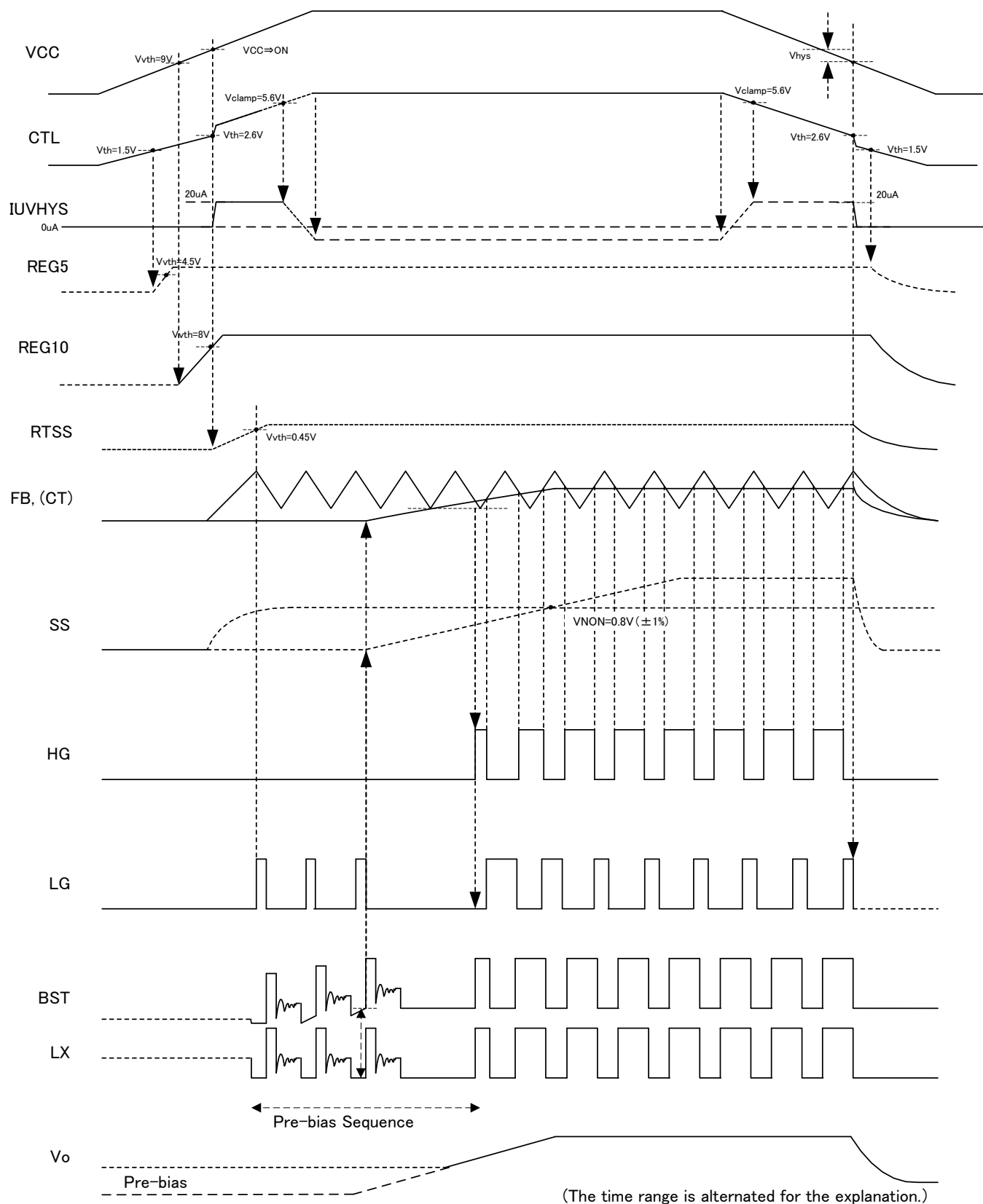


Fig.53 起動時タイミングチャート

●アプリケーション部品選定方法

(1) インダクタ

電流定格（下記電流値 I_{peak} ）を満たし、DCR（直流抵抗成分）が低く、シールドタイプのを推奨します。

インダクタの値はインダクタリプル電流に影響し、出力リップルの原因となります。

このリップル電流は、以下の式のようにコイルのL値が大きいほど、またスイッチング周波数が高いほど小さくすることができます。

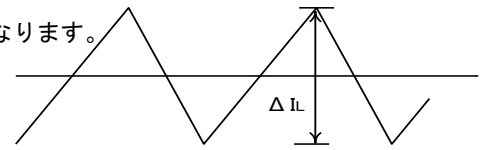


Fig.54 インダクタ電流

$$I_{peak} = I_{out} + 1/2 \times \Delta I_L \quad [A]$$

$$\Delta I_L = (V_{in} - V_{out}) / L \times V_{out} / V_{in} \times 1 / f \quad [A]$$

（ ΔI_L ：出力リップル電流、 f ：スイッチング周波数）

インダクタリプル電流の設計値は、最大入力電流の20%~40%程度を目安として設計を行ってください。

※コイルの定格を超える電流をコイルに流しますとコイルが磁気飽和を起こし、効率の低下や

出力の発振、異常な過電流を引き起こすことがあります。ピーク電流がコイルの定格電流を超えないよう高温における十分なマージンをもって選定してください。

(2) 出力コンデンサ

出力に使用するコンデンサ(C_{out})は出力リップルを軽減するため、直列等価抵抗(R_{esr})の低いコンデンサを推奨いたします。また、コンデンサの定格はDCバイアス特性を考慮にいたうえ、最大定格が出力電圧に対して十分マージンのあるものを使用してください。

出力リップル電圧 V_{ripple} は次式より求められます。許容リップル電圧内に収まるよう設定を行ってください。

$$V_{ripple} = \Delta I_L \times 1/(2\pi \cdot f \cdot C_{out}) + \Delta I_L \times R_{esr}$$

また容量値が大きすぎると、設定によっては起動不良を生じます。次式の関係を満たすように設定してください。

$$C_{out} \leq t_{ss} \times (I_{ocp} - I_{out}) / V_{out}$$

（ t_{ss} ：ソフトスタート時間、 I_{ocp} ：OCP 設定電流）

(3) 出力電圧設定

ERROR AMP の内部基準電圧は 0.8V となっています。

出力電圧は次式のように決定されます。

$$V_{out} = (R1 + R2) / R2 \times 0.8[V]$$

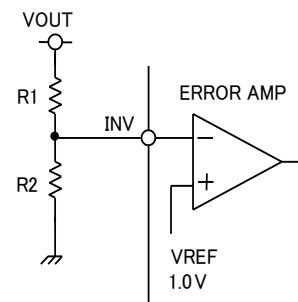


Fig.55 電圧帰還抵抗設定方法

(4) スwitchング素子 (FET)

定格について、電圧については VCC 電圧に対して、電流については(1)式で求められる I_{peak} や過電流設定電流 I_{ocp} に対して、スパイクノイズなどを考慮して充分マージンを持った素子を選択してください。

またノイズ改善、効率改善の面から入力容量 C_{iss} やゲート電荷量 Q_g の小さなものを選択してください。

ゲートを駆動する電圧は 10V となります。ゲート電圧の仕様もご確認ください。

FET のゲートには、遷移時間 t_r/t_f 調整用にゲート抵抗パターンの挿入を推奨致します。

(5) ブーストコンデンサ

BST 端子-Lx 端子間に、ハイサイド Nch-FET ゲート駆動電源(10V)用の容量として、標準的なアプリケーションでは $CBST=0.47\mu F$ 程度(積層セラミックコンデンサ)を接続してください。SS 時間が長い場合や外付け FET のゲート電荷量が多い場合には、REG10 コンデンサと合わせて BST コンデンサを大きくしてください。

(6) 入力コンデンサ

セラミックコンデンサと電解コンデンサの併用を推奨致します。

耐圧を考慮し、特に電解コンデンサについては許容リップル電流定格に注意して、

できるだけ低インピーダンスのものを選択してください。必要な許容リップル電流は下式 I_{rms} をご参考ください。

$$I_{rms} = I_{out} \times \sqrt{(V_{out} \cdot (V_{in} - V_{out}) / V_{in})}$$

(7)DC/DC コンバータ周波数特性の調整について

本 IC は電圧モード PWM 制御の IC です。DC/DC 全体の系を安定性の為に、出力の L、Cout にて構成される LC フィルタでの 2 次遅れ(fp2)に対して、INV、FB 端子周辺の C、R にて 1 次進み補償(fz1,fz2)を設定します。系全体の周波数特性のねらいとしては、

- ・ユニティゲイン周波数(ゲイン 0 の周波数)を、スイッチング周波数 FOSC の 1/10~1/30 程度
- ・位相余裕を $\theta \geq 30\text{deg}$ 以上

となるよう設定します。

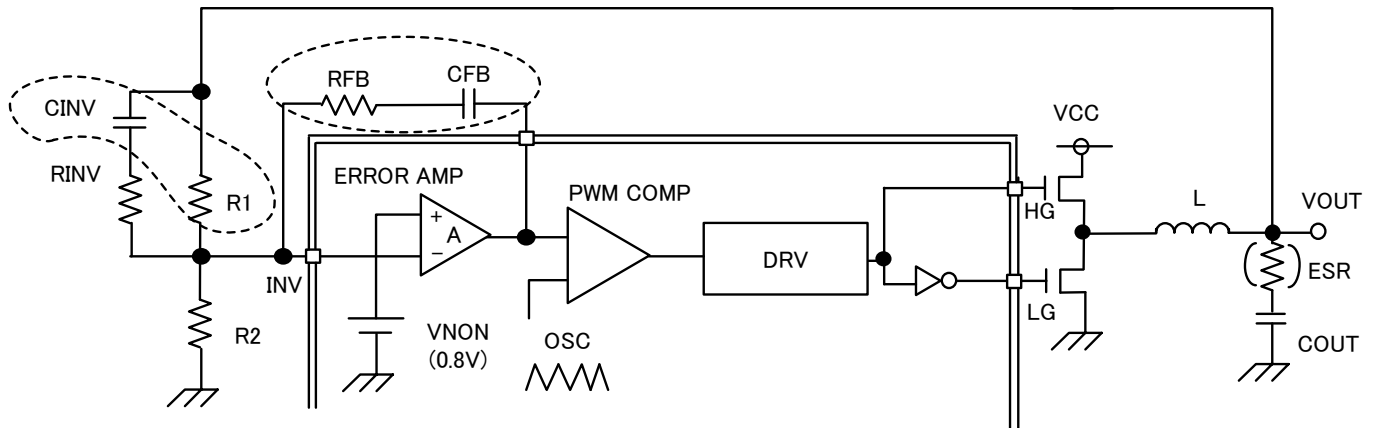


Fig.56 DC/DC 系全体の位相補償について

上図の系で考えると、DC/DC 動作に関係するポール(位相遅れ)が 2 つ存在します。

- ①エラーアンプ周辺の 1st ポール(fp1)

$$fp1 = 1 / [2 \cdot \pi \cdot (R1/R2) \cdot A \cdot CFB]$$
 ・ ・ ・ 1 次(90deg)遅れ
- ②LC フィルタのポール(fp2)

$$fp2 = 1 / [2 \cdot \pi \cdot \sqrt{L \cdot C}]$$
 ・ ・ ・ 2 次(180deg)遅れ

これらの遅れが 180° の遅れとならないよう、2 次の遅れである LC フィルタのポール②に対して以下のような進み補償(ゼロ)を 2 つ設定します。

およそ fp2 に対して、fz1,fz2(fz3)が同じくらいの周波数になるような C,R の定数を設定してください。

- ③出力コンデンサの ESR によるゼロ(fz1)

$$fz1 = 1 / (2 \cdot \pi \cdot COUT \cdot ESR)$$
 ・ ・ ・ 1 次(90deg)進み
- ④エラーアンプ周辺のゼロ(fz2)

$$fz2 = 1 / (2 \cdot \pi \cdot CFB \cdot RFB)$$
 ・ ・ ・ 1 次(90deg)進み
- ⑤※エラーアンプ周辺のゼロ(fz3)

$$fz3 = 1 / (2 \cdot \pi \cdot CINV \cdot R1)$$
 ・ ・ ・ 1 次(90deg)進み

※出力コンデンサに電解コンデンサなどの高 ESR のコンデンサを用いた場合には、fz1 が有効であるため fz3 を設定する必要はありません。

またセラミックコンデンサなど低 ESR のコンデンサを使用する場合、

fz1 は高周波に存在するため fz3 の設定が必要になります。

RINV については R1,R2 と同じ、または 1/10 くらいのオーダーの抵抗を接続することで、調整に幅を持たせることが可能です。(ポールの追加及びゼロの位置が変化します)

電解コンデンサを用いた場合の ESR の特性や、セラミックコンデンサの DC バイアス特性など、温度や電圧のパラメータをもつことが考えられますので、実機にて特性を十分ご確認ください。ネットワークアナライザ、周波数応答解析装置を用いてのボード線図の確認を推奨致します。

(8)出力電圧起動時のラッシュ電流に関して

ラッシュ電流やオーバーシュートを防ぐため、定電流(ISS=1uA±30%)と外付け容量によりスロープ状に立ち上がるSS端子電圧、0.8V基準電圧及びフィードバック端子(INV)からなる3入力エラーアンプ構成となっています。(Fig.57) SS端子電圧が0.8V以下の場合にはSS端子電圧を基準としてエラーアンプにより出力電圧が制御されます。

ただし内部三角波に振幅レベル1.5V-2.0Vを用いている為、FB端子電圧が1.5Vに到達するまでの間スイッチングせず出力はオフの状態を維持します。(Fig.58)

スイッチングがオフの間もSS端子電圧は定電流により上昇する為、FB電圧が1.5Vに到達する際には出力電圧は下記算出式となりラッシュ電流が生じます。

またラッシュ電流は出力コンデンサ容量Coutに比例する為、出力側に接続される容量を考慮し評価を行って下さい。

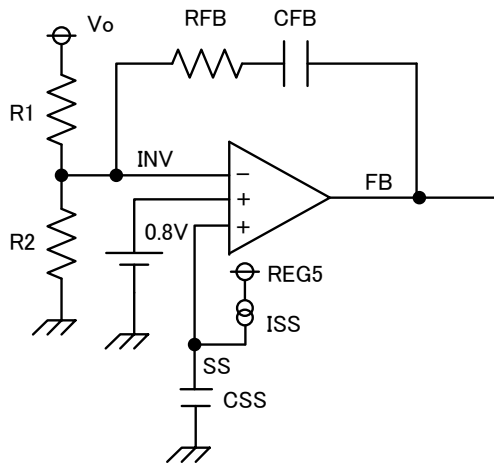


Fig.57 エラーアンプ概略図

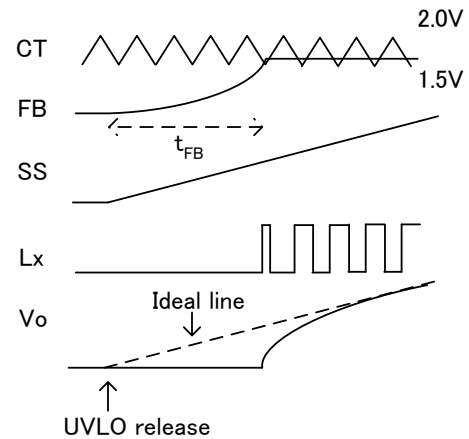


Fig.58 出力電圧起動時概略図

$$t_{FB} = C_{FB} \left\{ \sqrt{(R_{FB} + R_2)^2 + \frac{3C_{SS}R_2}{C_{FB}I_{SS}}} - (R_{FB} + R_2) \right\}$$

$$V_O = \frac{I_{SS}(R_1 + R_2)}{C_{SS}R_2} \times t_{FB}$$

●基板レイアウトの注意点

多層基板を使用し、GND プレーンを設けるなど、GND のインピーダンスを十分に低くしてください。
 その他下記内容につきましても、十分ご検討ください。

1. 入力コンデンサとローサイド FET のソースとのループ(①)、
 出力コンデンサとローサイド FET のソースとのループ(②)は、基板配置上、最優先に小さくしてください。
 また電流変化の大きいノード(電源、GND の他に LX や HG、LG、BST など)は太く、短く配線して下さい。
 →ノイズの原因となる寄生インダクタンスを抑制し、スイッチングノイズの低減が可能となります。
 同様にこれら 2 つのループの他に、FET のゲートを駆動するループ[(HG-BST 容量(BST-LX)、LG-REG10 容量(REG10-PGND))
 にもご注意ください。

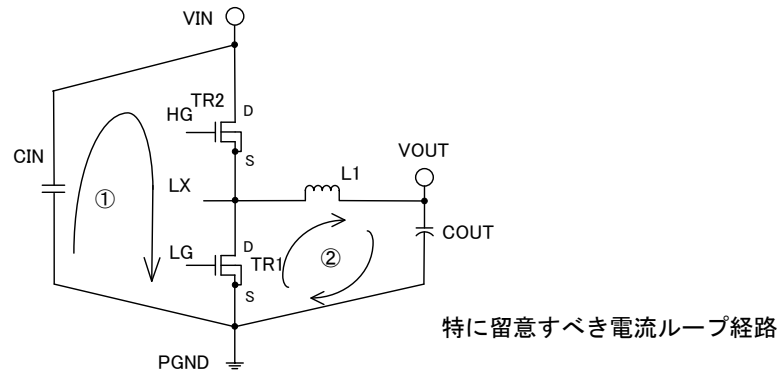


Fig.59 基板レイアウト電流ループ経路

2. LX のパターンは電流容量を満たした上で極力小さくしてください。
 →他に大きな電圧の変動があるノードに寄生容量などの容量成分があると、
 効率の悪化、ノイズの伝搬などが生じます。LX の他、HG、LG のゲートラインもご注意ください。
3. 多層基板を用いて放熱設計をしてください。また IC 裏面の PAD は GND へはんだ付けして、IC を放熱させてください。
 →FET などは発熱する為、表面層と同様のパターンを内層に設け、各層とビアで接続し、放熱を行ってください。
4. GND 及び PGND は IC 裏面にてショートし、さらに中間層にて GND プレーンを設けて接続することで、すべての GND を低インピーダンスにしてください。
 →安定動作の為に、GND の揺れを抑制します。
5. REG5、SS、INV、FB、RCL、RTSS、RT 端子及びその周辺部の制御部は、
 BST、HG、LX、REG10、LG 端子などのドライバ部、及び SYNC、CLKOUT 端子のクロック部とは
 分離し、距離を空けてください。
 →スイッチングノイズがセンシティブな制御部に干渉することを防ぎます。
 必要に応じて、GND によるシールドなどもご検討ください。
6. VCC 容量、REG5 容量、RT 抵抗、RCL 抵抗、RTSS 容量は各端子と安定した GND(IC の GND 端子)
 に最短で接続してください。
 また大電流経路との共通インピーダンスを持たないようにしてください。
 →ノイズの影響などによる設定値の変動を抑制します。
7. VCC、GND や出力の配線を太く短くしてください。
 →インピーダンス下げて、電圧降下やノイズの影響を抑制します。

●熱設計について

下記に 70mm×70mm×1.6mm[†] の 4 層基板にて測定したパッケージパワーの熱軽減特性を示します。T_j が 150°C を越えないよう十分マージンをとった設計をしてください。

実際の使用では実パターンでの放熱特性の差異や、他の熱源による温度上昇も考えられますので十分に検討ください。

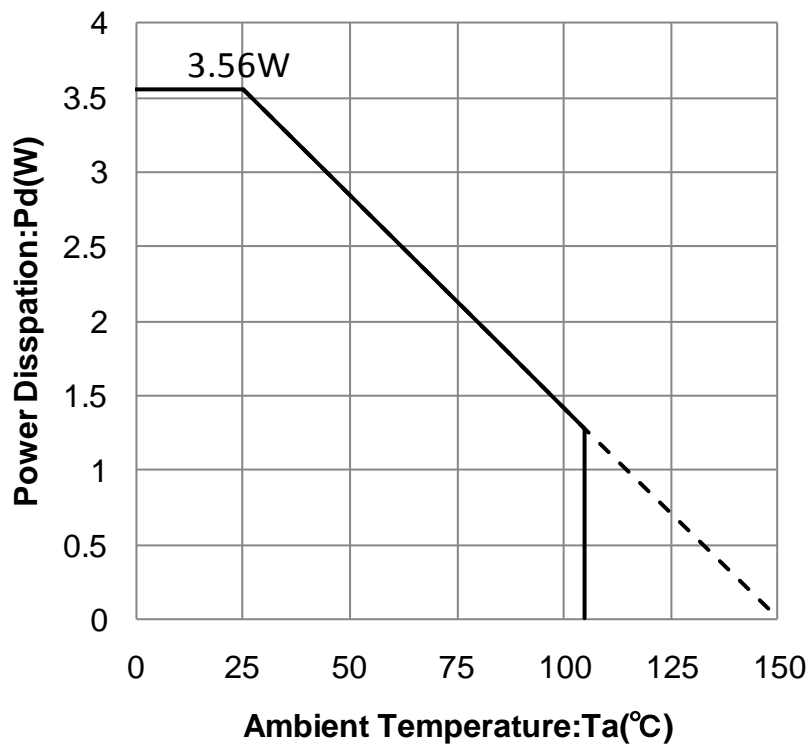

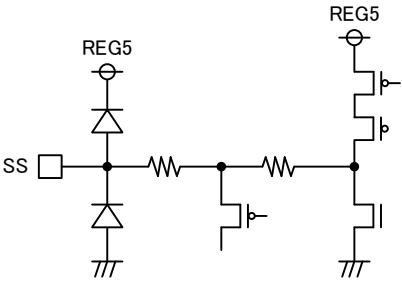
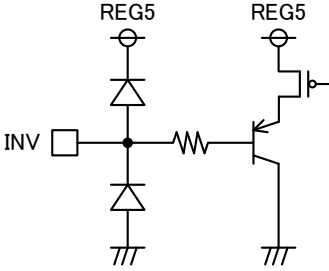
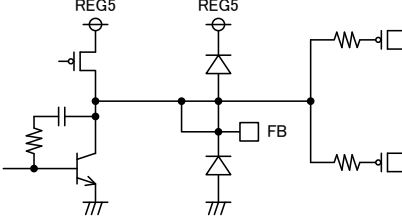
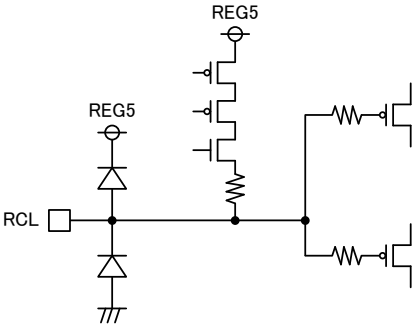
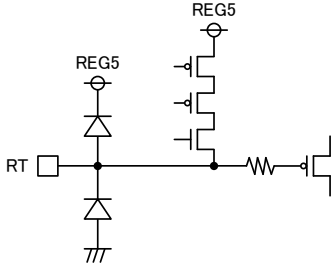
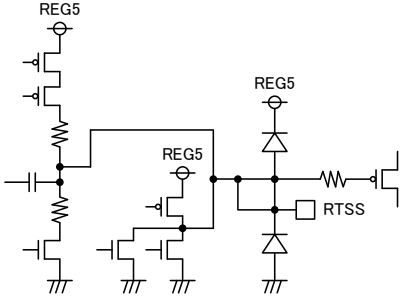
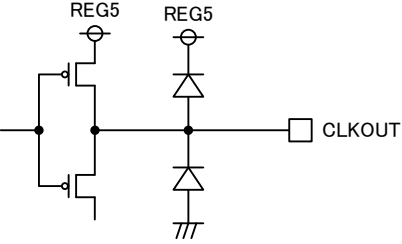

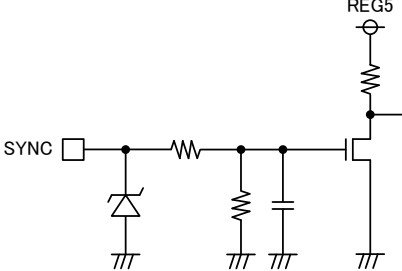


Fig.60 熱軽減特性

●I/O equivalence circuit（入出力等価回路図）

Pin. No	Pin Name	Equivalence Circuit	Pin. No	Pin Name	Equivalence Circuit
1	GND		2	SS	
3	INV		4	FB	
5	RCL		6	RT	
7	RTSS		8	CLKOUT	
9	PGND		10	SYNC	

Pin. No	Pin Name	Equivalence Circuit	Pin. No	Pin Name	Equivalence Circuit
11	LG		12	REG10	
13	LX		14	HG	
15	BST		16	CLL	
17	CLH		18	VCC	
19	CTL		20	REG5	

●使用上の注意

- 1) 絶対最大定格について
印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は劣化または破壊に至る可能性があります。またショートモードもしくはオープンモード等破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズ等物理的な安全対策を施して頂くようお願いいたします。
- 2) GND 電位について
GND 端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際の過渡現象を含め、GND 端子を除く端子が GND 以下の電圧にならないようにしてください。
- 3) 熱設計について
実際の使用状態での許容損失(Pd)を考え、十分マージンを持った熱設計を行ってください。
- 4) 端子間ショートと誤装着について
セット基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けた場合、IC が破壊する恐れがあります。また出力間や出力と電源 GND 間に異物が入るなどしてショートした場合についても破壊の恐れがあります。
- 5) 強電磁界中の動作について
強電磁界中でのご使用では、誤動作をする可能性がありますのでご注意ください。
- 6) 温度保護回路(TSD 回路)
本 IC は、温度保護回路(TSD 回路)を内蔵しています。温度保護回路(TSD 回路)はあくまでも熱的暴走から IC を遮断することを目的とした回路であり、IC の保護及び保証を目的とはしておりません。よって、この回路を動作させて以降の連続使用及び、温度保護回路動作を前提とした使用はしないでください。
- 7) セット基板での検査について
セット基板での検査時に、インピーダンスの低い端子にコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立て工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程で治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。
- 8) 共通インピーダンスについて
電源及び GND の配線は、共通のインピーダンスを下げる、リップルをできるだけ小さくする（配線をできるだけ太く短くする、L・C によりリップルを落とす）等、十分な配慮を行ってください。
- 9) アプリケーションにおいて、VCC と各端子電位が逆になるモードが存在する場合、内部回路を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、VCC が GND にショートされた場合など。VCC 直列に逆流防止のダイオードもしくは各端子—VCC 間にバイパスのダイオードを挿入することを推奨します。
- 10) IC 端子入力について
本 IC はモノリシック IC であり、各素子間に素子分離の為の P⁺アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。
例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、
○抵抗では、GND > (端子 A) の時、トランジスタ (NPN) では GND > (端子 B) の時、P-N 接合が寄生ダイオードとして動作します。
○また、トランジスタ (NPN) では、GND > (端子 B) の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。
IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に GND (P 基板) より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。

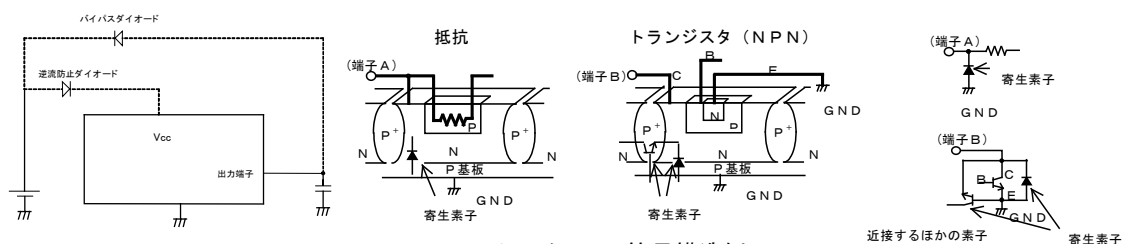


Fig.61 モノリシック IC の簡易構造例

●発注形名セレクション

B	D
---	---

ローム形名

9	6	1	1
---	---	---	---

品番

M	U	V	-	E	2
---	---	---	---	---	---

パッケージ

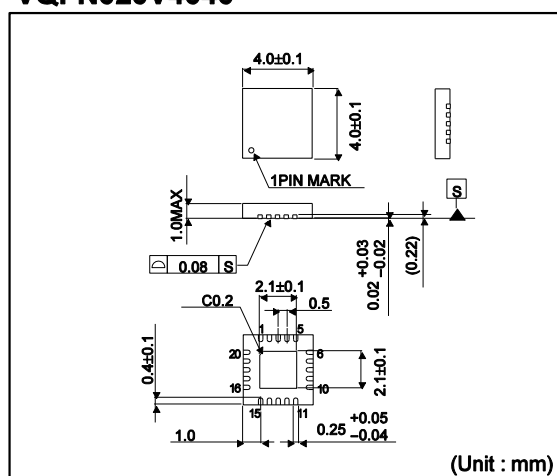
QFN : VQFN020V4040

包装、フォーミング仕様

E2: リール状エンボステープニング

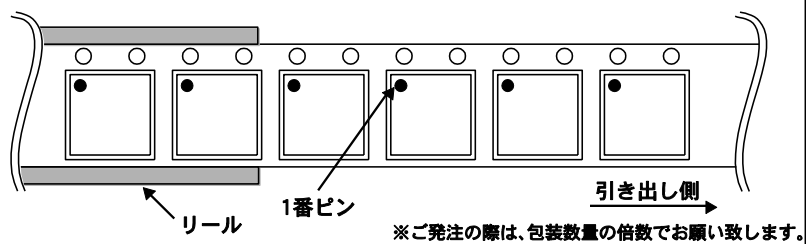
●包装図、フォーミング仕様

VQFN020V4040

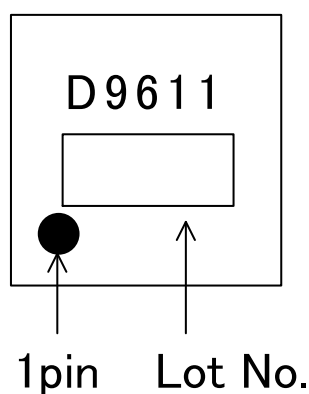


<包装仕様>

包装形態	エンボステープニング
包装数量	2500pcs
包装方向	E2 (リールを左手に持ち、右手でテープを引き出したときに) 製品の1番ピンが左上にくる方向)



●標印図



●改訂履歴

日付	版	変更内容
2013.3.14	001	新規登録
2014.5.15	002	誤記訂正
2014.10.17	003	RRCL 推奨動作範囲変更(P.5)及び OCP 製造ばらつき範囲グラフ追記(P.22)

ご注意

ローム製品取扱い上の注意事項

1. 本製品は一般的な電子機器（AV 機器、OA 機器、通信機器、家電製品、アミューズメント機器等）への使用を意図して設計・製造されております。従いまして、極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険若しくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器^(Note 1)、輸送機器、交通機器、航空宇宙機器、原子力制御装置、燃料制御、カーアクセサリを含む車載機器、各種安全装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

2. 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、かかる誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
3. 本製品は、一般的な電子機器に標準的な用途で使用されることを意図して設計・製造されており、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。従いまして、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂ 等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合。
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用。
 - ⑦はんだ付けの後に洗浄を行わない場合（無洗浄タイプのフラックスを使用された場合も、残渣の洗浄は確実にを行うことをお勧め致します）、又ははんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合。
 - ⑧本製品が結露するような場所でのご使用。
4. 本製品は耐放射線設計はなされておられません。
5. 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
6. パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
7. 許容損失(Pd)は周囲温度(Ta)に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、ディレーティングカーブ範囲内であることをご確認ください。
8. 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
9. 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

1. ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
2. はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。
その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。従いまして、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施の上、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。（人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等）

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
 - ①潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ②推奨温度、湿度以外での保管
 - ③直射日光や結露する場所での保管
 - ④強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認した上でご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行った上でご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルに QR コードが印字されていますが、QR コードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は外国為替及び外国貿易法に定める規制貨物等に該当するおそれがありますので輸出する場合には、ロームにお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。従いまして、上記第三者の知的財産権侵害の責任、及び本製品の使用により発生するその他の責任に関し、ロームは一切その責任を負いません。
2. ロームは、本製品又は本資料に記載された情報について、ローム若しくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社若しくは第三者の商標又は登録商標です。

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。