

3.5V~60V 入力

1ch 昇圧 DC/DC コントローラ

BD9615MUV-LB

概要

本製品は産業機器市場へ向けた、長期の供給を保証するランクの製品です。これらのアプリケーションとして、ご使用される場合に最適な商品です。

本 IC はスイッチングレギュレータ用の高耐圧(60V)に対応したローサイド Nch-FET コントローラです。昇圧、フライバックなどローサイド FET の必要な回路に適しており、様々な用途に活用できる IC です。

1 個の外付け抵抗で周波数を任意に調整できます(100kHz~2500kHz)。高いスイッチング周波数で動作可能なため、全体の実装面積を減らせます。また、外部 CLK の同期機能を備えておりノイズマネジメントを行うことが可能です。

さらに、サーマルシャットダウン、過電圧保護、過電流保護などの保護機能を内蔵し、様々な異常モードに対する保護が可能です。

特長

- 産業機器に適した長期の供給保証
- 広範な入力電圧範囲：3.5V~60V
- 発振周波数設定機能：100kHz~2500kHz
- 外部クロック同期機能
- ソフトスタート時間調整機能
- EN 端子による ON/OFF 制御 (スタンバイ電流 0μA)
- 独立ピンによる過電圧保護機能
- PGDB ピンによる正常/異常信号出力
- 外付け抵抗による UVLO 調整機能
- MAX DUTY 切り替え機能：90%/50%
- 小型パッケージ(VQFN16KV3030)

用途

- 産業機器

基本アプリケーション回路

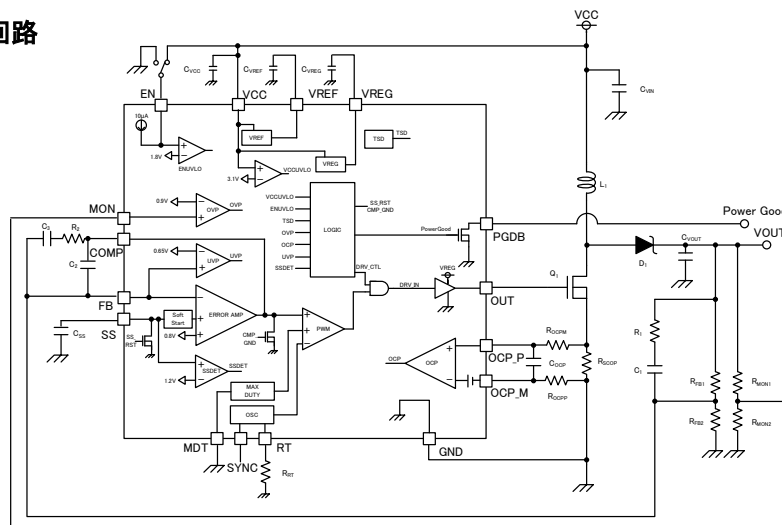


Figure 1. 標準アプリケーション

重要特性

- 入力電圧範囲：3.5V ~ 60V
- 基準電圧精度 (Ta=25°C) 0.8V±1.5%
(Ta=-40°C~+105°C) ±2.0%
- スwitchング周波数範囲：100kHz ~ 2500kHz
- 動作温度範囲：-40°C ~ +105°C

パッケージ

VQFN16KV3030

W(Typ) x D(Typ) x H(Max)

3.00mm x 3.00mm x 1.00mm



端子配置図

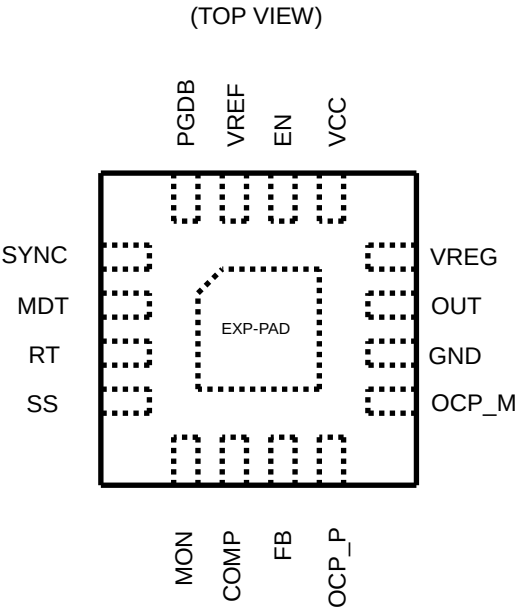


Figure 2. 端子配置図

端子説明

端子番号	端子名	機 能
1	SYNC	外部クロック入力端子
2	MDT	MAXDUTY 設定入力端子
3	RT	周波数設定用抵抗接続端子
4	SS	ソフトスタート時間設定端子
5	MON	出力電圧モニタ入力端子
6	COMP	エラーアンプ出力端子
7	FB	エラーアンプ入力端子
8	OCP_P	過電流検出端子 +入力端子
9	OCP_M	過電流検出端子 -入力端子 GND に接続してください。
10	GND	GND 端子
11	OUT	外付け FET 駆動用ドライバ出力端子
12	VREG	ドライバ用電源電圧出力端子
13	VCC	電源入力端子
14	EN	ON/OFF 制御端子
15	VREF	内部電源電圧出力端子
16	PGDB	パワーグッド出力端子
-	EXP-PAD	放熱用 GND パッド 放熱性を高めるため GND に接続してください。

ブロック図

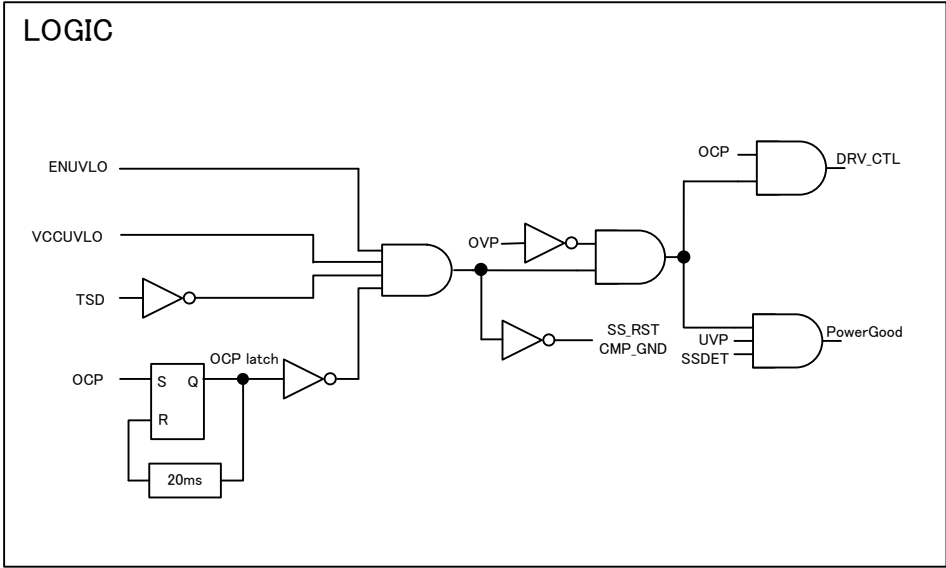
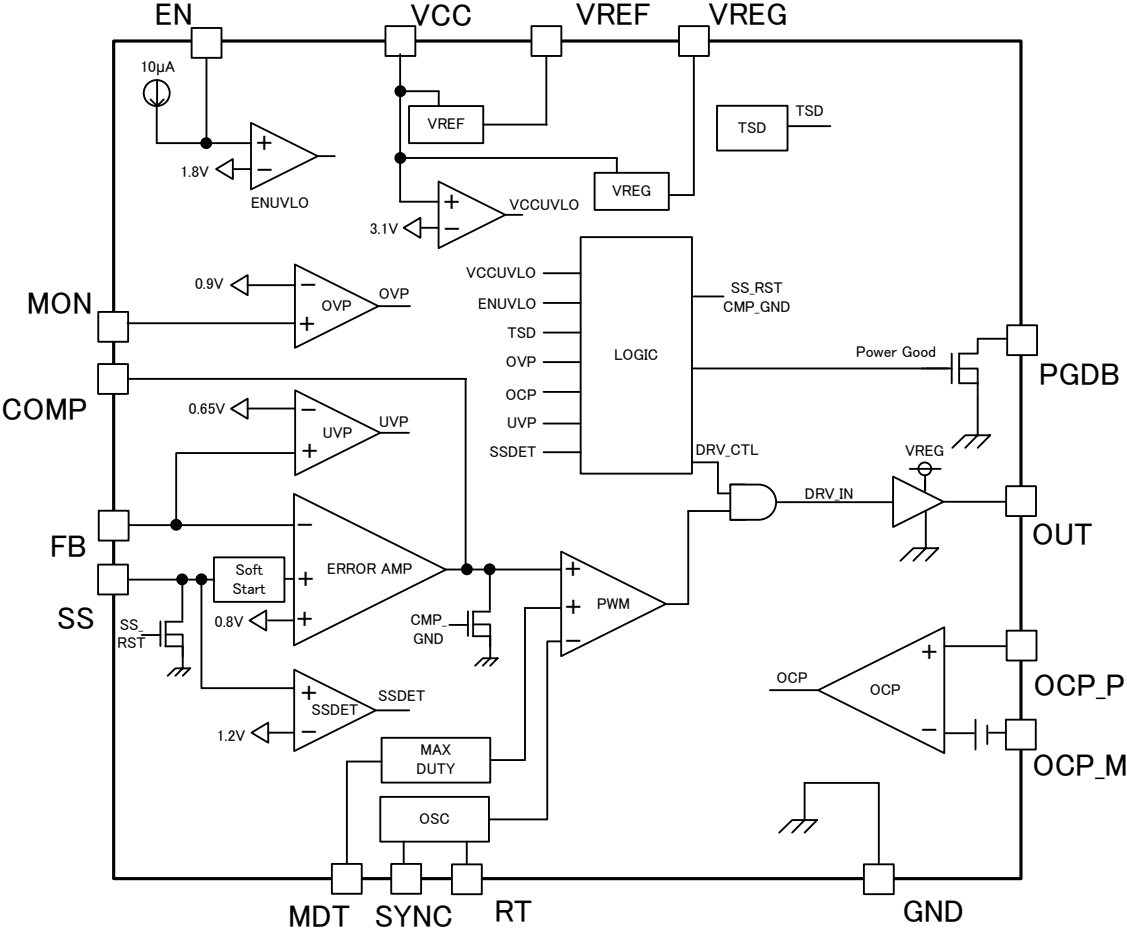


Figure 3. ブロック図

各ブロック動作説明

1. ERROR AMP
出力信号を検出し、PWM 制御信号を出力する誤差増幅器です。
内部基準電圧は 0.8V (Typ)に設定されています。COMP 端子には位相補償素子を接続してください。
2. OSC
周波数設定機能、外部同期機能を持った発振回路です。
RT 端子にて発振周波数を設定可能です。
また、設定周波数 $\pm 20\%$ までの外部クロックを SYNC 端子に入力することにより、外部クロック同期動作が可能です。
外部同期機能を使用しない場合は SYNC 端子を GND に接続してください。
3. MAX DUTY
MAX DUTY 切り替え機能です。MDT 端子に H/L 電圧を設定することにより、MAX DUTY を 50%/90%で切り替えることが可能です。(H: 50%, L: 90%)
4. PWM
入力電圧に応じて出力電圧をコントロールする、電圧—パルス幅変換器です。
内部のこぎり波形と誤差増幅器出力電圧を比較してパルスの幅を制御し、ドライバへ出力します。
5. VREF
内部回路用レギュレータ生成ブロックです。VREF 電圧は 3.0V となっています。
6. VREG
出力 FET 駆動電圧生成ブロックです。VREG 電圧は 5.0V (Typ)となっています。
VREG 端子には、出力電圧を回生することが可能です。
7. VCCUVLO
VCC 電圧低下時の内部回路誤動作を防止します。
VCC 端子電圧をモニタしており、VCC が 3.1V (Typ)以下となると出力 FET を OFF、DC/DC コンバータ出力を OFF とし、ソフトスタート回路をリセットします。
8. ENUVLO
EN 端子を VCC からの抵抗分割にて構成することにより、低電圧入力保護の検出電圧を設定可能です。
EN 端子が 0.3V 以下の時 IC は OFF、1.4V 以上 1.7V 以下の電圧で内部 REG が ON、1.8V (Typ)以上となった場合 IC が動作し、内部回路よりヒステリシス生成電流 10 μ A (Typ)がソースされます。
IC 動作を OFF するためにはソース電流 10 μ A を引き抜く能力が必要となります。
9. TSD
過熱保護回路です。最高接合部温度 $T_{jmax}=150^{\circ}\text{C}$ を超える異常な熱を感知した場合、出力 FET を OFF し、ソフトスタート回路をリセットします。温度が低下するとヒステリシスを持って自動復帰します。
10. OCP
過電流検出機能です。FETに過電流が流れた場合、出力をOFFさせてFETを保護することができます。
11. OVP
過電圧出力検出機能です。MON 端子が 0.9V (Typ)以上となった場合、出力を OFF にします。
OVP 検出スレッショルドは、50mV (Typ)のヒステリシスを持ちます。
12. UVP
低電圧出力検出機能です。FB 端子が 0.65V (Typ)以下になるとコンパレータ出力が L となります。出力信号は、他の保護機能検出フラグと加算され PGDB 端子から出力されます。
13. Soft Start
DC/DC コンバータの出力電圧を緩やかに上昇させることにより、起動時の突入電流を防ぐ回路です。
外付けのコンデンサ C_{SS} によりソフトスタート時間を調整することが可能です。
14. SSDET
ソフトスタート終了検出ブロックです。SS 端子電圧をモニタし、 SS_{DETTH} (1.2V (Typ))以上になると出力が H になります。
出力信号は、他の保護機能検出フラグと加算され PGDB 端子から出力されます。
15. Power Good
出力電圧の正常/異常状態を示す出力信号を生成するブロックです。

絶対最大定格(Ta=25°C)

項目	記号	定格	単位
印加電圧 VCC to GND EN to GND PGDB to GND	VCC V _{EN} V _{PGDB}	62	V
印加電圧 VREG to GND OUT to GND	V _{REG}	12	V
印加電圧 VREF, SS, FB, COMP, MDT, RT, SYNC, OCP_P, OCP_M, MON to GND	V _{REF} , V _{SS} , V _{FB} , V _{COMP} , V _{MDT} , V _{RT} , V _{SYNC} , V _{OCP_P} , V _{OCP_M} , V _{MON}	7	V
保存温度範囲	Tstg	-55~+150	°C
最高接合部温度	Tjmax	150	°C

注意 1 : 印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施して頂けるようご検討をお願いします。

注意 2 : 最高接合部温度を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。最高接合部温度を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用するなど、最高接合部温度を超えないよう熱抵抗にご配慮ください。

熱抵抗 (Note 1)

項目	記号	熱抵抗(Typ)		単位
		1 層基板 ^(Note 3)	4 層基板 ^(Note 4)	
VQFN16KV3030				
ジャンクション—周囲温度間熱抵抗	θ_{JA}	189.0	57.5	°C/W
ジャンクション—パッケージ上面中心間熱特性パラメータ ^(Note 2)	Ψ_{JT}	23	10	°C/W

(Note 1) JESD51-2A(Still-Air)に準拠。

(Note 2) ジャンクションからパッケージ（モールド部分）上面中心までの熱特性パラメータ。

(Note 3) JESD51-3 に準拠した基板を使用。

測定基板	基板材	基板寸法
1 層	FR-4	114.3mm x 76.2mm x 1.57mm
1 層目（表面）銅箔		
銅箔パターン	銅箔厚	
実装ランドパターン + 電極引出し用配線	70μm	

(Note 4) JESD51-5,7 に準拠した基板を使用。

測定基板	基板材	基板寸法		サーマルビア (Note 5)	
				ピッチ	直径
4 層	FR-4	114.3mm x 76.2mm x 1.6mm		1.20mm	Φ0.30mm
1 層目（表面）銅箔		2 層目、3 層目（内層）銅箔		4 層目（裏面）銅箔	
銅箔パターン	銅箔厚	銅箔パターン	銅箔厚	銅箔パターン	銅箔厚
実装ランドパターン + 電極引出し用配線	70μm	74.2mm□（正方形）	35μm	74.2mm□（正方形）	70μm

(Note 5) 貫通ビア。全層の銅箔と接続する。配置はランドパターンに従う。

推奨動作条件

項目	記号	最小	標準	最大	単位
電源電圧	VCC	3.5	12	60	V
スイッチング周波数	f _{OSC}	100	500	2500	kHz
スイッチング周波数設定抵抗値	R _{RT}	19	100	500	kΩ
外部同期周波数	f _{EXT}	100	-	2500	kHz
RT 設定周波数に対する外部同期周波数設定	-	-20	-	+20	%
動作温度	Topr	-40	+25	+105	°C

電氣的特性 (特に指定のない限り Ta=25°C, VCC=12V, V_{EN}=3V, R_{RT}=100kΩ)

項 目	記号	最小	標準	最大	単位	条 件
回路電流						
スタンバイ時回路電流	I _{ST}	-	0	10	μA	V _{EN} =0V
動作時回路電流	I _{CC}	-	2.0	4.0	mA	V _{FB} =1.2V
VCCUVLO						
UVLO 検出スレッシュホールド電圧	V _{UV}	2.9	3.1	3.3	V	VCC 下降時
UVLO 検出ヒステリシス幅	V _{UVHYS}	30	100	200	mV	
VREF						
出力電圧	V _{REF}	-	3.0	-	V	
VREG						
出力電圧	V _{REG}	4.8	5.0	5.2	V	
OVLO スレッシュホールド電圧	V _{REGOV}	5.2	5.4	5.6	V	V _{REG} 上昇時
OVLO ヒステリシス幅	V _{REGOVHYS}	30	100	200	mV	
発振器						
発振周波数	f _{OSC}	450	500	550	kHz	R _{RT} =100kΩ
MAX DUTY Cycle	MAX DUTY1	D _{MAX1}	82	90	98	% V _{MDT} =L, V _{SYNC} =0V
	MAX DUTY2	D _{MAX2}	42	50	58	% V _{MDT} =H, V _{SYNC} =0V
MDT 端子入力 H レベル	V _{IH_MD}	0.8xV _{REF}	-	V _{REF} +0.2	V	
MDT 端子入力 L レベル	V _{IL_MD}	-0.3	-	0.2xV _{REF}	V	
MDT 端子入力電流	I _{IH_MD}	-	3	8	μA	V _{MDT} =3.0V
エラーアンプ						
FB 端子スレッシュホールド電圧	V _{FB}	0.788	0.800	0.812	V	Ta=25°C
		0.784	0.800	0.816	V	Ta=-40°C~+105°C
FB 端子入力電流 1	I _{FB1}	-1	0	+1	μA	V _{FB} =0.0V
FB 端子入力電流 2	I _{FB2}	-1	0	+1	μA	V _{FB} =3.0V
最大出力電圧	V _{CMPPH}	2.7	V _{REF}	-	V	
最小出力電圧	V _{CMPL}	-	0	0.3	V	
出力シンク電流	I _{CMPSI}	0.5	1.5	-	mA	V _{COMP} =1.25V, V _{FB} =1.5V
出力ソース電流	I _{CMPSO}	100	180	-	μA	V _{COMP} =1.25V, V _{FB} =0V
ソフトスタート部						
SS 端子ソース電流	I _{SSSO}	1.4	2	2.6	μA	V _{SS} =0.5V
SS 端子シンク電流	I _{SSSI}	5	12	-	mA	V _{SS} =0.5V
パワーグッド信号出力部						
PGDB 端子出力“L”レベル電圧	V _{PGBOL}	-	-	0.4	V	I _{PGBD} =1mA
PGDB 端子リーク電流	I _{PGBLK}	-	0	10	μA	V _{PGBD} =60V
出力電圧モニタ部						
UVP 検出スレッシュホールド電圧	V _{PGTH}	0.60	0.65	0.70	V	V _{FB} 下降時
UVP 検出ヒステリシス幅	V _{PGHYS}	-	50	75	mV	
OVP 検出スレッシュホールド電圧	V _{OVPTH}	0.85	0.90	0.95	V	V _{MON} 上昇時
OVP 検出ヒステリシス幅	V _{OVPHYS}	-	50	75	mV	
MON 端子入力電流 1	I _{MON1}	-1	0	+1	μA	V _{MON} =0.0V
MON 端子入力電流 2	I _{MON2}	-1	0	+1	μA	V _{MON} =3.0V
出力部						
出力 High 側 ON 抵抗	R _{ONH}	1.5	3.0	4.5	Ω	V _{REG} =5.0V
出力 Low 側 ON 抵抗	R _{ONL}	0.8	1.7	2.6	Ω	V _{REG} =5.0V

電气的特性 (特に指定のない限り Ta=25°C, VCC=12V, V_{EN}=3V, R_{RT}=100kΩ) — 続き

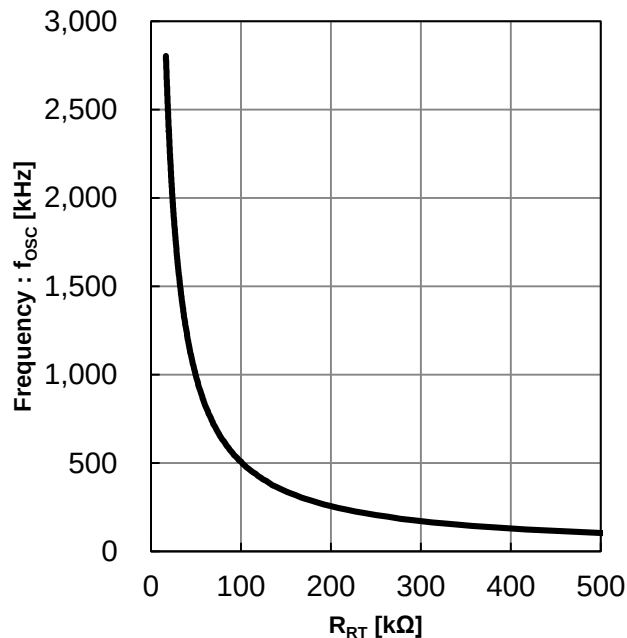
項 目	記号	最小	標準	最大	単位	条 件
過電流検出部						
過電流検出スレッシュホールド電圧	V _{OCP_{TH}}	80	100	120	mV	
OCP_P 端子入力バイアス電流	I _{OCP_P}	-	20	100	μA	V _{OCP_P} =0.1V
OCP_M 端子入力バイアス電流	I _{OCP_M}	-	50	100	μA	V _{OCP_M} =GND
過電流検出時ラッチ停止時間	t _{OCP}	10	20	30	ms	
CTL						
EN 端子内部 REG ON スレッシュホールド	V _{ENON}	0.3	-	1.4	V	
EN 端子 UVLO スレッシュホールド	V _{ENUV}	1.7	1.8	1.9	V	IC 出力 ON 条件
EN 端子ソース電流	I _{EN}	9.0	10.0	11.0	μA	V _{EN} =3V
SYNC						
SYNC 端子スレッシュホールド電圧 High	V _{SYNCH}	2.0	—	5.5	V	
SYNC 端子スレッシュホールド電圧 Low	V _{SYNCL}	-0.3	—	+0.8	V	
SYNC 端子入力電流	I _{SYNC}	6	12	24	μA	V _{SYNC} =3V

詳細技術情報

●周波数設定機能

RT 端子を用いて、PWM に入力する周波数を決定することが可能です。
 RT 端子にタイミング抵抗 R_{RT} を接続し、IC 内部の定電流を設定します。
 発振周波数は以下の式にて決定され、設定可能な範囲は100kHz～2500kHzとなっております。

$$f_{osc} = \frac{1}{20 \times 10^{-9} + R_{RT} / (50 \times 10^9)} \text{ [Hz]}$$

Figure 4. Frequency vs R_{RT}

●外部 CLK 同期機能

SYNC 端子に外部システムからの CLK 信号を入力することで同期動作が可能です。
 入力 CLK 信号は、RT 端子にて設定した周波数 $\pm 20\%$ の範囲で入力可能であり、LOW レベルが 0.8V 以下、HIGH レベルが 2.0V 以上、H 区間と L 区間の幅は 100ns 以上が必要です。
 SYNC 端子へパルスが 3 回入力後に SYNC 端子の立ち下がりエッジに IC 内部のこぎり波の立ち下がりエッジが同期します。
 外部 CLK が STOP した場合、RT で設定される発振周期の約 1.5 倍後に IC 内部の発振器による自走モードに切り替わります。

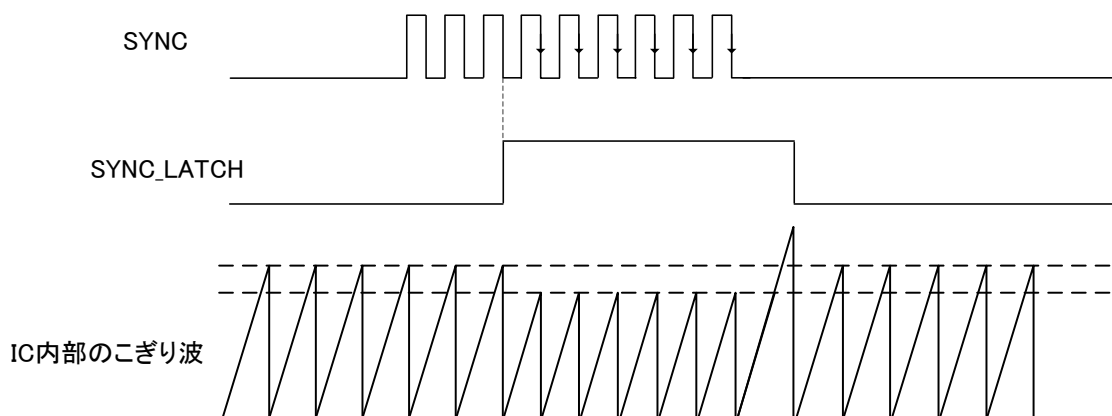


Figure 5. 周波数同期機能タイミングチャート

詳細技術情報 — 続き

●同期機能未使用時 SYNC 端子処理

同期機能をご使用されない場合、SYNC 端子は内部で抵抗プルダウンされておりますが、GND へ接続することを推奨します。

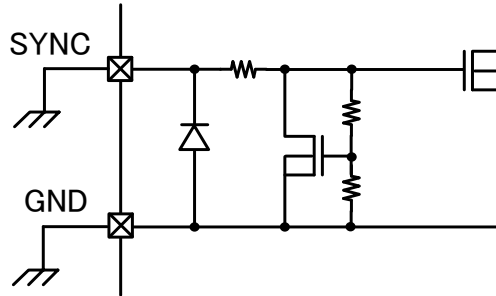


Figure 6. 同期機能未使用時 SYNC 端子処理

●MDT 端子機能

MDT 端子の処理により、MAX DUTY を切り替えることが可能です。

MDT 端子を GND 端子に接続した場合、MAX DUTY は D_{MAX1} で規定され、90%(Typ)に制限されます。

また、MDT 端子を VREF 端子に接続した場合、MAX DUTY は D_{MAX2} で規定され、50%(Typ)に制限されます。

ノイズ等による誤動作防止のため MDT 端子は、GND 端子もしくは VREF 端子に接続してください。

SYNC より外部同期周波数 (f_{EXT})入力時の MAX DUTY は、RT により設定される周波数(f_{OSC})、MDT 端子で設定される MAX DUTY によって決まり、以下の式にて D_{MAX_SYNC} で規定されます。

$$D_{MAX_SYNC} = \left(1 - \frac{\frac{1}{f_{OSC}} \times (1 - D_{MAX})}{\frac{1}{f_{EXT}}} \right) \times 100 \text{ [%]}$$

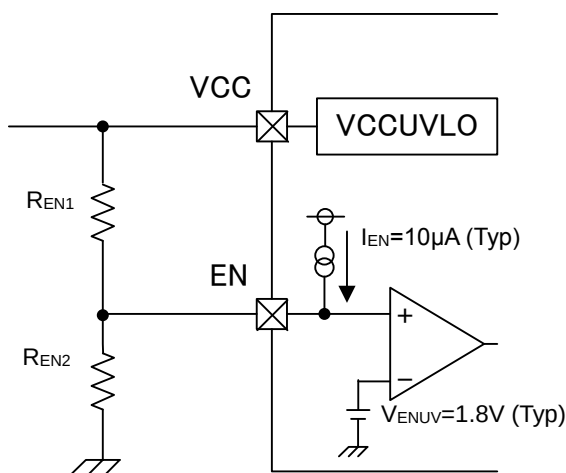
MDT=GND 接続時： $D_{MAX}=D_{MAX1}$: 0.9 (Typ)

MDT=VREF 接続時： $D_{MAX}=D_{MAX2}$: 0.5 (Typ)

●外付け抵抗による UVLO 調整機能

EN 端子には高精度リセット機能が内蔵されており、EN ピンを入力電圧の抵抗分割に接続することにより、内部 UVLO より高い任意の低電圧誤動作防止設定が可能です。

利用する場合は任意の VCC 起動電圧 V_{START} [V]と、VCC 停止電圧 V_{STOP} [V]に対し、 R_{EN1} と R_{EN2} を以下のように設定してください。



$$R_{EN1} = \frac{V_{START} - V_{STOP}}{I_{EN}} \text{ } [\Omega]$$

$$R_{EN2} = \frac{V_{ENUV} \times R_{EN1}}{V_{START} - V_{ENUV}} \text{ } [\Omega]$$

Figure 7. UVLO 外付け設定方法

詳細技術情報 — 続き

●ソフトスタート時間設定機能

ソフトスタート時間 t_{SS} はソフトスタート時間設定コンデンサ C_{SS} 、SS ソース電流 I_{SSSO} 、FB 端子スレッシュホールド電圧 V_{FB} から以下のように決定されます。 C_{SS} 容量値は、OCP 検出時のヒカップ時間の間に十分ディスチャージできる容量値に設定してください。

$$t_{SS} = C_{SS} \times \frac{V_{FB}}{I_{SSSO}} \text{ [s]}$$

また、COMP 端子接続容量 C_3 が大きく、 C_{SS} が小さい場合、EN ON から COMP 端子電圧が内部のこぎり波の下限電圧 (1.0V) に到達するまでの時間 t_{COMP} の SS 端子電圧の上昇電圧 ΔV_{SS} が大きくなり、スイッチング開始時にラッシュ電流が発生します。 t_{COMP} 、 ΔV_{SS} は下記式にて算出されます。

ラッシュ電流は ΔV_{SS} 及び出力コンデンサ C_{OUT} に比例するため、ラッシュ電流を考慮し C_{SS} 及び C_{OUT} を設定して下さい。

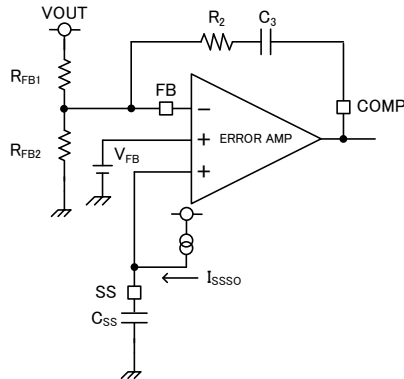


Figure 8. エラーアンプ周辺回路図

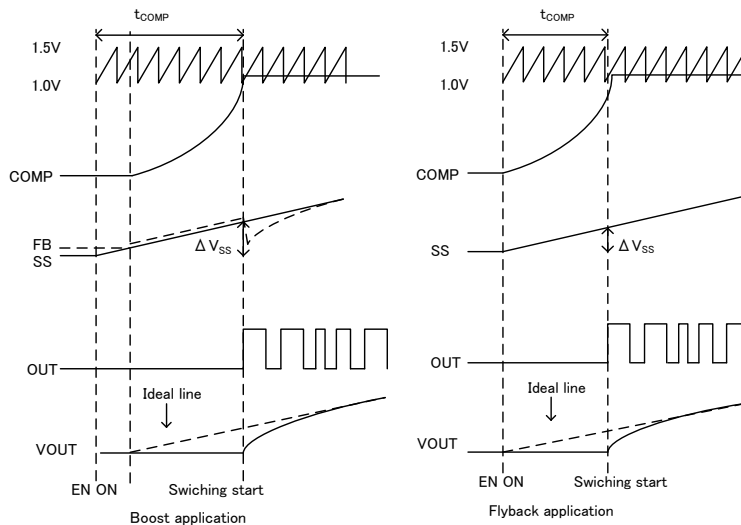


Figure 9. 出力電圧起動時概略図

昇圧アプリケーション

$$t_{COMP} = C_3 \left(\sqrt{(R_{FB2} + R_2)^2 + \frac{2 \times C_{SS} \times R_{FB2}}{C_3 \times I_{SS}} \left(\frac{R_2 \times V_{CC}}{R_{FB1} + R_{FB2}} + 1 \right)} - (R_{FB2} + R_2) \right) + \frac{C_{SS} \times V_{CC} \times R_{FB2}}{I_{SS} \times (R_{FB1} + R_{FB2})} \text{ [s]}$$

フライバックアプリケーション

$$t_{COMP} = C_3 \left(\sqrt{(R_{FB1} // R_{FB1} + R_2)^2 + \frac{2 \times C_{SS} \times R_{FB1} // R_{FB1}}{C_3 \times I_{SS}}} - (R_{FB1} // R_{FB1} + R_2) \right) \text{ [s]}$$

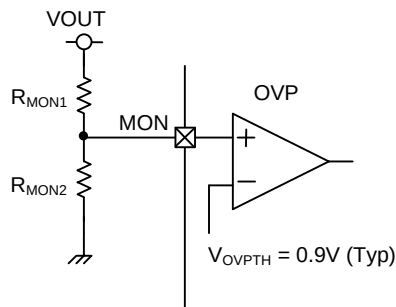
$$\Delta V_{SS} = \frac{I_{SS}}{C_{SS}} \times t_{COMP} \text{ [V]}$$

詳細技術情報 — 続き

●OVP 機能

MON 端子には OVP 機能が内蔵されており、MON 端子電圧が V_{OVPTH} 以上となった場合 OUT 端子スイッチングを停止し、MON 端子電圧が $V_{OVPTH}-V_{OVPHYS}$ 以下となるとスイッチングを再開します。

OVP の検出電圧 V_{OVP} は以下のように MON 端子を出力電圧の抵抗分割に接続することで設定が可能です。



$$V_{OVP} = \frac{R_{MON1} + R_{MON2}}{R_{MON2}} \times V_{OVPTH} \text{ [V]}$$

Figure 10. OVP 機能設定方法

●OCP 機能

FET に過電流が流れた場合、出力を OFF させて FET を保護する OCP 機能を内蔵しています。センス抵抗にて OCP_P/OCP_M 端子間の電圧をモニタし、電圧が過電流検出電圧値(100mV(Typ))を超える(過電流検出)と、OUT 端子をその周期の間“L”にします(パルスバイパルス制御)。さらに、過電流状態を 2 周期連続で検出した場合スイッチング動作を 20ms(Typ)の間停止します(ヒカップ動作)。OCP 動作は OCP_P/OCP_M 端子間電圧が過電流検出電圧以下になると自動復帰します。OCP センス抵抗は、下記の式にて設定してください。

$$R_{SOCP} = \frac{V_{OCPH}}{I_{OCP}} \text{ [}\Omega\text{]}$$

V_{OCPH} : 過電流検出スレッショルド電圧(100mV(Typ))

I_{OCP} : 過電流検出電流

過電流検出回路を使用しないときは、OCP_P/OCP_M 端子を IC 直近で GND 端子とショートしてください。

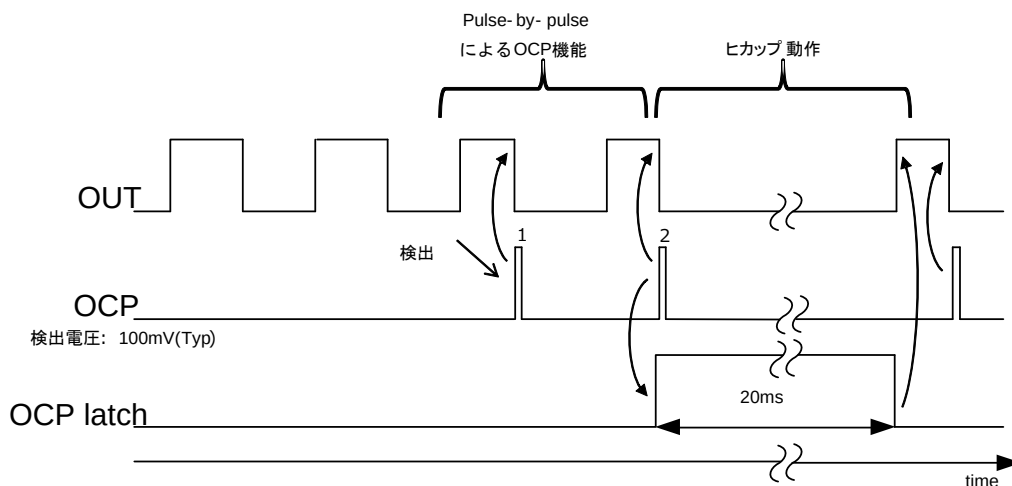


Figure 11. OCP 動作タイミングチャート

詳細技術情報 — 続き

[OCP_P/M 入力端子に対するノイズ設計について]

過電流検出入力部 OCP_P, OCP_M は、センシティブな回路構成となっています。

このため、基板上で発生するノイズにより誤検出(設定電流以下で過電流を検出)する可能性があります。OCP_P/M 入力端子での誤検出の防止対策として、OCP_M, OCP_P 間にカップリングコンデンサと抵抗を挿入(すべて OCP_P, OCP_M 端子直近に配置)してください。

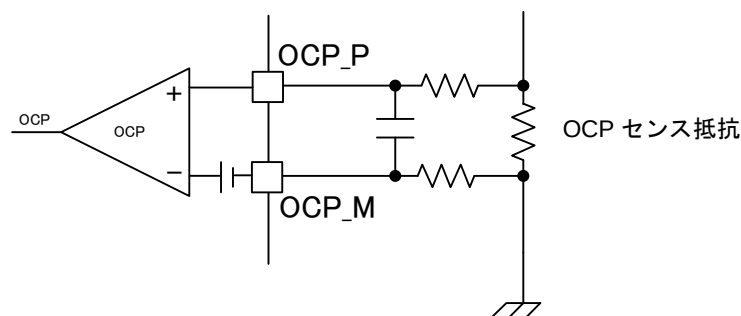


Figure 12. ノイズ対策回路図

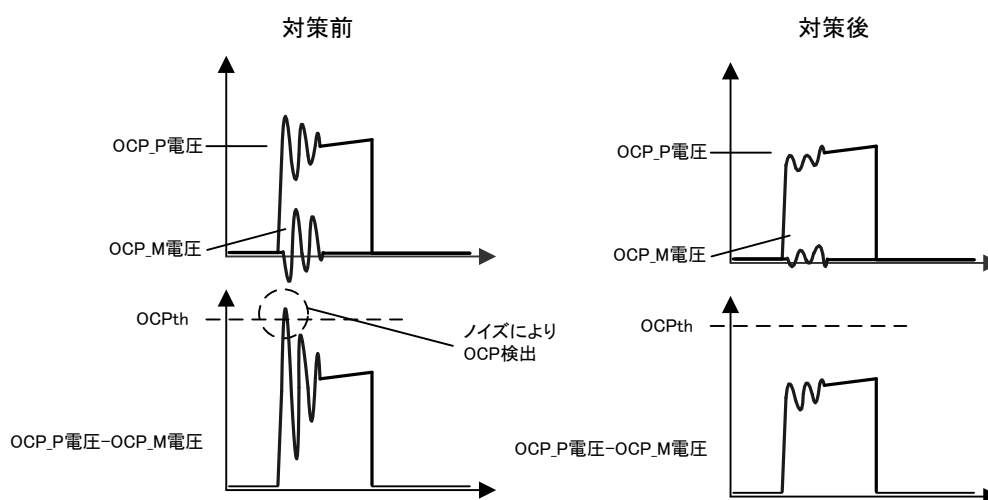


Figure 13. ノイズ対策による効果

上記対策にてノイズを減衰させるには限界がありますので、基板レイアウトの際にノイズ低減をご検討ください。

基板レイアウト上の注意点として、電流経路の引き廻しは極力短く、OCP_P/M 端子への配線も極力短くしてください。周辺部品についても、ノイズ低減のため FET にはゲート総電荷量 Q_g の小さい製品、 D_i は等価容量が小さく逆回復時間 t_{RR} の短い製品を推奨します。他に、パスカンの強化、ゲート抵抗により波形を鈍らせる(背反事項として効率の悪化が懸念されます)などもご検討ください。

詳細技術情報 — 続き

●VREG 端子機能

VREG 端子は内部レギュレータの出力端子であり 5.0V (Typ)を出力します。
ドライバ出力である OUT 端子経由で Nch-FET を駆動します。

[出力電圧回生機能]

VREG 部の消費電力改善のため、VREG 端子に V_{REGOV} より高い電圧をダイオードを介して回生可能です。回生可能な電圧範囲は V_{REGOV} (5.4V (Typ))から 10V です。

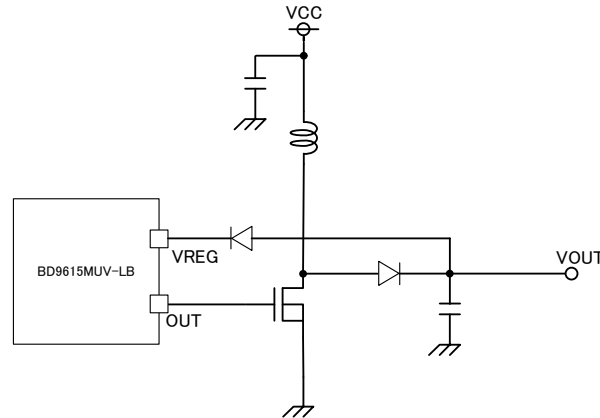


Figure 14. 回生アプリケーション例

[VCC 減電時動作について]

VCC 電源電圧の低下により、VREG 端子から出力される駆動電圧が低下し OUT 端子のドライバ ON 抵抗は増加します。

FET の最適な駆動電圧は発振周波数とゲート容量により変化します。VCC=5V 以下でご使用の場合は、特性データを参考のうえ、FET と発振周波数を選定してください。

●パワーグッドフラグ出力機能

PGDB 端子は Nch-FET のオープンドレイン出力です。この端子を外部電源に抵抗プルアップして使用できます。内部各種検出機能(UVLO、TSD、OCP など)が非検出であり、出力電圧が UVP (FB 端子)、OVP (MON 端子)の範囲内にある場合、PGDB 端子は“L”になります。それ以外の動作モード時及びシャットダウン時 (EN=L)には、Nch-FET はオフとなり PGDB 端子は“H” (プルアップ電圧)となります。

また、PGDB ピンを Figure 15 のように接続することにより、電源 (VCC)と出力 (VOUT)間接続をカットすることができます。PGDB ピン絶対最大規格は 62V のため、プルアップ電圧が絶対最大定格以下である必要があります。

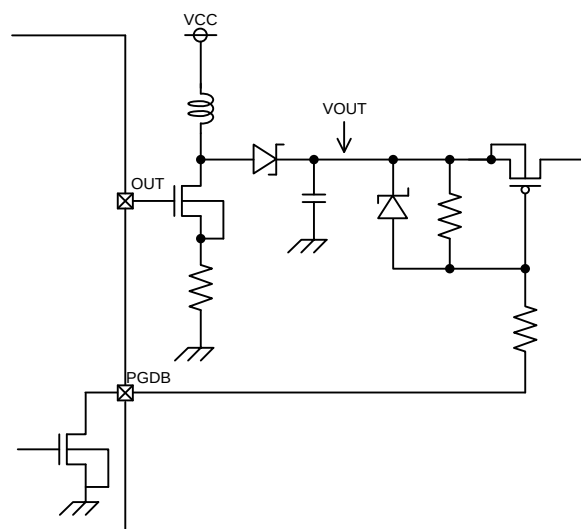


Figure 15. パワーライン切断方法

特性データ (参考データ)
(特に指定のない限り、Ta=25°C, VCC=12V)

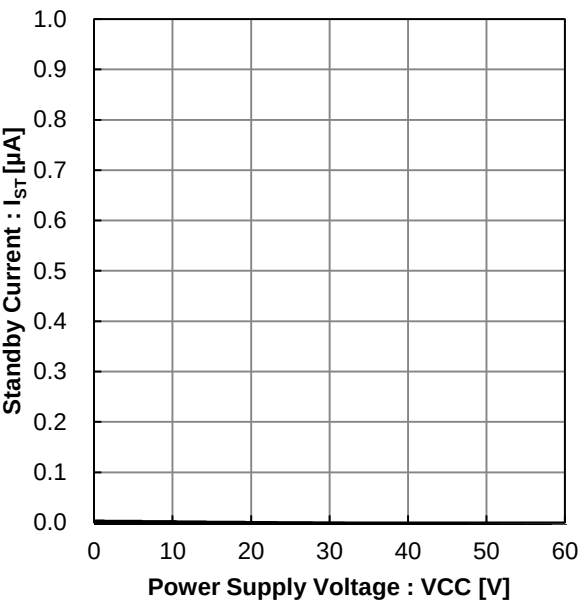


Figure 16. Standby Current vs Power Supply Voltage

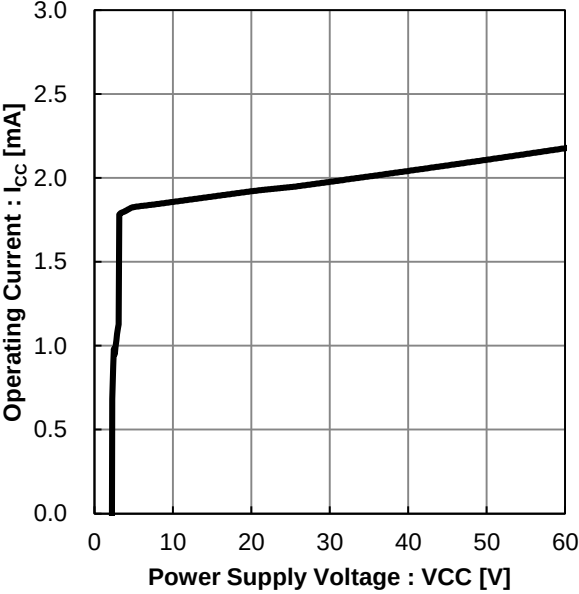


Figure 17. Operating Current vs Power Supply Voltage
(V_{FB} = 1.2V)

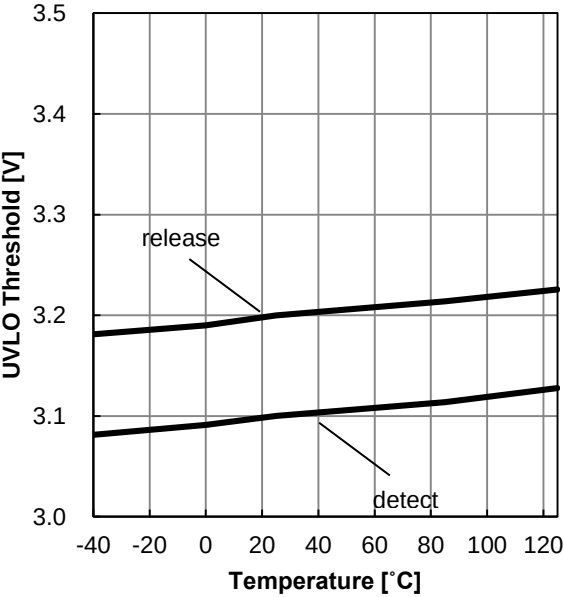


Figure 18. UVLO Threshold vs Temperature

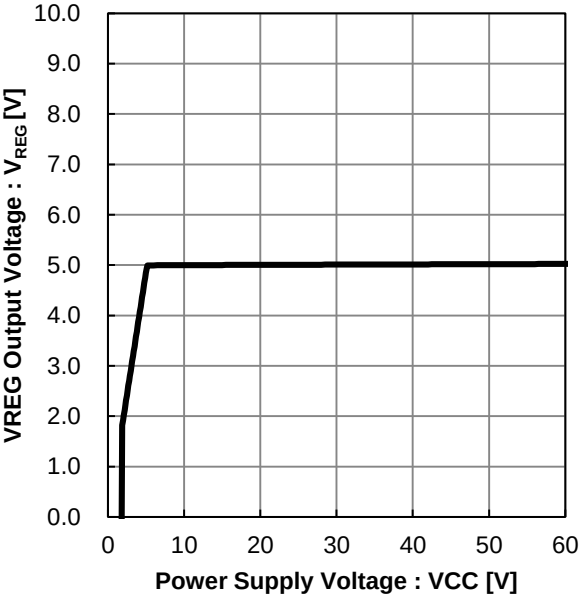


Figure 19. VREG Output Voltage vs Power Supply Voltage

特性データ（参考データ） — 続き

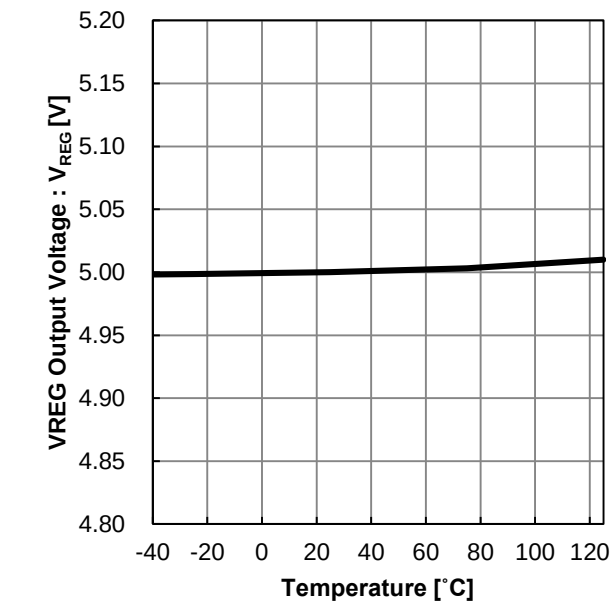


Figure 20. VREG Output Voltage vs Temperature

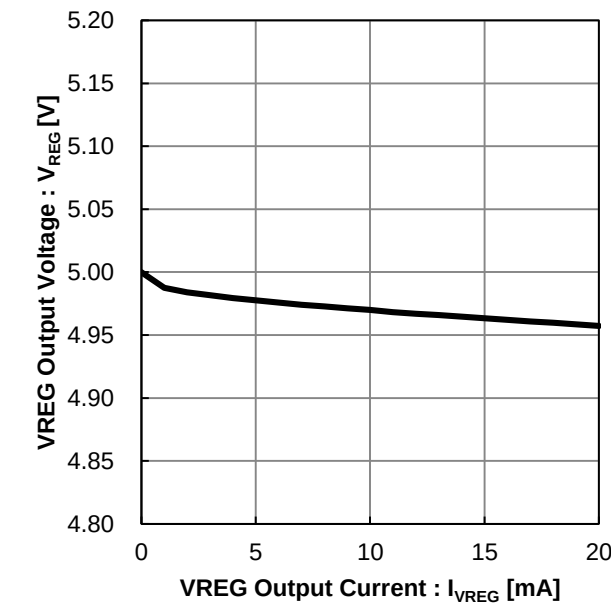


Figure 21. VREG Output Voltage vs VREG Output Current

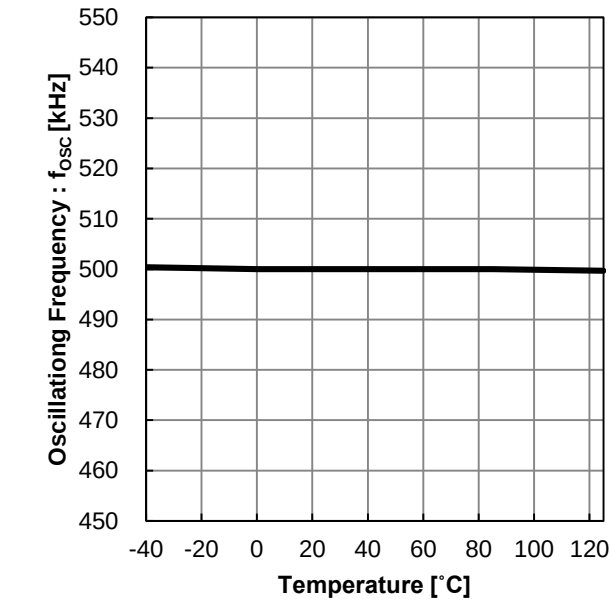


Figure 22. Oscillating Frequency vs Temperature

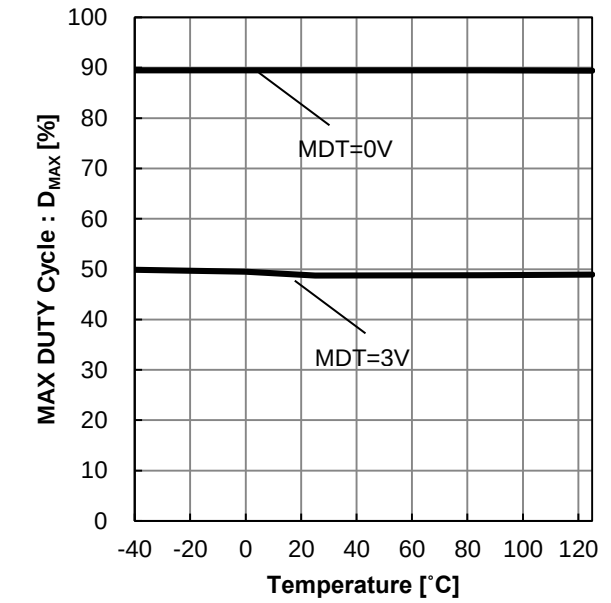


Figure 23. MAX DUTY Cycle vs Temperature

特性データ（参考データ） — 続き

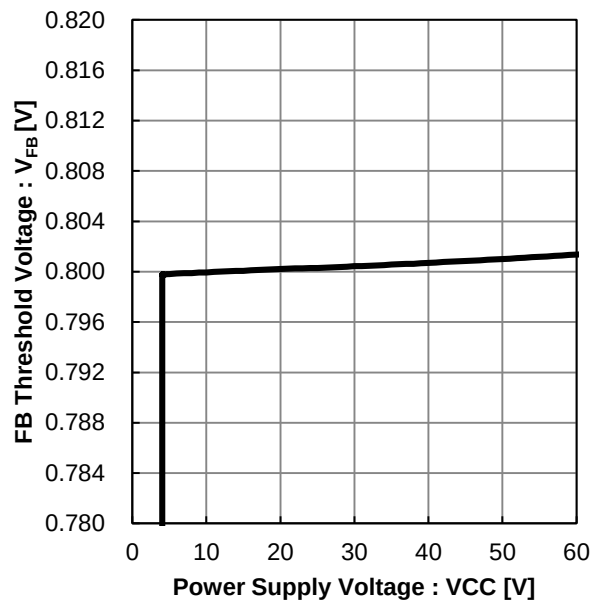


Figure 24. FB Threshold Voltage vs Power Supply Voltage

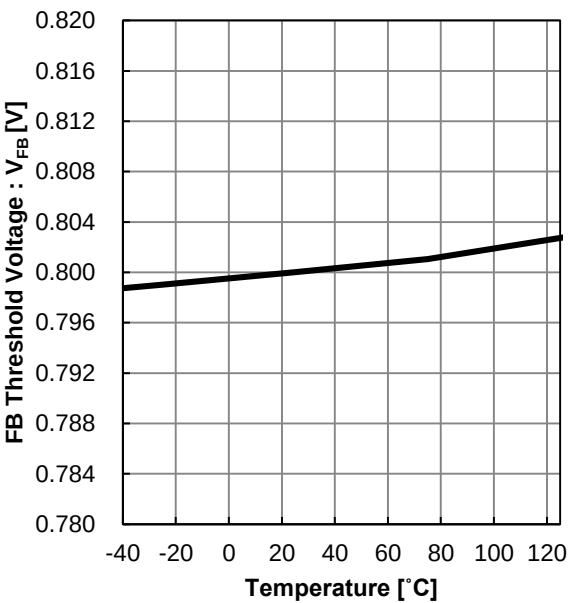


Figure 25. FB Threshold Voltage vs Temperature

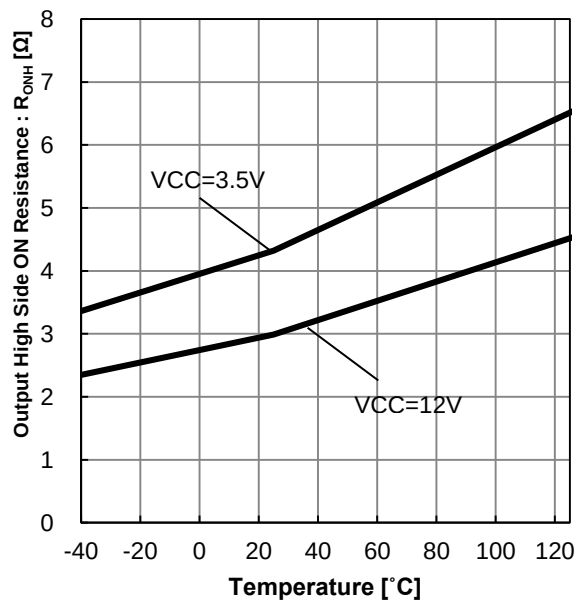


Figure 26. Output High Side ON Resistance vs Temperature

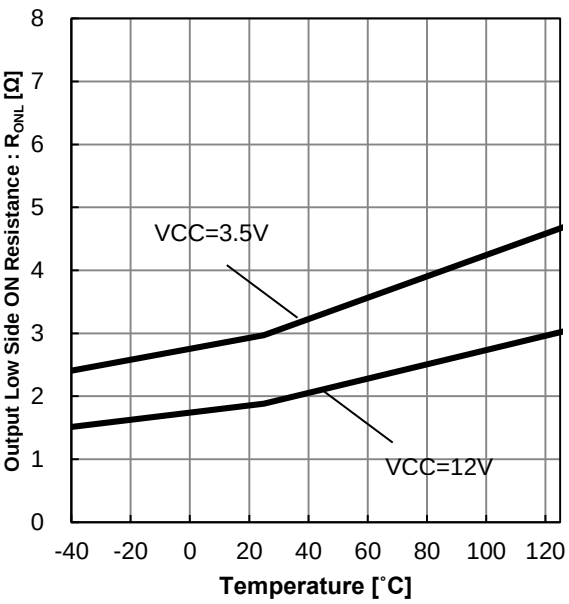


Figure 27. Output Low Side ON Resistance vs Temperature

特性データ（参考データ） — 続き

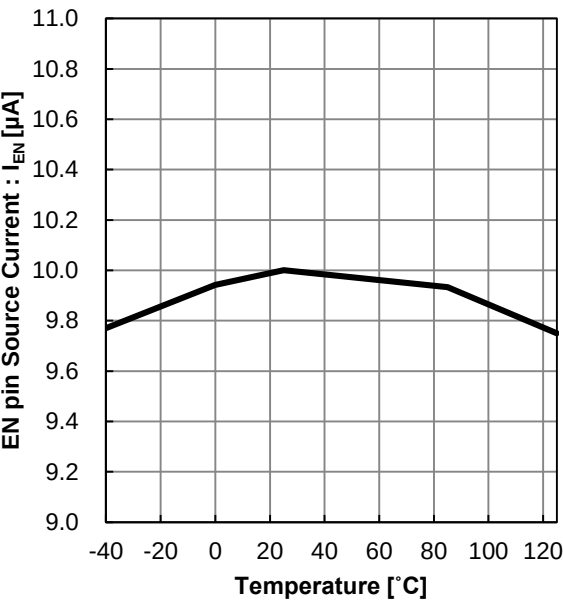


Figure 28. EN pin Source Current vs Temperature

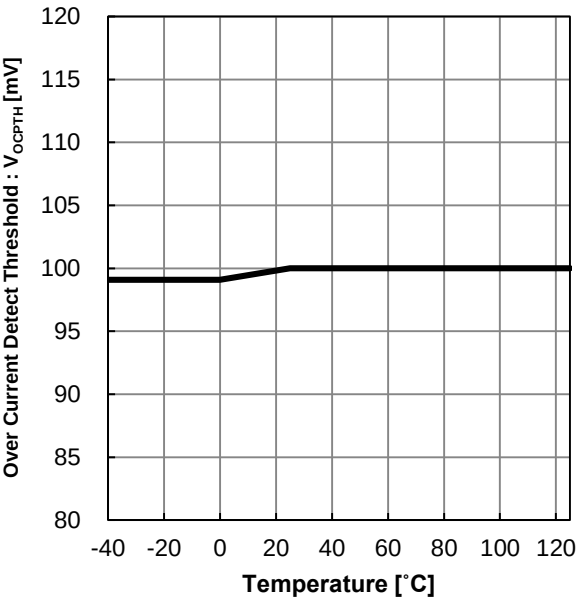
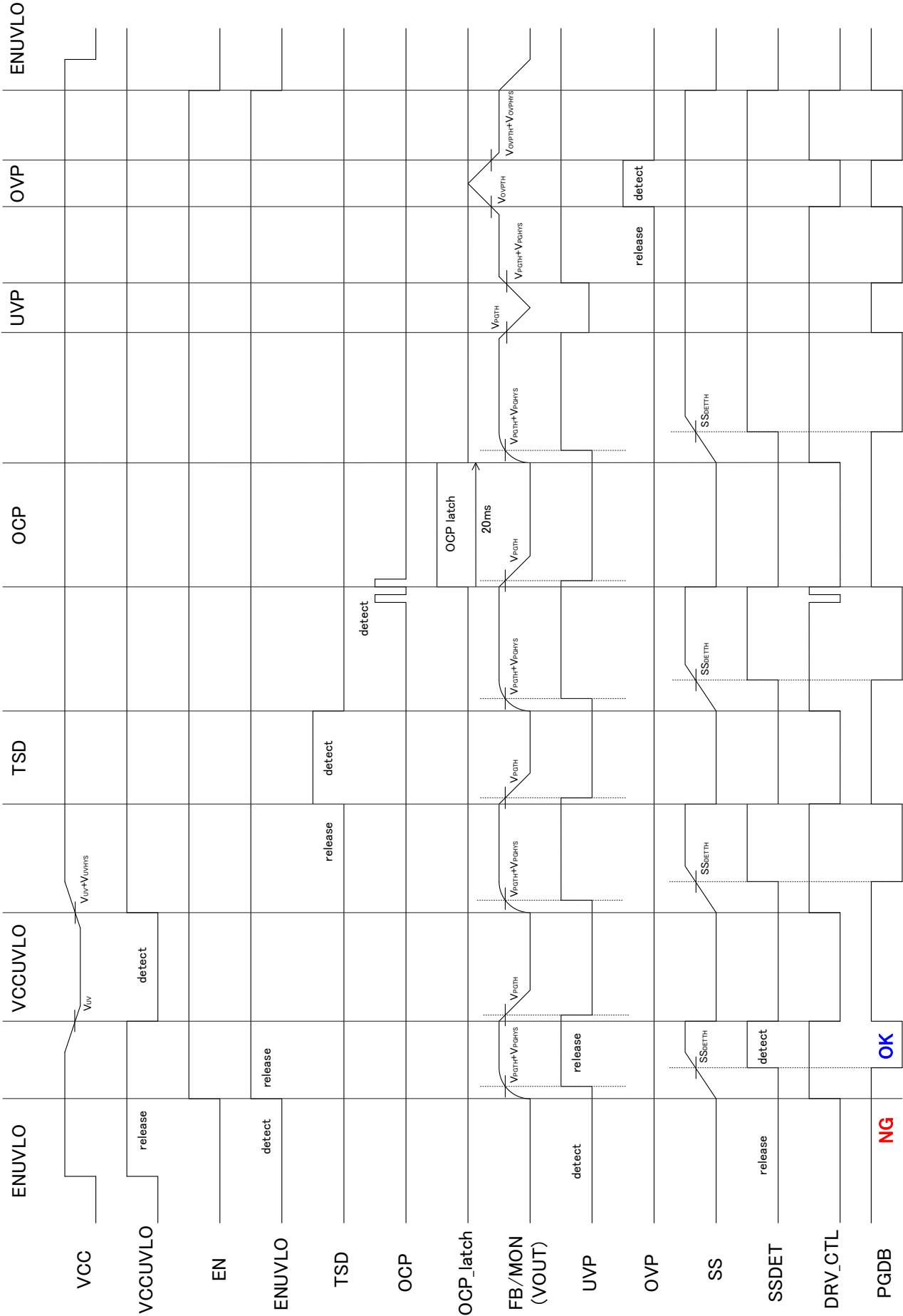


Figure 29. Over Current Detect Threshold vs Temperature

タイミングチャート



基本アプリケーションデータ(参考データ)

VIN=3.5V, VOUT=5.1V

fosc=500kHz, Output Current=1A

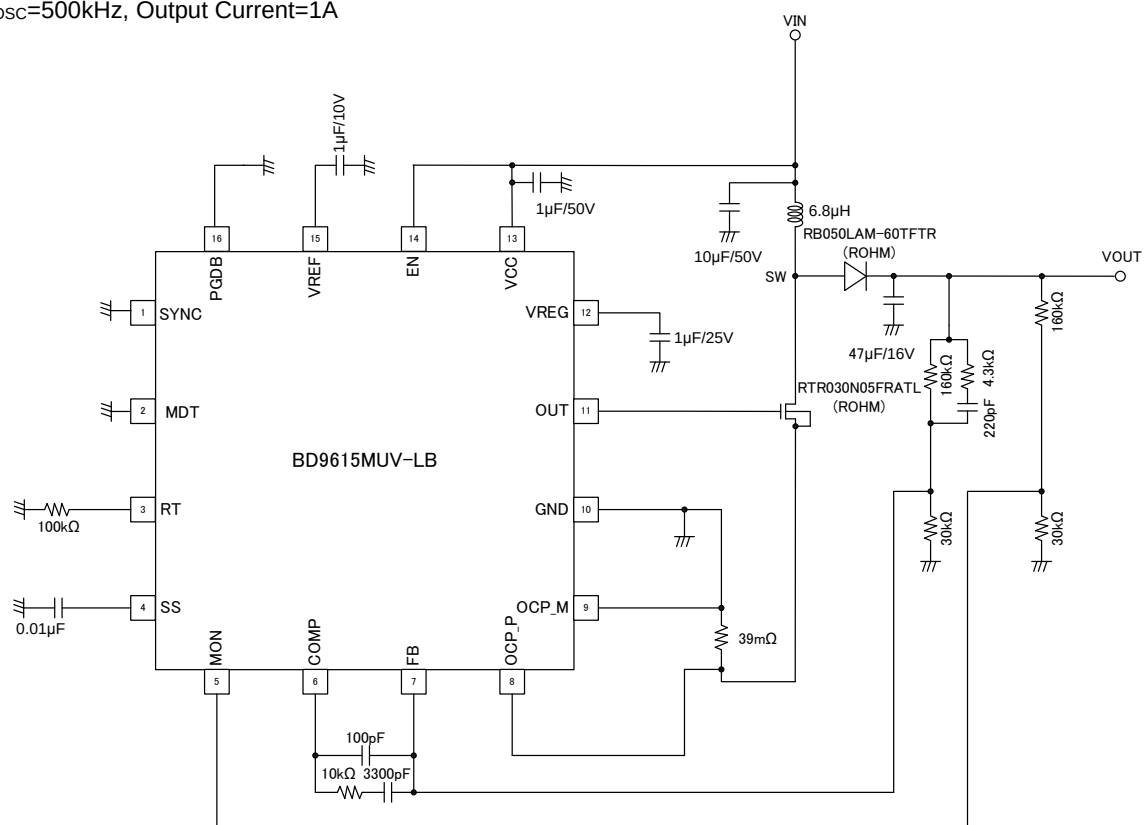


Figure 30. Typical Application Circuit

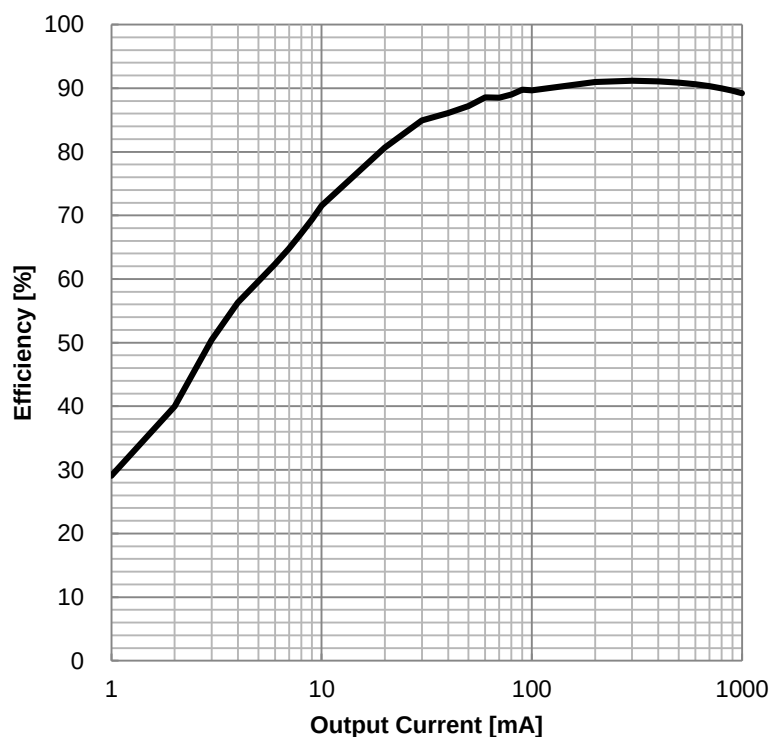


Figure 31. Efficiency vs Output Current

基本アプリケーションデータ(参考データ) — 続き

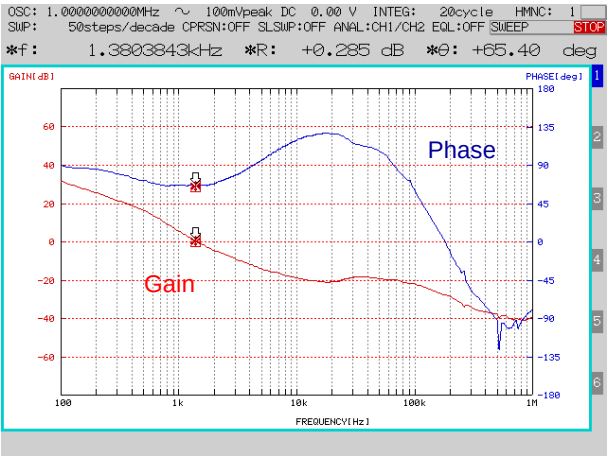


Figure 32. 周波数特性 Output Current=0.1A

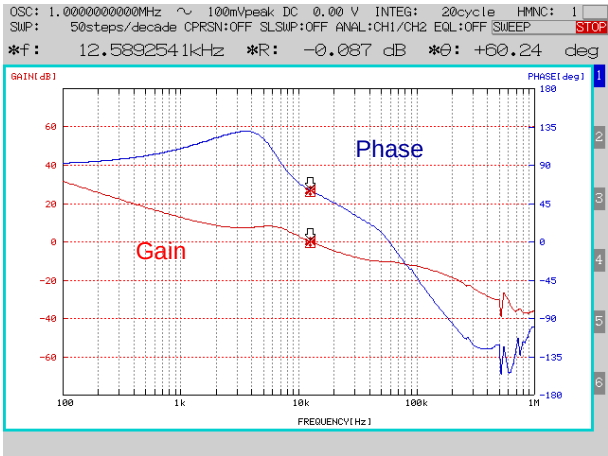


Figure 33. 周波数特性 Output Current =1.0A

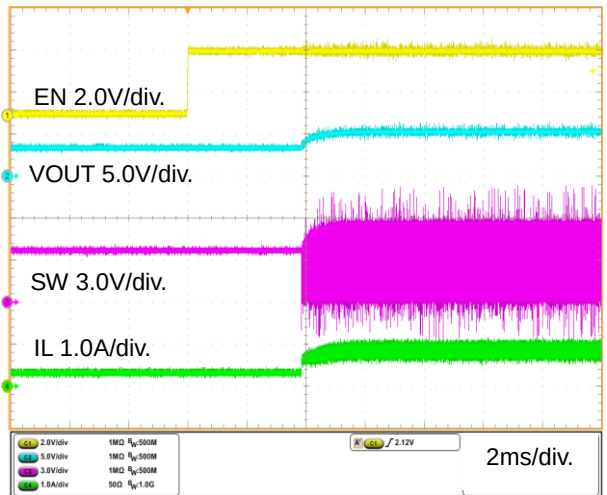


Figure 34. 起動波形

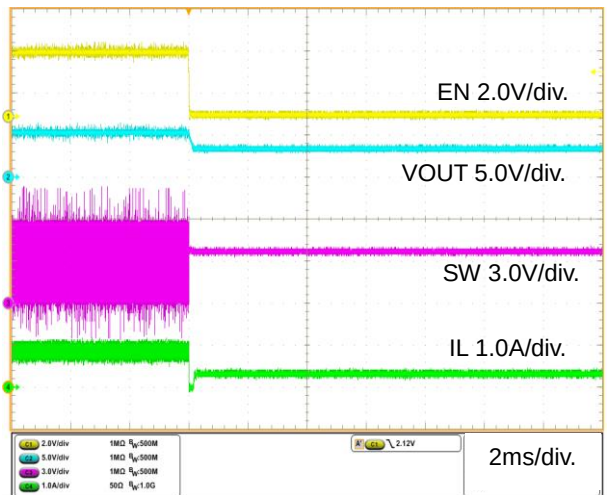


Figure 35. 終了波形

アプリケーション部品選定方法

(1) インダクタ

電流定格(下記電流値 I_{PEAK})を満たし、DCR(直流抵抗成分)が低く、シールドタイプのものを推奨します。

インダクタの値はインダクタリプル電流に影響し、出力リプルの原因となります。

このリプル電流は以下の式のようにコイルの L 値が大きいほど、またスイッチング周波数が高いほど小さくすることができます。

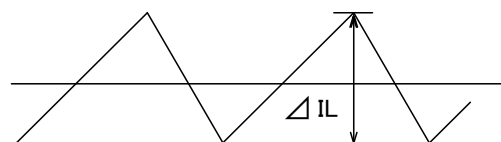


Figure 36. インダクタ電流

$$I_{PEAK} = I_{OUT} \frac{V_{OUT}}{\eta \times V_{IN}} + \Delta I_L / 2 \quad [A] \quad (1)$$

$$\Delta I_L = \frac{V_{IN}(V_{OUT} - V_{IN})}{V_{OUT} \times f_{OSC} \times L} \quad [A] \quad (2)$$

(η : 効率、 ΔI_L : 出力リプル電流、 f_{OSC} : スwitchング周波数)

通常、 ΔI_L は最大出力電流(I_{OUTMAX})の 30%以下に設定します。

※コイルの定格を超える電流をコイルに流しますとコイルが磁気飽和を起こし、効率の低下や出力の発振を引き起こすことがあります。ピーク電流がコイルの定格電流を超えないよう十分なマージンを持って選定してください。

(2) スwitchング素子 FET、Di について

スイッチング素子の電流定格について、式(1)で求まるピーク電流に対して充分マージンを持った許容電流量のスイッチング素子を選定してください。

またノイズ改善、効率改善の面から、FET は入力容量(C_{ISS}, Q_G)やオン抵抗の小さいもの、Di は端子間容量や逆回復時間 T_{RR} 、また順方向電圧 V_F の小さいものを選択してください。

(3) 出力コンデンサ

出力コンデンサ C_{OUT} は低 ESR のものをご使用下さい。

出力リプル電圧 V_{PP} は次式より求められます。

$$V_{PP} = I_{OUT} \times \frac{V_{OUT} - V_{IN}}{f_{OSC} \times C_{OUT} \times V_{OUT}} + I_{PEAK} \times ESR \quad [V] \quad (3)$$

許容リップル電圧内に収まるよう設定してください。

VREF, VREG 端子接続コンデンサ

VREF 端子及び VREG 端子と GND 端子間には、1 μ F のセラミック・コンデンサを接続してください。

コンデンサの選定に際して、DC バイアス効果や温度特性を十分考慮のうえ、0.5 μ F~1.5 μ F の範囲となるよう選定ください。コンデンサのショートによる端子地絡が想定される場合は、発熱により IC 破壊の可能性があるので、コンデンサを直列に 2 個接続するなどの対策をご検討ください。

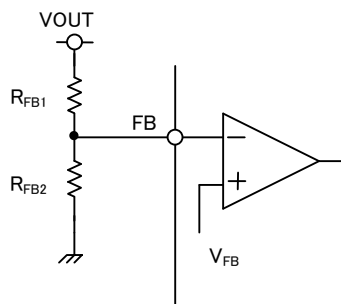
(4) 入力コンデンサ

入力コンデンサには、電解コンデンサとセラミック・コンデンサの併用を推奨します。

出力のスイッチング電流は、入力コンデンサから供給されるため、バイパスコンデンサとしてセラミック・コンデンサを、FET, Di の直近に配置するようにしてください。電解コンデンサを使用される場合、許容リップル電流にご注意ください。

(5) 出力電圧設定

出力電圧は(4)式のように決定されます。



$$V_{OUT} = \frac{R_{FB1} + R_{FB2}}{R_{FB2}} \times V_{FB} \quad [V] \quad (4)$$

Figure 37. 電圧帰還抵抗設定方法

アプリケーション部品選定方法 — 続き

(6) 外付け位相補償の決定方法

アプリケーションの安定条件について

負帰還がかかった系の安定条件は次のようになります。

ゲインが 1(0dB)のときの位相遅れが 135°以下(すなわち位相マージン 45°以上)に設定します。

また、DC/DC コンバータアプリケーションは、スイッチング周波数によりサンプリングされていますので、

全体の系としての f_{BW} (ゲインが 0dB となる周波数)は、スイッチング周波数の 1/10 以下に設定します。

また、昇圧コンバータ特有の右半平面ゼロ周波数 f_{RHPZ} が制御ループに影響しないよう、 f_{BW} を f_{RHPZ} の 1/5 以下に設定します。

まとめると、アプリケーションが目標とする特性は以下のようになります。

(a) ゲインが 1(0dB)のときの位相遅れが 135°以下(すなわち位相マージン 45°以上)

(b) f_{BW} がスイッチング周波数の 1/10 以下

(c) f_{BW} が f_{RHPZ} の 1/5 以下

以上の a, b, c を満たすよう Figure 38 の C_1 , C_3 , R_1 , R_2 を設定します。

DC/DC コンバータの応答性を決定する f_{BW} は 1 次ポール周波数と DC ゲインを求めることで計算可能です。

$$\text{1 次ポール周波数} \quad fp1 = \frac{1}{\left(2\pi \times A \times \frac{R_{FB1} \times R_{FB2}}{R_{FB1} + R_{FB2}} \times C_3\right)} \text{ [Hz]}$$

$$\text{DC ゲイン} \quad DCgain = \frac{A}{B} \times V_{FB} \times \frac{V_{OUT}}{V_{IN}}$$

A: エラーアンプゲイン = 10^4 (= 80dB)

B: 発振器振幅 = 0.5V

$$f_{BW} = DCgain \times fp1 \text{ [Hz]}$$

$$f_{RHPZ} = \frac{1}{2 \times \pi \times L \times I_{OUT}} \times \frac{V_{IN}^2}{V_{OUT}} \text{ [Hz]}$$

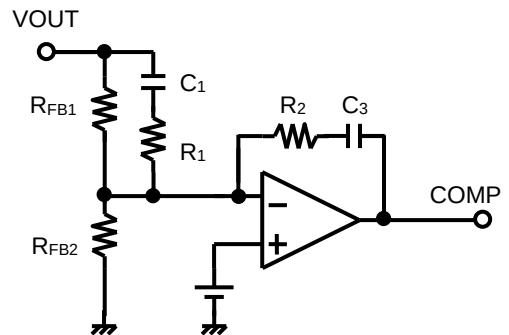


Figure 38. 位相補償設定例

LC による 2 次の位相遅れをキャンセルするため、2 次の位相進み(位相進みを 2 つ)を挿入します。
位相進みを LC 共振周波数付近に挿入してください。

$$\text{位相進み} \quad fz1 = \frac{1}{2\pi \times R_{FB1} \times C_1} \text{ [Hz]}$$

$$\text{位相進み} \quad fz2 = \frac{1}{2\pi \times R_2 \times C_3} \text{ [Hz]}$$

$$\text{LC 共振周波数} = \frac{1-D}{2\pi \times \sqrt{L \times C_{OUT}}} \text{ [Hz]}$$

C_{OUT} : 出力コンデンサ

D: ON Duty = $(V_{OUT} - V_{IN}) / V_{OUT}$

また、2 次の位相進みにより、 f_{BW} が高周波に行き過ぎた場合は、さらにそれを補償するために LC 共振周波数よりも少し高い周波数に 1 次の位相遅れを挿入すると安定する場合があります。

$$\text{位相遅れ} \quad fp2 = \frac{1}{2\pi \times R_1 \times C_1} \text{ [Hz]}$$

PCB レイアウト

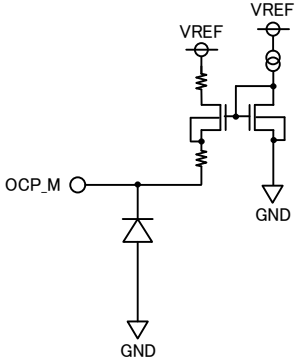
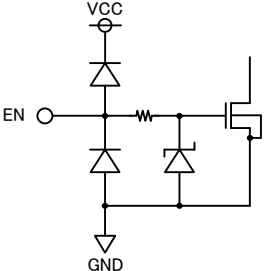
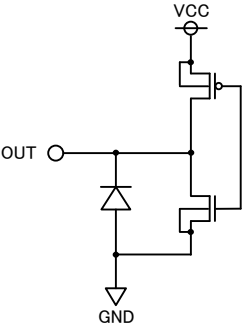
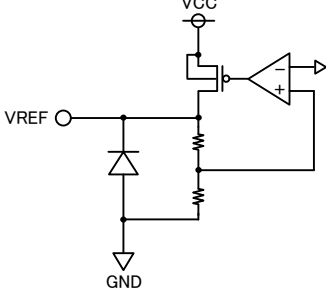
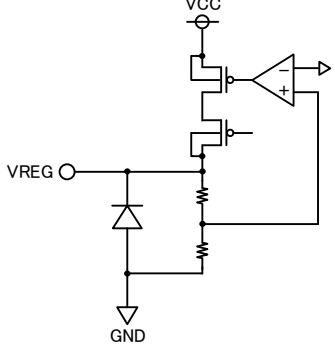
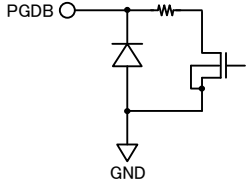
IC の性能を十分に引き出すために、一般的な注意事項に加えて、下記事項についても十分にご検討ください。

- ・ OCP_P/OCP_M の各入力はセンシティブな回路となっております。前述の内容を参考にご検討ください。
- ・ 寄生の容量結合によるノイズなどについても、距離を空け緩衝帯を設けるなど、引き回しについてご検討ください。
(特に OCP_P/OCP_M 端子や COMP 端子などノイズを受けやすい配線はご注意ください。)
- ・ OCP_P/OCP_M 端子周辺や位相補償回路周辺には、コンデンサなどの予備パターンを設けておくことを推奨します。
- ・ 入力のパスコンはそれぞれ、IC の直近、及び FET, Di の直近に配置し最短で配線してください。
- ・ アナログ系 VCC(GND)と大電流系が共通インピーダンスを持たないようにご注意ください。

入出力端子等価回路図

Pin No.	端子名	端子等価回路図	Pin No.	端子名	端子等価回路図
1	SYNC		5	MON	
2	MDT		6	COMP	
3	RT		7	FB	
4	SS		8	OCP_P	

入出力端子等価回路図 — 続き

Pin No.	端子名	端子等価回路図	Pin No.	端子名	端子等価回路図
9	OCP_M		14	EN	
11	OUT		15	VREF	
12	VREG		16	PGDB	

使用上の注意

1. 電源の逆接続について

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れるなどの対策を施してください。

2. 電源ラインについて

基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。グラウンドラインについても、同様のパターン設計を考慮してください。また、LSI のすべての電源端子について電源-グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量低下が起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

3. グラウンド電位について

グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。

4. グラウンド配線パターンについて

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

5. 推奨動作条件について

推奨動作条件で規定される範囲で IC の機能・動作を保証します。また、特性値は電気的特性で規定される各項目の条件下においてのみ保証されます。

6. ラッシュカレントについて

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

7. 強電磁界中の動作について

強電磁界中でのご使用では、まれに誤動作する可能性がありますのでご注意ください。

8. セット基板での検査について

セット基板での検査時に、インピーダンスの低いピンにコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

9. 端子間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けした場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

10. 未使用の入力端子の処理について

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

使用上の注意 — 続き

11. 各入力端子について

本 IC はモノリシック IC であり、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、GND > (端子 A)の時、トランジスタ(NPN)では GND > (端子 B)の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ(NPN)では、GND > (端子 B)の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に GND(P 基板)より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子が GND にショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

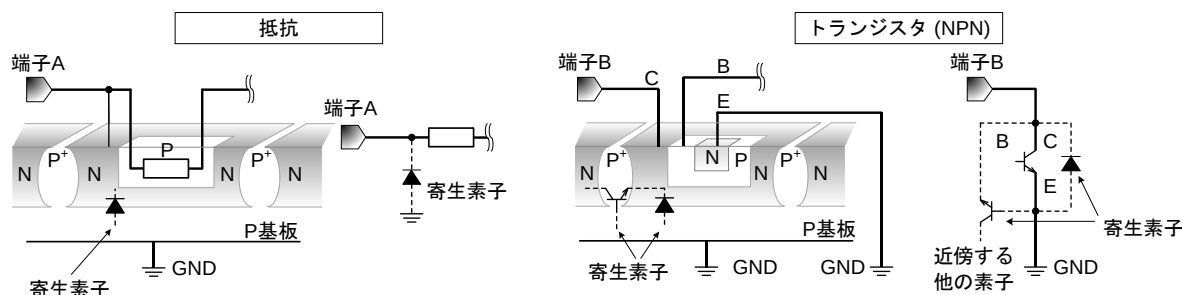


Figure 39. モノリシック IC 構造例

12. セラミック・コンデンサの特性変動について

外付けコンデンサに、セラミック・コンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮のうえ定数を決定してください。

13. 温度保護回路について

IC を熱破壊から防ぐための温度保護回路を内蔵しております。最高接合部温度内でご使用いただきますが、万が一最高接合部温度を超えた状態が継続すると、温度保護回路が動作し出力パワー素子が OFF します。その後チップ温度 T_j が低下すると回路は自動で復帰します。なお、温度保護回路は絶対最大定格を超えた状態での動作となりますので、温度保護回路を使用したセット設計などは、絶対に避けてください。

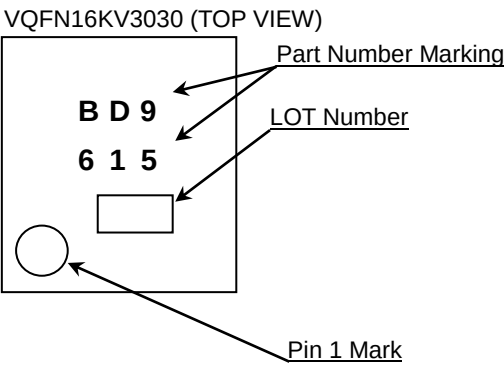
14. 過電流保護回路について

出力には電流能力に応じた過電流保護回路が内部に内蔵されているため、負荷ショート時には IC 破壊を防止しますが、この保護回路は突発的な事故による破壊防止に有効なもので、連続的な保護回路動作、過渡時でのご使用に対応するものではありません。

発注形名情報

B D 9 6 1 5 M U V										-	L B E 2				
品名										パッケージ MUV: VQFN16KV3030			製品ランク LB:産業機器用 包装、フォーミング仕様 E2: リール状エンボステーピング		

標印図



外形寸法図と包装・フォーミング仕様

[illegible]

改訂履歴

日付	版	変更内容
2018.04.24	001	新規作成
2018.06.21	002	パッケージ形名変更 VQFN16SV3030 → VQFN16KV3030
2020.05.07	003	電気的特性 V _{UVHYS} 最小値 追加 V _{REGOVHYS} 最小値 追加 R _{ONH} 最小値, 最大値 追加 R _{ONL} 最小値, 最大値 追加

ご注意

ローム製品取扱い上の注意事項

- 極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器^(Note 1)、航空宇宙機器、原子力制御装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

- 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
- 本製品は、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用
 - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用される場合は除く。ただし、残渣については十分に確認をお願いします。)又は、はんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合
 - ⑧結露するような場所でのご使用
- 本製品は耐放射線設計はなされておられません。
- 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
- パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
- 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
- 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
- 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

- ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
- はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。
その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。（人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等）

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
 - ① 潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ② 推奨温度、湿度以外での保管
 - ③ 直射日光や結露する場所での保管
 - ④ 強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルに2次元バーコードが印字されていますが、2次元バーコードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は、外国為替及び外国貿易法に定めるリスト規制貨物等に該当するおそれがありますので、輸出する場合には、ロームへお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等（ソフトウェア含む）との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。